

圖 4-1 SC1 前處理的二氧化鉿電容在不同量測頻率下的 C-V 特性。 (a)As,(b)經過 PDA 600℃退火處理,(c)經過 PDA 800℃退火處理。



圖 4-2 RTO 前處理的二氧化鉿電容在不同量測頻率下的 C-V 特性。 (a)As,(b)經過 PDA 600℃退火處理,(c)經過 PDA 800℃退火處理。



圖 4-3 利用 Hi-Lo CV 方法所計算出的界面缺陷密度。



圖 4-4 四元件小訊號等效電路模型。(a)假設正確的四元件電路模型, (b)並聯電路模型。



圖 4-5 SC1 前處理的二氧化鉿電容經過四元件等效模型修正後的 C-V 特性。(a)As,(b)經過 PDA 600℃退火處理,(c)經過 PDA 800℃退火 處理。



圖 4-6 RTO 前處理的二氧化鉿電容經過四元件等效模型修正後的 C-V 特性。(a)As,(b)經過 PDA 600℃退火處理,(c)經過 PDA 800℃退火處理。





圖 4-7 由聚積電容所計算出的電容等效厚度統計分佈圖。(a)SC1 前 處理,(b)RTO 前處理。



圖 4-8 SC1 前處理的二氧化鉿電容正掃和反掃的 C-V 特性。(a)As,(b) 經過 PDA 600℃退火處理,(c)經過 PDA 800℃退火處理。



圖 4-9 RTO 前處理的二氧化鉿電容正掃和反掃的 C-V 特性。(a)As, (b)經過 PDA 600℃退火處理, (c)經過 PDA 800℃退火處理。





圖 4-10 由正掃和反掃的 C-V 曲線所計算出的遲滯大小統計分佈圖。 (a)SC1 前處理,(b)RTO 前處理。



圖 4-11 SC1 前處理未退火的二氧化鉿電容 C-V 曲線圖。(a)不同的正 起始電壓,(b)不同的負起始電壓。



圖 4-12 RTO 前處理未退火的二氧化鉿電容 C-V 曲線圖。(a)不同的正 起始電壓,(b)不同的負起始電壓。



圖 4-13 遲滯大小與不同退火溫度的關係。



(a)



圖 4-14 I-V 曲線圖。(a)SC1 前處理,(b)RTO 前處理。





圖 4-15 閘極漏電流統計分佈圖。(a)SC1 前處理,(b)RTO 前處理。



圖 4-16 不同退火溫度下, 電容等效厚度與閘極漏電流的關係。



圖 4-17 本論文量測結果和文獻中發表的二氧化鉿薄膜漏電流和電容 等效厚度的比較圖。





圖 4-18 (a)F-P 漏電機制比對, (b)ln(Jg/Vg)對 1000/T 作圖。



圖 4-19 (a)低電場時, Ohmic 漏電機制比對, (b) 高電場時, F-N 漏電機制比對。



TaPt Gate HfO₂ SiO₂ *p*-Substrate

圖 4-20 Frenkle-Poole 漏電機制的能帶示意圖。



TaPt HfO₂ SiO₂ *p*-Substrate Gate

圖 4-21 Ohmic 漏電機制的能帶示意圖。





