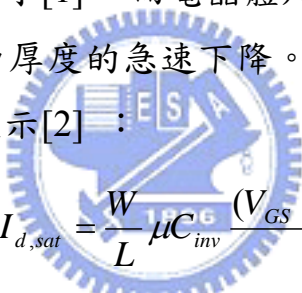


# 第一章

## 緒論

### 1-1 閘極介電層的演進

二維的金氧半微縮技術已經跟隨莫爾定律(Moore's law)的腳步發展了數十年，至於新的半導體技術仍然照著這樣的規則繼續發展下去。對於工業上的要求來說，為了以較低的成本來達到較多的電路功能和較好的表現就必須增加電路密度，即增加單一晶圓上的電晶體密度，換句話說就是將電晶體的尺寸盡可能的縮小[1]，而電晶體尺寸的急速縮小也代表通道長度的急速縮短和閘極介電層厚度的急速下降。金氧半場效電晶體的驅動電流可以用下列的方程式來表示[2]：

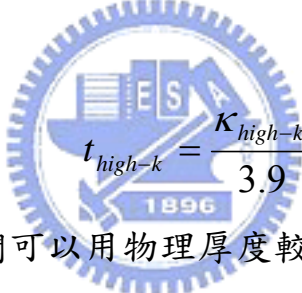

$$I_{d,sat} = \frac{W}{L} \mu C_{inv} \frac{(V_{GS} - V_T)^2}{2} \quad (1-1 \text{ 式})$$

其中W是通道寬度，L是通道長度， $\mu$ 是通道載子的遷移率(mobility)， $C_{inv}$ 是通道進入反轉狀態時的電容密度， $V_{GS}$ 是施加於閘極上的電壓，而 $V_T$ 則是臨界電壓，在考慮高電場造成的影響和室溫操作電晶體的情況下， $(V_{GS} - V_T)$ 值的範圍是有一定限制的，因為施加太大的 $V_{GS}$ 可能會造成跨過閘極氧化層的電場太大而破壞閘極氧化層，另外一方面由於大約  $100^\circ\text{C}$  就能夠引起熱能上的變動，因此要把臨界電壓下降到 200mV以下是相當不容易的，所以為了要增加驅動電流，縮短通道長度或增加閘極電容是唯一可行的方法。

縮短通道長度一直以來是改善元件特性的主要方法之一，但是它必須仰賴圖案技術的進展，像是微影和蝕刻技術。隨著通道長度的縮短，如何去避免空乏層擊穿(punch through)也是一個相當大的挑戰。對於閘極電容，我們可以將它視作一個平行板電容[3]：

$$C = \frac{\kappa \epsilon_0 A}{t} \quad (1-2 \text{ 式})$$

其中 $\kappa$ 是材料的介電常數， $\epsilon_0$ 是真空的介電常數， $A$ 是電容的面積，而 $t$ 則是閘極介電層的厚度，降低閘極氧化層的厚度是另一個增加驅動電流的方法，然而隨著閘極氧化層的減薄，無可避免地將會增加直接穿隧電流[4-6]，而且根據International Technology Roadmap for Semiconductors(ITRS)(如表 1-1 所示)制定的需求[7]，在未來如果繼續採用二氧化矽作為閘極介電層將面臨很大的困難和挑戰，在這樣的考慮之下，便產生了利用高介電常數的材料取代傳統的二氧化矽作為閘極介電層的想法，因此電容可以重新用 $t_{eq}$ 來表示， $t_{eq}$ 代表當採用高介電常數材料作為閘極介電層和採用二氧化矽作為閘極介電層的電容密度相同時，其所需的二氧化矽厚度，因此，為了要達到等效電容密度而所需的實際高介電常數介電層物理厚度可以從下列的表示式獲得[8]:



$$t_{high-k} = \frac{\kappa_{high-k}}{3.9} t_{eq} \quad (1-3 \text{ 式})$$

當增加介電常數時，我們可以用物理厚度較厚的介電層來獲得相同的等效氧化層厚度(equivalent oxide thickness, EOT) 和相同的閘極電容，因此在有較好的閘極控制能力，較低的漏電流和夠大驅動電流的情況下, 仍然能夠保有足夠的電容值。

## 1-2 高介電常數材料的選擇

在金氧半製程中，採用非晶相(amorphous)且熱成長生成的二氧化矽作為閘極介電層具有很多優點，像是穩定高品質的矽和二氧化矽介面提供了優良的電絕緣特性，此外，在現今的金氧半製程中，其缺陷電荷密度大約在  $10^{10}/\text{cm}^2$  左右，而位於半能隙(mid-bandgap)的介面缺陷密度為  $10^{10}/\text{cm}^2$  eV，最後不論電晶體尺寸的大小，10-15 MV/cm的永久破壞性崩潰電場(hard breakdown fields)可以輕易地達到，這些二氧化矽所具有的優良電性，說明

了如果想要用任何材料來取代二氧化矽作為閘極介電層，仍然是一個相當大的挑戰。

相較於熱成長生成的二氧化矽，高介電常數材料有許多挑戰和議題需要去克服，表 1-2[9]列出了一些高介電常數材料要作為介電層必須要達到的目標，簡要說明如下：

- (1) 適當的介電常數：介電常數的大小是有範圍限制的，太大的介電常數可能會產生太大的邊緣電場(fringing field)[10-12]，這些邊緣電場會降低通道處的能障而影響閘極對通道的控制能力，也因為這個效應造成在通道關閉的狀態下漏電流將會增加，最近我們的研究發現雖然這個效應無法完全地被消除，但是採用矽覆蓋絕緣層(SOI)基片結合閘極堆疊結構(gate stack)和導電性側壁子(conductive spacer)後，如圖 1-1 所示，對於至少在 45 奈米的技術點之前，它都不是一個太大的問題[13]。
- (2) 適當的能帶結構(bandgap)：對於製作閘極而言，閘極的漏電流是一個非常重要的議題，然而對大部分的材料來說，如同圖 1-2 所示[14]，能隙的大小和介電常數呈反比的關係，所以為了要降低漏電流，具有較大能隙的材料會被優先考慮。除了需要較大的能隙外，我們還需要考慮電子和電洞能帶錯位的大小，因為電子和電洞都可能穿隧過介電層造成漏電流，因此對於電子和電洞都需要一個夠高的能障來減少其穿隧機率，圖 1-3[14]顯示出大部分高介電常數介電質的能帶錯位大小。
- (3) 熱穩定性：根據文獻報導，大部分的高介電常數材料在平衡狀態下會跟下方的矽基板反應，在介面處形成一層非預期的介面層[15][16]，因為這層非預期介面層的形成，將會使得我們很難精準地控制閘極介電層的等效氧化層厚度，因此選擇具有熱穩定性良好的材料便十分重要(如圖 1-4 所示)[17]。
- (4) 介面的品質：介面的好壞會影響通道內載子的遷移率，許多高介電常數材料都有通道內載子遷移率下降的問題[18]，遷移率下降

會導致元件的驅動電流降低，因此在高介電常數材料和矽基板間必須存在一個具有良好特性的介面層。

- (5) 薄膜的型態：在超大型積體電路製程中，元件會經過需多熱處理，像是離子佈值後的退火活化，還有電極的接觸面退火等，經過這些不同的熱處理，薄膜的晶相很有可能會發生變化，對高介電常數材料來說，其薄膜的晶相很有可能會從非晶相轉變成為多晶相 (polycrystalline)，多晶相的閘極介電層可能會造成問題，因為其晶粒和晶粒之間的介面為漏電流提供了一個很好的路徑，進而產生大量的漏電流[19]，所以我們需要的是即使經過這些不同且必要的熱處理之後，仍能夠維持非晶相特性的材料。
- (6) 製程上的相容性：對於將先進的閘極介電層導入傳統的金氧半製程來說，這層介電層必須和以矽為基礎的閘極或是金屬閘極有相容性，總而言之，高介電常數介電層製程的整合在先進的金氧半製程中是非常重要的[20]。
- (7) 可靠度：在金氧半技術的應用上，必須重視新型閘極介電層的電性可靠度[21][22]，硼穿透閘極介電層造成平帶電壓飄移的效應對於 P 型金氧半元件仍是相當大的問題[18]。此外，高崩潰電壓，低漏電流和夠長的生命期都是我們期望的特性。

### 1-3 為什麼要使用原子層化學氣相(ALCVD)沉積的二氧化鈣?

在各種高介電常數介電質中，二氧化鈣已經被廣泛地研究並被認為是未來閘極介電層材料其中之一，主要是因為它具有夠高的介電常數( $\sim 25$ )，夠大的能隙( $\sim 5.8\text{eV}$ )，和矽之間大約  $1.5\text{eV}$  的能帶錯位 (band offsets)[8]，和矽之間夠高的自由能[23]，夠高的生成熱( $\sim 271\text{ kcal/mole}$ )[24]，目前已經有許多以二氧化鈣作為閘極介電層並採用多晶矽[21, 25-29]，鉑 (Pt)[24, 30-38]，氮化鈦 (TiN)[39-40]，氮化鉭 (TaN)[19, 40-43] 作為閘極的文獻已經被發表，根據文獻報導，目前利用二氧化鈣作為閘極介電層的文獻中顯示出

二氧化鈣的介電常數可達到 27.8 [24]，其等效氧化層厚度可以達到 0.824nm [42]，磁滯效應小於 10mV [19]，介面缺陷大約為  $10^{11}\text{cm}^{-2}\text{eV}^{-1}$  [19]，至於漏電流可以達到  $10^{-7}\text{A}/\text{cm}^{-2}$  (CET=1.63nm， $V_g=-1\text{V}$ ) [35]，次臨界擺幅 (Subthreshold Swing) 可達到 66mV/dec [42]。

目前文獻中沉積二氧化鈣的方法可以分為下列幾種，有物理氣相沉積 (PVD) [19, 21, 24, 26, 28, 29, 35, 37, 41-43]，金屬有機化學氣相沉積 (MOCVD) [38]，噴射氣相沉積 (JVD) [32-33] 和原子層化學氣相沉積 (ALCVD) [25, 27, 30-31, 36, 39-40]。PVD 沉積方法在製程中容易造成對介電層的破壞，也因為在非真空情況下沉積，腔體內殘餘的氧容易反應形成非預期的介面層，而 MOCVD 所用的反應物 (precursor) 在反應過後容易產生雜質污染，因此在這些沉積方法中，原子層化學氣相沉積是最有可能沉積高品質的高介電常數介電層的方法，主要是因為它能夠精準地控制原子尺度下的厚度，並且藉著沉積時的控制可以改變薄膜的元素組成比例，因此本論文主要研究以原子層化學氣相沉積方法沉積的二氧化鈣特性。圖 1-5 是利用原子層化學氣相沉積系統沉積二氧化鈣的示意圖，以上所提到各種沉積方法的優點和缺點列在表 1-3 中。

至今研究高介電常數材料的文獻不勝枚舉，但是研究都顯示直接在矽基板上沉積高介電常數材料作為閘極介電層會產生許多問題，像是產生介面層使得等效氧化層厚度上升，介面特性不佳造成遷移率下降，高介電常數介電層本身品質不佳等，因此有文獻提出不同的前處理方法來改善這些問題，例如利用  $\text{NH}_3$  的前處理防止介面層的產生 [44-45]，利用  $\text{O}_3$  前處理降低漏電流 [46]，利用  $\text{N}_2\text{O}$  前處理改善了二氧化鈣的介電特性 [47]，利用 NO 前處理抑制介面缺陷的產生 [48]，利用前處理生成低濃度氮含量的 SiON 來改善遷移率 [49]，或是利用 SC1 前處理來改善二氧化鈣的品質 [50]。而最近的文獻也表示在原子層化學氣相沉積系統中，其反應物 (precursor) 很難取代在傳統 HF-last 潔淨步驟後在矽晶片表面形成的 Si-H 鍵，因此難達到理想的薄膜品質 [8]，所以便提出利用沉積前 SC1 處理使得矽晶片表面產生容易被取代的 Si-O-H 鍵來獲得較佳的薄膜品質 [50]，但是這些文獻中並沒有詳細地探討

SC1 前處理方法和其他前處理方法之間特性的差異，對於未來可能採用二氧化鈣作為閘極介電層，這方面的研究是非常急迫的，所以本論文將就目前文獻中所缺乏的部分加以詳細研究和探討並提出建議。

## 1-4 論文架構

第二章介紹二氧化鈣元件的製備流程，包括二氧化鈣的電容結構和金屬閘極場效電晶體結構。

第三章利用了不同的材料分析方法，了解二氧化鈣薄膜的材料特性，像包括穿透式電子顯微鏡(Transmission Electron Microscope, TEM)，能量散佈光譜(Energy Dispersive Spectrometer, EDS)和電子束繞射圖形(diffraction pattern)等方法，分析材料特性和沉積薄膜的微觀結構，下兩章將藉由電性分析的結果對二氧化鈣薄膜的特性有更徹底的了解。

第四章討論原子層化學氣相沉積的二氧化鈣電容基本電性量測結果，我們量測了二氧化鈣電容的 I-V 和 C-V 特性，結合第三章材料分析結果解釋了一些電性量測所觀察到的現象。

第五章量測了所製作的二氧化鈣金屬閘極場效電晶體的基本電性，並對二氧化鈣金屬閘極場效電晶體作正偏壓溫度相關不穩定(Positive Bias Temperature Instability,PBTI)測試，觀察在長時正偏壓下其電性變化情形。

第六章探討了二氧化鈣薄膜的崩潰機制和可靠度，利用長時間偏壓二氧化鈣薄膜和利用場效電晶體結合載子分離(carrier separation)的方法，對於崩潰機制有了一定程度的了解。

第七章是本論文的最後結論和對後續研究的建議。