

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology node		hp90			hp65		
Physical gate length high-performance (HP) (nm)	45	37	32	28	25	22	20
EOT: equivalent oxide thickness (physical) for high-performance (nm)	1.3	1.2	1.1	1.0	0.9	0.8	0.8
Electrical thickness adjustment for gate depletion and inversion layer effects (nm)	0.8	0.8	0.7	0.7	0.4	0.4	0.4
Equivalent electrical oxide thickness in inversion (nm)	2.1	2.0	1.8	1.7	1.3	1.2	1.2
Nominal gate leakage current density limit (at 25 °C) ($\mu\text{A}/\mu\text{m}$)	2.2E+02	4.5E+02	5.2E+02	6.0E+02	9.3E+02	1.1E+03	1.2E+03
Nominal power supply voltage (Vdd) (V)	1.2	1.2	1.1	1.1	1.1	1.0	1.0
Saturation threshold voltage (V)	0.21	0.20	0.20	0.21	0.18	0.17	0.16
Nominal high-performance NMOS sub-threshold leakage current, $I_{sd,leak}$ (at 25 °C) ($\mu\text{A}/\mu\text{m}$)	0.03	0.05	0.05	0.05	0.07	0.07	0.07
Nominal high-performance NMOS saturation drive current, $I_{d,sat}$ (at Vdd, at 25 °C) (mA/mm)	980	1110	1090	1170	1510	1530	1590

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

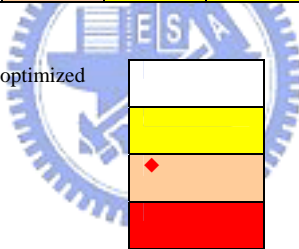


表 1-1 2004 International Technology Roadmap for Semiconductor [7]。

要件	需求
等效氧化層厚度 < 1nm	介電常數 > 15
可忽略的邊緣電場效應	介電常數 < 60
漏電流 < 1A/cm ²	能隙 > 5eV, 能障高(barrier height) > 1eV
熱穩定性	不會形成金屬矽化合物(silicide)
磁滯(hysteresis)	< 20 mV
遷移率	> SiO ₂ 的 85%
偏移(dispersion)	< 1%
界面缺陷密度	< 10 ¹¹ /eV cm ²
可靠度	> 10 年

表 1-2 高介電常數材料作為閘極介電層所需要的要件和需求[9]。

PVD	MOCVD	ALCVD
<p>優點:</p> <ol style="list-style-type: none"> 1. 適合去評估新材料 2. 易於製作出實驗樣品 3. 製程花費低 	<p>優點:</p> <ol style="list-style-type: none"> 1. 十分了解的化學氣相沉積技術和機制 2. 容易去控制薄膜的化學特性 3. 容易成長矽玻璃，鋁酸鹽，氮化物和其他的高介電常數化合物 	<p>優點:</p> <ol style="list-style-type: none"> 1. 優良的階梯覆蓋性和順形性 2. 可以精確地控制介電層厚度 3. 比PVD和CVD有較好的薄膜特性
<p>缺點:</p> <ol style="list-style-type: none"> 1. 階梯覆蓋性(step coverage)和順形性(conformality)差 2. 電漿過程造成破壞 3. 高能氧電漿造成非預期的界面層 	<p>缺點:</p> <ol style="list-style-type: none"> 1. 較難沉積極薄的薄膜 2. 順形性較ALD差 3. C-, H-, OH-的雜質污染 	<p>缺點:</p> <ol style="list-style-type: none"> 1. 低處理量 (low throughput) 2. 和沉積機制相關的表面敏感度

表 1-3 MOCVD、PVD、ALCVD 三種沉積方法的優缺點比較。

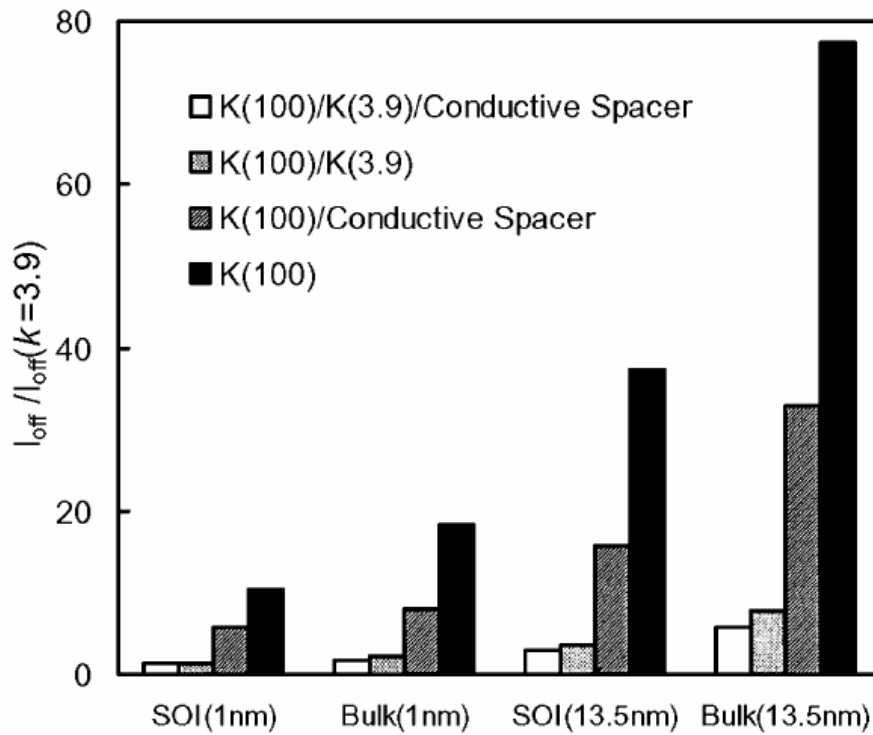


圖 1-1 採用矽覆蓋絕緣層(SOI)基片結合閘極堆疊結構(gate stack)和導電性側壁子(conductive spacer)後，可有效抑制邊緣電場效應[13]。

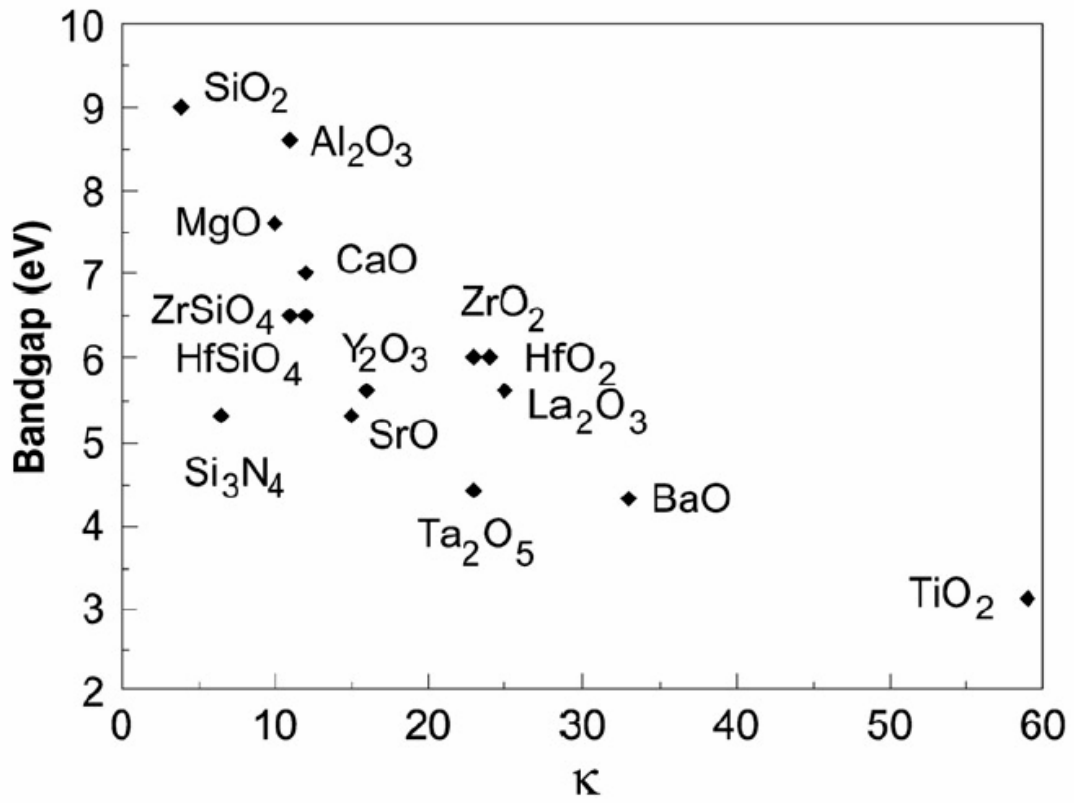


圖 1-2 介電常數和能隙之間的相互關係[14]。

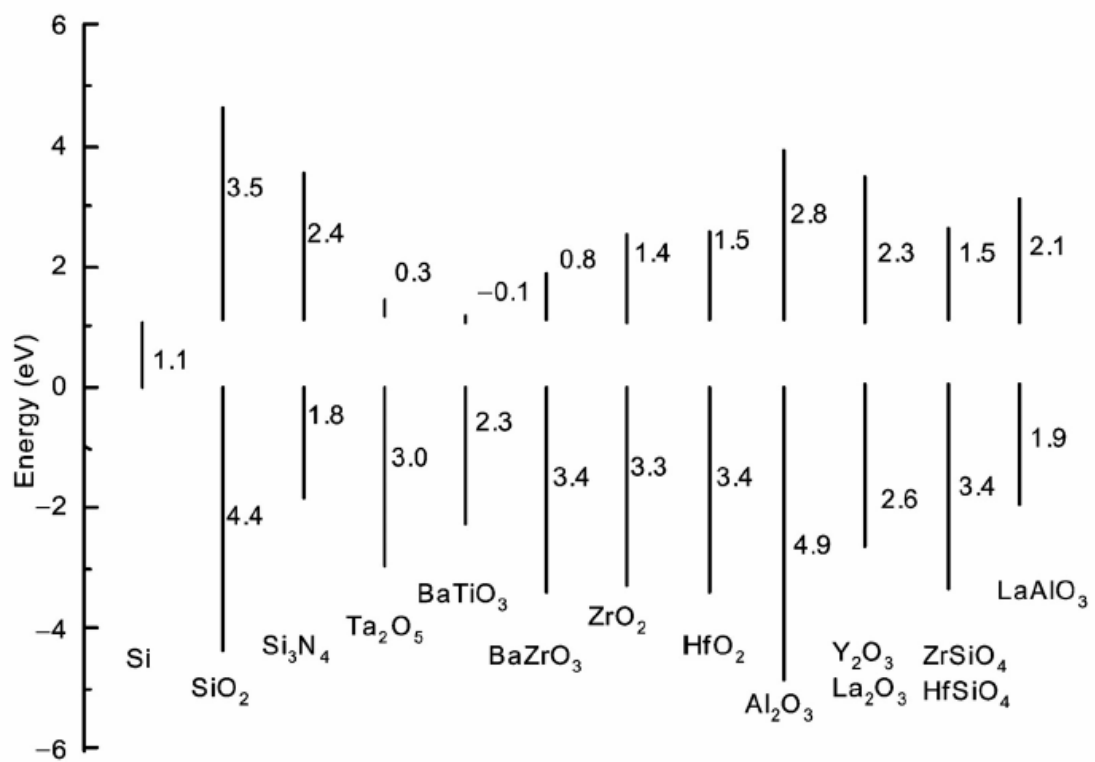


圖 1-3 材料的能帶錯位圖[14]。

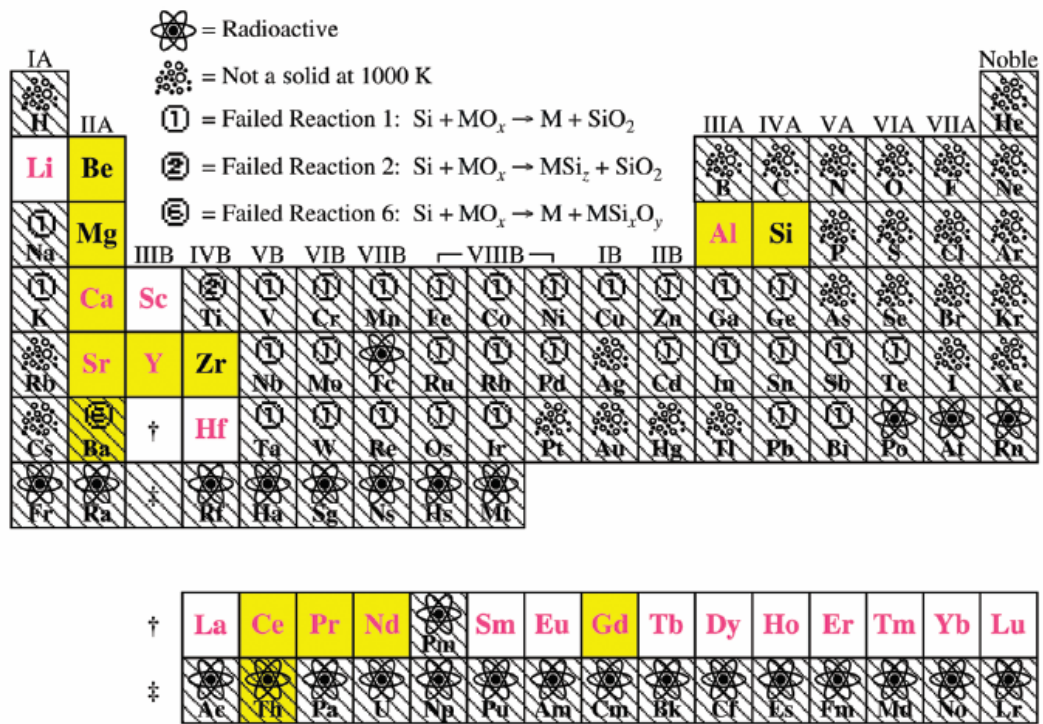


圖 1-4 金屬氧化物與矽之間的熱穩定關係圖[17]。

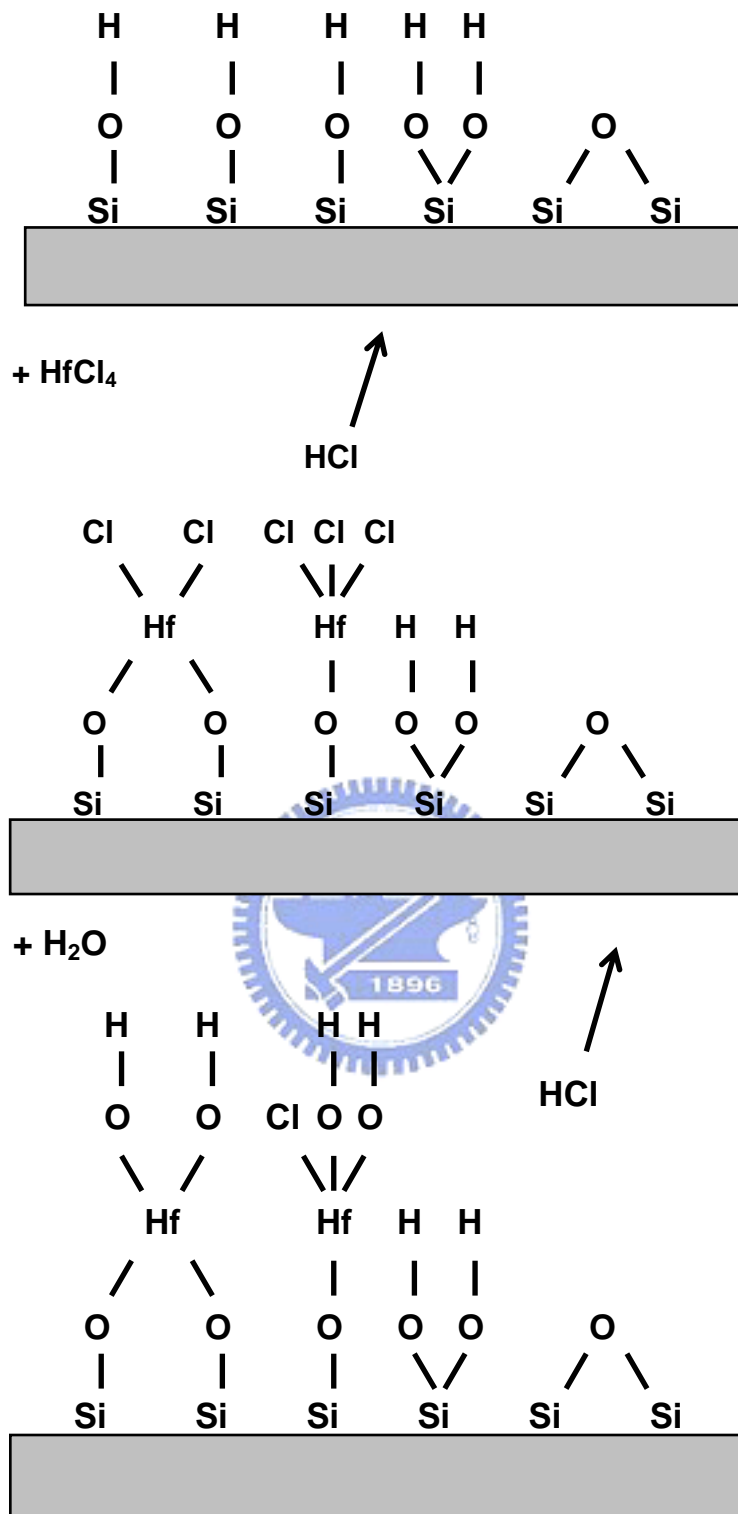


圖 1-5 原子層化學氣相沉積系統沉積二氧化鈺的示意圖。