

目 錄

第一章 簡介	1
第二章 感應耦合電漿蝕刻與 AlGaIn/GaN HFET	3
2.1 材料特性比較	3
2.2 閘極掘入工作原理	5
2.2.1 閘極原理	5
2.2.2 閘極掘入	8
2.3 電漿蝕刻原理	9
2.3.1 純物理性蝕刻	10
2.3.2 純化學反應性蝕刻	11
2.3.3 離子輔助蝕刻	12
2.3.3.1 離子輔助蝕刻	12
2.3.3.2 側壁被覆層輔助蝕刻	12
2.4 current collapse	14
第三章 元件製程與量測方法	16
3.1 平臺隔離製作	19
3.1.1 微影製程(lithography)	20
3.1.2 平台隔離蝕刻(Mesa isolation etch)	20
3.2 歐姆接觸(ohmic contact)	22
3.2.1 表面處理	22
3.2.2 金屬蒸鍍	23
3.2.3 剝離(Lift-off)	23

3.2.4	快速熱退火 (Rapid thermal annealing, RTA)	24
3.3	閘極製作	24
3.3.1	閘極掘入 (Gate recess)	25
3.3.2	金屬蒸鍍	26
3.4	元件完成圖	26
3.5	量測方法	28
3.5.1	Transfer Length Method (TLM)	28
3.5.2	霍爾量測	30
3.5.3	Capacitance-Voltage (C-V)量測	30
3.5.4	Fat-FET 量測	31
3.5.5	Source Resistance 量測	31
3.5.6	current collapse 量測	33
第四章	結果與討論	34
4.1	試片結構	34
4.2	閘極掘入蝕刻	36
4.2.1	蝕刻條件	36
4.2.2	C-V 量測	36
4.2.3	討論	37
4.3	掘入蝕刻損傷評估	42
4.3.1	Device I-V	43
4.3.2	蕭特基(schottky)IV	44
4.3.3	current collapse	45
4.3.4	討論	46

4.4	鈍化處理 (Passivation) 後之元件特性	54
4.4.1	製程參數	54
4.4.2	Current collapse	55
4.4.3	Device IV	55
4.4.4	Schottky IV	56
4.4.5	高頻特性	56
4.4.6	討論	57
	第五章 結論	66
	參考文獻	68



表目錄

編號	說明	頁碼
表 2-1	砷化鎵、矽、碳化矽、氮化鎵之材料參數比較	5
表 4-1	ICP 蝕刻參數表	38
表 4-2	PECVD 製程參數	54



圖目錄

編號	說明	頁碼
圖 2-1	300K 下氮化鎵、砷化鎵、矽、碳化矽之電子速度對電場關係圖	4
圖 2-2	金屬與半導體界面達穩態時之能帶圖	6
圖 2-3	蕭基能障加上 (a)順偏壓 (b)逆偏壓	7
圖 2-4	閘極掘入之飽和電流圖	8
圖 2-5	電漿蝕刻示意圖	10
圖 2-6	物理性與化學性蝕刻示意圖	11
圖 2-7	離子輔助蝕刻示意圖	13
圖 2-8	DC 與 pulsed 之 IV 特性	15
圖 2-9	Current collapse 發生機制	15
圖 3-1	製程流程	18
圖 3-2	影像反轉示意圖	21
圖 3-3	Stencil-layer 示意圖	23
圖 3-4	DC Pattern $1 \times 50 \text{ um}^2$	26
圖 3-5	FAT FE $50 \times 100 \text{ um}^2$	26
圖 3-6	one finger pattern $1 \times 50 \text{ um}^2$	27
圖 3-7	two finger pattern $2 \times 1 \times 25 \text{ um}^2$	27
圖 3-8	TLM 金屬接觸襯墊示意圖	28
圖 3-9	總電阻與金屬襯墊間距關係圖	29
圖 3-10	四點探針量測方式	29
圖 3-11	Source Resistance 量測	32
圖 3-12	Source Resistance 量測	32
圖 3-13	輸入信號掃瞄模式	33

圖 4-1	Undoped HFET 結構圖，其中 $A1=0.3$ 、 $d_{AlGaN}=35nm$	34
圖 4-2	TLM 歐姆接觸電阻	35
圖 4-3	Cl_2 5w 60sec I-V profile	38
圖 4-4	Cl_2/Ar 10w 15sec X2 I-V profile	39
圖 4-5	不同蝕刻條件下，蝕刻時間對電流關係圖	39
圖 4-6	未經掘入蝕刻之試片量得之載子分佈圖	40
圖 4-7	Cl_2 5w 60sec蝕刻後量得之載子分佈圖	40
圖 4-8	Cl_2/Ar 10w 30sec 蝕刻後量得之載子分佈圖	41
圖 4-9	臨界電壓對通道深度之關係	41
圖 4-10	掘入蝕刻所產生損傷及因應	42
圖 4-11	no recess sample 之 I_d-V_{gs} 圖與外部轉導	47
圖 4-12	Cl_2 recessed sample之 I_d-V_{gs} 圖與外部轉導	47
圖 4-13	Cl_2/Ar recessed sample之 I_d-V_{gs} 圖與外部轉導	48
圖 4-14	no recess sample family curve	48
圖 4-15	Cl_2 5w 60sec recessed sample family curve	49
圖 4-16	Cl_2/Ar 10w 30sec recessed sample family curve	49
圖 4-17	順偏蕭特基界面特性	50
圖 4-18	逆偏蕭特基漏電流特性	50
圖 4-19	no recess sample 逆向偏壓蕭特基界面崩潰電壓	51
圖 4-20	Cl_2 recessed sample逆向偏壓蕭特基界面崩潰電壓	51
圖 4-21	Cl_2/Ar recessed sample逆向偏壓蕭特基界面崩潰電壓	52
圖 4-22	no recess sample current collapse	52
圖 4-23	Cl_2 recessed sample current collapse	53
圖 4-24	Cl_2/Ar recessed sample current collapse	53
圖 4-25	Passivation 後 Cl_2 recessed sample current collapse	58

圖 4-26	Passivation 後 Cl_2/Ar recessed sample current collapse	58
圖 4-27	Passivation 後 no recess sample I_d - V_{gs} 圖與外部轉導	59
圖 4-28	Passivation 後 Cl_2 recessed sample 之 I_d - V_{gs} 圖與外部轉導	59
圖 4-29	Passivation 後 Cl_2/Ar recessed sample I_d - V_{gs} 圖與外部轉導	60
圖 4-30	Passivation 後 no recess sample family curve	60
圖 4-31	Passivation 後 Cl_2 recessed sample family curve	61
圖 4-32	Passivation 後 Cl_2/Ar recessed sample family curve	61
圖 4-33	Passivation 後之順偏蕭特基界面特性	62
圖 4-34	Passivation 後之逆偏蕭特基漏電流特性	62
圖 4-35	Passivation 後 no recess sample 逆向偏壓蕭特基界面崩潰電壓	63
圖 4-36	Passivation 後 Cl_2 recessed sample 逆向偏壓蕭特基界面崩潰電壓	63
圖 4-37	Passivation 後 Cl_2/Ar recessed sample 逆向偏壓蕭特基界面崩潰電壓	64
圖 4-38	no recess sample 高頻特性	64
圖 4-39	Cl_2 recessed sample 高頻特性	65
圖 4-40	Cl_2/Ar recessed sample 高頻特性	65