

第二章 感應耦合電漿蝕刻與 AlGaIn/GaN HFET

本章我們將介紹氮化鎵之基本材料性質、閘極掘入工作原理與電漿蝕刻基本原理。

2.1 材料特性比較

選擇電性元件材料最關切的幾件事包括：電子遷移率 (electron mobility)、電子飽和速度 (electron saturation velocity)、熱傳導速率 (Thermal conductivity) 等等。比起目前最成熟的微波元件材料砷化鎵、便宜的矽半導體製程、以及近年來在功率元件亦相當熱門的碳化矽 (SiC) 半導體，氮化鎵跟這些材料競爭者有何差別？參見圖 2-1 與表 2-1，我們從以下幾點來比較氮化鎵的材料特性。



電子速度與電子遷移率

圖 2-1 比較這幾種材料的電子飄移速率 (drift velocity) 對電場的關係圖。矽半導體的電子速度是最慢的，飽和速度只有 1×10^5 m/s。砷化鎵雖然有很高的電子遷移率 ($8500 \text{ cm}^2/\text{V}\cdot\text{s}$)，但砷化鎵在小電場下就達到峰值速度 (peak velocity)，中高電場下的飽和速度甚至低於矽。至於碳化矽半導體雖然可以承受高電場，電子遷移率過低 ($400 \text{ cm}^2/\text{V}\cdot\text{s}$)，在峰值速度的表現不如氮化鎵出色。至於氮化鎵，具有不錯的電子遷移率，峰值電子速度更高達 2.5×10^5 m/s。可由此看出氮化鎵半導體在電子速度上與高電場下操作的優勢與潛力。

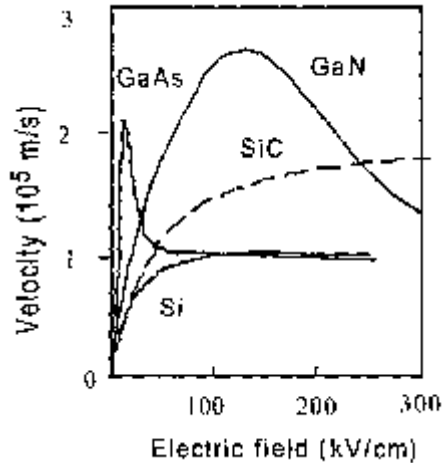


圖 2-1 300K下氮化鎵、砷化鎵、矽、碳化矽之電子速度對電場關係圖^[15]

能隙 (Bandgap)

室溫下氮化鎵的能隙高達 3.4eV。高能隙使氮化鎵在高溫操作時有較低的雜訊表現。



熱傳導係數 (Thermal Conductivity)

碳化矽半導體的熱傳導係數最高，熱傳導能力最好，適合製作低速的功率元件。氮化鎵的熱傳導係數接近矽半導體，優於砷化鎵。

崩潰電場 (Breakdown Field)

氮化鎵的崩潰電場高達 5MV/cm，優於砷化鎵、矽、碳化矽。因此，氮化鎵異質結構場效電晶體(GaN Hetero Structure Field Effect Transistors)可承受數十伏甚至上百伏的高崩潰電壓。這是其他半導體所無法匹敵的優勢。

綜而言之，氮化鎵系統的電晶體同時具備高速(100GHz 以內)、高溫(300 度操作)、高功率、低雜訊的優點。

	能隙 (eV)	熱傳導係數 (W/cm-K)	電子遷移率 (cm ² /V-s)	電洞移動率 (cm ² /V-s)	介電 常數	崩潰電場 (MV/cm)
矽	1.12	1.3	1350	480	11.7	0.3
砷化鎵	1.41	0.55	8500	400	12.9	0.4
碳化矽	3.0	4.9	400	<90	9.66	3-5
氮化鎵	3.4	1.3	1500	<200	10.4	5

表2-1 ^[16] 砷化鎵、矽、碳化矽、氮化鎵之材料參數比較

2.2 閘極掘入工作原理

2.2.1 閘極原理

當金屬與寬能隙半導體緊密接觸時，為達穩態平衡，在金屬接面下方處的半導體內，一定範圍裡的載子會被驅離，形成所謂的空乏區，空乏區的深度與半導體中摻雜的雜質濃度及外加偏壓的大小有關，可以式 2-1 表示。

$$w^2 = \frac{2\varepsilon(V + V_{bi})}{qN} \quad (2-1)$$

w：空乏區深度

V：外加偏壓

V_{bi}：內建位能障

N：雜質摻雜濃度

故可藉控制外加偏壓來調變空乏區大小，間接達到控制通道中電流之目的。當金屬具有功函數 $q\Phi_m$ 與一半導體其功函數為 $q\Phi_s$ 緊密結合時，由於兩者電荷所具之位能不同，為達成穩定狀態，在界面處會發生電荷流動之情形，直到雙方費米能階相接合為止。同時在界面處建立電場，形成一

能障(Built-in potential barrier, V_{bi})，阻止電荷繼續流動。如圖 2-2 所示。例如：若 $\Phi_m > \Phi_s$ ，即半導體費米能階在未與金屬相接合之前，會高於金屬之費米能階。當兩者緊密相接後，為使雙方費米能階相同，則半導體處的電子因處於高能狀態需往低能量處移動，以達成平衡。所以半導體處之電子將向金屬方向移動而留下帶正電之離子。相同的理由，金屬處之電洞則會向半導體方向流動，留下帶負電之離子。經由正、負電子彼此分離的過程，最終將在界面處建立一電場，阻止雙方電子與電洞的互相移動。這個所建立的電場區域即稱為空乏區，一旦電荷進入空乏區，便會受電場作用被推向空乏區外側，所以在空乏區中不會存在有任何的電荷。

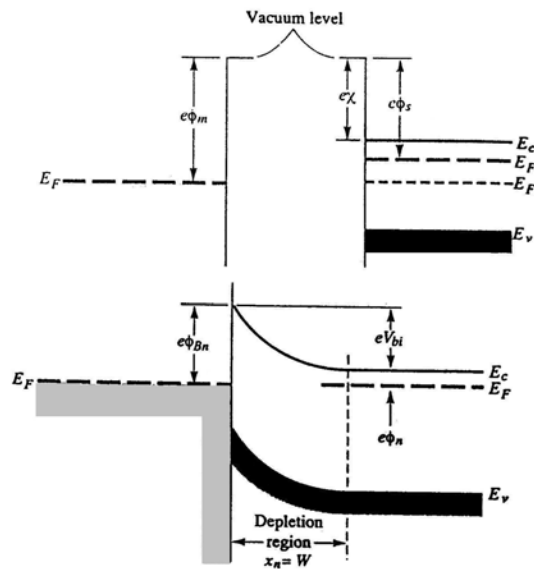


圖 2-2 金屬與半導體接面達穩態時之能帶圖

當在蕭基能障上加一順向偏壓 V_f ，對半導體上之電子而言其能障將由 V_{bi} 降為 $V_{bi} - V_f$ ，使得電子經由擴散越過空乏區之數目增加，此時稱為順偏，如圖 2-23a) 所示。若加一逆向偏壓 V_r ，對半導體上之電子而言其能障將由 $V_{bi} + V_r$ ，電子跨過能障之數目將大幅減少，此時稱為逆偏，如圖 2-3(b) 所示。

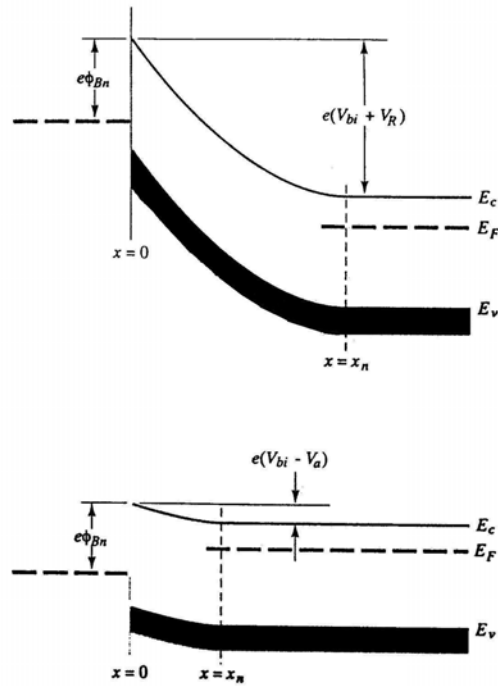


圖 2-3 蕭基能障加上 (a)順偏壓 (b)逆偏壓

選擇形成蕭特基能障的金屬時，主要根據二要點：

1. 對半導體之黏著力高。
2. 功函數高，以降低漏電流。

判斷閘極製作優劣，則以理想因子(ideality factor)、蕭基能障 (Schottky barrier height)、閘極漏電流(Gate leakage current)與耐壓來判斷。製作時，一般選擇白金(Pt)與鎳(Ni)等高功函數(work function)的金屬來降低閘極漏電流。白金的功函數比鎳高，可以製作出具較低閘極漏電流、具更高蕭特基能障與耐壓的蕭特基閘極。但鎳在氮化鎵表面的吸附力比白金好，不易脫落。因此大多數的小線寬元件採用鎳作為閘極材料。

2.2.2 閘極掘入

AlGaIn/GaN HFET 主要是利用極化效應(Polarization effect)所感應產生之二維電子氣來做為通道，在外加偏壓下，改變閘極位置，可控制空乏區之深度並依此調變通道。

閘極掘入(Gate recess)是藉著改變閘極位置，達到能以更小之外加偏壓達到控制通道開闔之目的，亦即是能藉此調變電晶體工作之臨界電壓(threshold voltage, V_{th})大小。同時，因為閘極距離通道之距離縮減，致使通道對外加偏壓所導致之影響更加敏感，也就是說，外加閘極電壓對通道電流之影響加劇，即外部轉導(extrinsic transconductance, G_m)增加。閘極掘入時，藉著量測汲極與源極間之電壓對電流關係，可依此判斷已掘入深度，如圖2-4所示，掘入蝕刻期間飽和電流將因為通道縮減而降低，所以當飽和電流降到所預定之大小時即表示已到達預定之深度，即可停止掘入蝕刻。

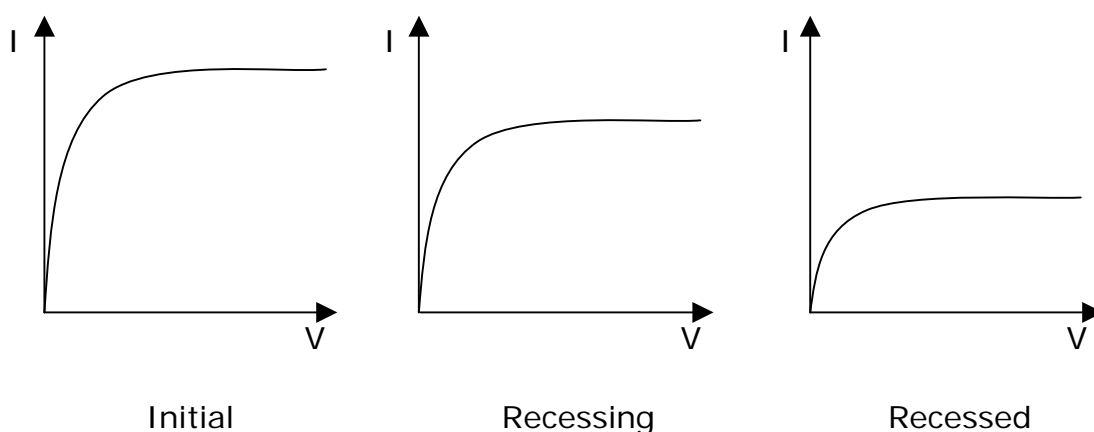


圖 2-4 閘極掘入之飽和電流圖

2.3 電漿蝕刻原理

室溫下氮化鎵化學性質穩定且大部分不溶於一般蝕刻液，因此乾式蝕刻便成為氮化鎵圖形轉移的重要技術。而乾式蝕刻均是採用電漿來進行蝕刻，所謂電漿，為一由(1) 未解離之氣態分子；(2) 陰、陽離子及電子；(3) 中性自由基(free radical)；(4) 介穩粒子 (metastable particles)。所組成之準中性氣體(quasi-neutral)氣體。基本上電漿屬於一種導電的流體，所以會受到電場和磁場的影響，因此可利用外加電場的驅動而形成，並會隨之產生輝光放電現象。解離氣體中帶電的粒子彼此會有庫倫作用力，所以這些帶電粒子會呈現集體化的行為特性。

乾式蝕刻(Dry etch)，是以氣體電漿來蝕刻樣品的表面原子或分子。影響乾蝕刻的因素包括：(1)蝕刻系統型態；(2)乾蝕刻的參數；(3)前製程相關參數，如光阻、待蝕刻薄膜之沈積參數條件、待蝕刻薄膜下層薄膜的型態及表面的平整度。一個化學反應機制的理想蝕刻過程，如圖2-5所示，可分為下列幾個步驟：(1)反應氣體進入腔體；(2)產生電漿型態之蝕刻物種，如離子及自由基；(3)蝕刻物種藉由擴散、碰撞或場力移至待蝕刻物體表面並吸附於表面；(4)蝕刻物種停置在待蝕刻物體表面一段時間；(5)進行化學反應並產生揮發性之生成物；(6)生成物脫離蝕刻物表面；(7)脫離表面之生成物擴散至氣體中排出。上述步驟若其一個步驟停止發生，則整個反應將停滯。而其中生成物脫離表面的過程最為重要，大部分的反應物種皆能與待蝕刻物表面產生快速的反應，但是，當生成物無法順利的脫離晶片表面，反應將不會發生。

在乾蝕刻中，隨著製程參數及電漿狀態改變，其反應又可細分為^三三種蝕刻型態：1. 純物理性蝕刻；2. 純化學反應性蝕刻；3. 離子輔助蝕刻。

2.3.1 純物理性蝕刻：

純物理性蝕刻，又稱為離子轟擊蝕刻，是利用偏壓將電漿中帶電的正離子加速並往晶片表面轟擊，透過部分離子能量的轉移而將蝕刻材料擊出，可視為一種物理濺鍍(sputter)。此過程完全利用物理上的能量轉移，故屬於物理性蝕刻。由於離子撞擊擁有良好的方向性，此類蝕刻可獲得接近垂直的蝕刻輪廓的特點。但是由於離子是以撞擊的方式達到蝕刻的效果，因此光阻與待蝕刻材料兩者同時遭受蝕刻，所以，此蝕刻型態對蝕刻材料之選擇性很差。同時蝕刻終點必須精確的控制，因為以離子撞擊方式蝕刻對於多層物質的選擇比很低。且被擊出的物質往往是非揮發性物質，而這些物質容易再度沈積至被蝕刻物薄膜的表面或側壁，所以蝕刻效率偏低。此種蝕刻效果與蝕刻材料的化學鍵能有相當大的關係。其蝕刻過程如圖2-6(a)所示。氣體所解離的陽離子受偏壓影響加速移動至晶片表面，陽離子撞擊晶片表面以達到蝕刻的結果。

● Etching

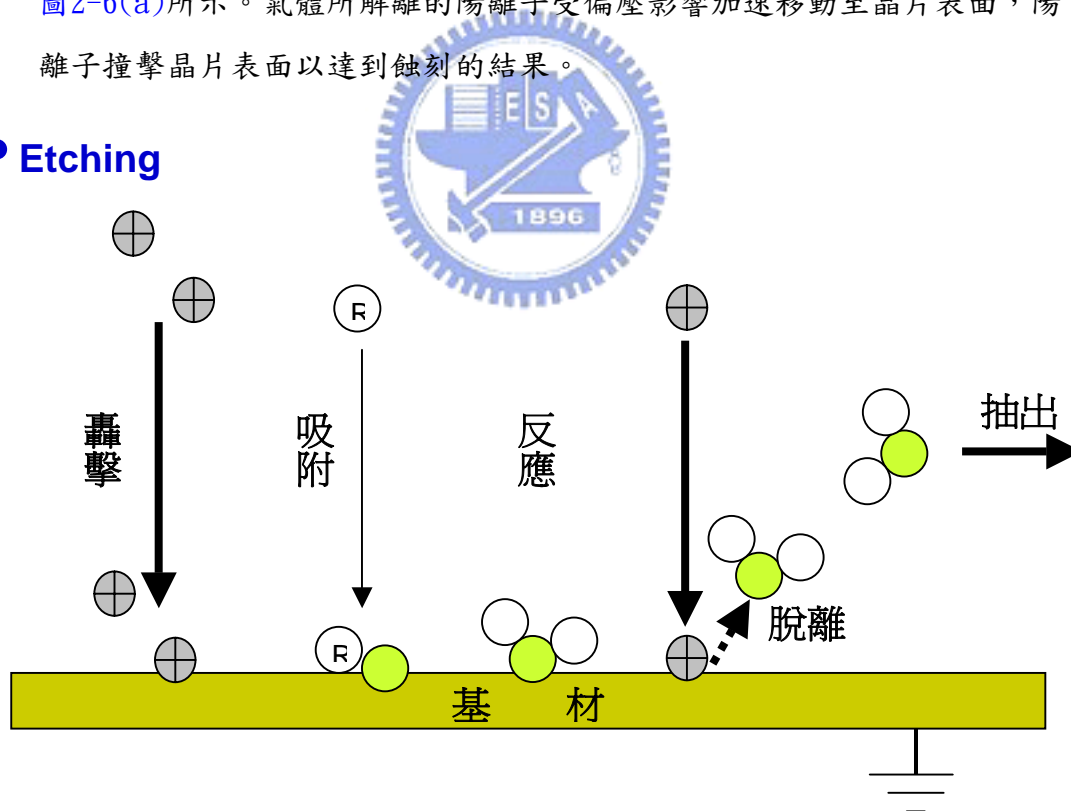


圖 2-5 電漿蝕刻示意圖

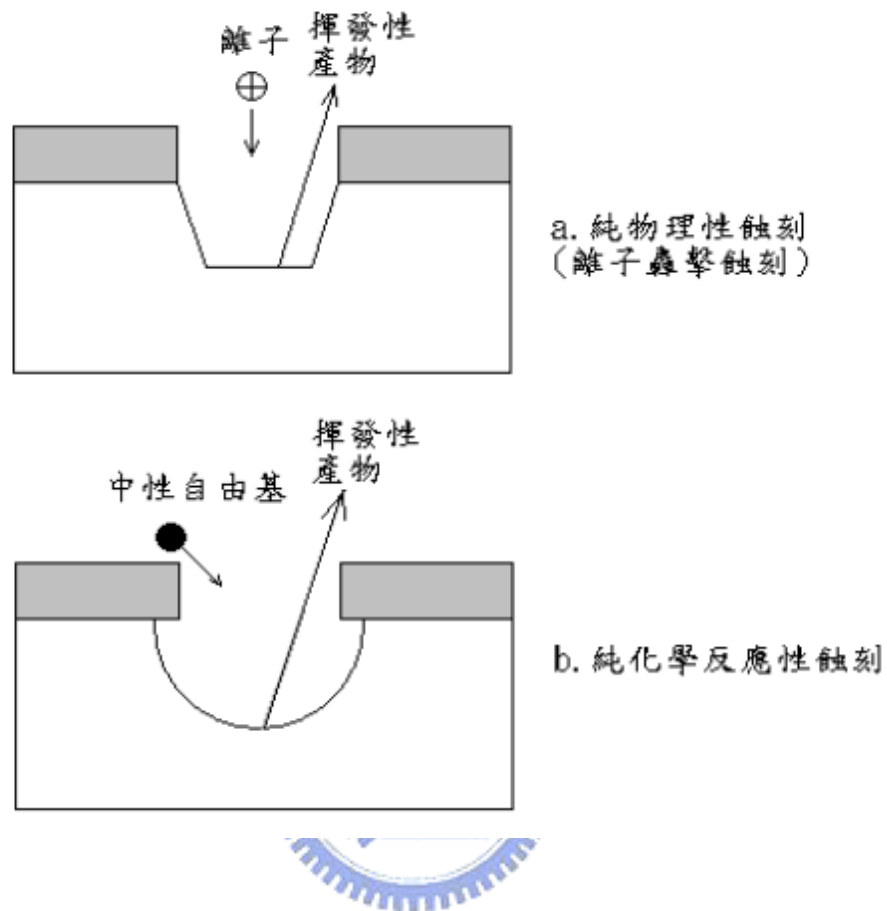


圖 2-6 物理性與化學性蝕刻示意圖

2.3.2 純化學反應性蝕刻：

純化學反應性蝕刻，則是利用電漿中的反應粒子擴散至待蝕刻物質的表面，並與蝕刻表面原子進行反應，形成易揮發性產物，藉由真空設備抽離反應腔，而達到蝕刻效果。如圖2-6 (b) 所示在此反應機構中，反應粒子的組成主要是蝕刻氣體經電漿放電解離成的自由基原子團(radical)，原子團經擴散至蝕刻表面而進行等向性蝕刻。因此種反應完全利用化學反應

來完成，故屬於化學反應蝕刻。此種蝕刻方式相近於濕式蝕刻，只是反應物及產物的狀態由液態變為氣態，並利用電漿來促進蝕刻的速率。因此，純化學反應性蝕刻擁有類似於濕式蝕刻的優點與缺點，即高選擇比及等向性蝕刻。綜觀而論，純物理蝕刻，有兩大缺點：1. 選擇比低；2. 蝕刻效率低。而化學反應蝕刻也有兩個缺點：1. 等向性蝕刻，2. 無法運用到次微米製程上，此乃由於線寬控制與均勻性等問題。

2.3.3 離子輔助蝕刻：

另外一種蝕刻機構，為最廣泛使用的製程方法，結合物理性與化學反應性蝕刻類型，其兼具了物理性蝕刻的非等向性，及化學性蝕刻的高選擇比之優點。因蝕刻的過程不同，將其細分為下：(1)離子輔助蝕刻；(2)側壁被覆層輔助蝕刻。

2.3.3.1 離子輔助蝕刻



離子輔助蝕刻(ion-enhanced etching)，即所謂的活性離子蝕刻(Reactive Ion Etch, RIE)，此種蝕刻方式兼具非等向性及高選擇比等雙重優點，蝕刻的進行主要靠化學反應來達成，以獲得高選擇比。即反應粒子在無離子轟擊的情況下幾乎不與蝕刻表面作用，當離子撞擊晶片表面造成晶片表面晶格的破壞、原子鍵的斷裂，進而與電漿中的原子團反應形成揮發性產物，以達到蝕刻的效果。

2.3.3.2 側壁被覆層輔助蝕刻

側壁被覆層輔助蝕刻(ion-enhanced inhibitor)，此機構的概念就是反應粒子會與晶片表面立即反應，由於偏壓的作用，離子束會做垂直表面的轟擊，而側壁的沉積物會留下，且可降低純化學性蝕刻的等向性蝕刻作用，使整個蝕刻過程成為非等向性蝕刻。

加入離子撞擊的作用有二：一是將待蝕刻物質表面的原子鍵破壞，亦加速蝕刻速率；二是將沈積於待蝕刻物質的產物或聚合物(polymer)打掉，蝕刻方可繼續進行，而在側壁上的沉積物，因未受離子的撞擊而保存下來，阻隔了表面與反應蝕刻氣體的接觸，使得側壁不受侵蝕，而獲得非等向性蝕刻。

綜上所言，電漿蝕刻的完成包含了以下幾種過程：(1)化學反應，屬等向性；(2)離子輔助蝕刻，具方向性；(3)保護層的形成，可避免側壁遭受侵蝕；(4)生成物殘留的排除。

上述二種蝕刻機制，其蝕刻型態如圖2-7所示。本實驗所使用的電漿氣體為Cl₂氣與Ar氣，其蝕刻過程中的反應型態是接近離子強化反應蝕刻類型。而我們使用的電感耦合電漿蝕刻系統為日本Samco公司製造，機台型號為RIE-101iPH。

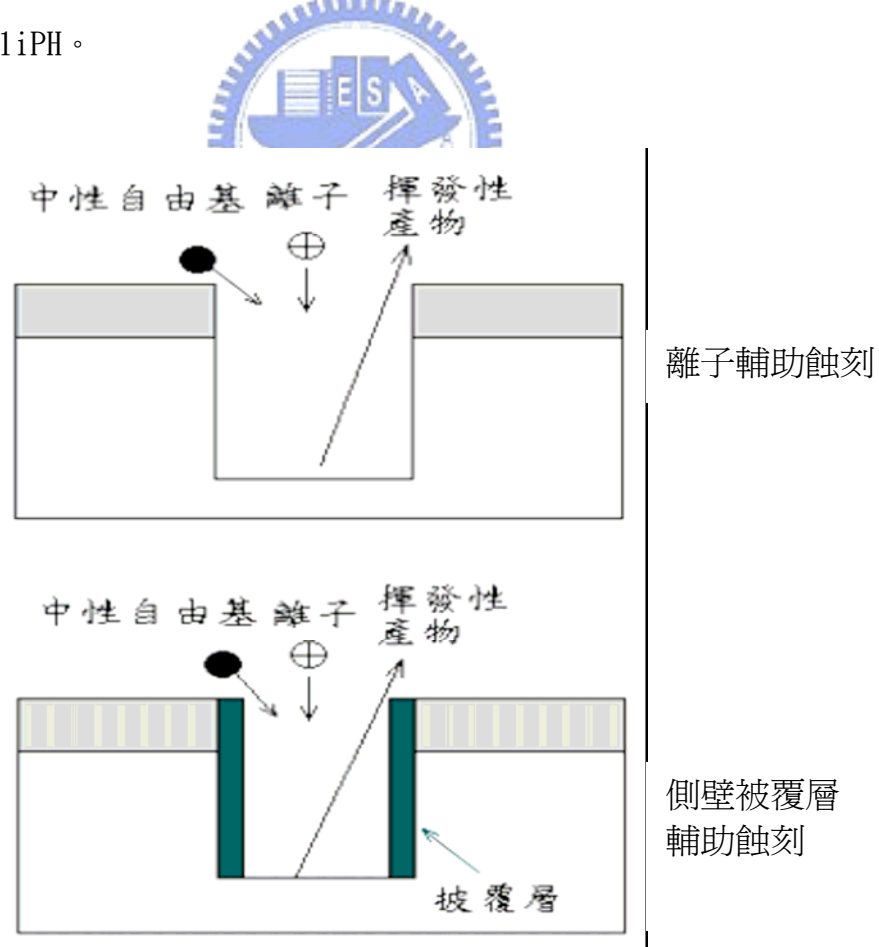


圖 2-7 離子輔助蝕刻示意圖

2.4 current collapse^[14]

current collapse 如圖 2-8 所示，描述當元件操作於高頻時之輸出電流與直流時之輸出電流相較之衰減，因為 current collapse 現象導致元件在高頻時之操作功率衰減。導致 current collapse 發生之主因來自 surface trap，如圖 2-9 所示：

元件截止時，通道處於空乏狀態由於在汲極側之閘極電場極大，造成非常少量的閘極漏電流，這些漏電流填滿了 surface trap，使此區表面形成負電位並產生對應之空乏區。當元件 turn-on 時這些 surface trap 因為放電時間常數之關係，無法立即釋放所攜帶之負電，導致通道無法順利開啟，並因此而使輸出電流下降。



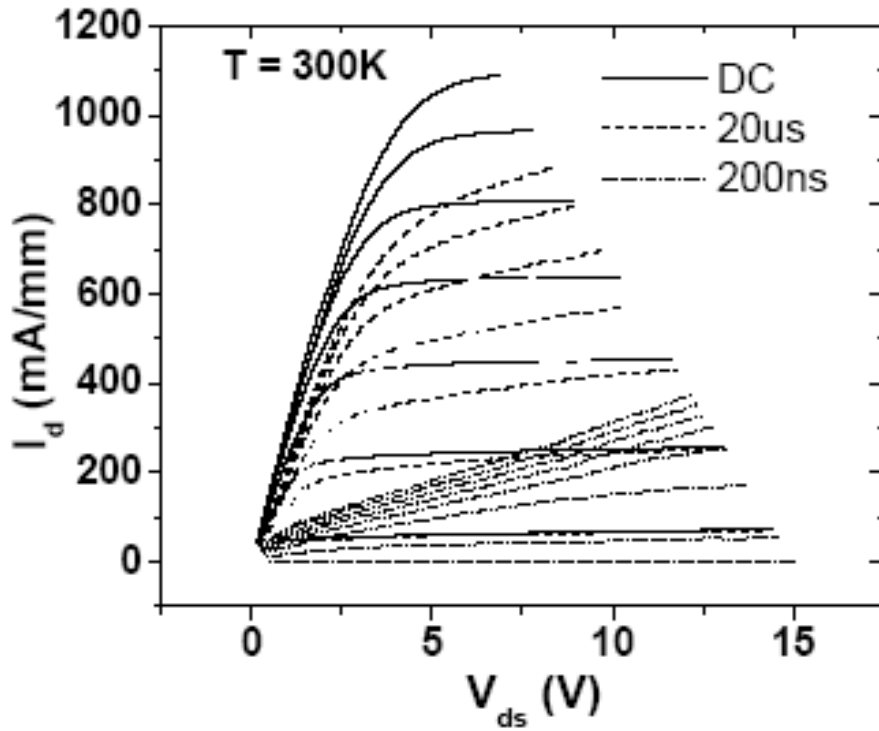


圖 2-8 DC與pulsed之IV特性^[14]

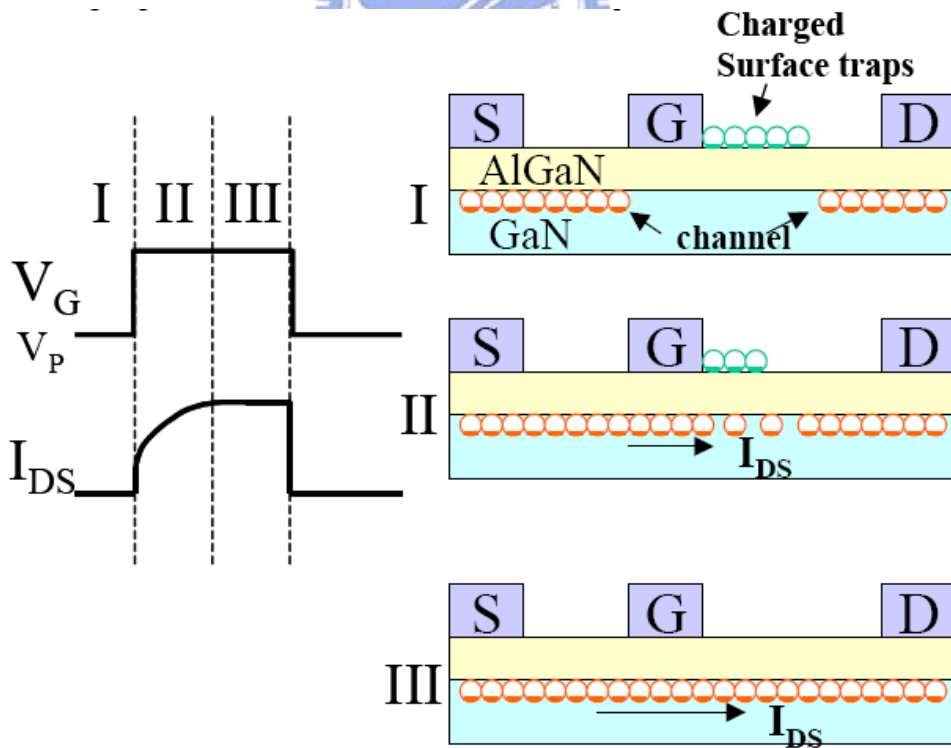


圖 2-9 Current collapse 發生機制^[14]