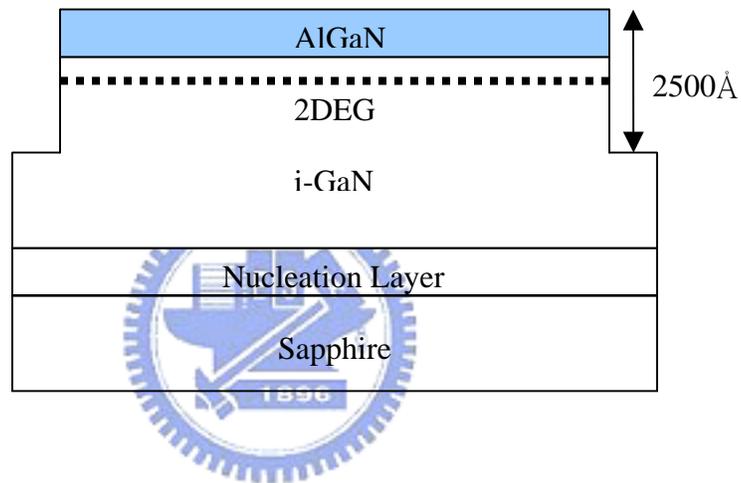


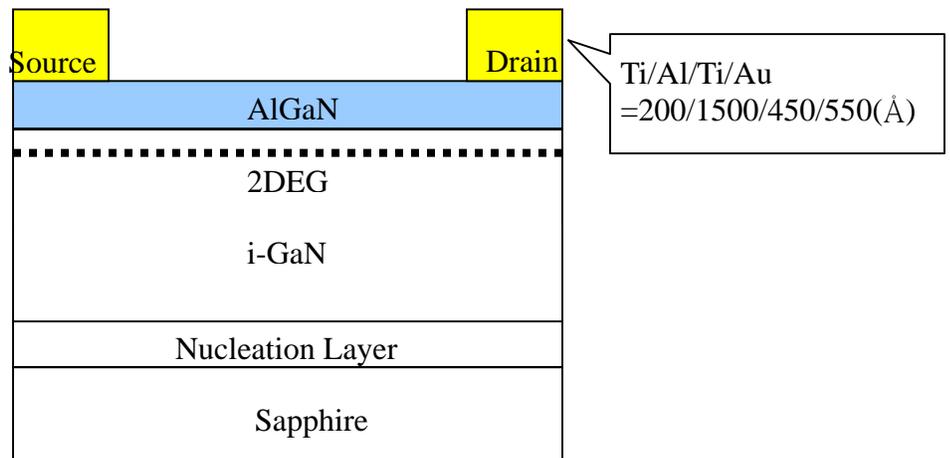
第三章 元件製程與量測方法

製程中使用四道光罩，分別為(1)平臺隔離(mesa isolation)；(2)歐姆接觸 (ohmic contact) (3)閘級製作(gate contact)；(4)鈍化製程(passivation) ， 流程如圖3-1 所示：

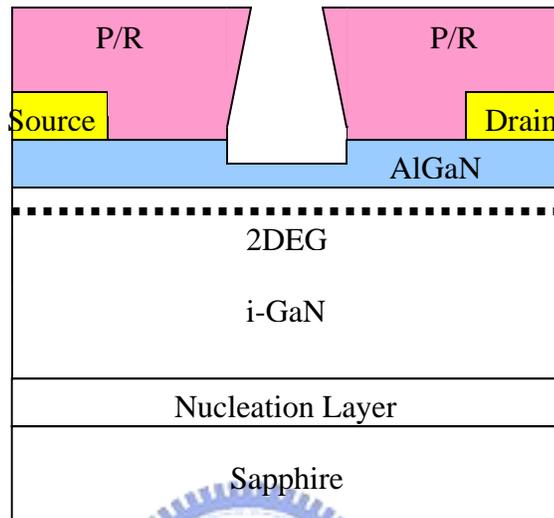
(1) 平台隔離 (mesa isolation ; mask 1)



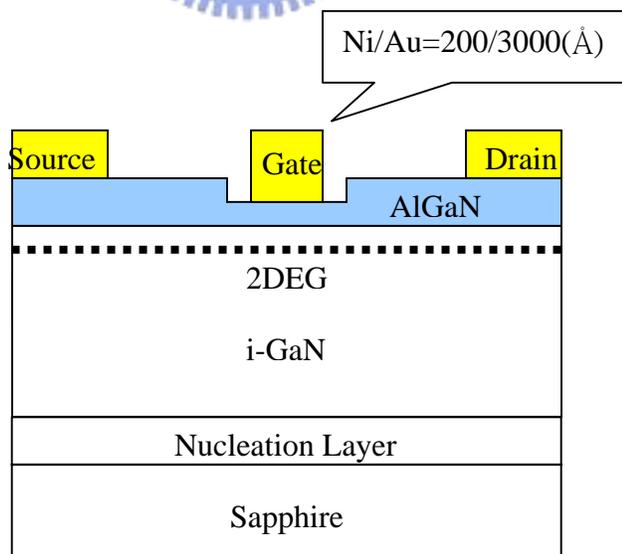
(2) 歐姆接觸 (ohmic contact ; mask 2)



(3) 閘極掘入 (Gate Recess ; mask 3)



(4) 閘極製作 (Gate contact ; mask 3)



(5) 鈍化製程 (Passivation ; mask 4)

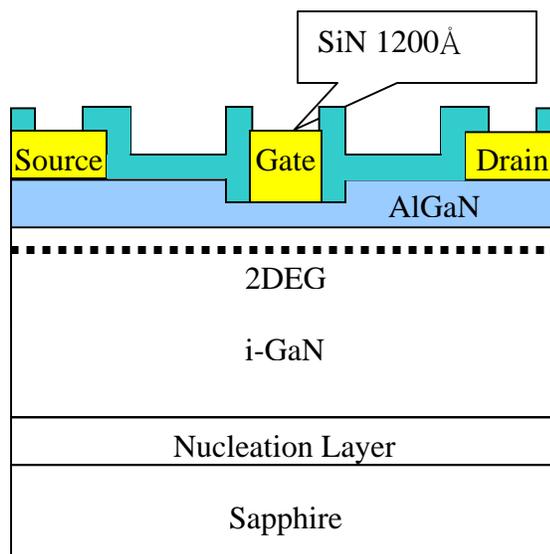


圖 3-1 製程流程



3.1 平臺隔離製作

平臺隔離(Mesa Isolation)通常是製作元件的第一步驟。平台隔離能夠定義主動區(active region)，進而控制一導電性薄片上表面區域的電流方向，使每一個元件間，各自獨立操作而不受彼此干擾。

因為氮化鎵緩衝層具半絕緣特性(Semi-insulation)，所以利用蝕刻技術，將獨立元件之間的磊晶層去除，蝕刻至半絕緣特性的(semi-insulation)緩衝層便可達絕緣目的。若緩衝層絕緣性不佳，部分電子可經由緩衝層流至汲極，其電流不受閘極電壓所控制是為元件漏電流。因此，緩衝層的品質好壞、絕緣特性便會影響元件的截止特性。

製作平臺隔離主要的好處除了能有效控制電流在主動區內的流向之外，將閘極金屬置於絕緣區可有效降低閘極金屬襯墊下所產生的寄生電容效應，這可有效的改善元件之高頻特性。

由於氮化鎵的材料系統上，並無適當濕式蝕刻溶液。因此我們採用感應耦合電漿(Inductively Couple Plasma, ICP)乾式蝕刻方式進行平台蝕刻。此外，乾式蝕刻之下，光阻/氮化鎵的蝕刻選擇比不佳，在蝕刻氮化鎵的同時，光阻也會被蝕刻掉。因此利用lift off製程，將光阻圖案轉移至Ni上。以Ni當etching mask，再利用電感耦合電漿(Inductively Couple Plasama, ICP)乾式蝕刻方式，將平臺定義出來。

3.1.1 微影製程(lithography)

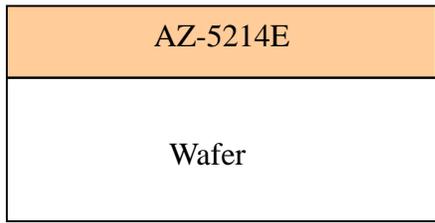
光阻的選擇上，使用AZ5214E反轉型光阻，此光阻為專為Lift off 製程所設計之光阻。一般正光阻曝光後因繞射特性之影響，使得光阻上方所接受之曝光劑量高於光阻底部所接受之曝光劑量，這使得圖像側壁角度視曝光條件不同約為 $75^{\circ}\sim 85^{\circ}$ ，造成蒸鍍金屬時因側壁附著金屬，使得Lift off時剝離液不易流入溶解光阻。而反轉型光阻利用相同之繞射特性，在經圖像反轉後，反能將上端接受曝光劑量較多之光阻保留下來，造成負側壁角度(under cut)，這使得Lift off之成功率提高許多。

曝光程序及反轉過程如圖 3-2 所示，曝光及對準過程中需注意處四點：

1. 光阻厚度對線寬影響：若光阻過厚不易曝出小線寬，但若過薄則不利於Lift-off。
2. 邊緣光阻之去除：試片邊緣隆起之光阻將妨害對準及密接。
3. 密接(close contact)之確實：不確實之密接曝光時之漏光將使圖案走樣。
4. 曝光劑量：image 時，過高之劑量將造成線寬下降與鍵結過多使Lift-off 時光阻無法除淨，但劑量過少將使線寬上升。Flood 時，過高之劑量將造成線寬上升與側壁崩解，但劑量過少將使光酸不足造成定義區光阻無法去除。

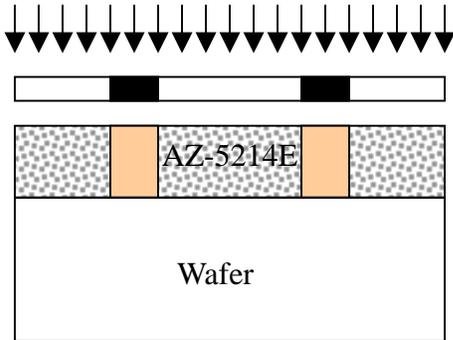
3.1.2 平台隔離蝕刻(Mesa isolation etch)

利用離子輔助蝕刻(ion-enhanced etching)做平台隔離之大深度蝕刻。平台隔離蝕刻時需注意蝕刻深度之控制，若蝕刻深度不足，元件之漏電流變大即元件與元件間無法完全隔離。若蝕刻深度過深，在蒸鍍金屬時，連接平台與探點之介面將容易斷裂。合理之蝕刻深度約 $1000\sim 2000\text{\AA}$ 。



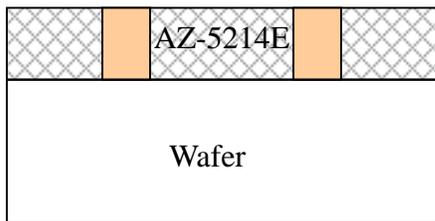
1. 經由轉速控制光阻厚度

2. 軟烤降低溶劑含量



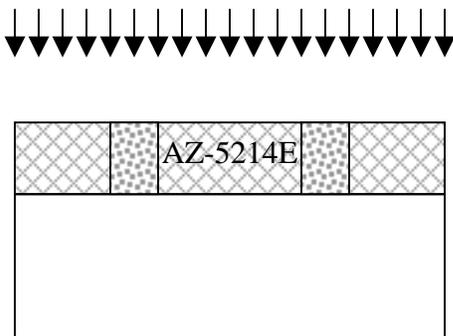
3. Image Exposure

經由曝光，形成一種 PH 值較其他為曝光光阻低之酸性光阻。



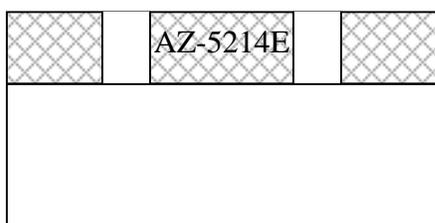
4. Post Bake

曝光後的光阻經過烘烤後，會經由一種酸的催化機制而 cross-link。



5. Flood Exposure

整面曝光後，先前未反應之區域進行反應。



6. Develop

顯影時，含酸性光阻處比鍵結處之光阻快 80~100 倍溶解。

圖 3-2 影像反轉示意

3.2 歐姆接觸(ohmic contact)

金屬接觸的導電機制主要有兩方面：Thermionic emission 與 Tunneling 機制。Thermionic 機制需要功函數夠低的金屬來製作好的歐姆接觸。Tunneling 機制可透過提高半導體雜質摻雜濃度與高溫快速退火來達成。

3.2.1 表面處理

1. UV-OZONE 表面處理

在黃光顯影製程之後，UV-OZONE 表面處理可以氧化、去除在歐姆接觸區表面的殘餘光阻。使得歐姆接觸電阻不至於受到殘餘光阻的影響而上升。

2. 電漿表面處理

在鍍歐姆接觸金屬之前，我們用低bias power 的氬離子(Ar)電漿對氮化鎵進行表面處理(surface treatment)。在低偏壓下氬離子電漿的蝕刻速率非常慢，大約只有100~200Å/min。此外，氬離子電漿會對氮化鎵(GaN)表面造成晶格損害(lattice damage)且增加了氮原子空洞(Nitrogen vacancy)的密度。因此可以有效地增加在歐姆接觸區域附近的表面電子濃度，使得歐姆接觸大幅降低。一般來說，經過電漿表面處理後的接觸電阻可由3Ω-mm 降至0.5Ω-mm 左右，可以大幅地改善元件的特性。

3. 鹽酸(HCl)浸泡表面處理

由於表面的AlGaN 易氧化形成阻值高的原生性氧化層(Native oxid)。在鍍金屬之前，鹽酸水溶液浸泡表面處理可以去除此原生性氧化層，降低接觸電阻。

3.2.2 金屬蒸鍍

歐姆接觸金屬為Ti/Al/Ti/Au。快速退火(Rapid thermal annealing)之後，Ti會跟氮化鎵的氮反應，形成具金屬性薄層TiN，同時也會產生許多氮空洞(N vacancy)，在接觸區域增加載子濃度，因此形成歐姆接觸。Al 則跟部份Ti 形成TiAl 合金同時保護表面不受氧化。最上層的金則作為接觸電極之用(contact pad)。

3.2.3 剝離(Lift-off)

Lift-off 技術成像原理，首先在形成一層反像的圖樣，此層我們稱之為Stencil-layer 如圖3-3，再將金屬全面蒸鍍在試片上，最後浸泡試片在只溶解Stencil-layer 的溶液中。在Stencil-layer 上的金屬便隨著Stencil-layer 的溶解而剝落，藉此方式我們不但可以避免蝕刻過程而仍能得到我們所希望的金屬圖樣，同時也減少製程的步驟。

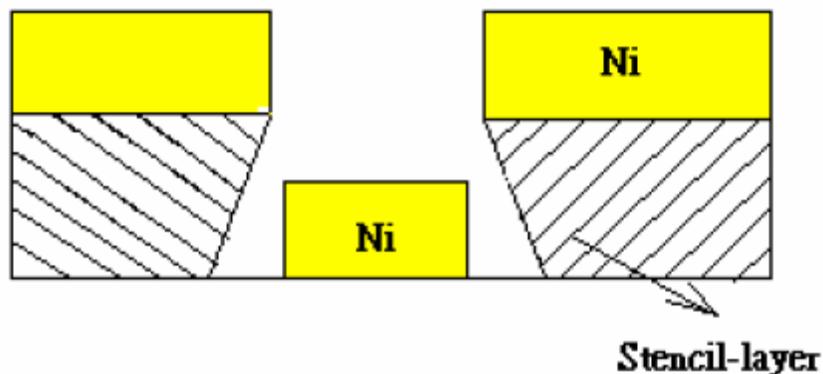


圖 3-3 Stencil-layer 示意圖

Lift-off 製程技術雖然方便，但對初使用者而言，失敗的機率是蠻高的。成功的先決條件在於光阻是否形成適當的輪廓，如果光阻底部向兩側凹入，呈

現蕈狀結構(mushroom)，則可確保金屬在蒸鍍後並不會完全連接住而是在金屬與光阻間能保留一個空隙。在浸入去光阻液後，便可使溶液與光阻反應，輕易地將光阻去掉。另外蒸鍍金屬時須確定蒸鍍腔的溫度不可過高，光阻因高溫而變質也是導致Lift-off 敗的主因之一。此外光阻亦不可過薄，否則也會導致lift-off 失敗。

3.2.4 快速熱退火 (Rapid thermal annealing, RTA)

在金屬的退火過程中，適當的溫度與時間是重要的參數，一般退火的溫度約在 750°C 左右，隨系統差異而有些許不同，退火過程中為避免表面金屬氧化導致接觸電阻上升，所以通入氮氣或forming gas(15% H₂, 85% N₂)作為Annealing ambient。



3.3 閘極製作

閘極製作為整套流程中最重要之步驟，利用金屬與半導體接面之蕭特基接觸所產生之空乏區可經由外加偏壓來控制其寬度大小，進而控制通道中之電流，蕭特基閘極製作好壞之考量主要有四項要素：

- (1) 理想因子(ideality factor)
- (2) 蕭特基能障(schottky barrier height)
- (3) 閘極漏電流(gate leakage current)
- (4) 崩潰電壓(breakdown voltage)

3.3.1 閘極掘入 (Gate recess)

藉著改變閘極所在深度，可達到調變臨界電壓之目的。因為氮化鎵並無適當之濕式蝕刻液，所以使用 ICP 乾式蝕刻，但乾式蝕刻過程中，由於電漿之參與必然對材料造成一定程度之損傷。這些損傷產生的機制及如何抑制或是設法降到最低是我們所要考慮之重點，同時，因為使用光阻做為抵擋蝕刻之遮罩，所以蝕刻過程中，光阻的承受能力也要考慮在內。

感應式耦合電漿蝕刻有 6 項調變參數：

- (1) plasma power
- (2) bias power
- (3) Cl₂ flux
- (4) Ar flux
- (5) pressure
- (6) etch time。

所造成之破壞主要有：

- (1) 表面殘餘物(surface residus)的破壞
- (2) 內部晶格之損傷(lattice damage)
- (3) 光阻圖形之變形

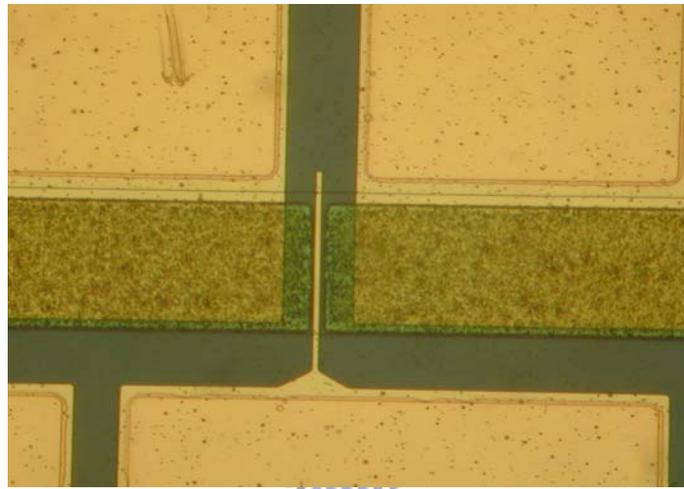
內部晶格之損傷通常由蝕刻時採用之離子轟擊(ion bombardment)所造成，此為離子經過電場加速後，具高能量之離子撞入材料內部時因物理性撞擊所造成之傷害。而加速電場由bias power所控制，產生撞擊之離子主要由氬離子(Ar⁺ ion)所組成，所以適當的控制此兩項參數來降低內部晶格之損傷。光阻圖形之變形主要由氯自由基(Cl radical)所造成，氯自由基在蝕刻過程中易與光阻產生化學反應，使光阻扭曲變形，bias power越大氯自由基所造成之影響亦越明顯，但在加入氬後可稍緩此現象，為避免光阻圖形變形過於嚴重，蝕刻時間不可過長。

3.3.2 金屬蒸鍍

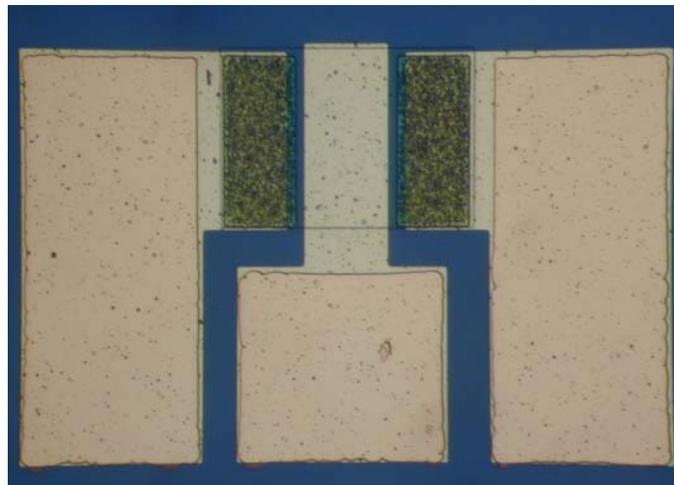
製作時，一般選擇白金(Pt)與鎳(Ni)等高功函數(work function)的金屬來降低閘極漏電流。白金的功函數比鎳高，可以製作出具較低閘極漏電流、具更高蕭特基能障與耐壓的蕭特基閘極。但鎳在氮化鎵表面的吸附力比白金好，不易脫落。因此大多數的小線寬元件採用鎳作為閘極材料。

3.4 元件完成圖

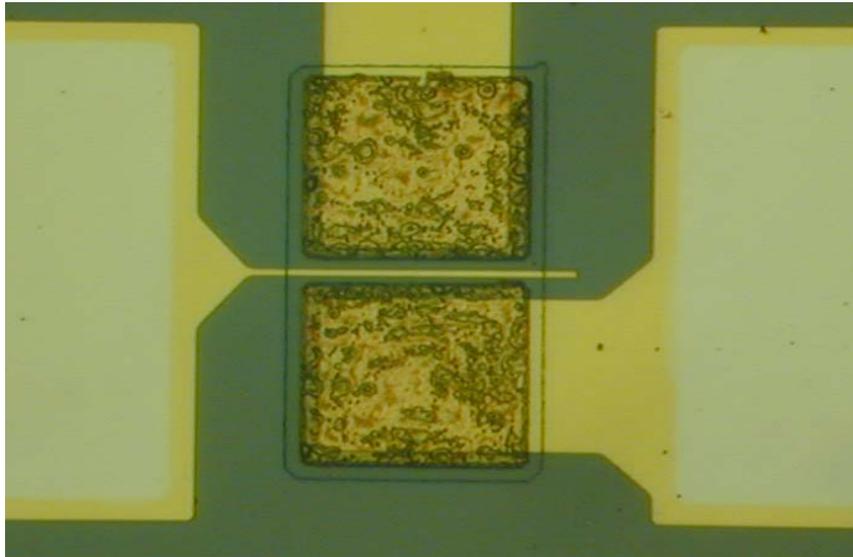
DC Pattern [圖 3-4] $1 \times 50 \text{ } \mu\text{m}^2$



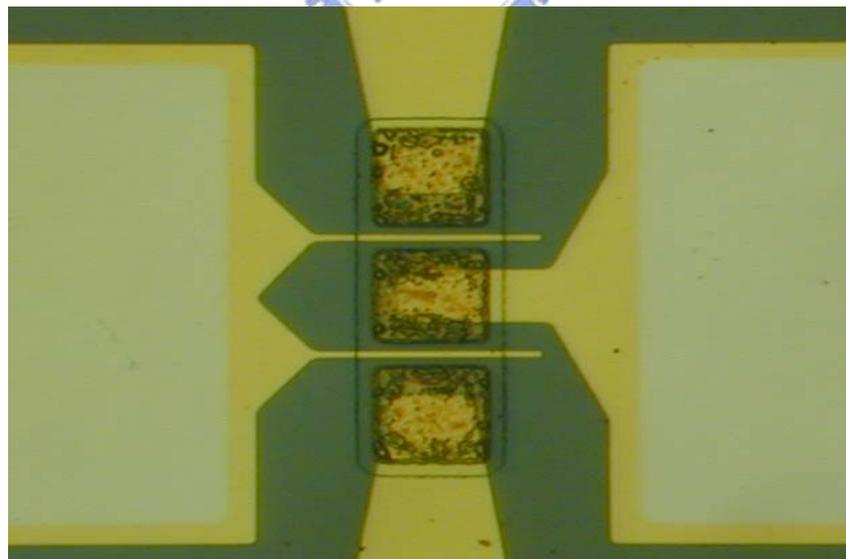
FAT FET[圖 3-5] $50 \times 100 \text{ } \mu\text{m}^2$



one finger pattern [圖 3-6] $1 \times 50 \text{ } \mu\text{m}^2$



two finger pattern [圖 3-7] $2 \times 1 \times 25 \text{ } \mu\text{m}^2$



3.5 量測方法

3.5.1 Transfer Length Method (TLM)

我們利用 Transfer Length Method (TLM) 量測粹取出特性接觸電阻 (specific contact resistivity, ρ_c)，以及其他重要歐姆接觸的參數。TLM 模型源自於 Shockley 的提出。如圖 3-8 所示，這個方法是由幾個不同間距的相鄰金屬襯墊所構成的，電流流向是一維的。任意兩個相鄰金屬襯墊間的總電阻為

$$R_T = \frac{\rho_s d}{Z} + 2R_c \approx \frac{\rho_s d}{Z} + 2 \frac{\rho_s L_T}{Z} = \frac{\rho_s}{Z} (d + 2L_T) \quad (3-1)$$

其中 transfer length 定義為 $L_T^2 = \frac{\rho_c}{\rho_s}$ ； d 是兩個相鄰襯墊的間距； Z 是金屬襯墊的寬度；而 ρ_s 是半導體的薄片電阻。

針對不同的接觸間距， d_1 、 d_2 、 d_3 、 d_4 、 d_5 ，測量其全部電阻。然後對全部電阻 R_T 與襯墊間的間距 d 做圖，如圖 3-9 所示。其中有三個參數可從圖中決定：第一個參數為薄片電阻 ρ_s ，由斜率 $\Delta R_T / \Delta d = \rho_s / Z$ 得到；第二個參數為接觸電阻 R_c ，由 y 軸的截距得到；第三個參數為 transfer length, L_T ，由 x 軸的截距得到。最後，特性接觸電阻, ρ_c ，可由上述的參數 ρ_s 、 L_T 整理得出，其關係式為

$$\rho_c = \rho_s L_T^2 = \left[\frac{(\text{intercept}(y))^2}{4 * \text{slope}} \right] \times Z \quad (3-2)$$

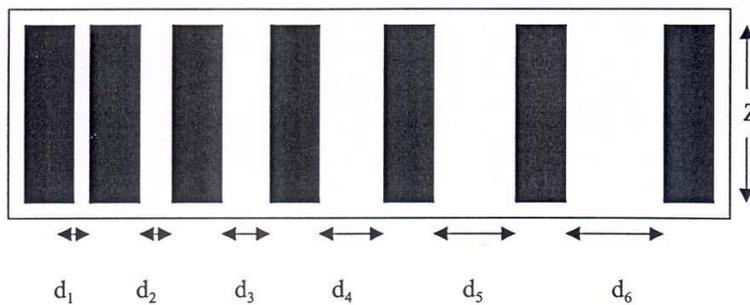


圖 3-8 TLM 金屬接觸襯墊示意圖

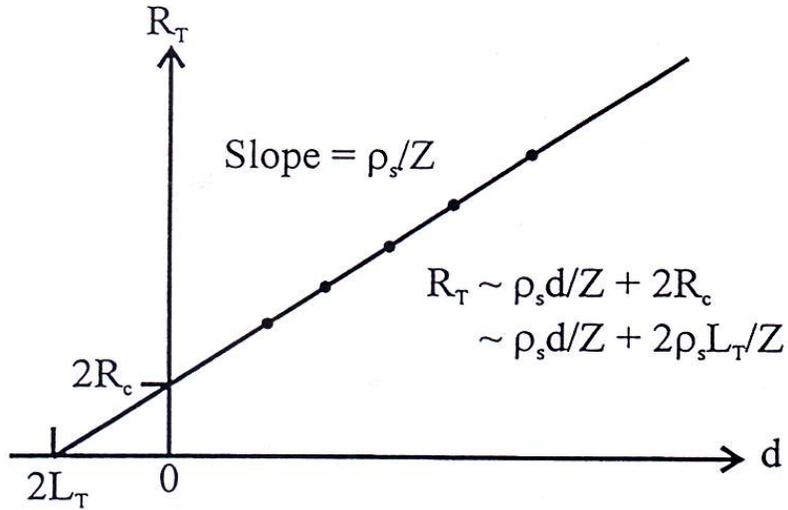


圖 3-9 總電阻與金屬襯墊間距關係圖

而總電阻 R_T 之量測，是以四點探針排列的量測方法，如圖 3-10 所示，以探針 1 及探針 2 做為電流源，通入電流後藉由探針 3 及探針 4 量測電壓後求得電阻 R_T 。利用此法時探針 3 及探針 4 宜盡量靠近金屬內側，以降低金屬本身阻值之影響。

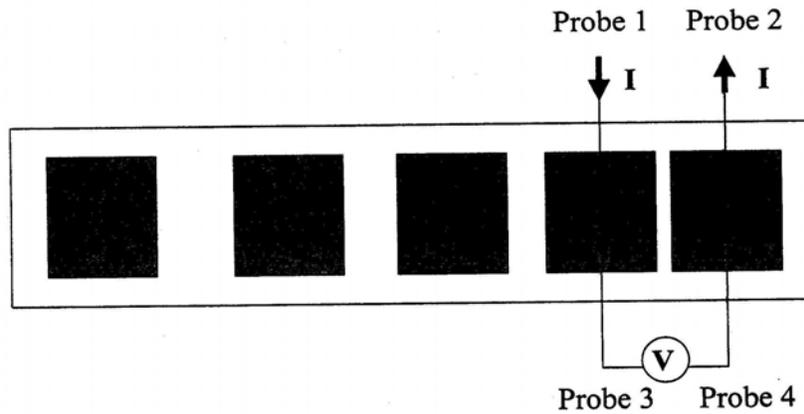


圖 3-10 四點探針量測方式

3.5.2 霍爾量測

遷移率及載子濃度通常被作為磊晶品質的指標，同時也會大大地影響元件的特性。通常，量測遷移率與載子濃度最方便的與可靠的方式為霍爾量測，是由 Van der Pauw 所提出。利用四個阻值對稱的歐姆接觸電金屬，施加 5000 高斯(Gauss)的磁場，計算得到電阻率(Resistivity)。以電壓計量測霍爾電壓，求得霍爾係數(Hall Coefficient)。最後經由下兩式運算可得材料載子濃度與遷移率。

$$N_s = \frac{-1}{qR_H} \quad (3-7)$$

$$\mu = \frac{|R_H|}{\rho} \quad (3-8)$$

q: 電子電荷($1.60218 \times 10^{19} C$)

3.5.3 Capacitance-Voltage (C-V)量測

C-V 量測的目的是為了看出二維電子氣(2DEG)的電荷分佈、電荷濃度，並可藉此推算出電子在二維電子氣的電子遷移率。

電子濃度對電容的關係可由下式決定

$$n(x) = -\frac{2}{q\epsilon_s\epsilon_0} \left(\frac{d}{dV} \frac{1}{C^2} \right)^{-1} = \frac{C^3}{q\epsilon_s\epsilon_0} \frac{dV}{dC} \quad (3-9)$$

其中V是施加在蕭特基閘級上的電壓；C是量測出的電容值； ϵ_s 是材料的介電常數。 $\epsilon_0 = 8.5 \times 10^{-14} C/Vcm$ ；q是電子電荷。

而空乏區深度與電容的關係如下

$$x = \frac{\epsilon_s\epsilon_0}{C} \quad (3-10)$$

由上兩式可觀察出電子在通道中的空間分佈。將電子濃度對空乏區深度積分即可得二維電子氣之平板電子濃度。

$$n_{sheet} = \int_{-\infty}^{\infty} n(x) dx \quad (3-11)$$

3.5.4 Fat-FET 量測

所謂的 Fat FET 其閘極長度較正常元件來的長，我們的光罩設計為 $50 \mu m$ 。在大尺寸的閘極長度下，載子傳導特性滿足古典定律。考慮 Fat FET 操作電流，忽略擴散電流(diffusion current)項。此外，又假設在 V_{ds} 很小的形況下，通道區 I-V 是線性的，所以電流正比於平行通道方向的電場、電子遷移率、以及平板電子濃度(sheet carrier concentration)。

$$I_{ds} = q\mu E_{ds} W n_{sheet} = q\mu \frac{V_{ds}}{L} W n_{sheet} \quad (3-12)$$

可由此推出通道電子遷移率。



3.5.5 Source Resistance 量測

電晶體內的等效電路如圖 3-11 與圖 3-12 所示。

如圖 3-7，source 接地，drain 浮接，量測電流 (I_g) 電壓 (V_{g1}) 的關係。

$$V_{g1} = I_g (R_s + R_d) \quad (3-13)$$

如圖 3-8 source 接地，drain 加電壓，量測電流 (I_g) 電壓 (V_{g2}) 的關係。

$$V_{g2} = I_g (R_s + R_d) + I_d \times R_s \quad (3-14)$$

$$\text{故 } R_s = \frac{V_{g2} - V_{g1}}{I_d} \quad (3-15)$$

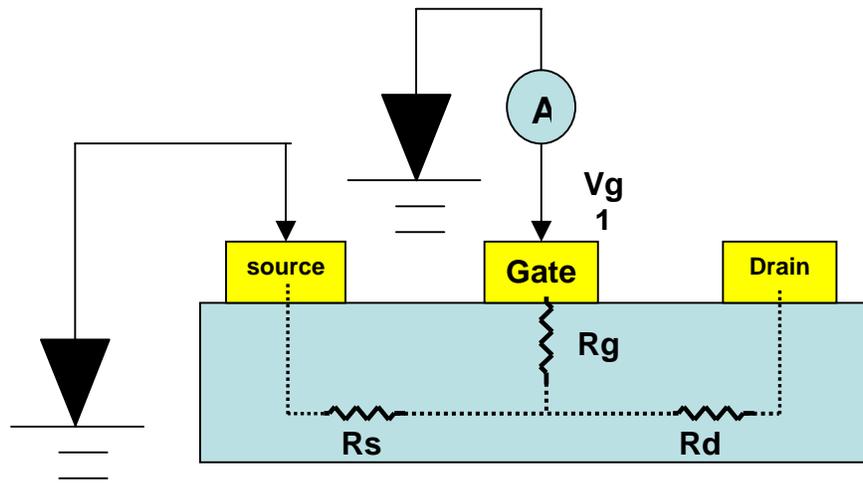


圖 3-11 Source Resistance 量測

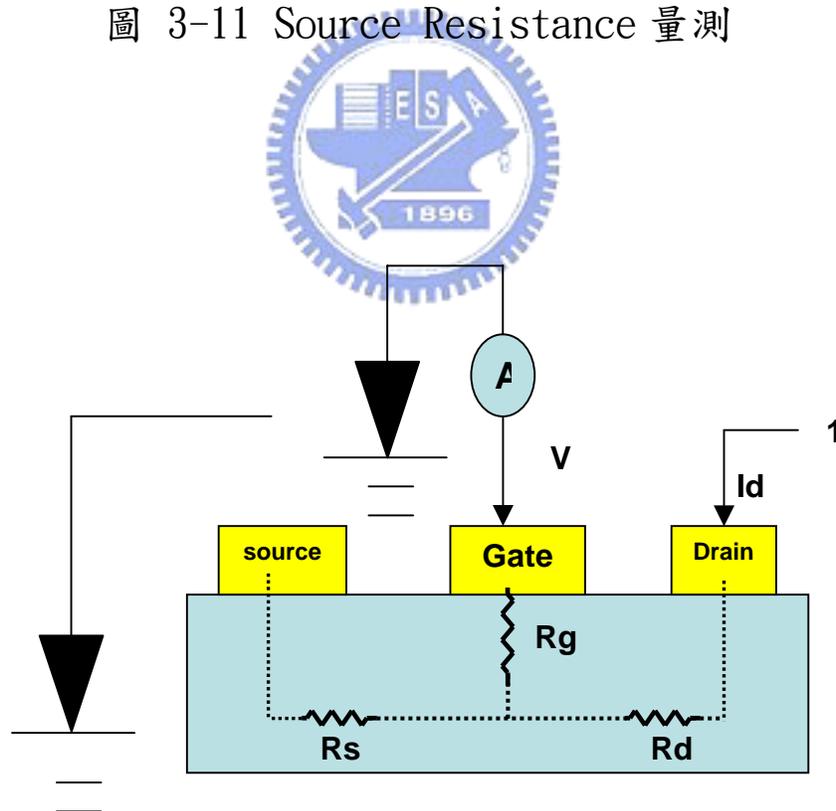


圖 3-12 Source Resistance 量測

3.5.6 current collapse 量測

因為 Current collapse 為輸入電壓快速切換時才會出現，以 HP4145 之 step 量測無法測得，需以 Tek370 curve tracer 量測。Curve tracer 之輸入訊號如圖 3-13 所示，除了以 60Hz Sine wave sweep 外，不像 HP4145 單次掃瞄而是不斷重複連續掃瞄，如此才能順利量得 current collapse 現象。

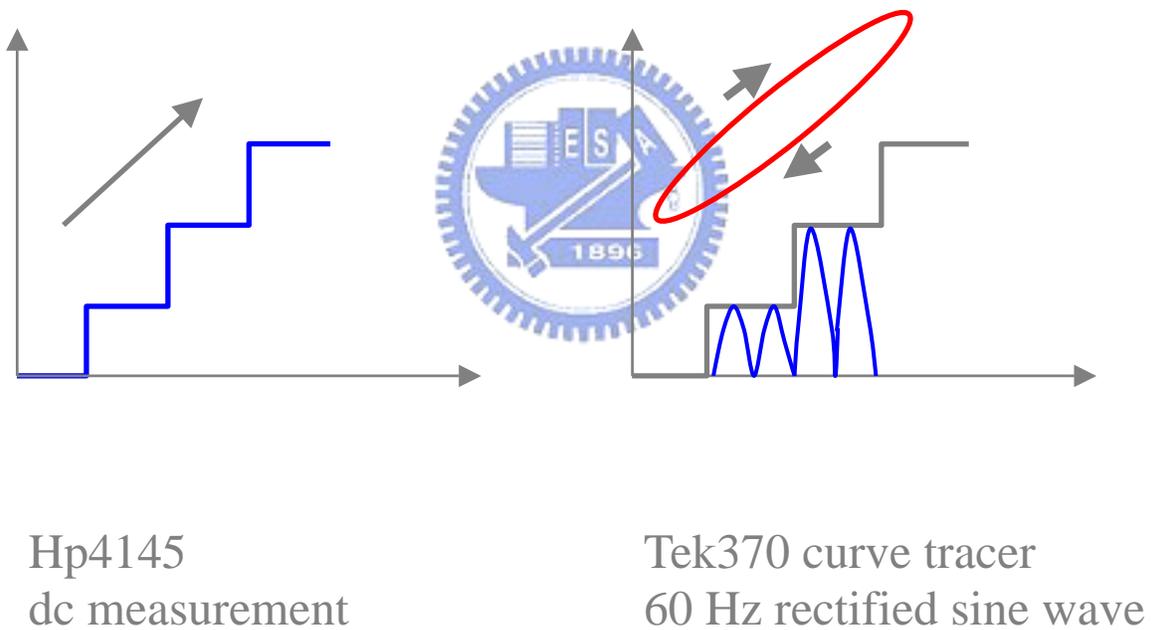


圖 3-13 輸入信號掃瞄模式