

第四章 結果與討論

4.1 試片結構

元件結構如圖 4-1 所示， $\text{Al}_x\text{Ga}_{1-x}\text{N}$ Undoped，這也是一般異質結構電晶體常見的結構，由下而上結構為：Sapphire 基版、緩衝層、3 μm undoped 氮化鎵及 35 nm AlGa N ，載子濃度為 $1.09 \times 10^{13} \text{ cm}^{-2}$ ，電子遷移率為 $1470 \text{ cm}^2/\text{V}\cdot\text{s}$ 。

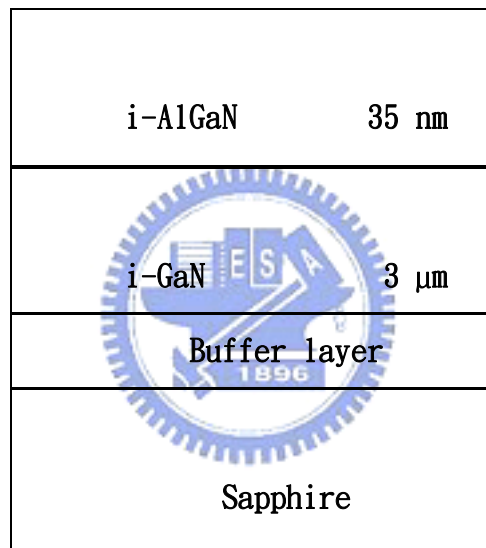


圖4-1 Undoped HFET 結構圖，其中 $\text{Al}=0.3$ 、 $d_{\text{AlGa}\text{N}}=35\text{nm}$ 。

圖 4-2 為 TLM 量測歐姆接觸電阻 (ohmic contact resistor)，歐姆接觸電阻約為 $0.447 \Omega\text{-mm}$ ，特性接觸電阻 (specific contact resistance) 為 $4.056 \times 10^{-6} \Omega\text{-cm}^2$ 顯示我們製程使用的表面處理步驟，即使在表面是 Undoped AlGa N 的結構下，還能得到不錯的歐姆接觸電阻。

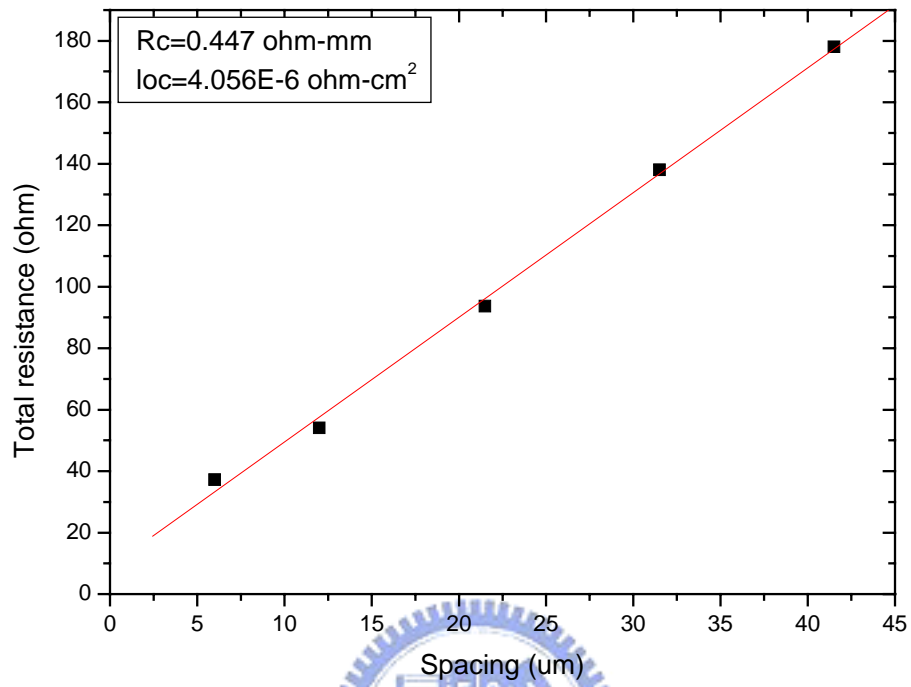


圖 4-2 TLM 歐姆接觸電阻

4.2 閘極掘入蝕刻

4.2.1 蝕刻條件

實驗中所採用之蝕刻條件如表 4-1 所示，蝕刻過程中藉量測汲極與源極間之電壓對電流關係判斷是否已達設定之目標深度，圖 4-3 為使用 Cl_2 蝕刻之條件所量得電壓對電流關係圖，最大電流由未蝕刻前之 82 mA 在掘入蝕刻後降至 76 mA，電流降低幅度約為 6mA，圖 4-4 為使用 Cl_2/Ar 蝕刻時所量得之電壓對電流關係圖，最大電流由未蝕刻前之 76 mA 經第一次掘入蝕刻後降至 68 mA，第二次蝕刻後電流再降至 59 mA，總電流降低幅度約為 17 mA。



4.2.2 C-V 量測

利用 C-V 量測可清楚看出實際蝕刻之深度，圖 4-6 為未經掘入蝕刻之試片量得之載子分佈圖，二維電子氣 peak 位置位於表面以下 35nm 處，圖 4-7 為經 Cl_2 偏壓 5 瓦蝕刻後量得之載子分佈圖，二維電子氣 peak 位置在表面以下約 30nm 處，可以此判斷經 Cl_2 偏壓 5W 蝕刻 60 秒後蝕刻深度約為 50Å，故其蝕刻速率約為 50Å/min。圖 4-8 為經 Cl_2/Ar 偏壓 10 瓦蝕刻 15 秒兩次後量得之載子分佈圖，二維電子氣 peak 位置在表面以下約 27nm 處，可以此判斷經 Cl_2/Ar 偏壓 10W 蝕刻共 30 秒後蝕刻深度約為 80Å，故其蝕刻速率約為 160Å/min。

4.2.3 討論

將Cl₂蝕刻與Cl₂/Ar蝕刻所量得之電壓電流關係圖整理後可得

圖 4-5，可觀察到Cl₂蝕刻電流降低幅度在第二次 20 秒蝕刻及第三次 20 秒蝕刻時均遠小於第一次蝕刻，而Cl₂/Ar蝕刻則無此問題，由圖 2-4 之蝕刻機制可解釋此一差異，電漿蝕刻時完整之程序為首先離子 (ion) 受偏壓加速後撞擊基材表面，破壞原子鍵結後自由基 (radical) 與表面原子進行反應後，經下一個離子轟擊基材表面時被打離表面，然後被真空系統抽出，整個蝕刻過程中離子之功能有二^[1]：

(1) 利用離子轟擊破壞原子間之鍵結

(2) 清除蝕刻過程中之產生物

所以Cl₂蝕刻時因無氬離子(Ar⁺)協助清除蝕刻過程中之產生物，導致往下掘入一段距離後即因產生物之阻擋而影響蝕刻速率，Cl₂/Ar蝕刻因有Ar⁺離子之參與故無此問題可順利向下蝕刻。

由式 2-1 知臨界電壓與內件電位之和應與 2DEG 深度平方成正比，如 4-1 式所示，將實驗所得之通道深度與臨界電壓整理做圖後得圖 4-9，大致符合理論描述之趨勢。

$$(V_t + V_{bi}) \propto W^2 \quad (4-1)$$

C12 flow (sccm)	50	50
Ar flow (sccm)	0	20
ICP power (W)	300	300
Bias power (W)	5	10
Pressure (Pa)	2	2
Time (sec)	60	15x2
Etch rate (Å/min)	~50	~160
Total current drop (mA)	~6mA	~17mA

表 4-1 ICP 蝕刻參數表

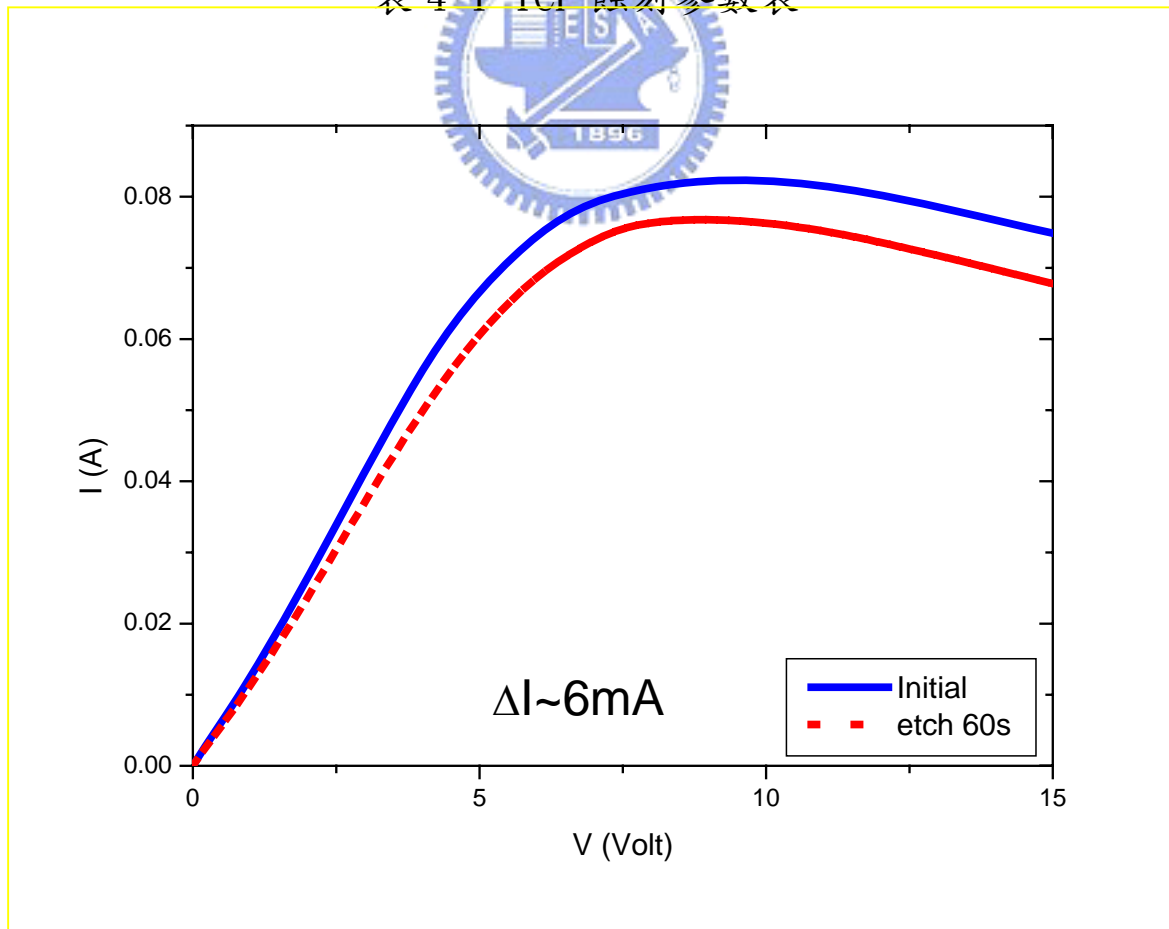


圖 4-3 Cl_2 5w 60sec I-V profile

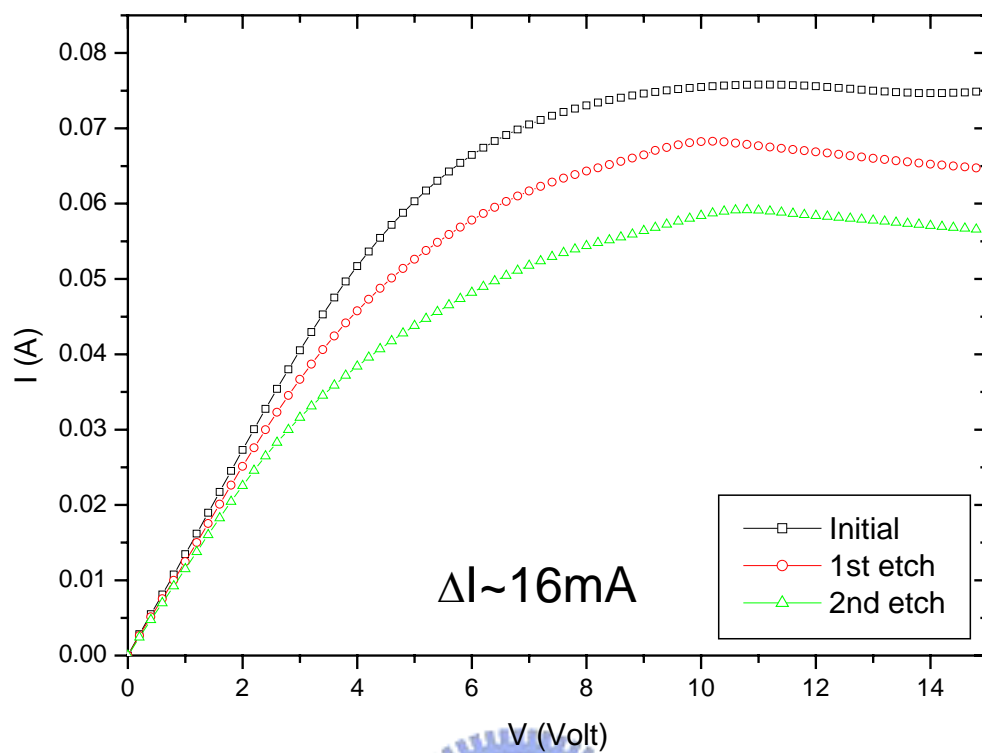


圖 4-4 Cl_2/Ar 10w 15sec X2 I-V profile

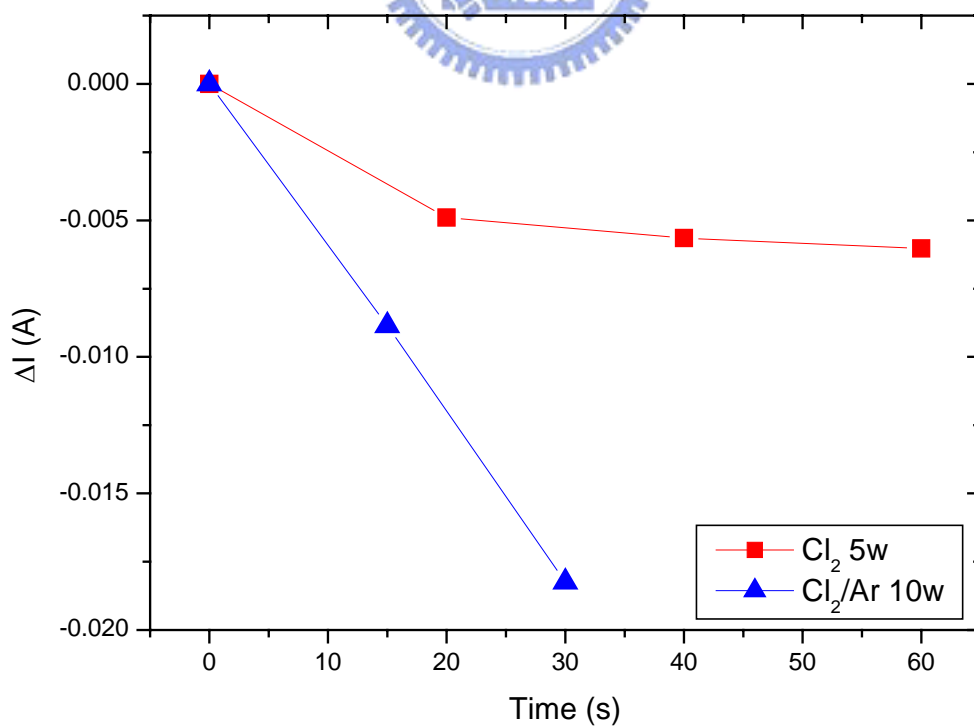


圖 4-5 不同蝕刻條件下，蝕刻時間對電流關係圖

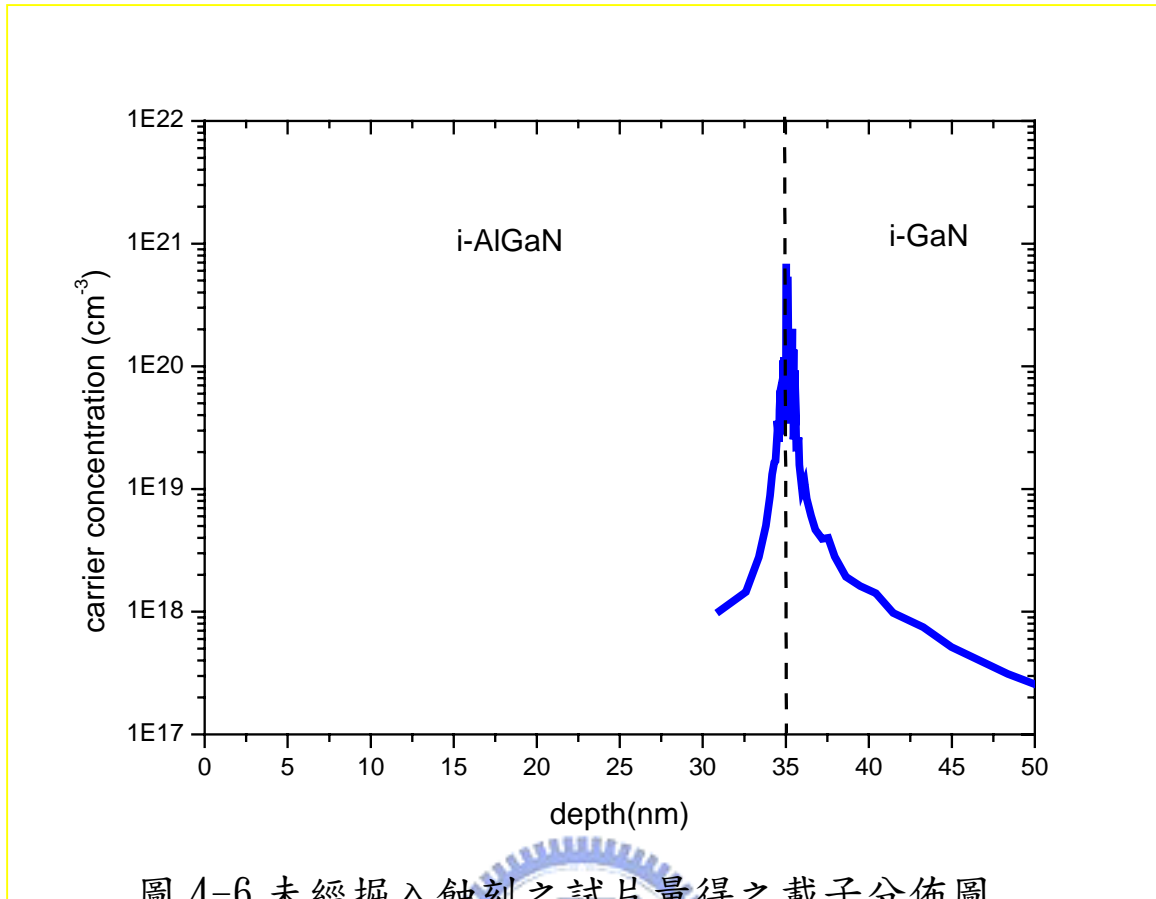


圖 4-6 未經掘入蝕刻之試片量得之載子分佈圖

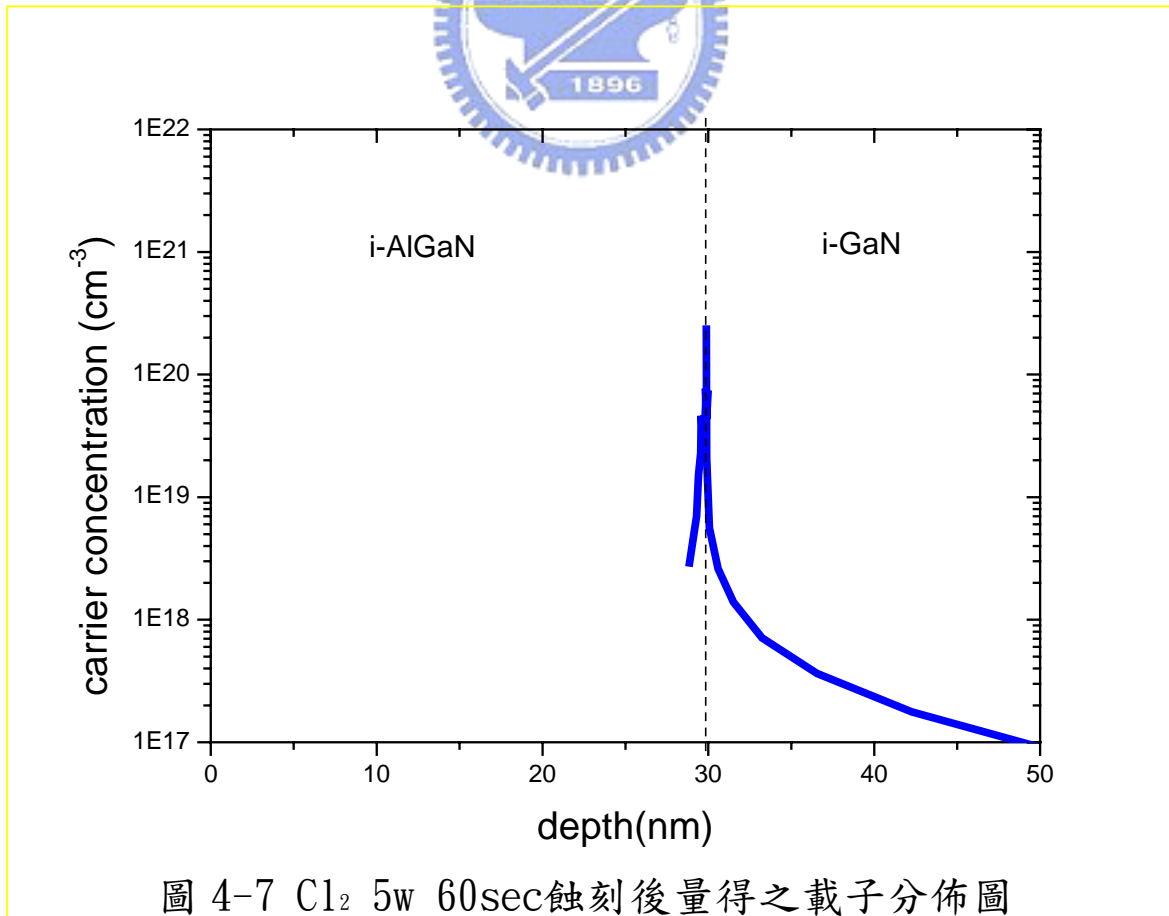


圖 4-7 Cl_2 5w 60sec蝕刻後量得之載子分佈圖

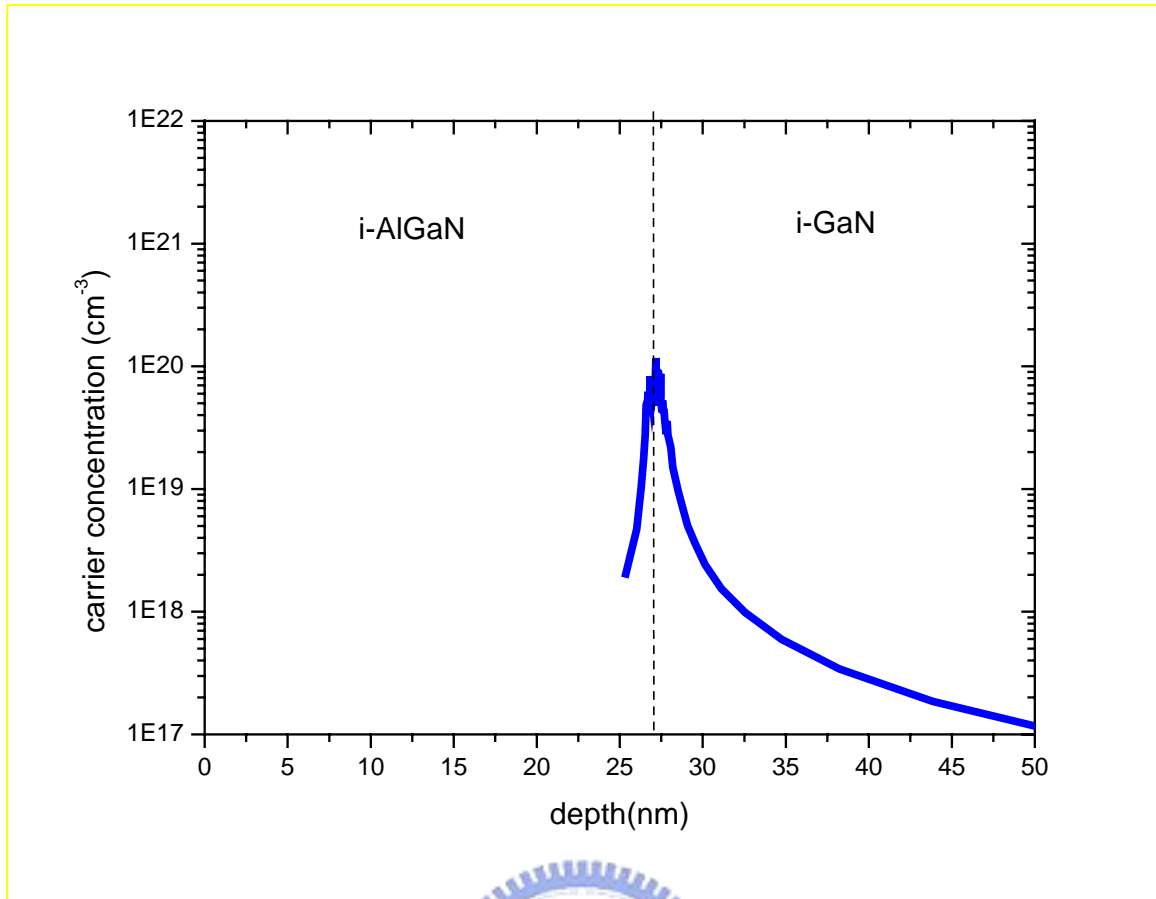


圖 4-8 Cl₂/Ar 10w 30sec 蝕刻後量得之載子分佈圖

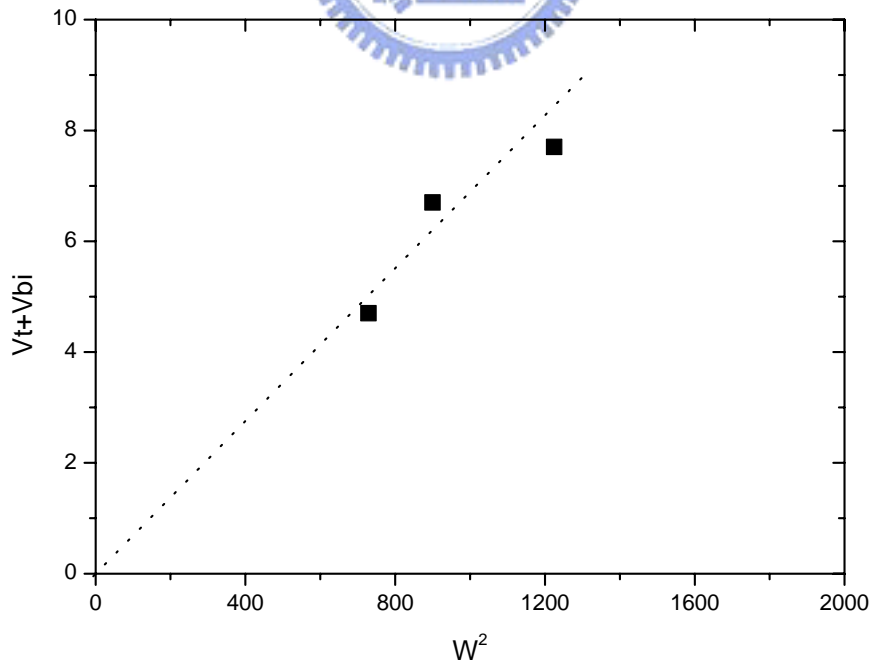


圖 4-9 臨界電壓對通道深度之關係

4.3 掘入蝕刻損傷評估 (recess etch damage evaluation)

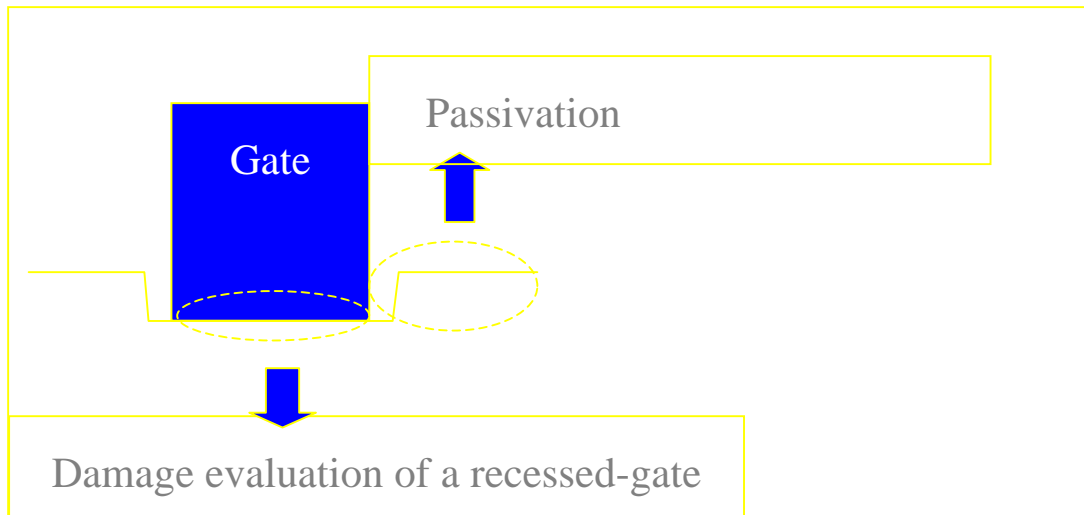


圖 4-10 掘入蝕刻所產生損傷及因應

由圖 4-10 可看出會影響元件特性主要原因有兩項，一是surface trap，另一則為etch damage，本節藉比較no recess sample、Cl₂ recessed sample與Cl₂/Ar recessed sample之元件特性來評估掘入蝕刻對元件之影響。

實驗中no recess sample與Cl₂ recessed sample主要量測元件為one finger閘極長度1 μm，閘極寬度50 μm高頻元件，Cl₂/Ar recessed sample使用two finger 閘極長度1 μm，閘極寬度25 μm高頻元件。

4.3.1 Device I-V

圖 4-11、圖 4-12 及圖 4-13 分別為no recess sample、Cl₂ recessed sample及Cl₂/Ar recessed sample之外部轉導 (transconductance, G_m) 與臨界電壓 (threshold voltage, V_{th}) 關係圖，掘入蝕刻前之臨界電壓為-7V，經Cl₂偏壓 5W蝕刻 60 秒後，臨界電壓降至-6V。另外，經Cl₂/Ar 偏壓 10W 蝕刻 30 秒後臨界電壓降至-4V，顯現利用Cl₂/Ar 偏壓 10W 掘入蝕刻可大幅度且有效的調整臨界電壓。而在外部轉導方面，no recess sample 之最大外部轉導達 117.8 mS/mm，Cl₂ recessed sample之最大外部轉導下降至 89.6 mS/mm，Cl₂/Ar recessed sample之最大外部轉導下降至 105 mS/mm可發現外部轉導有因蝕刻而衰減之現象。

圖 4-14、圖 4-15 及圖 4-16 分別為no recess sample、Cl₂ recessed sample及Cl₂/Ar recessed sample之family curve，比較後可看出no recess sample漏電流較大，這是因為由於晶片成長較不均勻致使元件截止後電流仍會由緩衝層漏出，與蝕刻無關。另外no recess sample 在V_{GS}=1V時之最大電流為 37mA，Cl₂ recessed sample在V_{GS}=1V時之最大電流為 36.2mA，Cl₂/Ar recessed sample在V_{GS}=1V時之最大電流為 22.55mA電流下降的主因為閘極偏壓對電流之比率也就是外部轉導在閘極掘入蝕刻後衰減所致。

4.3.2 蕭特基(schottky)IV

圖 4-17 為順向偏壓蕭特基界面特性圖，可看出掘入蝕刻後蕭特基界面之導通電壓並沒有變化，但因蝕刻損傷(Etch damage)之影響導致導通阻值隨掘入蝕刻程度上升。

圖 4-18 為逆向偏壓蕭特基界面漏電流，no recess sample在逆向偏壓 30V時漏電流約為 10^{-6} A，Cl₂ recessed sample在逆向偏壓 30V時漏電流約為 4×10^{-6} A，Cl₂/Ar recessed sample在逆向偏壓 30V時漏電流約為 3×10^{-7} A，由此分佈並沒有觀察到蕭特基逆向偏壓漏電流與蝕刻之關連性。

圖 4-19、圖 4-20 與圖 4-21 指出各試片之逆向偏壓蕭特基界面崩潰電壓 (Vbk)，由圖 4-18 no recess sample之逆向偏壓蕭特基界面，在超出量測儀器HP4145之量測範圍前並無觀察到崩潰現象之發生故其崩潰電壓Vbk>100V。經過掘入蝕刻後，由圖 4-19 觀察到Cl₂ recessed sample之Vbk=85V，由圖 4-20 觀察到Cl₂/Ar recessed sample之Vbk=68V顯示崩潰電壓隨著掘入蝕刻所造成之Etch damage增加而遞減^[2]。

4.3.3 current collapse

首先以圖 4-22 說明 current collapse 之定義，collapse factor 意指相同 V_{gs} 偏壓之下，較低之 V_{ds} 偏壓時之 $I_{d,max}$ 與高 V_{ds} 偏壓時 $I_{d,max}$ 間之差異電流^{[12] [13]}。

圖 4-22、圖 4-23 及圖 4-24 為各試片量測 current collapse 之結果，由圖 4-22 觀察可發現即使是 no recess sample 也有 current collapse 之現象，顯示原始晶片表面即存在 surface traps，由蝕刻過程導致的 surface traps 問題可經由圖 4-23 與圖 4-24 的觀察得到驗證，隨著掘入蝕刻的深度增加 current collapse 也愈加嚴重。



4.3.4 討論

掘入蝕刻後雖然試片之臨界電壓如預期般改變，但元件之各項特性也受到影響，主要是來自兩項因素，surface trap 與 etch damage。

外部轉導由原本的no recess sample 的 117.8mS/mm衰減至Cl₂/Ar recessed sample的 105 mS/mm 及Cl₂ recessed sample的 89.6 mS/mm，對於蝕刻所導致之外部轉導衰減主要有兩個原因，一是鄰近閘極的晶片受蝕刻所致之surface trap導致載子濃度下降。如前所述，可經由鈍化 (Passivation) 來改善，另一原因則是位於閘極金屬下之蝕刻損傷，這部分之影響可經由退火 (anneal) 來改善^[2]，外部轉導之衰減連帶使得最大輸出電流減少。

而在蕭特基接面特性方面，雖然順向偏壓導通點 (V_F) 均為 1.3V 且逆向偏壓漏電流方面看不出掘入蝕刻所造成的影響，但在崩潰電壓方面經過掘入蝕刻所造成之損傷確實造成崩潰電壓的下降，由 $V_{bk} > 100V$ 經掘入蝕刻後隨著蝕刻程度的增加下降至 68V。

在 current collapse 方面 原始晶片表面即存在 surface trap 之問題，但在經過掘入蝕刻之後 surface trap 之影響更加明顯，不過 surface trap 之影響可望在經過鈍化處理後獲得解決，因為 current collapse 是因為 surface trap 所引發，所以可用 current collapse 之程度來判斷 surface trap 是否已消除。

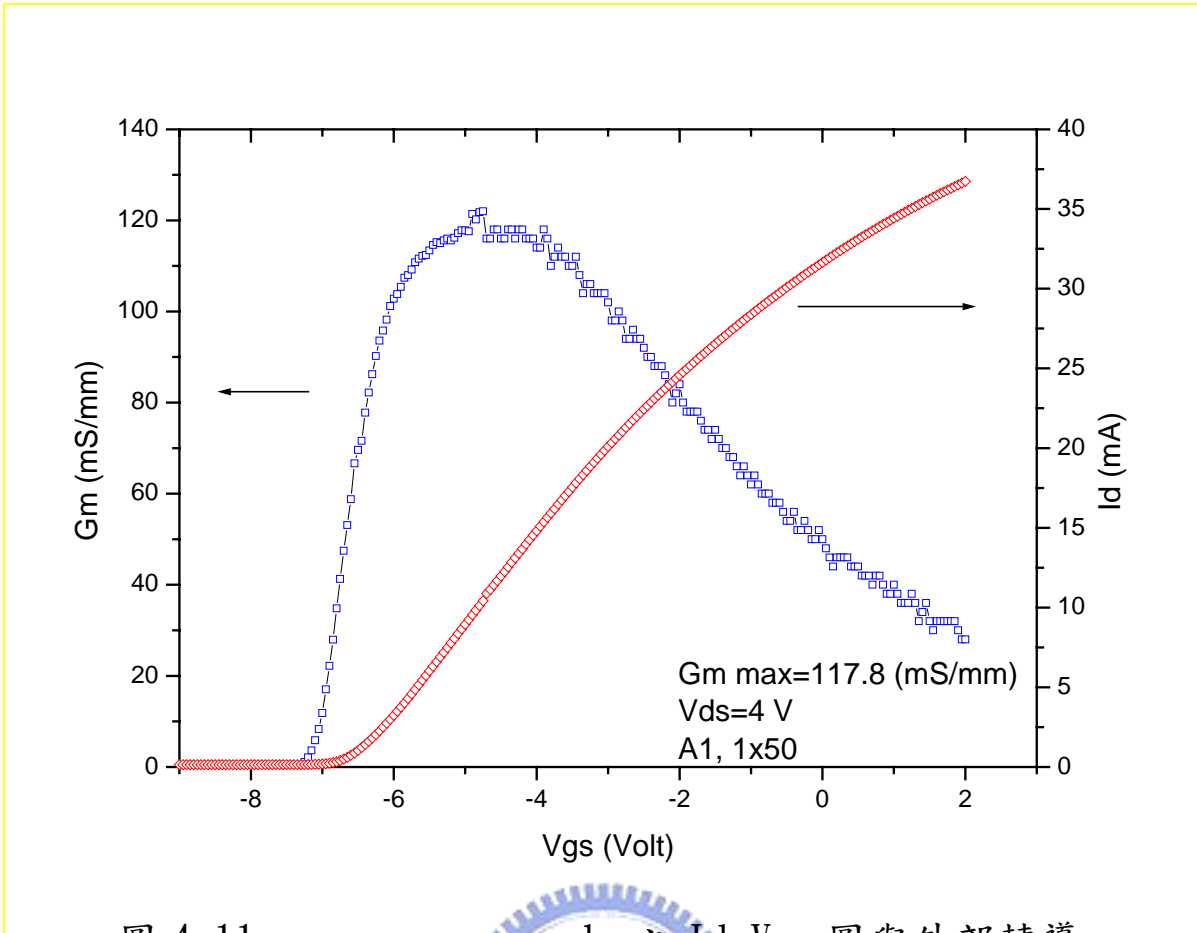


圖 4-11 no recess sample 之 I_d - V_{gs} 圖與外部轉導

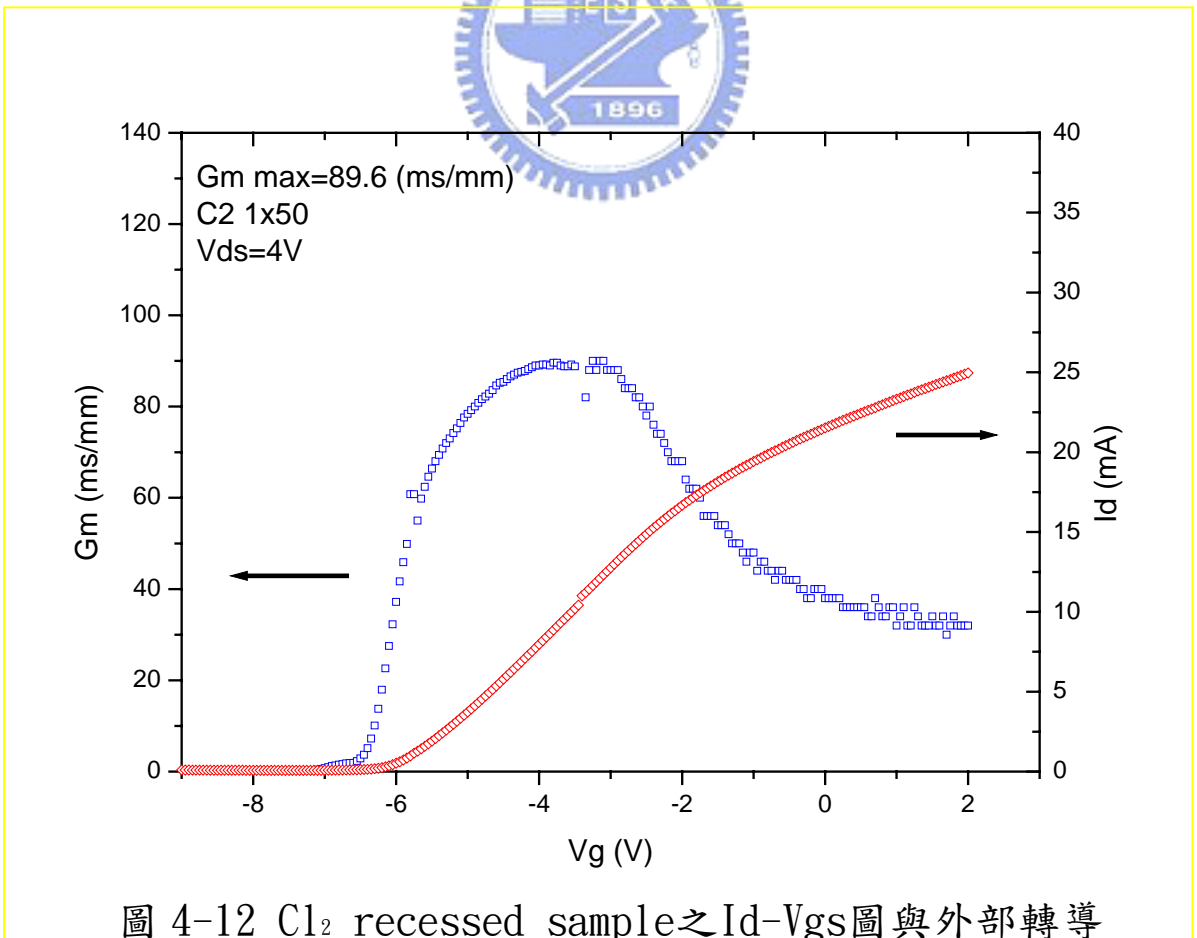


圖 4-12 Cl_2 recessed sample 之 I_d - V_{gs} 圖與外部轉導

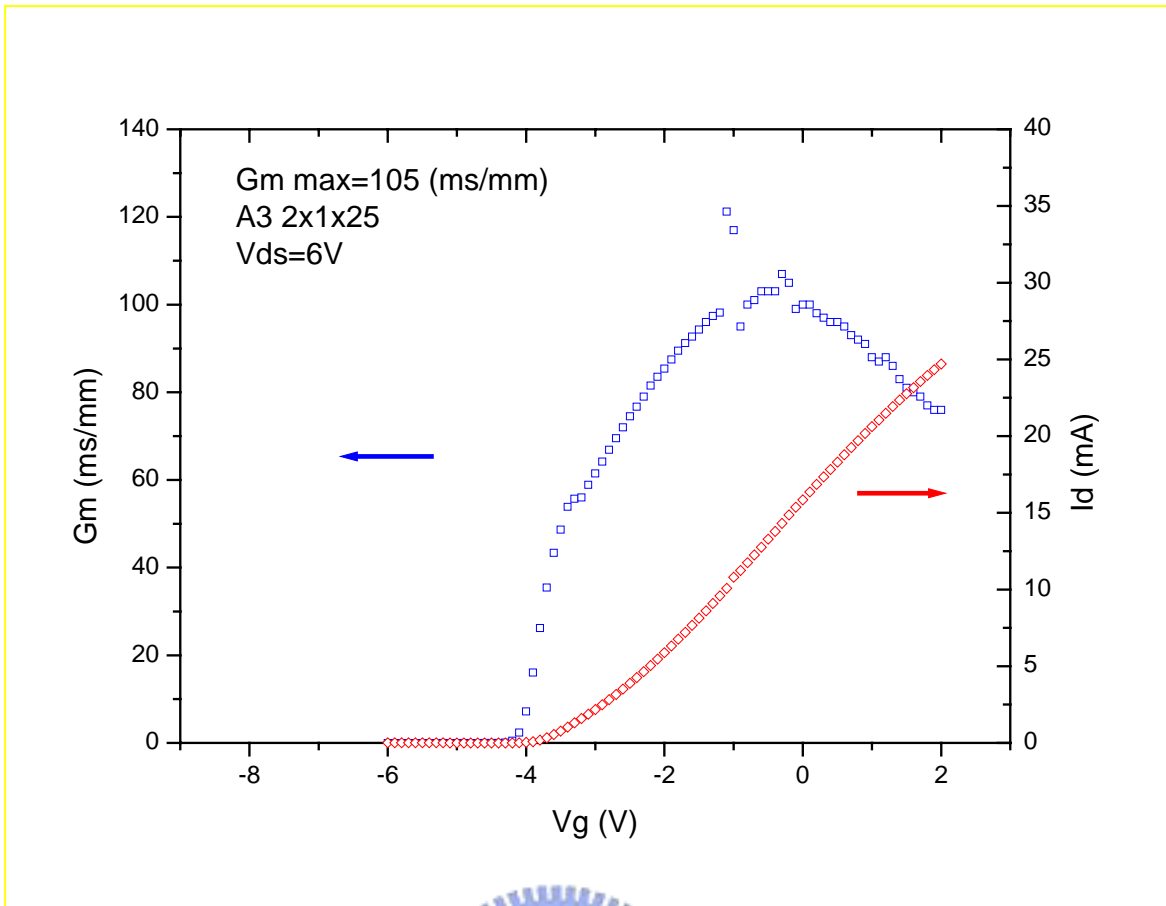


圖 4-13 Cl_2/Ar recessed sample 之 I_d - V_g 圖與外部轉導

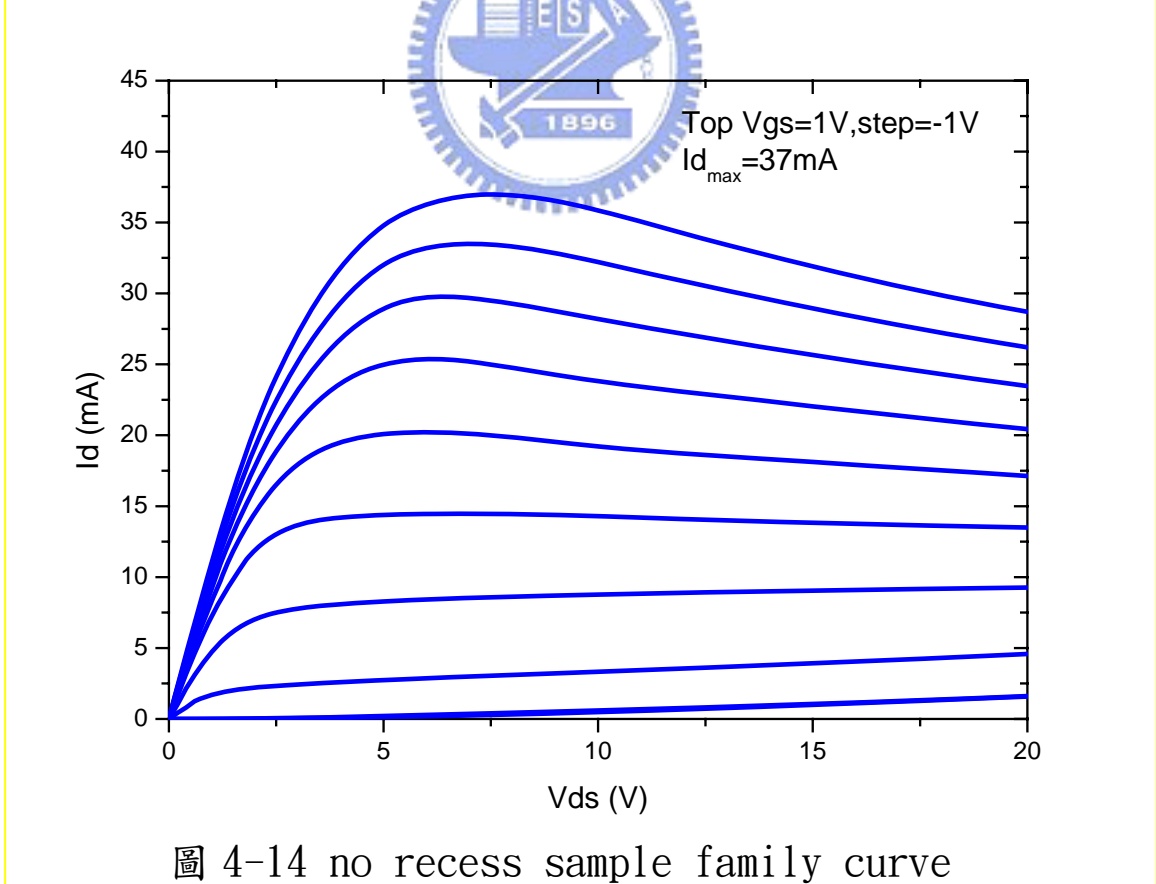


圖 4-14 no recess sample family curve

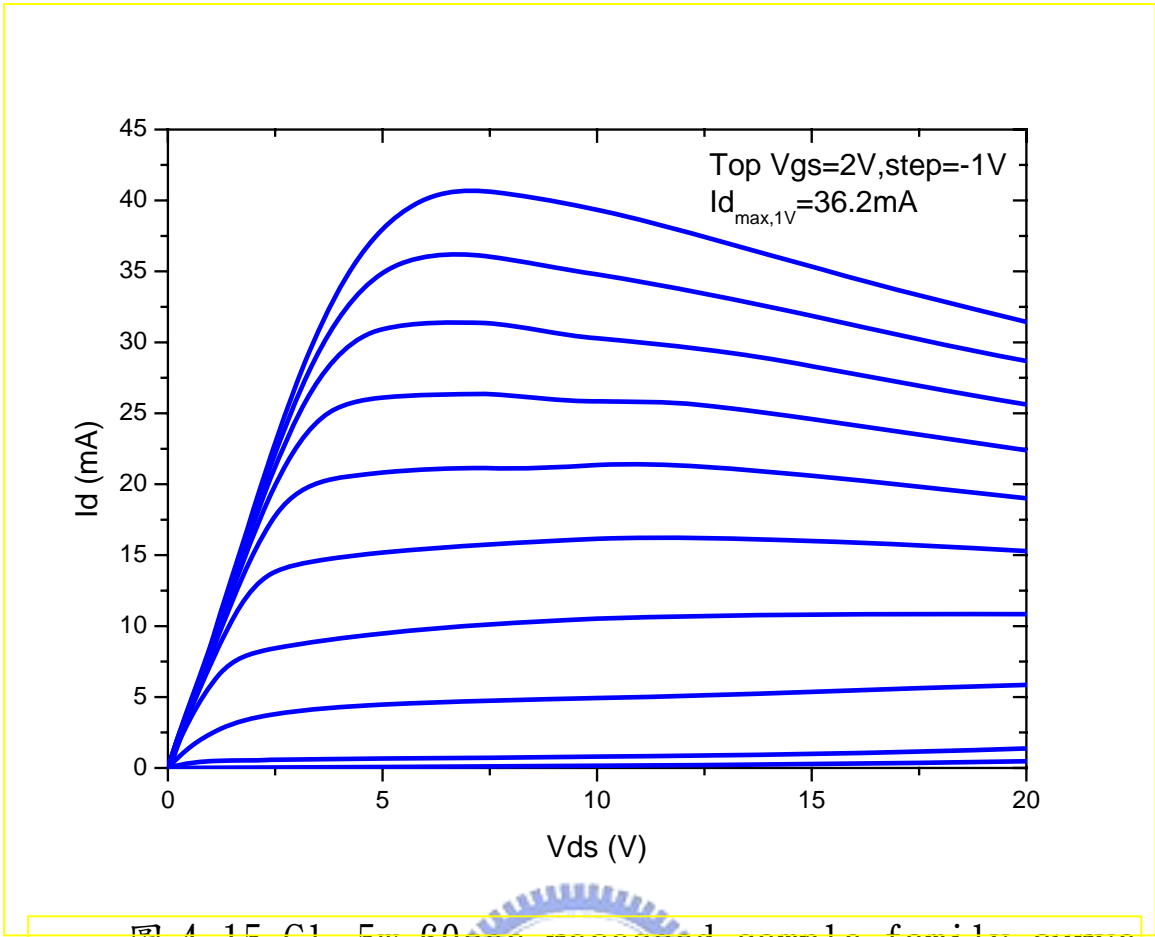


圖 4-15 Cl_2 5w 60sec recessed sample family curve

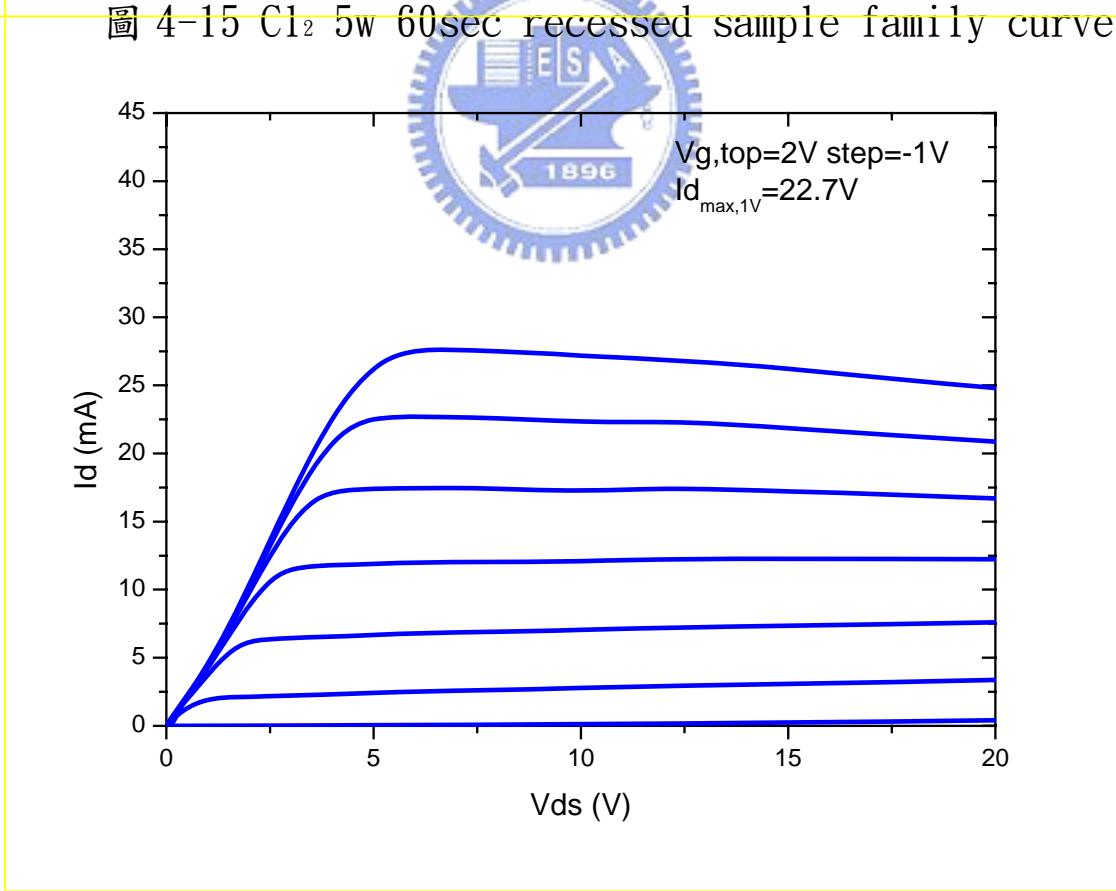


圖 4-16 Cl_2/Ar 10w 30sec recessed sample family curve

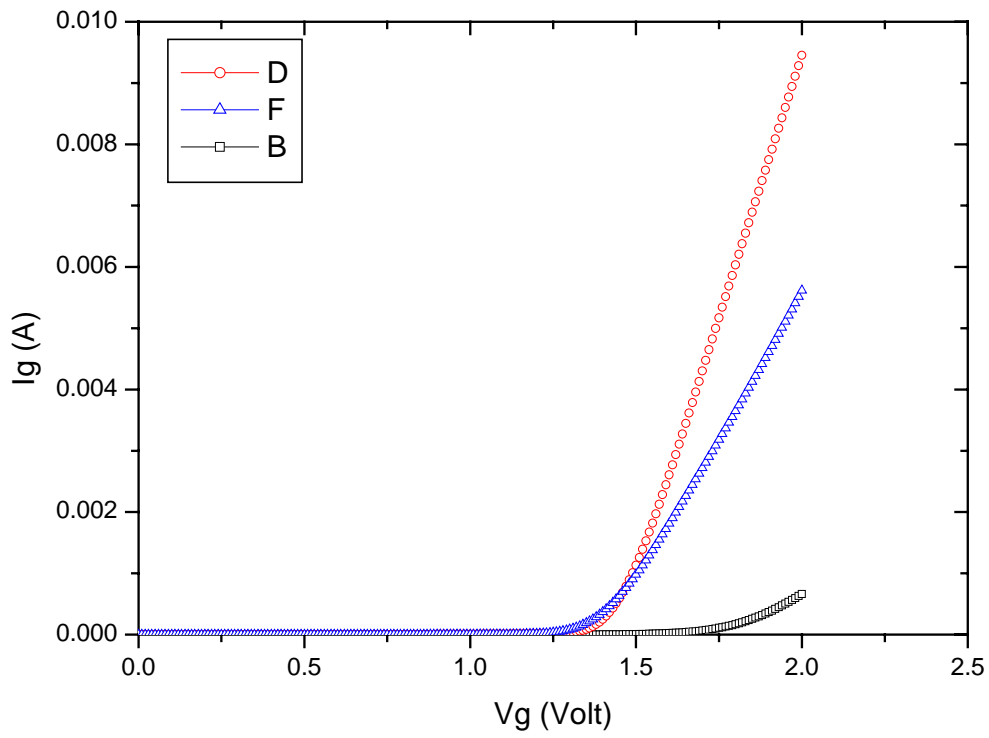


圖 4-17 順偏蕭特基接面特性

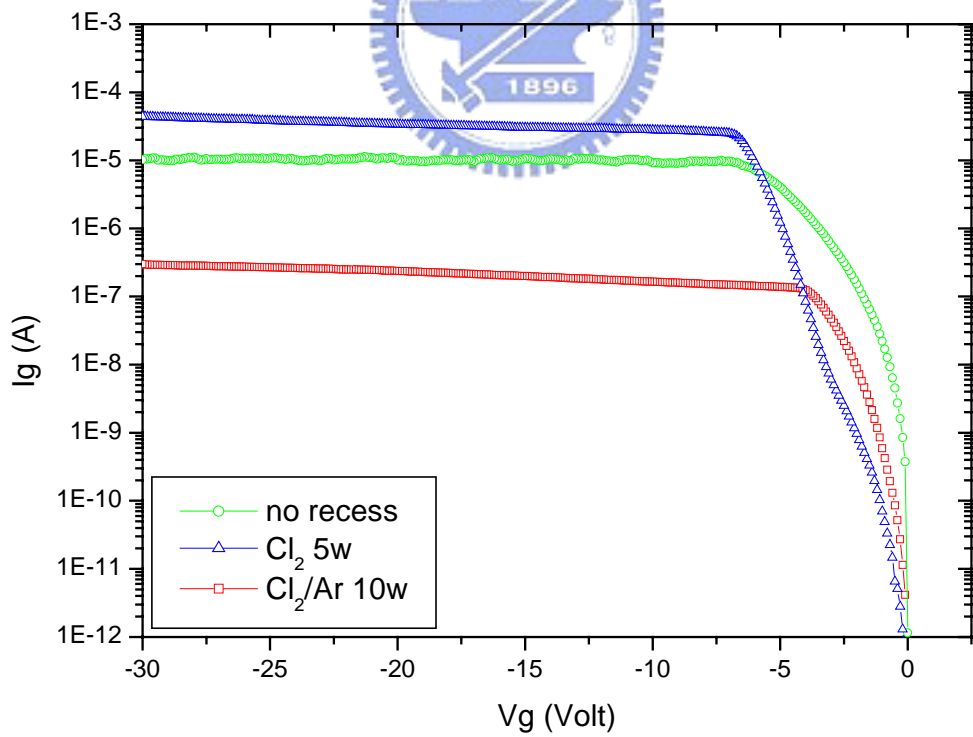


圖 4-18 逆偏蕭特基漏電流特性

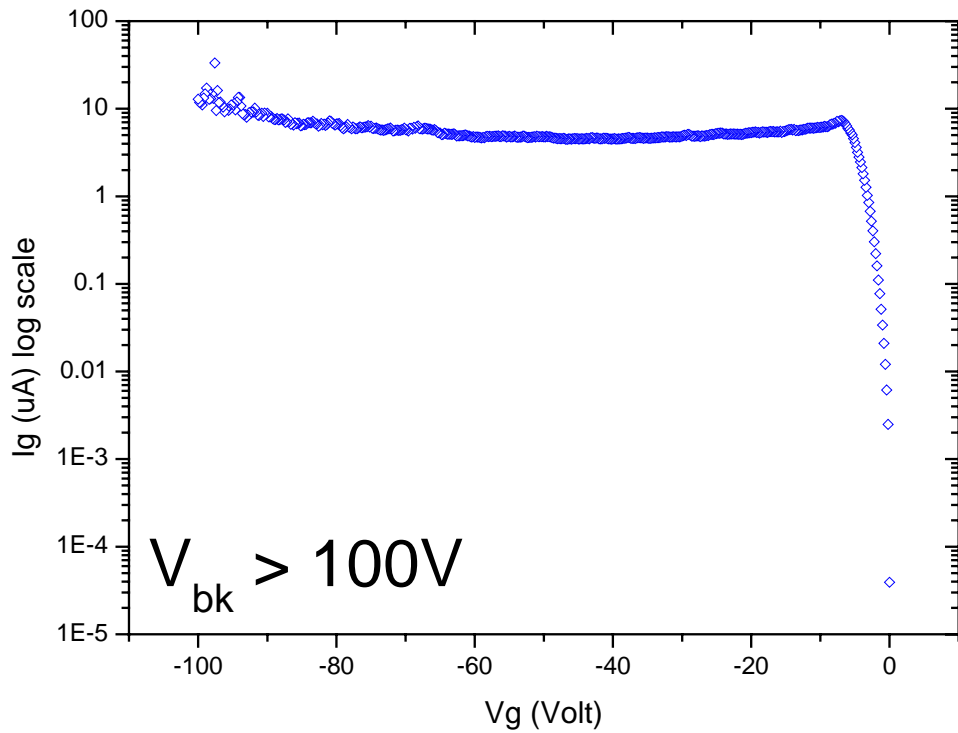


圖 4-19 no recess sample 逆向偏壓蕭特基界面崩潰電壓

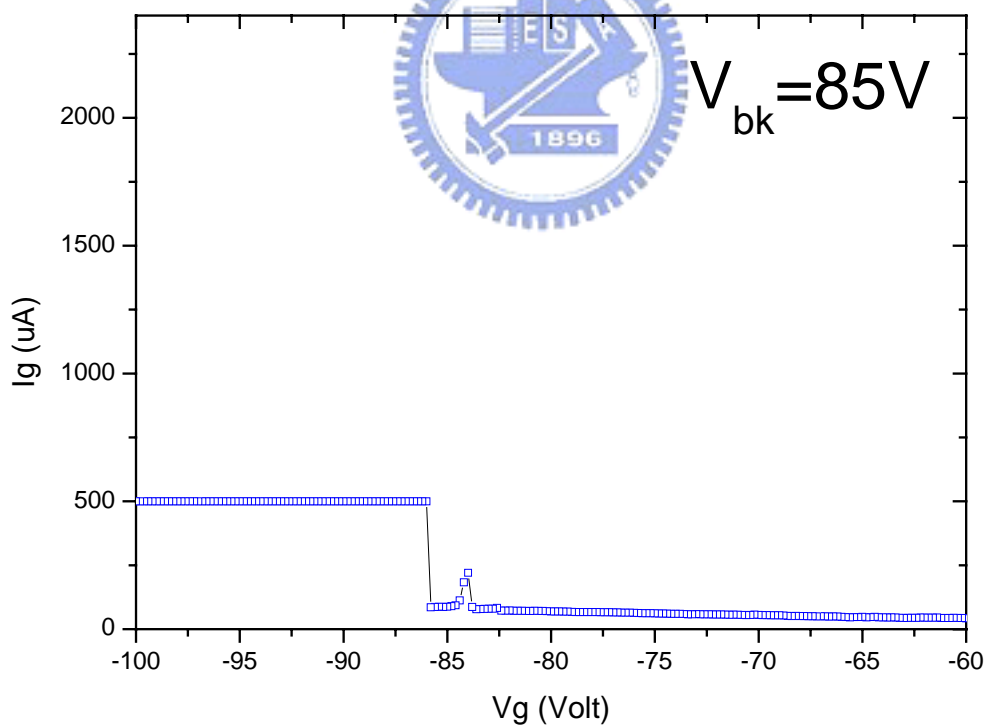


圖 4-20 Cl_2 recessed sample 逆向偏壓蕭特基界面崩潰電壓

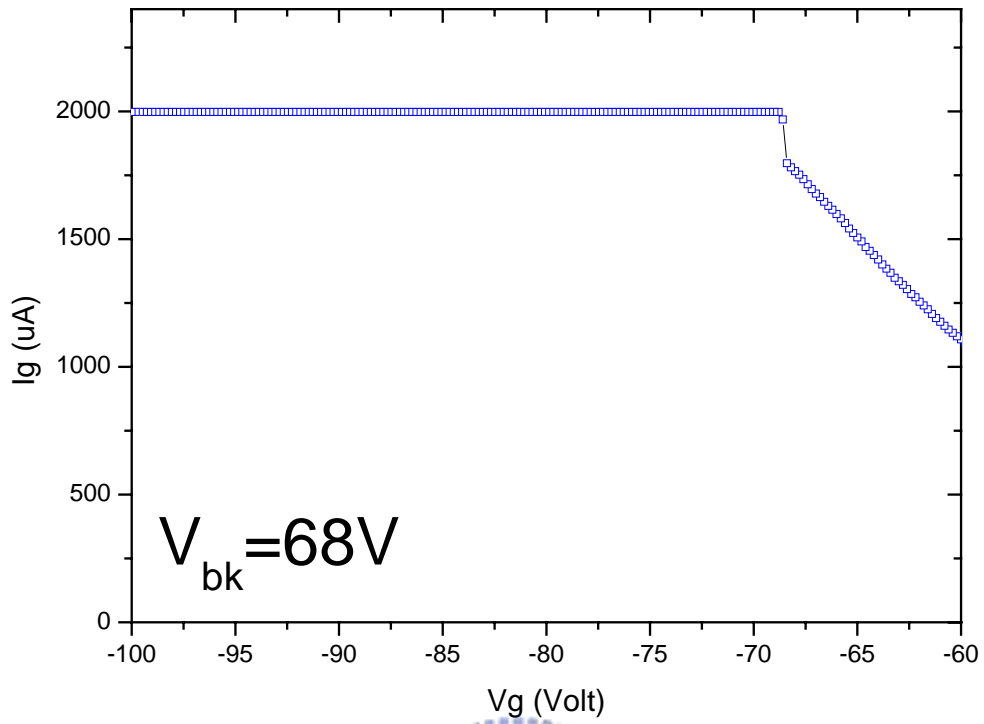


圖 4-21 Cl_2/Ar recessed sample 逆向偏壓蕭特基界面崩潰

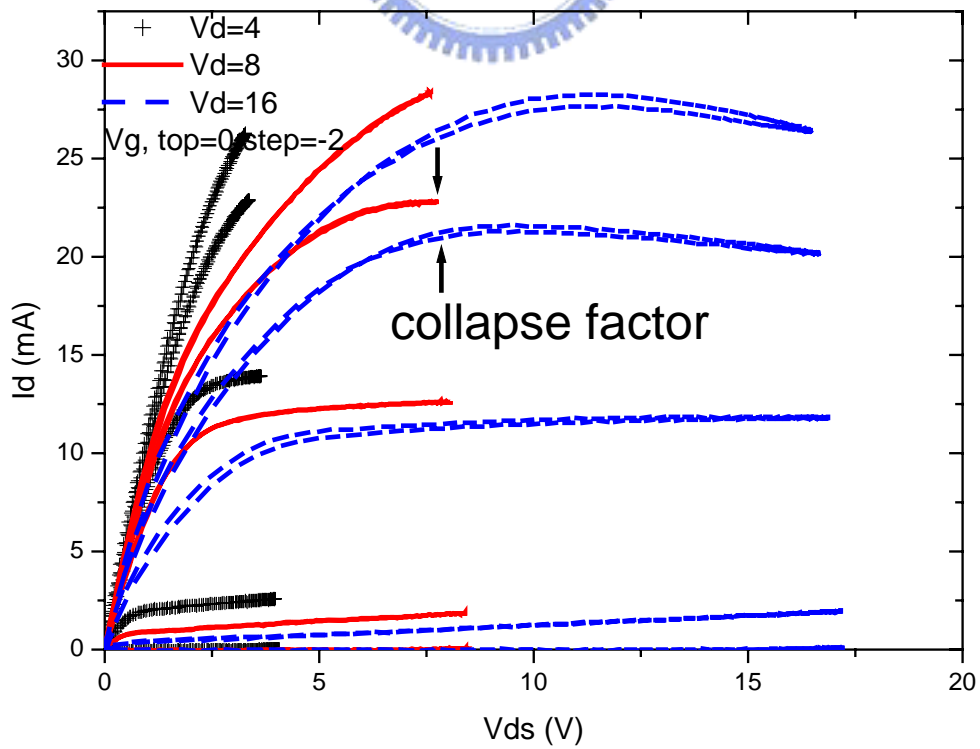


圖 4-22 no recess sample current collapse

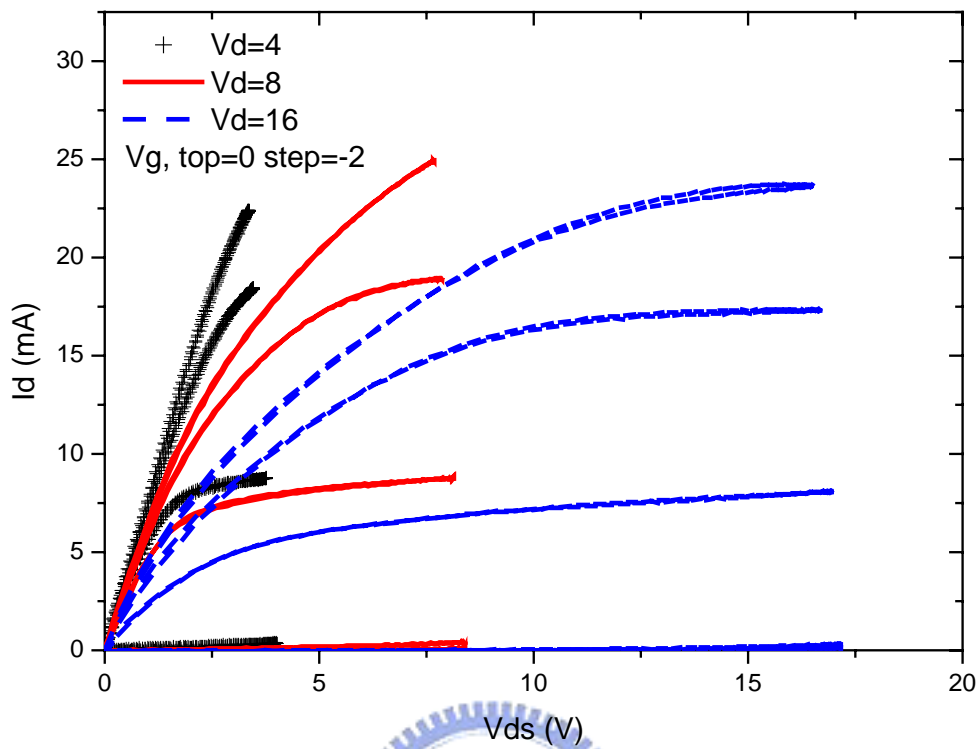


圖 4-23 Cl₂ recessed sample current collapse

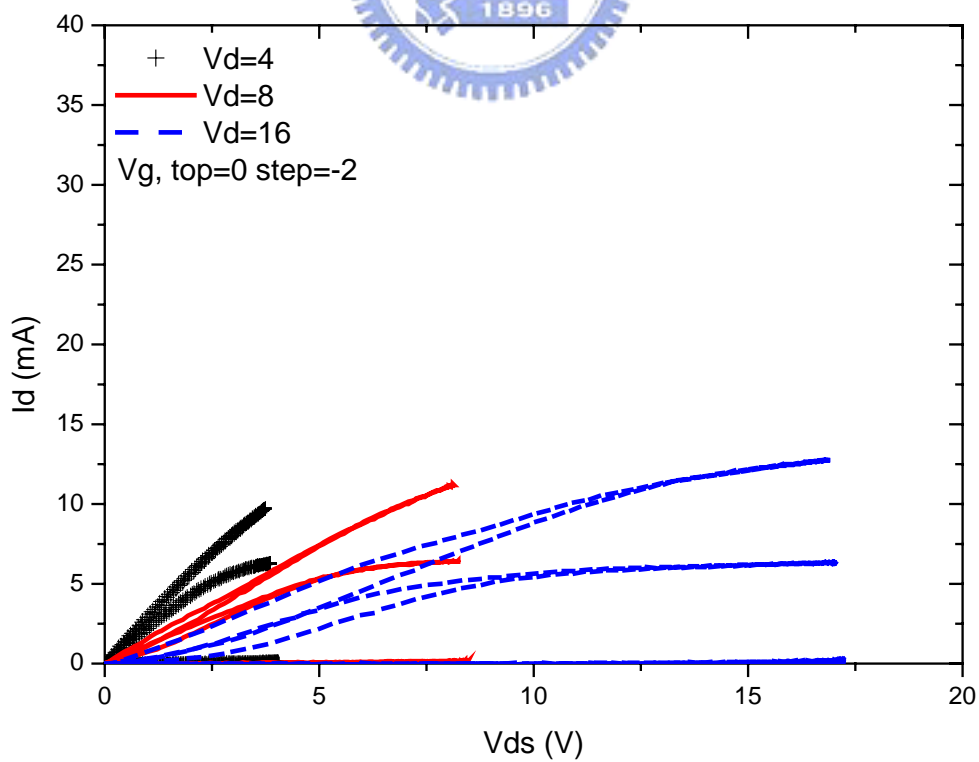


圖 4-24 Cl₂/Ar recessed sample current collapse

4.4 鈍化處理 (Passivation) 後之元件特性

4.4.1 製程參數

Passivation之主要目的為消除晶片表面surface trap對元件特性之影響，但 Passivation後將導致崩潰電壓 V_{bk} 的下降^[10]，Passivation主要是利用電漿增強化學氣相沉積 (Plasma-Enhanced chemical vapor deposition ;PECVD) 在元件表面上沉積一層SiN膜，表 4-2 為SiN沉積製程所使用之製程參數。

RF power (W)	70
Temperature (°C)	300
Pressure (Pa)	100
SiH ₄ flow(sccm)	20
NH ₃ flow(sccm)	10
N ₂ flow(sccm)	490
Etch time (s)	30
Refractive index	2.0
Thickness (Å)	1158

表 4-2 PECVD 製程參數

4.4.2 Current collapse

圖 4-25 為Passivation後Cl₂ recessed sample之current collapse，與圖 4-23 比較可發現current collapse現象已大幅改善，圖 4-26 為Cl₂/Ar recessed sample經Passivation後之current collapse，與圖 4-24 比較後也可發現current collapse現象已大幅改善，顯現Passivation已有效消除surface trap。

4.4.3 Device IV

圖 4-27、圖 4-28 與圖 4-29 分別為no recess sample、Cl₂ recessed sample及Cl₂/Ar recessed sample之外部轉導 (G_m) 與臨界電壓 (V_{th}) 關係圖，由圖 4-27、圖 4-28 與圖 4-29 可看出Passivation前後臨界電壓並沒有任何改變，no recess sample V_{th}=-7V，Cl₂ recessed sample V_{th}=-6V，Cl₂/Ar recessed sample V_{th}=-4V。

由圖 4-27 與圖 4-11 比較 no recess sample 最大外部轉導由 117 mS/mm增加至 125 mS/mm。由圖 4-28 與圖 4-12 比較Cl₂ recessed sample最大外部轉導由 89.6 mS/mm增加至 119 mS/mm，由圖 4-29 與圖 4-13 比較Cl₂ /A r recessed sample最大外部轉導由 105 mS/mm增加至 112 mS/mm。

圖 4-30 為passivation後no recess sample family curve，V_{GS}=1V時最大通道電流 29mA，單位閘極寬度電流之電流密度為 580mA/mm。圖 4-31 為passivation後Cl₂ recessed sample family curve，V_{GS}=1V時最大通道電流 32mA，單位閘極寬度電流之電流密度為 640mA/mm。圖 4-32 為passivation後Cl₂/Ar recessed sample family curve，V_{GS}=1V時最

大通道電流 20.55mA，單位閘極寬度電流之電流密度為 640mA/mm。通道電流之衰減顯示 etch damage 仍影響外部轉導之大小。

4.4.4 Schottky IV

圖 4-33 為 passivation 後之順向偏壓蕭特基界面特性圖，順向導通電壓維持在 1.3V，順向導通電阻在 passivation 後有明顯減少之跡象但未完全恢復。

圖 4-34 為 passivation 後逆向偏壓蕭特基界面漏電流，no recess sample 在逆向偏壓 30V 時漏電流約為 5×10^{-5} A，Cl₂ recessed sample 在逆向偏壓 30V 時漏電流約為 10^{-4} A，Cl₂/Ar recessed sample 在逆向偏壓 30V 時漏電流約為 10^{-5} A，在 passivation 後蕭特基逆偏漏電流均增加。

圖 4-35 為 passivation 後 no recess sample 逆向偏壓蕭特基界面崩潰電壓，V_{bk}=94V。圖 4-36 為 passivation 後 Cl₂ recessed sample 逆向偏壓蕭特基界面崩潰電壓，V_{bk}=77V。圖 4-37 為 passivation 後 Cl₂/Ar recessed sample 逆向偏壓蕭特基界面崩潰電壓，V_{bk}=61V。

4.4.5 高頻特性

圖 4-38 為 no recess sample 扣除金屬襯墊輸出電容影響之高頻特性，本試片之 f_t 為 7.5GHz，f_{max} 為 13GHz。圖 4-39 為 Cl₂ recessed sample 扣除金屬襯墊輸出電容影響之高頻特性，本試片之 f_t 為 11GHz，f_{max} 為 17GHz。圖 4-40 為 Cl₂/Ar recessed sample 扣除金屬襯墊輸出電容影響之高頻特性，本試片之 f_t 為 9GHz，f_{max} 為 12.5GHz。

4.4.6 討論

Passivation後，由current collapse的改善可確知surface trap 大致已消除，雖然SiN deposition其間曾加熱至 300°C，但並未發生 threshold voltage shift， V_{th} 仍維持不變。外部轉導雖有增加至與未掘入蝕刻前相同水準之大小，但因閘極掘入蝕刻理應獲得外部轉導之增加，故判斷應是閘極金屬底部之etch damage所致。

由順偏蕭特基來看導通電阻的縮減但未回復成為蝕刻前，顯示閘極金屬底部之etch damage 在Passivation後雖然有部分減少，仍有極大部分存在。

由元件的高頻特性量測結果來看，並沒有觀察到掘入蝕刻所造成之影響。表 4-3 為利用 passivation 消除 surface trap 前後元件特性比較表，進一步的特性改善則需退火 (annealing) 來達成 etch damage recovery。

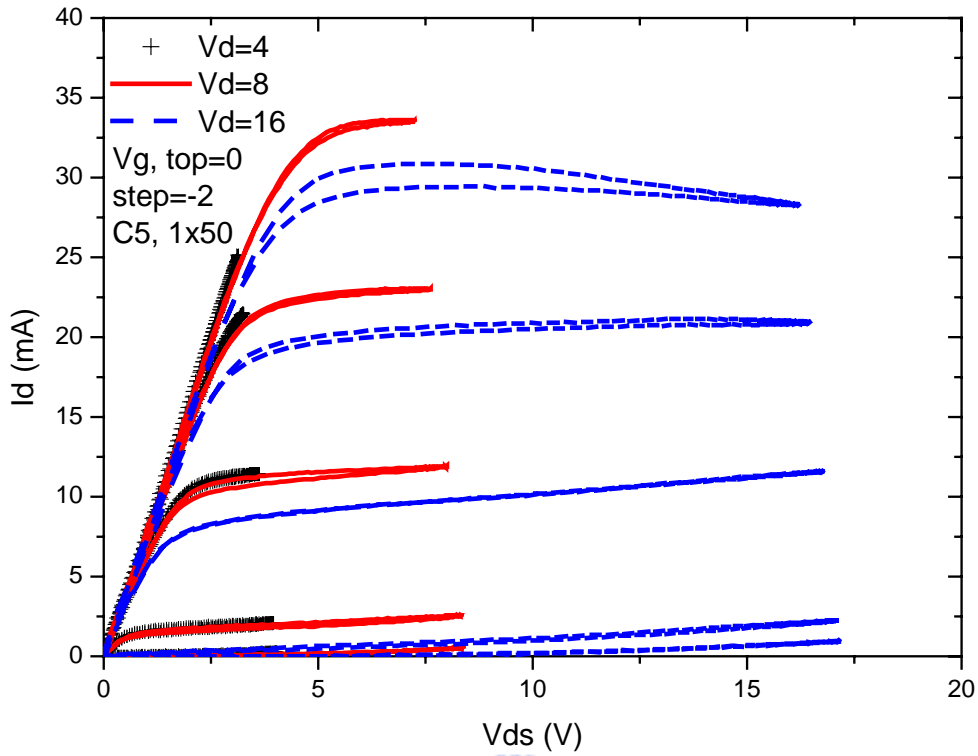


圖 4-25 Passivation 後Cl₂ recessed sample current

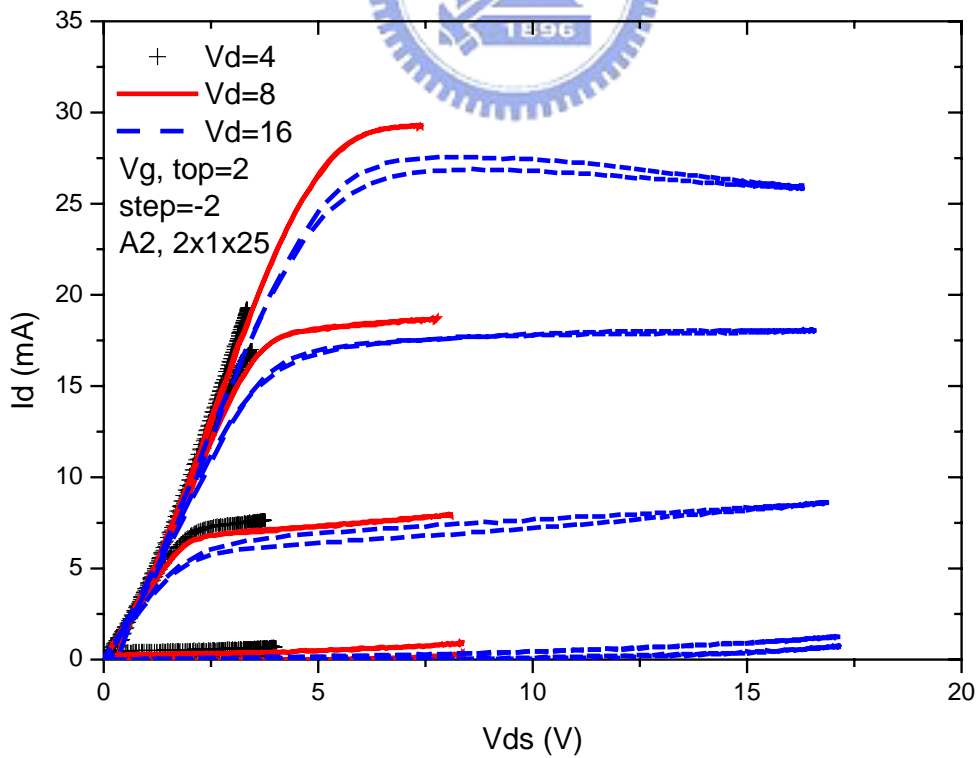


圖 4-26 Passivation 後Cl₂/Ar recessed sample current collapse

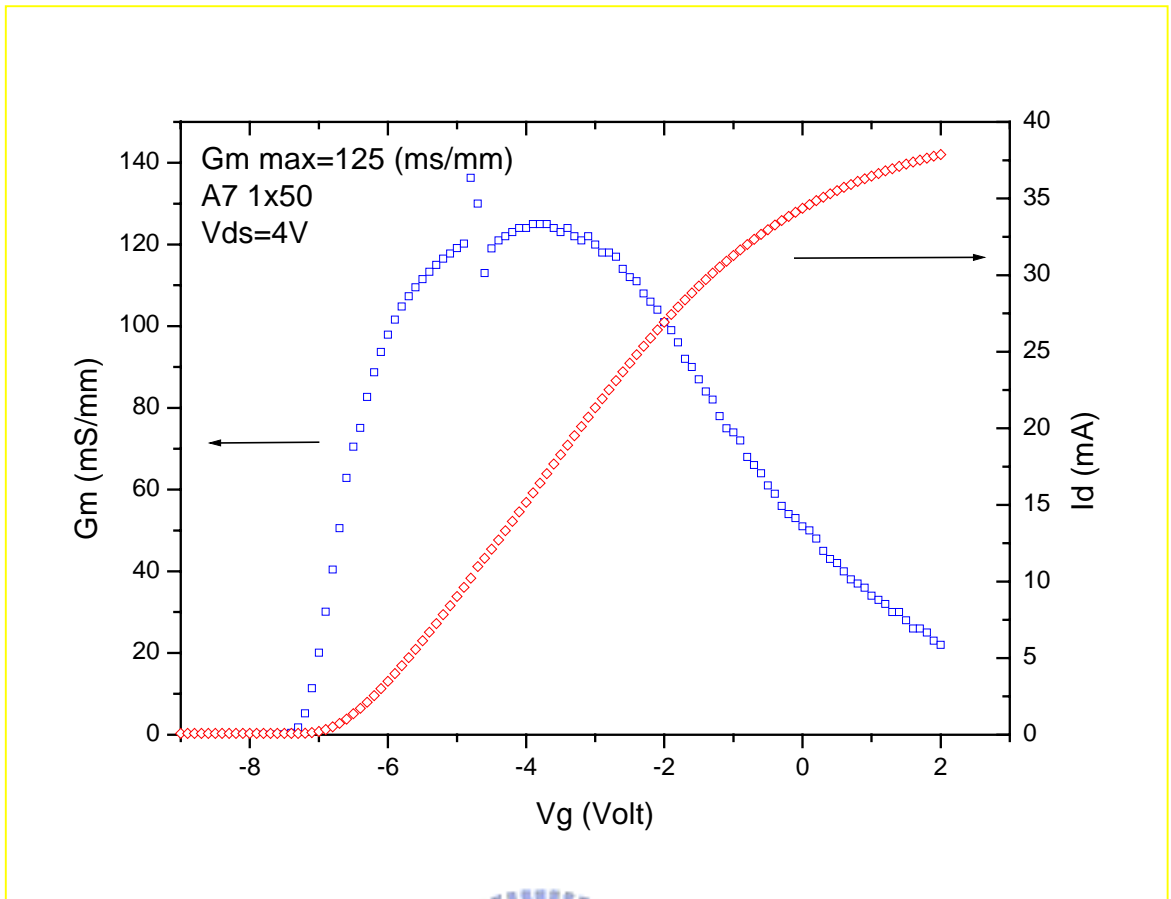


圖 4-27 Passivation 後 no recess sample I_d - V_{gs} 圖與外

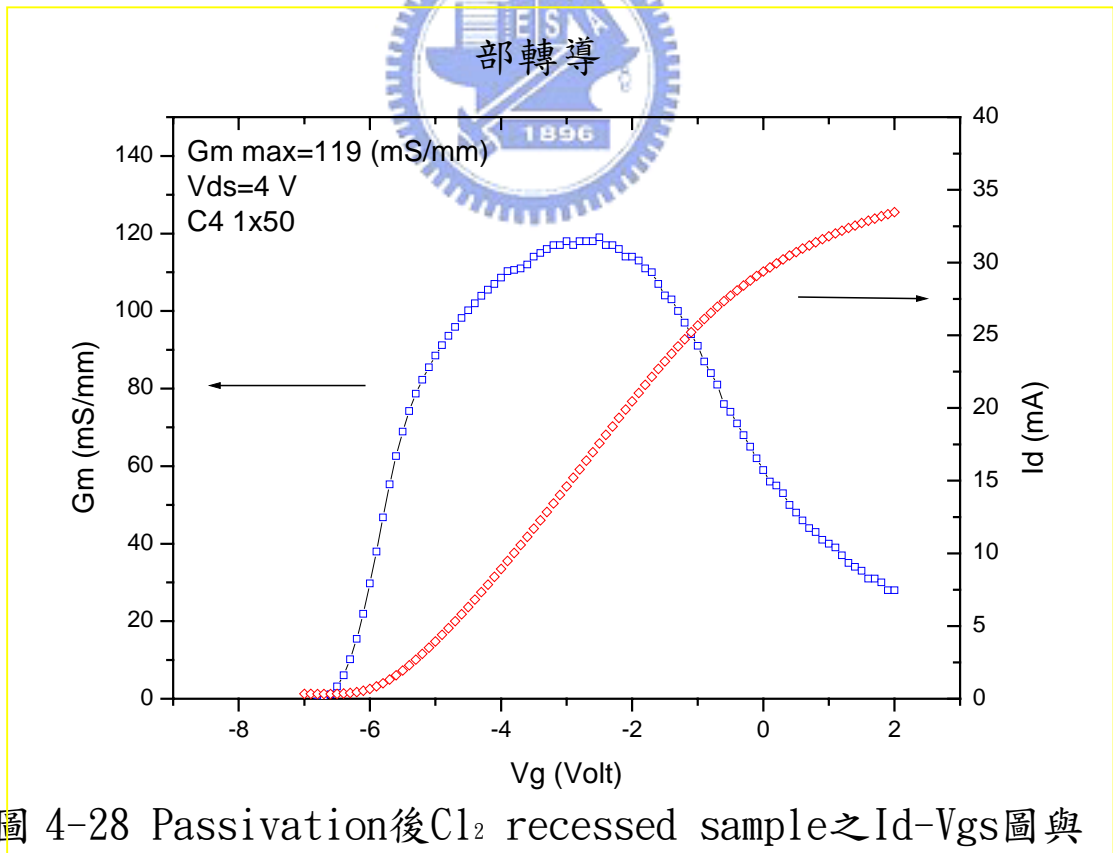


圖 4-28 Passivation 後 Cl_2 recessed sample 之 I_d - V_{gs} 圖與

外部轉導

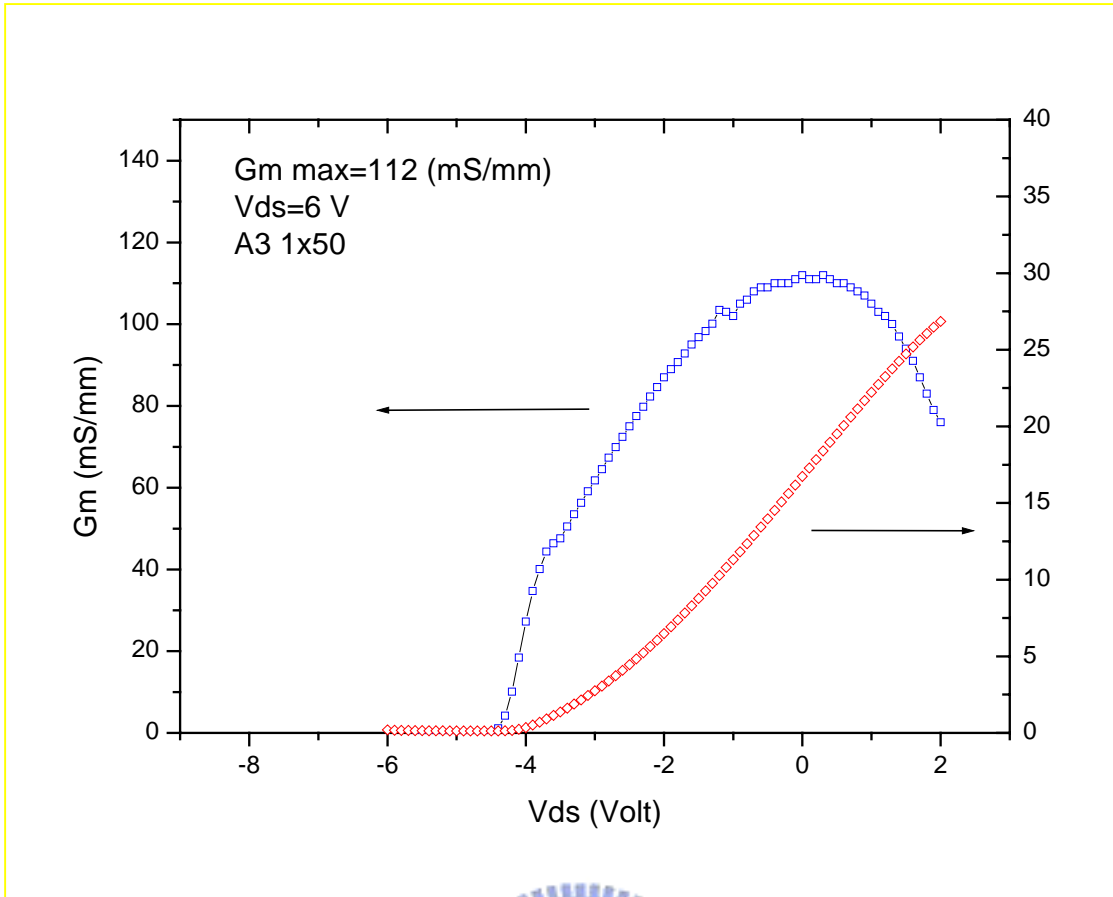


圖 4-29 Passivation後Cl₂/Ar recessed sample Id-Vgs圖與外部轉

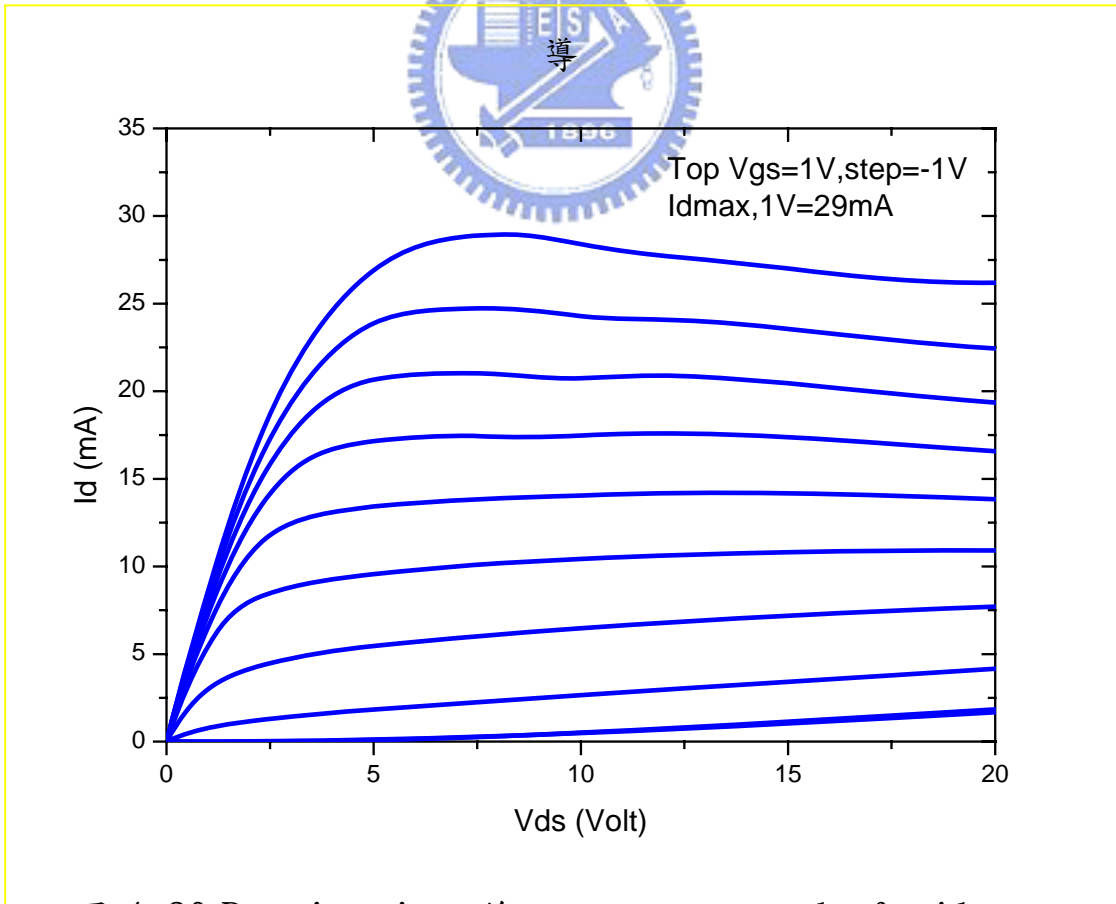


圖 4-30 Passivation 後 no recess sample family curve

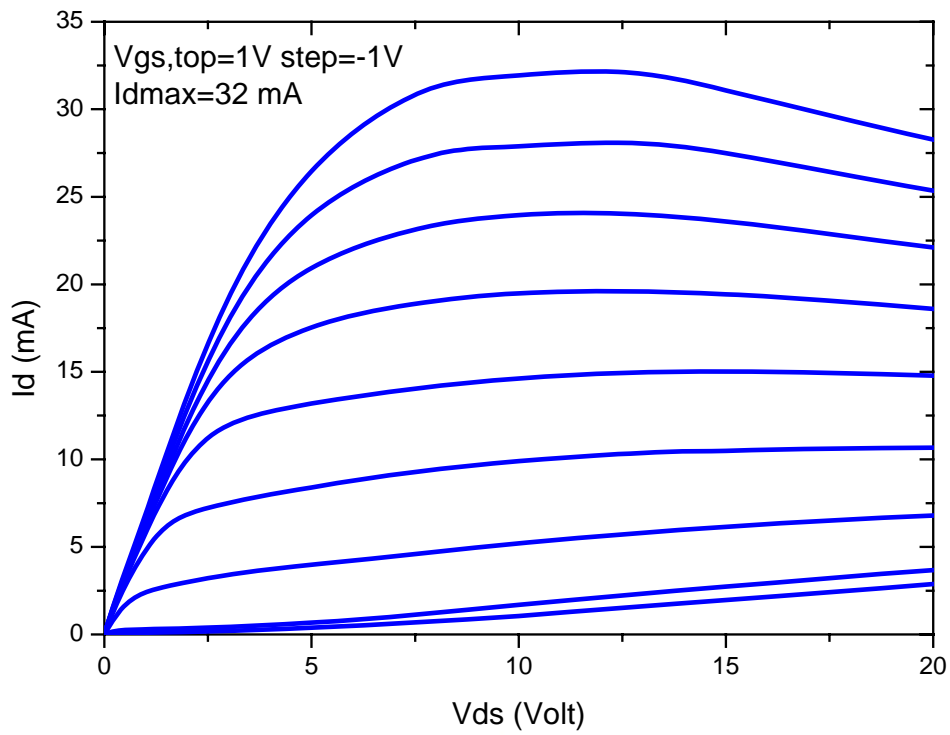


圖 4-31 Passivation 後 Cl_2 recessed sample family curve

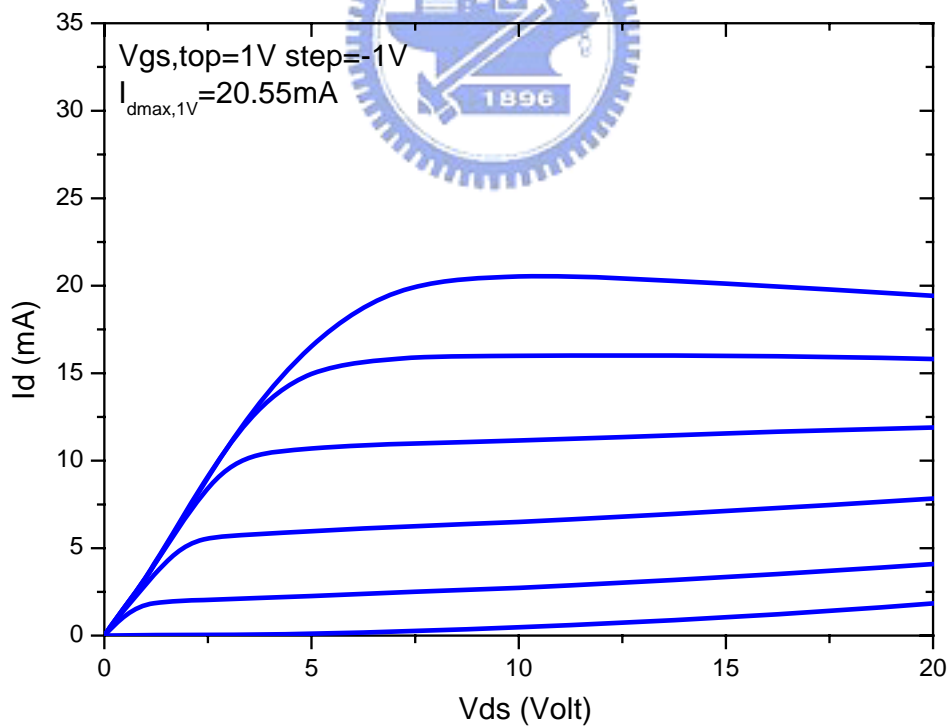


圖 4-32 Passivation後 Cl_2/Ar recessed sample family curve

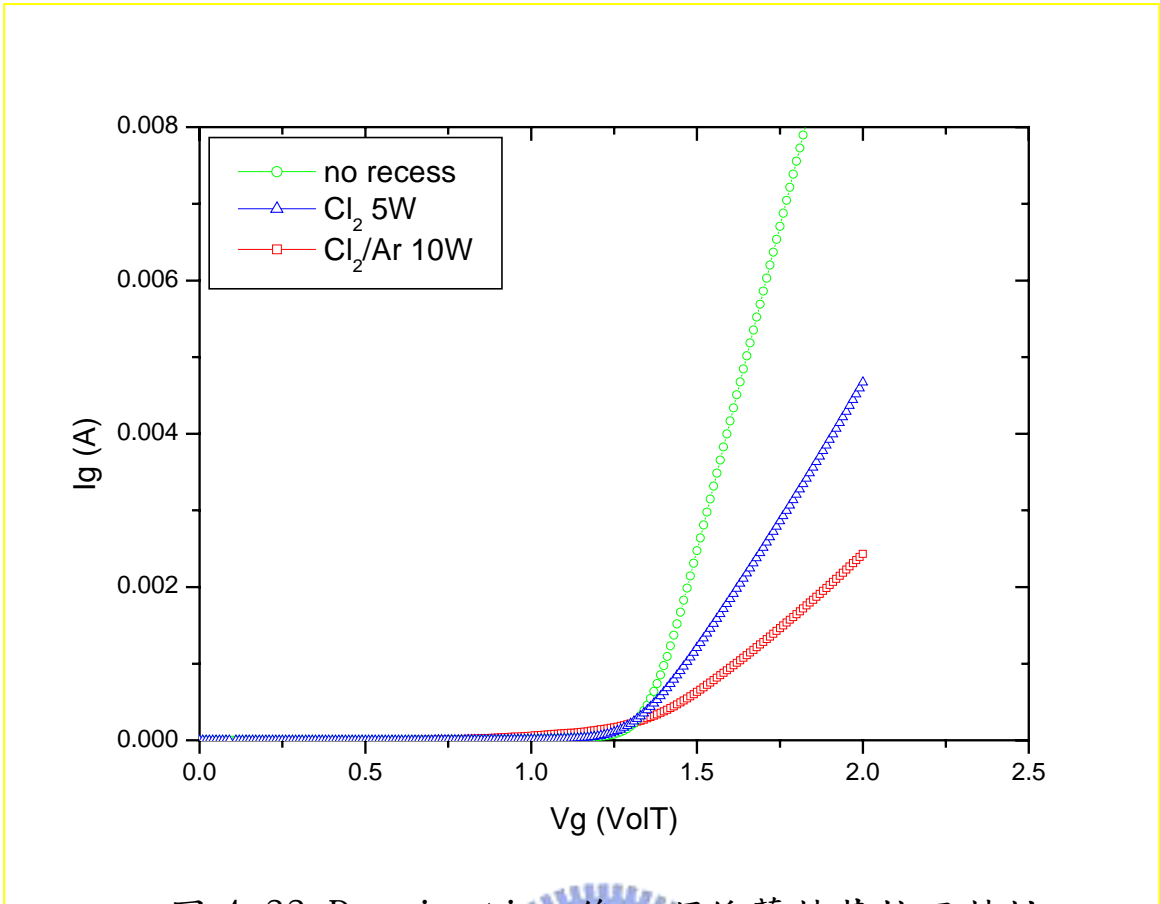


圖 4-33 Passivation 後之順偏蕭特基界面特性

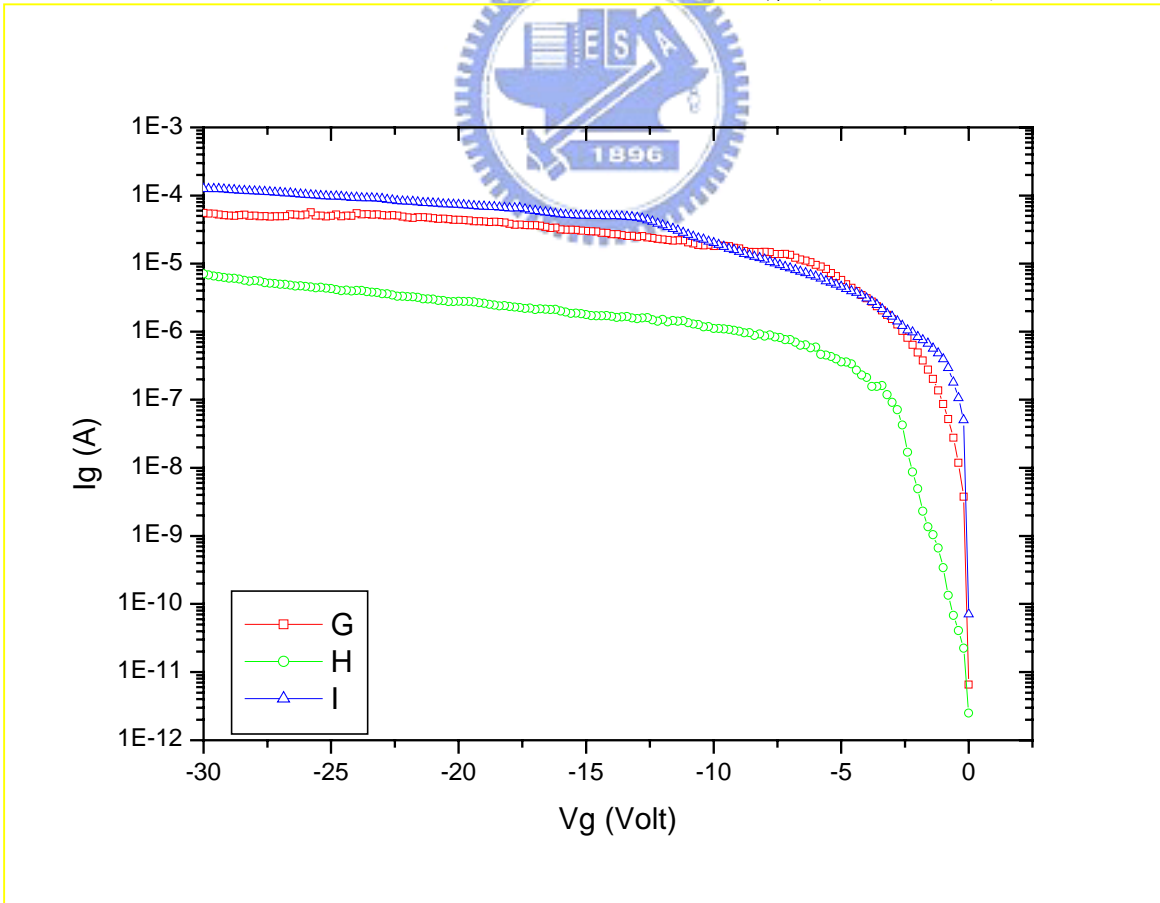


圖 4-34 Passivation 後之逆偏蕭特基漏電流特性

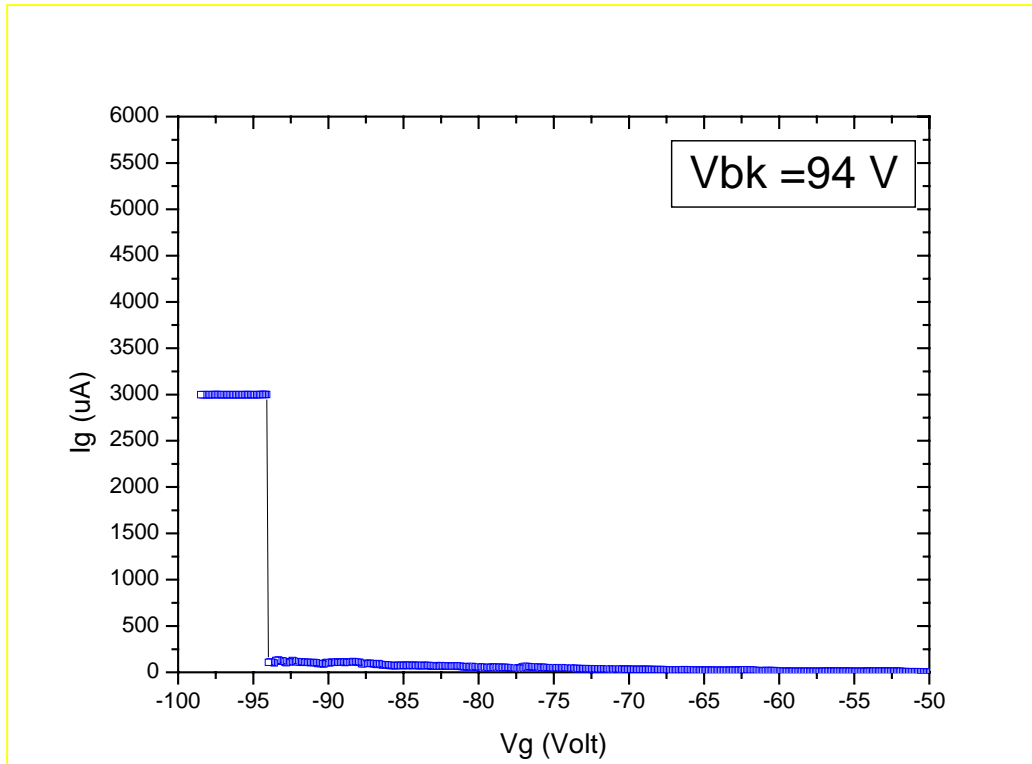


圖 4-35 Passivation 後 no recess sample 逆向偏壓蕭特基

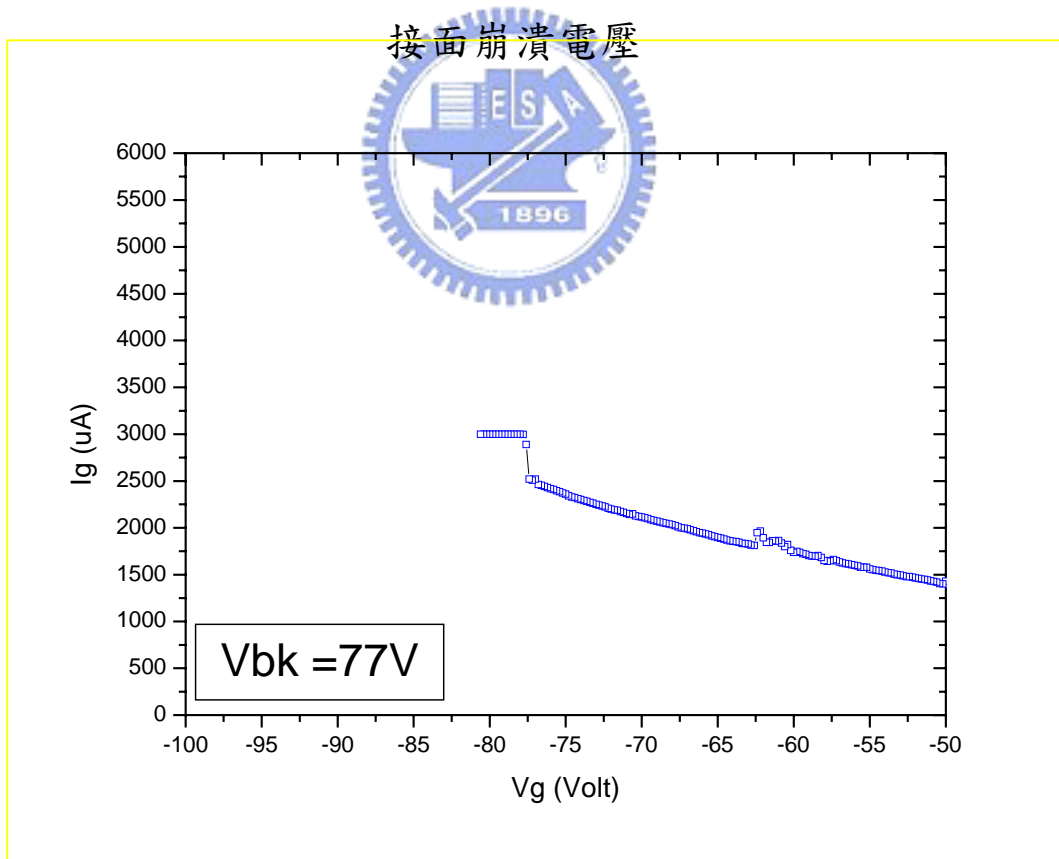


圖 4-36 Passivation 後 Cl_2 recessed sample 逆向偏壓蕭特

基界面崩潰電壓

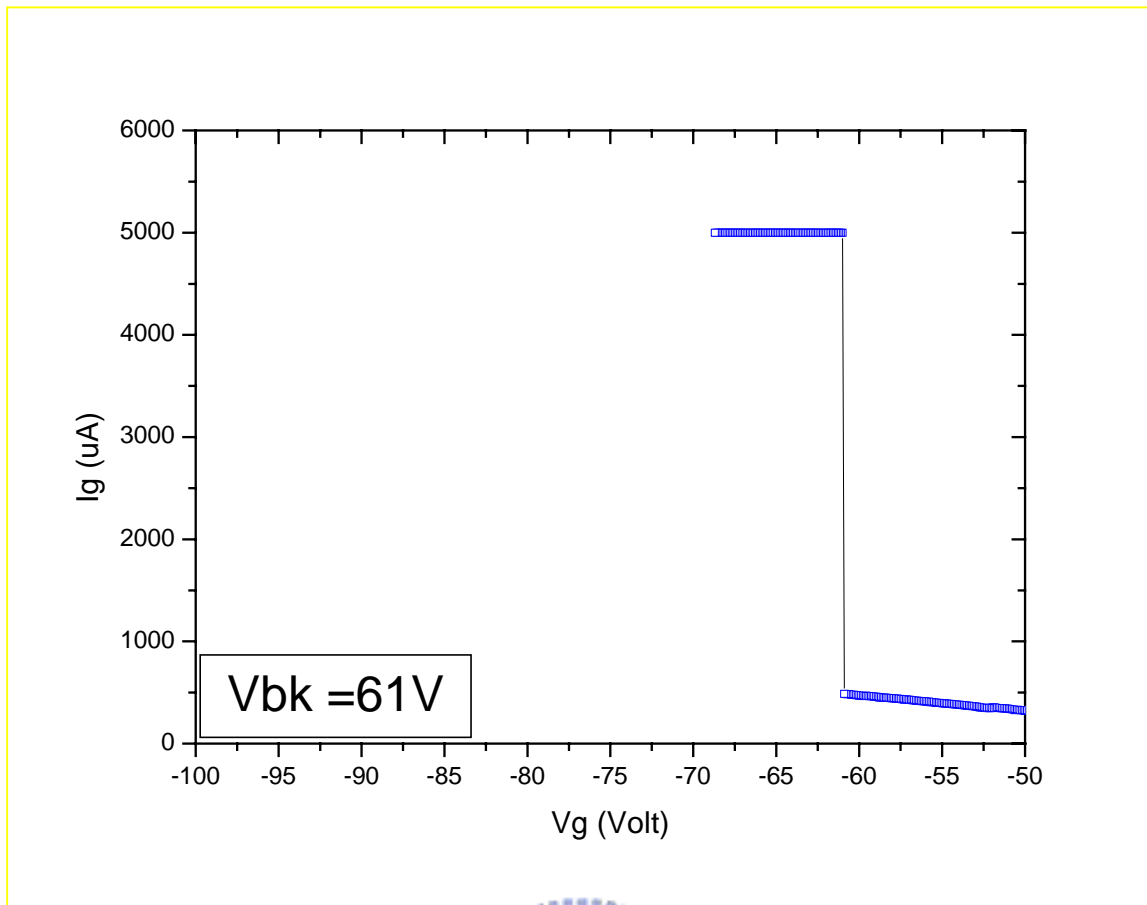


圖 4-37 Passivation後 Cl_2/Ar recessed sample 逆向偏壓蕭

特基界面崩潰電壓

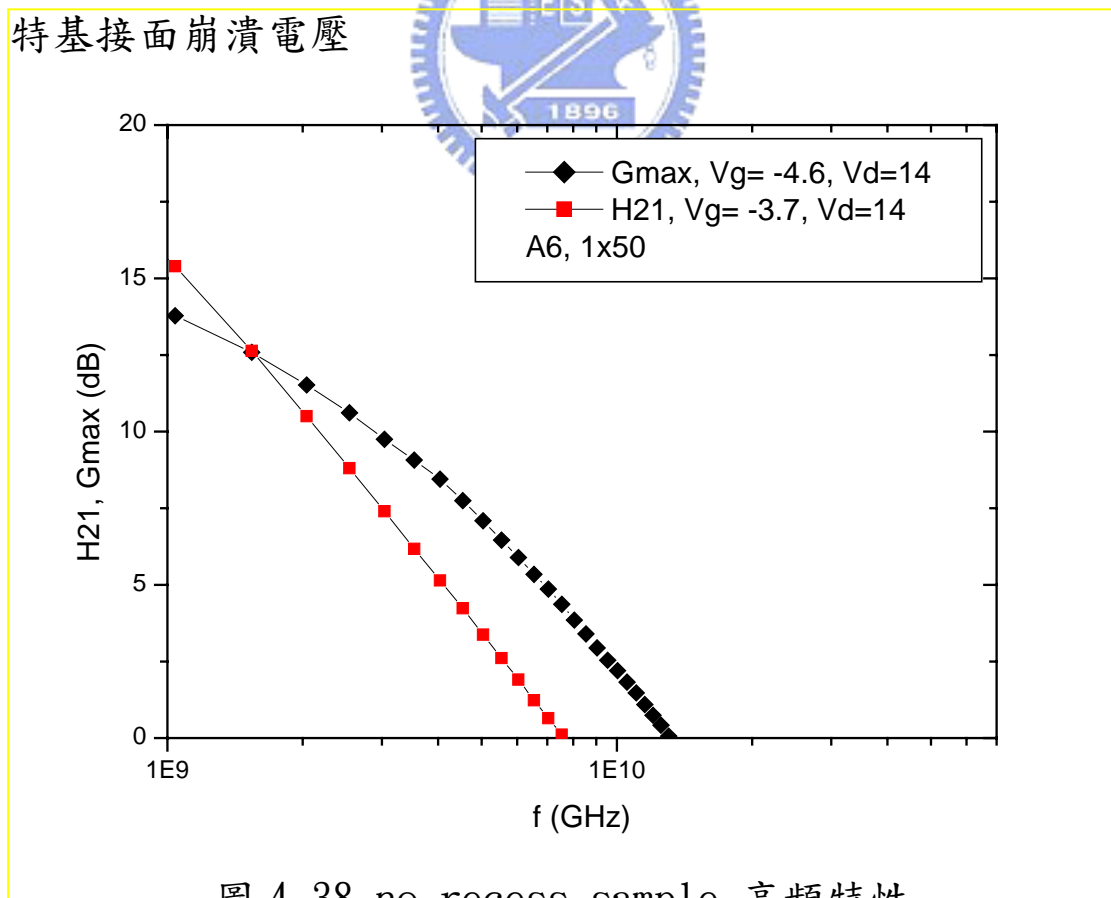


圖 4-38 no recess sample 高頻特性

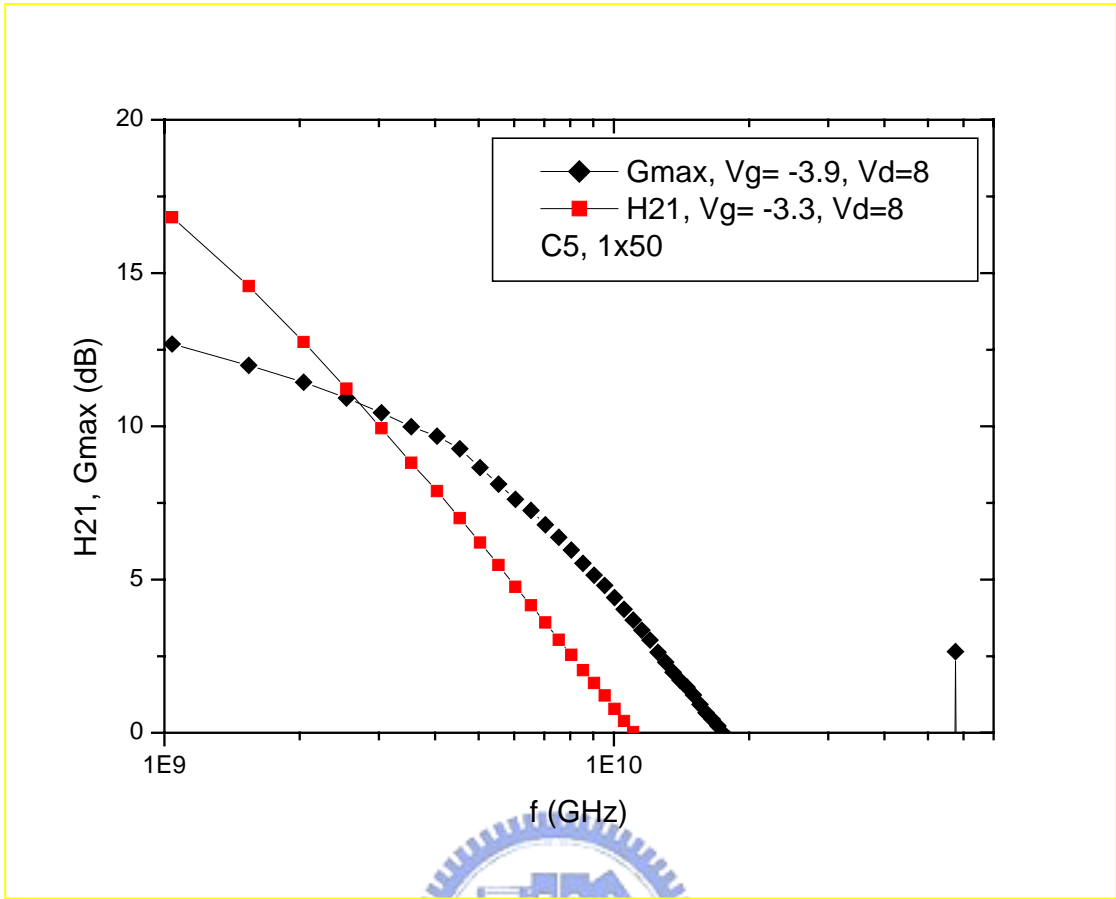


圖 4-39 C_{12} recessed sample 高頻特性

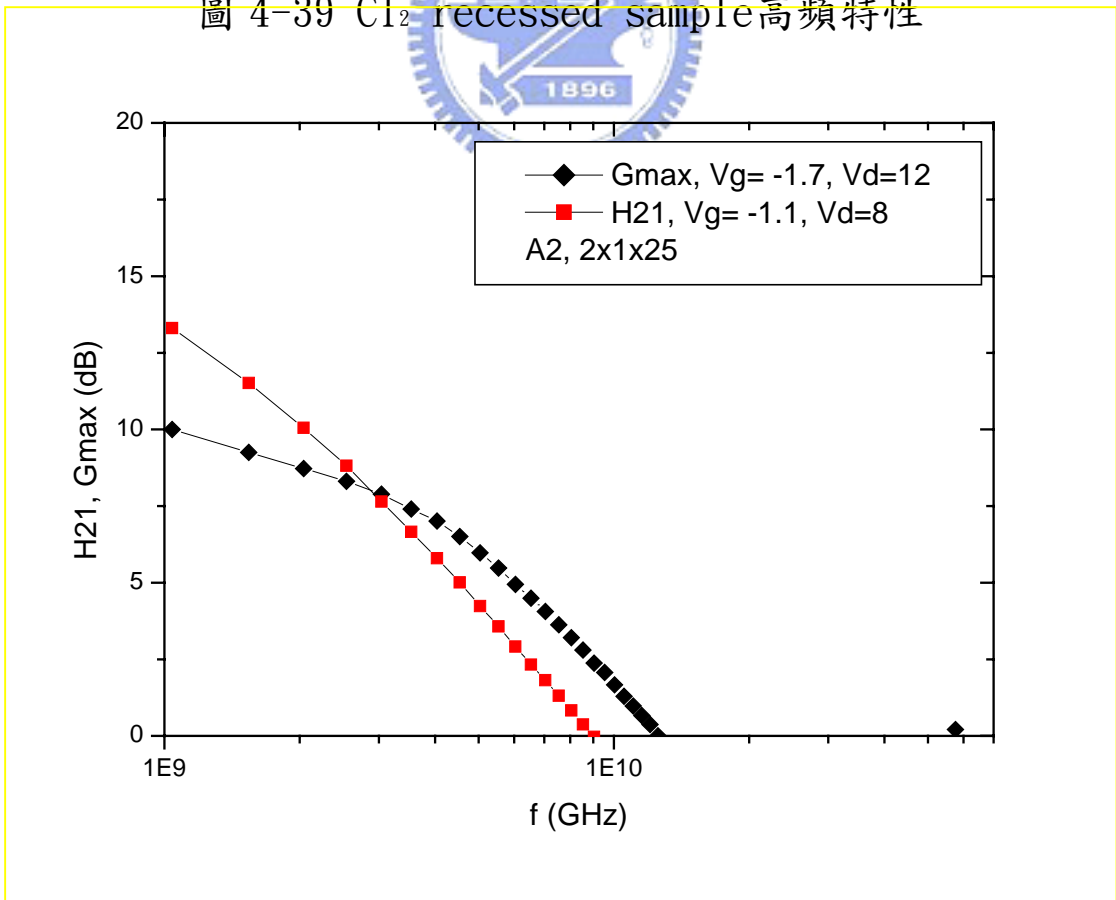


圖 4-40 C_{12}/Ar recessed sample 高頻特性