

第五章 結論

在此實驗中，我們設計了兩種不同的掘入蝕刻條件，藉此觀察如何藉著控制開極掘入蝕刻深度來控制元件的臨界電壓，以及探討掘入蝕刻過程對元件所造成的影響，此外，我們透過鈍化製程來消除試片表面在磊晶過程產生之 surface trap 或蝕刻過程中所產生的 etch damage。

掘入蝕刻條件與元件的影響如下：

- (1) 利用C-V量測，測得Cl₂ recessed sample 掘入蝕刻深度約 50 Å，臨界電壓改變 1V。Cl₂/Ar recessed sample 掘入蝕刻深度約 80 Å，臨界電壓改變 3V。受光阻承受能力及蝕刻機制之限制Cl₂ recessed之極限蝕刻深度約為 50 Å，若利用Cl₂/Ar recessed則無此限制，可穩定掘入蝕刻。
- (2) 掘入蝕刻後，受 etch damage 及 surface trap 之影響，最大外部轉導由 117mS/mm 降至 89.6mS/mm，在經過 passivation 消除 surface trap 後最大外部轉導回升至 119mS/mm，但因 recess etch damage 之影響沒有增加。
- (3) 掘入蝕刻程度以及 passivation 對順偏蕭特基導通點沒有影響。掘入蝕刻前，逆向蕭特基崩潰電壓大於 100V，掘入蝕刻後崩潰電壓降至 68V，經過 passivation 後因蕭特基界面受 stress 影響，崩潰電壓降至 61V。掘入蝕刻程度對逆偏蕭特基漏電流不造成影響，但 passivation 會因蕭特基界面受 stress 影響而使漏電流增大。
- (4) 掘入蝕刻並沒有對高頻特性造成影響。

我們製作出未經蝕刻的undoped $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}/\text{GaN}$ HFET在經過passivation處理後特性如下：歐姆接觸電阻為 0.447 ohm-mm。source resistance為 2.064 ohm-mm。對於閘極長度 $1\ \mu\text{m}$ ，閘極寬度 $50\ \mu\text{m}$ 之元件，最大通道電流為 29mA，單位閘極寬度之電流密度達到 580mA/mm，最大外部轉導為 125 mS/mm，pinch-off voltage為-7V，以Ni作為蕭特基接觸金屬，順偏蕭特基導通電壓為 1.3V，逆偏蕭特基漏電流在-30V時約為 $50\ \mu\text{A}$ ，崩潰電壓為 94V。在高頻特性上扣除金屬襯墊電容後的 f_t 達到 7.5GHz， f_{max} 達到 13GHz。

上述試片經過 Cl_2/Ar ICP 300W bias 5W pressure 2Pa 蝕刻 30 秒後，對於閘極長度 $1\ \mu\text{m}$ ，閘極寬度 $50\ \mu\text{m}$ 之元件，最大通道電流為 20.55mA，單位閘極寬度之電流密度達到 411mA/mm，最大外部轉導為 112 mS/mm，pinch-off voltage為-4V，順偏蕭特基導通電壓為 1.3V，逆偏蕭特基漏電流在-30V時約為 $10\ \mu\text{A}$ ，崩潰電壓為 61V。在高頻特性上扣除金屬襯墊電容後的 f_t 達到 9GHz， f_{max} 達到 12.5GHz。



綜合以上，結論是利用 Cl_2/Ar 掘入蝕刻，可確實達成掘入蝕刻深度之要求，且在經過passivation後，除崩潰電壓衰減及外部轉導未增加外，不影響高頻特性之表現。更進一步的元件特性改善，則需在掘入蝕刻後加入高溫退火之步驟，以消除閘極底部之掘入蝕刻損傷。