

用有機金屬沉積法製作鐵電薄膜與介電薄膜之 電性與物性研究

研究生:周秀玉

指導教授:曾俊元、陳登銘

國立交通大學
應用化學研究所

摘要

本研究主要可分為兩部分,第一部分主要探討鐵電薄膜之電性與物性,第二部分是探討高介電薄膜之電性與物性,兩者皆是由化學製造法中的有機金屬沉積技術來製作鐵電性記憶體薄膜與高介電性薄膜。在鉭酸鋇鈇 $\text{Sr}_{0.8}\text{Bi}_{2+x}\text{Ta}_2\text{O}_{9+\delta}$ (SBT)鐵電薄膜中主要是探討鈇含量不同對薄膜電性、物性之影響。具有不同鈇含量之鉭酸鋇鈇鐵電薄膜除了組成成分 $x=0$ 以外皆顯示含有優選(115)方向的 SBT 結晶相存在,除此之外,鉭酸鋇鈇鐵電薄膜的微結構、極化對電場的遲滯迴路、漏電流密度皆與鈇含量有關,而 30% ($x=0.6$) 過量鈇之鉭酸鋇鈇鐵電薄膜無論在微結構、極化對電場的遲滯迴路、漏電流密度方面皆顯示了最佳的特性。

根據此結果,將鉭酸鋇鈇 $\text{Sr}_{0.8}\text{Bi}_{2.6}\text{Ta}_2\text{O}_{9+\delta}$ (SBT)鐵電薄膜於不同的

溫度下結晶成長,則鉍酸鋇鉍鐵電薄膜的極化對電場的特性顯示其隨結晶溫度增加而呈現出線性到非線性的系統性變化,鉍酸鋇鉍鐵電薄膜的漏電密度與介電常數也明顯的與結晶溫度相關連,此結晶溫度主要決定了晶粒大小、平均表面粗糙度和介面層間的擴散,其漏電密度與介電常數會隨結晶溫度增加而上升。

將鉍酸鋇鉍 $\text{Sr}_{0.8}\text{Bi}_{2.6}\text{Ta}_2\text{O}_{9+\delta}$ (SBT)鐵電薄膜沉積在 Pt/Ti/SiO₂/Si (MIM)和 CeO₂/Si (MFIS)的兩種記憶體結構中,然後於 700°C 結晶成長,而為了防止漏電流與介面層間之相互擴散,先於底材上長一層 STO 晶種層再鍍上鉍酸鋇鉍鐵電薄膜。在具有 STO 晶種層基材上沉積之鉍酸鋇鉍鐵電薄膜於 700°C 淬火後,無論在 MIM 和 MFIS 結構上皆可得完美(115)方向之 SBT 結晶相,而 STO 的晶種層在 MIM 結構中確實可以有效的阻止鉍原子擴散進入底電極,而降低漏電流,在 MFIS 結構中雖然得到一較小極化值,但由於鐵電層所分配到的電場值反而因介電常數值降低而增加,因而得到較大的記憶窗。

接下來以鈦酸鉍鉍 BNT ($\text{Bi}_{3.25}\text{Nd}_{0.75}\text{Ti}_3\text{O}_{12}$)作為記憶體鐵電薄膜,此薄膜旋鍍於 SrRuO₃/SrTiO₃/Si (MFMIS 結構)基材上,然後於個種溫度下結晶成長。此薄膜在 SrRuO₃/SrTiO₃/Si 基材上顯示具有強的(104)優選 BNT 結晶方向。鈦酸鉍鉍薄膜於 MIM 結構中顯現了較大的殘餘極化值 58 $\mu\text{C}/\text{cm}^2$ 與矯頑電場值 104 kV/cm,而此薄膜於 MFMIS 結構

亦顯示出其記憶窗比鈦酸鋇鐵電薄膜所得來的大。

第二部分的研究主要是以有機金屬沉積技術來製作高介電性薄膜，我們所選擇的高介電薄膜是鈦酸鋇加二氧化矽化合物 $\text{SrTiO}_3\text{-(x)SiO}_2$ ($\text{SrTiSi}_x\text{O}_{3+y}$)，x 值從 0 到 0.45，此薄膜中的鈦酸鋇矽氧化晶粒隨矽含量增加而被細小化，此細小化之晶粒導致介電常數減低與漏電流降低。鈦酸鋇矽氧化物薄膜的介電常數，隨結晶溫度的增加而增加，同一結晶溫度下介電常數隨矽的含量增加而降低。鈦酸鋇矽氧化物薄膜的漏電流密度隨結晶溫度增加而增加，在同一結晶溫度下，則隨矽含量增加而降低至含量為 0.25 止。當鈦酸鋇矽氧化物薄膜的矽含量為 0.25 於 800°C 結晶成長時，具有最適宜的介電常數與最低的漏電流值，分別是 94.8 與 $81.27 \times 10^{-8} \text{ A/cm}^2$ 。在此組成成份的鈦酸鋇矽氧化物薄膜於 700°C 和 800°C 結晶成長後，其 TDDB 曲線顯示在 0.6 Mv/cm 電場下操作可維持十年以上。