

奈米碳管電晶體之遲滯效應研究

研究生：薛聖銘

指導教授：崔秉鉞

國立交通大學電子工程學系 電子研究所碩士班

摘要

自 1998 年起奈米碳管電晶體(CNTFET)首次被製作出來，其電性如載子遷移率、載子傳輸、截止頻率..等，已被許多研究單位廣泛地研究。其中碳管電晶體之遲滯效應也為研究之重點，因為此效應將會影響元件之穩定度。另一方面而言，遲滯效應顯示碳管電晶體可應用在感應器或記憶體方面之可能性。自 2002 至今，研究學者對其遲滯效應之產生機制有兩種看法：一為大氣中水氣吸附至碳管表面所產生之遲滯效應，二為由於閘極偏壓產生之高電場導致碳管中之載子注入介電層所致。

本論文在不同條件下，觀測碳管電晶體之遲滯效應。包括了增加水氣及酒精之極性分子、真空、不同溫度、覆蓋薄膜、照光等環境。也製作了上閘極以及下閘極與源極和汲極電極重疊和不重疊結構之碳管電晶體。經由量測發現，當碳管（通道）暴露於大氣環境中，其遲滯效應會由水分子主導。增加極性分子其遲滯效應會有增強之效果。但是當去除水分子之影響後（如真空環境下），其遲滯效應將由載子注入至介電層機制所致。欲得到穩定之碳管電晶體，碳管（通道）必須隔離極性分子。再者與碳管接觸之介電層必須為低缺陷密度之介電層以及較低的閘極操作電壓。

我們評估利用碳管電晶體遲滯效應作為記憶體元件之可行性。我們發現碳管電晶體記憶體元件其電荷保留時間約數千秒，閘極與源極和汲極電極不重疊結構之碳管電晶體其轉態時間可小於 0.4ms。鑑於轉態時間低於快閃記憶體，但電荷保留時間過低。然且其讀寫擦之次數可高於 10^6 ，欲使用碳管電晶體作為記憶元件，尚有多瓶頸待克服。



A Study on the Hysteresis effect of CNTFET

Student: Sheng-ming Shiue

Advisor: Bin-Yue Tsui

Department of Electronics Engineering

Institute of Electronics

National Chiao Tung University

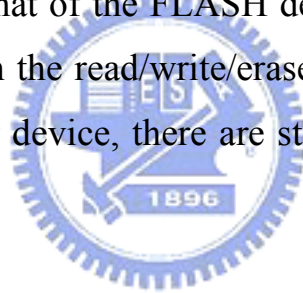
Abstract

Since carbon nanotube field effect transistor (CNTFET) was demonstrated in 1998, electrical properties of CNTFETs such as mobility, carrier transportation, cut-off frequency, etc., were investigated widely by many researchers. Among these properties, the hysteresis effect of CNTFETs is one of the key points because it affects the device stability. On the other hand, the hysteresis effect reveals the possibility for sensor or memory applications. Since 2002, researchers have two perspectives on the mechanism which causes the hysteresis effect. One is the water molecules adsorption on the surface of carbon nanotube and the other one is the carrier injection into dielectric due to the gate bias induced high electron field.

In this work, we study the hysteresis effect of CNTFET under different environments, including adding polar molecules (water and alcohol) 、 in vacuum ambient 、 at various temperatures 、 capping with thin film as well as light illumination. Top gate and bottom gate devices with and without gate to source/drain overlap were fabricated. It is found that

water molecules dominate the hysteresis effect as carbon nanotube (channel) is exposed to the ambient. Adding polar molecules will enhance the hysteresis effect. But when we exclude the affect of water molecules, for example in vacuum environment, the hysteresis effect is still observed due to carrier injecting into dielectric. These results suggest that to obtain stable CNTFETs, CNT channel must not be exposed to polar molecules. Furthermore, the dielectrics those contact with CNT must have low defect density and the operation voltage must be not too high.

The feasibility for CNTFET as a memory device is also evaluated. It is found that the retention time of CNTFET would be several thousands seconds. The switching time of the gate-source/drain non-overlapped device could be less than 0.4msec. It is clear that the switching speed of CNTFET is higher than that of the FLASH device but the retention time is much shorter. Although the read/write/erase cycle can be much higher than 10^6 , to be a memory device, there are still several bottlenecks need to be overcome.



兩年的碩士生活過去了，這兩年是我求學生涯中最值得回味的兩年。從碩一面對繁重課業壓力的不適應，甚至面對上台報告有著害怕恐懼的心理，這一切我都走過來了。

首先感謝父母親在我求學路上支持與鼓勵，再者我很慶幸在我的指導教授 崔秉鉞老師的指導下從事研究的工作，其清楚的思緒與邏輯，讓我能更快的完成實驗進度而不必浪費一些無謂的時間。除此之外，老師對研究上所秉持的正派原則更是值得學生效法與追從。

在實驗討論方面，感謝台灣聯合大學系統的奈米碳管研究計劃群以及國家型奈米計劃研究群提供了完善的討論空間，讓我能更瞭解碳管之特性。再者感謝本實驗室林家彬學長、黃誌鋒學長、方國龍學長、吳偉豪學長、黃祺聰學長、謝志民學長、張志廉學長及清華大學辛坤瑩學長在實驗上的鼎力相助與指導，使我獲益良多。

然而也感謝兩年一起求學的同伴，李宜澤、金立峰、盧季霈同學在課業上及實驗上的扶持。當然也感謝可愛的學弟妹，吳明錡、林孟漢、李佳蓉、黃永助，在忙碌的碩士生活中增添一股生活樂趣。

最後感謝彭中慧小姐，在兩年前研究所考試至碩一時的一路扶持與付出。

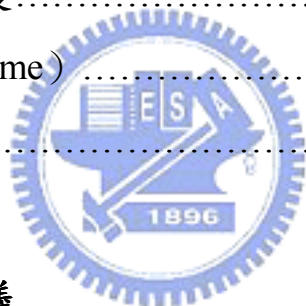
目錄

中文摘要.....	i
英文摘要.....	iii
誌謝.....	v
目錄.....	vi
表目錄.....	viii
圖目錄.....	ix
第一章 緒論	
1-1 奈米碳管之基本特性.....	1
1-2 奈米碳管之成長方式及結構分析.....	2
1-3 奈米碳管之應用及未來展望.....	3
1-4 奈米碳管電晶體之遲滯效應及論文架構.....	5
第二章 實驗方法	
2-1 元件製程步驟.....	8
2-2 光罩上之結構設計與實作結果.....	11
2-3 PMMA 薄膜之製備.....	12
2-4 量測儀器.....	12
第三章 奈米碳管電晶體之遲滯現象探討	
3-1 Blanket back-gate CNTFET 之遲滯現象.....	19
3-2 極性分子對遲滯現象之影響.....	20

3-3 薄膜覆蓋後對遲滯現象之影響.....	21
3-4 照光後對遲滯現象之影響.....	22
3-5 真空及低溫下之遲滯現象.....	22
3-6 高溫下 Blanket back-gate CNTFET 之遲滯現象.....	23
3-7 Blanket Top-gate CNTFET(with dielectric PE-SiO ₂) 之遲滯現象..	24
3-8 小結.....	24

第四章 碳管電晶體之記憶體參數粹取

4-1 電荷保留時間(Retention time).....	41
4-2 讀寫擦操作頻率.....	42
4-3 讀寫擦次數之穩定度.....	43
4-4 轉態時間 (Switch time).....	43
4-5 小結.....	44



第五章 結論與建議

5-1 結論.....	52
5-2 後續研究建議.....	53

參考文獻.....	55
-----------	----

簡歷.....	60
---------	----

表目錄

第三章

表 3-1 碳管記憶體元件與現今主流之記憶體元件之比較表

第四章

表 4-1 碳管記憶體元件與現今主流之記憶體元件之比較表



圖目錄

第一章

圖 1-1. 顯示碳管中碳與碳原子間之震盪模式(a) the RBM and (b) the G band 模式

圖 1-2 顯示石墨層、多層壁碳管、半導體性碳管和金屬性碳管以拉曼頻譜上的不同

第二章

圖 2-1 Blanket Back gate CNTFET 示意圖

圖 2-2 Blanket Top gate CNTFET 示意圖

圖 2-3 Bottom gate (without S/D overlap) CNTFET 示意圖

圖 2-4 Top gate (without S/D overlap) CNTFET 示意圖

圖 2-5 金屬線單向指狀光罩設計圖

圖 2-6 Top and bottom gate (without S/D overlap) 光罩設計圖

圖 2-7(a) Bottom gate(without S/D overlap) CNTFET SEM 圖

圖 2-7(b) Bottom gate(without S/D overlap) CNTFET SEM 放大圖

圖 2-8(a) Top gate(without S/D overlap) CNTFET SEM 圖

圖 2-7(b) Top gate(without S/D overlap) CNTFET SEM 放大圖

第三章

圖 3-1 水分子吸附於碳管表面之示意圖[50]

圖 3-2 載子注入介電層之示意圖

圖 3-3 遲滯迴路與電場大小之比較圖

圖 3-4 遲滯迴路與閘極掃瞄速率之比較圖

圖 3-5 遲滯迴路在增加水氣分子下與一般大氣下之量測結果

圖 3-6 遲滯迴路在增加酒精極性分子下與一般大氣下之量測結果

圖 3-7 遲滯迴路在覆蓋 PMMA 後和加大閘極掃瞄範圍與一般大氣下量測之比較

圖 3-8 遲滯迴路在覆蓋 PE-SiO₂ 後與一般大氣下量測之比較

圖 3-9 照光與不照光下之遲滯迴路比較

圖 3-10 照光與不照光汲極電流回復現象

圖 3-11 覆蓋 PE-SiO₂ 後照光與不照光之遲滯迴路比較

圖 3-12(a)為未抽真空下大氣量測下之結果

圖 3-12(b)為抽真空後且加不同閘極掃瞄範圍之結果

圖 3-13(a)(b)為比較抽真空下不同低溫下之遲滯迴路

圖 3-14 遲滯迴路在高溫量測後再降回室溫之量測結果

圖 3-15 為比較 Blanket back gate CNTFET 在覆蓋 PE-SiO₂ 後與 Blanket top gate CNTFET(介電質為 PE-SiO₂)之遲滯迴路比較

第四章

圖 4-1 (a)寫入抹除方波示意圖

圖 4-1 (b)電荷保留時間量測結果

圖 4-2 讀寫擦操作頻率量測方法示意圖

圖 4-3 (a)Bottom gate(without S/D overlap)CNTFET，讀寫擦操作頻率 = 100Hz

圖 4-3 (b)Bottom gate(without S/D overlap)CNTFET，讀寫擦操作頻率 = 1kHz

圖 4-4 Bottom gate(without S/D overlap)CNTFET 讀寫擦次數之穩定度量測，操作頻率 = 100Hz

圖 4-5(a)記憶體抹除之轉態時間

圖 4-5(b)記憶體寫入之轉態時間

圖 4-6 Top gate(without S/D overlap)CNTFET，記憶體抹除之轉態時間

