

# 第一章

## 緒論

### 1-1 奈米碳管之基本特性：

碳最為普遍的是石墨，石墨是以 $sp^2$  鍵結的層狀二維空間材料結構，若把石墨的平面捲成管狀，即所謂的「碳奈米管」而碳奈米管自1991年日本NEC研究員的飯島澄男發現以來[1]，就成為奈米級科技的主流。然而隨著直徑及石墨層捲曲的方向（螺旋性）其導電性會有非常明顯的改變，導電性的變化範圍可由導體至半導體之間變化，而描述上述捲曲的方向向量故定義出Ch (chiral vector) =  $n \hat{a}_1 + m \hat{a}_2$

碳奈米管的性能由它們的直徑和chiral angle  $\theta$ 來確定[2][3]，而這兩個參數又取決於 $n$ 和 $m$ 值，直徑  $d_t = (\sqrt{3}/\pi) a_{c-c} (m^2 + mn + n^2)^{\frac{1}{2}}$ ,  $a_{c-c}$  為石墨片上近鄰碳原子的間距， $\theta = \tan^{-1}[\sqrt{3}n/(2m+n)]$ ，其中 $n$ 、 $m$ 為整數。

一般可將碳管大致分為三類，Armchair, Zigzag和Chiral。Armchair: 當 $n=m$ 時 ( $\theta = 30^\circ$ ) 此時碳管呈現金屬性質，Zigzag：當 $n$ 或 $m$ 其中之一為0時 ( $\theta = 0^\circ$ )，Chiral： ( $\theta = 0^\circ \sim 30^\circ$ ) 當 $n+m$ 為3的倍數時，由於能隙較小故可視為半金屬性質，而當 $n+m$ 不為3的倍數時因有較大的能隙故視為半導體性質。對於單層壁碳管而言，管徑的大小也會影響能隙的大小，其原因在於管徑越大的單層壁碳管，構成其結構的碳原子數目相對的也較多，有較多的碳原子機率波向量 (atomic wave vector) 存在，提供了額外的能帶如此降低了半導體性碳管的能隙，大致來說管徑大小與能隙大小是成反比的關係。

## 1-2 奈米碳管之成長方式及結構分析：

### 1-2.1 奈米碳管之成長方式

目前市面上碳管成長的方式主要為下述三種方法：

Arc-Discharge (弧光放電) [4]：

此種方法是將兩個石墨電極放置於兩端，並連接上電源供應器，當電源開啟時產生高溫火花進而使碳原子氣化形成碳管。此種方法的好處在於可以製造出缺陷較少的碳管，但其缺點在於製程中會產生多的副產物且其成長出的碳管包含了多層壁(multi-wall)和單層壁(single-wall)兩種型式，無法有效的成長出單一型式的奈米碳管。

Chemical Vapor Deposition (化學氣相沈積) [5]：

此種方法是先將基板上鍍上粉末狀的過渡金屬觸媒，接著放入腔體中加熱再通入製成氣體 ( $C_xH_y$ ) 如乙炔、甲烷，由此來分離出碳原子，碳原子藉此重新結合在觸媒位置或是碳管的末端來增加碳管的長度。其優點在於可利用微影的方式定位成長大量的奈米碳管，主要缺點在於成長出的碳管缺陷過多。

Laser Ablation (雷射熱熔) [6]：

此種方法是將雷射打在鍍有鈷或鎳觸媒的石墨基板上，藉此產生出高熱能氣態的碳原子，冷卻後極易形成單層壁奈米碳管是其主要的優點。

### 1-2.2 奈米碳管之結構分析：

奈米碳管結構分析上目前以拉曼光譜為主流，其主要為利用入射光頻率與反射光頻率之差值(及代表碳管中碳原子振動所產生之頻率)，故它可以用來探測(SWCNTs-single wall carbon nanotubes)的 vibrational modes 和電特性，在拉曼光譜當中單一側壁碳奈米管有兩個最主要的特徵:[7][8][9][10]

### Radial breathing modes—RBM:

RBM Raman features 主要是由於當單層壁碳管(管徑在1 nm~2 nm)breathing mode下(如圖1-1(a)所示),碳原子震盪在radical的方向,而其發生在拉曼頻譜的峰值作落在  $120\text{ cm}^{-1} < \omega_{\text{RBM}} < 250\text{ cm}^{-1}$  而這個特徵頻率峰值可以有效的用來分析碳管的管徑,其數學關係是約略可以表示為:  $\omega_{\text{RBM}} = A/dt + B$  而A和B為經驗常數值,其中B主要為碳管和碳管的交互作用力產生,故當分析單層壁碳管束時B是有值的。

### Tangential modes—G band:

G band所觀測到的拉曼特徵頻譜峰值,其碳原子的相對震盪關係可由圖1-1(b)表示出,藉由觀測拉曼特徵頻譜,當觀測到其頻譜峰值約在 $1580\text{ cm}^{-1}$ 也可以斷定有碳管的存在,其碳原子的震盪方向可分為兩種,一為沿著管軸震盪(稱之為G+ 峰值),另一種為沿著周圍圓曲面震盪的碳原子(稱之為G-峰值)其在拉曼頻譜中作落在較低頻率的地方,其原因在於因為曲率的關係,弱化了碳分子震盪在周圍切線方向的能力,然而在判斷半導體性單層壁碳管和金屬性單層壁碳管方面,則可由G-峰值的寬窄來加以判斷,金屬性的碳管具有較寬的G-峰值號,其原因在於金屬性碳管中有自由電子,此連續的自由電子會使得G-峰值訊號有較寬的情形產生(如圖1-2所示)。

## 1-3奈米碳管之應用及未來展望:

奈米碳管自發現以來,由於其獨特的結構而具備了十分奇特的化學、物理學、電子學、力學...等特性。這些特性使它在應用方面顯示了誘人的前景。隨著研究的不斷深入,碳奈米管將給人類帶來許多驚奇。就其力學方面,因碳-碳共價鍵是自然界中最穩定的化學鍵,所

以碳奈米管應該具有非常好的力學性能，研究發現其強度是鋼的100倍，而密度卻只有鋼的1/6，是一種新型的超級纖維材料，而其良好的導熱能力，可以當作品片散熱板及高溫元件之防護材料。利用其奈米級的尺寸及彈性高故也可以成為理想探針材料之一，就其電性方面，金屬性的碳管因其具有極大的電流負載能力[11]，故可以作為電路上之連接線[12]和多層金屬層之間的內連線[13][14][15][16][17]。而半導體性的碳管應用方面因其與金屬的接觸目前許多報導證實呈現蕭基位障，故理論上選擇不同金屬功函數值與碳管費米能階( $E_f=4.73\text{eV}$ )做Fermi-pinning，可獲得不同載子型態的蕭基位障。藉由穿遂機制產生穿遂電流，隨著閘極所施加的極性加以調變，故可以產生p-type、n-type和雙極性的CNTFET[18~26]。其中雙極性CNTFET因其有不同載子型態（電子電洞），當其復合時會發出紅外線光因此可用來當作發光元件的應用。然而目前所發表之文獻均以p-type CNTFET為主，其原因是認為碳管會吸附空氣中之氧氣分子，藉此吸附的動作會吸收掉電子載子所致[27][28]。另外利用（鉀）摻雜的方式將碳管改質或在元件上覆蓋一層有機薄膜以及在真空退火後可使原p-type CNTFET轉態形成n-type CNTFET[29~33]，也可利用碳管其中一邊用鉀摻雜，或是利用雙閘極電性調變的方式調變碳管兩端之電位能形p-n junction[34]。碳管利用在感測器方面，目前可作為光、溫度、水氣、H<sub>2</sub>、NH<sub>3</sub>、N<sub>2</sub>O、CO<sub>2</sub>、CO、O<sub>2</sub> 等...感測元件[35~40]。然而碳管在記憶體方面之應用因發現到在一般back gate CNTFET製程下量測其 $I_d-V_g$ 圖時有明顯之遲滯現象發生，故可利用此種特性來作為奈米記憶體元件而這也是本論文之主要研究方向將於下一節做深入之探討。

雖然碳管應用範圍廣泛，但現今所面臨的最大瓶頸在於如何才能

定向成長碳管，並希望更進一步控制碳管成長的chiral angle來達到所需應用到的碳管性質及結構。目前文獻上發表在成長碳管製成中的製程氣體流速，或是在外加電場的情況下對碳管之成長方向有一定的影響力，至於如何控制碳管成長之chiral來達到所需求之應用仍待進一步研究，然而目前已有方法能將半導體性碳管和金屬性碳管成功大量分離出來[41][42]，使碳管在量產應用方面跨出了一大步。

另外碳管電晶體在電性量測上容易呈現不穩定之情形，雖利用閘極之偏壓可產生電流調變之效果但當閘極來回掃瞄時其汲極電流走向卻不一致也就是所謂的遲滯迴路，如此將會造成電晶體開關工作區間之不穩定性。

#### 1-4 奈米碳管電晶體之遲滯效應及論文架構：

碳管電晶體之遲滯效應自西元2002年至今，陸續有幾篇文獻探討其形成機制，早期是從載子入射氧化層的觀點解釋，以back gate CNTFET而言，由於碳管之奈米尺度相對於大面積之back gate閘極(可視作為一個導電板)中間夾著一絕緣層 ( $\text{SiO}_2$ )，計算其電場強度發現此電場強度足以產生載子穿隧機制故用此一現象來加以描述其電荷儲存的效應[43][44][45]。故Won Bong Choi等人利用碳管取代了傳統的矽當作通道再搭配著ONO( $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ )結構製作出了以碳管為通道的非揮發性記憶體元件[46]。在西元2003年以後，陸續有研究發現水氣對此遲滯現象扮演著重要的角色，在真空下量測或是覆蓋一層具有去除水氣之薄膜，發現其遲滯現象可獲得明顯改善[47-50]，且在不同濕度環境下量測，遲滯迴路明顯的跟相對濕度有著相依關係。

故本論文主要目的是希望澄清遲滯現象的機制，藉由一些實驗方

法如將水氣去除或是在不同環境觀測其遲滯迴路之變化，藉此瞭解影響碳管電晶體產生遲滯迴路之成因。再者量測其遲滯現象應用在記憶體元件上之重要參數，以評估其當作奈米記憶體元件之可行性。

論文中第二章將說明實驗方法，包括結構上之製程步驟以及量測儀器及所用之PMMA薄膜之調配方法。

第三章為量測結果以及觀察到現象加以討論。

第四章為利用此遲滯現象碳管電晶體可用來當作記憶體元件之特性分析及記憶體參數粹取。

第五章為結論並對未來研究工作之做些建議事項。



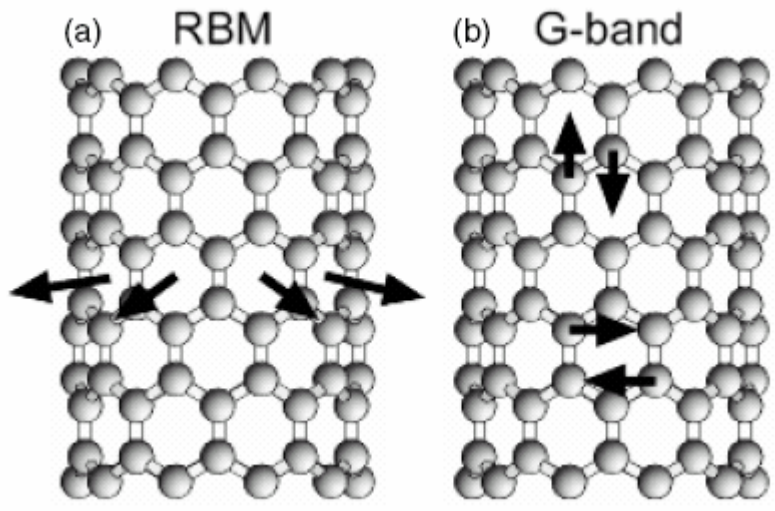


圖 1-1. 顯示碳管中碳與碳原子間之震盪模式(a) the RBM and (b) the G band 模式。

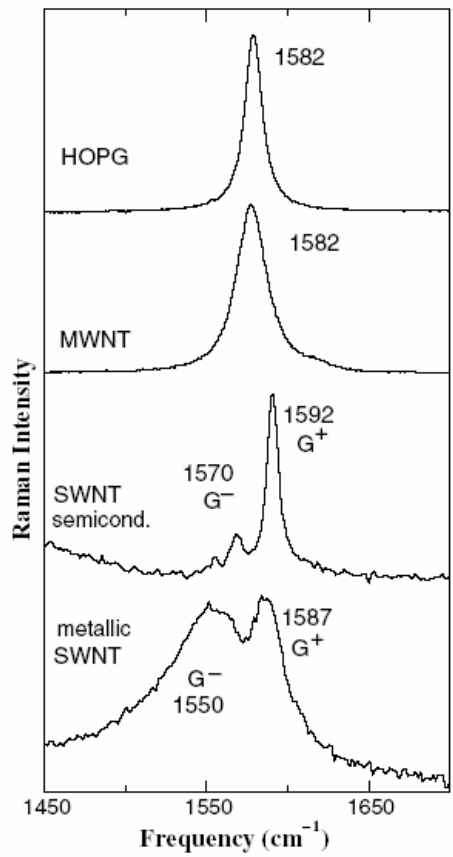


圖 1-2 顯示石墨層、多層壁碳管、半導體性碳管和金屬性碳管以拉曼頻譜上的不同。

# 第二章

## 實驗方法

本章將介紹實驗製程的步驟、光罩上之設計結構及實做結果、PMMA 薄膜之配製及使用之量測儀器。

### 2-1 元件製程步驟：

此小節為介紹元件製程之詳細步驟，包括一般 Blanket Back gate CNTFET、Blanket Top gate CNTFET、Bottom gate(without S/D overlap)CNTFET 及 Top gate(without S/D overlap)等四種 CNTFET。

#### 2-1.1 Blanket Back CNTFET

其示意圖如圖 2-1

1. 清洗晶片 RCA Clean。
2. 長犧牲氧化層 TEOS oxide 20nm(NDL-爐管 Furnace)
3. 離子佈植能量 150Kev 劑量  $5 \times 10^{15} \text{cm}^{-2}$  的  $\text{BF}_2^+$
4. 去除犧牲氧化層 (HF dip)
5. 長氧化層 Dry oxide 50nm
6. 旋塗碳管：1 mg 的碳管粉末與 40ml 的二甲基甲醯胺(DMF, Dimethylformamide)轉速:500rpm 10s 及 4000rpm 60s
7. 上光阻(NDL-Track)，正光阻(DSE)厚度為 400nm。
8. 曝光(NDL-E-beam,其型號及參數如下詳述)

此電子束微影系統(Leica<sup>®</sup> Weprint200)為能量 40KeV 的可變形狀電



子束(Variably Shaped Beam)，曝光劑量定義為：

$$\text{DOSE}(\mu\text{C}/\text{cm}^2)=\text{ED\_FACTOR}*\text{RESIST}*0.01 \text{ (RESIST=100)}$$

曝光的條件為線寬 5 $\mu\text{m}$  以上 ED\_FACTOR=5，線寬 5 $\mu\text{m}$  以下 ED\_FACTOR=9。

9. 顯影(NDL-Track)。
10. 沉積金屬(Sputter 鈦金屬，濺鍍直流電流為 0.4 安培，濺鍍時間為 10min)。
11. 以掀離法(Lift-off)去除金屬(NFC-有機槽)。
12. 將晶片背面之氧化層以 BOE 去除後沉積鋁膜(Al-Thermal Coater)。

## 2-1.2 Blanket Top gate CNTFET

其示意圖如圖 2-2

步驟 1~11 同 Blanket back gate CNTFET，但步驟 10 在沈積完鈦金屬後，在不破真空度之情況下，再沈積鉑金屬 (RF 功率 200W，濺鍍時間為 10min)。其目的為在 S/D 接觸窗蝕刻時，鉑金屬有良好之抗蝕刻能力。

12. 沈積 PE-SiO<sub>2</sub> 50nm 為 Top gate 之介電層。
13. 沈積鋁膜 (Al-Thermal Coater 500nm) 當作 Blanket Top gate。
14. 上光阻(NDL-Track)，負光阻(NEB)厚度為 400nm。
15. Al gate pattern 曝光。
16. 顯影(NDL-Track)。
17. 鋁膜濕式蝕刻。
18. 上光阻(NDL-Track)，正光阻 (DSE)。
19. S/D 接觸窗曝光。
20. 顯影(NDL-Track)。
21. 接觸窗蝕刻 (BOE etch 40s)

22.將晶片背面之氧化層以 BOE 去除後沉積鋁膜(NFC-Thermal Coater)。

### 2-1.3 Bottom gate (without S/D overlap) CNTFET

示意圖如圖 2-3

1. 清洗晶片 RCA Clean。
2. 長 buffer 氧化層 Dry oxide 80nm(NDL-爐管 Furnace)。
3. 沈積 in-situ dope poly silicon 30nm(NDL-垂直爐管 Furnace)。
4. 上光阻(NEB)
5. Poly gate pattern 曝光(ED\_FACTOR=10)
6. 顯影(NDL-Track)。
7. 乾式蝕刻 Poly silicon (NDL-TCP 9400 Poly silicon etcher)。
8. 沈積 PE-SiO<sub>2</sub> 50nm 為 Bottom gate 之介電層。
9. Poly silicon 退火 (900°C 30min)。
- 10.旋塗碳管。
- 11.上光阻 (DSE)。
- 12.S/D pattern 曝光。
- 13.顯影 (NDL-Track)。
- 14.沈積金屬 (sputter 鈦金屬)。
- 15.lift-off 金屬。
- 16.上正光阻 (DSE)。
- 17.Poly silicon 接觸窗曝光。
- 18.顯影 (NDL-Track)。
- 19.接觸窗蝕刻 (BOE etch 40s)。

### 2-1.4 Top gate (without S/D overlap) CNTFET

示意圖如圖 2-4

步驟 1~12 同 Blanket Top gate CNTFET

13. 上光阻(DSE)。

14. Top gate pattern 曝光 (ED\_FACTOR=11.5)。

15. 沈積金屬 (sputter 鈦金屬，濺鍍直流電流為 0.4 安培濺鍍時間為 5min)。

16. lift-off 金屬。

17. 上光阻 (DSE)。

18. S/D 接觸窗曝光。

19. 顯影。

20. 接觸窗蝕刻 (BOE etch 40s)。

## 2-2 光罩佈局與實作結果：

由於我們的碳管長度經統計後約在  $1\sim 2\mu\text{m}$ ，加上必須考慮製程上的變異，故在光罩結構上我們必須取其最佳的金屬線之間距，經由估算我們光罩上線寬為  $0.2\mu\text{m}$ ，且金屬線與金屬線之間距為  $0.5\mu\text{m}$  (pitch 為  $0.7\mu\text{m}$ ) 之單向指狀結構如圖 2-5 所示。

另外在 Bottom gate (without S/D overlap) CNTFET 及 Top gate (without S/D overlap) CNTFET 元件之光罩規劃上，我們考慮了金屬線 lift-off 製程上之變異 (光罩上線寬  $0.2\mu\text{m}$  金屬線經 lift-off 後會實際線約寬為  $0.3\mu\text{m}$ ) 及光罩上之對準誤差。故在金屬線與金屬線中間選擇以線寬  $0.1\mu\text{m}$  當作閘極，佈局方面也以單向指狀結構設計如圖 2-6。

在實做結果方面 Bottom gate (without S/D overlap) CNTFET 之元件其 SEM 圖如圖 2-7(a)(b) 所示，可以看出碳管橫跨於金屬線之間且其 Poly 閘極埋在金屬線之下不與金屬線重疊。至於 Top gate (without

S/D overlap) CNTFET 我們使用 lift off 製程去做 Top gate 之金屬，金屬材料選擇使用鈦金屬（因  $0.1\mu\text{m}$  之鋁金屬線 lift off 製程上不易達成，會有金屬剝落情形發生）其元件 SEM 圖如圖 2-8(a)(b)如所示。

### 2-3 PMMA 薄膜之製備：

PMMA (polyethylene terephthalate) 聚甲基丙烯酸甲酯薄膜為一斥水性薄膜，其原因在於 PMMA 製作時其溶劑氯苯本身與水不互溶故 CNTFET 在經覆蓋 PMMA 後能有去水氣吸附之作用。

PMMA 薄膜之配製敘述如下，首先將 PMMA 之粉末狀之固體顆粒以 2mg 配合 40mg 的氯苯溶劑重量百分比為 5 wt%，其中重量百分比越高溶液黏滯係數越高，隨後放至攪拌器中攪拌 24 小時使粉末與溶劑能均勻混合，接著將 sample 先預烤  $100^{\circ}\text{C}$  10min，預烤完後我們將 PMMA 溶液旋塗於 sample 上旋塗機轉速為 500rpm 60s，旋塗完後再將 sample 以  $180^{\circ}\text{C}$  烘烤 10min，此烘烤步驟目的為將溶劑（氯苯）烤乾如此及完成覆蓋 PMMA 薄膜之 CNTFET，經由薄膜測厚儀量出 PMMA 此膜厚約在 200nm~250nm。

### 2-4 量測儀器：

使用之量測儀器為利用安捷倫公司之半導體參數分析儀（4156）用以量測元件電性，遲滯現象之量測方式首先先將 4156 之量測模式切換至 sweep mode，並將汲極電壓固定並可偵測汲極電流值，源極電壓則固定為 0V，閘極電壓為可改變之參數選取所需掃描之範圍，掃描方式選擇 double 之形式即可做來回掃描閘極電壓之動作，藉由閘極來回掃描並偵測其汲極電流值來觀測其電流曲線迴路。

Function generator (8110A)用以給定閘極電壓之週期性方波，用

以設定碳管電晶體遲滯效應當作記憶體元件時之讀 (read) 寫(write) 擦 (erase) 狀態。

低溫及真空量測方面則使用國家奈米中心實驗室 (NDL) 之低溫量測設備其配有 4156 及點針系統, 其可抽真空後(真空度可至  $10^{-6}$  torr 以下) 在室溫及低溫下量測樣品, 其最低溫可至 40K。



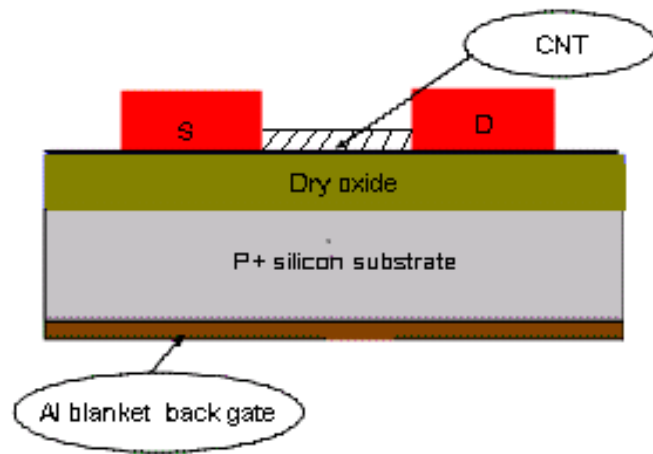


圖 2-1 Blanket Back gate CNTFET 示意圖

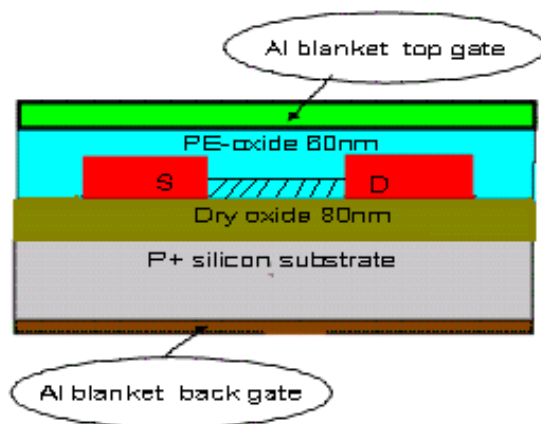


圖 2-2 Blanket Top gate CNTFET 示意圖

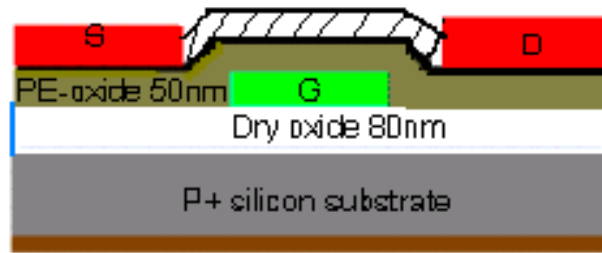


圖 2-3 Bottom gate (without S/D overlap) CNTFET 示意圖

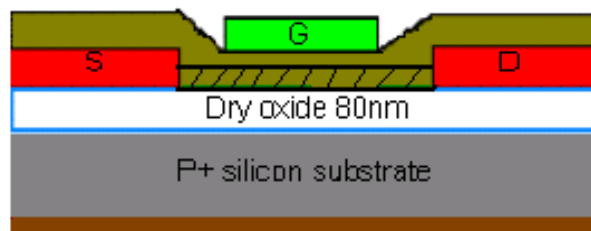


圖 2-4 Top gate (without S/D overlap) CNTFET 示意圖

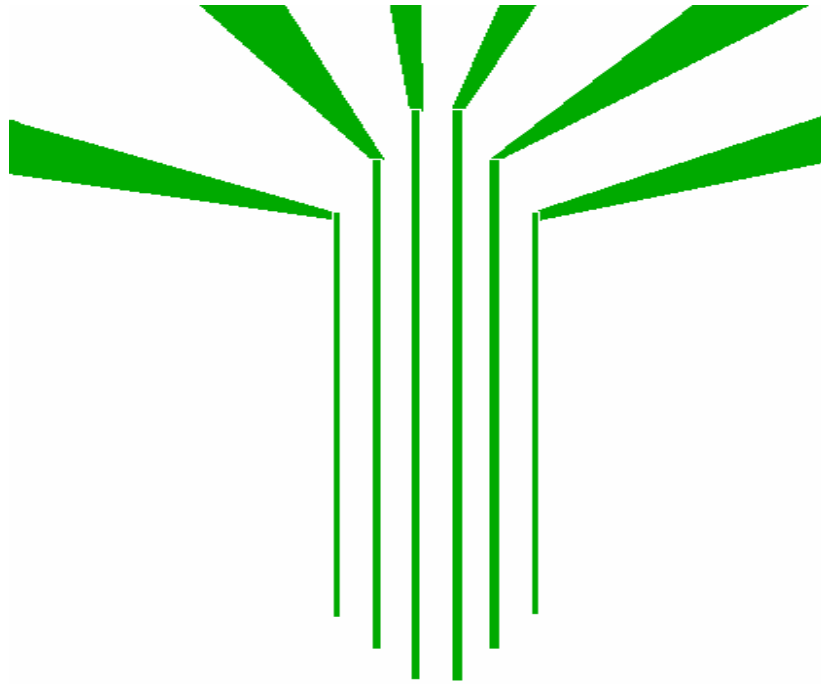


圖 2-5 金屬線單向指狀光罩設計圖

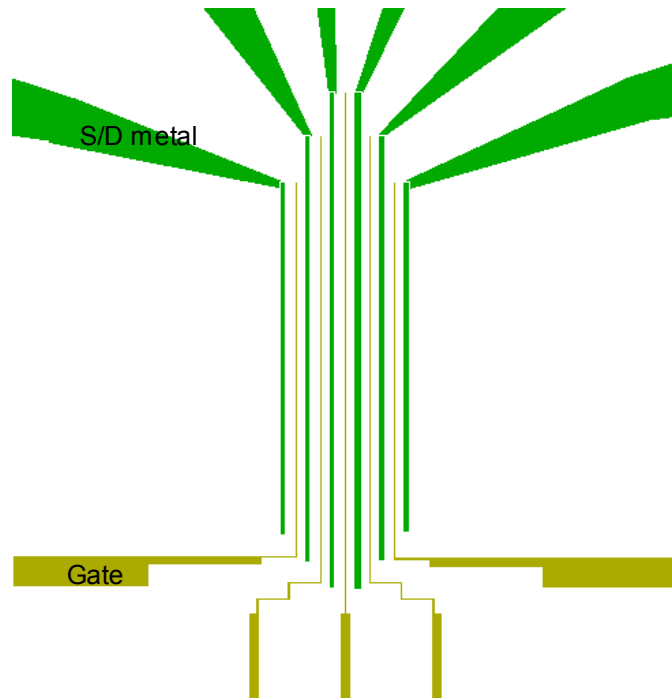


圖 2-6 Top and bottom gate (without S/D overlap) 光罩設計圖



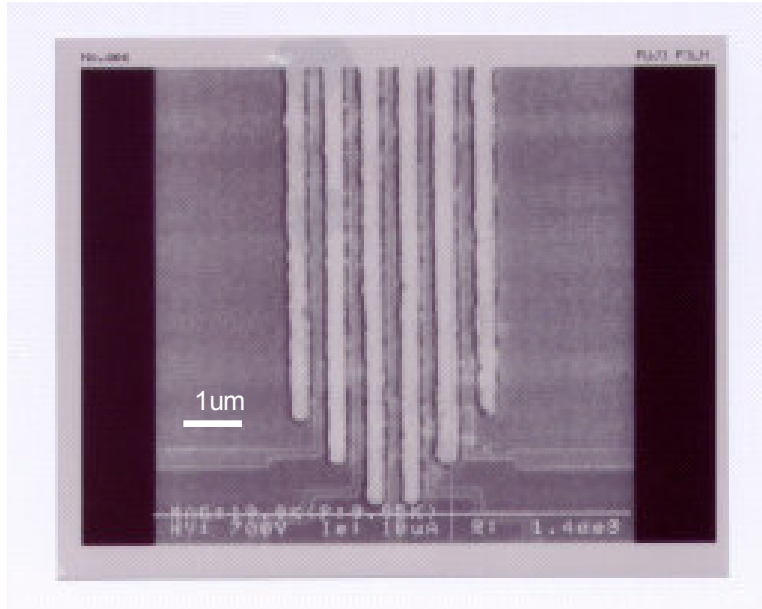


圖 2-7(a) Bottom gate(without S/D overlap) CNTFET SEM 圖

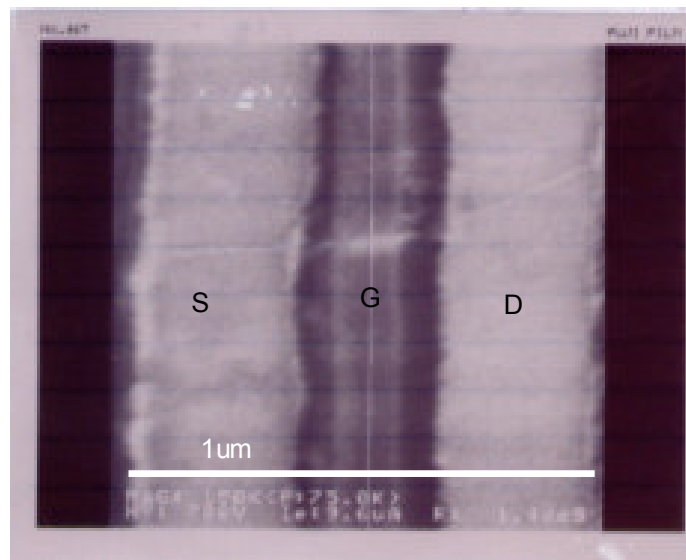


圖 2-7(b) Bottom gate(without S/D overlap) CNTFET SEM 放大圖

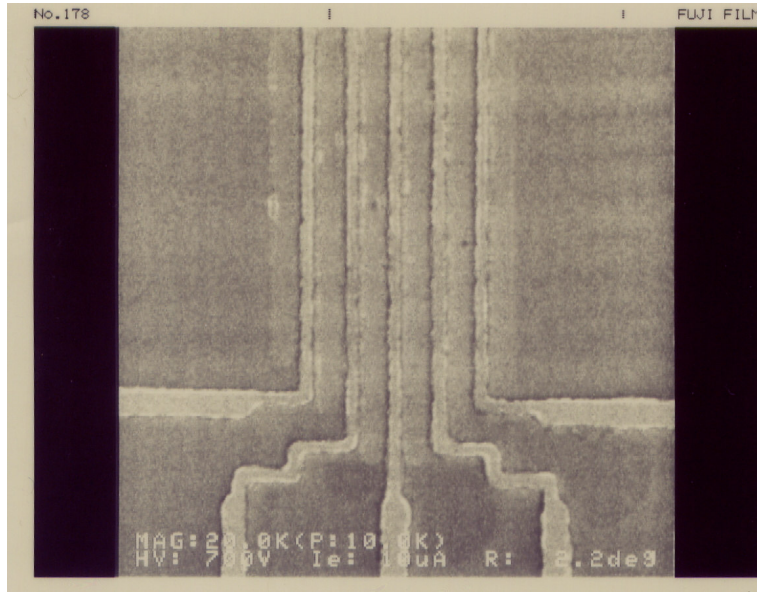


圖 2-8(a) Top gate(without S/D overlap) CNTFET SEM 圖

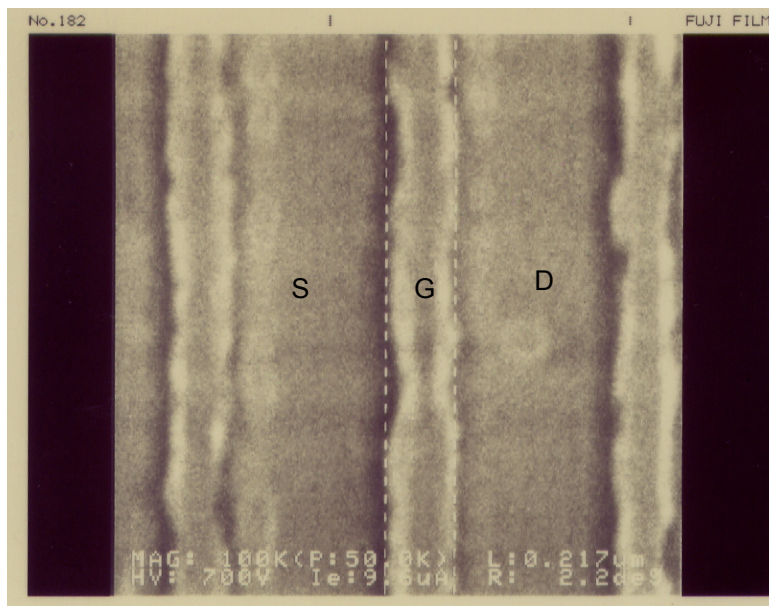


圖 2-7(b) Top gate(without S/D overlap) CNTFET SEM 放大圖

## 第三章

### 奈米碳管電晶體之遲滯現象探討

文獻中指出一般以背閘極製作成的碳管電晶體之遲滯現象的發生的機制大致歸類為兩類，一為由於其碳管（通道）本身是暴露於大氣環境中故水分子會吸附在碳管之表面（如圖 3-1 所示），然而隨著閘極電位極性的改變由於水分子具極性，故影響碳管的電位。此電位上的差異造成在量測  $I_d-V_g$  時，由於閘極極性的來回轉變  $[-V_g \rightarrow 0V \rightarrow +V_g \rightarrow 0V \rightarrow -V_g]$ ，量測到的汲極電流曲線呈現不同的走向，產生遲滯迴路[48][50]。二則為載子注入的觀點，當閘極電壓夠負使一般 p-type CNTFET 呈現導通狀態，以靜電學的理论此時可以簡單看做一個一維的圓柱導體與一無限大的平面基板中間隔著一介電材質。當閘極電場大到足以使電洞載子注入（如圖 3-2 所示），被碳管與介電材質之介面陷阱(interface trap)捕獲，或是注入到介電質裡被捕獲，此時碳管的電位就會因此而有所不同，如此也會造成遲滯迴路[43][44][45]。

#### 3-1 Blanket back-gate CNTFET 之遲滯現象：

一般以重摻雜矽基板當作背閘極之碳管電晶體，我們分別改變量測上的參數，進而推敲遲滯現象的形成機制，改變之參數包括閘極電壓的掃瞄範圍及掃瞄速率。

圖 3-3 為改變閘極電壓的掃瞄範圍的結果，發現遲滯迴路的大小會隨著掃瞄範圍越大則迴路越大，由此可推知遲滯現象之成因與電場

大小成正比之關係。

圖 3-4 為改變 sweep rate 我們將測量儀器之積分時間(integration time)固定為 short，閘極掃瞄範圍[-10V→0V→10V→0V→-10V]，閘極電壓以每 0.1V 遞增，延遲時間(delay time)分別設定為 1 秒，0.5 秒及 0.2 秒。觀察掃瞄速率對遲滯迴路之影響，由量測結果發現掃瞄速率越慢則遲滯迴路越大，可以發現其遲滯迴路成因與掃瞄速率也有一定之關係。

### 3-2 極性分子對遲滯現象之影響：

有文獻[48]報導水氣是造成遲滯迴路的主要因素，故我們在量測時，刻意增加極性分子濃度（水氣分子以及酒精）。其方法則在量測前利用噴霧劑加入所需之極性分子，使量測機台腔體內極性分子濃度提高並立即量測，發現遲滯迴路確實會因極性分子濃度增加而有所變化。

圖 3-5 為增加水氣，閘極電壓來回掃瞄的結果。由圖中可觀測到，當閘極電壓由[-V<sub>g</sub>→0V→+V<sub>g</sub>]時，增加水氣造成碳管電晶體的臨界電壓明顯的向左偏移，而當閘極電壓由[+V<sub>g</sub>→0V→-V<sub>g</sub>]時，汲極電流走向相較於在一般大氣環境下，卻沒有出現明顯的偏差。文獻中推測其成因可能為當閘極電壓由負電位改變為正電位時，負電位造成在大氣中水分子的氫原子端（正極性）被吸附至碳管表面，此一吸附的作用相較於當閘極為正電位時，水分子的氧原子端（負極性）被吸附在碳管表面對碳管電性上的改變影響來的大。原因在於大氣中氧氣分子也會吸附至碳管表面，故在一般量測下我們量測到之碳管電晶體之電性即為碳管吸附氧氣分子情況下之電性。上述模型可解釋遲滯迴路只向單邊變大的趨勢。

圖 3-6 為增加極性分子酒精之量測結果，由圖可看出其遲滯迴路的確會因添加具極性的酒精分子而改變，其迴路呈現雙邊擴大的趨勢且其導通電流並不會因為增加了酒精氣氛而有所改變，故可知並沒有額外之散射機制產生。因酒精屬易揮發的材料，故在經過數十秒再去量測時，發現其遲滯迴路回復為原本大氣下量測的結果。可推論遲滯迴路的增加純粹是因為酒精的極性分子吸附在碳管管壁所造成，也佐證極性分子會造成遲滯現象。

### 3-3 薄膜覆蓋後對遲滯現象之影響：

為了使碳管表面去除水氣影響，我們利用覆蓋薄膜的方式以達到阻絕水氣的目的，包括 PE-SiO<sub>2</sub> 及 PMMA，其中 PMMA 為斥水性薄膜。

圖 3-7 為 Back-gate CNTFET 覆蓋 PMMA 之遲滯現象，由量測結果發現，經由覆蓋 PMMA 後，在相同的閘極掃瞄範圍下 [-15V→0V→15V→0V→-15V]，遲滯迴路明顯減小到幾乎可以忽略，但若增加閘極掃瞄範圍 [-20V→0V→20V→0V→-20V]，遲滯迴路會比 ±15V 的時候大。故此我們認為在一般環境下量測時，因碳管暴露於水氣氣氛下是水氣極性分子主導著遲滯現象的發生，經由覆蓋一層斥水性薄膜後，由於電場加大的情況下仍有遲滯迴路產生故我們仍不能排除載子注入氧化層之機制。從另一角度來看，也有可能因為覆蓋 PMMA 後，碳管與 PMMA 接觸的的介面能態造成閘極控制能力變小 (subthreshold swing 上升)，臨界電壓向右偏移，故閘極在相同掃瞄範圍下遲滯迴路明顯的變小。

圖 3-8 為 back-gate CNTFET 覆蓋 PE-SiO<sub>2</sub> 前後之遲滯現象，經由沈積前的真空去除水氣，再覆蓋一層 PE-SiO<sub>2</sub> 用以阻擋水氣吸附至碳

管表面上，遲滯迴路也明顯減小。

### 3-4 照光後對遲滯現象之影響：

由文獻[39]中得知照 UV 光會使得氧氣分子去吸附之現象，故我們也刻意在量測時打開光源來研究遲滯現象。

圖 3-9 為量測時分別為照光與不照光之遲滯現象，我們發現照光之後其遲滯迴路變化與增加水氣極性分子之遲滯迴路變化相似，其變大趨勢指向單邊放大，我們解釋其機制原因為照光後氧氣分子去吸附，使得大氣中之水分子更能因為閘極偏壓之影響吸附於碳管表面，而使得遲滯迴路變大，為了驗證其照光後去氧氣吸附的現象我們發現閘極單單由  $-V_g$  掃至  $+V_g$  時照光與不照光其  $I_d-V_g$  圖的確因照光而有所改變，接著把燈源關掉，緊接著馬上量測發現其汲極電流有慢慢(約數秒鐘)回復至不照光之情況下之電流(如圖 3-10 所示)，如此我們排除光壓對元件之影響，因為在關掉光源後光壓對元件上產生之影響理應馬上消失並不會量測到電流回復之效應，此現象我們視為氧氣又吸附至碳管所致。我們也同樣的量測經由覆蓋 PE-SiO<sub>2</sub> 之樣品，其在照光下與不照光下發現其遲滯迴路迴路並無太大差異(如圖 3-11 所示)，故照光下使得氧氣器吸附之機制其可信度相當高。

### 3-5 真空及低溫下之遲滯現象：

此小節是在真空下量測 CNTFET 之遲滯現象，其目的是利用真空環境將水氣去除來觀測遲滯迴路的變化，此量測下之樣品為第二章所述之 Bottom gate(without S/D overlap)之元件，其主要原因為方便點針量測。

圖 3-12 為 Bottom gate(without S/D overlap)CNTFET 在真空度為  $7.5 \times 10^{-7}$  torr 下之量測結果，可發現在相同閘極掃瞄範圍下其遲滯迴

路相較於在一般大氣下之量測之遲滯迴路明顯縮小，但增加閘極掃瞄範圍時我們仍可以觀測到遲滯迴路隨電場強度增大而變大的趨勢，故推測真空下之遲滯現象為載子注入介電層之機制主導，同時在真空條件下，臨界電壓明顯的向左偏移，且出現雙極性(ambipolar) 導通現象，其原因在於真空環境下，氧氣分子所造成 p-type doping 效應減少，加上量測元件之 S/D 電極為鈦 (Ti)，功函數約落在半導體性碳管能帶中間所致。

圖 3-13(a)(b)為在抽真空下之低溫量測情形，由量測結果發現其遲滯迴路大小與溫度並無明顯的相依性。此外碳管電晶體之低溫電性與傳統之矽元件比較，我們觀測到碳管電晶體之 swing 並沒有因為低溫而有所改變，相對於 MOSFET 在低溫時其 swing 明顯下降且元件特性變好，顯然 CNTFET 在 weak inversion 時之傳導機制與溫度並無太大關聯。



### 3-6 高溫下 Blanket back-gate CNTFET 之遲滯現象：

圖 3-14 為 Back-gate CNTFET 在高溫下之遲滯現象，在溫度為 75 度下之遲滯迴路形狀與在一般大氣室溫下量測結果不同，碳管電晶體之 off current 明顯呈現偏高的情況，推測原因可能因為半導體性碳管 energy gap 較小之緣故 ( $\sim 0.6\text{eV}$ ) 且高溫條件下熱游離電流也會有所增加。

在高溫條件下，遲滯迴路會隨著溫度上升至 150 度也有變大趨勢，經由 150 度高溫量測後，降回室溫下量測，發現其遲滯迴路相較於起初室溫下量測之遲滯迴路明顯變大許多。我們引用文獻中[43]之解釋，他們認為氧化相關(oxidation related)的缺陷如 (amorphous carbon particles) 可能會在碳管表面或是在介電層表面形成，而這些

缺陷可以當作為 charge storage traps，且其非常靠近半導體性碳管表面，而這局部性的捕獲電荷所造成之電位不同，會影響一維尺度碳管之實際電位，故可以看到明顯的臨界電位偏移，使遲滯迴路變大。

### 3-7 Blanket Top-gate CNTFET(with dielectric PE-SiO<sub>2</sub>) 之遲滯現象：

圖 2-2 為 Top-gate CNTFET 之結構示意圖，其中介電材質為 60nm 厚的 PE-SiO<sub>2</sub>，我們將同時比較其與一般 Back-gate CNTFET (介電層為 80nm dry oxide) 之遲滯迴路大小 (如圖 3-15 所示)。將汲極電壓固定於 2V，固定閘極掃瞄範圍[-10V→0V→10V→0V→-10V]，首先以背閘極 (Back-gate,  $V_{BG}$ ) 掃瞄，結果與 3-3 小節結論相同，遲滯迴路經由覆蓋一層 PE-SiO<sub>2</sub> 之後明顯變小，但以上閘極 (Top-gate,  $V_{TG}$ ) 掃瞄結果發現其遲滯迴路明顯變大。此現象不易以水分子或極性分子解釋，我們推測碳管和 PE-SiO<sub>2</sub> 之介面陷阱密度或是 PE-SiO<sub>2</sub> 中之缺陷密度較背閘極介電層的熱氧化層高，故載子注入效應較明顯所致。

### 3-8 小結

經過在不同環境以及不同條件下之量測結果發現(如表 3-1 所示)，碳管電晶體之遲滯效應主要由大氣中之極性分子與載子注入介電層兩種機制主導。當碳管暴露於大氣中時，大氣中之極性分子 (以水分子為主) 極易受到閘極偏壓極性之影響而吸附在碳管表面，此吸附有兩種可能的作用，其一可能造成局部電場，然而此局部電場與碳管只有數個分子層之距離，故此局部電場可能主導碳管表面之實際電位，由於碳管為一維之奈米級結構故其影響甚劇。另一種可能之機制為當吸附作用發生時，碳管與其吸附之氣體分子產生電荷之轉移，造



成碳管能帶結構有所改變，由於此兩種機制分析上有一定的困難度，目前仍屬猜測階段。

經由真空、覆蓋 PE-SiO<sub>2</sub> 或覆蓋 PMMA，我們發現其遲滯迴路大小的確因水分子減少而變小，但隨著閘極掃瞄範圍增大其遲滯迴路也會增大，故我們仍不能排除因電場強度關係導致載子注入於介電層之之機制，所幸此機制可藉由提高介電層品質以及降低工作電壓獲得改善。



不同狀態條件下	主導遲滯效應之機制
不同閘極電場大小	水氣（極性分子）吸附及載子注入介電層
不同閘極電壓掃瞄速率	水氣（極性分子）吸附及載子注入介電層
增加水氣分子濃度下	水氣（極性分子）吸附
增加酒精分子濃度下	酒精（極性分子）吸附
覆蓋 PE-SiO <sub>2</sub>	載子注入介電層
覆蓋 PMMA	載子注入介電層
照光下[39]	水氣（極性分子）吸附及載子注入介電層
低溫及抽真空下	載子注入介電層
高溫未抽真空下[43]	水氣（極性分子）吸附及載子注入介電層
Blanket Top gate CNTFET	載子注入介電層

表 3-1 碳管電晶體在不同狀態條件下其遲滯效應之主導機制比較表

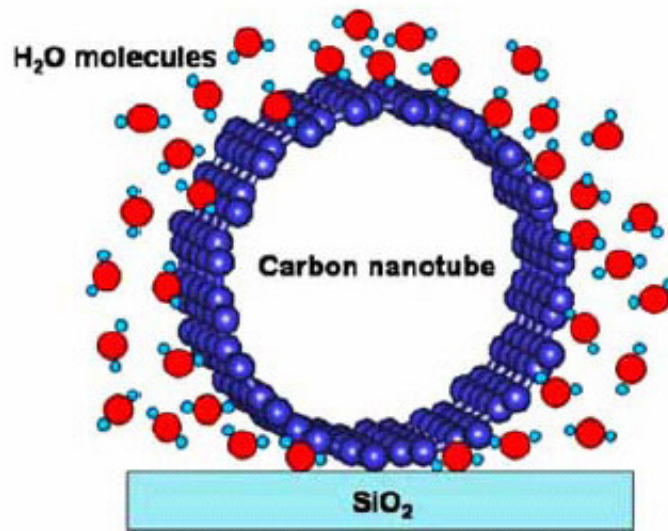


圖 3-1 水分子吸附於碳管表面之示意圖[50]

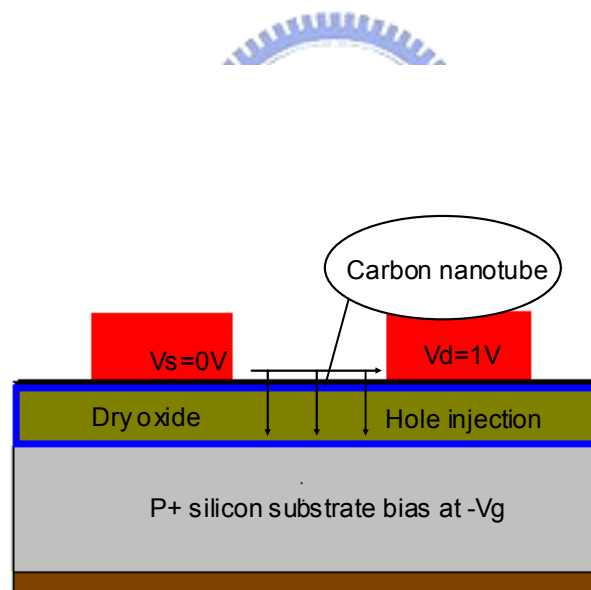


圖 3-2 載子注入介電層之示意圖

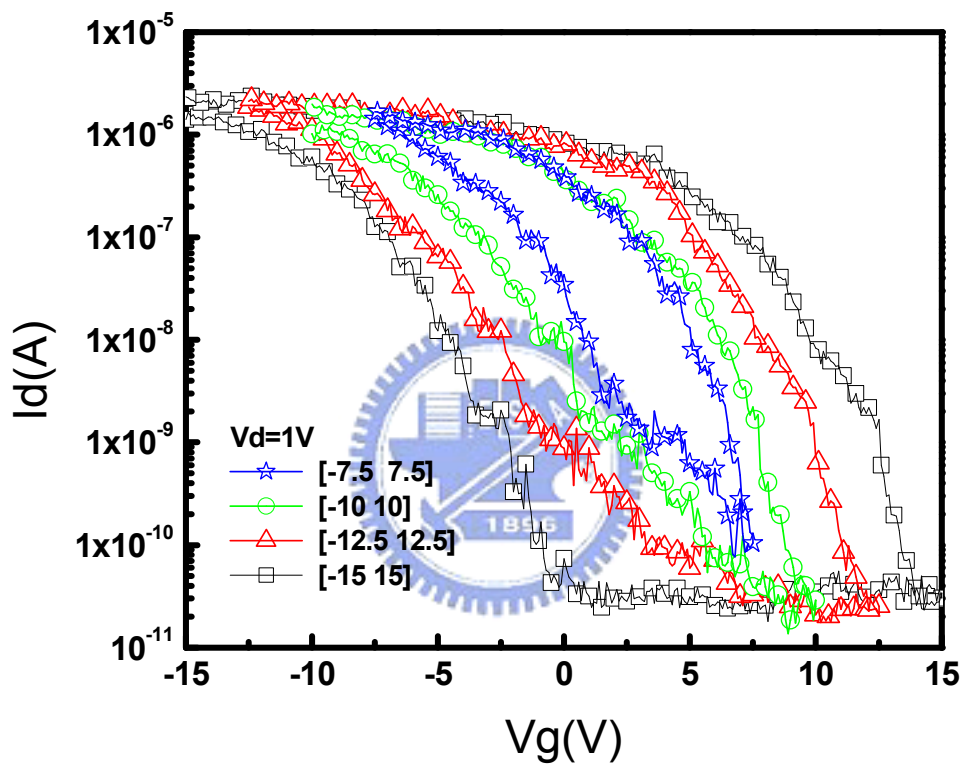


圖 3-3 遲滯迴路與電場大小之比較圖。

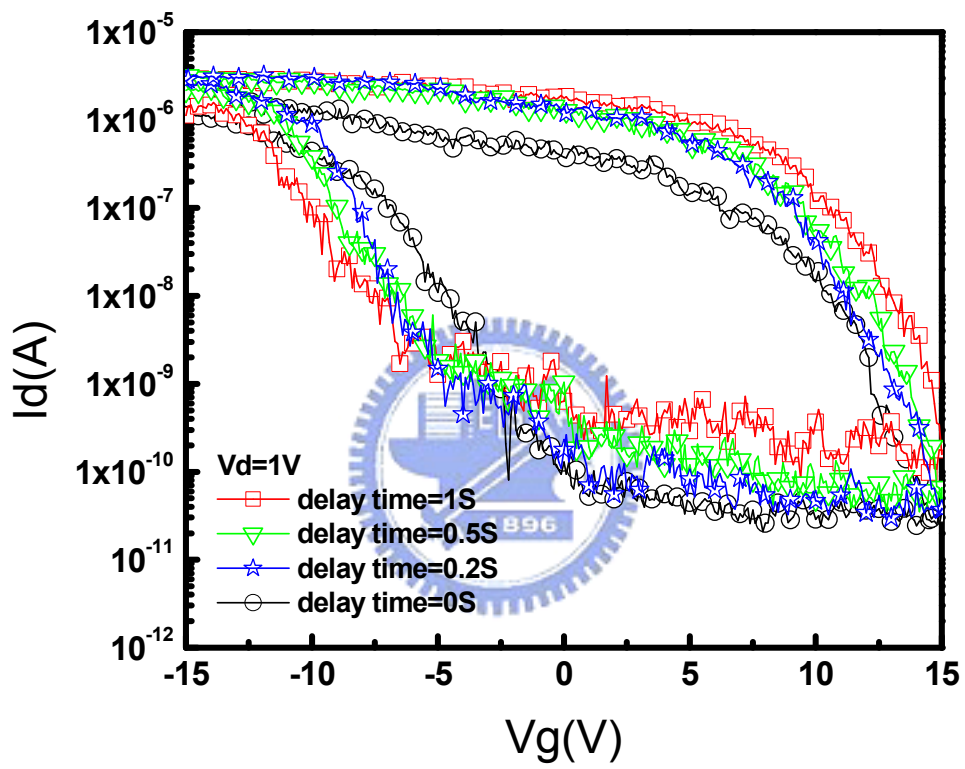


圖 3-4 遲滯迴路與閘極掃瞄速率之比較圖。

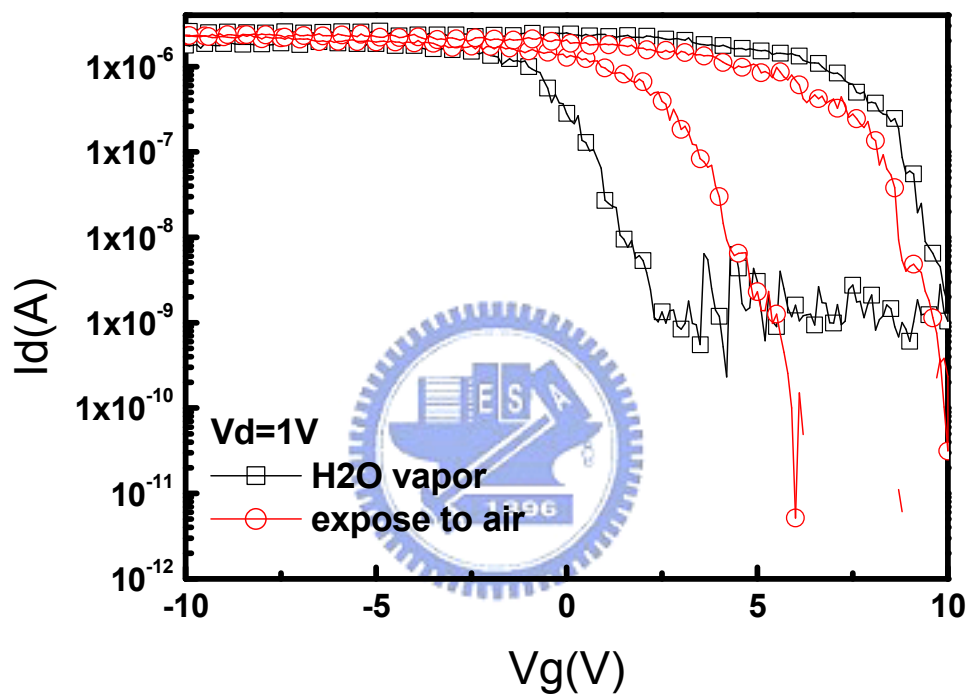


圖 3-5 遲滯迴路在增加水氣分子下與一般大氣下下之量測結果。

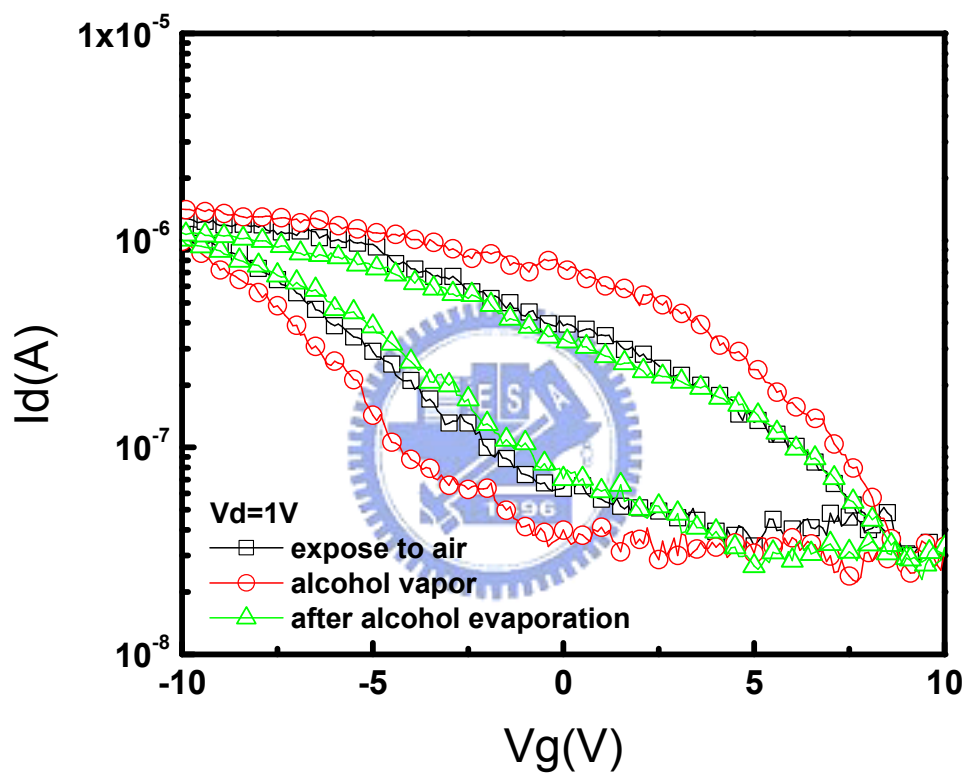


圖 3-6 遲滯迴路在增加酒精極性分子下與一般大氣下之量測結果。

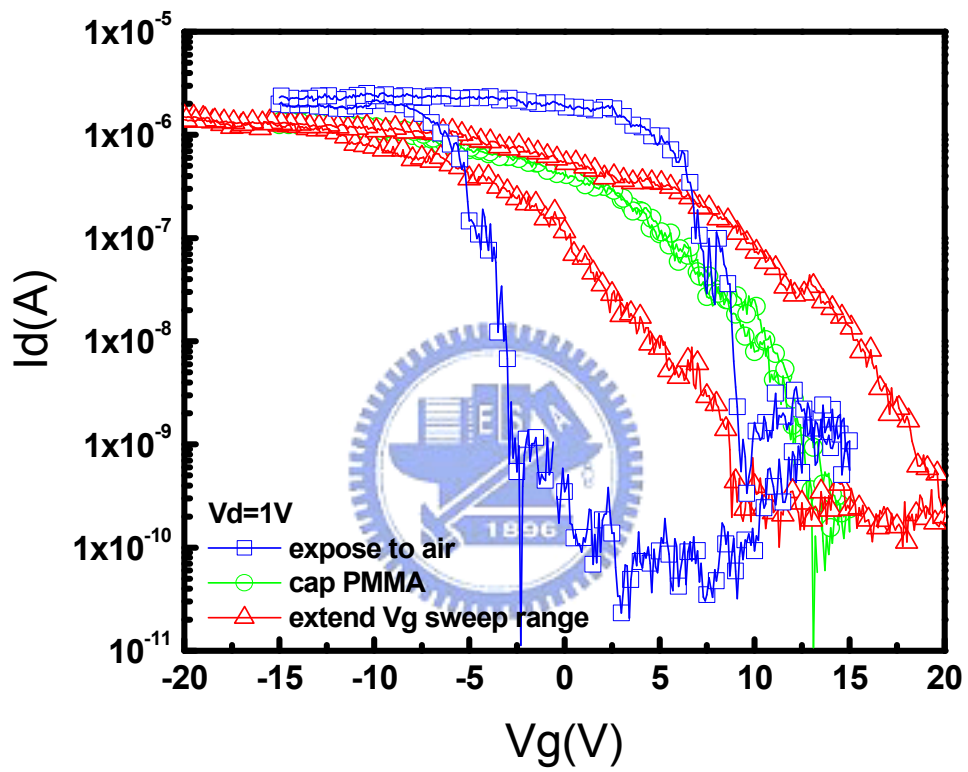


圖 3-7 遲滯迴路在覆蓋 PMMA 後和加大閘極掃瞄範圍與一般大氣下量測之比較。



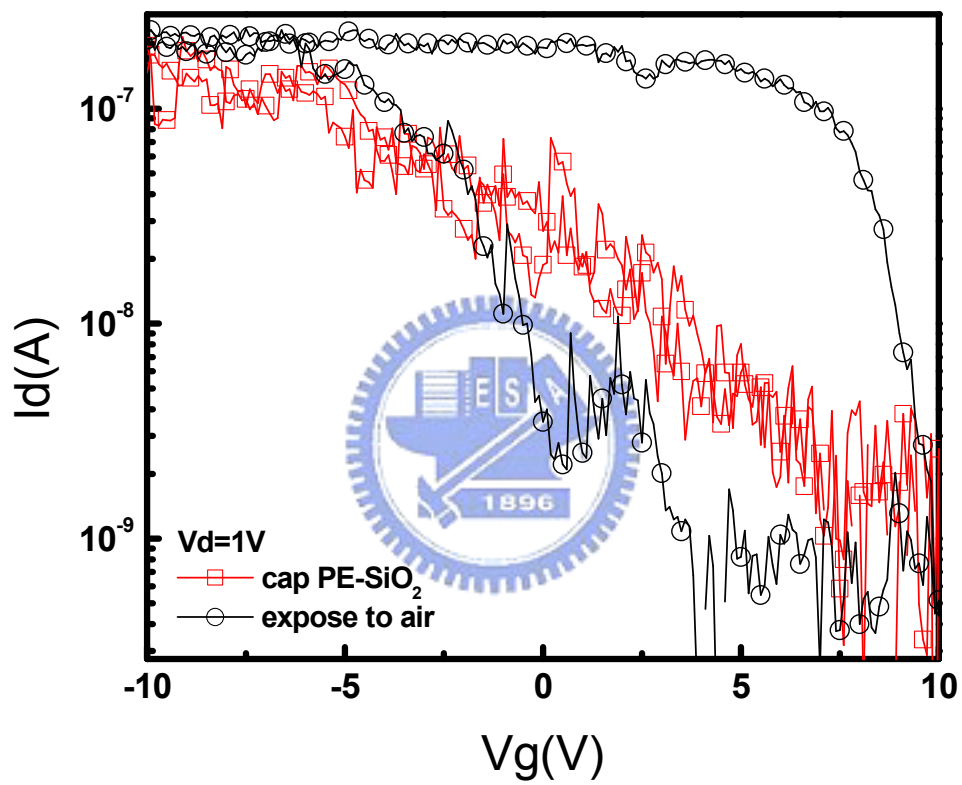


圖 3-8 遲滯迴路在覆蓋 PE-SiO<sub>2</sub> 後與一般大氣下量測之比較。

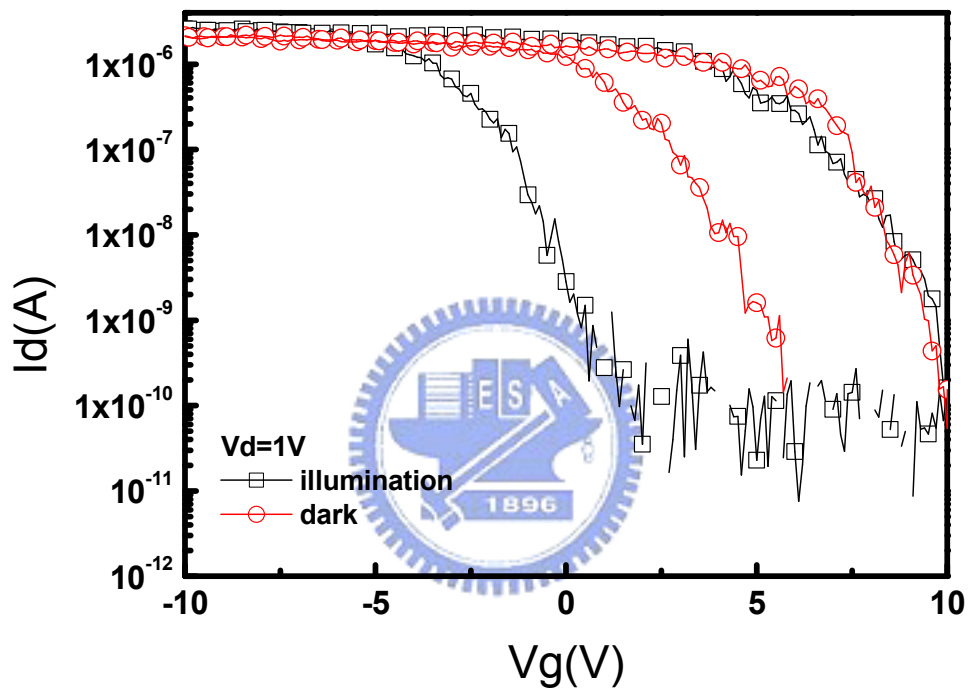


圖 3-9 照光與不照光下之遲滯迴路比較。

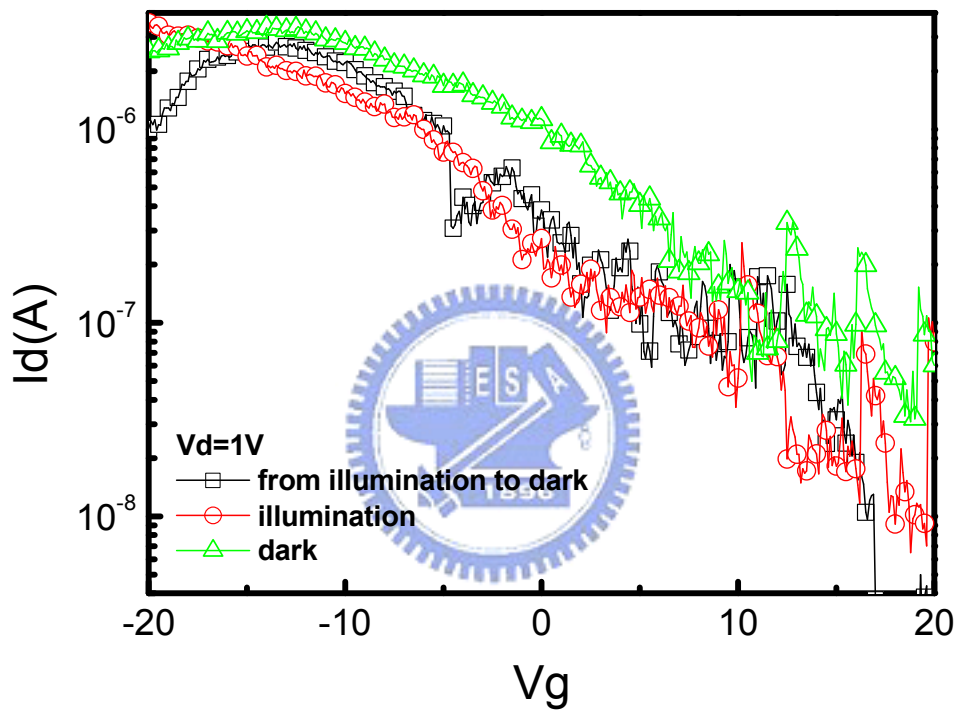


圖 3-10 照光與不照光汲極電流回復現象。

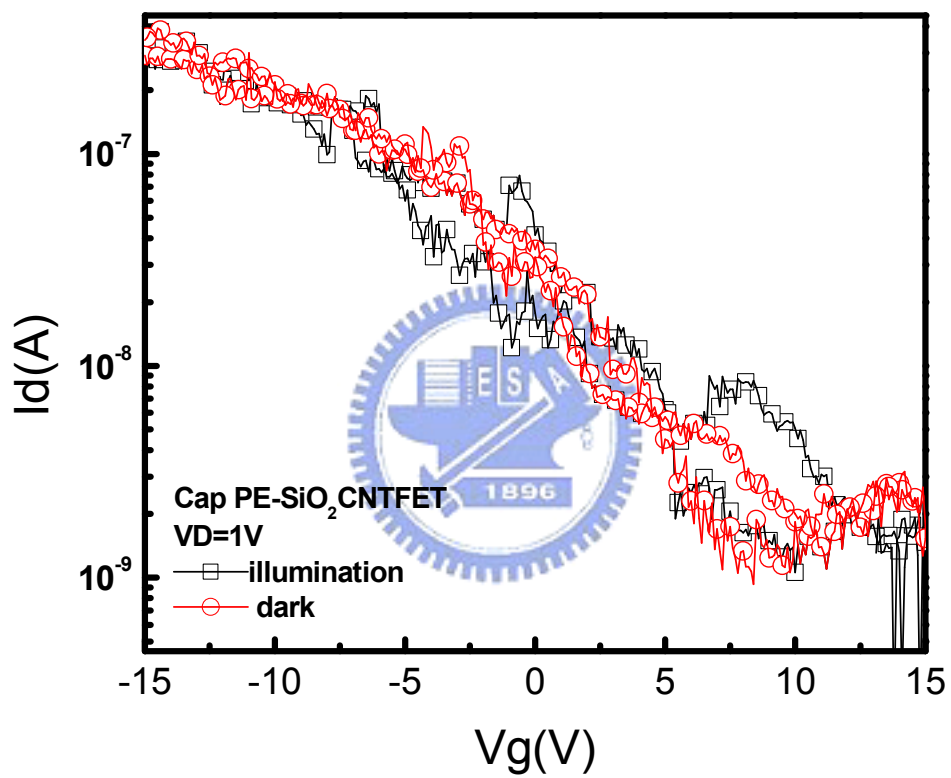


圖 3-11 覆蓋 PE-SiO<sub>2</sub> 後照光與不照光之遲滯迴路比較。

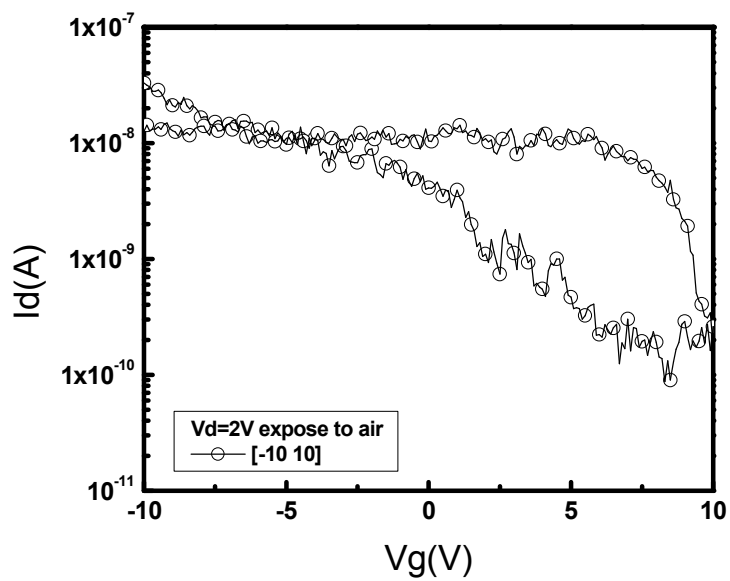


圖 3-12(a)

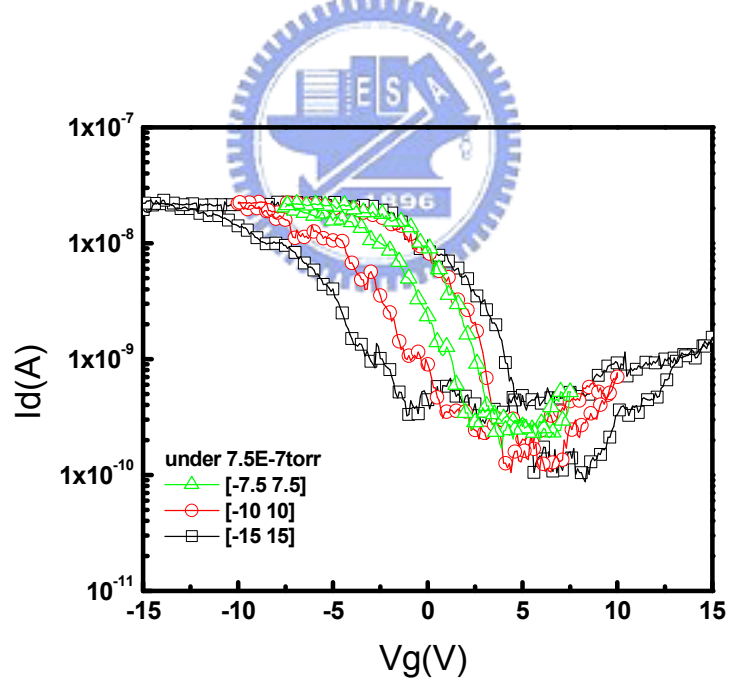


圖 3-12(b)

圖 3-12(a)為未抽真空下大氣量測下之結果。

圖 3-12(b)為抽真空後且加不同閘極掃瞄範圍之結果。

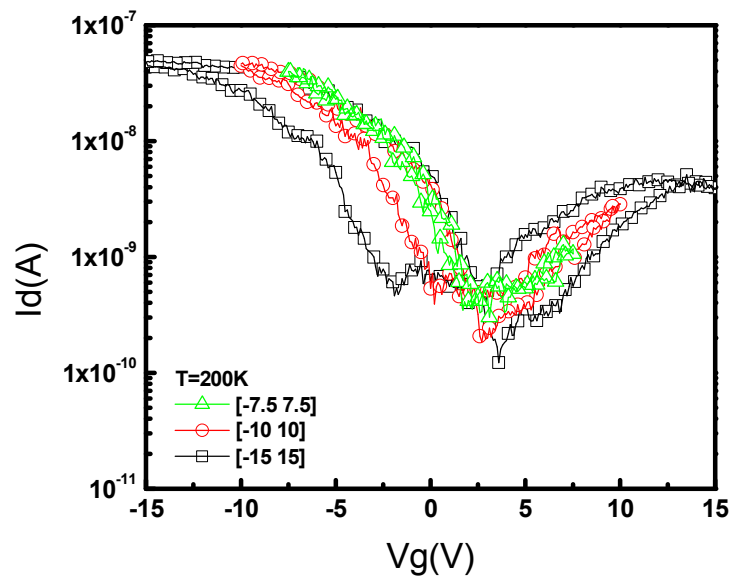


圖 3-13(a)

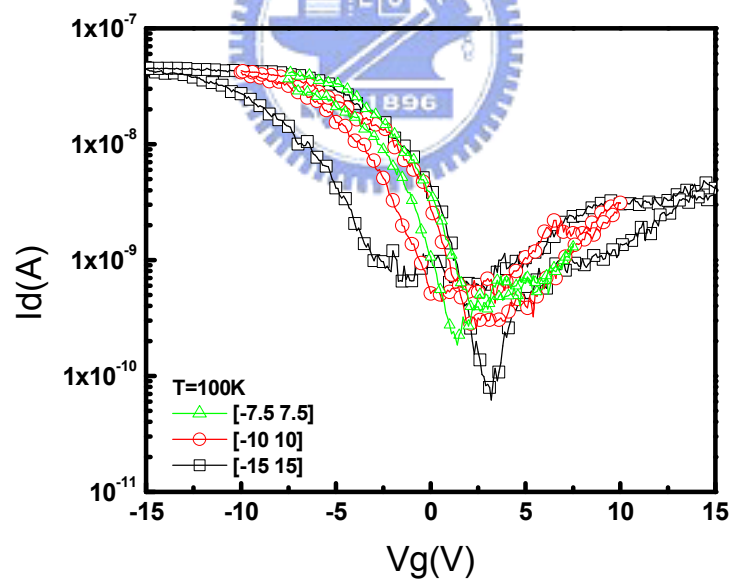


圖 3-13(b)

圖 3-13(a)(b)為比較抽真空下不同低溫下之遲滯迴路。

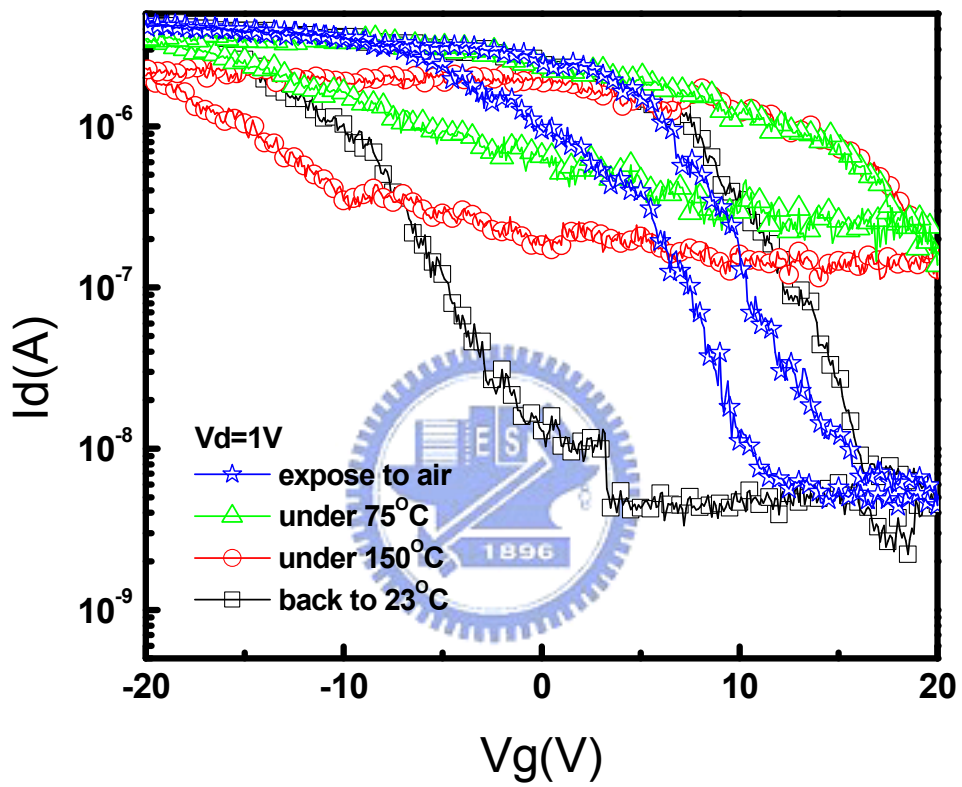


圖 3-14 遲滯迴路在高溫量測後再降回室溫之量測結果。

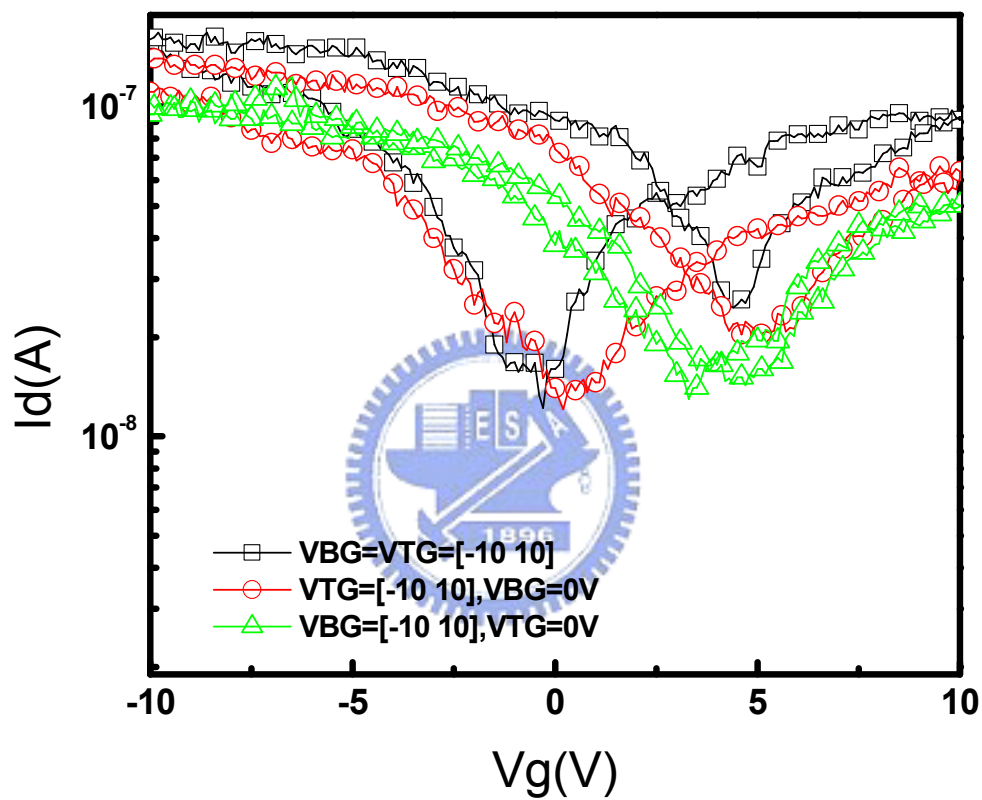


圖 3-15 為比較 Blanket back gate CNTFET 在覆蓋 PE-SiO<sub>2</sub> 後與 Blanket top gate CNTFET(介電質為 PE-SiO<sub>2</sub>)之遲滯迴路比較。



## 第四章

### 碳管電晶體之記憶體參數粹取

由於碳管電晶體有遲滯現象的發生，故我們利用其遲滯特性可使碳管電晶體成為記憶體元件，本章將利用一些量測方法粹取出碳管記憶體元件之參數，與現今記憶體元件比較來評估其當作記憶體之可行性及改善之空間。

#### 4-1 電荷保留時間 (Retention time) :

電荷保留時間之量測方法，我們是利 8110A 給定所需之閘極方波，給定方波種類包括閘極從 0 伏特至 10 伏特 (leading time=1.8ns) 停留 5 秒 (pulse width=5 秒) 再回至 0 伏特(tailing time=1.8ns)接著便使閘極固定偏壓在 0 伏特用以做為記憶體寫入 (write) 之訊號，同樣的我們輸入抹除 (erase) 之訊號則將閘極電壓從 0 伏特至-10 伏特停留 5 秒再回至 0 伏特，其方波示意圖如圖 4-1 (a) 所示。利用 4156 之 sampling 模式，在固定汲極和源極電壓下，量測汲極電流值隨時間變化的情形，此外也在輸入寫入和抹除之動作後，閘極電壓不固定在 0 伏特而將閘極電壓浮動 (floating)，此浮動之目的乃是希望模擬記憶體真實量測電荷保留時間之方法。

量測結果如圖 4-1(b)所示，當輸入寫入訊號時汲極電流值其不太隨著時間而有所太大的變化，反觀當我們輸入抹除訊號時，可以發現汲極電流有回復的現象，由此可推知當我們量測遲滯迴路時，在大氣下閘極由 $[-V_g \rightarrow 0V \rightarrow +V_g]$ 量測到的汲極電流是不穩定的，反之閘極由 $[+V_g \rightarrow 0V \rightarrow -V_g]$ 其汲極電流相較之下是較穩定的，此觀測到之現象與第三章所解釋之水氣分子極性反轉之模型有相呼應之效果。至於輸入寫入或抹除訊號之後閘極浮動的量測結果，由於是背閘極之碳管電晶體，閘極浮動情況下容易汲極電流不穩定是可預期的，但其在輸入抹除訊號後其汲極電流回復之現象仍可明確的觀察出來，我們約略估計其電荷保留時間約在 2000 秒左右。



## 4-2 讀寫擦操作頻率:

其工作頻率之量測方法如圖 4-2 所示，首先我們將 8110A 所設定之閘極週期性之訊號接在示波器上 (Channel 1)，接著在汲極端外接一個電阻，而電阻器上則接至示波器 (Channel 2) 其目的在量測電流經過電阻器之壓降。由於遲滯現象的發生流經碳管之電流會因閘極輸入不同訊號 (寫入和抹除) 而不同，所以有著不同壓降產生，藉此改變閘極之工作頻率觀測其讀寫擦操作頻率。

接著我們將製作完成 Bottom gate(without S/D overlap)CNTFET，在消除了寄生電容的情況下，量測其讀寫擦工作頻率 (如圖 4-3(a)所示)。

當閘極電壓 (CH1) 由-10V 至 0V 時，碳管電晶體由導通狀態至半導通狀態。故由 (CH2) 所量測到之電位會驟降至一定程度，接著閘極電壓由 0V 至 10V 時，電晶體關閉(CH2)之電位降至最低，當閘極電壓由 10V 至 0V 時，由於遲滯現象為逆時針迴路，故汲極電流比閘極電壓由-10V 至 0V 時之電流大，此時 (CH2) 所量測到之電位會較閘極電壓由-10V 至 0V 上升，如此為一個讀寫擦之工作週期。當頻率在 1k 赫茲時，CH2 之電壓將會跟不上讀寫擦之工作頻率，造成圖形扭曲的情形 (如圖 4-3(b)所示)，其原因來自於轉態時間之影響，將於 4-4 小節做詳細的分析討論。

### 4-3 讀寫擦次數之穩定度：

圖 4-4 為我們將讀寫擦工作頻率固定在 100Hz 下對碳管電晶體之讀寫擦次數穩定度的量測。由量測結果顯示，經由 10000 秒後其記憶體之讀寫擦狀態仍舊可由(CH2)之電位判定出且其電位並無衰減的跡象，故其記憶體之讀寫擦之穩定度上，我們估計其可讀寫擦次數可大於  $10^6$  次。

### 4-4 轉態時間 (Switch time)：

量測轉態時間之方法所述如下，我們先故定讀寫擦之工作頻率，此時週期性之工作方波之 leading time 和 tailing time 均設為 1.8ns 作為瞬間寫入或抹除之需求，接著我們觀察示波器上 Channel 2 之電壓

轉變之時間來求得轉態時間。

圖 4-5(a)(b)為 Bottom gate(without S/D overlap)CNTFET 量測寫入與抹除的轉態時間圖，由量測結果我們得到其寫入和抹除之轉態時間約為  $400\mu\text{s}$ 。由於 Bottom gate(without S/D overlap)CNTFET 是碳管暴露於大氣中產生之遲滯現象，我們推測其與介電質為 PE-SiO<sub>2</sub> 之 Top gate (without S/D overlap) CNTFET 產生之遲滯現象機制有所不同，故轉態時間將有所不同，所以我們也量測了 Top gate (without S/D overlap) CNTFET 記憶體元件抹除時之轉態時間（如圖 4-6 所示）。我們發現量到之轉態時間也大約在  $400\mu\text{s}$ ，其結果可能是巧合。但是在量測系統上及元件上寄生電容產生訊號延遲（RC time delay），也會限制轉態速率的測量極限。



## 4-5 小結

表 4-1 為我們量測結果與現今主流之記憶體元件之比較圖，目前碳管電晶體應用在記憶體方面仍有一段進步之空間，其寫入速度較 FLASH 快是其優點但保留時間卻相距甚遠。藉由碳管通導時載子注入於介電層產生之遲滯效應而言，我們可以選用管徑較小的碳管和降低介電層之厚度增加其場發射之效率來降低轉態時間。電荷保留時間方面，我們可利用捕捉密度較高之介電層或是沈積奈米顆粒來增加注入載子之捕捉機率以期碳管記憶體元件有較長之電荷保留時間。

	DRAM	SRAM	FLASH	CNT MEMORY
非揮發性	否	否	是	?
寫入時間	~100ns	10~20ns	1ms~10ms	小於 0.4ms
讀寫次數	$10^{15}$	$10^{15}$	$10^6$	大於 $10^6$
操作電壓	小於 5V	小於 5V	小於 12V	由元件結構 決定
保留時間	~0	未定義	大於 10 年	數千秒

表 4-1 碳管記憶體元件與現今主流之記憶體元件之比較表

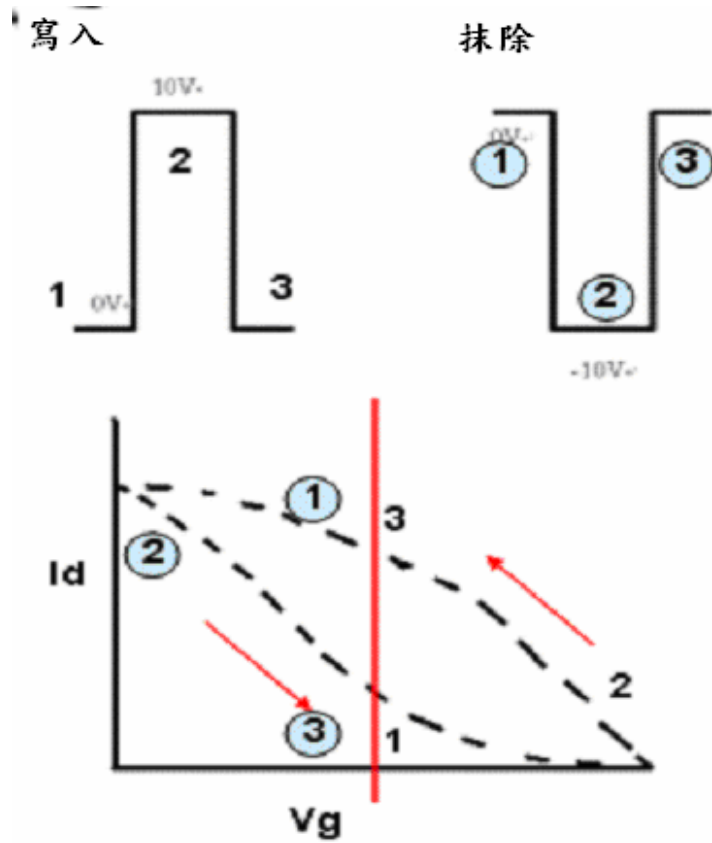


圖 4-1 (a) 寫入抹除方波示意圖

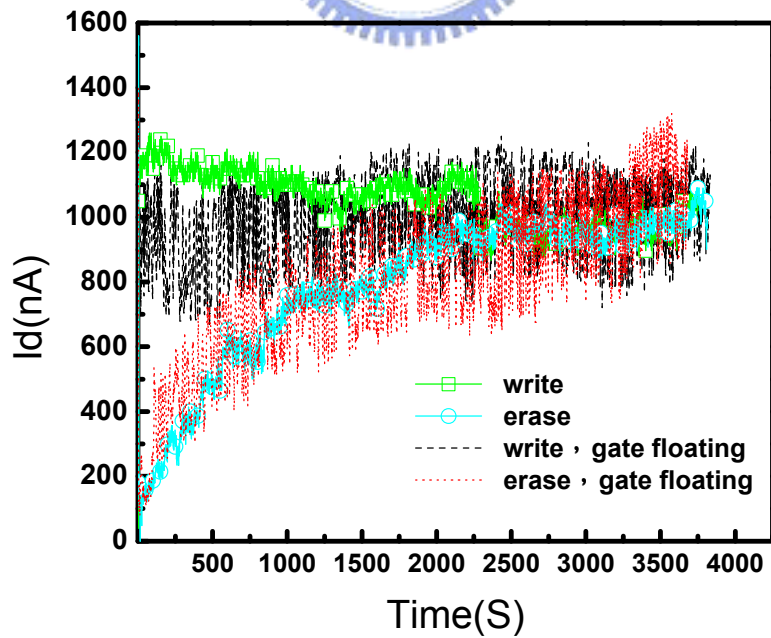


圖 4-1(b) 電荷保留時間量測結果

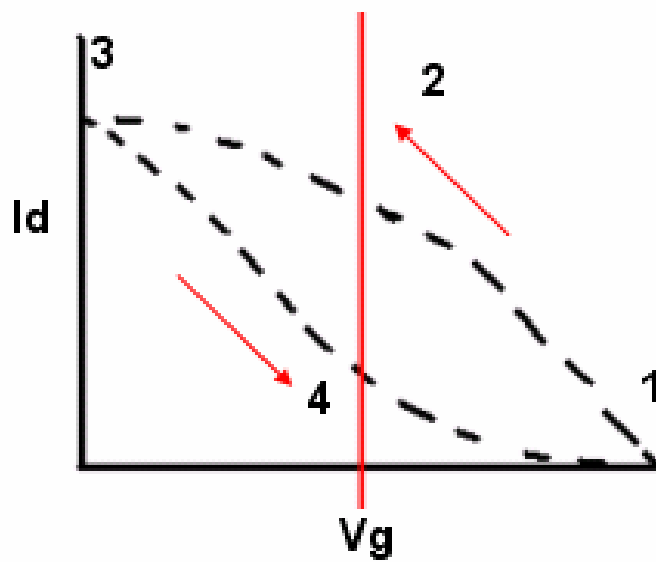
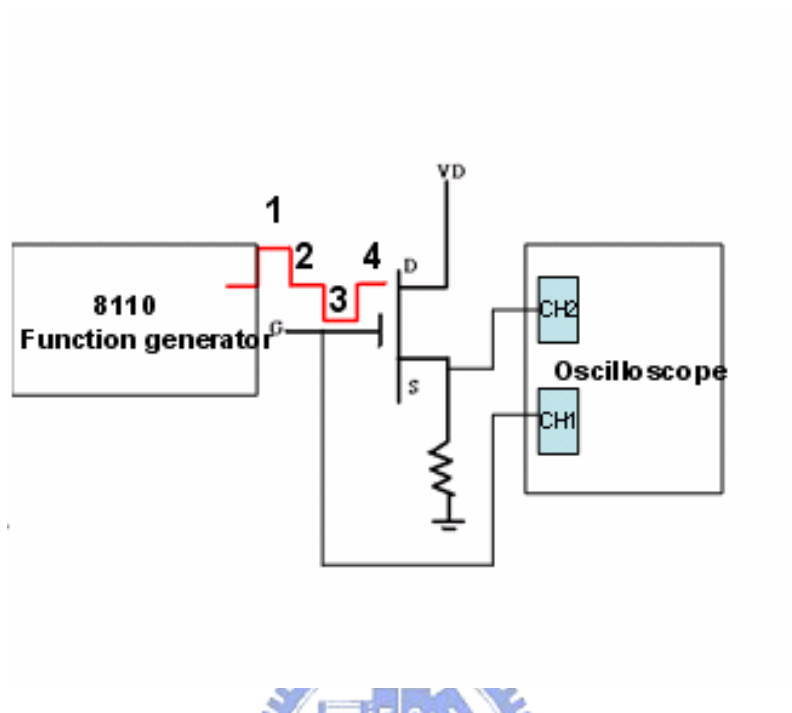


圖 4-2 讀寫擦操作頻率量測方法示意圖

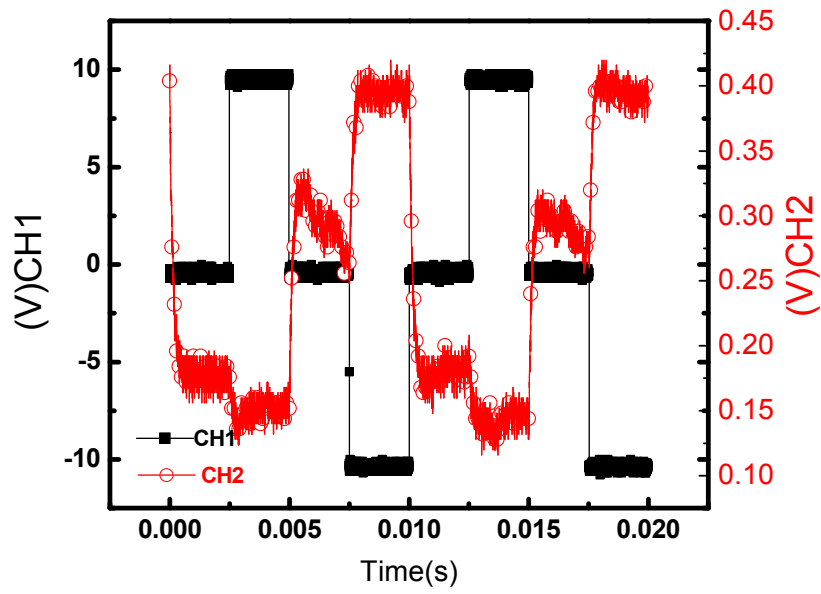


圖 4-3(a) Bottom gate(without S/D overlap)CNTFET

讀寫擦操作頻率 = 100Hz

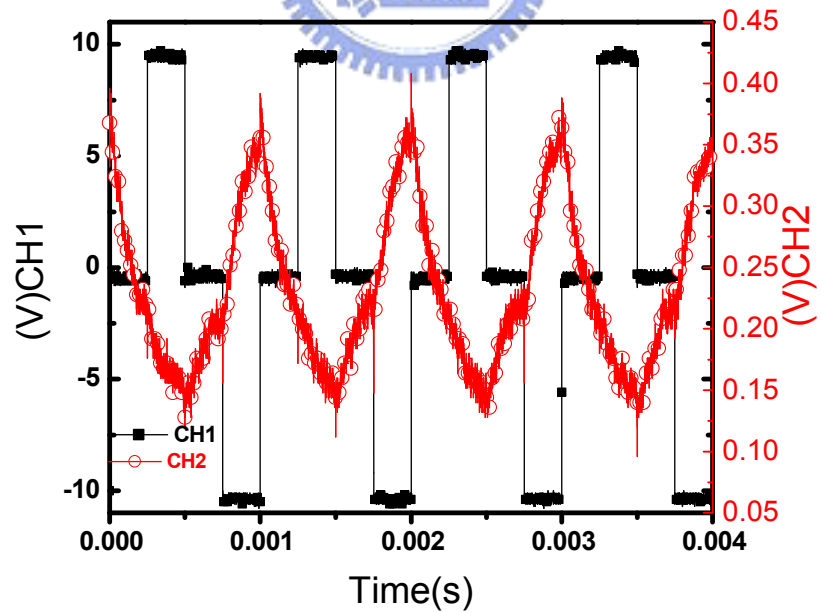


圖 4-3(b) Bottom gate(without S/D overlap)CNTFET

讀寫擦操作頻率 = 1kHz



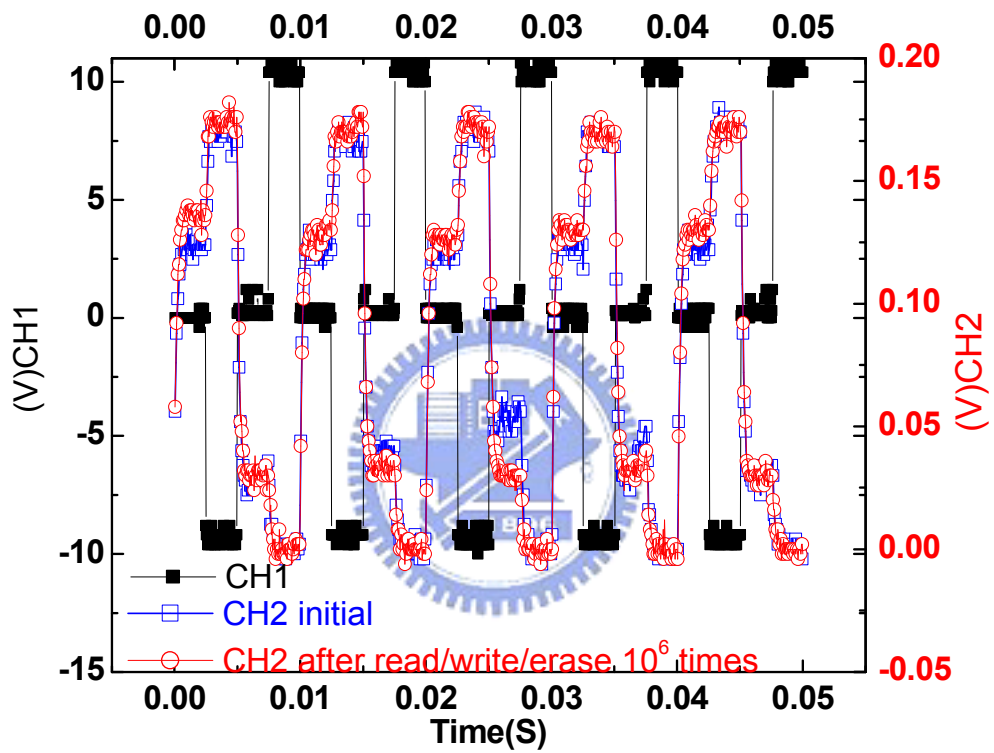


圖 4-4 Bottom gate(without S/D overlap)CNTFET

讀寫擦次數之穩定度量測，操作頻率=100Hz

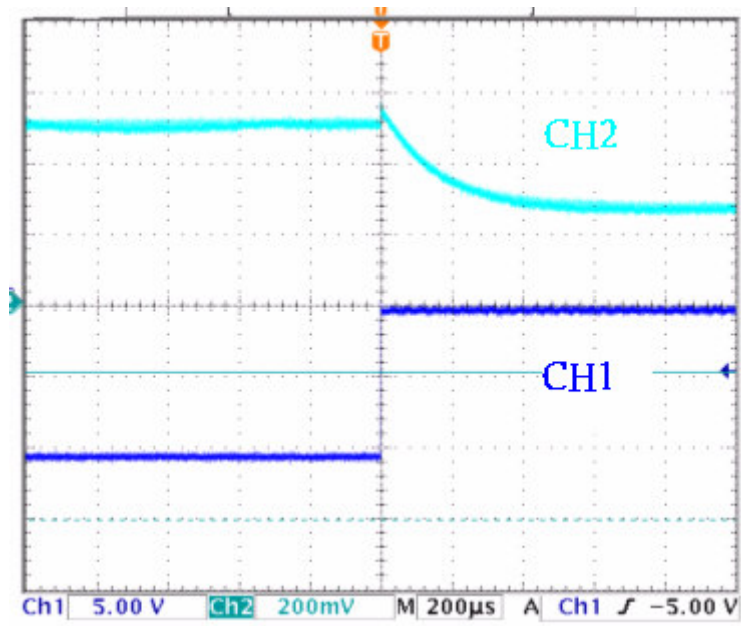


圖 4-5(a)記憶體抹除之轉態時間

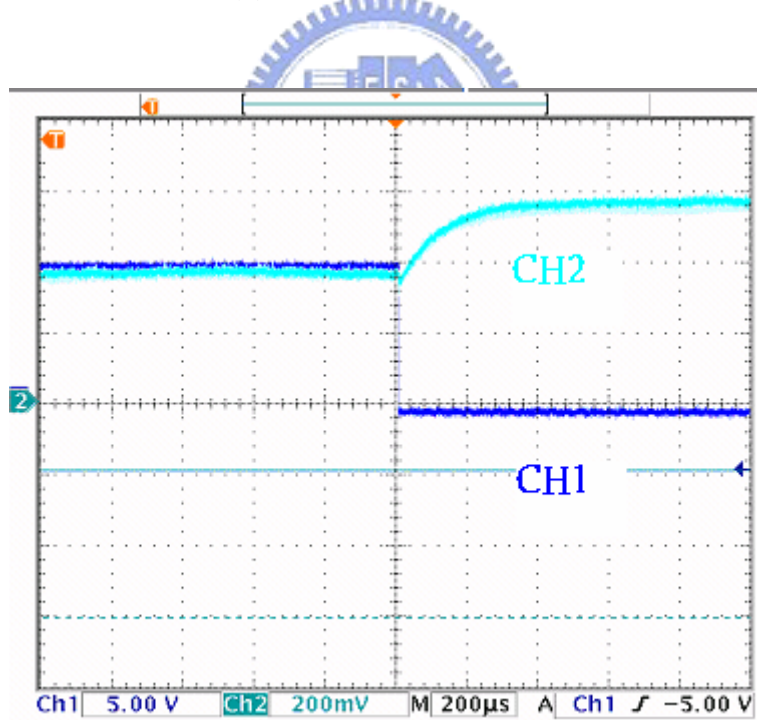


圖 4-5(b)記憶體寫入之轉態時間

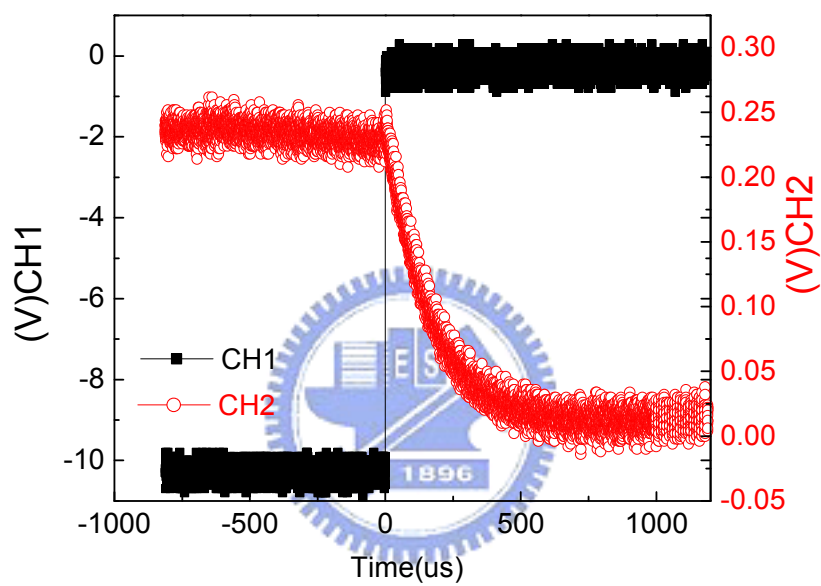


圖 4-6 Top gate(without S/D overlap)CNTFET


記憶體抹除之轉態時間

# 第五章

## 結論與建議

在電晶體元件尺寸不斷縮小的趨勢下，傳統之矽元件之電晶體將面臨製程上種種限制而無法繼續縮小之瓶頸，然而因為碳管具有一維尺度之特性且其電性上具有導體性及金屬性之特性，故國內外紛紛有研究團隊致力於碳管之研究上，以期碳管能利用在現今半導體製程上製作出奈米級電晶體。

### 5-1 結論：



本論文之研究方向為碳管電晶體之遲滯現象，經由研究發現當碳管（通道）在大氣中時，其電性極易受到大氣中氣體成分吸附之影響（水氣、氧氣或其它極性分子）而產生變化，因而環境氣氛將主導著碳管電晶體之傳輸特性，故在日後研究碳管電晶體時必需有效的去除環境中的氣體干擾，以降低遲滯現象及去除氧氣對碳管造成之 p-type doping 影響，才能較清楚的分析碳管本質之電性。然而利用此一現象，碳管電晶體可望作為氣體之感測器包括（ $H_2O$ 、 $H_2$ 、 $NH_3$ 、 $N_2O$ 、 $CO_2$ 、 $CO$ 、 $O_2$  等...），但是前提是需要能區隔出不同氣體的影響程度。

我們利用抽真空、覆蓋薄膜方法以去除水氣之影響後，發現其遲

滯迴路大小的確會因水氣去除後有明顯變小，但仍會隨著增加閘極掃描範圍而變大，故其造成遲滯現象的機制與載子注入介電層相關，若欲得到穩定的奈米碳管電晶體，不僅需隔離環境氣體，接觸碳管的介電質缺陷密度以及工作電場都扮演不可忽視的角色。

此外，我們在增加水氣分子下量測到遲滯迴路只向單邊放大之情形與在評估碳管電晶體做為記憶體元件方面，大氣下閘極輸入抹除訊號（水分子之氫原子端吸附至碳管表面）時，量測到的汲極電流是不穩定的，其電流值會隨時間增長而有回復現象。我們以水（極性）分子在大氣下會隨閘極偏壓而反轉之模型均可加以解釋。

## 5-2 後續研究建議：



論文中在高溫下量測遲滯現象發現，其仍有遲滯現象產生但其與室溫量測下之遲滯迴路明顯不同，其形成機制尚不明確。但我們可以藉由抽真空高溫量測下，先排除一些氣體在高溫吸附之因素在觀測其高溫遲滯迴路之變化。

在量測記憶體之轉態時間方面，我們推測介電質為 PE-SiO<sub>2</sub> 的 Top gate (without S/D overlap) CNTFET，其遲滯現象機制與 Bottom gate(without S/D overlap)且碳管暴露於大氣中之 CNTFET，其遲滯現象機制有所不同，但量測其轉態時間卻並無太大之差異。故後續研究可以嘗試在不同溫度下量測其轉態時間，以比較其中之差異性，進一

步澄清遲滯現象之機制。再者，量測系統上及元件上寄生電容產生訊號延遲 (RC time delay)，會限制轉態速率的測量極限，我們可以藉由元件結構之改善來降低此問題。

就記憶體元件應用方面而言，後續研究我們仍可嘗試利用 ONO( $\text{SiO}_2$  (tunnel oxide) –  $\text{Si}_3\text{N}_4$  –  $\text{SiO}_2$ (control oxide))結構將載子捕捉在捕捉密度較高之介電層  $\text{Si}_3\text{N}_4$  上。也可利用沈積一些奈米晶粒 (nano crystal) 於穿隧氧化層 (tunnel oxide) 上，增加電荷捕捉機率來製作出電荷保留時間較長之碳管記憶體元件。



## 參考文獻

- [1]. S. Iijima, “**Helical microtubules of graphitic carbon**”, Nature, vol. 354, pp. 56-58,1991.
- [2]. Teri Wang Odom, Jin-Lin Huang, Philip Kim and Charles M. Lieber, “**Atomic structure and electronic properties of single-walled carbon nanotubes**”, Nature, vol. 391, pp. 62-64, 1998.
- [3]. M. S. Dresselhaus, RA Jishi, G. Dresselhaus, D. Inomata, K. Nakao and R. Saito: “**Group theoretical concepts for carbon nanotubes, Molecular Materials**”, vol. 4, pp. 27-40, 1994.
- [4]. T. W. Ebbesen, P.M. Ajayan “**Large-scale synthesis of carbon nanotubes**” Nature, vol. 358, pp. 220-222,1992.
- [5]. M. Endo, K. Takeuchi, S. Igarashi, K. Kobori, M. Shiraishi and H. W. Kroto, J. Phys. Chem. Solids., vol. 54, pp.1841 ,1993.
- [6]. Andreas Thess, Roland Lee, Pavel Nikolaev, Hongjie Dai, Pierre Petit, Jerome Robert, Chunhui Xu, Young Hee Lee, Seong Gon Kim, Andrew G. Rinzler, Daniel T. Colbert, Gustavo E. Scuseria, David Tománek, John E. Fischer and Richard E. Smalley, “**Crystalline Ropes of Metallic Carbon Nanotubes**” , Science, vol. 273, pp. 483-487,1996.
- [7]. Jorio A, Saito R, Hafner J H, Lieber C M, Hunter M, McClure T, Dresselhaus G and Dresselhaus,“**Structural ( $n,m$ ) Determination of Isolated Single-Wall Carbon Nanotubes by Resonant Raman Scattering**”Phys. Rev.Lett. vol 86, pp. 1118-1121,2001
- [8]. Milnera M, K`urtti J, Hulman M and Kuzmany H“**Periodic Resonance Excitation and Intertube Interaction from Quasicontinuous Distributed Helicities in Single-Wall Carbon Nanotubes**” Phys. Rev. Lett. vol. 84, pp.1324~1327,2000
- [9]. Pimenta M A, Marucci A, Empedocles S, Bawendi M, Hanlon E B, Rao A M, Eklund P C, Smalley R E,Dresselhaus G and Dresselhaus“**Raman modes of metallic carbon nanotubes**” Phys. Rev. B vol. 58, pp.R16016~R16019,1998
- [10]. Brown S D M, Jorio A, Corio P, Dresselhaus M S, Dresselhaus G, Saito R and Kneipp K“**Origin of the Breit-Wigner-Fano lineshape of the tangential G-band feature of metallic carbon nanotubes**” Phys. Rev. B vol.63,pp 155414-1~155414-8, 2001

- [11]. B.Q. Wei, R. Vajtai, and P.M. Ajayan, “**Reliability and current carrying capacity of carbon nanotubes**”, Appl. Phys. Lett., vol.79, pp. 1172–1174, 2001.
- [12]. H. T. Soh, C. F. Quate, A. F. Morpurgo, C. M. Marcus, J. Kong, and H. J. Dai, “**Integrated nanotube circuits: Controlled growth and ohmic contacting of single-walled carbon nanotubes,**” Appl. Phys. Lett., vol. 75, pp. 627-629, 1999.
- [13]. Won Bon Choi, Byoung Ho Cheong, Ju Jin Kim, Jaek Ju, and Eunju Bae “**Selective growth of carbon nanotube for nanoscale transistors**” Adv. Funct. Mater. pp.1~5, 2002
- [14]. Jun Li, Qi Ye, Alan Cassell, Hou Tee Ng, Ramsey Stevens, Jie Han, and M. Meyyappan “**Bottom-up approach for carbon nanotube interconnects**” Appl. Phys. Lett. vol.82 ,pp2491~2493, 2003
- [15]. Georg S. Duesberg,\* Andrew P. Graham, Maik Liebau, Robert Seidel, Eugen Unger, Franz Kreupl, and Wolfgang Hoenlein “**Growth of Isolated Carbon Nanotubes with Lithographically Defined Diameter and Location**” Nano Lett vol.3 pp.257~259, 2003
- [16]. J. Li, C. Papadopoulos, and J. M. Xu “**Highly-ordered carbon nanotube arrays for electronics applications**” Appl. Phys. Lett. vol.75 pp.367~369, 1999
- [17]. Franz Kreupl, Andrew P. Graham, Maik Liebau, Georg S. Duesberg, Robert Seidel, Eugen Unger “**Carbon Nanotubes for Interconnect Applications**” IEEE, IEDM pp.683~686, 2004
- [18]. Jeng-Hua Wei, Hung-Hsiang Wang, Hsin-Hui Chen, Ming-Jiunn Lai, Ming-Jer Kao, and Ming-Jinn Tsai “**A novel short-gate carbon nanotube thin film transistors**” IEEE Novel Device Technology Department I pp.42~45, 2003
- [19]. S. Heinze, J. Tersoff,\* R. Martel, V. Derycke, J. Appenzeller, and Ph. Avouris “**Carbon Nanotubes as Schottky Barrier Transistors**” Phys. Rev. Lett. vol. 89, pp.106801-1~106801-4, 2002
- [20]. R. Martel, T. Schmidt, H. R. Shea, T. Hertel, and Ph. Avourisa “**Single- and multi-wall carbon nanotube field-effect transistors**” Appl. Phys. Lett. vol. 73 pp.2447~2449, 1998
- [21]. S. Heinze, a) J. Tersoff, b) and Ph. Avouris “**Electrostatic engineering of nanotube transistors for improved performance**” Appl. Phys. Lett. vol. 83 pp.5038~5040, 2003
- [22]. Yu-Ming Lin, Joerg Appenzeller, and Phaedon Avouris “**Novel Carbon Nanotube FET Design with Tunable Polarity**” IEEE, IEDM



- pp.687~690,2004
- [23]. Yu-Ming Lin, Joerg Appenzeller,\* and Phaedon Avouris\* **“Ambipolar to Unipolar Conversion of Carbon Nanotube Transistors by Gate Structure Engineering”** Nano Lett vol.4 pp.947~950,2004
- [24]. Ali Javey, Jing Guo, Damon B. Farmer, Qian Wang, Dunwei Wang, Roy G. Gordon, Mark Lundstrom, and Hongjie Dai **“Carbon Nanotube Field-Effect Transistors with Integrated Ohmic Contacts and High-K Gate Dielectrics”** Nano Lett vol.4 pp.447~450,2004
- [25]. M. Radosavljevic', S. Heinze, J. Tersoff, and Ph. Avouris **“Drain voltage scaling in carbon nanotube transistors”** Appl. Phys. Lett. vol.83 pp.2435~2437,2003
- [26]. S. J. Wind, J. Appenzeller, and Ph. Avouris **“Lateral Scaling in Carbon-Nanotube Field-Effect Transistors”** Phys. Rev. Lett. vol 91, pp. 058301-1~058301-4,2003
- [27]. Philip G. Collins, Keith Bradley, Masa Ishigami, A. Zettl **“Extreme Oxygen Sensitivity of Electronic Properties of Carbon Nanotubes”** Science vol.287 ,pp.1801~1804,2000
- [28]. J. Kong, N. R. Franklin, C. Zhou, M. G. Chapline, S. Peng, K. Cho, and H. Dai, **“Nanotube molecular wires as chemical sensors,”** Science, vol. 287, pp. 622-625, 2000.
- [29]. Jia Chen, Christian Klinkel, Ali Afzali, Kevin Chan, Phaedon Avouris **“Self-aligned Carbon Nanotube Transistors with Novel Chemical Doping”** IEEE, IEDM pp.695~698,2004
- [30]. Ali Javey, Ryan Tu, Damon B. Farmer, Jing Guo, Roy G. Gordon, and Hongjie Dai **“High Performance n-Type Carbon Nanotube Field-Effect Transistors with Chemically Doped Contacts”** Nano, Lett. vol.5 pp. 345~348,2005
- [31]. Moonsub Shim, Ali Javey, Nadine Wong Shi Kam, and Hongjie Dai **“Polymer Functionalization for Air-Stable n-Type Carbon Nanotube Field-Effect Transistors”** J. Am. Chem. Soc. vol.123 pp.11512~11513
- [32]. Chongwu Zhou, Jing Kong, Erhan Yenilmez, Hongjie Dai **“Modulated Chemical Doping of Individual Carbon Nanotubes”** Science vol.290 pp.1552~1555,2000
- [33]. Giles P. Siddons, David Merchin, Ju Hee Back, Jae Kyeong Jeong, and Moonsub Shim **“Highly Efficient Gating and Doping of Carbon Nanotubes with Polymer Electrolytes”** Nano Lett. vol.4 pp.927~931.2004
- [34]. J. U. Lee, a) P. P. Gipp, and C. M. Heller **“Carbon nanotube p- n junction diodes”** Appl. Phys. Lett. vol.85 pp.145~147,2004
- [35]. Keith Bradley, Jean-Christophe P. Gabriel, Mikhail Briman, Alexander Star, and

- George Gruner“**Charge Transfer from Ammonia Physisorbed on Nanotubes**” Phys. Rev. Lett. vol.91,pp.218301-1~218301-4,2003
- [36]. Varghese,P.D. Kichambre,D. Gong, K.G. Ong,E.C. Dickey,C.A. Grimes “**Gas sensing characteristics of multi-wall carbon nanotubes**” Sensors and Actuators B vol.81, pp.32~41,2001
- [37]. Philip G. Collins, Keith Bradley, Masa Ishigami, A. Zettl“**Extreme Oxygen Sensitivity of Electronic Properties of Carbon Nanotubes**” Science vol.287 ,pp.1801~1804,2000
- [38]. By Jing Kong, Michael G. Chapline, and Hongjie Dai“**Functionalized Carbon Nanotubes for Molecular Hydrogen Sensors**”Adv. Mater. vol.13 pp.1384~1386,2001
- [39]. Robert J. Chen, Nathan R. Franklin, Jing Kong, Jien Cao, Thomas W. Tombler,Yuegang Zhang, and Hongjie Daia“**Molecular photodesorption from single-walled carbon nanotubes**” Appl. Phys. Lett. vol. 79 pp.2458~2260,2001
- [40] Zahab, L. Spina, and P. Poncharal “**Water-vapor effect on the electrical conductivity of a single-walled carbon nanotube mat**” Phys. Rev. B vol.63, pp.10000~10003,2000
- [41] Zhihong Chen, Xu Du, Mao-Hua Du, C. Daniel Rancken, Hai-Ping Cheng, and Andrew G. Rinzler “**Bulk Separative Enrichment in Metallic or Semiconducting Single-Walled Carbon Nanotubes**” Nano Lett. vol.3 pp.1245~1249,2003
- [42] Ralph Krupke, Frank Hennrich, Hilbert v. Lohneysen ,and Manfred M. Kappes“**Separation of Metallic from Semiconducting Single-Walled Carbon Nanotubes**” Science vol.301 pp.344~347,2003
- [43] J. B. Cui, R. Sordan, M. Burghard, and K. Kern, “**Carbon nanotube memory devices of high charge storage stability**”, Appl. Phys. Lett., vol. 81, pp.3260-3262,2002.
- [44] M. Radosavljevic, M. Freitag, K. V. Thadani, and A. T. Johnson, “**Nonvolatile Molecular Memory Elements Based on Ambipolar Nanotube Field Effect Transistors**”, Nano Lett., vol. 2, pp.761-764,2002.
- [45] M. S. Fuhrer, B. M. Kim, T. DuIrkop, and T. Brintlinger “**High-Mobility Nanotube Transistor Memory**” Nano Lett, vol.2 pp.755~759,2002
- [46] Won Bong Choi, Soodoo Chae, Eunju Bae, and Jo-Won Lee “**Carbon-nanotube-based nonvolatile memory with oxide nitride oxide film and nanoscale channel**” Appl. Phys. Lett. vol.82 ,pp.275~277,2003
- [47] Keith Bradley, John Cumings, Alexander Star, Jean-Christophe P. Gabriel, and George Gruner, “**Influence of Mobile Ions on Nanotube Based FET Devices**”,

- Nano Lett., vol. 3, pp.639-641,2003
- [48] Woong Kim, Ali Javey, Ophir Vermesh, Qian Wang, Yiming Li, and Hongjie Dai, “**Hysteresis Caused by Water Molecules in Carbon Nanotube Field-Effect Transistors**”, Nano Lett., vol. 3, pp.193-198,2003.
- [49] T. Duirkop, S. A. Getty, Enrique Cobas, and M. S. Fuhrer “**Extraordinary Mobility in Semiconducting Carbon Nanotubes**” Nano Lett., vol. 4, pp.35~39,2004
- [50] Sigen Wang, Paul Sellin, Qing Zhangand, and DajiangYang “**Nonvolatile Memory from Single-walled Carbon Nanotube-based FieldEffect Transistors**” Current NanoScience, vol.1 ,pp.43~46,2005



# 個人簡歷

姓名：薛聖銘

性別：男

出生年月日：民國 68 年 12 月 6 日

籍貫：台灣省台中縣

住址：桃園縣龍潭鄉中興路 392 巷 53 弄 10 號

學歷：

國立陽明高級中學	(85.9-87.6)
私立逢甲大學電子工程系學士	(87.9-92.6)
國立交通大學電子所碩士	(92.9-94-7)



碩士論文題目：

奈米碳管電晶體之遲滯效應研究

A Study on the Hysteresis effect of CNTFET