

國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

一個適用於直接頻移發射機的雙頻
帶四模式和差調變頻率合成器

**A Dual Band, Quad Mode Δ - Σ
Frequency Synthesizer for Direct
Conversion Transmitter**

研 究 生：余岱原

指 導 教 授：陳巍仁

中華民國九十四年十一月

一個適用於直接頻移發射機的雙頻帶四模式和差調變
頻率合成器

**A Dual Band , Quad Mode Δ - Σ Frequency
Synthesizer for Direct Conversion Transmitter**

研究生：余岱原

Student : Dai-Yuan Yu

指導教授：陳巍仁 教授

Advisor : Prof. Wei-Zen Chen

國立交通大學
電子工程學系 電子研究所碩士班

碩士論文

A Thesis

Submitted to Department of Electronics Engineering & Institute of
Electronics

College of Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

for the Degree of

Master of Science

In

Electronic Engineering

Nov. 2005

Hsin-Chu, Taiwan, Republic of China

中華民國九十四年十一月

一個適用於直接頻移發射機的雙頻帶四模式和差調變頻率合成器

研究生：余岱原

指導教授：陳巍仁教授

國立交通大學

電子工程學系電子研究所碩士班



由於近年來，無線通訊產品的應用越來越普及，所以有許多新的系統因應此潮流而產生，而這些新的射頻系統無不朝向高整合度、低成本、低功率這幾方面發展，也因此本論文將會針對這些目標，並著重於多模頻率合成器與無線通訊的直接頻移發射器架構部分做設計。

本篇論文設計了一個雙頻帶四模式和差調變頻率合成器，可以產生無線區域網路 802.11a、b、g 與藍芽系統這四個規格所需要的頻道頻率。整合了相頻偵測器、充電泵、迴路濾波器、壓控振盪器、除二除頻器、多係數除頻器與和差調變器於單一晶片當中。本頻率合成器可以產生 2.4GHz~2.5GHz 的 ISM 頻帶頻率與 5.15GHz~5.35GHz 的 UNII 頻帶頻率。頻率解析度為 1/1024，因此可以滿足四模式的所有頻道頻率。此外，本頻率合成器可以適用於直接頻移發射機系統上，可

進行藍芽系統的高斯頻率鍵移調變，並運用數位濾波器的技巧補償鎖相迴路的頻寬以提升發射器的資料傳輸速度。

本晶片使用台積 $0.18\ \mu\text{m}$ 互補式金氧半導體的製程，晶片面積為 $1.98\ \text{mm}^2$ ，功率消耗為 19.54mW ，頻率合成器在 UNII 頻帶 1MHz 頻率偏移處的相位雜訊表現為 -117dBc/Hz ；在 ISM 頻帶 1MHz 頻率偏移處的相位雜訊表現為 -120dBc/Hz 。此外，本晶片的所有功能機制皆有量測結果做驗證。



A Dual Band , Quad Mode Δ - Σ Frequency Synthesizer for Direct Conversion Transmitter

Student: Dai-Yuan Yu

Advisor: Wei-Zen Chen

Department of Electronics Engineering & Institute of Electronics

National Chiao-Tung University

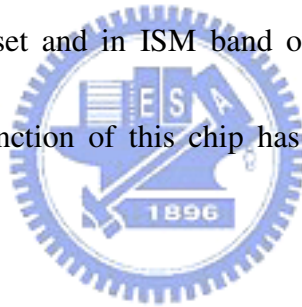
Abstract

The use of wireless products has been rapidly increasing in the past few years, and there has been worldwide development of new systems to meet the needs of this growing market. Therefore , new radio architectures and circuit techniques are being actively sought that achieve high levels of integration and low power operation while still meeting the stringent performance requirements of today's radio systems. As a result, this paper will focus on these targets and put more emphasis on the design of the multi-band quad mode frequency synthesizer and direct conversion transmitter.

This paper describes the design of a dual-band , quad-mode Δ - Σ frequency synthesizer for WLAN 802.11 a , b , g and Bluetooth application . Integrated a PFD , Charge Pump , VCO , Divide-by-2 Divider , Multi-modulus divider and a Δ - Σ modulator in a single chip . The synthesizer can generate frequencies in 2.4 GHz to 2.5 GHz ISM band and in 5.15 GHz to 5.35 GHz UNII band. The frequency

resolution is $1/1024$ thus can satisfy all the quad-mode channel frequency specification. In addition , the synthesizer can be used for direct conversion transmitter and can perform the Gaussian frequency shift keying modulation in Bluetooth system. And use digital compensation filter to compensate the phase lock loop bandwidth thus can increase the transmission data rate.

The chip is fabricated in TSMC 0.18-um CMOS process and the die area is 1.98 mm^2 including pads. The power consumption is 19.54 mW from 1.8v power supply .The measured phase noise of frequency synthesizer in UNII band output is -117dBc/Hz @ 1MHz offset and in ISM band output is -120dBc/Hz @ 1MHz offset. In addition, all the function of this chip has been verified by measurement result.



誌謝

首先要感謝我的指導教授陳巍仁老師，於研究所這段過程當中除了在專業知識上適時的給予我指點與教導、在軟硬體上提供我一個很好的學習環境外；更讓我學會了面對研究應抱持的態度。

再來要感謝阿拉伯實驗室一起打拼的夥伴們：熒哥、諭哥、偉銘、紅毛、建樺、弼佳、阿信、小鍵、POLO、志朋、傑忠、巴嘿、台祐、建文們、幾九、宗熙、立隆、188、志賢、晏維...等，有你們的陪伴與互相幫忙鼓勵，才能夠走完這段艱辛的歷程，並在研究的過程中增添許多的歡笑與回憶；還要感謝學長們：偉茗、宗霖、騰毅、阿甘、冠勝、家華、大新、阿傑、PoPo....等很多的學長，感謝學長們給予我的幫助與指點，從模擬、佈局、電路板製作、量測...這許多的環節都幸虧有你們豐富的經驗傳承，才能讓我順利的一一完成。

接下來這段要獻給我的女朋友，儷方。從大二到研究所，在我面臨壓力與低潮時，鼓勵我、給我繼續前進的動力；在我研究繁忙時，體諒我、讓我全心衝刺；在我獲得成果時，與我一起感受喜悅；有了妳豐富了我的生活，也讓我更認真的去過生活。

最後要對我的爸媽與哥哥獻上最大的感謝。爸、媽，謝謝你們這 24 年來不辭辛勞的養育我、栽培我；哥，從小到大你都是我的領航員，先我一步歷經這許多的挑戰，並教導我該如何面對。沒有你們就沒有今天的我，滿心的感恩！

余岱原 國立交通大學 九十四年十一月

目錄

第一章	緒論	1
1.1	相關背景與動機	1
1.2	組織架構	4
第二章	雙頻帶四模式頻率合成器的設計	6
2.1	系統規格	6
2.2	頻率合成器簡介	10
2.3.1	鎖相迴路的雜訊分析	11
2.3.2	和差調變器相位雜訊	13
2.3.3	壓控振盪器相位雜訊	15
2.3.4	充電汞與迴路濾波器相位雜訊	19
2.4	鎖相迴路閉迴路頻寬與充電汞電流設計	21
2.5	迴路濾波器設計與鎖相迴路穩定度分析	23
第三章	和差調變器	26
3.1	和差調變器基本原理	26
3.2	和差調變器架構	28
3.2.1	一階和差調變器	28
3.2.2	二階和差調變器	30
3.2.3	高階和差調變器	31

3.2.4	高階單級和差調變器與高階多級和差調變器	32
3.3	諧波與加入雜訊擾動	35
3.4	和差調變器電路架構	37
3.5	和差調變器穩定性分析與電路模擬結果	41
第四章	直接頻移發射器系統設計	43
4.1	系統背景與規格	43
4.2	直接頻移發射器系統架構	45
4.3	直接頻移發射器系統的模型建立與模擬結果	49
第五章	頻率合成器電路設計	60
5.1	相位頻率偵測器電路設計	60
5.2	充電泵電路設計	64
5.3	壓控振盪器電路設計	66
5.4	除二除頻器電路設計	69
5.5	多系數除頻器電路設計	70
5.5.1	前置除頻器電路設計	71
5.5.2	屏蔽計數器電路設計	73
5.5.3	可程式計數器電路設計	73
第六章	佈局與量測結果	78
6.1	佈局	78

6.2	測試考量	80
6.3	量測結果	83
第七章	結論	97

圖目

圖 1.1	發射器的基本架構	2
圖 1.2	直接頻移發射器基本架構	3
圖 1.3	直接頻移發射器架構與頻率調變示意圖	4
圖 2.1	藍芽系統頻帶分佈	6
圖 2.2	802.11 b、g 頻帶分佈	7
圖 2.3	802.11 a 頻帶分佈	7
圖 2.4	雙頻帶四模式頻率合成器系統架構	8
圖 2.5	鎖相迴路相位雜訊線性模型	11
圖 2.6	頻率合成器主要雜訊源	13
圖 2.7	(a)一個電感電容壓控振盪器的等效圖	17
	(b)共振腔等效模型	17
圖 2.8	(a)簡化的RLC振盪器 (b)共振腔的轉導	18
圖 2.9	充電汞與迴路濾波器的等效架構圖	20
圖 2.10	迴路頻寬對壓控振盪器與和差調變器雜訊的影響	21

圖 2.11	不同充電汞電流下輸出雜訊的變化	22
圖 2.12	三階迴路濾波器	23
圖 2.13	開迴路轉移函數波德圖	25
圖 2.14	電阻變異正負 30%，開迴路轉移函數波德圖	25
圖 3.1	和差調變器基本架構	27
圖 3.2	一階和差調變器架構	28
圖 3.3	一階和差調變器雜訊轉移波德圖	29
圖 3.4	二階和差調變器架構	30
圖 3.5	二階與一階雜訊轉移函數波德圖比較	30
圖 3.6	一到四階雜訊轉移函數波德圖比較	32
圖 3.7	高階多級雜訊整形架構和差調變器 (MASH)	33
圖 3.8	前饋高階單級串接和差調變器架構	34
圖 3.9	(a)MASH 和差調變器輸出位階	34
	(b) 1 級 3 階和差調變器輸出位階	34
圖 3.10	和差調變器輸出頻譜 (a)未加入雜訊擾動	34
	(b)加入雜訊擾動	34
圖 3.11	頻率合成器輸出頻譜 (a)未加入雜訊擾動	34
	(b)加入雜訊擾動	36
圖 3.12	量化位階分佈圖	37

圖 3.13	兩位元三階和差調變器	37
圖 3.14	D 型正反器	39
圖 3.15	七個加法器之輸出分佈圖	40
圖 3.16	二位元三階和差調變器根軌跡圖	41
圖 3.17	利用MATLAB Simulink所做的和差調變器模擬結果 . .	42
圖 3.18	利用HSPICE所做的和差調變器模擬結果	42
圖 4.1	傳統射頻發射機架構	44
圖 4.2	直接頻移發射機架構	44
圖 4.3	頻率調變示意圖	44
圖 4.4	直接頻移發射器系統	46
圖 4.5	傳輸路徑頻域圖	46
圖 4.6	提高資料傳輸速度的直接頻移發射器架構	47
圖 4.7	資料傳輸路徑頻域圖	47
圖 4.8	本直接頻移發射機系統架構	48
圖 4.9	鎖相迴路 Simulink 模型	49
圖 4.10	鎖相迴路穩定圖	51
圖 4.11	鎖相迴路輸出頻譜	52
圖 4.12	和差調變器架構	52
圖 4.13	和差調變器 Simulink 模型	52

圖 4.14	(a)頻率響應 (b)步階響應	53
圖 4.15	整體轉移函數波德圖	54
圖 4.16	鎖相迴路閉迴路轉移函數波德圖	55
圖 4.17	補償濾波器波德圖	55
圖 4.18	系統頻域示意圖	56
圖 4.19	資料在步驟 1 的時域與頻域圖	56
圖 4.20	資料在步驟 2 的時域與頻域圖	57
圖 4.21	資料在步驟 3 的時域與頻域圖	57
圖 4.22	資料在步驟 4 的頻域圖	57
圖 4.23	基頻資料與輸出頻率對時間之圖	58
圖 4.24	(a)無補償濾波器，資料速度 400Kbit/s (b)加入補償濾波器，資料速度 1Mbit/s	59
圖 5.1	頻率合成器電路架構	60
圖 5.2	(a) 相位頻率檢測器 (b) 相位和頻率檢測器的狀態圖 (c) 相位和頻率檢測器的時序圖	61
圖 5.3	(a) 相位和頻率檢測器的內部電路 (b) 相位和頻率檢測器的特徵圖	
圖 5.4	相位頻率偵測器中的 D 形正反器	62
圖 5.5	(a)除頻頻率大於參考頻率(b)參考頻率大於除頻率	63

圖 5.6	充電汞電路架構	64
圖 5.7	充電汞充電與放電電流匹配度	65
圖 5.8	加入轉換對與不加入轉換對的比較	66
圖 5.9	充電汞充電與放電電流	66
圖 5.10	(a)互補式耦合壓控振盪器電路架構 (b)壓控振盪器預計規格	67
圖 5.11	壓控振盪器時間暫態模擬	68
圖 5.12	壓控振盪器相位雜訊模擬圖	68
圖 5.13	除二除頻器架構	69
圖 5.14	拴鎖器電路圖	69
圖 5.15	除二除頻器模擬圖	70
圖 5.16	多系數除頻器架構圖	70
圖 5.17	前置除頻器電路架構	72
圖 5.18	加入或閉的高速除二電路	72
圖 5.19	前置除頻器電路模擬	72
圖 5.20	屏蔽計數器電路架構	73
圖 5.21	可程式計數器電路架構	74
圖 5.22	多系數除頻器模擬結果	74
圖 6.1	(a)晶片照相與平面配置圖 (b)腳位配置表	79

圖 6.2	(a)交流電路板(b)直流電路板	81
圖 6.3	量測儀器配置圖	82
圖 6.4	壓控振盪器頻率特性量測結果	83
圖 6.5	多係數除頻器量測結果	84
圖 6.6	(a)頻率合成器 5.28GHz 輸出頻譜 (b)頻率合成器 5.28Ghz 相位雜訊	85
圖 6.7	(a)頻率合成器 2.6GHz 輸出頻譜 (b)頻率合成器 2.6GHz 相位雜訊	85
圖 6.8	(a)關閉雜訊擾動機制的頻譜 (b)開啟雜訊擾動機制的頻譜	86
圖 6.9	(a)跳頻鎖定時間量測圖(b)局部放大圖	87
圖 6.10	未經補償濾波器之數位資料	87
圖 6.11	資料傳輸速度 10KHz 之頻率調變量測圖 (無補償濾波器)	88
圖 6.12	資料傳輸速度 10KHz 之頻譜圖 (無補償濾波器) . . .	89
圖 6.13	經補償濾波器之數位資料	89
圖 6.14	資料傳輸速度 20KHz 之頻率調變量測圖 (加入補償濾波器)	90
圖 6.15	資料傳輸速度 100KHz 之頻率調變量測圖	

	(加入補償濾波器)	90
圖 6.16	資料傳輸速度 100KHz 之頻譜圖(加入補償濾波器) . .	91
圖 6.17	功率消耗分佈圖	91
圖 6.18	展頻數位資料	93
圖 6.19	展頻頻率對時間量測圖	93
圖 6.20	展頻前後的頻譜比較	94
圖 6.21	除二除頻器輸出波形與 Jitter	94
圖 6.22	壓控振盪器輸出波形與 Jitter	95
圖 6.23	不同輸入值的非整數突波量測	95
圖 6.24	不加補償濾波器，頻率偏移 333KHz 下的直接調變量測	96
圖 6.25	加補償濾波器，頻率偏移 333KHz 下的直接調變量測 .	96

表目

表 2.1	四模式的規格列表	7
表 2.2	系統規格列表	9
表 2.3	參數列表	19
表 2.4	迴路濾波器元件值列表	24
表 4.1	藍芽系統的發射器規格	45
表 5.1	802.11a 頻道頻率配置表與對應除數	75

表 5.2	802.11b、g 頻道頻率配置表與對應除數	76
表 5.3	802.11a 除數實現配置表	76
表 5.4	802.11b、g 與藍芽系統除數實現配置表	77
表 6.1	頻率合成器量測結果列表	92



第一章

緒論

1.1 相關背景與動機

頻率合成器 (Frequency Synthesizer) 是現今射頻收發器中的關鍵元件之一，其主要的目的是產生多組且精確的頻率，以藉由混波器來將射頻的訊號帶到基頻，或將基頻的訊號上傳至射頻頻帶。而隨著應用系統的不同，其所需要的頻帶範圍與頻道間隔等規格也會不同。在本論文當中主要是針對無線區域網路與藍芽系統的規格去做設計。

現今的無線區域網路有分為802.11b、802.11a、802.11g這三種不同的規格，而這三種規格有其歷史上的先後關係，最先發展的是802.11b，其所在的頻率是2.4GHz的ISM頻帶，調變方式是CCK編碼方式，由於其資料傳輸速度僅有1~11Mbit/s，未能符合現今對於資料傳輸速度的需求，因此發展出802.11a的規格，所在的頻帶為5GHz的UNII頻帶範圍，由於其採用正交分頻多工 (OFDM) 的調變方式，因此資料傳輸速度可高達54Mbit/s。由於802.11a與802.11b之間的頻帶不同，調變方式亦不同，因此是無發互相溝通的，換言之，若是公司企業一旦決定要升級為802.11a，則之前建構的802.11b之硬體設施就會無法使用，造成升級成本過高的問題，所以在市場上就變成這兩種規格各有人在使用，無法統一標準。因此之後有人提出了新的規格即802.11g，其所在的頻帶為2.4GHz的ISM頻帶，而調變的方式可以選擇CCK或是正交分頻多工，其優點是傳輸速度可

高達54Mbit/s，而且具有能跟802.11b相容的優勢。此外在2.4GHz的頻段上還有一個重要的規格，即藍芽系統規格。藍芽系統所在頻帶為2.4GHz~2.4835GHz，其頻道間隔為1MHz，資料傳輸速度為1Mbit/s。藍芽系統是短距離的無線網路，常見到的地方為手機與藍芽耳機間的溝通、無線音響、數位相機與個人數位助理（PDA）與眾多數位資訊產品間的溝通。表2.1整理出這四個規格所在的頻帶範圍、頻道間隔、調變方式與資料傳輸速度。本論文的第一個目標是在設計符合以上四種規格的頻率合成器；第二個目標是以頻率合成器為基礎，發展直接頻移發射器的系統，而直接頻移發射器系統是針對藍芽系統的高斯頻率鍵移（GFSK）調變方式做設計，目標傳輸速度是1Mbit/s。

接下來討論在射頻發射器的系統上有些什麼架構。圖1.1所示為一個常使用在無線通訊上的發射器架構，這個架構中包含有調變器(此調變器可以是振幅調變器也可以是相位調變器)，功率放大器，和一個可濾掉干擾頻率雜訊，而僅讓訊號通過的帶通濾波器，假設圖1.1代表一般發射器的架構，那我們最主要是針對調變器這一個方塊來做改進，所以本論文會針對調變器這方面做深入討論，然而對功率放大器而言，如果使用振幅調變這種方式，會比較沒有效率，所以我們在此就專注於固定振幅的相位調變器來下手。

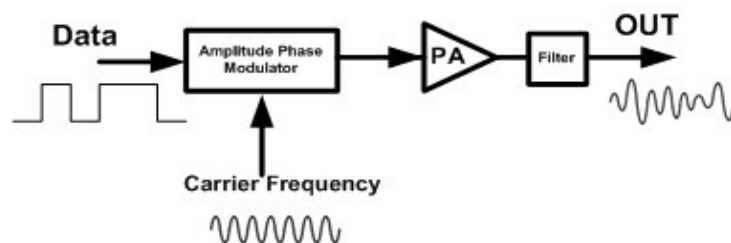


圖1.1 發射器的基本架構

射頻發射器的討論總是圍繞著一個共同的目標——也就是將頻率較低的訊號藉由射頻發射器傳送到較高頻帶的通道上，自從發明了超外差接收

機出現之後，這種使用混頻器和中頻濾波器所構成的高性能窄頻發射器提供了相當優秀的射頻特性(低寄生雜訊)，但是伴隨著高效能而來的就是，對於射頻系統的整合，此架構具有相當大的困難度，更具體一點來說，也就是很難實現一個使用中頻且具有高Q值低雜訊、低失真的帶通濾波器[1]，也就因為上述的原因，此種架構在無線通訊產品已漸漸被其他架構取代。圖1.2所示為直接頻移發射器的基本架構[2]，直接頻移發射器的定義是載波的頻率即為本地振盪器（LO Oscillator）的頻率，調變的訊號直接上傳到射頻頻帶，此種架構的優點是不需要混波器與帶通濾波器的存在，因此能跟基頻數位電路高度整合。

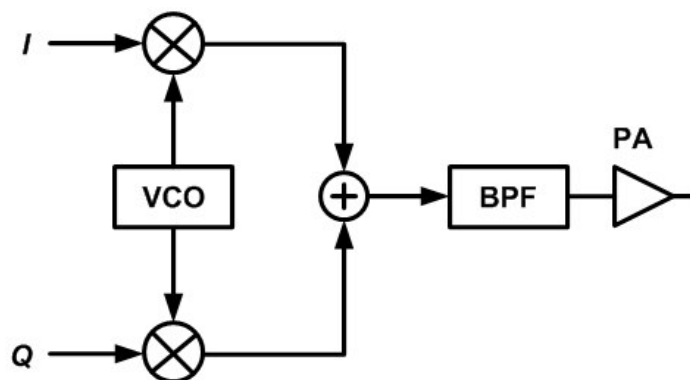


圖 1.2 直接頻移發射器基本架構

在直接頻移發射器的架構下，不同的載波頻率產生方式就是改變壓控振盪器的振盪頻率，亦即其控制電壓。然而在壓控振盪器的製作上，常常會面臨許多製程變異的非理想效應，造成其控制電壓對輸出頻率的關係並非預期的線性關係，如此會使載波頻率無法正確的產生，就很難將調變訊號傳送出去。一位學者Riley提出了一種解決方法[3]，此方法就是不要直接調變壓控振盪器，而是藉由變動鎖相迴路的除頻數目，以達到對壓控振盪器輸出頻率的調變，如圖1.3所示。為了有好的頻率解析度，選擇了非整數型頻率合成器來作為此架構的基本操作方塊，在後續幾篇討論非整數型頻率合成器雜訊的論文[4-6]中，可得到一個很好的結論，由於整個閉迴路不會被打斷，所以前面所述，在調變時會有頻率漂移的現象，在此架構下即

可被克服。因為上述的演進，所以我們最後決定以此架構作為研究的主題。然而此架構會面臨一個問題，就是所傳送的資料其資料傳輸速度必須小於鎖相迴路的頻寬，才能夠傳出去，然而鎖相迴路的頻寬往往卻是小於目標的資料傳輸速度（基於一些雜訊的考量所導致），如此一來資料傳輸速度就會過低，為了要克服這個問題我們會利用Michael H. Perrott所提出的方法來解決[7]，也就是可以使資料傳輸率大於鎖相迴路的頻寬而不會有任何資料遺失的問題，詳細的作法與原理會在第四章做說明。

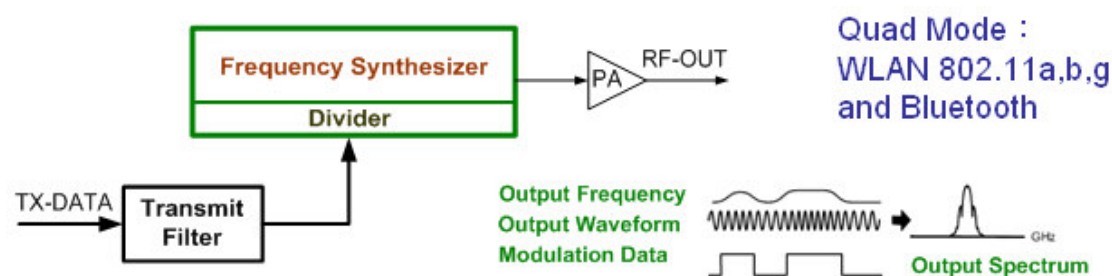


圖 1.3 直接頻移發射器架構與頻率調變示意圖

1.2 組織架構

本論文主要分為七章，第一章為緒論，說明相關研究的近況與研究動機，並介紹整體論文架構；第二章為頻率合成器的系統設計，其中會說明系統的規格，並從雜訊的角度來對頻率合成器做分析，並訂定一些系統參數，如鎖相迴路頻寬等；第三章為和差調變器的設計，我的非整數頻率合成器達成的機制是利用和差調變器控制除數的變化，而在該章會介紹和差調變器的基本原理，並比較不同和差調變器的架構，從而選出適合的架構，最後並分析所選用之和差調變器的穩定性與雜訊整形表現。第四章是利用MATLAB的SIMULINK建立直接頻移發射器的系統，並附上系統模擬的結果；第五章則是介紹頻率合成器的電路部份，一一介紹相頻偵測器、充電拱、迴路濾波器、壓控振盪器、除二除頻器與多係數除頻器的電路，

並附上電路的模擬結果。第六章是測試考量與量測結果，會說明為了要方便且準確的量測晶片，在晶片內部的電路設計上與晶片外部的電路板製作及儀器配置上該注意的事項，之後會附上量測圖形與實驗結果列表。最後第七章是結論的部份。



第二章

雙頻帶四模式頻率合成器的設計

2.1 系統規格

由於我們要實現的頻率合成器必須能夠同時滿足無線區域網路 802.11 a、b、g 與藍芽系統的規格，因此在整體系統規格的設計上，我們必須同時考慮這四個規格的要求。首先我們來看這四個規格在頻帶上的規範：圖 2.1 是藍芽系統的頻帶分布圖，主要的頻率分布範圍是在 2.4GHz 到 2.4835GHz，每個頻道之間的頻道間隔(channel spacing)為 1MHz。圖 2.2 是 802.11 b、g 的頻帶分佈圖，主要的頻率範圍也是在 2.4GHz 到 2.5 GHz 之間，而頻道間隔為 20MHz。圖 2.3 是 802.11 a 的頻帶範圍，由於我們是針對 802.11 a 中 HIPERLAN 的規格，所以頻率範圍是從 5.15GHz 到 5.35GHz 之間，頻道間隔一樣是 20MHz。

Geography	Regulatory Range	RF Channels
USA, Europe and most other countries ¹⁾	2.400-2.4835 GHz	f=2402+k MHz, k=0,...,78
Spain ²⁾	2.445-2.475 GHz	f=2449+k MHz, k=0,...,22
France ³⁾	2.4465-2.4835 GHz	f=2454+k MHz, k=0,...,22

圖 2.1 藍芽系統頻帶分佈

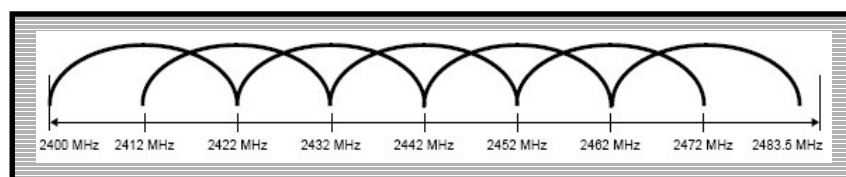


圖 2.2 802.11 b、g 頻帶分佈

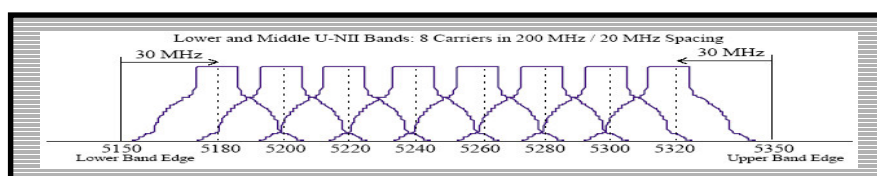


圖 2.3 802.11 a 頻帶分佈

從以上各規格的頻帶範圍可以整理出我們四模式頻率合成器必須要能產生 2.4GHz 到 2.5GHz 與 5.15GHz 到 5.35GHz 這兩個頻帶的頻率。表格 2.1 整理了每個規格的頻帶分佈、頻道間隔、資料傳輸速度與調變方式，其中在我們直間頻移發射機的系統設計上，是針對藍芽系統規格去做設計，資料傳輸速度為 1Mbit/s 而調變的方式是高斯頻率鍵移調變(GFSK)。

Mode	Data Rate	Modulation Scheme	Freq / GHz	Band
802.11 b	1 – 11 Mb/s	CCK	2.412 ~ 2.4835	ISM
802.11 a	6 – 54 Mb/s	OFDM	5.15~5.35 5.725~5.825	UNII
802.11 g	6 – 54 Mb/s	OFDM	2.412 ~ 2.4835	ISM
802.11 g	1 – 11 Mb/s	CCK	2.412 ~ 2.4835	ISM
Bluetooth	1 Mb/s	GFSK	2.4 ~ 2.4835	ISM

表格 2.1 四模式的規格列表

在相位雜訊的規格上，藍芽系統的規格在 1MHz、2MHz 和 3MHz 分別要小於-80dBc/Hz、-110dBc/Hz 和-120dBc/Hz；而在無線區域網路的規格中在 1MHz、3MHz 和 6MHz 分別要小於-110dBc/Hz、-120dBc/Hz 和-125dBc/Hz。綜合考量下，我們可以定出頻率合成器在相位雜訊的規格必須如下：在 1MHz、3MHz、6MHz 必須要小於-110dBc/Hz、-120dBc/Hz 和-125dBc/Hz。

頻率合成器主要的目的是產生多組且精確的頻率以供利用，而達成的方式是藉由改變鎖相迴路的除數，進而改變輸出的頻率。頻率合成器主要可分為整數型與非整數型頻率合成器，為了要同時符合以上四個規格所需要的頻道頻率並且在固定參考頻率下滿足其不同的頻道間隔，因此我使用非整數型的頻率合成器架構。達成非整數除數的方式是利用和差調變器 (Δ - Σ Modulator)，這是由於和差調變器在雜訊上(Fractional Spur)的表現較使用固定比例的除數變化（例如傳統使用累加器進位的方式實現小數）來模擬小數的架構好，且藉由控制和差調變器的輸入可以達到直接調變的功能，圖 2.4 是整個頻率合成器的系統架構圖。

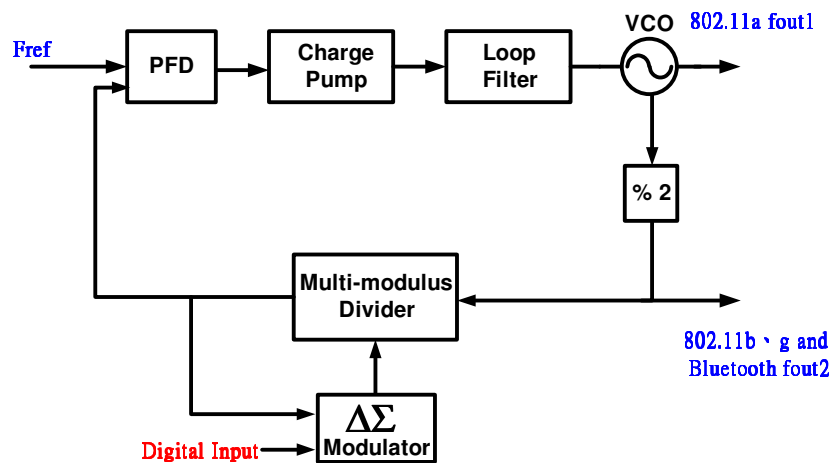


圖 2.4 雙頻帶四模式頻率合成器系統架構

由於不希望壓控振盪器直接振盪從 2.4GHz 到 5.35GHz 如此寬的頻率範圍，我們會在迴路中加入一個固定除二的除頻器，如此壓控振盪器只需要產生 4.8GHz 到 5.35GHz 的振盪頻率，其中壓控振盪器的輸出是給 5GHz 頻帶規格的 802.11 a，而 2.4GHz 頻帶規格的 802.11 b、g 與藍芽系統則是經過除二除頻器後輸出。我們會在以下節詳細討論頻率合成器的原理與設計。最後表格 2.2 是將整個系統預計規格列表做一個整理。

Parameter	Value
f_{out1}	4.8 GHz ~ 5.35 GHz
Reference Frequency	20 MHz
Division Number	119.5~133.5
Δ - Σ Modulator Resolution	1 / 1024
Lock time	< 100 us
Target Data Rate	1 M bit/s
Modulation Scheme	GFSK
Phase noise @ 1MHz	< -110 dBc/Hz
Phase noise @ 3MHz	< -120 dBc/Hz
Phase noise @ 6MHz	< -125 dBc/Hz

表格 2.2 系統規格列表

2.2 頻率合成器簡介

設計一個以鎖相迴路(Phase-Locked Loops)為基礎的頻率合成器(Frequency Synthesizer)時，必須考慮以下幾點需求。

- 相位雜訊(Phase Noise)：相位雜訊的定義為 Single-Sideband (SSB) 功率對載波功率的比值，其量測單位為 dBc/Hz。

- 轉換速度(Switching Speed)：頻率合成器使用上必須由一個頻道轉換至另外一個頻道，而頻率合成器所花費的時間就稱為轉換時間。一個好的頻率合成器必須提供快速的轉換速度。

- 頻率解析度(Frequency Resolution)：兩個相鄰頻率通道間的頻率間隔稱為頻率解析度。因為所有可獲得的頻寬是有限制的，所以較細的頻率解析度可得到較多的頻率通道，在頻譜上的使用效率而言也較高。

整數鎖相迴路(Integer PLL)在設計上必須對頻率解析度與迴路頻寬(Loop Bandwidth)有所取捨。這是因為參考頻率(Reference Frequency)必須在迴路頻寬的十倍以上，這意味著要較大的迴路頻寬則參考頻率也要提高，導致頻率解析度降低。而較寬的迴路頻寬可以提供較快的轉換速度，因此整數鎖相迴路無法同時提供快速的轉換速度與好的頻率解析度。

非整數鎖相迴路(Fractional-N PLL)在相同的頻率解析度下可擁有較高的參考信號頻率(Reference Frequency)，這是因為其輸出頻率可以是參考頻率的小數倍所以參考頻率可以很大，高的參考信號頻率允許設計較寬的迴路頻寬，所以能達到較快的轉換速度與較佳的頻率解析度。而這也是我們的頻率合成器架構會使用非整數形式的原因之一。

2.3.1 鎖相迴路的雜訊分析

經由 2.1 節的整理，我們可以訂出頻率合成器的相位雜訊規格，而在本節中會進一步去分析整個鎖相迴路中的雜訊，以符合規格的需求。首先我們會利用圖 2.5 所示的鎖像迴路相位雜訊線性模型，來作為我們估算鎖相迴路輸出相位雜訊大小的模型。

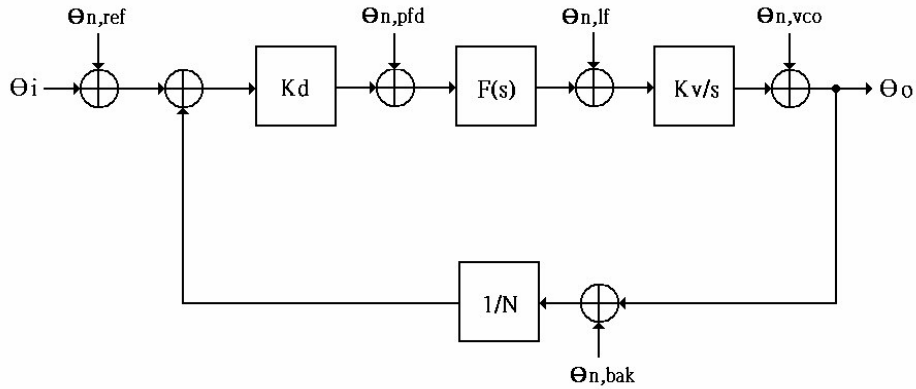


圖 2.5 鎖相迴路相位雜訊線性模型

參考信號源對頻率合成器輸出端的線性相位雜訊轉移函數為：

$$\frac{\theta_{o,ref}}{\theta_{ref}} = H(s) = \frac{KdF(s)Kv}{s + KdF(s)Kv/N} \quad (2.1)$$

其中 H(S)的特性是一個低通的轉移函數。

相位頻率偵測器對頻率合成器輸出的線性相位雜訊轉移函數為：

$$\frac{\theta_{o,pfd}}{\theta_{pfd}} = \frac{F(s)Kv}{s + KdF(s)Kv/N} = \frac{1}{Kd} \cdot H(s) \quad (2.2)$$

迴路濾波器對頻率合成器輸出的線性相位雜訊轉移函數為：

$$\frac{\theta_{o,lf}}{\theta_{lf}} = \frac{Kv}{s + KdF(s)Kv/N} = \frac{1}{KdF(s)} \cdot H(s) \quad (2.3)$$

壓控振盪器對頻率合成器輸出的線性相位雜訊轉移函數為：

$$\frac{\theta_{o,vco}}{\theta_{vco}} = \frac{s}{s + KdF(s)Kv/N} = 1 - H(s) \quad (2.4)$$

此轉移函數為一個高通轉移函數。

迴授路徑雜訊源對頻率合成器輸出的線性相位雜訊轉移函數為：

$$\frac{\theta_{o,bak}}{\theta_{bak}} = \frac{1/N \cdot KdF(s)Kv}{s + KdF(s)Kv/N} = \frac{1}{N} \cdot H(s) \quad (2.5)$$

以上我們已經推導了每個雜訊源所看到的迴路轉移函數，因此我們可以把每一個雜訊源乘上其所看到的轉移函數即可得到在輸出端的相位雜訊總量，可以如下式所表示：

$$\begin{aligned} \Phi_o &= \Phi_{o,ref} + \Phi_{o,pfd} + \Phi_{o,lf} + \Phi_{o,vco} + \Phi_{o,bak} \\ &= |H(s)|^2 \Phi_{ref} + \left| \frac{1}{Kd} H(s) \right|^2 \Phi_{pfd} + \left| \frac{1}{KdF(s)} H(s) \right|^2 \Phi_{lf} \\ &\quad + |1 - H(s)|^2 \Phi_{vco} + \left| \frac{1}{N} H(s) \right|^2 \Phi_{bak} \end{aligned} \quad (2.6)$$

其中『 $\Phi_{o,*}$ 』代表相對應的雜訊源功率頻譜。我們可以從 (2.6) 式的分析知道對於參考訊號源、相位頻率偵測器、迴路濾波器和迴授路徑雜訊源這幾個雜訊所看到的轉移函數為低通轉移函數；而對於壓控震盪器的相位雜訊所看到的轉移函數為高通轉移函數。因此可以得到一個結論，對於頻率合成器輸出端整體的相位雜訊而言，在迴路頻寬以內的雜訊主要是來自於參考訊號源、相位頻率偵測器、迴路濾波器和迴授路徑雜訊源所貢獻；而在迴路頻寬以外的雜訊主要是由壓控震盪器所支配。圖 2.6 所示為頻率合成器中主要的雜訊來源。

以下我們會先量化分析每個雜訊源的雜訊，最後再經由 Matlab 的計算，就可以得知每個雜訊源在輸出端所貢獻的相位雜訊大小，藉由此我們可以最佳化迴路頻寬的設計，以得到最佳的雜訊表現。

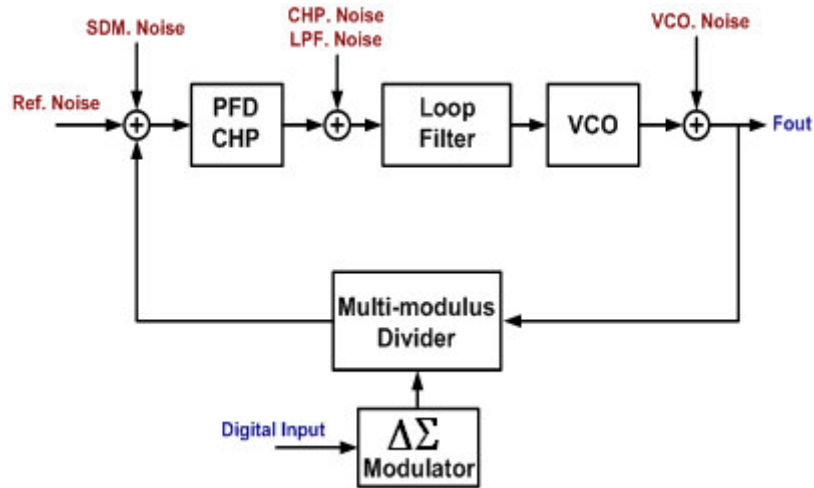


圖 2.6 頻率合成器主要雜訊源

2.3.2 和差調變器相位雜訊

首先推導和差調變器的相位雜訊[8]，我們可以知道頻率合成器的參考頻率 f_{ref} 和頻率合成器的輸出頻率 f_{out} 關係式可由式 2.7 表示：

$$f_{OUT} = N \times f_{REF} \quad (2.7)$$

其中 N 為除頻器的除數，而除頻器的除數是由和差調變器所控制的，所以我們可以得到下列關係式：

$$N_{DIV}(z) = N \cdot f(z) + (1 - z^{-1})^3 \cdot Q(z) \quad (2.8)$$

其中 $N_{DIV}(z)$ 為實際輸出的除數， $N \cdot f(z)$ 為理想上想要獲得的除數，而 $Q(z)$ 則為和差調變器的量化雜訊，結合式 2.7 和式 2.8 我們可得下列式子：

$$f_{OUT}(z) = N \cdot f(z) \cdot f_{REF} + (1 - z^{-1})^3 Q(z) f_{REF} \quad (2.9)$$

其中 $Q(z) = 1/(12f_{REF})$ 為量化雜訊，而 $(1 - z^{-1})^3$ 為和差調變器量化雜訊所看到的雜訊轉移函數 (NTF)。因此會影響輸出頻譜圖的為式(2.9)後半段的 $(1 - z^{-1})^3 Q(z) f_{REF}$ ，所以將 $Q(z)$ 此雜訊量帶入式(2.9)，我們可得下式：

$$S_v(z) = \left| (1 - z^{-1})^3 f_{REF} \right|^2 \frac{1}{12 f_{REF}} = (1 - z^{-1})^6 \frac{f_{REF}}{12} \quad (2.10)$$

此式 2.10 為和差調變器輸出到相位頻率檢測器的輸入端的頻率變化，所以只要把式 2.10 轉換成相位，即可將此雜訊轉換成相位雜訊的型態；式 2.11 是頻率和相位的關係式，式 2.12 為式 2.11 轉換到 Z 平面：

$$\theta = \int \omega dt = 2\pi \int f dt \quad (2.11)$$

$$\Phi(z) = \frac{2\pi \cdot f}{(1 - z^{-1}) \cdot f_{REF}} \quad (2.12)$$

最後再將式 2.10 代入式 2.12 即可得到式 2.13，也就是和差調變器量化雜訊對相位頻率檢測器輸入端所造成的相位雜訊量。

$$S_{\Delta\theta}(z) = \frac{\left| (1 - z^{-1})^3 \right|^2 \cdot f_{REF}}{12} \times \left[\frac{2\pi \cdot f}{(1 - z^{-1}) \cdot f_{REF}} \right]^2 = \frac{\left| (1 - z^{-1})^3 \right|^2}{\left| (1 - z^{-1}) \right|^2} \times \frac{\pi^2}{3 f_{REF}} \quad (2.13)$$

再利用式 2.13 乘上參考訊號源對輸出端相位的轉移函式，就可得到和差調變器量化雜訊對輸出端的影響。

$$S_{\theta,\Delta\theta}(f) = \left[\frac{(2\pi)^2}{12 f_{REF}} \left[2 \text{SIN} \left(\frac{\pi \cdot f}{f_{REF}} \right) \right]^{2(L-1)} \right] \times |T(f)|^2 \quad (2.14)$$

$|T(f)|$ 為此雜訊所看到的鎖相迴路轉移函式

在此由於我們考慮相位雜訊規格都在 1MHz、3MHz、6MHz 的高頻率範圍，所以我們可以作出式 2.15 和 2.16 這兩個假設式

$$|T(f)|^2 \cong \left(\frac{f_c}{f} \right)^{2m}$$

其中 m 為鎖相迴路的階數 (2.15)

$$SIN\left(\frac{\pi \cdot f}{f_{REF}}\right) \cong \left(\frac{\pi \cdot f}{f_{REF}}\right) \quad (2.16)$$

將此近似結果代入式 2.14, 並把式 2.14 左右皆取 $10\log$ 之後可得到式 2.17

$$10\log(S_{\theta,\Delta\Sigma}(f)) \approx 10\log\left(\frac{2\pi^{2L}}{12} \left(\frac{1}{f_{REF}}\right)^{2L-1} \cdot f_c^m\right) - 20(m-L+1)\log(f) \quad (2.17)$$

其中 L 為和差調變器的階數, m 為迴路濾波器階數

經由式 2.17 我們可以做兩個觀察, 第一個觀察是: 若希望和差調變器的量化雜訊在輸出端會隨著頻率的上昇而減少 (意即 $(m-L+1)$ 要為正數), 則迴路濾波器的階數必須要大於或等於和差調變器的階數。在穩定度與雜訊整型能力的考量下, 本論文選擇三階的和差調變器, 因此迴路濾波器必須要用三階, 才能抑制和差調變器的量化雜訊。

第二個觀察是: 首先我們把式 2.17 做移項整理, 可得到式 2.18

$$f_{C,MAX} = (S_{\theta,\Delta\Sigma}(f)) \cdot \frac{12}{2\pi^{2L}} \cdot f_{REF}^{2L-1} \cdot f^2 \Big)^{\frac{1}{2L}} \quad (2.18)$$

其中 f_c 為閉迴路的頻寬

由上式可得知, 在所要求達到的相位雜訊規範中 $(S_{\theta}, \Delta\Sigma)$, 閉迴路的頻寬是有上限的, 在此最理想的狀態下, 閉迴路的頻寬至少要不小於 200KHz, 如此才不會光只有和差調變器的量化雜訊就超出了我們規格的規範。

2.3.3 壓控振盪器相位雜訊

在討論壓控振盪器的雜訊量前, 首先我們必須確定要使用何種架構的壓控震盪器, 由於無線通訊系統, 對於相位雜訊的要求很嚴苛, 所以本論文選擇使用電感電容產生共振所形成的電壓控制振盪器, 而針對此種架構底下會討論其雜訊量。

電壓控制振盪器的輸出訊號, 可以利用式 2.19 作代表

$$V_{out}(t) = A(t) \cdot f(\omega_0 t + \varphi(t)) \quad (2.19)$$

其中 $\varphi(t)$ 和 $A(t)$ 皆是時間的方程式，而此方程式 $f(\cdot)$ 是 2π 週期訊號。

因為 $\varphi(t)$ 是頻率的函數，所以貢獻相位雜訊 $L(\Delta\omega)$ [9]，此相位雜訊的表示式由下式可知：

$$L_{phase}(\Delta\omega) = 10 \cdot \log \left[\frac{P_{sideband}(\omega + \Delta\omega, 1\text{Hz})}{P_{carrier}} \right] = L(\Delta\omega) \quad (2.20)$$

其中 $P_{sideband}(\omega + \Delta\omega, 1\text{Hz})$ 代表量測頻寬為 1Hz，且離訊號載波位移 $\Delta\omega$ 所量到的訊號功率。當我們假設此系統為線性非時變系統時，上述的相位雜訊模型可改寫為

$$\begin{aligned} L(\Delta\omega) &= 10 \log \left\{ \frac{2FkT}{P_s} \cdot \left[1 + \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \cdot \left(1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \right\} \\ &= 10 \log \left\{ \frac{2FkT}{P_s} \cdot \left[1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} + \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right] \right\} \end{aligned} \quad (2.21)$$

其中第一部分為 DC 雜訊，第二部分為元件 $1/f$ 的閃爍雜訊(flicker noise)

$\left(\frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right)$ ，第三部分 $\left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2$ 是電阻電容電感槽的雜訊，第四項

$\left(\frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right)$ 元件 $1/f$ 的閃爍雜訊和電阻電容電感槽的雜訊的合併

項，F 是一個經驗參數(通稱為 “device excess noise number”)，k

是波茲曼常數，T 是絕對溫度， P_s 是電阻性部分的平均功率耗損， ω_0 是振

盪頻率， $\Delta\omega$ 是距主要載波的偏移頻率(offset frequency)，最後一項

$\Delta\omega_{1/f^3}$ 是 $1/f^3$ 和 $1/f^2$ 兩區域的分界頻率。

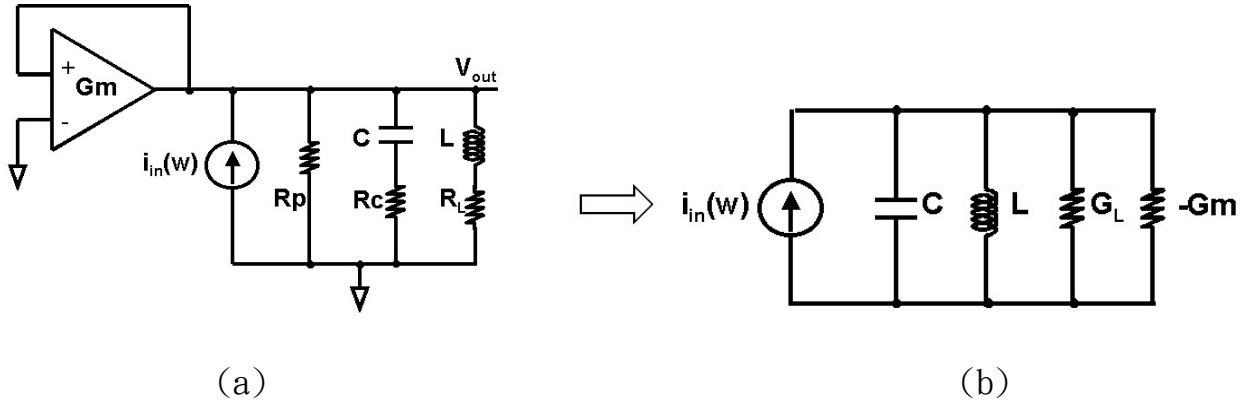


圖 2.7 (a) 一個電感電容壓控振盪器的等效圖 (b) 共振腔等效模型

圖 2.7 顯示出電感電容壓控震盪器的模型，此模型可以推導出在 $1/f^2$ 區域的相位雜訊，假設 $\Delta\omega \ll \omega_0$ ，並參考圖 2.8 的模形，我們可以得到

下列式子：

$$\begin{aligned}
 Y(\omega_0 + \Delta\omega) &= Y_L = G_L + jB_L \\
 &= G_L + jG_L \cdot \tan d\varphi \\
 &= G_L + jG_L d\varphi \\
 &= G_L + jG_L \cdot 2 \cdot \left(\frac{\omega_0}{2} \frac{d\varphi}{d\omega} \right) \cdot \frac{d\omega}{\omega_0} \\
 &= G_L + j2G_L Q_L \cdot \frac{d\omega}{\omega_0}
 \end{aligned}$$



從圖 2.8(b)

由於 $d\varphi \ll 1$

$$\text{定義 } Q_L = \frac{\omega_0}{2} \frac{d\varphi}{d\omega}$$

$$Z(\omega_0 + \Delta\omega) = \frac{1}{Y(\omega_0 + \Delta\omega)} = \frac{1}{G_L} \cdot \frac{1}{1 + j2Q_L \frac{\Delta\omega}{\omega_0}} \quad (2.23)$$

其中 G_L 為共振腔的寄生電阻。

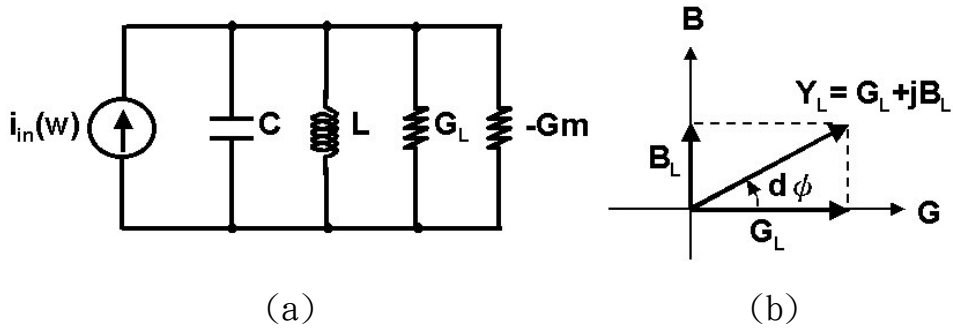


圖 2.8 (a)簡化的 RLC 振盪器 (b)共振腔的轉導

當穩定的振盪時，式 2.23 的實數部分會等於零，而 RLC 振盪器虛數部分的轉導為下面所示：

$$Y(\omega_0 + \Delta\omega) = j2G_L Q_L \frac{\Delta\omega}{\omega_0} \quad (2.24)$$

圖 2.8 的閉迴路的轉移函數其虛部的阻抗為

$$H(\Delta\omega) = \frac{1}{Y(\omega_0 + \Delta\omega)} = \frac{1}{j2G_L Q_L \frac{\Delta\omega}{\omega_0}} = -j \frac{1}{G_L} \cdot \frac{\omega_0}{2Q_L \Delta\omega} \quad (2.25)$$

所以等效閉迴路並聯共振腔的均方根電流密度為 $\overline{i_n^2} = 4FkTG_L \Delta f$ ，使用上述

等效的電流雜訊功率，在 $1/f^2$ 區域的頻譜可以下式所算：

$$\begin{aligned} L(\Delta\omega) &= 10 \log \left(\frac{\overline{v_{noise}^2}}{\overline{v_{signal}^2}} \right) \\ &= 10 \log \left(\frac{\frac{1}{2} \cdot |H(\Delta\omega)|^2 \cdot \overline{i_n^2} / \Delta f}{\frac{1}{2} \cdot V_{max}^2} \right) = 10 \log \left(\frac{2FkT}{P_s} \cdot \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right) \end{aligned} \quad (2.26)$$

式 (2.26) 為一個通式，以此式子可以探討圖 2.5(a) 的 RLC 電路，並推出相位雜訊為下式：

$$L(\Delta\omega) = 10 \log \left(\frac{kT \cdot R_{eff} [1 + A] \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2}{V_{max}^2 / 2} \right) \quad (2.27)$$

此處的 $R_{eff} = R_L + R_C + \frac{1}{R_p(C\omega_0)}$ ，A 是另一個經驗參數。

2.3.4 充電泵與迴路濾波器相位雜訊

圖 2.9 所示為充電泵與迴路濾波器的等效架構，我們可以從架構圖中知道充電泵的主要雜訊來源是來自上下兩顆尾端電流源(Tail Current Source)，而上下電流源通常分別是由 NMOS 和 PMOS 所提供，因此這兩顆電晶體就成為主要的雜訊來源，我們可以參考[10]的雜訊模型，而推導出雜訊表示式：

$$\frac{\overline{i^2}}{\Delta f} = 4KTgm + \frac{KF_n \cdot gm_n^2}{W_n L_n C_{OX} \cdot f^{AF_n}} + \frac{KF_p \cdot gm_p^2}{W_p L_p C_{OX} \cdot f^{AF_p}} \quad (2.28)$$

其中第一項： $4KTgm$ 為通道阻抗的雜訊，第二項： $\frac{KF_n \cdot gm_n^2}{W_n L_n C_{OX} \cdot f^{AF_n}}$ 為 NMOS 的

閃爍雜訊(flicker noise)，第三項 $\frac{KF_p \cdot gm_p^2}{W_p L_p C_{OX} \cdot f^{AF_p}}$ 為 PMOS 的閃爍雜訊。

而公式中所需的元件參數如表格 2.3 所示：

	KF	AF	W/L
NMOS	6.71e-25uS	0.849624V ² F	8/2
PMOS	7.94e-26uS	0.96485 V ² F	32/2

表格 2.3 參數列表

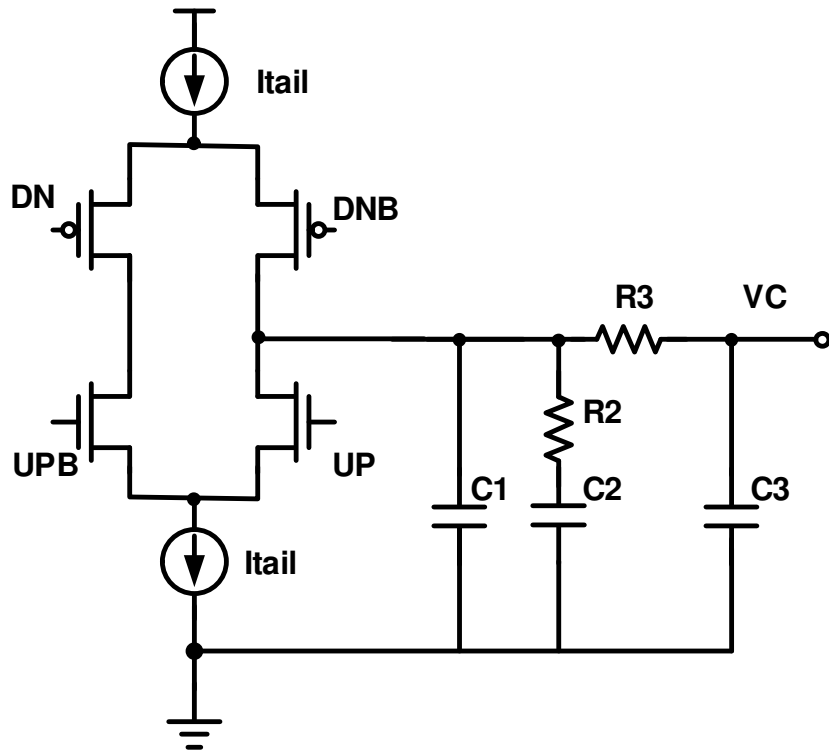


圖 2.9 充電泵與迴路濾波器的等效架構圖

而迴路濾波器的雜訊來源主要是電阻的熱雜訊，如式 2.29

$$\overline{\frac{i_m^2}{\Delta f}} = \frac{4KT}{R_2} + \frac{4KT}{R_3} \quad (2.29)$$

最後我們可以將充電泵與迴路濾波器的雜訊以電流雜訊的形式加在一起考量，如式 2.30：

$$\overline{\frac{i_n^2}{\Delta f}} = 4KTg_m + \frac{KF_n \cdot g_{mn}^2}{W_n L_n C_{ox} \cdot f^{AF_n}} + \frac{KF_p \cdot g_{mp}^2}{W_p L_p C_{ox} \cdot f^{AF_p}} + \frac{4KT}{R_2} + \frac{4KT}{R_3} \quad (2.30)$$

從式 2.14、2.27 和 2.30 我們了解了和差調變器、壓控振盪器以及充電泵和迴路濾波器的相位雜訊，並且從 2.2 節我們分析了每個雜訊源所看到的轉移函數，將兩者相乘即可得到各雜訊在輸出端的影響量，以此我們可以進一步搭配規格來分析訂定一些鎖相迴路的參數，在下節中進行討論。

2.4 鎖相迴路閉迴路頻寬與充電泵電流設計

首先我們先決定鎖相迴路的閉迴路頻寬，由 2.1 節我們可以知道頻率合成器對於相位雜訊的規範主要是在偏移中心載波頻率 1MHz 到 6MHz 的地方，而在這一個偏移頻率下，雜訊主要的來源會是從壓控震盪器與和差調變器所產生，理由如下。由於充電泵與迴路濾波器雜訊所看到的轉移函數是低通函數，所以在該偏移頻率下的雜訊會被鎖相迴路本身濾掉，但是壓控震盪器看到的是高通的轉移函數，所以其雜訊無法被濾掉；而和差調變器的量化雜訊雖然看到的是低通轉移函數[11]，但由於和差調變器的雜訊整形特性會使該量化雜訊有高频增益的現象，所以也是一個主要的雜訊源。為了決定一個最佳的閉迴路頻寬，我們利用 Matlab 來模擬在不同的迴路頻寬下，這兩個雜訊源在輸出端的雜訊影響量，如圖 2.10。

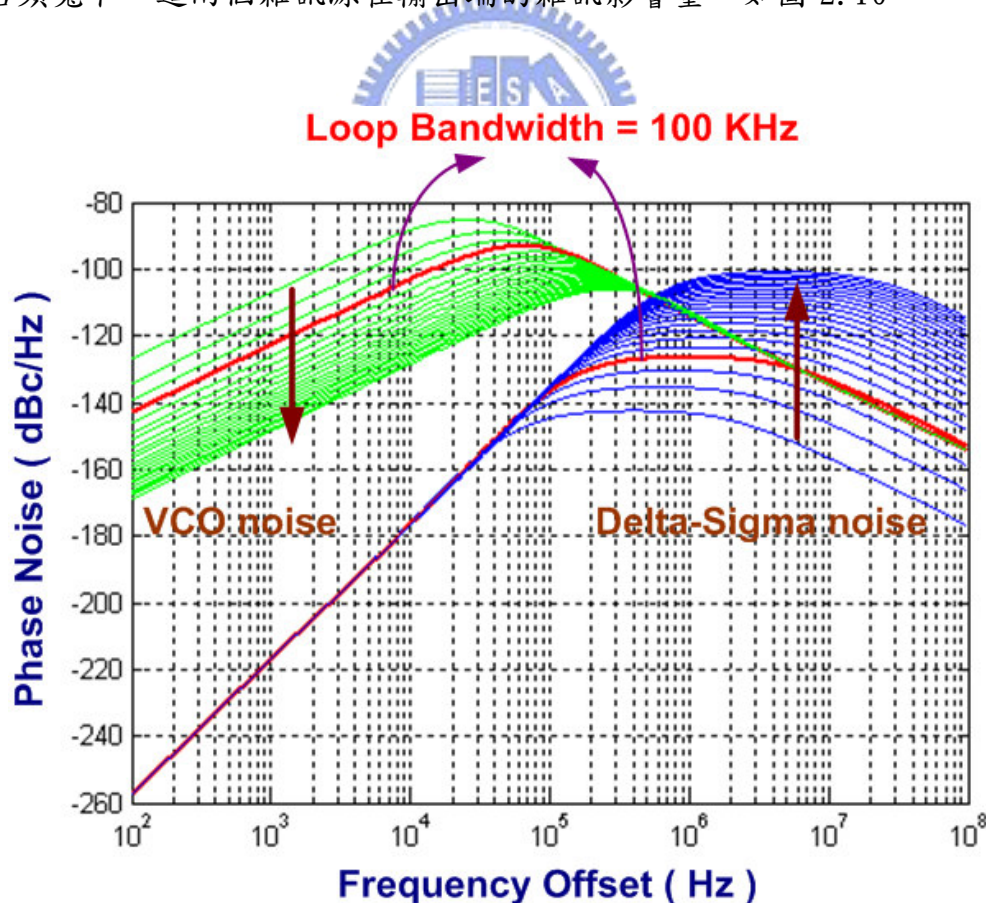


圖 2.10 迴路頻寬對壓控振盪器與和差調變器雜訊的影響

此圖的箭頭方向代表增加迴路頻寬雜訊變化的趨勢，我們可以發現當迴路頻寬上升時，壓控振盪器看到的高通 3dB 頻率往外移，因此在迴路頻寬內的雜訊量被壓抑往下降但高頻率偏移的地方雜訊不會隨頻寬改變而變化；相反的和差調變器看到的低通迴路頻寬上升，因此造成頻寬內雜訊向上昇。最後我們會先訂定 壓控振盪器在 1MHz 時的相位雜訊要做到 -113dBc 以下，並以和差調變器的雜訊不超過壓控振盪器成為主要雜訊來源的原則下，盡量增加迴路頻寬（以取得鎖定時間上的好處）。最後如圖 2.10 所示，我們會訂定閉迴路頻寬為 100KHz。

接下來決定充電泵的電流大小，我們一樣將充電泵所造成的雜訊乘上所看到的低通轉移函數可以得到在輸出端的雜訊，利用 Matlab 來模擬不同的充電泵電流下，輸出端的雜訊變化，結果如圖 2.11 所示。

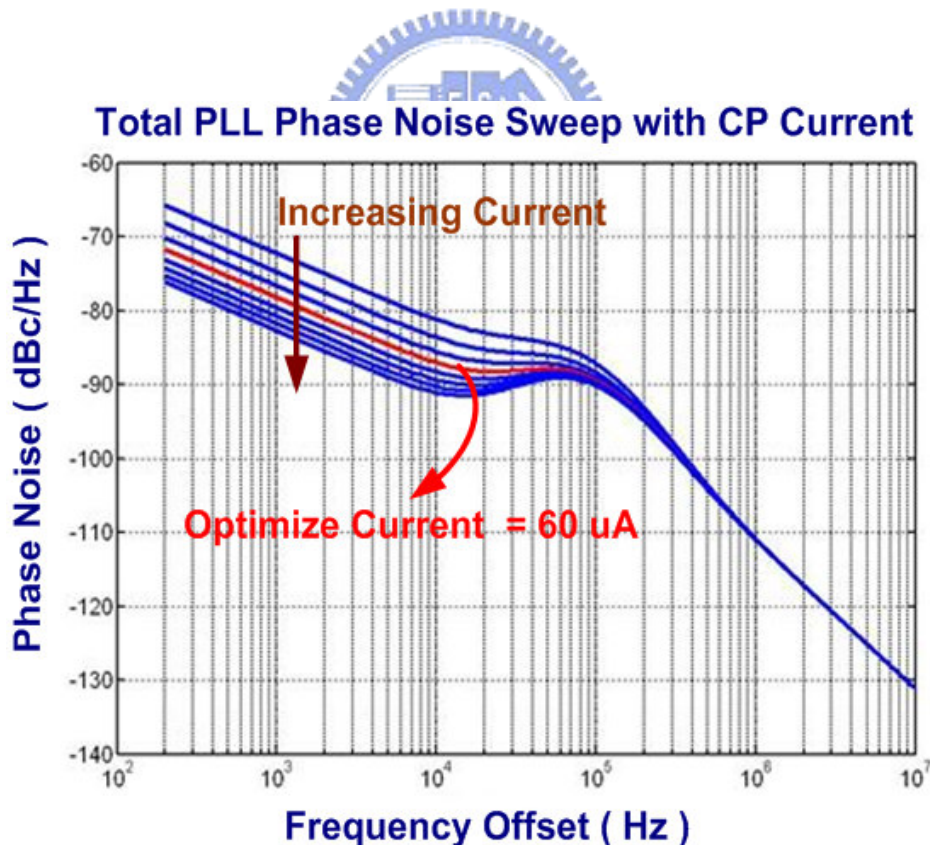


圖 2.11 不同充電泵電流下輸出雜訊的變化

圖 2.11 的箭頭表示增加充電汞電流，輸出雜訊變化的趨勢，我們可以發現充電汞的電流愈大則輸出端相位雜訊愈低，最後在符合我們規格的要求並且不消耗過多的功率下，決定充電汞的電流為 60uA。

2.5 迴路濾波器設計與鎖相迴路穩定度分析

首先經由 2.3.2 小節的推導可以知道為了要抑制三階和差調變器的量化雜訊，鎖相迴路的迴路濾波器必須要使用三階。圖 2.12 為三階迴路濾波器的架構圖。由於輸入是充電汞的電流，輸出是控制電壓，所以我們會先推導迴路濾波器的轉阻 $Z(s)$ ，如式 2.31 所示。

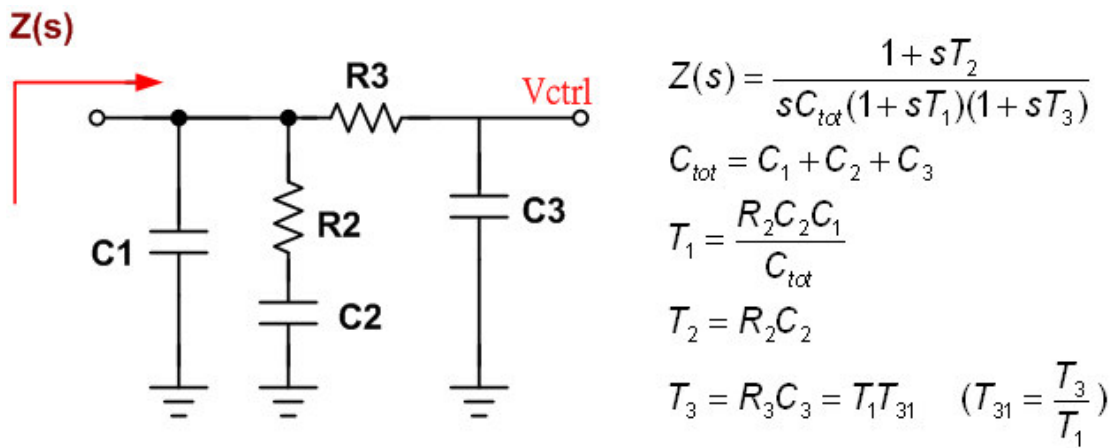


圖 2.12 三階迴路濾波器

式 (2.31) 轉移函數 $Z(s)$

推導迴路濾波器各個元件值的過程如下，首先我們希望在開迴路增益為單位增益 (unit gain) 時，擁有最大的相位邊限 (phase margin) 所以可以推知在單位增益頻率 (unit gain frequency ω_c) 時，開迴路轉移函數的相位對頻率之微分要為零，如式 2.32 所示。

$$\begin{aligned} \frac{d\phi}{d\omega} \Big|_{\omega=\omega_c} &= \frac{d}{d\omega} \angle \left[\frac{1}{N} \cdot \frac{k_{VCO}}{s} k_{PFD} \cdot Z(s) \right] \Big|_{\omega=\omega_c} = 0 \\ \Rightarrow \frac{d}{d\omega} \left[\tan^{-1}(T_2\omega) - \tan^{-1}(T_1\omega) - \tan^{-1}(T_3\omega) \right] \Big|_{\omega=\omega_c} &= 0 \quad (2.32) \\ \Rightarrow \frac{\omega_c T_2}{1 + \omega_c^2 T_2^2} - \frac{\omega_c T_1}{1 + \omega_c^2 T_1^2} - \frac{\omega_c T_1 T_{31}}{1 + \omega_c^2 T_1^2 T_{31}^2} &= 0 \end{aligned}$$

由於開迴路轉移函數零點的位置必定小於另外兩個非零的極點位置（有兩個極點在零，分別由壓控振盪器與迴路濾波器貢獻），如此才能利用零點來提供相位邊限，因此可以做式 2.33 的假設

$$T_2 \geq T_1 + T_3 \quad T_2 \cong \frac{1}{\omega_c^2 (T_1 + T_3)} \quad (2.33)$$

T_1 可經由幾何函數轉換求得為式 2.34 所示。

$$T_1 \approx \frac{\sec(\phi) - \tan(\phi)}{(1 + T_{31}) \omega_c} \quad (2.34)$$

最後再利用在單位增益時此時頻率為我們欲設計的單位增益頻率 ω_c ，可以得知式 2.35。

$$C_{tot} = \frac{K_{PFD} K_{VCO}}{\omega_c^2 N} \sqrt{\frac{1 + (\omega_c T_2)^2}{(1 + (\omega_c T_1)^2)(1 + (\omega_c T_3)^2)}} \quad (2.35)$$

如此可設計得到 C1、C2、C3 元件的值。

$$C_1 = C_{tot} \frac{T_1}{T_2} \quad C_3 = \frac{C_1}{5} \quad C_2 = C_{tot} - C_1 - C_3 \quad (2.36)$$

底下是最後所設計的各元件值列表：

Component	C1	C2	C3	R2	R3
Value	43.7 pf	635.3 pf	10.6 pf	10.432K	3.8 K

表 2.4 迴路濾波器元件值列表

設計好迴路濾波器的元件大小後，利用 Matlab 來檢驗開迴路轉移函數是否如我們設計的具有相位邊限大於 60 度的特性，圖 2.13 即為開回路轉移函數的波德圖。從圖中我們可以知道單位增益頻率如我們所設計的為 100KHz (628K rad/s)，而在單位增益頻率時的相位為-120 度，距離-180 度有 60 度的相位邊限。另外為了避免製程變異造成相位邊限降低，利用 Matlab 模擬當電阻變異正負 30%時，相位邊限的變化，如圖 2.14 所示，皆能符合我們對相位邊限的規格。

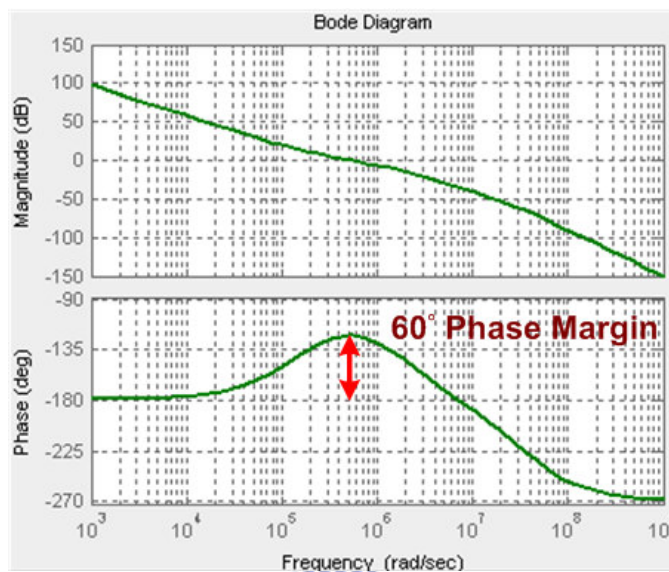


圖 2.13 開迴路轉移函數波德圖

Assume Process variation, Resistor varied +/- 30%,
Phase Margin still greater than 45 degree

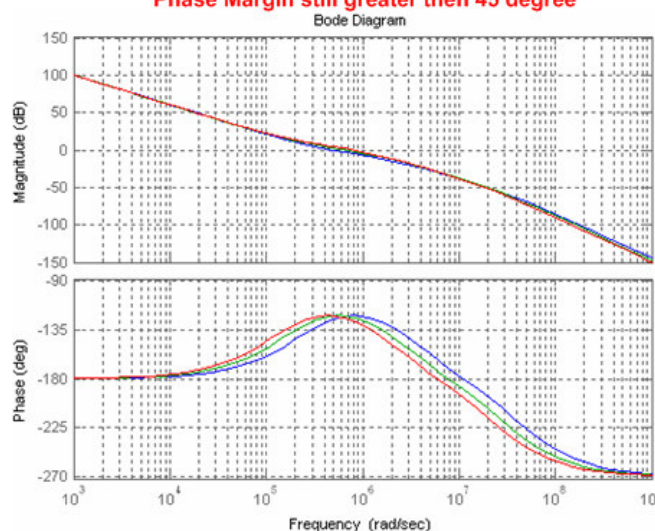


圖 2.14 電阻變異正負 30%，開迴路轉移函數波德圖

第三章

和差調變器

3.1 和差調變器基本原理

和差調變器的應用十分廣泛，舉凡高解析度的類比數位轉換器、數位類比轉換器、非整數頻率合成器…等，都可以運用到和差調變器。和差調變器的特色在具有雜訊整形的能力，能夠將訊號頻寬內的雜訊整形到較高的頻域，進而提高訊號雜訊比。首先我們先介紹和差調變器運用在非整數頻率合成器中的優點。針對非整數頻率合成器而言，非整數的概念其實是一個平均的概念，舉例來說當除數在 100 和 101 之間作變動時，若 100 出現的機率與 101 出現的機率相同，則可以達到除數為 100.5 的效果，換言之輸出的頻率即為參考頻率的 100.5 倍。那麼為何除數在 100 和 100.5 間變動，就可以達成等效除數是 100.5 呢？主要的原因在於除數的變動頻率往往是接近參考頻率（因為除數變動的時脈是利用除頻後的頻率做時脈，而當鎖相迴路鎖定時，除頻頻率幾為參考頻率），由於參考頻率為迴路頻寬的十倍以上，所以當除數在兩個值之間做變動時，輸出的頻率會來不及反應兩個除數所應該對映到的頻率（換言之，輸出頻率並不會快速的在 100 倍參考頻率與 101 倍參考頻率間跳動，而會穩定在 100.5 倍參考頻率上），因此輸出的頻率會在期望值除數所對應到的頻率上。

傳統非整數頻率合成器是利用累加器來控制除數的變化，但由於累加器的輸出序列具有規則性，所以會導致輸出頻率會有很嚴重的諧波現象

(Idle Tone)，而干擾到相鄰頻道。然而利用和差調變器來控制除數變化即可去除此非理想效應，和差調變器的輸出序列是一個近似隨機的序列，但序列的平均值卻是我們可以控制的輸入值，如此我們可以很容易的輸入想要的除數值，而輸出的序列規則性低所以諧波的現象就可以大幅降低。

和差調變器是一種回授型態的系統，如圖 3.1 所示為一個基本的和差調變器架構，主要包含了一個高增益低通濾波器 $H(z)$ 、一個 1 位元的類比數位轉換器、與回授路徑上一個 1 位元的數位類比轉換器。對於這樣一個回授系統，可以發現雜訊的來源是類比數位轉換器中的量化雜訊，而訊號 $X(z)$ 與雜訊 $E(z)$ 對輸出端 $Y(z)$ 的影響如式 3.1 所示。

$$Y(z) = \frac{H(z)}{1+H(z)} X(z) + \frac{1}{1+H(z)} E(z)$$

$$NTF = \frac{1}{1+H(z)}$$
(3.1)

其中我們定義訊號轉移函數 (Signal Transfer Function) 為：

$$STF = \frac{H(z)}{1+H(z)}$$

雜訊轉移函數 (Noise Transfer Function) 為：

$$NTF = \frac{1}{1+H(z)}$$

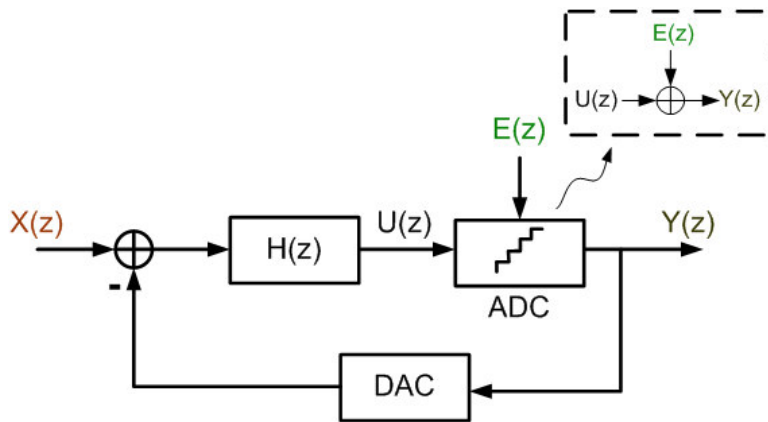


圖 3.1 和差調變器基本架構

分析兩個轉移函數可以發現訊號轉移函數為低通方程式，而雜訊轉移函數為高通方程式，因此和差調變器可以讓訊號通過，並將雜訊整形到高频。當應用在頻率合成器中時，此高频雜訊就會被迴路濾波器所濾除。

3.2 和差調變器架構

和差調變器依其雜訊整形的能力有分低階和差調變器與高階和差調變器，低階和差調變器泛指一階或二階的和差調變器，其優點就是穩定性高，但是缺點是雜訊整形的能力較弱，輸出序列不夠隨機，容易造成諧波；而三階以上的和差調變器為高階和差調變器[12]，優點是雜訊整形能力較高，因此頻帶內的訊雜比（SNR）也較高，輸出序列較隨機，缺點是卻會有穩定性的問題必須要小心設計。高階的和差調變器中又有分兩種架構，一種是高階多級雜訊整形架構（Multi-Stage Noise Shaping, "MASH"）；一種是高階單級雜訊整形架構（Single-Stage Structure）。以下幾小節將會分別介紹之。

3.2.1 一階和差調變器

圖3.2為一階和差調變器的架構，輸入訊號為 $X(z)$ ，輸出訊號為 $Y(z)$ ，經過量化器後所造成的量化雜訊為 $E(z)$ ，經過推導得到輸出訊號表示式如下： $Y(z) = Z^{-1}X(z) + (1 - Z^{-1})E(z)$ ；其中訊號轉移函數為 $STF = Z^{-1}$ ；雜訊轉移函數為 $NTF = (1 - Z^{-1})$ 。

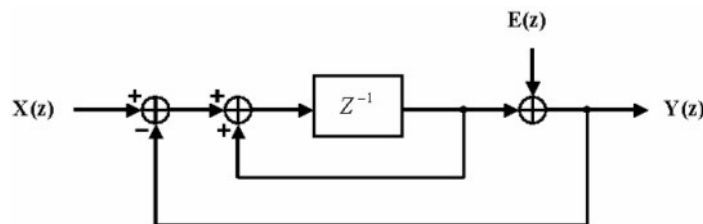


圖 3.2 一階和差調變器架構

因此輸出訊號為一個經過時間延遲的輸入訊號再加上一個經過高通濾波器的量化雜訊。圖3.3為雜訊轉移函數的波德圖，從圖中可知其以20dB/dec的斜率將雜訊往高頻推，因此在信號頻寬內的雜訊與沒做雜訊整形前相比有大幅的衰減。接下來分析一階和差調變器的峰值信號雜訊比(Peak SNR)。

一階和差調變器輸出的雜訊功率為：

$$P_{NOISE} = \int_{-fb}^{fb} e_{RMS}^2 |1 - Z^{-1}|^2 df = \frac{LSB^2 \pi^2}{12 \cdot 3} \left(\frac{2fb}{fs}\right)^3 = \frac{LSB^2 \pi^2}{12 \cdot 3} \left(\frac{1}{OSR}\right)^3$$

其中fb為信號頻寬(Signal Bandwidth)，fs為取樣頻率(Sampling Frequency)，OSR為過取樣比值(Oversampling Ratio)。

可推導出峰值信號雜訊比(PSNR)為：

$$PSNR = \frac{P_{SIGNAL}}{P_{NOISE}} = 6.02b + 1.76 - 5.17 + 30 \log(OSR) \text{ (dB)}$$

所以過取樣比值OSR每變為二倍，峰值信號雜訊比PSNR就可增加9dB，即增加1.5 bits的解析度。

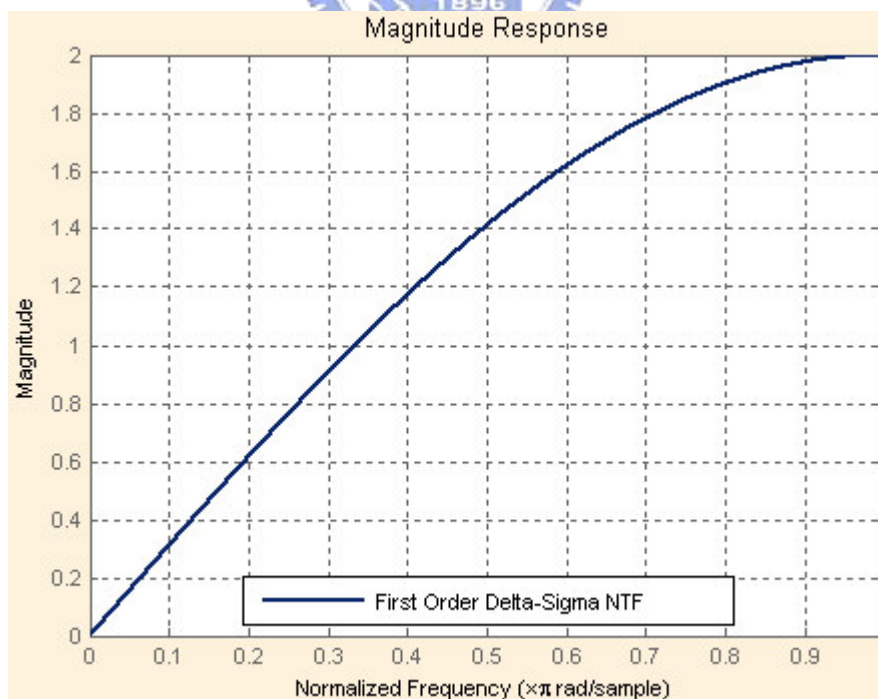


圖 3.3 一階和差調變器雜訊轉移波德圖

3.2.2 二階和差調變器

圖3.4為二階和差調變器的架構圖，其輸出轉移函數為：

$$Y(z) = Z^{-2}X(z) + (1 - Z^{-1})^2 E(z)$$

其中信號轉移函數 $STF = Z^{-2}$ ，雜訊轉移函數 $NTF = (1 - Z^{-1})^2$ 。圖3.5為二階和差調變器與一階和差調變器雜訊轉移函數波德圖的比較，二階的雜訊轉移函數的頻譜斜率為40dB/dec，為一階的兩倍，因此能更進一步壓低信號頻寬內的雜訊，但是在高頻地區的雜訊則較一階大，故相對而言需要更高階的迴路濾波器來濾除高頻的量化雜訊。

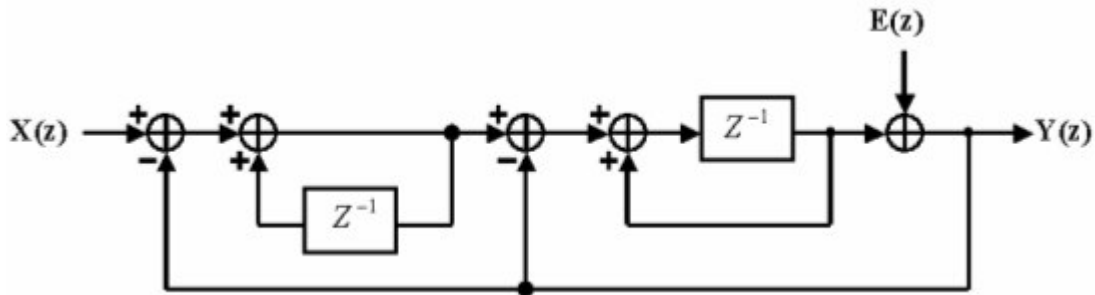


圖 3.4 二階和差調變器架構

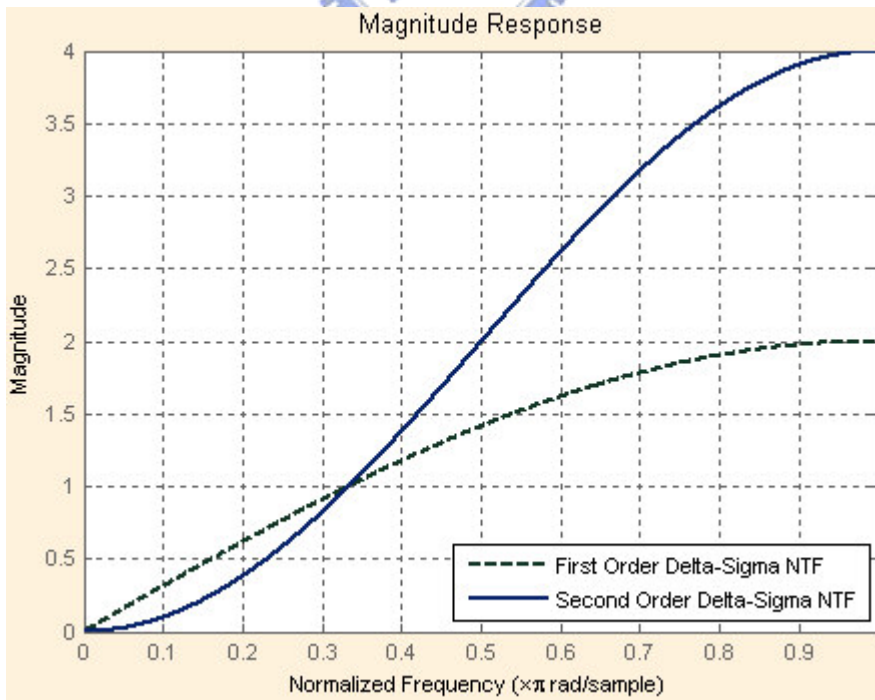


圖 3.5 二階與一階雜訊轉移函數波德圖比較

二階和差調變器輸出的雜訊功率為：

$$P_{NOISE} = \int_{-fb}^{fb} e_{RMS}^2 |(1-Z^{-1})^2| df = \frac{LSB^2}{12} \frac{\pi^4}{5} \left(\frac{1}{OSR}\right)^5$$

導出峰值信號雜訊比(PSNR)為

$$PSNR = 6.02b + 1.76 - 12.9 + 50 \log(OSR) \text{ (dB)}$$

所以過取樣比值OSR每變為二倍，峰值信號雜訊比PSNR就可增加15dB，即增加2.5 bits的解析度。

3.2.3 高階和差調變器

三階以上的和差調變器稱為高階和差調變器，其雜訊轉移函數 $NTF = (1-Z^{-1})^N$ ，N為調變器的階數。圖3.6為一階、二階、三階與四階和差調變器的雜訊轉移函數NTF頻譜。經由比較可看出，階數愈高的和差調變器，其量化雜訊在低頻的信號頻帶內被抑制的愈低，所以擁有較好的信號雜訊比。

階數愈高的和差調變器，愈能將雜訊推往高頻。我們可導出N階和差調變器的峰值信號雜訊比為

$$PSNR = 6.02b + 1.76 - 10 \log\left(\frac{\pi^{2N}}{2N+1}\right) + 10(2N+1) \log(OSR) \text{ (dB)}$$

所以對於N階和差調變器，過取樣比值OSR每變為二倍，峰值信號雜訊比PSNR就可增加(6N+3)dB，即增加(N+0.5) bits的解析度。高階和差調變器的缺點是容易產生不穩定(Instability)的狀態，所以高階和差調變器的輸入動態範圍(Input Dynamic Range)小於低階和差調變器。高階和差調變器又分為兩種架構，一種是高階多級雜訊整形架構(Multi-Stage Noise Shaping, "MASH")；一種是高階單級雜訊整形架構(Single-Stage Structure)，以下兩小節介紹之。

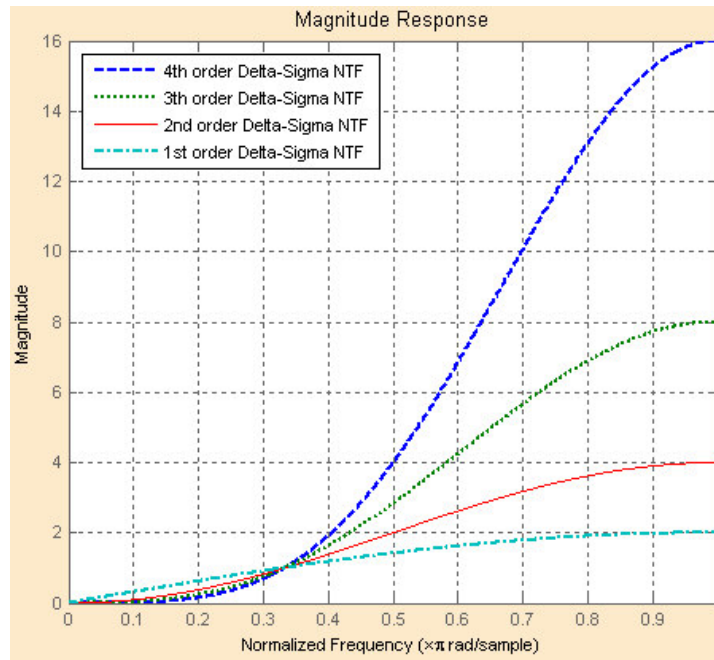


圖 3.6 一到四階雜訊轉移函數波德圖比較

3.2.4 高階單級和差調變器與高階多級和差調變器

高階和差調變器又可以分為兩種形式的架構，一種是高階多級雜訊整形架構 (Multi-Stage Noise Shaping, "MASH")；一種是高階單級雜訊整形架構 (Single-Stage Structure)。首先先介紹高階多級雜訊整形架構的原理，圖3.7所示為一個高階多級雜訊整形架構的和差調變器，由於每一級僅有一階的積分器，因此系統必然會穩定。其原理主要是將第一級和差調變器所產生的量化誤差再送入第二級和差調變器加以量化，該量化結果將經一階微分以提升其至原始輸入訊號之準位，並將其迴授至第一級的輸出，以抵銷第一級和差調變器之量化誤差。同樣，第二級的量化誤差將送入第三級和差調變器進行量化，再將量化結果經第二階微分提升準位後迴授至第一級輸出，以抵銷第二級所產生的量化誤差。因此，訊號經由三級一階 (MASH 1-1-1) 和差調變器之量化，便能夠有效地抑制訊號頻寬內的量化雜訊。而此架構之系統轉移函數由下列的推導可知如下：

第一級的輸出轉移函式
$$N_1(Z) = (1 - Z^{-1})Q_1(Z) + input$$

第二級的輸出轉移函式：
$$N_2(Z) = -(1-Z^{-1})Q_1(Z) + (1-Z^{-1})^2 Q_2(Z)$$

第三級的輸出轉移函式：
$$N_3(Z) = -(1-Z^{-1})^2 Q_2(Z) + (1-Z^{-1})^3 Q_3(Z)$$

所以可得到一個結論：
$$Output = input + (1-Z^{-1})^3 Q_3(Z)$$

因此我們可發現輸出的轉移函式與高階單級和差調變器的轉移函式相同，所以可知這兩種架構具有相同的雜訊整形能力。

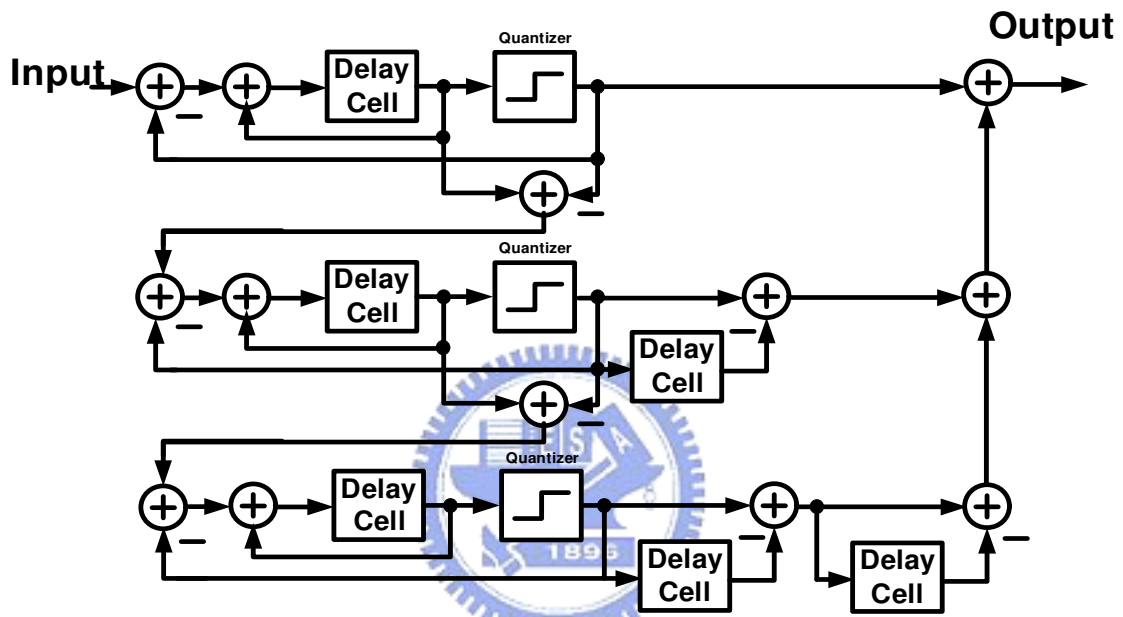


圖 3.7 高階多級雜訊整形架構和差調變器 (MASH)

高階單級和差調變器架構如圖3.8所示，其優點是輸出的位階較集中，因此對於頻率合成器中充電汞的非線性效應較不敏感，因此在頻率合成器輸出端的相位雜訊表現會比較好，但是缺點是容易有不穩定的現象，必須小心設計。從圖3.8的架構中可以發現在前饋路徑 (Feed Forward Path) 上會加入一些增益，如此我們可以對這個迴路的轉移函數加以設計，以提高迴路穩定性。此種架構的訊號轉移函數如下式所示：

訊號轉移函數：
$$STF = \frac{\sum_{i=1}^n a_i (z-1)^{n-i}}{(z-1)^n + \sum_{i=1}^n a_i (z-1)^{n-i}}$$
 ; 雜訊轉移函數：
$$NTF = \frac{(z-1)^n}{(z-1)^n + \sum_{i=1}^n a_i (z-1)^{n-i}}$$

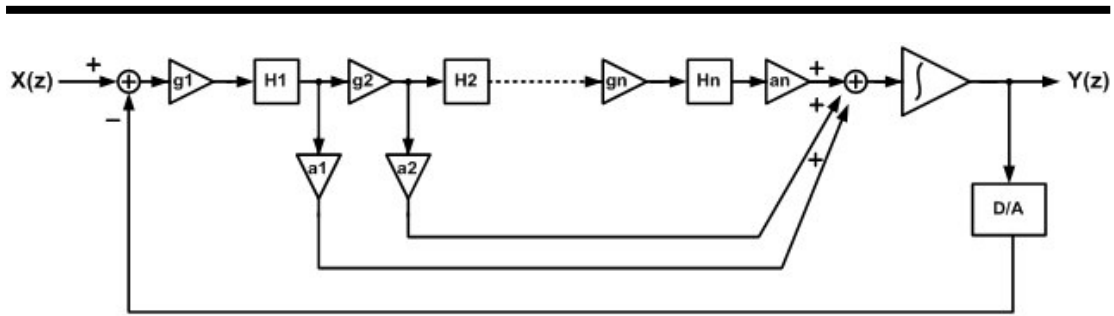


圖3.8 前饋高階單級串接和差調變器架構

經由以上討論可知，雖然多級雜訊整形的架構(MASH)，可以確保系統的穩定性，但在本論文中並不會選擇此架構，我們可以在最近幾年所發表的論文[6]中得知，雖然兩者對雜訊整形能力相同，但兩種架構的輸出位階分佈卻是不同的。這一點可以利用MATLAB來進行模擬，先假設使兩種架構的雜訊整形能力相同，也就是使用三級一階的和差調變器，和一級三階的和差調變器來比較，此二種架構都會產生下列數學函式：

$$Output = input + (1 - Z^{-1})^3 Q(Z)$$

也就是此二種架構都對量化雜訊有60dB/dec的雜訊整形能力，在此情況下，同時產生一組相同平均數的輸出，來觀察二者輸出位階的變化，模擬圖形如下圖3.9a與3.9b所示。可發現多級雜訊整形架構的輸出位階分佈較散，且位階變化較大，因此對於充電汞非線性效應較敏感，所以最後我們會選擇一級三階的前饋和差調變器架構。

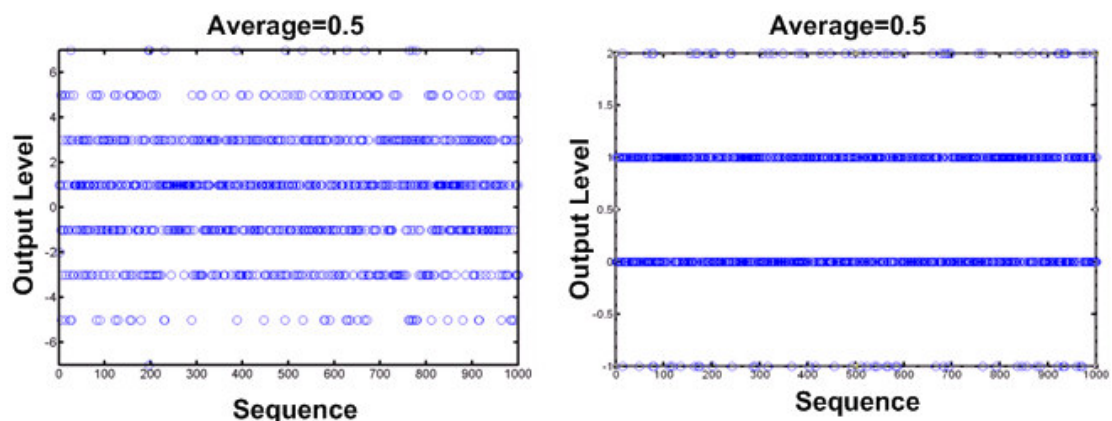


圖 3.9(a)MASH和差調變器輸出位階 (b) 1級3階和差調變器輸出位階

3.3 諧波與加入雜訊擾動

諧波 (Idle Tone) 是指在和差調變器的輸出頻譜上，某些固定的頻率產生我們不要的干擾頻率，而諧波的生成原因可由以下例子來說明：假設有一個一階和差調變器，其量化器為一位元，輸出位階為 ± 1 。若此和差調變器的輸入為一個固定值 $1/3$ ，則輸出會產生 $\{1, 1, -1, 1, 1, -1, \dots\}$ 的連續資料序列以達到平均值是 $1/3$ ，觀察輸出序列可以發現資料每三筆就會再重覆一遍，因此在和差調變器輸出頻譜上頻率為 $(F_s/3)$ 的地方就會產生諧波。

諧波不僅產生於高頻的部分，也會產生於低頻的信號頻帶 (Signal Band) 內。高頻的諧波可由鎖相迴路的迴路濾波器所濾除，但低頻的則無法用迴路濾波器消除。而且對於調變器的輸入為DC時，諧波的現象更為明顯。為了消除諧波，採用的方法為加入雜訊擾動 (Dithering)。雜訊擾動會使和差調變器輸出序列的週期性拉長，如此輸出序列很久才會重複一次，就能將諧波所在的頻率提高，使諧波能夠被鎖相回路所濾掉，而不會產生在頻率合成器的輸出端影響我們的頻道。此外要注意的一點是，加入的雜訊擾動要很小，以避免影響和差調變器輸出的平均值。

圖3.10所示為比較加入雜訊擾動與不加入雜訊擾動的和差調變器輸出端頻譜，可以發現若不加入雜訊擾動，在輸出端會有很嚴重的諧波現象；而加入雜訊擾動則可以抑制諧波。而諧波到底對頻率合成器有什麼影響呢？圖3.11為比較加入雜訊擾動與不加入雜訊擾動的頻率合成器輸出端頻譜，可以發現如果不加入雜訊擾動，諧波就會造成頻率合成器輸出端有許多的分數型突波 (Fractional Spur)；若是加入雜訊擾動，則能消除諧波，進而消除分數型圖波，其中3.11(b)有一個小突波為參考突波 (Reference Spur)，所在頻率為參考頻率20MHz上。

除了加入雜訊擾動之外，經由設計和差調變器的量化位階，也可以使輸出資料序列的重複性降低，進而降低諧波。舉例來說，當和差調變器的

輸入逼近其輸出的量化位階時，該特定的位階出現次數就會明顯增加，因此輸出序列的重複性就會增加，諧波就會出來；解決的方式為圖3.12所示，和差調變器的位階不是連續的，而是相差1，如此當我們要實現N這組數字時，會避免使用此組量化位階，而改用N+1和N-1這兩組位階來產生N，這樣輸出序列就不會是N一直出現，而是N+1和N-1交替出現來達成平均N，因此週期性將不會那麼明顯。

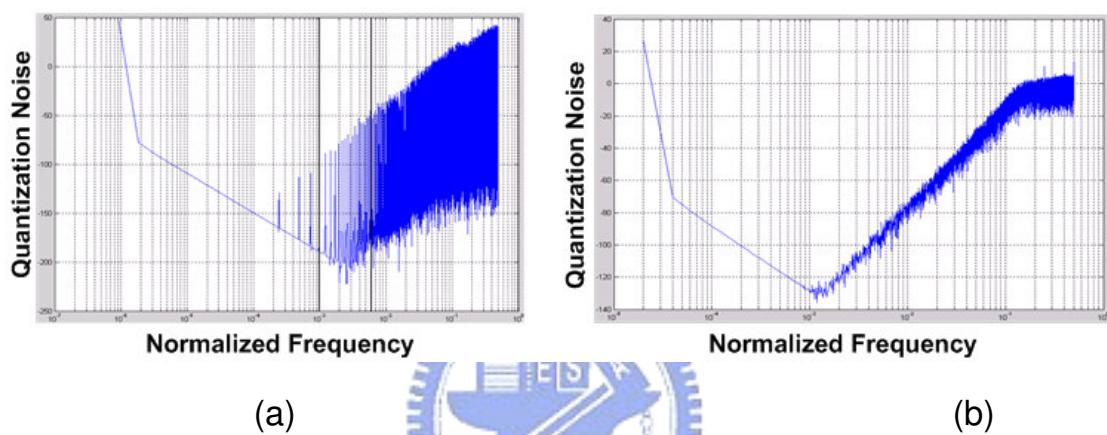


圖 3.10 和差調變器輸出頻譜 (a)未加入雜訊擾動 (b)加入雜訊擾動

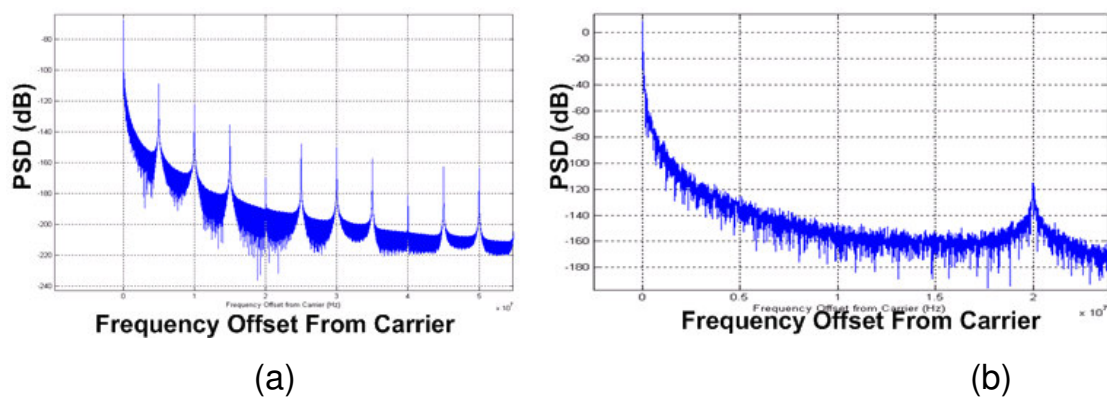


圖 3.11 頻率合成器輸出頻譜 (a)未加入雜訊擾動 (b)加入雜訊擾動

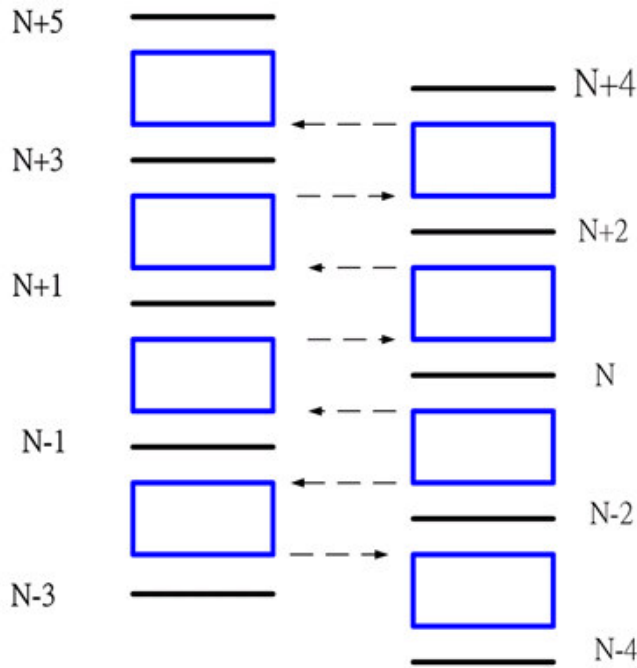


圖 3.12 量化位階分佈圖

3.4 和差調變器電路架構

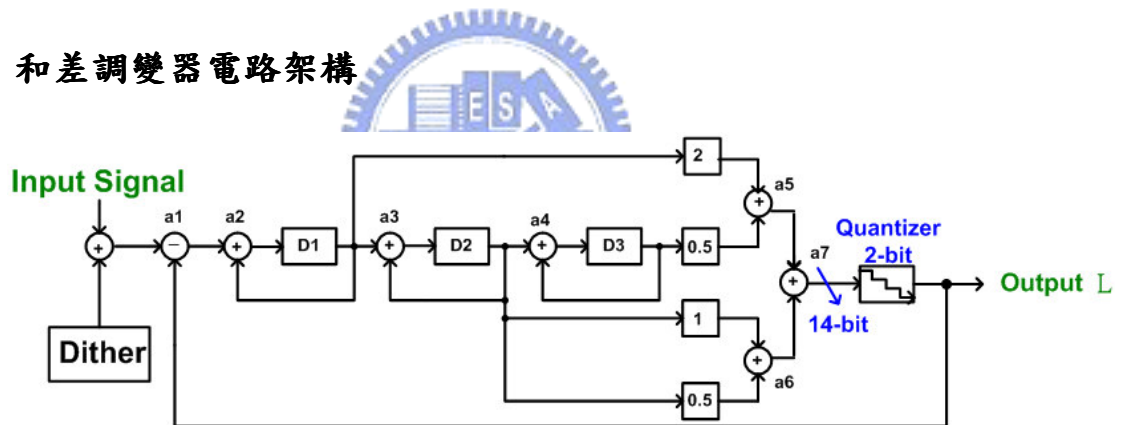


圖 3.13 兩位元三階和差調變器

圖3.13所示為本論文所使用的兩位元三階和差調變器電路架構，串接三個一級的和差調變器來達成三階的雜訊整形能力，由於此種架構容易有不穩定的情形，所以我們會在前饋路徑（Feed Forward Path）上加入增益，設計其轉移函數以確保穩定，底下為設計過程。假設前饋路徑上的增益分別為A1、A2和A3，可導出其雜訊轉移函數為：

$$NTF = \frac{(Z-1)^3}{(Z-1)^3 + A1(Z-1)^2 + A2(Z-1) + A3}$$

其為一高通方程式，可經由改變增益A1、A2和A3設計雜訊轉移函數

的極點。在本設計中，將雜訊轉移函數設計為三階高通巴特沃斯濾波器 (Butterworth Filter)。這是因為高通巴特沃斯濾波器的低Q值極點能減低高頻雜訊的能量，使得和差調變器的輸出範圍與變化量較小，令鎖相迴路有較佳的相位雜訊。三階高通巴特沃斯濾波器的轉移函數如下：

$$T(s) = \frac{S^3}{S^3 + 2S^2 + 2S + 1}$$

使用雙線性轉換(Bilinear Transform)將三階高通巴特沃斯濾波器由S領域轉換至Z領域。雙線性轉換為：

$$S = \frac{fs}{\pi \cdot fb} \cdot \frac{Z-1}{Z+1}$$

其中fb為角頻率(Corner Frequency)，fs為取樣頻率(Sampling Frequency)。在本設計中，令fb=0.18 x fs，所以經由比較係數可得前饋路徑增益為：

$$A1=2.0008$$

$$A2=1.6020$$

$$A3=0.4902$$



為了數位乘法電路設計的便利性，對係數作簡化，得到增益為：

$$A1=2$$

$$A2=1.5$$

$$A3=0.5$$

由圖3.13的和差調變器電路架構中可知，主要的電路單元是加法器電路、單位延遲電路 (Unit Delay Cell)，量化器與加入雜訊擾動電路 (Dither)，以下分別介紹。首先加法器是使用邏輯閘所構成的架構，假設輸入為A、B與Ci，輸出為總和S與進位Co，則經由真值表可以知道S與Co能表示成：

$$S = A \oplus B \oplus C_i$$

$$C_o = \bar{A}B C_i + A\bar{B} C_i + A B \bar{C}_i + A B C_i$$

由於加法器的操作速度要求並不高，因此就直接利用靜態邏輯來構成加法器電路。單位延遲電路即為D型正反器，其電路架構如圖3.14所示，利用兩級反相器作串接即可保持輸出端的邏輯準位，並利用時脈去控制傳送開關（Transmission Gate），來達成輸出單位延遲的效果。

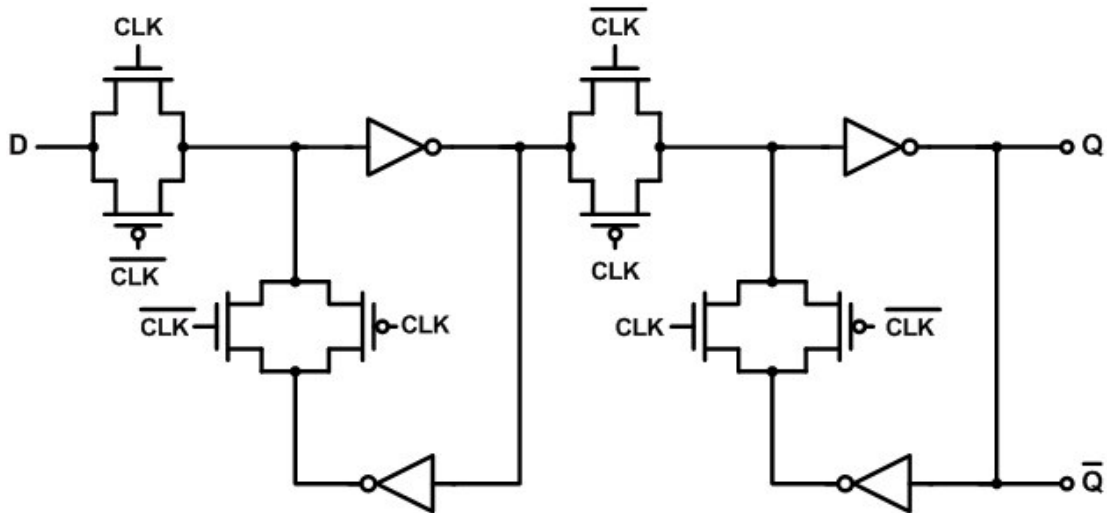


圖3.14 D型正反器

量化器的電路亦是用數位邏輯來達成，由於量化器有兩位元，所以必須要能判別四個位階，在我的設計中這四個位階分別為-1024、0、1024、2048，因此要判斷這四個位階其實只需要看量化器的輸入中最大的四個位元（bit13、12、11、10），其中MSB是正負數位元（Sign Bit），而藉由位元12、11、10的值即可判斷輸入是在這四個位階的何者，列出真值表再化為靜態邏輯，如此即可用簡單的數位電路達成量化器。最後整個和差調變器共使用了七個加法器，為了避免加法器溢位（Overflow）的問題，加法器的位元數必須要比十位元大，底下為所使用之加法器列表：

A1	A2	A3	A4	A5
13Bit	13Bit	13Bit	13Bit	14Bit
A6	A7	Input Range	Quantizer	Frequency Resolution
14Bit	14Bit	256~756	2Bit	1/1024

由上述列表可知若位元數為13位元，則該加法器能夠表示正負4095之間的數；而位元數若為14位元，則夠表示正負8191之間的數。為了確保加法器不會發生溢位，利用MATLAB來做系統模擬，跑超過一萬五千筆資料，觀察這七個加法器的值是否會超出我們所使用的位元數所能表示的值，模擬結果如下圖3.15所示：

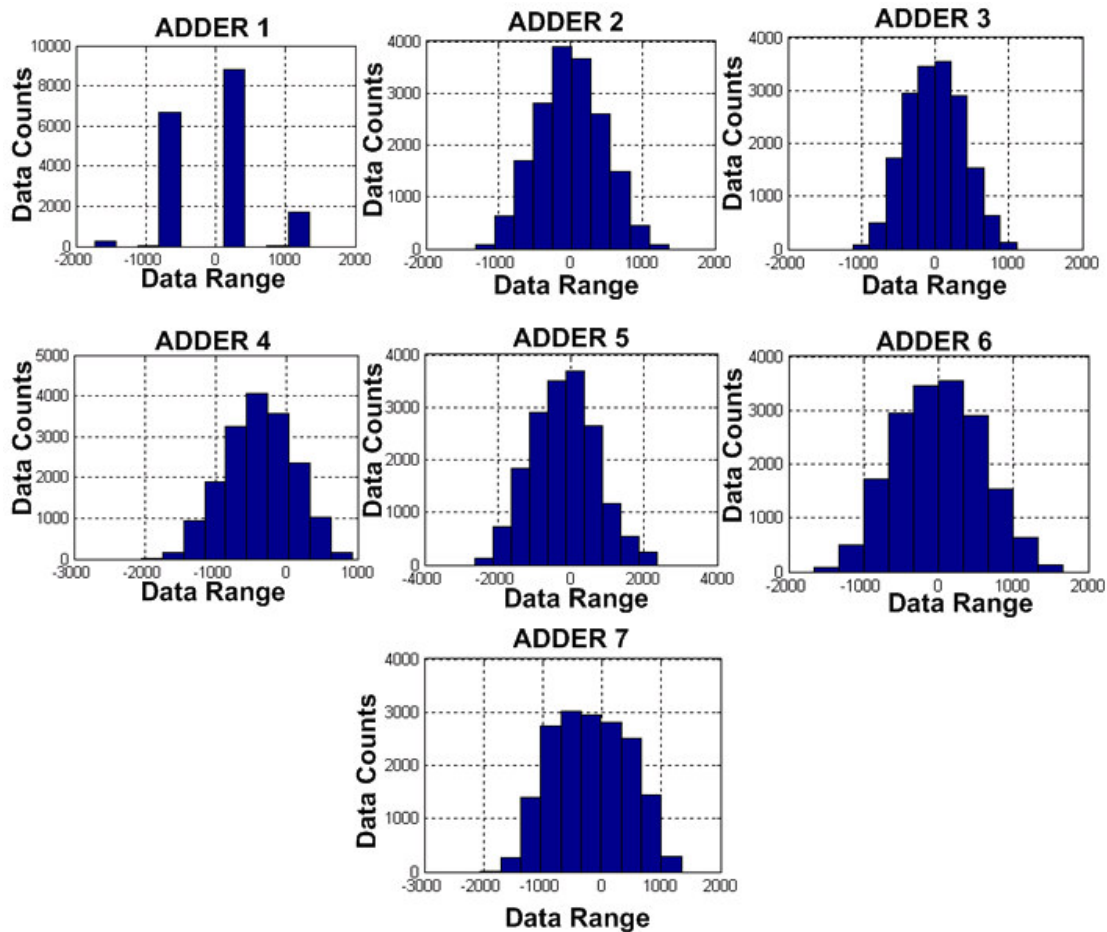


圖 3.15 七個加法器之輸出分佈圖

由模擬圖可知七個加法器的輸出皆在其位元數能表示的範圍內，因此不會發生溢位的現象。

在乘法器的設計上，我們採用移位(Shifter)的架構，降低電路設計的複雜度。乘2的電路為邏輯左移(Logical Left Shift)一位元，乘0.5的電路為算數右移(Arithmetic Right Shift)一位元，乘1.5的電路為本身加上算數右移一位元，如此即能達成乘法的動作。

3.5 和差調變器穩定性分析與電路模擬結果

高階和差調變器的優點為有較佳的信號雜訊比(SNR)，缺點為容易發生不穩定的問題。為了分析和差調變器的穩定性，我們將量化器的增益訂為K，可得到雜訊轉移函數為

$$NTF = \frac{K(Z-1)^3}{(Z-1)^3 + K \times A1(Z-1)^2 + K \times A2(Z-1) + K \times A3}$$

再由根軌跡圖(Root Locus)分析系統是否穩定。若和差調變器為穩定，根(Roots)必須落於單位圓(Unity Circle)之內。圖3.18為本二位元三階和差調變器的根軌跡圖。在正常情形K=1時，根在單位圓之內，所以和差調變器為穩定的。但當 $0 \leq K \leq 0.5$ 時，根落於單位圓之外，所以此時產生有條件不穩定(Conditional Unstable)。

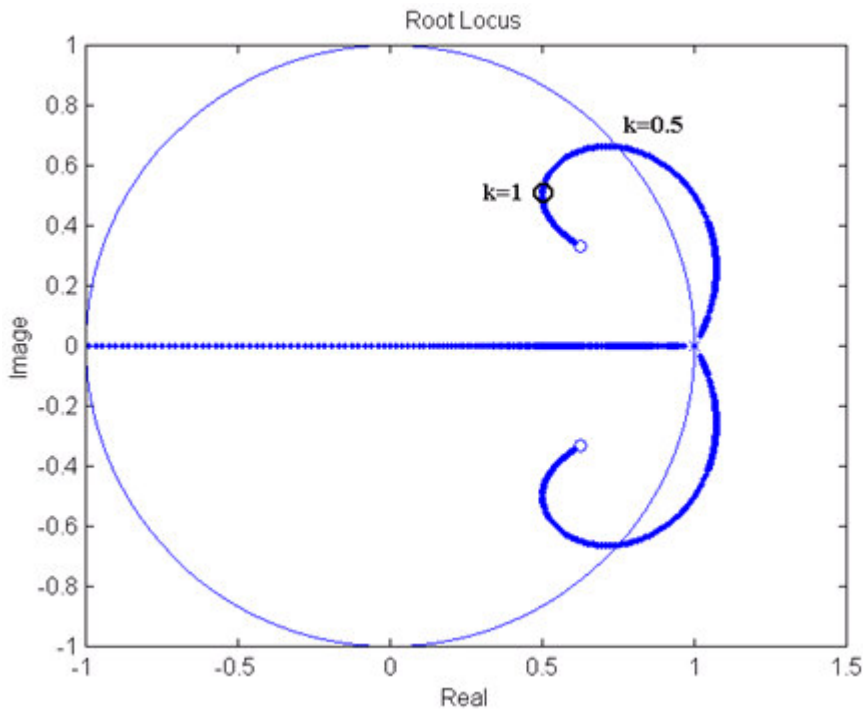


圖3.16 二位元三階和差調變器根軌跡圖

要探討在有條件不穩定時，和差調變器是否依然維持穩定，採用的方法是判斷和差調變器是否產生溢位的情形，經由上節的討論可以知道七個加法器皆無發生溢位情形，因此可確保和差調變器是穩定的。

我們會利用 **MATLAB Simulink** 來進行和差調變器的行為模擬 (Behavior Simulation)，並利用 **HSPICE** 來進行電晶體層面的電路模擬。圖3.17所示為 **MATLAB Simulink** 的模擬結果，分別是輸入值為0.5與0.25時，和差調變器的輸出位階分佈，可以發現當輸入值是0.5時，輸出主要的位階是在0和1之間跳動，以達到平均是0.5；而當輸入值是0.25時，可以發現輸出位階中，-1的量增加了，以讓輸出平均值下降為0.25。圖3.18則是利用 **HSPICE** 所作的電路模擬，一樣是觀察輸入值為0.5與0.25時，輸出位階的變化，可以發現與 **MATLAB Simulink** 的模擬結果是相同的。

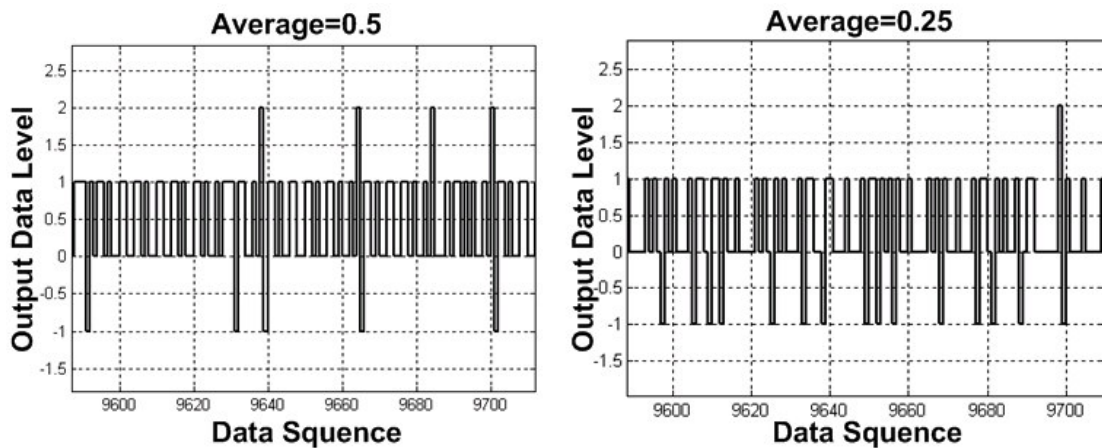


圖 3.17 利用 **MATLAB Simulink** 所做的和差調變器模擬結果

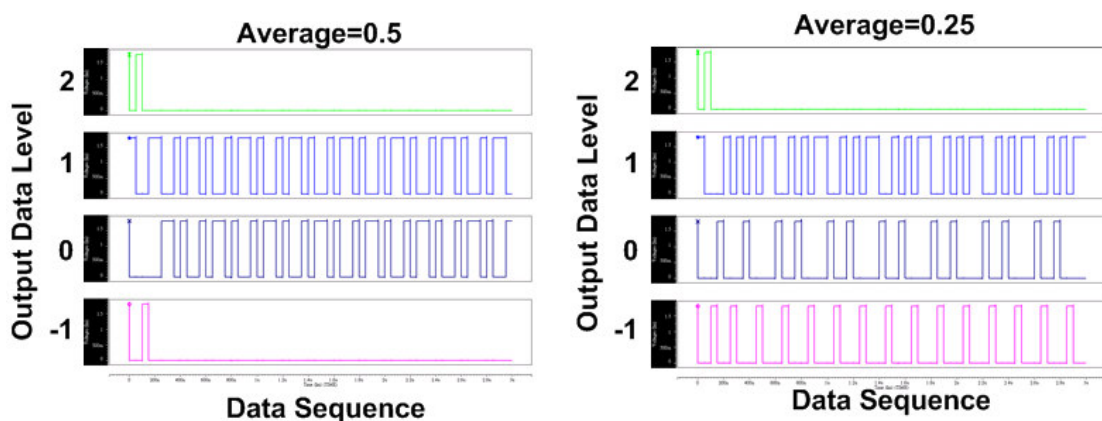


圖 3.18 利用 **HSPICE** 所做的和差調變器模擬結果

第四章

直接頻移發射器系統設計

4.1 系統背景與規格

無線產品的使用在最近幾年內一直迅速增加，也因此發展了許多新系統來滿足這快速成長的市場。而這些新系統的發展皆有一些共同目標，例如：功率、面積、價錢及能否整合射頻發射端電路或是接收端電路...等，都成為評估新系統是否具有價值的指標。圖4.1所示為傳統的射頻發射機架構，頻率合成器產生精確的載波頻率，藉由混波器與基頻的資料作混波，將基頻的資料上傳到射頻頻帶。我們可以發現在這樣的架構中，會需要一個使用在中頻且具有高Q值低雜訊、低失真的帶通濾波器，與高線性度的混波器，也因為上述的原因，造成此種架構較難與基頻數位電路達到整合。

圖4.2所示為直接頻移發射機的系統架構，在此種架構中，基頻的訊號會直接去控制頻率合成器的除頻器除數變化，進而使的輸出端的頻率發生變化，而達到頻率調變的功能。圖4.3為頻率調變示意圖，當基頻端資料作0、1的變化時，會使的頻率合成器的除數在對應到的兩個除數值間作變化，並使的輸出頻率做快慢的變化。比較直接頻移發射器架構與傳統射頻發射器架構，可以發現在硬體上少了對混波器與帶通濾波器的需求，整個系統僅需要以鎖相迴路為基礎的頻率合成器，與解析度高能表示分數的數位除頻器，即可完成頻率調變的功能，因此直接頻移發射器的架構能夠與基頻的數位電路高度整合，並且由於大部分電路可以數位電路方式實現，

因此能夠大幅節省系統的功率消耗。基於這些理由，我們會選擇直接頻移發射器作為本論文實現的架構。

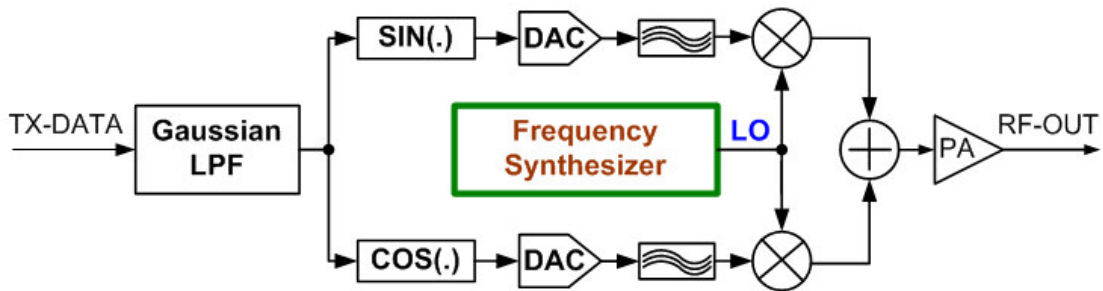


圖 4.1傳統射頻發射機架構

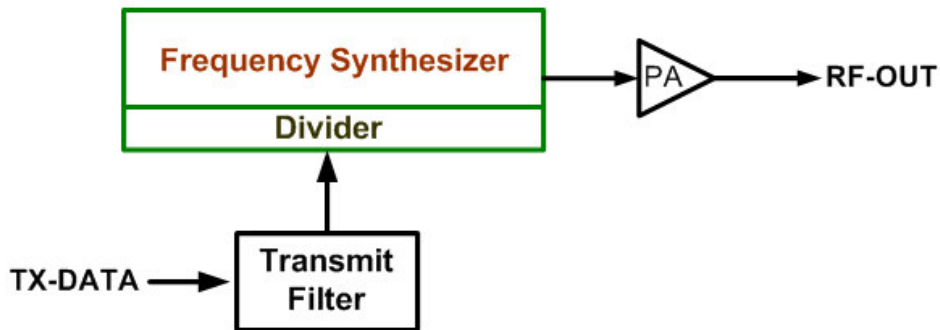


圖 4.2直接頻移發射機架構

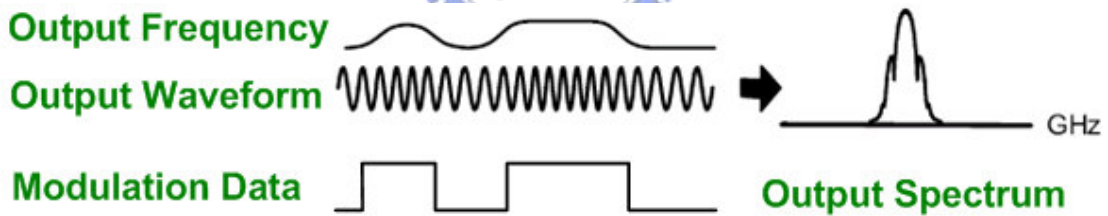


圖 4.3頻率調變示意圖

在直接頻移發射器的系統設計上，我們主要是針對藍芽系統做設計，首先先來看藍芽系統的發射器規格。

Parameter	Value	Comment
Frequency		
Band	2.4-2.4835 GHz	
Channel spacing	1 MHz	
Accuracy	+/- 75 kHz	

Modulation

Type	GFSK (BT=0.5)	
Freq. deviation	+/- 140 – 175 kHz	Mod. Index 0.28 0.35
Burst bit rate	1 Mbit/s	
Minimum freq. deviation	115 kHz	

Transmitter

Spurious emission	FCC Part 15.247c	
In-band	-20 dBc	@ +/- 550 kHz
	-20 dBm	N-M =2
	-40 dBm	N-M ≥ 3
Out-of-band	-36 dBm	30 – 1000 MHz
	-30 dBm	1 – 12.75 GHz
	-47dBm	1.8 – 1.9 GHz
	-47dBm	5.15 – 5.3 GHz

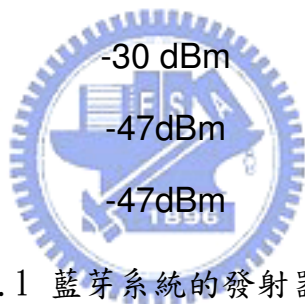


表 4.1 藍芽系統的發射器規格

4.2 直接頻移發射器系統架構

由上一節可以知道在直接頻移系統中，傳輸的資料是直接控制除頻器除數的變化，如圖4.4所示，由於藍芽系統的調變方式是高斯頻率鍵移（**GFSK**），因此基頻的資料會先經過高斯波形整形濾波器（**Gaussian Pulse Shaping Filter**），將基頻資料整形之後，再經由類比數位轉換器將資料轉成數位碼字送入和差調變器，如此當資料為1時會對應到和差調變器的一個輸入值，換句話說即對應到一個頻率；為0時會對應到和差調變器另外一個輸入值，也就是會對應到另外一個頻率。如此當傳輸資料變化時即可產生頻率調變的效果。

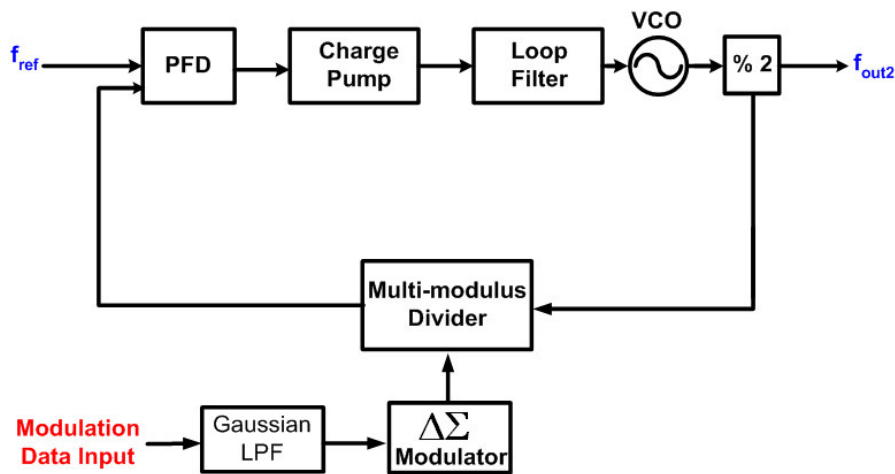


圖 4.4直接頻移發射器系統

在圖4.4的系統中會發生一個問題，即資料傳輸速度無法符合藍芽系統的1Mbit/s規範，原因可以由圖4.5解釋。圖4.5所示是資料在上述系統中所看到的頻域情況，資料在經過高斯波形整形濾波器後送入和差調變器，此時和差調變器的高頻量化雜訊加入，之後資料會看到鎖相迴路的低通轉移函數，第二章有分析為了抑制和差調變器的高頻量化雜訊，鎖相迴路的迴路頻寬訂為100kHz，然而在4.1節中我們知道藍芽系統的資料傳輸速度高達1Mbit/s，資料傳輸速度遠大於我們的迴路頻寬，因此資料將無法傳出去。

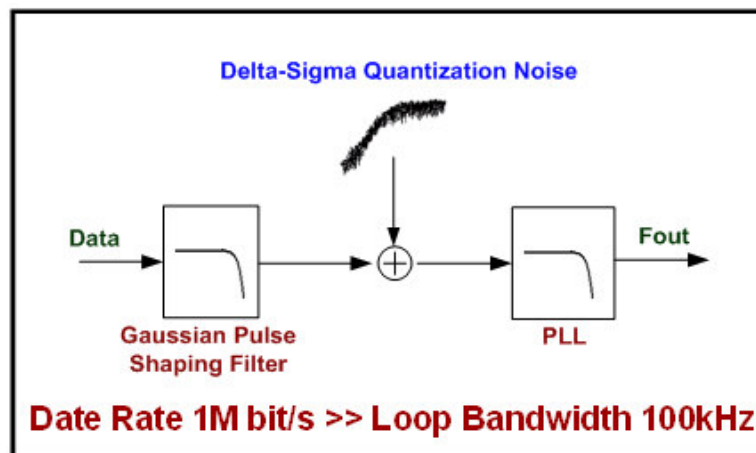


圖 4.5傳輸路徑頻域圖

經由上述討論可以知道，圖4.4的架構會使資料傳輸速度受限於鎖相迴

路的頻寬而無法提升，為了解決這個問題Perrot· []提出了一個方式，如圖4.6所示，在傳輸的資料送入和差調變器之前，加入一個補償濾波器，如此資料所見到的頻域示意圖如圖4.7所示。補償濾波器的功能是預先增益傳輸資料的高頻成分，如此當資料通過鎖相迴路時，已經被增益的高頻成分會再被鎖相迴路的低通特性所抑制，如此負負得正即可讓資料所看到的等效頻寬增加，因此資料傳輸速度即可超過鎖相迴路的迴路頻寬了。

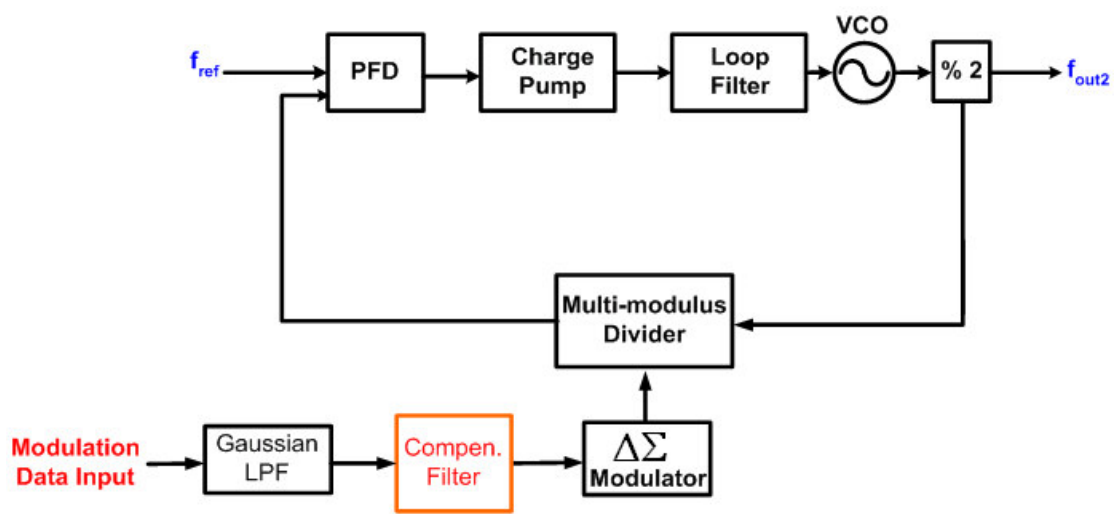


圖 4.6 提高資料傳輸速度的直接頻移發射器架構

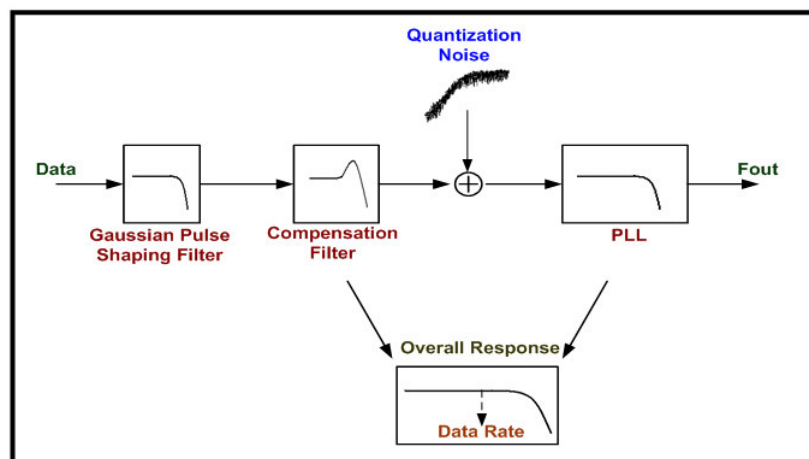


圖 4.7 資料傳輸路徑頻域圖

圖4.8所示即為本直接頻移發射機的系統架構，其中頻率合成器（包

含和差調變器)的部分是實作在晶片當中；而補償率波器與高斯波型整型濾波器是實作在Matlab的Simulink當中，在下一節將會介紹利用Matlab的Simulink建立整個系統模型。

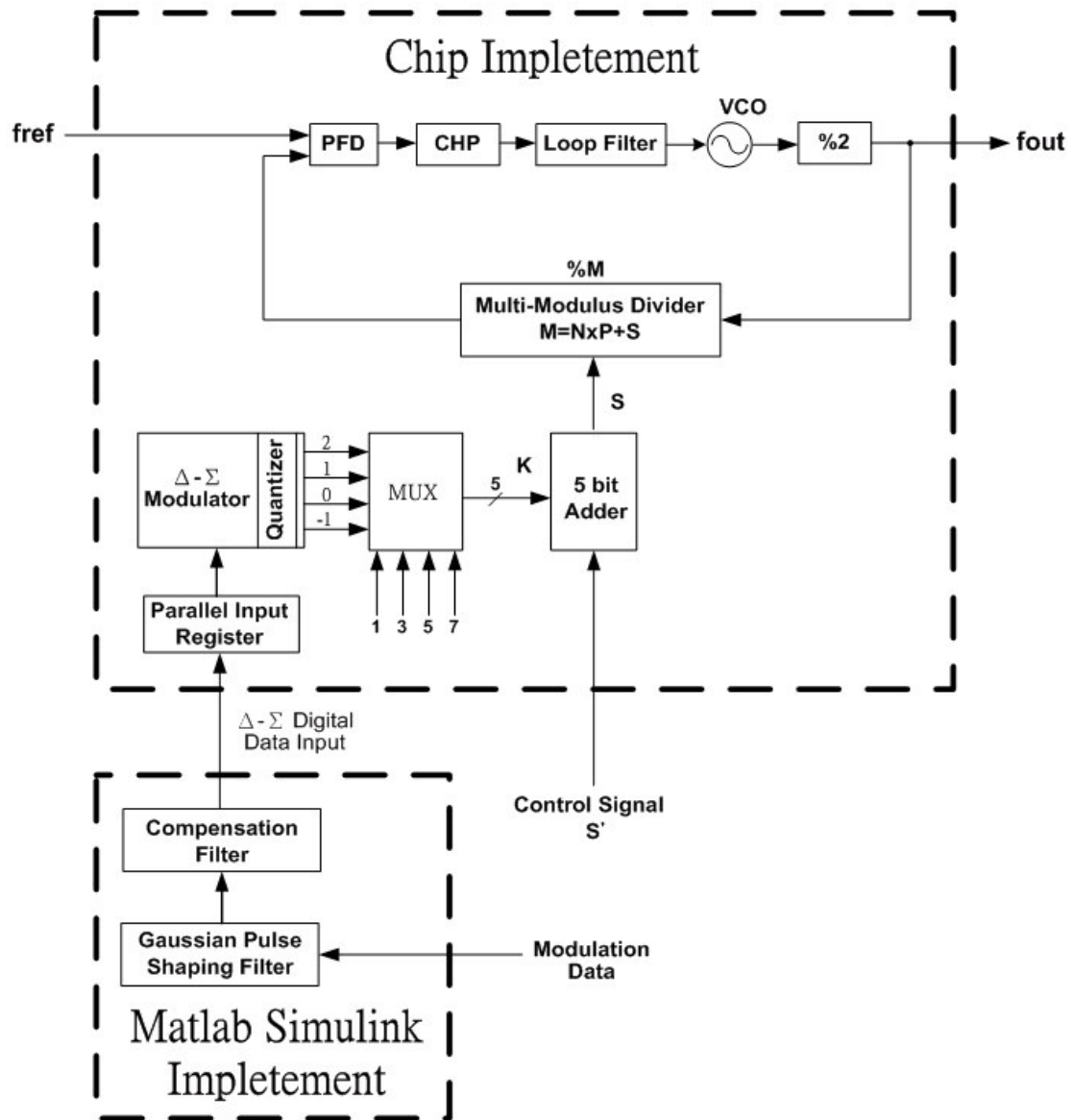


圖 4.8本直接頻移發射機系統架構

4.3 直接頻移發射器系統的模型建立與模擬結果

當利用HSPICE做頻率合成器的電晶體層面（Transistor Level）模擬時，由於模擬的最小時間位階必須要比電路的最高頻率（大部分由壓控振盪器決定）還要快（數量級是幾ps），而光是要觀察到鎖相迴路的鎖定，模擬所設的時間長度就必須要長達幾十或幾百個微秒（ μs ），所以造成電路的模擬往往需要跑好幾天才能看到初步的結果，這是非常沒有效率的。因此為了縮短整體系統的模擬時間，我會利用Matlab的Simulink建立系統的行為模型（Behavior Model），如此在觀測系統的行為時，舉例來說要看到鎖相迴路的鎖定，僅需要不到5秒鐘的時間，大幅提升模擬的效率。除了節省模擬時間的好處外，還可以運用其功能設計數位的濾波器，並且在實作電路之前能夠先行預測加入濾波器對系統造成的影響是否有如我們理論上的推導，底下會先建立鎖相迴路、和差調變器的模型並設計補償濾波器，最後會附上系統模擬的結果。

圖4.9是鎖相迴路的模型，首先參考頻率可以由訊號產生器功能方塊（Function Block）提供，之後送入相頻檢測器，我所使用的三態相頻檢測器是由D型正反器所構成，因此可以直接叫出D型正反器，依照電路的相

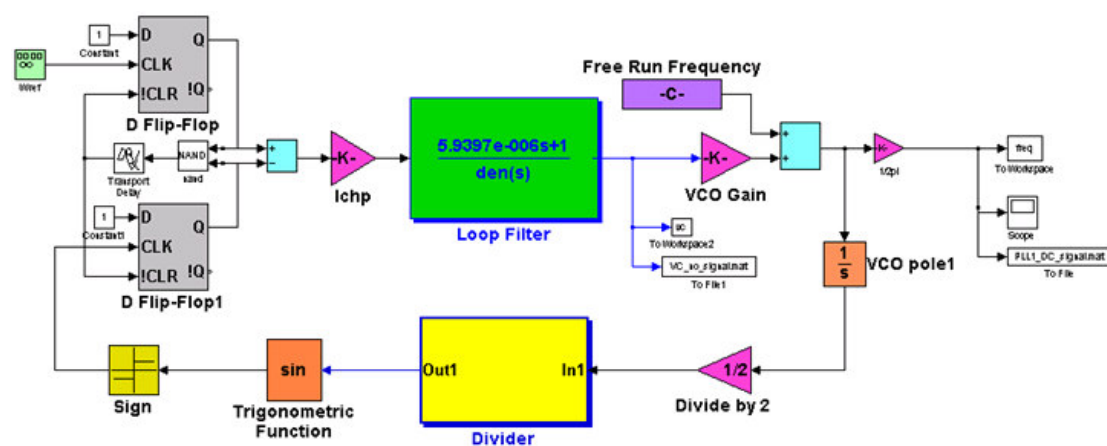


圖 4.9鎖相迴路Simulink模型

同原理去組成相頻檢測器的模型。相頻檢測器會產生出充電或放電的訊號

告訴充電汞要對迴路濾波器充放電，因此其輸出其實就是在每個相頻檢測器的比對週期中，選擇要對迴路濾波器加一個充電汞電流量或減一個充電汞電流量，所以其輸出接到正負選擇器再接到一個增益器（增益即為所設計的充電汞電流）即可模擬充電汞的動作。充放電電流之後要送入迴路濾波器，在此我們可以將迴路濾波器的轉移函數以拉普拉斯S參數的形式表示，而Simulink具有S參數的轉移函數功能方塊，直接在功能方塊內設定轉移函數為迴路濾波器的轉移函數即可模擬迴路濾波器。迴路濾波器的輸出就是控制電壓，控制壓控振盪器的輸出頻率，我們知道壓控振盪器的輸出頻率可以表示成 $f_{vco} = f_{free_run} + k_{vco} \times V_{control}$ ，因此迴路濾波器的輸出如上式所示先乘上壓控振盪器增益，再加上自由運作頻率（Free Run Frequency），在Simulink的模型中也是符合上式的過程，由一個增益器模擬壓控振盪器增益，再經由加法器與自由運作頻率相加，即可模擬壓控振盪器。值得注意的是此時的輸出單位是頻率，而我們會將其轉成相位，因此輸出會接到積分器（1/S），之後再送入除頻器，除頻器在頻域與在相位域的作用是相同的，意即當除頻兩倍時，也就是在相位域上相位變化的斜率會減小兩倍，如此通過除頻器後相位變化斜率會被除下來，之後輸出相位再送入正弦功能方塊中，並經過位階轉換器轉成1與0，如此即可模擬除頻後的數位訊號，並與參考訊號源作相位頻率比對。以上就是整個鎖相迴路的建模。

建立完鎖相迴路的模型後，我們可以來看其模擬結果，圖4.10所示為模擬鎖相迴路控制電壓穩定的暫態情形，我們可以觀察到在穩定前，鎖相迴路會經過一段追蹤穩定（Tracking and Acquisition）的過程，而這個行為符合我們對鎖相迴路在鎖住前的行為預測。從模擬圖可知道鎖相迴路的鎖定時間（Settling Time）約為 $35 \mu s$ 。

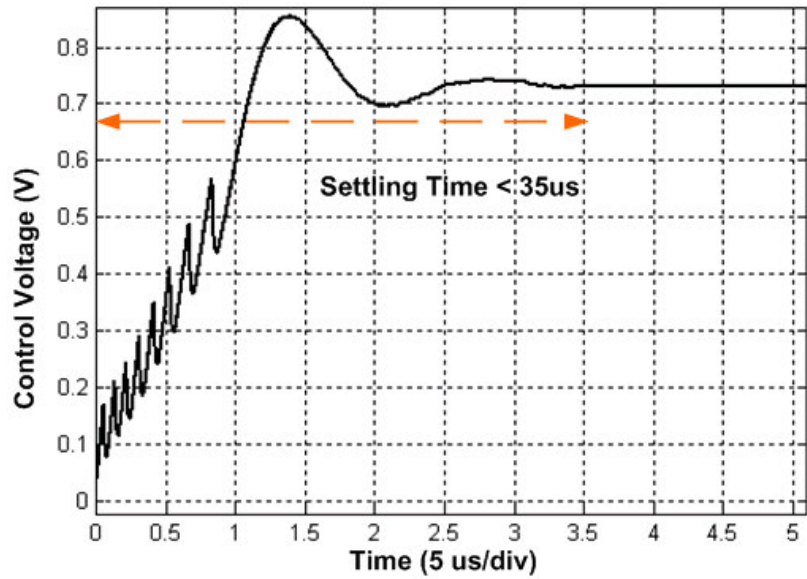


圖 4.10鎖相迴路穩定圖

圖4.11為鎖相迴路輸出端的頻譜圖，其模擬方式就是將輸出的頻率對時間的資料儲存，並做功率頻譜密度演算（Power Spectrum Density Calculation），從圖中我們可以觀察到參考突波（Reference Spur）的現象，而參考突波排斥表現（SFDR）可達63dB以上，由於在充電泵與壓控振盪器的模擬中尚未加入雜訊的考量，因此實際上的表現應該不會如此的好，雖然如此我們已經達到驗證行為的目的了。

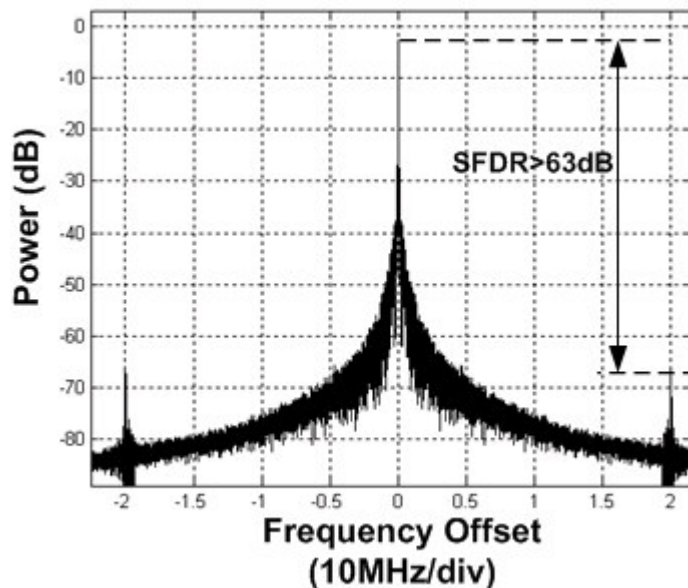


圖 4.11鎖相迴路輸出頻譜

再來介紹和差調變器的模型建立，我所使用的和差調變器是兩位元三階的和差調變器架構如圖4.12所示，而在Simulink的建模如圖4.13所示，基本上很直觀的與電路層面呼應。電路上面要用到的加法器呼應到建模中的加法器；電路上要用移位達到的乘法行為在建模中可以直接使用乘法器的功能方塊；而延遲單位（Delay Cell）則是用 $1/z$ 模擬，量化器則是利用Simulink中的若敘述（If Statement）加上多工器，即可實現當輸入值在某個範圍時，輸出值要為多少的量化器功能。建立好和差調變器的模型，雜訊擾動（Dither）的模型也就建立好了。當和差調變器要與鎖相迴路組成非整數頻率合成器的系統時，再將兩個建模放在一起，其中鎖相迴路的除數不再是固定的值，而是可以經由和差調變器的輸出控制的變動值，要達到這個目的樣是藉由若敘述與多工器就可完成（當和差調變器輸出為某個值時，就由多工器去選擇此位階所對應到的除數值）。

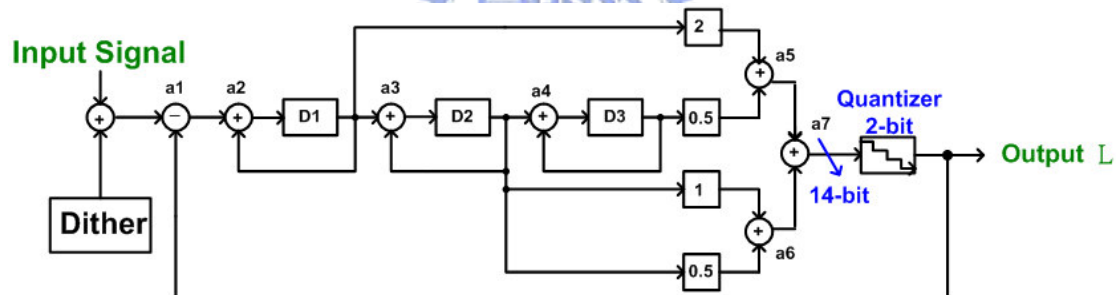


圖 4.12和差調變器架構

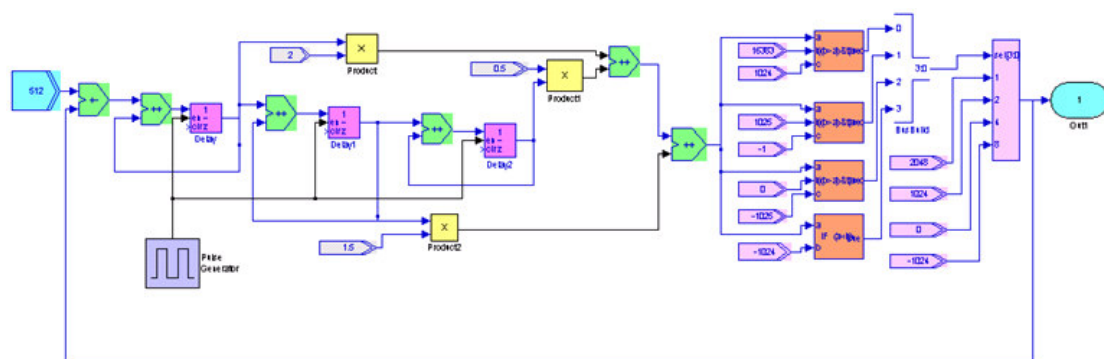


圖 4.13和差調變器Simulink模型

和差調變器的Simulink模擬結果在第三章有討論，在此不再贅述。再來是高斯波形整形濾波器與補償濾波器的設計，首先來看高斯波形整形濾波器，其為一個低通濾波器，目的在將輸入的數位0、1資料的方波高頻成份濾掉，將訊號的頻寬限制，以避免有限的傳輸通道頻寬會讓不同的頻率成份有不同的時間延遲，如此會造成嚴重的碼間干擾現象（Inter Symbol Interference）。下式為高斯波形整形濾波器的脈衝響應：

$$h(t) = \frac{\sqrt{\pi}}{\alpha} \exp\left(\frac{-\pi^2 t^2}{\alpha^2}\right) \dots \alpha = \frac{\sqrt{\log 2}}{\sqrt{2} \times B}$$

其中B為高斯波形整形濾波器的3-dB頻寬，從上式可知主要的參數就是B的大小，那一般B的大小會相對於我們的資料傳輸速度，從4.1節中的規格表可知道對藍芽系統規格而言，高斯波形整形濾波器的BT值要為0.5，而資料傳輸速度為1Mbit/s。從脈衝響應即可藉由Simulink的數位濾波器設計功能方塊，下圖4.14a是高斯濾波器的頻率響應波德圖、4.14b是步階響應（Step Response）。

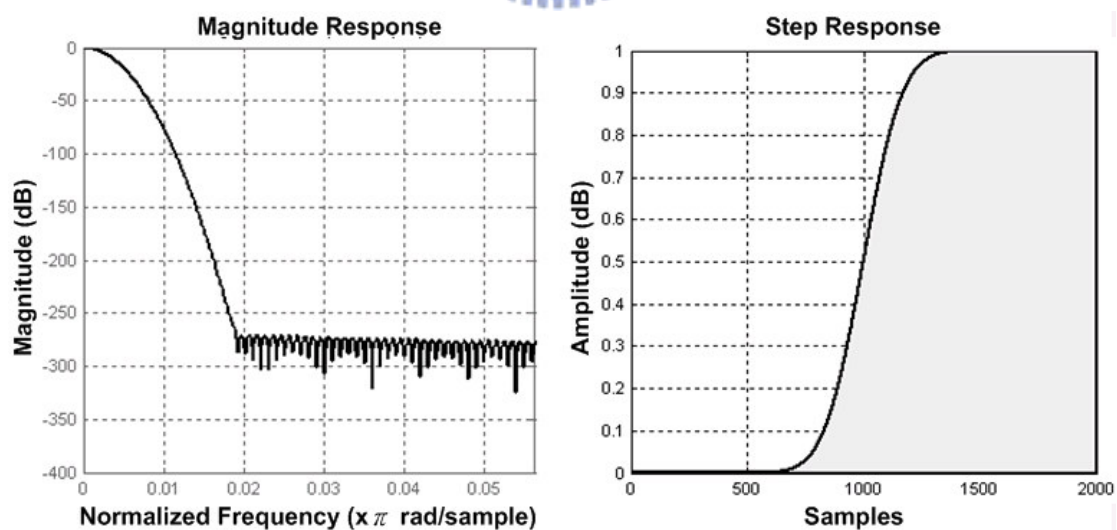


圖 4.14(a) 頻率響應

(b) 步階響應

接下來是補償濾波器的設計，如圖4.7所示，補償濾波器的目的是預先增益傳輸資料在頻域上超出鎖相迴路頻寬的部份，讓資料所看到的等效頻寬增加，以免被鎖相迴路濾掉。由於資料在和差調變器的輸入端所看到的轉移函數即為鎖相迴路的轉移函數，因此我們知道資料從補償濾波器的輸入端到頻率合成器的輸出端這一段過程的轉移函數會是補償濾波器的轉移函數乘上鎖相迴路的轉移函數。很直觀的，若我們希望資料看到的頻寬增加，則補償濾波器轉移函數乘上鎖相迴路轉移函數必須要是一個頻寬大於資料傳輸速度的低通濾波器，如下式所示：

$$H_{overall}(s) = H_{compen}(s) \times H_{pll}(s) \rightarrow H_{compen}(s) = \frac{H_{overall}(s)}{H_{pll}(s)}$$

在此我們會先設計整體轉移函數為一個低通Chebyshev濾波器，這是因為其具有穩定且定義良好的大小與相位轉移函數，設計好整體轉移函數後，補償濾波器就是整體轉移函數除上鎖相迴路的轉移函數。圖4.15所示為整體轉移函數，Chebyshev低通濾波器的波德圖，由於資料傳輸速度需為1Mbit/s，所以此低通濾波器的3dB頻寬設計為1.5MHz。

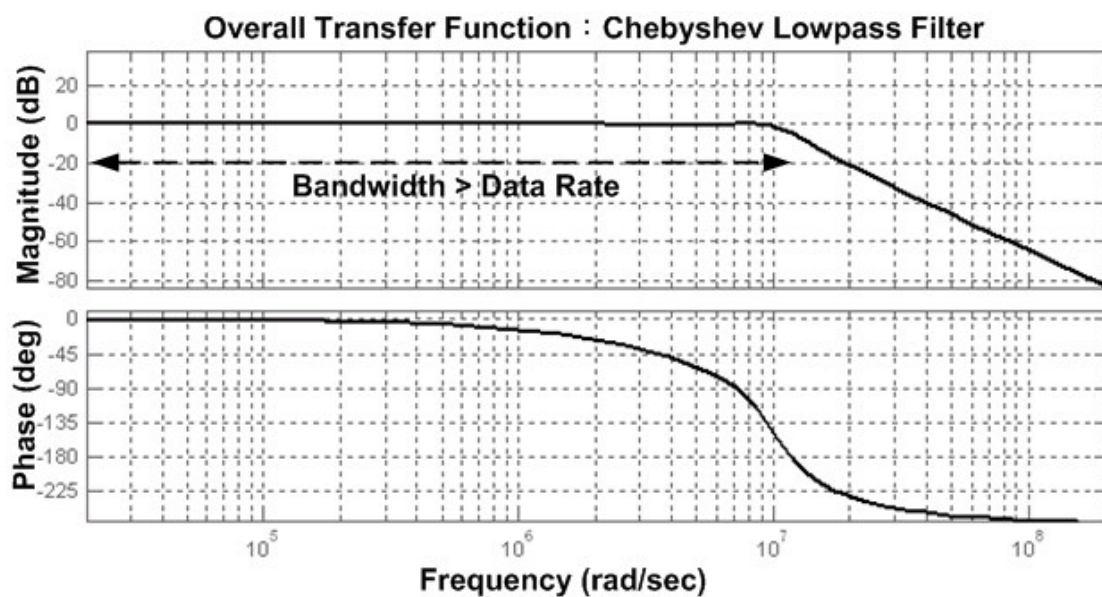


圖 4.15 整體轉移函數波德圖

圖4.16為鎖相迴路的轉移函數波德圖，在此注意到迴路頻寬僅有100kHz，這是為了要濾除和差調變器的高頻量化雜訊，遠小於資料傳輸速度。那我們將整體轉移函數除以鎖相迴路轉移函數，即可得到補償濾波器，其波德圖如圖4.17所示，比較圖4.16與圖4.17，我們可以觀察到當鎖相迴路轉移函數開始往下降時，此時補償濾波器開始往上升以預先增益傳輸資料。

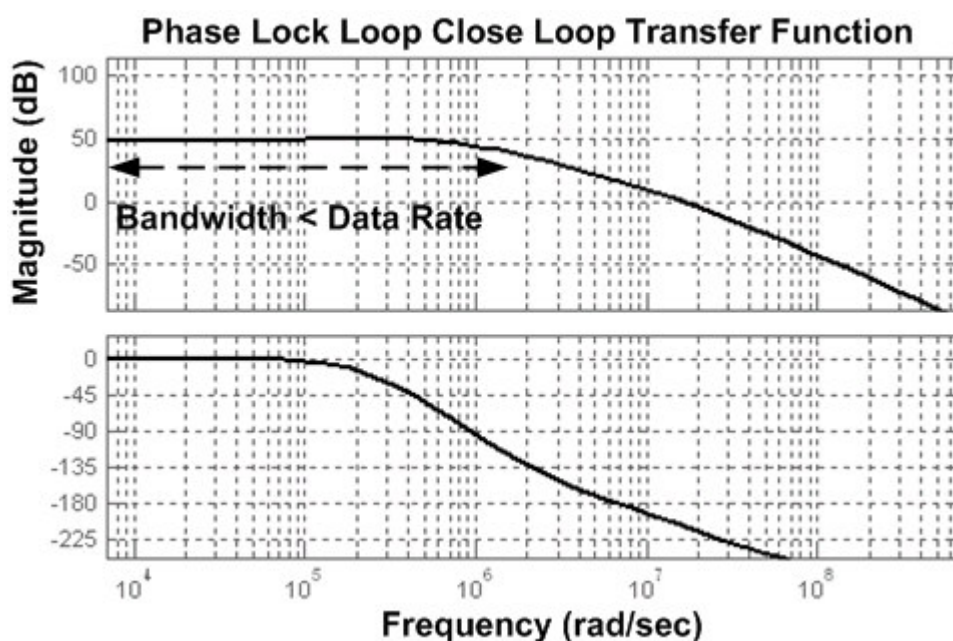


圖 4.16鎖相迴路閉迴路轉移函數波德圖

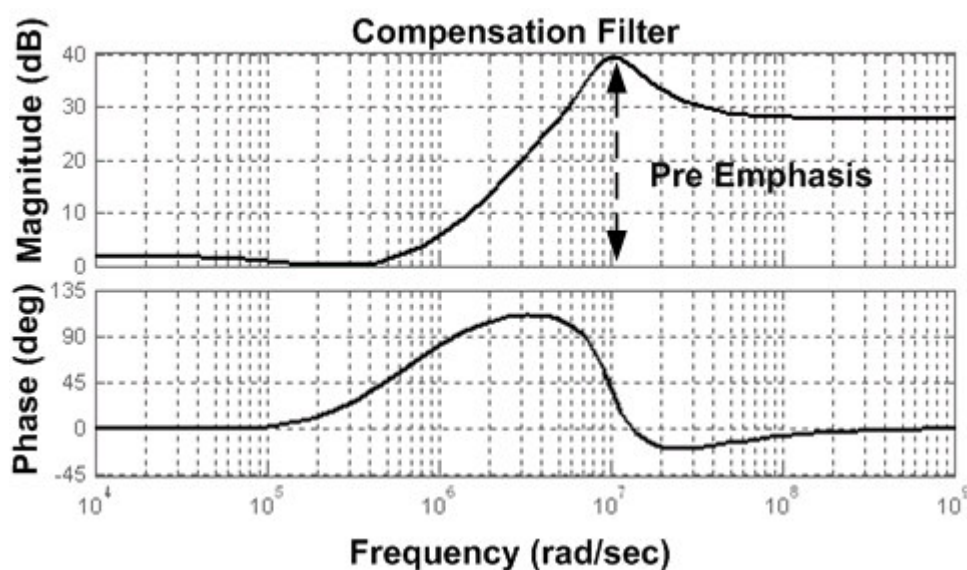


圖 4.17補償濾波器波德圖

以上我們建立了鎖相迴路、和差調變器、高斯波形整形濾波器與補償濾波器的模型，利用這些模型我們就可以進行直接頻移發射機的系統模擬。圖4.18是資料從高斯波形整形濾波器的輸入端到頻率合成器的輸出端，整個過程所看到的頻域示意圖，底下會利用Simulink建立好的模型，去模擬分析在每個過程中，資料的時域與頻域的結果。

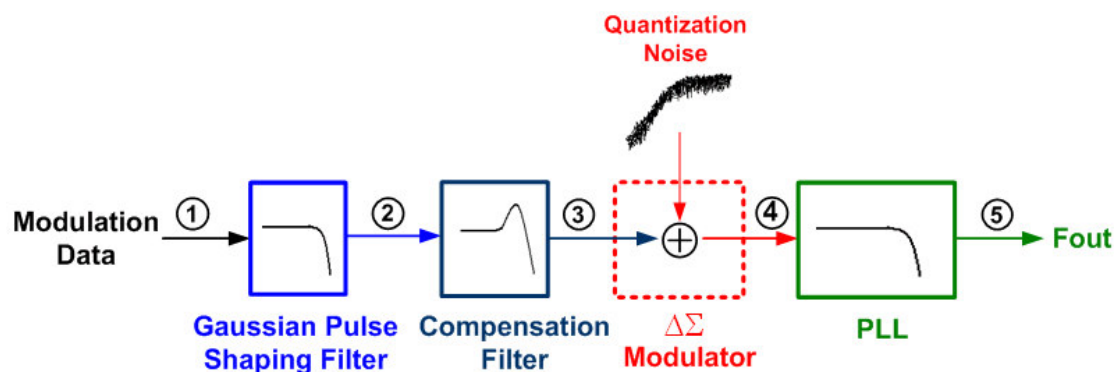


圖 4.18系統頻域示意圖

我會利用 2^9-1 偽隨機碼 (2^9-1 PRBS)，資料傳輸速度為1Mbit/s，作為輸入的調變資料，以符合藍芽系統的規範，圖4.19所示是此資料在步驟1時的時域與頻域圖。可以發現由於輸入的是1Mbit/s的隨機資料，所以在頻譜上距離中心頻率正負1MHz的地方會有凹槽 (Notch) 的現象。另外我們可以發現由於是方波，所以會有許多的高頻諧波成份在1MHz的整數倍上，這些諧波會造成嚴重的碼間干擾現象，這是為何要經過高斯波形整形濾波器的原因。

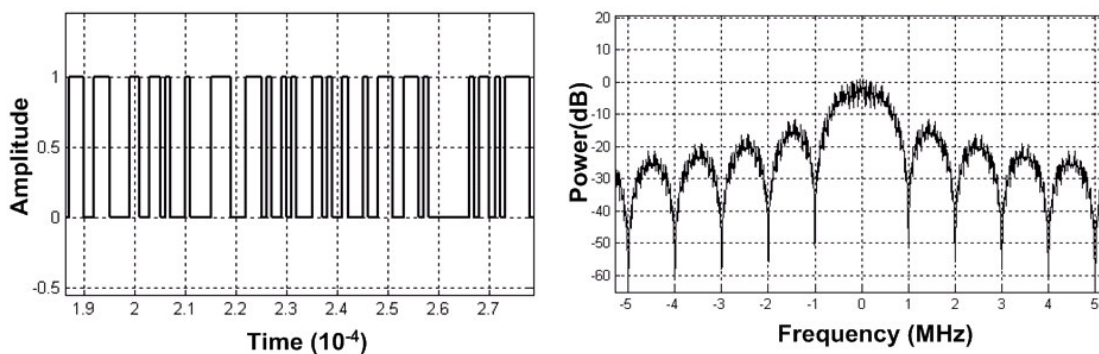


圖 4.19資料在步驟1的時域與頻域圖

圖4.20為資料經過高斯波形整形濾波器後的時域與頻域圖，從時域圖上我們可發現波形被整形為較為平滑的波形，從頻域上可觀察到高頻的諧波會被濾波器濾掉。之後送入補償濾波器，補償濾波器會預先增益資料高頻的成分，從時域圖上可發現在0與1切換時會有抖動（Glitch）的現象，這就是因為高頻倍放大的原因，而在頻域上可以觀察到在正負1MHz的旁波（Side Lobe）向上漲起來，此即為補償濾波器的預先增益所致。

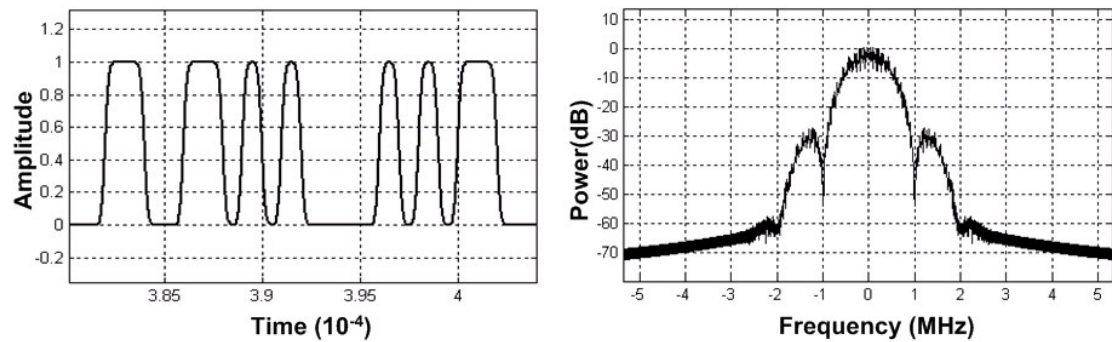


圖 4.20 資料在步驟2的時域與頻域圖

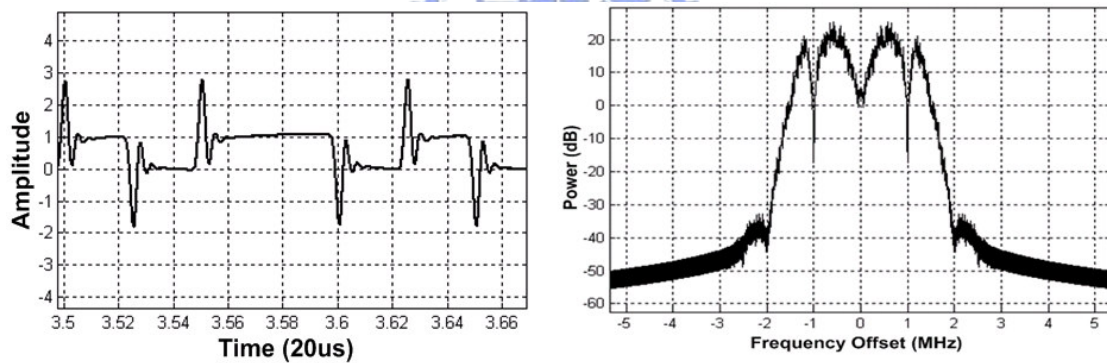


圖 4.21 資料在步驟3的時域與頻域圖

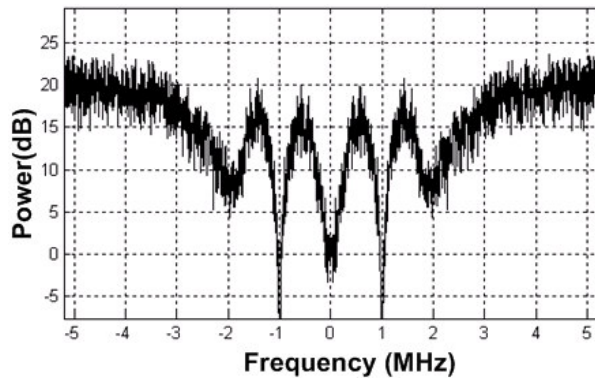


圖 4.22 資料在步驟4的頻域圖

圖4.22則是資料送入和差調變器後的頻域圖，可以發現此時和差調變器的高頻量化雜訊加入，所以在頻譜的兩側會有雜訊整形的現象，之後鎖相迴路的低通特性會壓制量化雜訊，並使預先增益的頻譜回覆到步驟2時的頻譜。接下來我們來看頻率合成器的輸出端會有什麼變化，圖4.23下圖所示為輸入的隨機資料隨時間變化的時域圖，而上圖則是頻率合成器的輸出頻率對時間的變化，可以看出輸入資料與輸出頻率的對應符合我們的預測，確實達到頻率調變的功能。

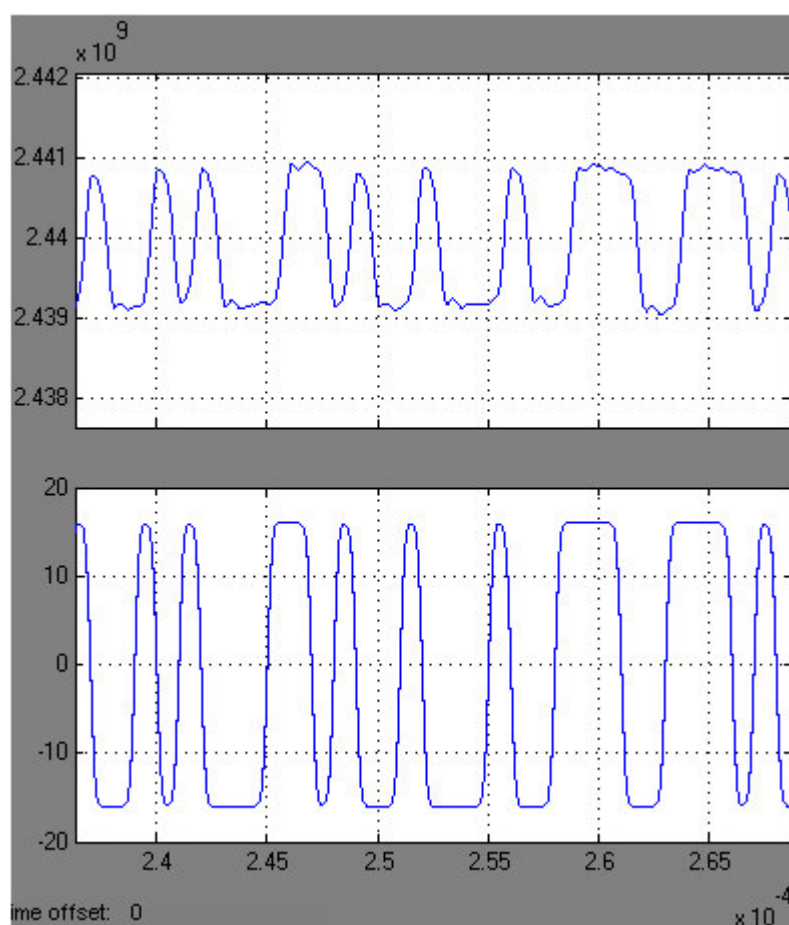


圖 4.23基頻資料與輸出頻率對時間之圖

從圖4.23上圖可以知道要判斷系統的頻寬是否足以讓資料傳送出去的方式，可由輸出頻率是否能拉開到對應的頻率間隔（Frequency Deviation）得知，若頻寬不夠，則頻率會無法拉開，因此我們可以將輸出頻率對時間的關係疊眼圖(Eye Diagram)，若眼圖張的開才代表資料可傳輸

出去。圖4.24所示為比較沒有加入補償濾波器與有加入補償濾波器，輸出頻率對時間的眼圖，其中4.24a為沒有加入補償濾波器，當輸入的資料傳輸速度為400Kbit/s時，眼圖就已經張不開了，代表資料無法傳輸出去；4.24b為有加入補償濾波器且資料傳輸速度是1Mbit/s，可觀察到眼圖有拉開，資料在補償濾波器的預先增益下，可以順利通過鎖相迴路的低通損耗，得以傳送到輸出端。

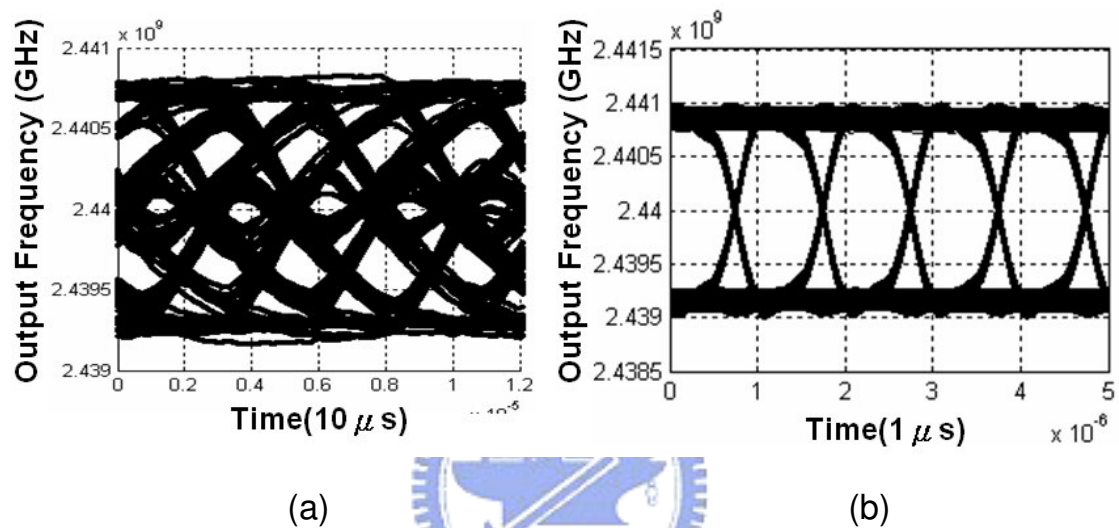


圖 4.24(a)無補償濾波器，資料速度400Kbit/s

(b)加入補償濾波器，資料速度1Mbit/s

以上即為整個直接頻移發射器的系統模擬，利用系統模擬我們驗證了以下幾個系統特性：頻率合成器在鎖定時的行為，與鎖定頻率是否正確；和差調變器的功能與所造成的量化雜訊，並觀察加入雜訊擾動(Dithering)機制對頻率合成器輸出頻譜造成的影響；建立了補償濾波器，與驗證補償濾波器的功能確實可提高資料的傳輸速度；最後則是將所有建模組成完整的系統，觀察整個直接頻移發射器的資料傳輸與頻率調變功能。以上整個系統的模擬時間僅需不到五分鐘，就可以觀察到所有行為，在效率上遠比HSPICE高，而Simulink模擬系統行為的準確度在晶片回來後的量測驗證上，可發現是非常的準確的。

第五章

頻率合成器電路設計

本章介紹頻率合成器中各個電路單元的設計，包括相位頻率檢測器（Phase Frequency Detector）、充電泵（Charge Pump）、壓控振盪器（Voltage Control Oscillator）、除二除頻器（Divide-by-2 Divider）與多系數除頻器（Multi-modulus Divider）。頻率合成器的電路架構如圖5.1所示，而預計的規格列表如第二章的表2.2所示，以下幾節就分別介紹每個電路單元的設計。

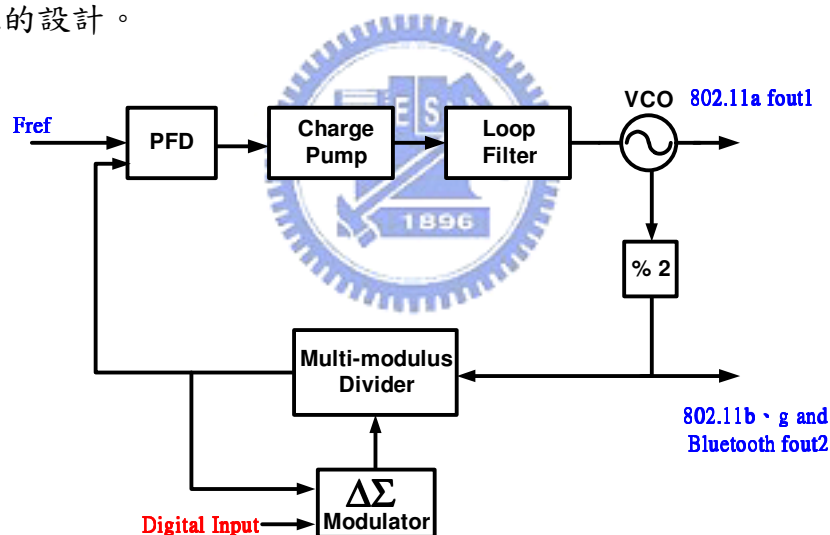


圖5.1 頻率合成器電路架構

5.1 相位頻率偵測器電路設計

相位頻率偵測器能夠偵測輸入端參考頻率和除頻頻率兩個訊號間的頻率和相位差，我所使用的相位頻率偵測器為傳統的三態相位頻率偵測器

(Tri-state PFD)，其操作原理由圖 5.2(a)可知，當 A 輸入端的頻率比 B 端的頻率大的話，則 Q_A 端會拉起高電壓的訊號，但 Q_B 端則會保持在低電壓的位準，反之，若 B 輸入端的頻率若比 A 端的輸入頻率大的話，則 Q_B 端會拉起高電壓的訊號，但 Q_A 端則會保持在低電壓的位準，第三種情況是，當 A 端和 B 端兩邊的輸入頻率都一樣的話，此時會檢查 A、B 兩端的相位差是多少，如果有相位差的話，則 Q_A 或 Q_B 端會送出一個和相位差同寬度的訊號(是由 Q_A 或 Q_B 端送出則取決於到底是 A 領先 B，還是 A 落後 B)。

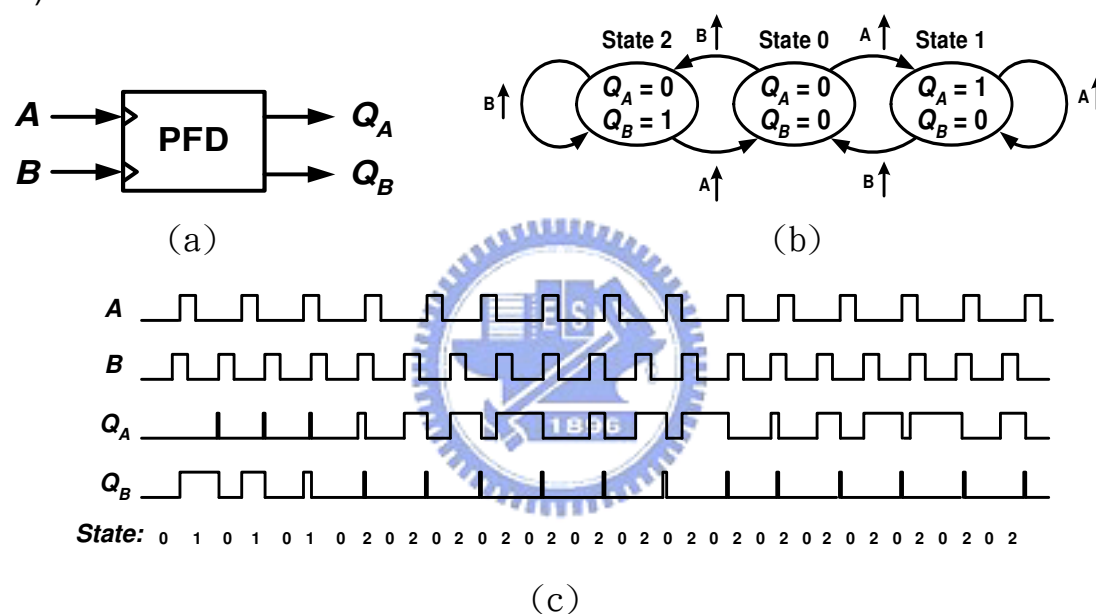


圖 5.2 (a) 相位頻率檢測器 (b) 相位和頻率檢測器的狀態圖
(c) 相位和頻率檢測器的時序圖

圖 5.3 (a) 為我們相位頻率偵測器的電路架構，其中包含了兩個具有可重置功能的 D 型正反器，還有一個 NAND 閘以及延遲串(Delay Chain)，A 和 B 兩輸入端各分別當作此兩個正反器的時脈，而此兩個正反器的輸入接至高電位，接下來分析相位頻率偵測器的運作過程，首先假設 Q_A 和 Q_B 一開始皆為零，若輸入端 A 變為 1，則 Q_A 會被設定為 1 而 Q_B 則維持 0，在回授路徑上經過一個 NAND 閘與奇數個反向器後，送 0 進入重設端，

所以不會重設 D 形正反器。直到輸入端 B 也變為 1，此時 Q_B 變為 1，由於 Q_A 和 Q_B 都為 1，所以重設 D 形正反器，在經過延遲串的時間延遲後， Q_A 和 Q_B 會一起被重設為 0，回到初始的狀態。反之若輸入 B 先變為 1，則輸出 Q_B 會先變為 1 直到輸入端 A 也變為 1， Q_A 和 Q_B 才會一起被重設為 0。此種三態相位頻率偵測器的特徵圖如圖 5.3 (b) 所示。

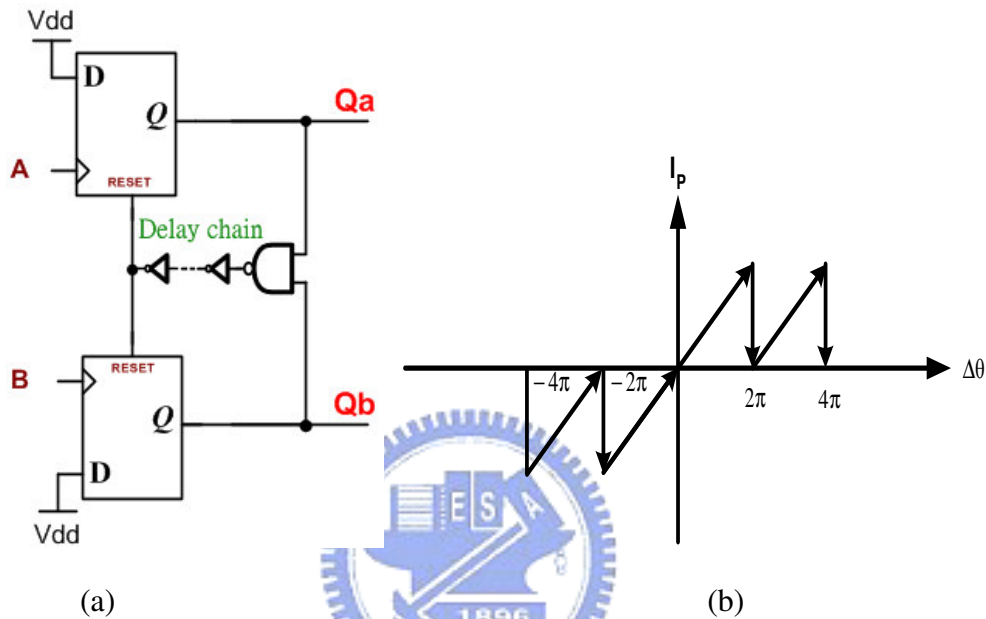


圖 5.3(a) 相位和頻率檢測器的內部電路(b) 相位和頻率檢測器的特徵圖

我們相位頻率偵測器中的 D 形正反器電路架構如圖 5.4 所示，為單一相位 (True Single Phase Circuit) 的架構，此種架構的優點是電路簡單，且切換速度快，因此能夠增加線性度。

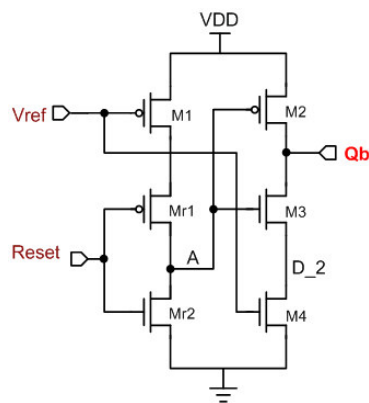


圖 5.4 相位頻率偵測器中的 D 形正反器

在相位頻率偵測器的設計中，死區（Dead Zone）是一個重要的非理想效應，所謂死區就是當輸入端 A 和輸入端 B 的相位差距小到一定的程度時，相位頻率偵測器的輸出無法具有足夠的時間來開啟充電汞，因此輸出的電流就無法與相位差有線性對映，如此會造成嚴重的參考突波（Reference Spur）。解決的方式就是在重設的回授路徑上加入延遲串，如此可以增加相位比較的結果顯現在輸出端的時間，而能讓充電汞有時間對此輸出結果做出反應，因此可以減少死區的效應。在我的設計當中，延遲串可以加入 2ns 的時間延遲，如此可以將死區壓抑在 5ps 內以滿足我們的需求。圖 5.5 為相位頻率偵測器的模擬結果。圖 5.5(a) 為除頻頻率大於參考頻率的模擬圖形，相位頻率偵測器會產生放電的訊號去開啟充電汞的放電電流，如此會降低壓控振盪器的控制電壓進而使的除頻頻率降低；反之圖 5.5(b) 則為參考頻率大於除頻頻率的模擬圖，此時會產生充電訊號告訴充電汞要對迴路濾波器充電，使得壓控振盪器的控制電壓上升，進而增加除頻頻率。

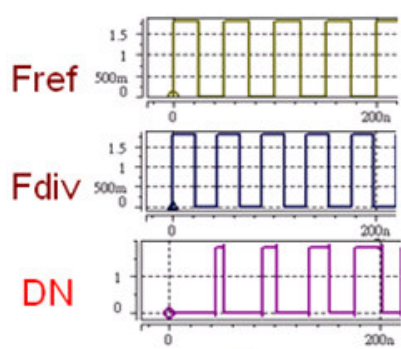
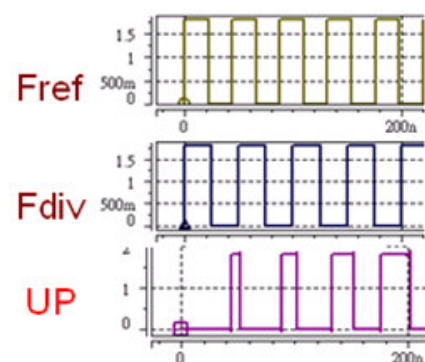


圖 5.5 (a) 除頻頻率大於參考頻率



(b) 參考頻率大於除頻率

5.2 充電泵電路設計

充電泵的功能是對迴路濾波器做充電或放電的動作，當相位頻率偵測器傳來充電訊號時，充電泵就要對迴路濾波器充電以增加壓控振盪器的控制電壓，反之則是放電以減小控制電壓。充電泵的電路設計最主要的重點在於如何增加充電電流與放電電流的匹配度，原因是如果充電與放電電流不一致的話，在每個相位頻率偵測器比較的週期中，都會產生一些剩餘電流（Residue Current），而這些剩餘電流會造成控制電壓的變化，這個變化是週期性的發生，因此會在頻率合成器的輸出端造成嚴重的參考突波（Reference Spur）。另外一個設計重點是確保充電與放電電流的穩定度，希望每次的充電或放電電流值都一致，如此才不會有充過頭或是放過頭的現象。

圖5.6為充電泵的電路架構，此架構主要可以分成四個部份，第一個部份為紫色虛線所框住的部份，為充電泵的核心電路，由差動對PMOS的Mc3與Mc4提供充電電流；差動對NMOS的Mc1與Mc2提供放電電流。前面有

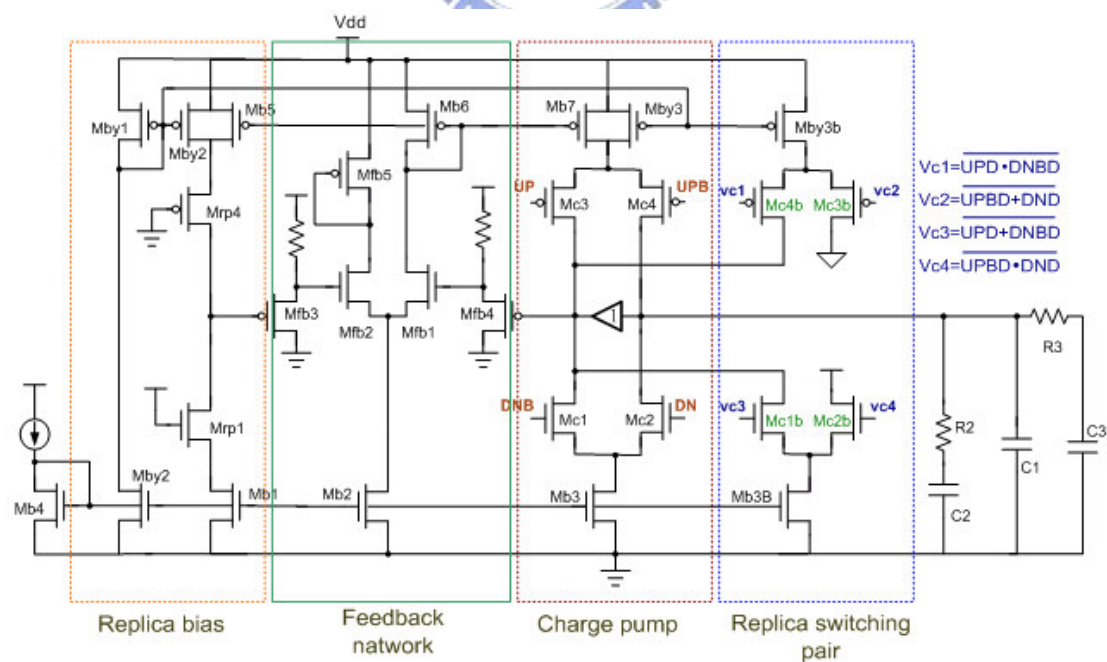


圖5.6 充電泵電路架構

提到充電電流與放電電流的匹配度為設計的重點，因此為了增加上下電流的匹配度，我們會在核心電路外再加入複製偏壓電路（Replica Bias）與回授電路（Feedback Network），由於在複製偏壓電路的電流路徑上Mp4的電流必定等於Mp1的電流，因此再透過回授電路可以去微調充電汞核心電路的PMOS電流源Mb7的閘級電壓，讓上下電流源的電流一致。圖5.7所示為在控制電壓的操作範圍內，上下電流源的匹配程度，可以知道在控制電壓變化從0.3v到1.5v之間，上下電流源的不匹配度可以壓制到百分之四以下。

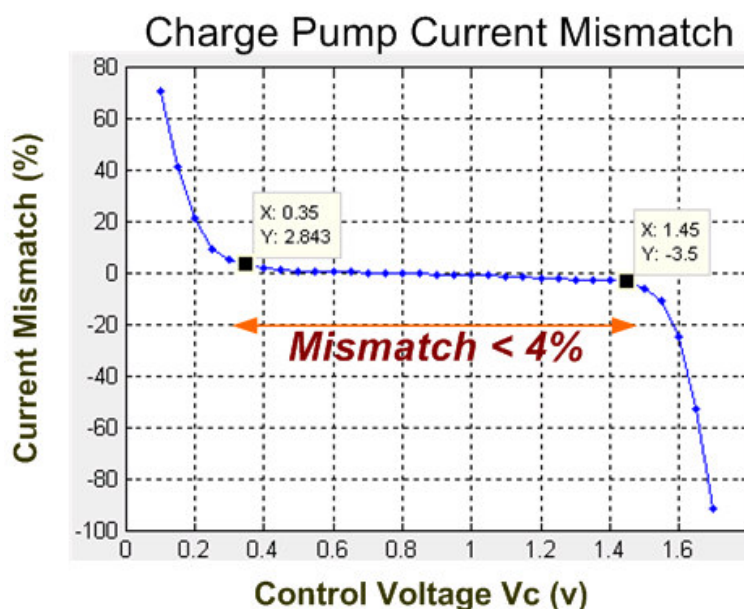


圖5.7 充電汞充電與放電電流匹配度

此外我們還會再加入一個轉換對輔助電路（Replica Switching Pair），目的在於提供一個電流路徑給上下電流源Mb3與Mb7，以避免上下電流源電晶體進入三極管區，如此會造成輸出電流有脈衝干擾(Glitch)的現象。另外為了節省功率的消耗，我們會讓轉換對有必要開啟時才開啟，因此我們可以歸納出需要開啟的時機為充電訊號是1放電訊號是0的時候與充電訊號是0，放電訊號是1的時候，將充電與放電訊號經過邏輯閘後即可作為轉換對的控制訊號。圖5.8的模擬是比較有加入轉換對與沒有加入轉換對，輸

出電流的情形，我們可以發現加入轉換對後，確實可以減少輸出電流的脈衝干擾效應。最後圖5.9為充電電流與放電電流的模擬結果圖，在我的設計當中充放電電流為60uA，由模擬圖可以發現確實有達到設計目標。

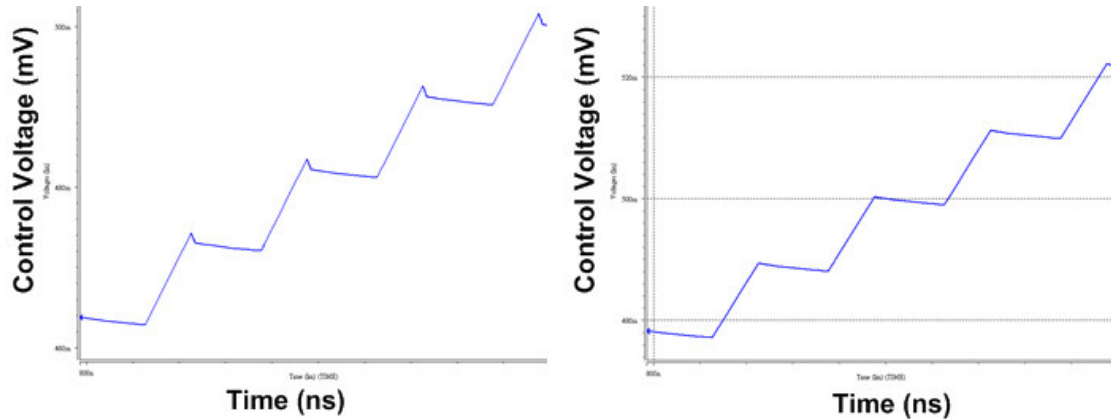


圖5.8 加入轉換對與不加入轉換對的比較

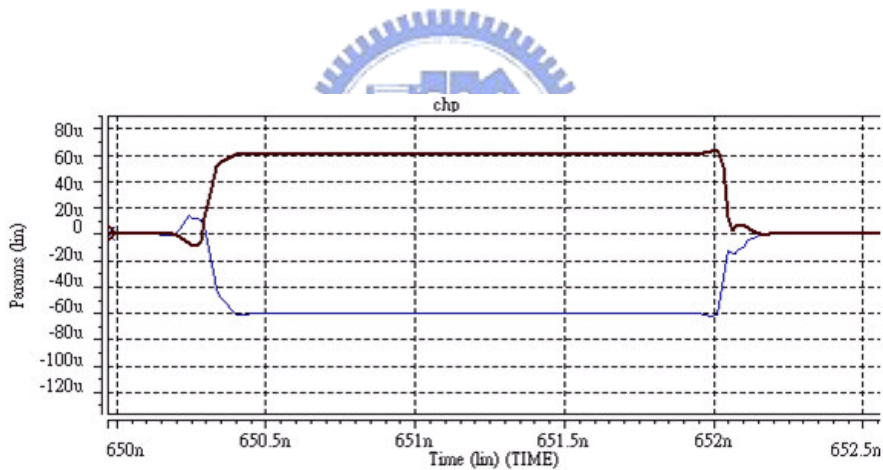


圖5.9 充電與放電電流

5.3 壓控振盪器電路設計

壓控振盪器的功能是產生頻率合成器的輸出頻率，且其輸出頻率可以由控制電壓去做調整。壓控振盪器的設計中有兩個最主要的設計考量，一個是相位雜訊，另一個是功率損耗。此外由於我的頻率合成器需要滿足四個規格所使用，所以壓控振盪器必須要能夠產生從4.8GHz到5.35GHz之間的頻率，因此增加壓控振盪器的可調範圍也是設計的重點之一。

圖5.10(a)是我所使用的壓控振盪器架構，為一個PMOS與NMOS互補耦合式電感電容壓控振盪器（Complementary Cross Couple LC VCO）。使用電感電容壓控振盪器的原因是其所造成的相位雜訊較環形振盪器低，且以5GHz的輸出頻帶而言，環形振盪器較難設計產生如此高頻的訊號。而電感電容振盪器又有分幾種架構，而選擇互補耦合式壓控振盪器的原因在於在相同的功率損耗下，互補耦合式壓控振盪器同時有上面的PMOS對與下面的NMOS對提供負阻抗，因此其負阻抗為只有單獨NMOS對架構的兩倍，換言之，在提供相同負阻抗的前提下，互補式耦合壓控振盪器會比較省功率。圖5.10(b)是預計規格列表，利用MIM電容串接開關來決定要不要讓共振腔看到電容負載，以作切換頻帶的動作，而設計不同的電容值C1與C2可以讓兩位元的開關產生出四條頻帶，以滿足4.8GHz到5.35GHz之間的頻率範圍。另外為了降低相位雜訊，電流源會選擇由PMOS提供而非由NMOS提供，原因是PMOS的閃爍雜訊較NMOS低，因此產生較少的相位雜訊[13~15]。另外我們會在PMOS M5的汲極端加入一個側通電容(bypass capacitor)，加入這個電容的目的在於將雜訊側通到地，以避免雜訊耦合到PMOS M5的閘級偏壓端，再藉由M5轉導成雜訊電流，混波到我們的頻帶。另外為了減少M5的閃爍雜訊，我們會盡量增加其尺寸

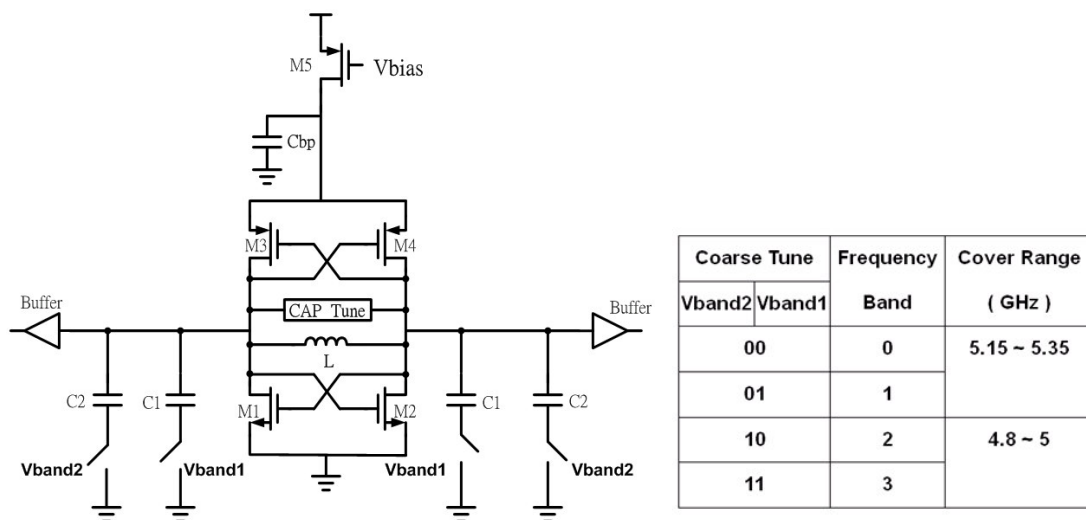


圖5.10 (a)互補式偶合壓控振盪器電路架構 (b)壓控振盪器預計規格

，而增加尺寸的結果導致M5會操作在三極管區，因此M5的開級電壓的穩定性就會非常的重要。

最後利用安捷倫ADS與HSPICE做電路的模擬，圖5.11是HSPICE所做的時間暫態模擬，振幅達到1.7v，頻率振盪在5.25GHz。圖5.12是ADS所做的相位雜訊模擬，在1MHz偏移頻率下，相位雜訊可以做到-115dBc/Hz。電路所消耗的功率是3.06mW。一般測試壓控振盪器的設計是否優良會利用式5.1來去計算其評比，評比的數值愈高表示設計愈好，一般大於180就是一個不錯的設計。

$$FOM = 10 \log \left[\left(\frac{f_o}{\Delta f} \right)^2 \times \frac{1}{L(\Delta\omega) \times core_power} \right] = 183.13 \quad \text{式 5.1}$$

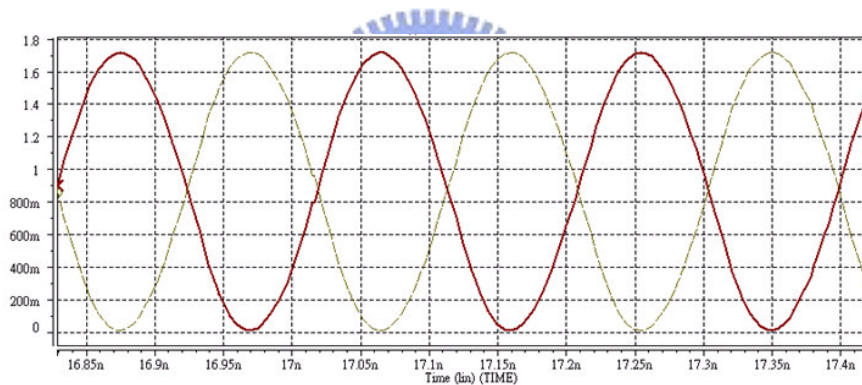


圖5.11 壓控振盪器時間暫態模擬

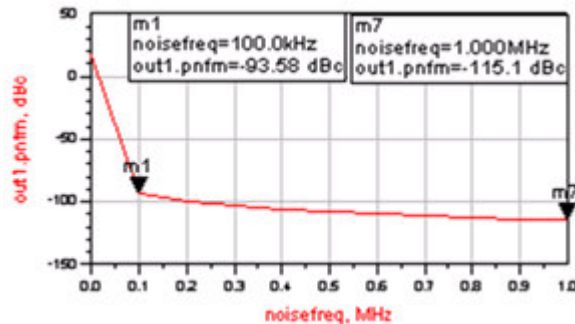


圖5.12 壓控振盪器相位雜訊模擬圖

5.4 除二除頻器電路設計

為了要滿足802.11b、g與藍芽系統2.4GHz的規格，在我的壓控振盪器後面加入了一個固定除二的除頻器，由於壓控振盪器的輸出頻率是在4.8GHz到5.35GHz的高頻頻率，所以除二除頻器的架構會選擇電流模式（Current Mode）的架構，如此才能提升除頻的速度。除二除頻器的電路架構如圖5.13所示，為一個正時脈觸發控鎖器串接一個負時脈觸發控鎖器的架構，壓控振盪器的輸出端作為控鎖器的時脈，如此當壓控振盪器的第一個週期時，會使正時脈控鎖器的輸出發生改變，送入負時脈控鎖器的輸入，而必須要等到壓控振盪器的第二個週期時，才會去觸發負時脈控鎖器，使其輸出發生改變。由此可知壓控振盪器必須要改變兩個週期，才能使除二除頻器的輸出完成一個週期，故可以達到除兩倍頻的功能。其中控鎖器的電路如圖5.14所示，以左邊的正時脈控鎖器為例，當時脈為正時，

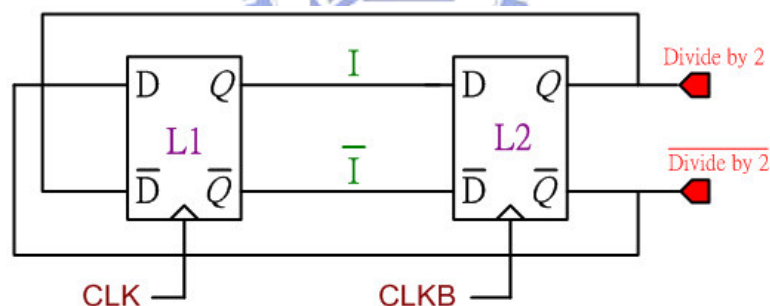


圖5.13 除二除頻器架構

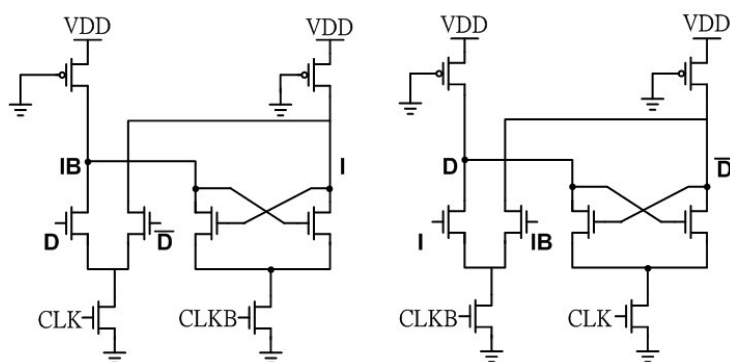


圖5.14 控鎖器電路圖

左半部差動對會依照訊號D與DB的高低將輸出I和IB做初步的拉開，到負時脈時，原本被拉開的I與IB會再藉由右半部的交互耦合NMOS，所形成的正回授機制更進一步的拉開。負時脈觸發的拴鎖器原理也是一樣，只是時脈的正負不同。圖5.15所示為除二除頻器分別除最高頻5.4GHz與最低頻4.8GHz的時間暫態模擬圖。

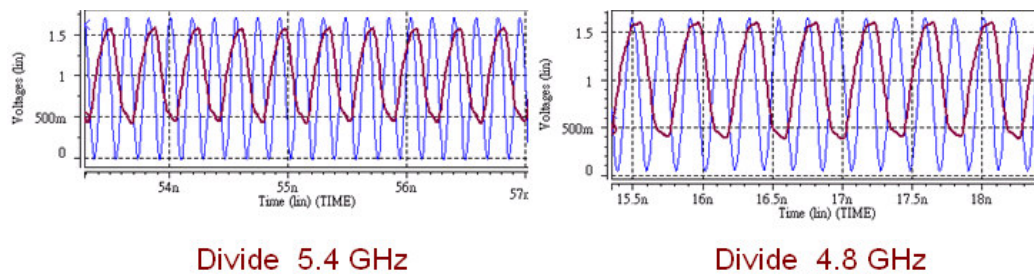


圖5.15 除二除頻器模擬圖

5.5 多系數除頻器電路設計

多系數除頻器的功能是能夠變化不同的除頻除數，所使用的架構如圖5.16所示，由前置除頻器（Prescaler）、屏蔽計數器（Swallow Counter）與可程式計數器（Programmable Counter）所組成。前置除頻器可以選擇除（N）或是除（N+1），當控制電壓VC為1.8v時，前置除頻器除（N）；反之則是除（N+1），除二除頻器的輸出就是直接接到前置除頻器做進一步除頻的動作。屏蔽計數器有兩個輸入一個輸出，兩個輸入分別是外部可控的除數輸入與從可程式計數器傳來的重置訊號（Reload Signal），屏蔽

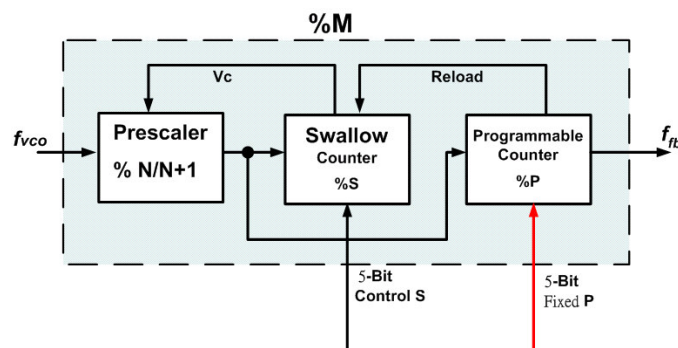



圖 5.16 多系數除頻器架構圖

計數器會去計算進來的訊號個數，當達到所輸入的個數時，就會送一個控制訊號給前置除頻器將其除頻除數從 (N+1) 設置為除 (N)。可程式計數器則是去計算前置除頻器的輸出個數，當達到可程式計數器的輸入除數時，就會送一個重置訊號給屏蔽計數器，將其計數歸零。因此此種架構的多系數除頻器，其除數如式5.2所示：

$$\begin{aligned} \text{Divide Ratio } M &= N \times S + (N+1) \times (P - S) \\ &= N \times P + S \end{aligned} \quad \text{式 5.2}$$

在我的設計中，前置除頻器為除4或除5，屏蔽計數器為5位元，可以從外部輸入想要計數的值以及接受和差調變器的控制訊號，可程式計數器則是設計成固定除29。為了要滿足各規格所需的頻道，除數的範圍是119.5到133.5。底下介紹各除頻器的架構。

5.5.1 前置除頻器電路設計



前置除頻器的電路架構如圖5.17所示，包含了三級的D型正反器與兩個或閘 (OR Gate)，當控制電壓為0v時除5，為1.8v時除4。由於前置除頻器必須要除2.4GHz的訊號，因此每個D型正反器內部電路都是使用電流模式 (Current Mode) 的架構，以達到高速除頻的能力。其中每個D型正反器的內部電路為兩極柙鎖器做串接，如圖5.14所示的架構，其原理在除二除頻器該節有詳細提及。值得注意的是由於要操作在高速的狀態，傳統CMOS架構的或閘速度會跟不上，因此我們會把或閘整合進D型正反器的電路當中，以NMOS並聯的形式達到或 (OR) 的功能，電路如圖5.18所示。

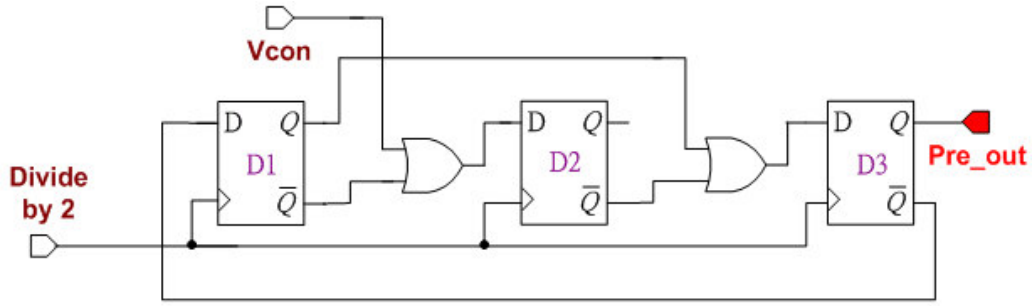


圖5.17 前置除頻器電路架構

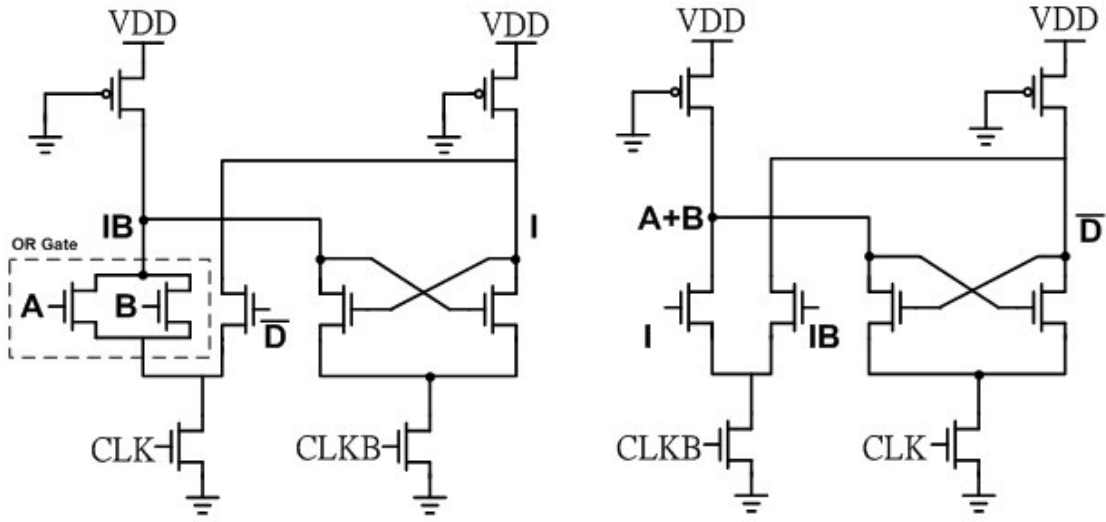


圖 5.18 加入或閘的高速除二電路

前置除頻器的模擬結果如圖5.19所示，前兩個週期控制電壓為0v，前置除頻器除5，所以除二除頻器經過五個週期後，前置除頻器的輸出才完成一個週期；後兩個週期控制電壓為1.8v，前置除頻器除4。

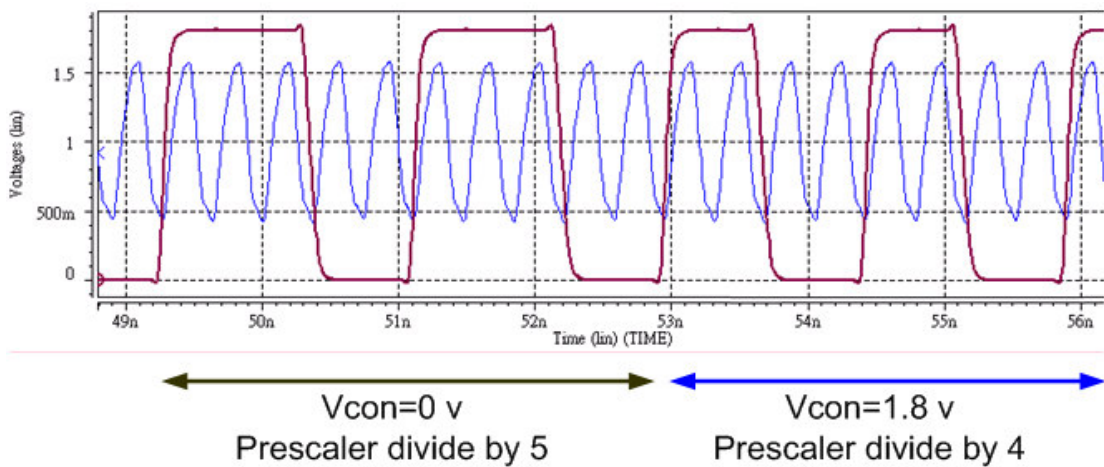


圖5.19 前置除頻器電路模擬

5.5.2 屏蔽計數器電路設計

為了要滿足規格上的所有頻道，屏蔽計數器設計為5位元，由於前置除頻器已經將頻率除四或除五，因此屏蔽計數器的輸入頻率並不會很高，所以採用非同步除頻的架構，並且為了節省功率，所用到的D型正反器皆是用非電流模式的電路。圖5.20所示為屏蔽計數器的架構，由五級的可重設D型正反器作非同步除頻的動作，逐級除頻下去，每級D型正反器都有一個輸入I，若I為1則該正反器會進行除二的動作，也就是輸入要變動兩次輸出才會變動一次，由於是非同步的串接，所以愈右邊的輸入所表示的權重會愈大，因此最後的除數S會為式5.3所表示：

$$S = Vis_0 \times 2^0 + Vis_1 \times 2^1 + Vis_2 \times 2^2 + Vis_3 \times 2^3 + Vis_4 \times 2^4 \quad \text{式 5.3}$$

當每個D型正反器都除完後其QB都會為0，再經過NAND閘產生OUT3，再經由最後一級的XDFF_SR產生Q與來自可程式計數器的重置訊號(Reload)做NAND，以產生Vcon去重置前置除頻器。

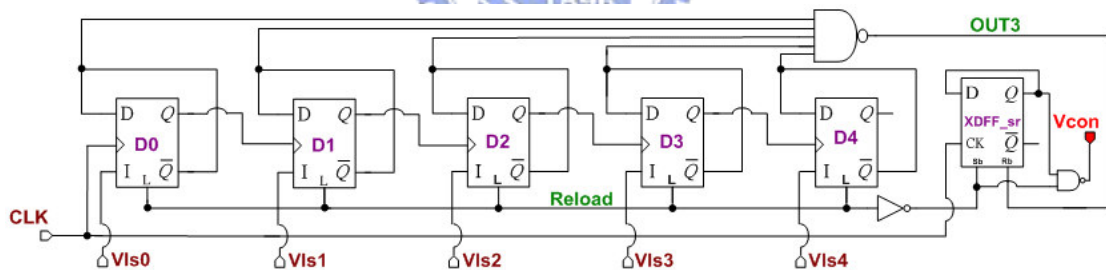


圖 5.20 屏蔽計數器電路架構

5.5.3 可程式計數器電路設計

可程式計數器是一個倒數計數器，其除數為P，功用為將前置除頻器的輸出信號除以P。每當經過P個週期後，就會產生一重置信號，將屏蔽計數器和可程式計數器恢復為起始值，再進行下一次的運算。

圖5.21所示為可程式計數器電路架構，由於所除頻率並非高頻，所以與屏蔽計數器一樣採用非同步除頻的方式，D型正反器是用靜態邏輯架構

(Static Logic) 以節省功率。在我的設計當中可程式計數器固定式除29，因此除頻器的除數變化主要是靠屏蔽計數器的輸入值決定。由於本設計中使用的可程式計數器是非同步除頻的架構，缺點是會產生較多的相位誤差 (Phase Errors)，因此會在最後加入一個同步 (RESynchronous) 電路，以減少相位誤差。最後圖5.22所示是整個除頻器的模擬結果，在該例子中屏蔽計數器的輸入是10，因此整體除數為式5.4所示，除數為126。

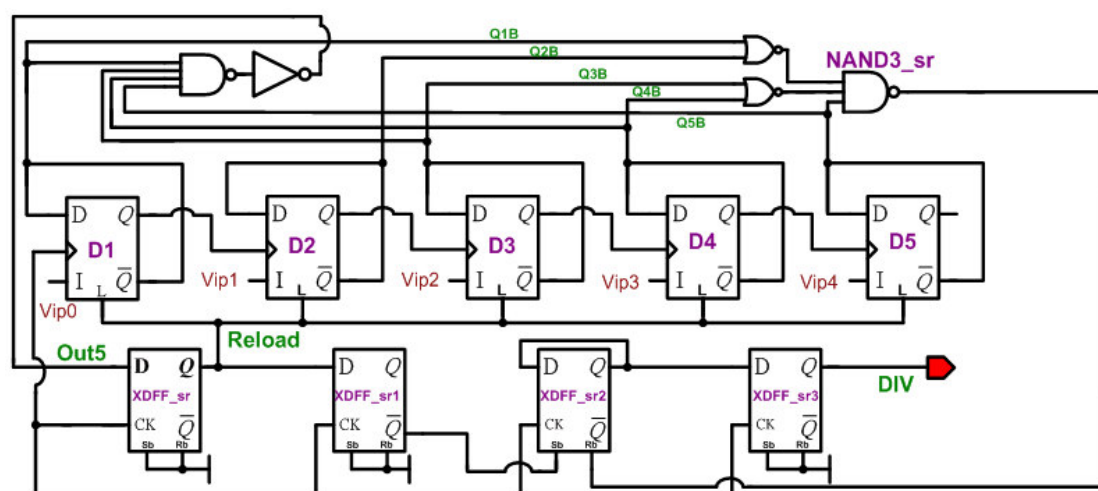


圖 5.21 可程式計數器電路架構

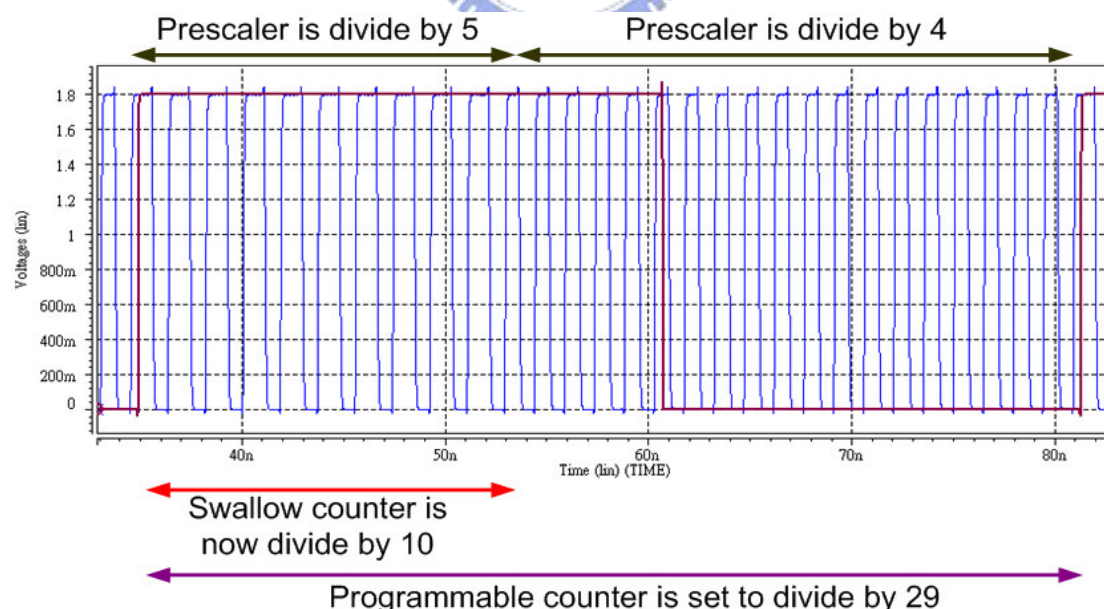


圖5.22 多系數除頻器模擬結果

$$M = 4 \times 29 + 10 = 126$$

式5.4

由於屏蔽計數器的輸入是10，所以在前10個週期控制電壓為0v，因此前置除頻器為除5，數完10個週期後屏蔽計數器將控制電壓設為1.8v，前置除頻器除數就變為除4，維持到第29個週期，此時可程式計數器數滿29因此送出重置訊號重置屏蔽計數器，使其控制電壓又變回0v，前置除頻器則變為除5。此即為整個多係數除頻器的運作過程。

針對這四個規格不同的頻道頻率，底下列出頻道頻率與除數的配置表，說明每個頻道頻率其除數的設定需要為何，首先表5.1與表5.2列出802.11a與802.11b、g的頻道頻率，藍芽系統由於相隔僅1MHz，頻道較多，而實現方式與802.11b、g相同，故在此不列表；表5.3與表5.4則是列出除數實現方式的對應表：

802.11 a			Reference Frequency = 20MHz
Channel Frequency (MHz)	VCO Frequency (MHz)	Divide by 2 Frequency (MHz)	Divide Ratio
5180	5180	2590	129.5
5200	5200	2600	130
5220	5220	2610	130.5
5240	5240	2620	131
5260	5260	2630	131.5
5280	5280	2640	132
5300	5300	2650	132.5
5320	5320	2660	133

表5.1 802.11a頻道頻率配置表與對應除數

802.11b、g			Reference Frequency = 20MHz
Channel Frequency (MHz)	VCO Frequency (MHz)	Divide by 2 Frequency	Divide Ratio
2412	4824	2412	120.6
2422	4844	2422	121.1
2432	4864	2432	121.6
2442	4884	2442	122.1
2452	4904	2452	122.6
2462	4924	2462	123.1
2472	4944	2472	123.6

表5.2 802.11b、g頻道頻率配置表與對應除數



129.5~130.5	130.5~131.5	131.5~132.5	132.5~133.5
M-3 M-1 M+1 M+3 127 129 131 133 M=130	M-3 M-1 M+1 M+3 128 130 132 134 M=131	M-3 M-1 M+1 M+3 129 131 133 135 M=132	M-3 M-1 M+1 M+3 130 132 134 136 M=133
P=29 S'=10 4•P+S'=126	P=29 S'=11 4•P+S'=127	P=29 S'=12 4•P+S'=128	P=29 S'=13 4•P+S'=129
129.5=126+3.5 130.5=126+4.5	130.5=127+3.5 131.5=127+4.5	131.5=128+3.5 132.5=128+4.5	132.5=129+3.5 133.5=129+4.5
+1 +3 +5 +7	+1 +3 +5 +7	+1 +3 +5 +7	+1 +3 +5 +7

表 5.3 802.11a 除數實現配置表

119.5~120.5	120.5~121.5	121.5~122.5	122.5~123.5	123.5~124.5
M-3 M-1 M+1 M+3 117 119 121 123 M=120	M-3 M-1 M+1 M+3 118 120 122 124 M=121	M-3 M-1 M+1 M+3 119 121 123 125 M=122	M-3 M-1 M+1 M+3 120 122 124 126 M=123	M-3 M-1 M+1 M+3 121 123 125 127 M=124
P=29 S'=0 4•P+S'=116	P=29 S'=1 4•P+S'=117	P=29 S'=2 4•P+S'=118	P=29 S'=3 4•P+S'=119	P=29 S'=4 4•P+S'=120
119.5=116+3.5 120.5=116+4.5	120.5=117+3.5 121.5=117+4.5	121.5=118+3.5 122.5=118+4.5	122.5=119+3.5 123.5=120+4.5	123.5=121+3.5 124.5=122+4.5
+1 +3 +5 +7	+1 +3 +5 +7	+1 +3 +5 +7	+1 +3 +5 +7	+1 +3 +5 +7

表 5.4 802.11b、g與藍芽系統除數實現配置表



第六章

佈局與量測結果

6.1 佈局

本晶片是使用台積0.18 μm ,1P6M的製程，圖6.1a所示為晶片照相與（Chip Photo）平面配置圖（Floor Plane），圖6.1b所示為晶片佈局中腳位的配置表（Pad Assignment）。由於要同時產生無線區域網路與藍芽系統所需的頻率，所以有兩個高頻輸出，一個是在5GHz的頻帶，一個是在2.4GHz的頻帶，為了讓高頻的訊號能夠經由最短的路徑到腳位以避免過多的寄生效應，我會將壓控震盪器（VCO）與除二除頻器（1/2）放在晶片的右下角，讓壓控震盪器的訊號經過緩衝器（Buffer）後可以直接從右邊腳位輸出；而除二除頻器訊號的可以經過緩衝器直接從下方的腳位作輸出。訊號在經過除二除頻器後，送入多係數除頻器（Multi-Modulus Divider），由於此時的頻率仍有2GHz，所以多係數除頻器必須緊鄰除二除頻器。之後產生的除頻頻率向上送入相位頻率檢測器（PFD）。相位頻率檢測器產生的充電或放電訊號再送入充電泵，而充電泵會對迴路濾波器作充放電以產生控制電壓去改變壓控震盪器的頻率，由於控制電壓的穩定性會影響整個頻率合成器的輸出相位雜訊，所以在迴路濾波器的位置安排上必須愈靠近壓控震盪器愈好，如此才不會造成控制電壓的路徑上有過多的雜訊干擾，而使相位雜訊過高。

多係數除頻器中，屏蔽計數器的輸入是由外部所給的訊號與和差調變

器產生的隨機訊號相加而得到，屏蔽計數器的輸入為5位元，和差調變器的輸入為10位元，分別配置在左下角與左側的腳位。為了讓輸入和差調變器的數位10位元資料能夠同步的更新，以避免取錯值的現象，我會讓資料輸入後先經過兩級的平行輸入栓鎖器作取樣，並且讓栓鎖器的控制時脈與參考頻率同步。此外我會讓類比電路、數位電路與希望可以單獨調整的電路之VDD與地分開接道不同的腳位，如此可以讓數位與類比的雜訊不會互相干擾，並且讓一些高頻電路有彈性調整電壓源的空間。最後整個晶片共用了47個腳位，由於我的晶片面積是由腳位決定（Pad Dominant），所以扣除主體電路後所剩的面積即可拿來放迴路濾波器所需要的部份電容，而其餘電容可以經由腳位在晶片外部配置。整個晶片所用面積為1,45x1,35 mm²。

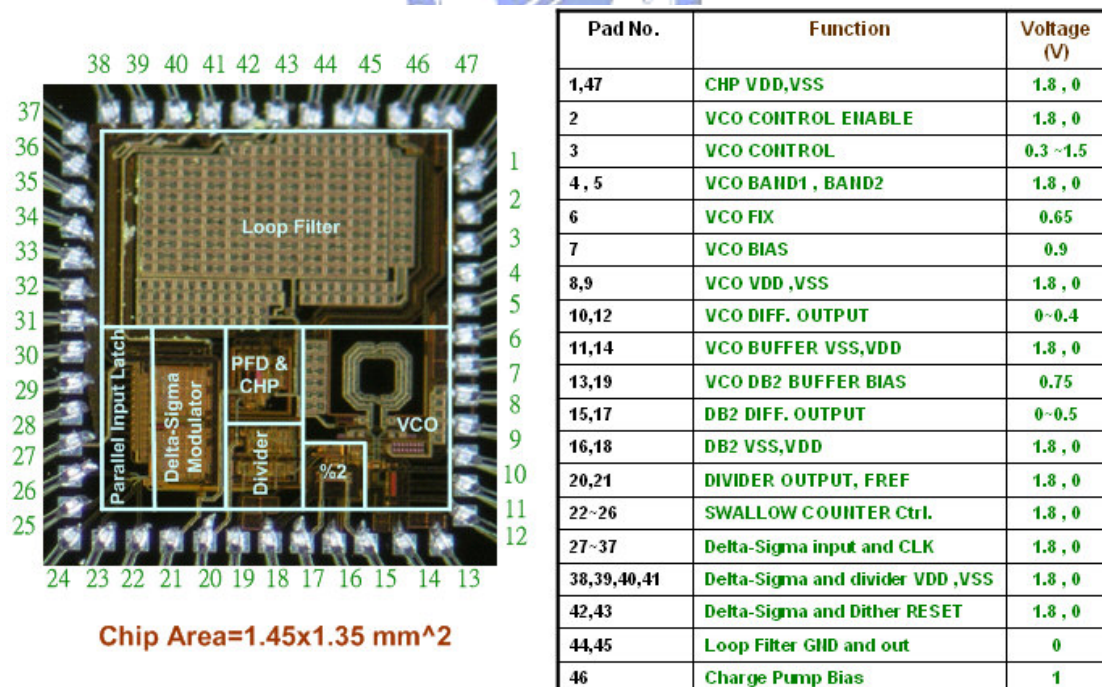


圖 6.1 (a) 晶片照相與平面配置圖 (b) 腳位配置表

6.2 測試考量

本頻率合成器所需要的輸入訊號有20MHz的參考頻率訊號、多係數除頻器的除數設定訊號、和差調變器的輸入訊號；而欲觀測的輸出訊號有壓控震盪器的輸出訊號、除二除頻器的輸出訊號與多係數除頻器的輸出訊號。首先先討論在晶片內部為了測試所做的考量，在輸入方面參考頻率在接入腳位後會先經過反相器串（Inverter Chain）作為輸入緩衝器，將訊號整形為較理想的方波並推動內部電路；而整數除數設定的輸入由於是直流訊號因此直接接到腳位從外部輸入0或1,8的電壓；和差調變器的資料輸入部分則是用十位元的暫存器來讓資料同步輸入。在輸出的部份，壓控震盪器與除二除頻器的輸出都是經由兩級的源級耦合電路（Source Couple Pair）做為緩衝器作輸出，其中第二級的緩衝器會匹配到50歐姆的輸出阻抗，而多係數除頻器的輸出一樣是經由反相器串作輸出緩衝器。

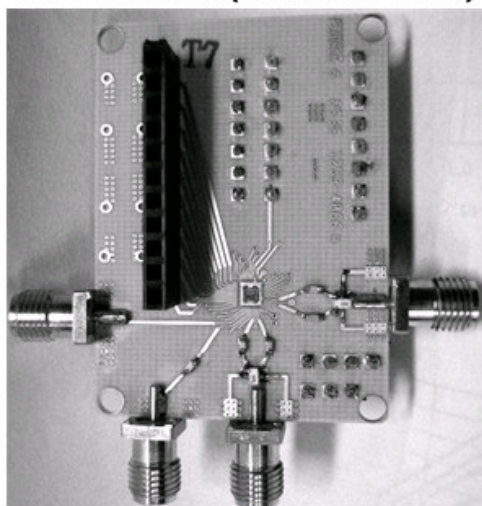
在晶片外部的測試考量上，主要有電路板的製作與量測儀器的使用。圖6.2為電路板的照相圖，在電路板的設計上有以下考量，首先為了讓高頻的訊號能走最短的路徑到量測的儀器，以避免看到太多的寄生效應，會希望訊號傳遞的電路板愈小愈好，然而晶片本身會需要許多的直流偏壓與控制訊號，這些直流偏壓與控制訊號必須要經由偏壓電組與開關器來提供，因此若都做在同一個電路板上，勢必會大幅增加電路板的面積造成高頻訊號要在電路板上走很長的距離。因此我的電路板會設計成兩塊，一塊為交流訊號板（AC Board），晶片打線在該板上面，且高頻的輸出訊號與輸入訊號從該板上直接做輸出輸入；而晶片所需要的直流偏壓與控制開關訊號則是由另一塊直流電路板提供（DC Board），如此可大幅減小交流電路板的面積，以降低高頻訊號看到的寄生效應。

圖6.2a即為交流電路板，右邊的SMA接頭為壓控振盪器的輸出端，右下的SMA接頭為除二除頻器的輸出端，由於這兩個輸出訊號都是高頻輸

出，因此在晶片打線端連接出來的金屬線線寬必須要為17豪英釐，如此搭配上我們所使用的板材之介電係數可以讓該線為一個50歐姆的傳輸線。壓控振盪器和除二除頻器的輸出皆是差動輸出，經由外接的巴倫 (Balun) 可將差動輸入轉成單端輸出，以增加訊號強度。左下方SMA接頭是多係數除頻器的輸出端，左側的SMA接頭是參考頻率的輸入端，而在交流板上直立的排插為和差調變器的10位元數位訊號輸入端與平行輸入暫存器所需要的時脈訊號。

圖6.2b為直流電路板的照像圖，在晶片中所需要的直流偏壓會藉由可變電阻分壓來提供，屏蔽計數器的5位元數位直流輸入可經由開關來做輸入，此外諸如壓控振盪器切換頻帶、壓控振盪器控制電壓要由外部輸入或內部產生以及和差調變器與雜訊擾動機制的使用與否皆是由外部指撥開關來做控制。另外在晶片的量測上，供應電壓源 (Power Supply) 的穩定性非常的重要，因此我會在直流電路板上使用穩壓器 (Regulator) 並加入旁通電容 (Bypass Capacitor)，如此可以讓直流電路板上的電壓非常的穩定，以增進電路的效能。

AC Board (4.5x3.3 cm²)



DC Board (7.3x7.3 cm²)

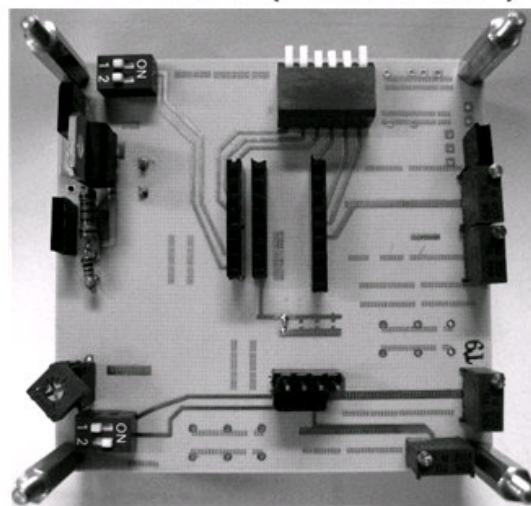


圖 6.2 (a)交流電路板 (b)直流電路板

圖6.3所示為量測儀器的配置圖，主要有兩個輸入訊號，三個輸出訊號，安捷倫的E8267D訊號產生器提供20MHz的參考頻率；惠普的16500A邏輯分析儀提供和差調變器的數位輸入訊號；利用惠普8563E頻譜分析儀觀察壓控振盪器與除二除頻器的輸出頻譜；利用惠普53310A頻域調變分析儀來觀察當量測直接頻移發射機時輸出端頻率對時間的頻率調變圖，最後多係數除頻器的輸出低頻訊號可以經由惠普54825A的時域分析儀進行量測。

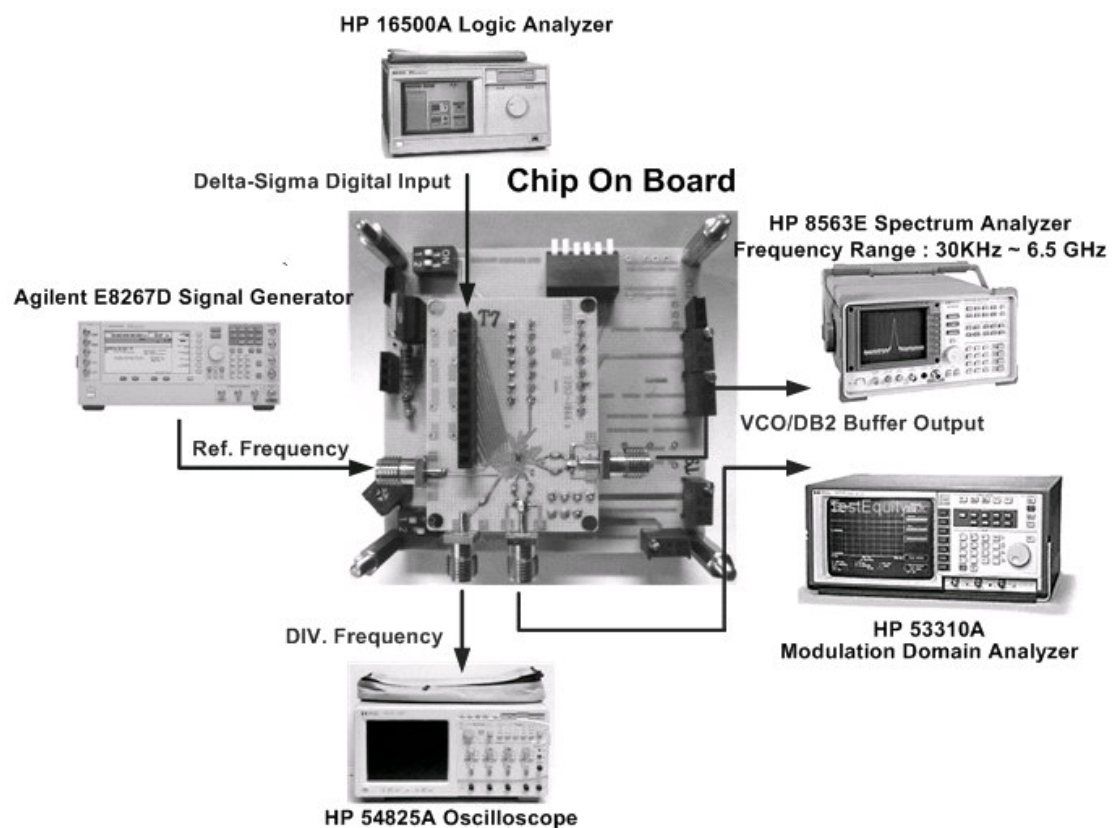


圖 6.3 量測儀器配置圖

6.3 量測結果

在拿到晶片後首先會先進行直流點的量測，大致上量測的直流點都與電路模擬的結果一致，其中我有量測晶片內部的電阻，在佈局上所畫的電阻是10K歐姆，製作出來量測的結果是9K歐姆附近，因此其實還蠻準的。當直流點確定後，即可進行訊號的量測，首先會先確定壓控振盪器的特性，因為這關係到實際上頻率合成器能夠產生頻率的範圍。圖6.4所示為壓控振盪器的頻帶特性圖，為了要符合四個規格的頻率範圍，壓控振盪器必須要產生4.8GHz ~ 5.35GHz，而在考慮製程變異下我的壓控振盪器頻帶會設計為4.77GHz ~ 5.51GHz，由於一般來說頻率皆是向下漂移，因此我的頻率誤差容忍範圍（Frequency Error Margin）也是提供比較多給頻率下降的誤差，然而從特性圖上我們可以知道實做出來的壓控振盪器頻帶並非往下偏移，反而是向上偏移了200MHz，即4.98 ~ 5.66GHz。

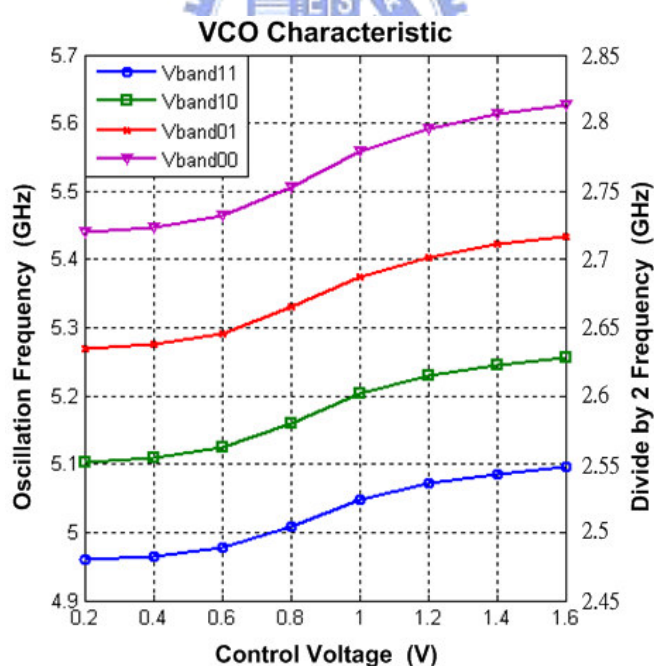


圖 6.4 壓控振盪器頻率特性量測結果

之後發現原因是出在我跑模擬時，多估計了寄生電容，造成實際上的電容沒有預估的多，因此頻率反而向上昇。多估計寄生電容的原因是跑佈局後

模擬時 (Post Simulation)，首先用Calibre這套軟體抽取寄生電容，取得寄生電容後，我利用台積提供的射頻電晶體模型 (RF MOS Model) 結合此寄生電容下去跑，然而在台積提供的模型中其實已經有包含電晶體的繞線寄生電容在內，因此相當於我重複估計了寄生電容，才會使實做出來的頻率向上偏。圖6.4的右側縱軸則是標示在該壓控振盪器的輸出頻率下所對應到的除二除頻器的輸出頻率，可以知道在頻率向上偏移的情況下，除二除頻器仍然能正常的將頻率降頻一半。

圖6.5所示是多係數除頻器的輸出時域量測結果，左邊的量測結果是在壓控振盪器的輸出頻率為5.18GHz，除數設定為264，除頻結果是19.62MHz；右邊的量測結果是在壓控振盪器的輸出頻率為5.65GHz，除數設定為240，因此除頻頻率為23.54MHz。我們可以觀察到即使頻率在最高頻時，除頻器仍能正確工作。

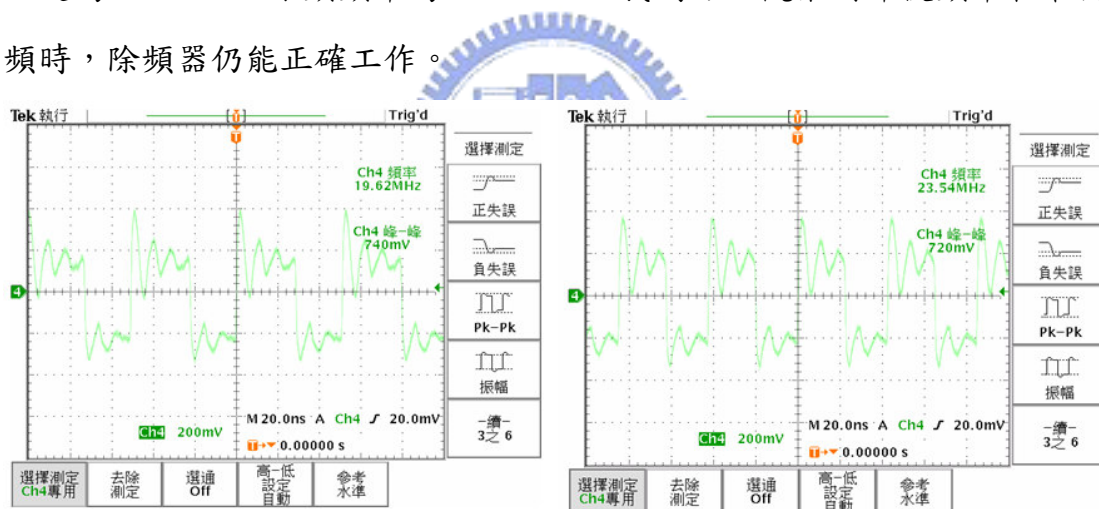
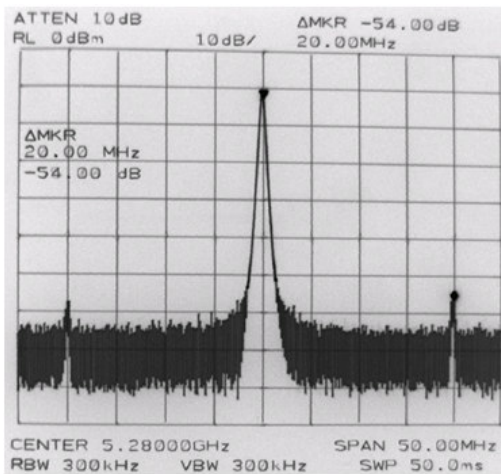
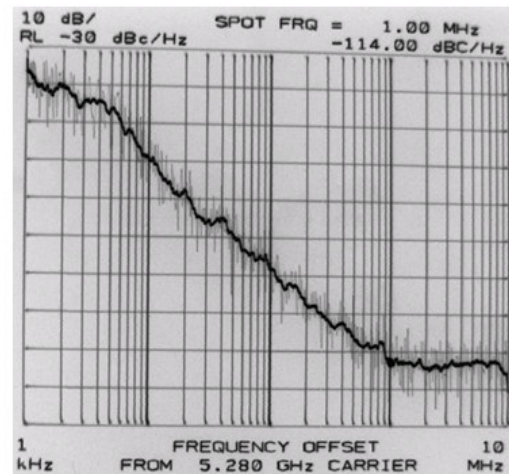


圖 6.5 多係數除頻器量測結果

確定壓控振盪器、除二除頻器與多係數除頻器皆能正常工作後，即可進行頻率合成器的量測。圖6.6(a)所示為鎖相迴路鎖住時，壓控振盪器的輸出頻譜，頻率在5.28GHz，從量測圖形可知道參考頻率突波能夠小於-54dBc，而6.6(b)所示則是壓控振盪器的相位雜訊量測，在頻率偏移1MHz的地方相位雜訊可達到-114dBc/Hz。



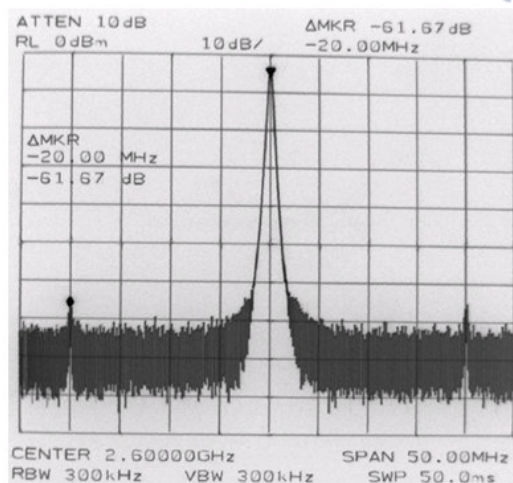
(a)



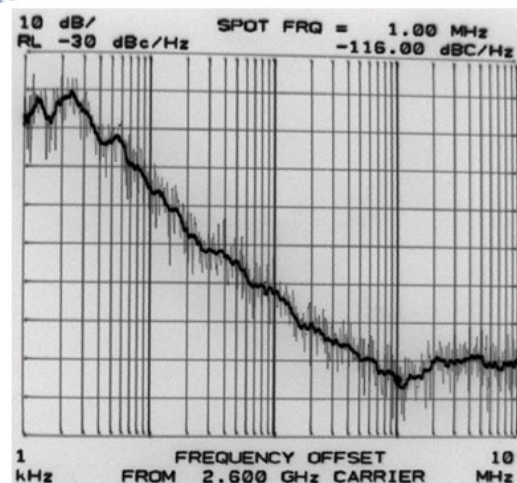
(b)

圖 6.6(a)頻率合成器5.28GHz輸出頻譜(b)頻率合成器5.28GHz相位雜訊

圖6.7(a)則是頻率合成器在除二除頻器輸出端的頻譜，輸出頻率在2.6GHz，那麼可觀測到參考頻率突波能夠小於-61.67dBc。6.7(b)則是除二除頻器的輸出相位雜訊表現，在頻率偏移1MHz的地方相位雜訊可做到-116dBc/Hz。



(a)



(b)

圖 6.7(a)頻率合成器2.6GHz輸出頻譜(b)頻率合成器2.6GHz相位雜訊

接下來驗證和差調變器的功能，圖6.8所示為開啟和差調變器後的輸出頻譜圖，除數為266.5，輸出頻率為5.33GHz，從頻譜圖上可以知道和差調變器有正確的運作，產生平均0.5的非整數除數，其中6.8(a)是沒有開啟雜訊擾動機制（Dithering）的輸出頻譜圖；而6.8(b)則是有開啟雜訊擾動機制的頻譜，我們可以觀察出沒有雜訊擾動機制時頻譜上有許多的非整數突波（Fractional Spur），而開啟雜訊擾動機制後則可以消除這些非整數突波的存在，如同我們在第三章利用Simulink所做的模擬一般。

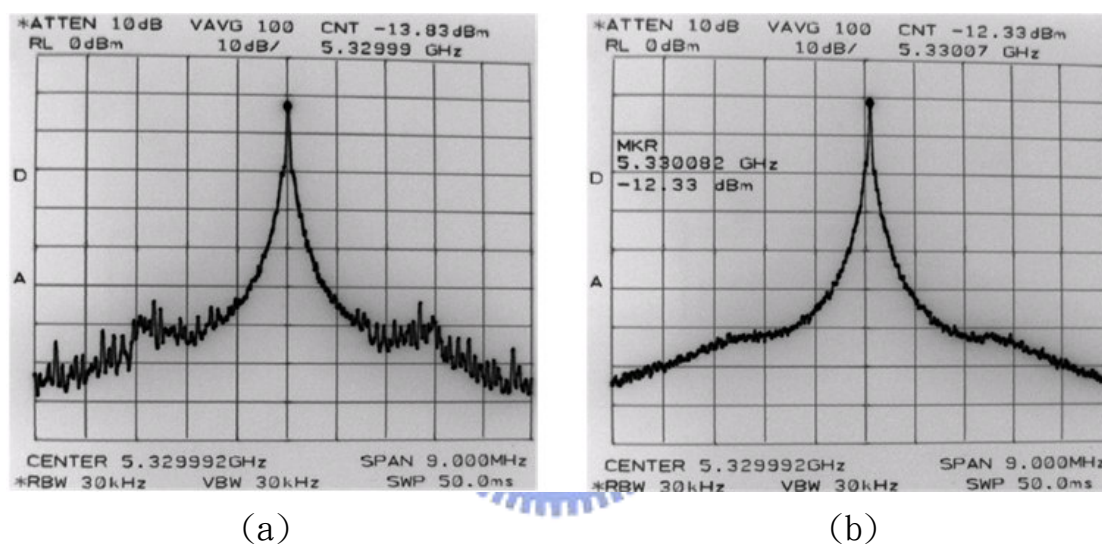
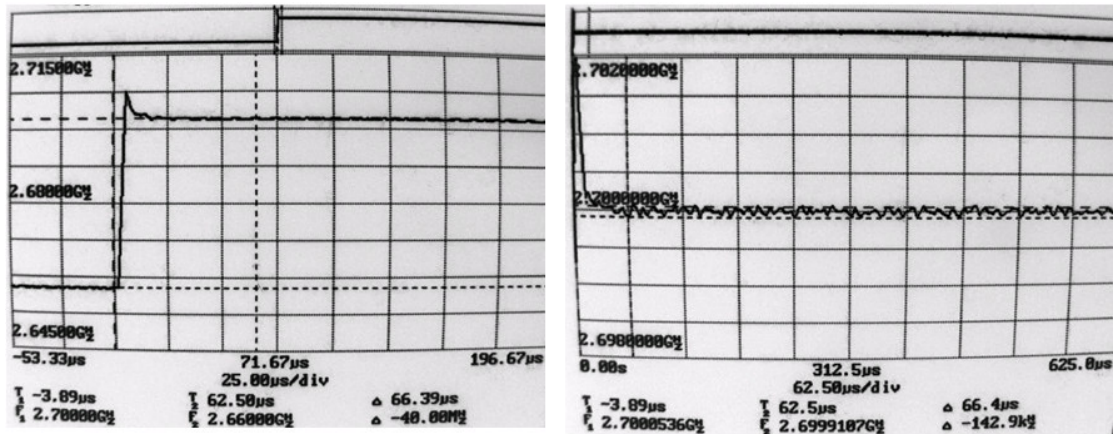


圖 6.8(a)關閉雜訊擾動機制的頻譜(b)開啟雜訊擾動機制的頻譜

頻率合成器的跳頻鎖定時間（Settling Time）也是規格中有規範之參數，圖6.9為鎖定時間的量測，跳動的頻率範圍是80MHz(在此指壓控振盪器跳動之頻率，意即除二除頻器輸出跳動為40MHz)，頻率精確度到達27ppm(+/- 75KHz)以內時所需要的時間為66.4 μ s。圖6.9(b)是圖6.9(a)的局部放大量測圖，以便我們去觀察頻率鎖定後的微小誤差，其中6.9(b)最左邊的突起波形是6.9(a)的中間突起（Peaking）的放大圖。



(a) (b)

圖 6.9(a)跳頻鎖定時間量測圖 (b)局部放大圖

在完成非整數頻率合成器的基本量測後，接下來是直接頻移發射器的量測，我會利用MATLAB分別產生有經過補償濾波器與沒有經過補償濾波器的數位隨機資料，載入到邏輯分析儀中，並藉由邏輯分析儀輸入到晶片當中。首先來看沒有經過補償濾波器的量測結果，圖6.10所示是在MATLAB中產生的數位資料波形，為一筆經過高斯波形整形濾波器的 (2^9-1) PRBS隨機資料。

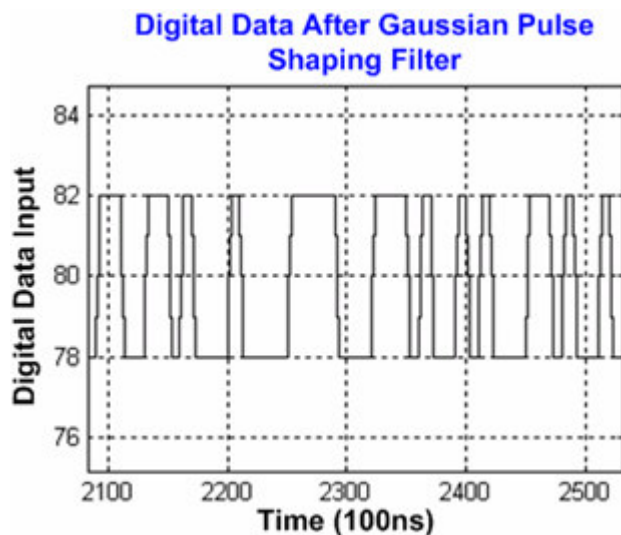


圖 6.10未經補償濾波器之數位資料

圖6.11所示為當資料傳輸速度為低速10KHz時，利用調變分析儀所量測到的輸出頻率對時間的量測結果，可以觀察到輸出訊號在做頻率調變，在所輸入的數位資料對應到的頻率間做隨機的跳動，經由手算分析可以知道所輸入的數位資料對應到的頻率跳動（Frequency Deviation）為160KHz，從量測圖形上可觀察到頻率跳動確實為160KHz。圖6.12為此時在壓控振盪器的輸出端量測到的頻譜，可以觀察到會有兩根頻率訊號（Tone）的存在，這兩根頻率訊號就是對應到數位資料所映射到的兩個頻率，這兩個頻率差在壓控振盪器的輸出端會是在除二除頻器的輸出端的兩倍，故為320KHz。另外我們可觀察到輸出頻譜不再是尖尖的一根，而是較為圓滑如山丘狀，原因是頻率會在兩個值之間隨機的跳動，因此會多出許多的頻率分量，而不再是單一頻率的訊號，故頻譜會圓滑，此量測結果亦可與SIMULINK的模擬結果做對照。在沒有加入補償濾波器的量測中，當資料傳輸速度快到40KHz時，即可發現當輸入數位資料連續在0、1之間跳動時，輸出頻率對時間的量測上，頻率會無法拉開到0、1對應到的準位，此即頻寬不夠的現象。

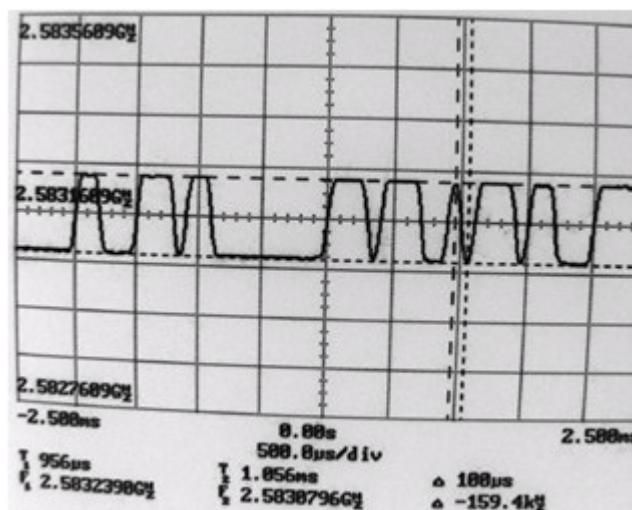


圖 6.11 資料傳輸速度10KHz之頻率調變量測圖（無補償濾波器）

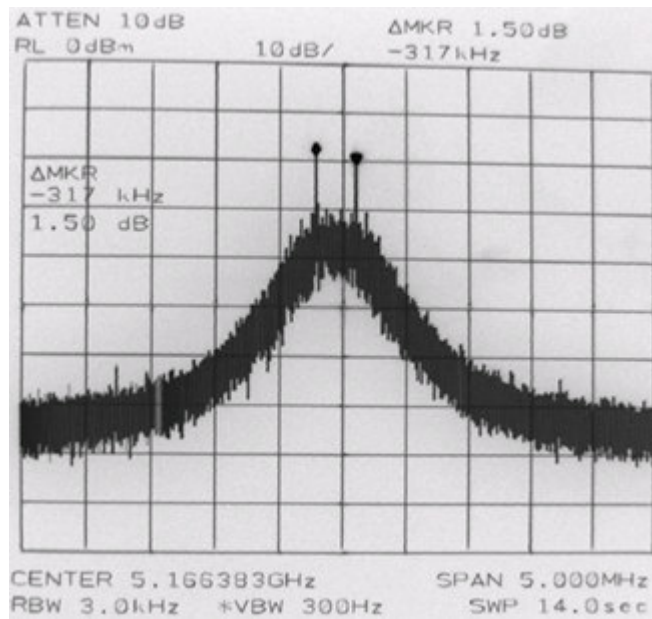


圖 6.12資料傳輸速度10KHz之頻譜圖 (無補償濾波器)

再來量測有加入補償濾波器的例子，圖6.13為MATLAB產生之經過補償濾波器後的數位資料，可以看到在0、1轉換時，高頻增益的突波現象 (Peaking) 很強，在低傳輸速度時此高頻成份能夠通過鎖相迴路的頻寬，因此突波現象仍會存在；但在高傳輸速度時，此高頻成份會被鎖相迴路濾掉，因此突波將會較為平緩。

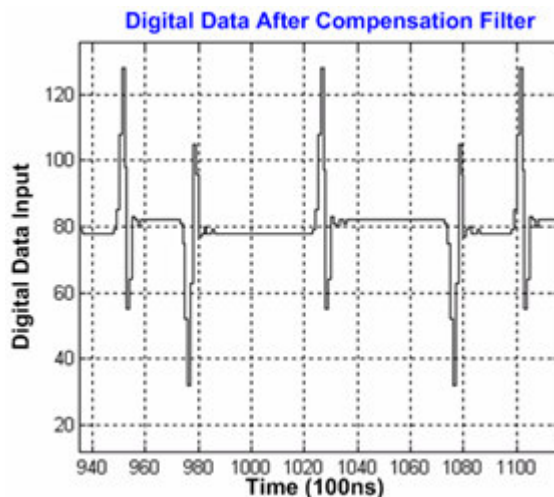


圖 6.13經補償濾波器之數位資料

圖6.14為資料傳輸速度20KHz時的輸出頻率對時間量測圖，如我們所預測的在低傳輸速度時，突波的現象會顯現在輸出端；圖6.15為資料傳輸速度100KHz時的輸出頻率對時間量測圖，此時突波變為較平緩。比較沒加入補償濾波器的例子，資料傳輸速度可以增快近2.5倍。圖6.16為壓控振盪器輸出端的頻譜，除了兩根頻率訊號一樣存在外，可觀察到高頻部份的頻譜向上隆起，此即補償濾波器增益高頻成份所致。

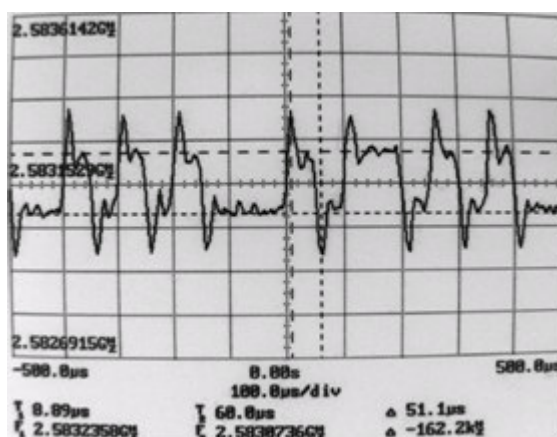


圖 6.14資料傳輸速度20KHz之頻率調變量測圖 (加入補償濾波器)

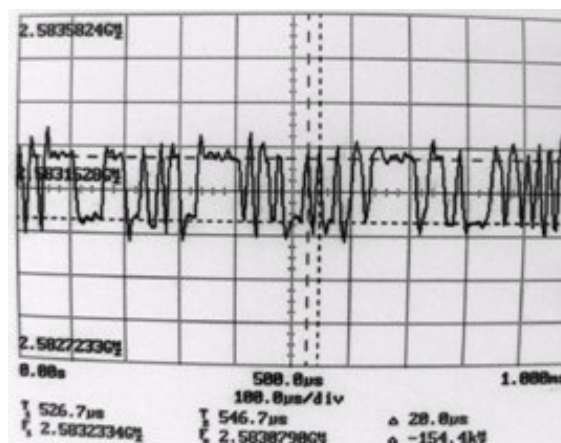


圖 6.15資料傳輸速度100KHz之頻率調變量測圖 (加入補償濾波器)

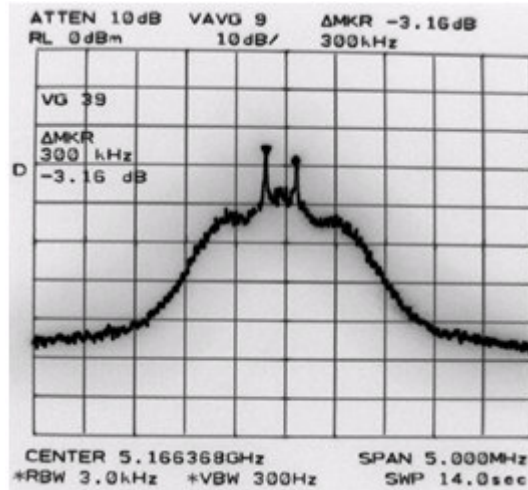


圖 6.16 資料傳輸速度100KHz之頻譜圖 (加入補償濾波器)

以上為直接頻移發射器的量測，在加入補償濾波器後量測到最快的資料傳輸速度是100Kbit/s，藍芽系統規格是1Mbit/s，資料傳輸速度不夠快的原因是鎖相迴路的頻寬過窄所致，由於補償濾波器的高頻增益會增加數位輸入資料的動態範圍(Dynamic Range)，過大的動態範圍易導致和差調變器不穩定，因此並無法無限量增益資料，在頻寬不足與增益有限下，資料傳輸速度才無法到達1Mbit/s。

圖6.17是本晶片的功率消耗分佈圖，主要的功率損耗是在高頻輸出緩衝器上面，由於要推動較大的負載，並且輸出端以50歐姆電阻作阻抗匹配，因此會消耗大電流。扣掉緩衝器的功率，整體功率消耗為19.54mW。

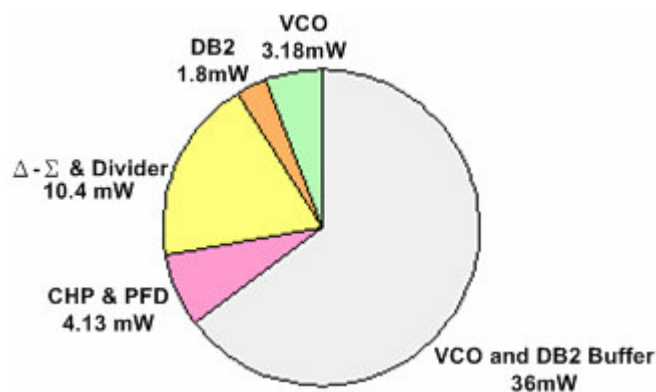


圖 6.17 功率消耗分佈圖

最後下表6.1為整個頻率合成器的量測結果列表，其中壓控振盪器的

$$FOM \text{ 是依照下式做運算： } FOM = 10 \log \left[\left(\frac{f_o}{\Delta f} \right)^2 \times \frac{1}{L(\Delta\omega) \times \text{core_power}} \right] = 186$$

是一個不錯的值。

Process		TSMC 0.18 μ m CMOS
Frequency range		5.44GHz~5.63GHz 5.27GHz~5.43GHz 5.1GHz~5.26GHz 4.96GHz~5.1GHz
Reference frequency		20 MHz
Settling time		66.4us
Phase Noise@1MHz		-114(5GHz) / -116(2.5GHz) dBc/Hz
Division ratio		119.5 ~ 133.5
VCO FOM		186
Supply voltage		1.8v
Power	VCO	3.18 mW
	Δ-Σ Divider & DB2	12.2mW
	Charge Pump PFD	4.13 mW
	Total	19.54 mW

表 6.1 頻率合成器量測結果列表

最後我們可以再做一個附加的量測，為展頻通訊，在此我們僅須要改變輸入的數位資料波形與大小，即可讓輸出頻譜符合展頻通訊規格的要求，圖6.18為所輸入的數位資料，目標規格是向下展頻5000ppm，傳輸速度為30KHz，中心頻率為5.2GHz，因此展頻大小為26MHz。圖6.19為展頻後的頻率對時間量測圖形，可以觀察到確實如我們所輸入的數位資料成三角波變化，由於是在除二除頻器輸出做觀察所以頻率變化是13MHz為壓控振盪器輸出頻率變化的一半。

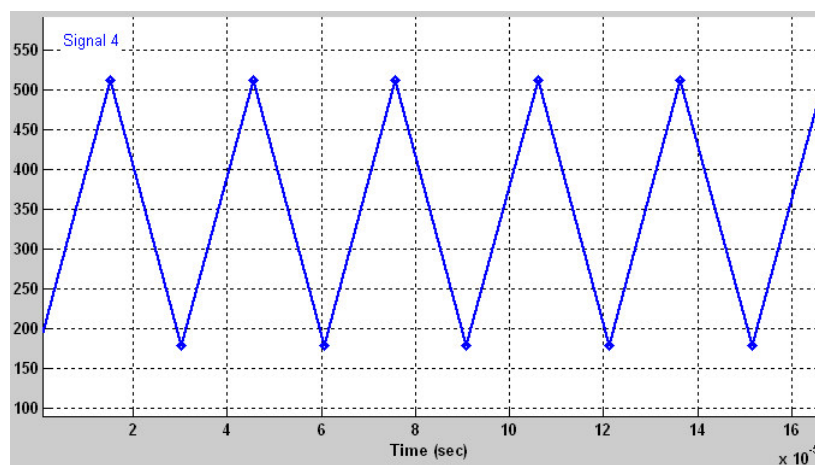


圖 6.18展頻數位資料

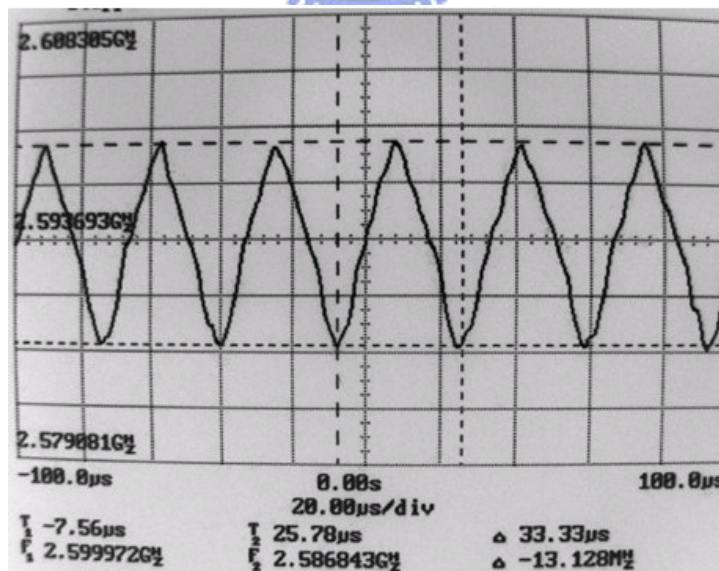


圖 6.19展頻頻率對時間量測圖

下圖6.20則是量測的頻譜圖，尖尖的部份為展頻前的5.2GHz頻譜，上部平坦的部份為展頻後的頻譜，觀察平坦部分的頻率範圍的確為所設計的26MHz，展頻前與展頻後的功率差為28.4dBc。

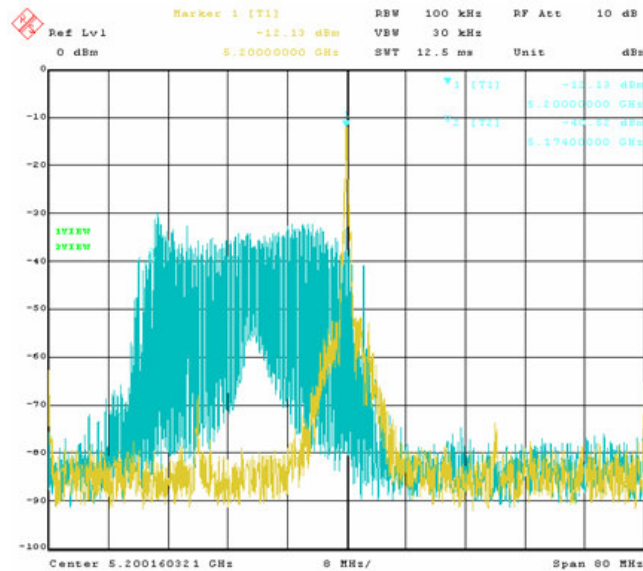
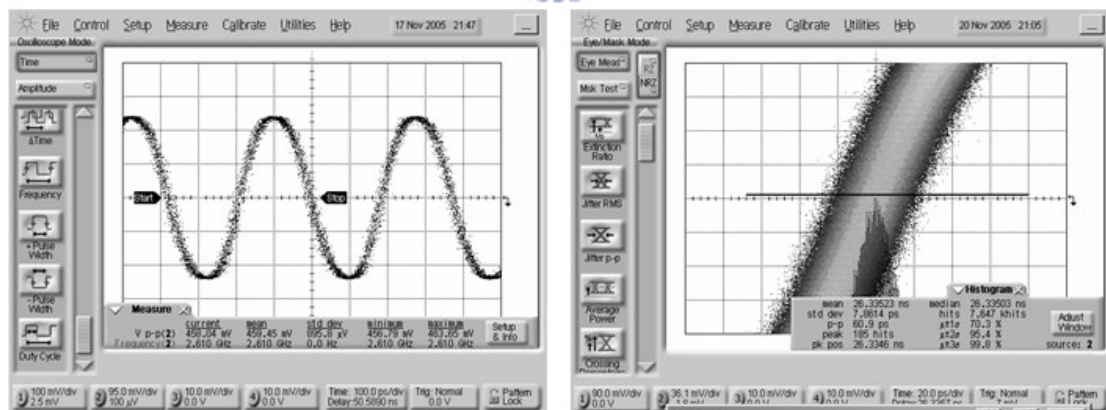


圖 6.20 展頻前後的頻譜比較

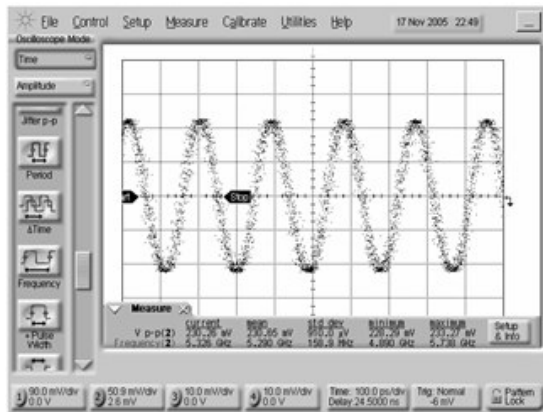
另外，底下的量測圖形為利用高頻的示波器，來看我壓控振盪器與除二除頻器的輸出端對時間的暫態量測波形，並量測其Jitter：



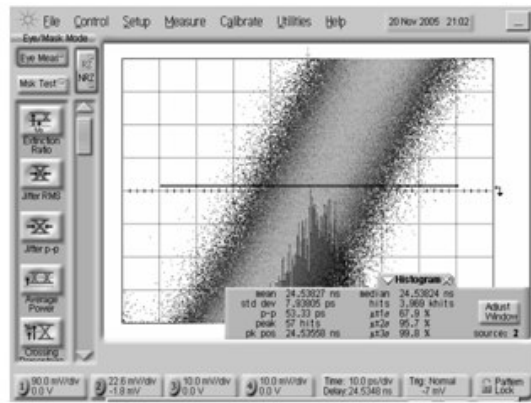
Divide-by-2 Output
Frequency=2660MHz

Divide-by-2 Output Jitter
P-P Jitter=60.9ps
Std. Deviation Jitter=7.8ps

圖 6.21 除二除頻器輸出波形與Jitter



VCO Output
Frequency=5320MHz



VCO Output Jitter
P-P Jitter=53.33ps
Std. Deviation Jitter=7.8ps

圖 6.22 壓控振盪器輸出波形與Jitter

底下為改變和差調變器的輸入值，來看產生的非整數突波的位置有無
如理論分析般，產生於該出現的地方：

Delta-Sigma input is 51

The fractional spur occur at $20000 \times \frac{51}{1024} = 996\text{KHz}$

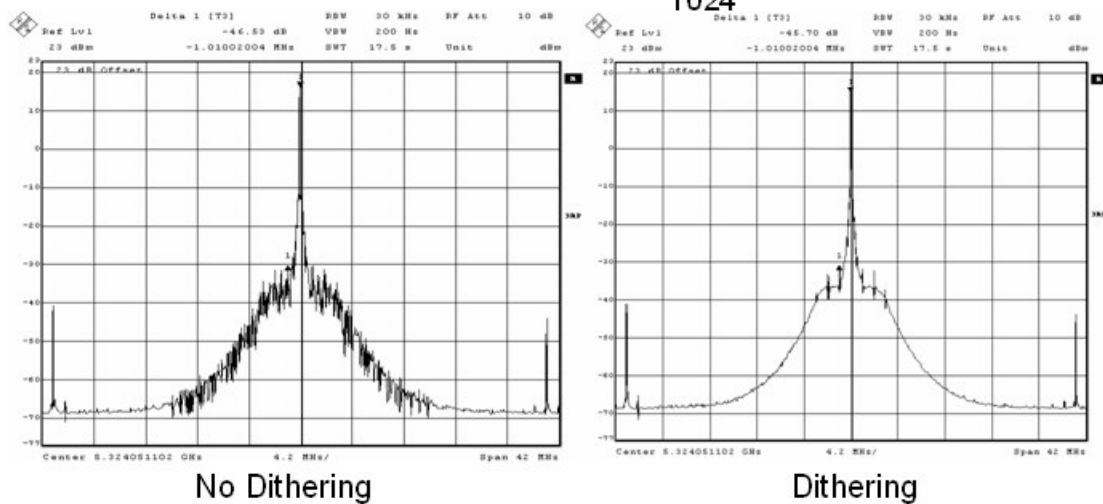
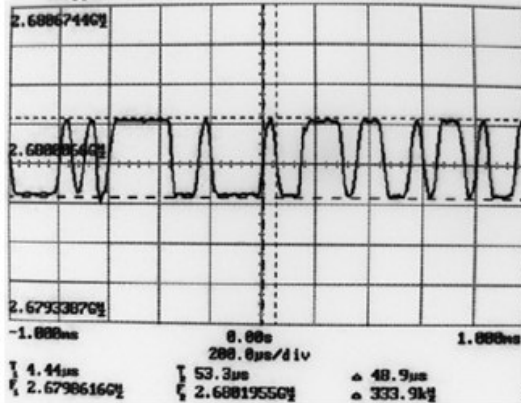


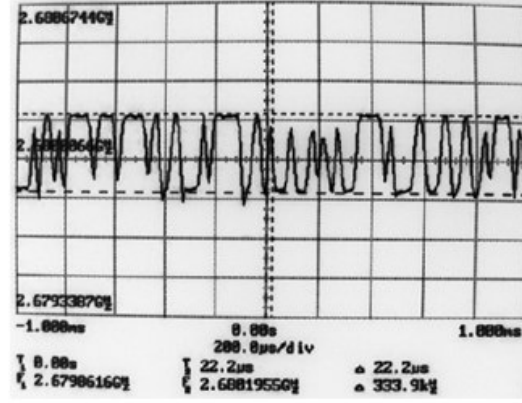
圖 6.23 不同輸入值的非整數突波量測

再來附上不同頻率偏移（Frequency Deviation）下的直接調變量測，
 頻率偏移量為300KHz。

Without Compensation Filter



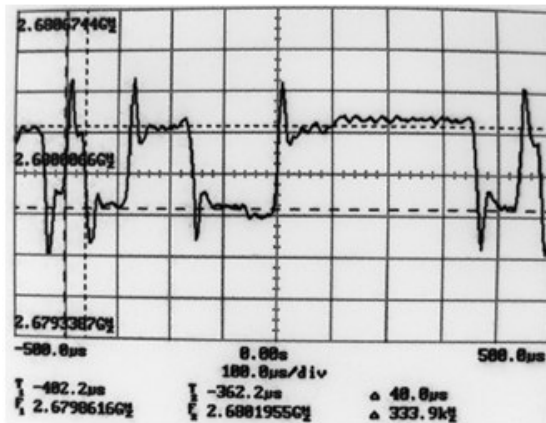
Data rate=20KHz
 Frequency Deviation=333KHz



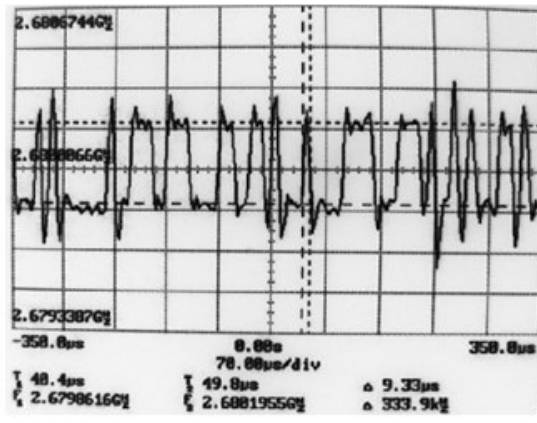
Data rate=50KHz
 Frequency Deviation=333KHz

圖 6.24 不加補償濾波器，頻率偏移333KHz下的直接調變量測

With Compensation Filter



Data rate=25KHz
 Frequency Deviation=333KHz



Data rate=100KHz
 Frequency Deviation=333KHz

圖 6.25 加補償濾波器，頻率偏移333KHz下的直接調變量測

因此補償濾波器相較於原本沒有補償濾波器，仍然能提供兩倍以上的
 傳輸速度。

第七章

結論

本論文實現了一個單晶片適用於直接頻移發射器系統中的和差調變頻率合成器，並且整個晶片的功能皆正確的量測到。

→具有頻率調變功能，並利用MATLAB的SIMULINK建立直接頻移發射器系統，進行快速的系統模擬，在量測上正確的量測到頻率調變的機制，而資料傳輸速度可達100Kbit/s，並驗證了補償濾波器增進資料傳輸速度的功能。

→利用數學模型手算分析鎖相迴路中的相位雜訊，並運用MATLAB進行迴路頻寬最佳化，以減少頻率合成器的相位雜訊。在量測上，迴路鎖定後，壓控振盪器的輸出相位雜訊在1MHz頻率偏移處可做到-117 dBc/Hz，而除二除頻器在1MHz頻率偏移處可做到-120 dBc/Hz。

→和差調變器的電路中會加入雜訊擾動（Dithering）的機制，以抑制非整數突波（Fractional Spur），運用SIMULINK模擬出此現象。在量測上驗證了加入雜訊擾動機制後確實能夠減少非整數突波。

→在充電泵的設計上，加入回授電路與複製偏壓（Replica Bias）電路，來讓充電與放電電流的匹配度增加，以減少參考突波（Reference Spur）的大小。在量測上，壓控振盪器輸出端的參考突波可小於-54dBc；除二除頻器的輸出端參考突波可小於-61.67dBc，參考突波量非常小，證明充電泵電流的匹配度很高。

參考文獻

- [1] P. Gray and R. Meyer, “Future directions in silicon ICs for RF personal communications,” in *IEEE Custom IC Conference*, pp. 83–90, 1995.
- [2] Behzad Razavi, “RF Microelectronics”, chapter 5, Prentice Hall, 1997
- [3] T. A. Riley and M. A. Copeland, “A simplified continuous phase modulator technique,” *IEEE Transactions on Circuits and Systems — II: Analog and Digital Signal Processing*, vol. 41, no. 5, pp. 321–328, May 1994.
- [4] T. A. Riley, M. A. Copeland, and T. A. Kwasniewski, “Delta-Sigma Modulation in Fractional-N Frequency Synthesis,” *IEEE Journal of Solid State Circuits*, vol. 28, no. 5, pp. 553–559, May 1993.
- [5] B. Miller and B. Conley, “A Multiple Modulator Fractional Divider,” in *Proc. 44th Annual Symp. on Freq. Control*, pp. 559–567, May 1990.
- [6] B. Miller and B. Conley, “A Multiple Modulator Fractional Divider,” *IEEE Trans. Instrumentation and Meas.*, vol. 40, no. 3, pp. 578–583, June 1991.
- [7] M. Perrott, T. Tewksbury, and C. Sodini, “A 27-mW CMOS fractional-N synthesizer using digital compensation for 2.5-Mb/s GFSK modulation,” *IEEE J. Solid-State Circuits*, vol. 32, pp. 2048–2060, Dec. 1997.
- [8] Bram De Muer; Steyaert, M.S.J.; “On the analysis of Delta Sigma fractional-N frequency synthesizers for high-spectral purity” *Circuits and Systems II: Analog and Digital Signal Processing*, *IEEE Transactions on* see also

Circuits and Systems II: Express Briefs, IEEE Transactions on] ,Volume:
50 , Issue: 11 , Nov. 2003

Pages:784 – 793

[9] “A General Theory of Phase Noise in Electrical Oscillators” Ali
Hajimiri, Thomas H. Lee , IEEE Journal of Solid-State
Circuits ,VOL.33,NO.2 , February 1998 ,pp179-194

[10] National Semiconductor

[11] J.C.Candy and O.J.Benjamin. “ The Structure of Quantization Noise
from Sigma-Delta Modulation”. IEEE Trans. On Communications.
VOL.COM-29,pp.1316-1323,.1981.

[12]Y.Matsuya and Y.Akazawa. “Multi-Stage Noise Shaping Technology
and Its Application to Precision Measurement” , IMTC '92 IEEE.
Pp.540-544. 1992.

[13] Behzad Razavi, Member, IEEE, “A Study of Phase Noise in CMOS
Oscillators,” IEEE J. Solid-State Circuits, Vol. 31, pp. 331-343, March
1996

[14] D. A. Hitok, C. G. Sodini, “Adaptive Biasing of a 5.8GHz CMOS
Oscillator”IEEE Int. Solid-State Circuits Conf.Dig. Tech. Papers , pp.
292-293 , Feb.2002.

[15] E.Hegazi,et al., “A Filtering Technique to Lower Qscillator Phase
Noise,”IEEE Int. Solid-State Circuits Conf.Dig. Tech. Papers , pp.
292-293 , Feb.2001.

簡歷

姓名：余岱原

生日：1981 年 05 月 14 日

地址：中壢市王子五街八號六樓

學經歷：

交通大學電子工程學系 (1999-2003)

交通大學電子研究所碩士班 (2003-2005)

研究所主修課程：



類比積體電路 I

吳介琮 教授

類比積體電路 II

吳重兩 教授

個人通訊

林一平 教授

數位積體電路

柯明道 教授

高頻電路設計與實驗

郭建男 教授

數位通訊

桑梓賢 教授

積體電路之靜電防護

柯明道 教授

半導體元件物理

雷添福 教授