

# 國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

一個多頻帶且快速鎖定時脈資料回復電路



## A Multi-band Fast Lock Clock and Data Recovery Circuit

研究生：魏進元

指導教授：陳巍仁 教授

中華民國九十四年十二月

一個多頻帶且快速鎖定時脈資料回復電路

# A Multi-band Fast Lock Clock and Data Recovery Circuit

研究生 : 魏進元

Student : Chin-Yuan Wei

指導教授 : 陳巍仁 教授

Advisor : Prof. Wei-Zen Chen



A Thesis

Submitted to Department of Electronics Engineering & Institute of Electronics  
College of Electrical and Computer Engineering  
National Chiao Tung University  
in Partial Fulfillment of the Requirements  
for the Degree of Master  
In  
Electronics Engineering  
December 2005

Hsin-Chu, Taiwan, Republic of China

中華民國九十四年十二月

# 一個多頻帶且快速鎖定時脈資料回復電路

研究生:魏進元

指導教授:陳巍仁 教授

國立交通大學

電子工程學系 電子研究所碩士班

## 摘要

本論文之目標為實現一通用型資料回復器及解多工器電路，以期應用在高速串列傳輸收發機之內。此資料回復器電路係採用二倍超取樣技術，其主要內部電路包含多相位輸出之鎖相迴路、相位內插器、相位偵測器、計數器及暫存器。待還原之每筆輸入資料將經由二取樣相位進行取樣，其中取樣相位係由鎖相迴路之輸出相位內插而成，而相位內插之權值將預存於暫存器中。時脈回復過程中相位偵測器將比較取樣相位及輸入資料相位之相對誤差，藉此產生修正信號並回存於暫存器中，進而達到合成最佳資料取樣相位之目的。為減少時脈回復過程所需耗費之時間，本論文提出結合二位元搜尋法及二倍速超取樣之資料回復電路架構，藉此大幅減少鎖定所需時間，同時利用多相位分時平行取樣技術，進而達到高速操作及低功率消耗之目的。此電路採用 TSMC 0.18 $\mu\text{m}$  CMOS 製程技術，操作電壓為 1.8V 之下，當資料頻率為 3.125Gbps 時，總功率消耗為 78 毫瓦。

# **A Multi-band Fast Lock Clock and Data Recovery Circuit**

**Student : Chin-Yuan Wei**

**Advisor : Prof. Wei-Zen Chen**

**Department of Electronics Engineering & Institute of Electronics  
National Chiao-Tung University**

## **Abstract**

The objective goal of this paper is to implement a universal clock and data recovery circuit (CDR), including deserializer for high-speed serial-link wireline transceiver. The CDR adapts 2-times oversampling techniques. Major circuit blocks include a multi-phase phase-locked loop (PLL), phase interpolators, phase detectors, digital counters and registers. The incoming data will be resampled by two sampling phases, which are generated by interpolators. The interpolators regenerate the sampling phases derived from multi-phase PLL according to the weighting factors stored in the registers. Under the clock and data recovery process, the phase detectors detect the phase difference between the sampling clock and input data, and then generate a compensating signal to adjust the weighting factor of phase interpolator, so as to synthesize the optimum sampling phase. In order to reduce the locking time, we propose a novel CDR architecture based on 2 times oversampling technique and binary search algorithm. By means of time-division, multiphase parallel sampling techniques, high speed operations as well as low power consumption can be achieved simultaneously. The circuit is designed by TSMC 0.18 $\mu$ m CMOS process. The supply voltage is 1.8V. Total power consumption is 78mW (@3.125Gbps).

## 致謝

首先要感謝指導教授陳巍仁教授二年半來給我鼓勵與細心的指導，使我在研究領域上得到了不少寶貴的經驗。也感謝口試委員們撥空來參加口試，以及給一些寶貴的意見使我的論文能夠更完整。

接著要感謝跟我一起打拼的實驗室學長小白、瑞銘、宗霖、家華、騰毅、洪濤、偉茗、大新、冠勝等，還有在 527 的同學們台祐、啟賓、岱原、建文×2、宗熙、煒明、吳諭、熒哥等，以及學弟立龍、國慶、岳勳、志賢、信文、巧伶、松諭、世豪、宗裕...繁不及備載，感謝大家在這一段時間的幫忙，讓我不管在德智體群美每方面都受益良多,感謝大家能陪伴我度過這多彩多姿的碩士生活。

最後再次感謝大家，感謝大家的幫忙與提攜。



# 目錄

摘要.....	i
致謝.....	iii
目錄.....	iv
圖目	
錄.....	vii
表目	
錄.....	viii
<b>第一章 簡介.....</b>	<b>1</b>
1.1 動機.....	1
1.2 時脈資料回復電路架構.....	2
1.3 論文組織.....	3
<b>第二章 時脈倍頻電路.....</b>	<b>4</b>
2.1 簡介.....	4
2.2 時脈倍頻電路架構.....	5
2.3 時脈倍頻電路線性模型.....	7
2.4 電壓控制振盪器.....	9
2.5 振盪器頻段控制電路.....	14
2.6 除頻器與相位頻率偵測器.....	17
2.7 電荷幫浦電路.....	21
2.8 迴路濾波器設計.....	22
2.9 模擬與量測結果.....	24
<b>第三章 抖動分析.....</b>	<b>29</b>
3.1 簡介.....	29
3.2 抖動對錯誤率的影響.....	29
3.3 抖動容忍度.....	33
3.4 模擬結果.....	37

<b>第四章 時脈資料回復電路.....</b>	<b>38</b>
4.1 簡介.....	38
4.1.1 CDR 二種傳統架構.....	38
4.1.2 CDR 的架構,及其工作原理.....	40
4.2 相位偵測器.....	42
4.2.1 傳統 Alexander 式的架構.....	42
4.2.2 改進後 Alexander 式相位偵測器.....	44
4.3 相位內插器.....	46
4.4 數位-類比轉換器.....	47
4.5 迴路濾波器.....	48
4.6 模擬以及量測結果.....	52
<b>第五章 結論.....</b>	<b>59</b>
<b>參考文獻.....</b>	<b>61</b>
<b>簡歷.....</b>	<b>63</b>



# 圖目錄

Fig 1.1	EPON 傳輸系統.....	1
Fig 1.2	時脈資料回復電路的架構圖.....	2
Fig 2.1	傳統鎖相迴路架構圖.....	5
Fig 2.2	時脈倍頻電路.....	7
Fig 2.3	鎖相迴路線性模型.....	7
Fig 2.4	鎖相迴路開迴路增益頻率響應.....	9
Fig 2.5	振盪器之子電路.....	11
Fig 2.6	環型壓控振盪器.....	11
Fig 2.7	振盪器緩衝電路.....	12
Fig 2.8	控制電壓與頻率分佈圖(TT).....	13
Fig 2.9	控制電壓與頻率分佈圖(SS).....	13
Fig 2.10	控制電壓與頻率分佈圖(FF).....	13
Fig 2.11	振盪器頻段控制電路.....	14
Fig 2.12	減法器電路.....	15
Fig 2.13	計數器電路.....	16
Fig 2.14	數位類比轉換器(DAC)電路圖.....	16
Fig 2.15	除頻器架構.....	17
Fig 2.16	TSPC 除頻器電路.....	18
Fig 2.17	相位頻率偵測器架構圖.....	19
Fig 2.18	相位頻率偵測器狀態圖.....	19
Fig 2.19	傳統型相位頻率偵測器電路.....	20
Fig 2.20	預充型 TSPC DFF.....	20
Fig 2.21	相位頻率偵測器輸出特性.....	21
Fig 2.22	電荷幫浦電路.....	22
Fig 2.23	低通濾波器.....	23
Fig 2.24	控制電壓圖(TT).....	24
Fig 2.25	八相位 1.25GHz 時脈眼圖.....	25
Fig 2.26	312.5MHz 時脈波形量測圖.....	26
Fig 2.27	625MHz 時脈波形量測圖.....	26
Fig 2.28	1250MHz 時脈波形量測圖.....	27
Fig 3.1	所有可能造成錯誤的抖動種類.....	30
Fig 3.2	輸入資料抖動的 PDF.....	32

Fig 3.3	受到雜訊頻率調變的資料(1)	33
Fig 3.4	受到雜訊頻率調變的資料(2)	34
Fig 3.5	錯誤率的模擬結果	37
Fig 3.6	抖動容忍度的模擬結果	38
Fig 4.1	鎖相迴路式時脈資料回復器	39
Fig 4.2	超取樣式時脈資料回復器	39
Fig 4.3	時脈資料回復電路架構圖	40
Fig 4.4	資料和取樣時脈關係圖	42
Fig 4.5	傳統 Alexander 式的相位偵測器	43
Fig 4.6	取樣相位關係圖	44
Fig 4.7	改進後的相位偵測器(1)	44
Fig 4.8	改進後的相位偵測器(2)	45
Fig 4.9	TSPC 正反器電路架構	46
Fig 4.10	相位內插器電路圖	46
Fig 4.11	相位內插器模擬結果	47
Fig 4.12	數位類比轉換器電路圖	48
Fig 4.13	迴路濾波器的架構圖	49
Fig 4.14	SAR 控制器電路	50
Fig 4.15	SAR 控制器控制 DAC 控制器的示意圖	51
Fig 4.16	DAC 控制器電路圖	52
Fig 4.17	以 Verilog 模擬時脈資料回復電路的模擬圖	53
Fig 4.18(a)	時脈資料回復電路模擬圖(尚未鎖定狀態)	53
Fig 4.18(b)	時脈資料回復電路模擬圖(已鎖定狀態)	54
Fig 4.19	資料速率為 625 Mbps 的眼圖	54
Fig 4.20	資料速率為 1.25 Gbps 的眼圖	55
Fig 4.21	資料速率為 2.5 Gbps 的眼圖	55
Fig 4.22	資料速率為 3.125 Gbps 的眼圖	56
Fig 4.23	資料速度為 625Mbps 的鎖定時間量測圖	57
Fig 4.24	資料速度為 1250Mbps 的鎖定時間量測圖	57
Fig 4.25	資料速度為 2500Mbps 的鎖定時間量測圖	58
Fig 4.26	資料速度為 3125Mbps 的鎖定時間量測圖	58
Fig 5.1	晶片照相圖	60
Fig 5.2	晶片測試環境設定圖	60

# 表目錄

表 1- 1	時脈資料回復電路規格.....	3
表 2- 1	時脈倍頻電路特性表 .....	25
表 5- 1	時脈回復電路之國際指標 .....	29



# 第一章 簡介

## 1.1 動機

時脈與資料回復電路(CDR)在高速傳輸的收發機系統裡扮演了一個重要的角色。此種高速收發機可以應用在許多的通訊系統裡，比如光纖通訊和 SATA 等等。在此通訊系統中，通常接收端接受到的資料都是非同步的，並且受到了雜訊干擾使得資料失真，所以在接收端中的時脈資料回復電路必須從資料中萃取出時脈的資訊，並利用此資訊將輸入的資料作時脈重置的動作，以便可以減少錯誤率。除此之外，為了使傳輸的效益更大，在 EPON 的系統中要求 CDR 能夠快速的鎖定，由於本論文的時脈資料回復電路主要是應用在 EPON 系統中，因此快速鎖定為本論文設計的重點之一。

Fig 1.1 為 EPON 傳輸的範例，OLT 為終端機，ONU 為一般的用戶端，OLT 傳送資料給 ONU 端是以傳統的連續式方式來傳輸，但是 ONU 傳送資料給 OLT 端是以分時多工的方式來傳輸的，亦即以脈衝模式來傳輸，若是時脈資料回復電路可以快速鎖定，則每個脈衝之間的間隔可以比較小，將可以使得傳輸的效益提升。

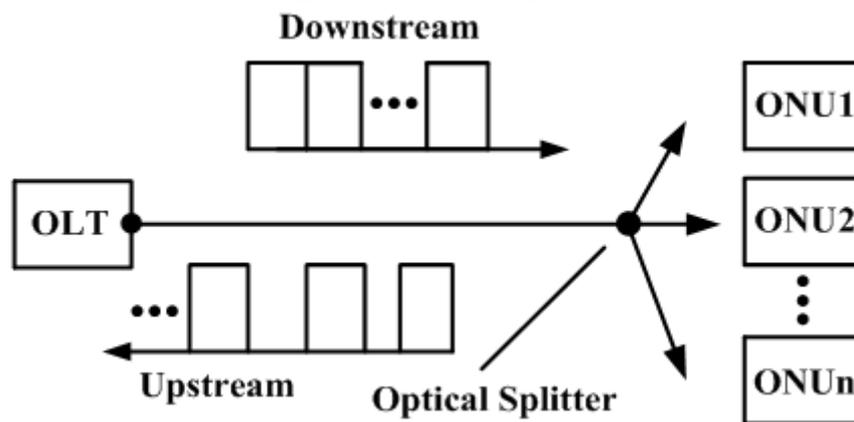


Fig 1.1 EPON 傳輸系統

一般實現時脈資料回復電路有二種架構，一為鎖相迴路式時脈資料回復器，另一為超取樣式時脈資料回復電路。這二種架構都有其優缺點，之後會更詳細的敘述之。在本論文中我們不僅希望可以設計出一個低高率消耗且容易實現的電路更希望可以操作在高速，並且可以多頻帶操作。因此在本論文中的時脈資料回復電路是綜合以上二種架構的優點來設計得到的，在往後的章節中會詳細的介紹。

## 1.2 時脈資料回復電路架構

本論文的時脈資料回復電路為了達到低功率消耗、快速鎖定、高速操作以及多頻段操作的特性，因此擷取了超取樣式和鎖相迴路式時脈資料回復電路的優點來做設計。此外為了節省功率的消耗，在本設計中時脈信號為輸入資料頻率的 1/4 倍，且此架構是採用二倍速超取樣的技術來實現的。本論文提出的架構如 Fig 1.2 所示。

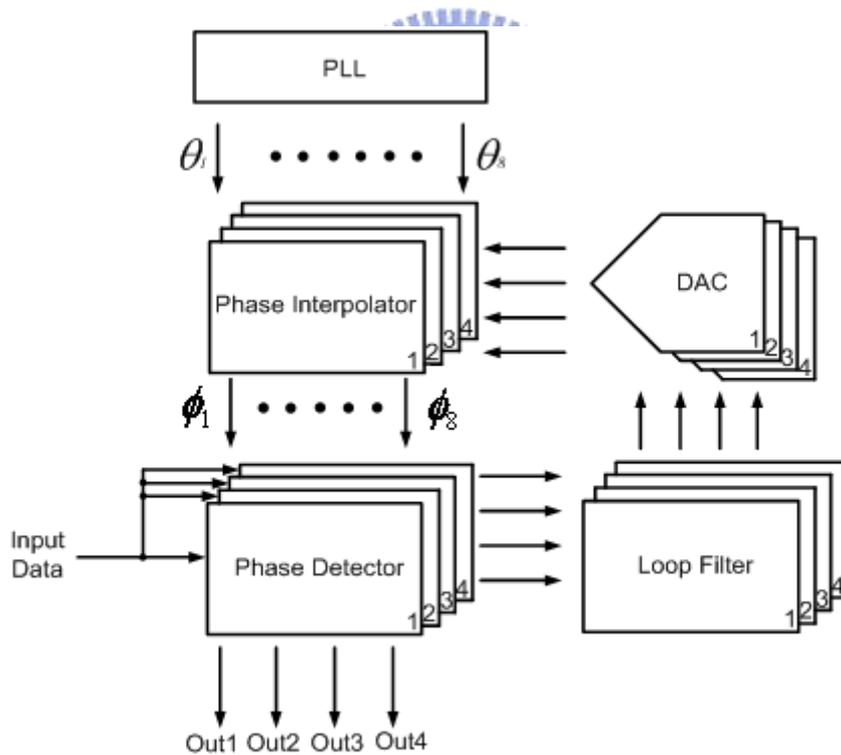


Fig 1.2 時脈資料回復電路的架構圖

本架構是由一個產生八組相位的鎖相迴路，四組相位內插器，四組相位偵測器，四組五位元數位迴路濾波器以及四組數位-類比轉換器所組成的。相位內插器會從鎖相迴路擷取彼此相差 90 度的相位做合成的動作，利用此合成相位在相

位偵測器中對輸入資料作二倍超取樣，取樣的值即為被時脈重置的資料，在此並把串列式的資料轉變為四筆平行輸出的資料。相位偵測器除了對輸入資料做取樣外，還會產生修正信號給迴路濾波器，在此迴路濾波器是由五位元的移位暫存器所組成的，迴路濾波器採用數位的架構，目的是為了能夠輕易的實現。迴路濾波器的輸出將控制數位-類比轉換器的輸出電流，進而改變相位內插器的合成相位，以達到最佳取樣相位的目的。

此外，為了達到快速鎖定的目的，本論文在迴路濾波器的部分提出了二位元搜尋法，只要做四次的搜尋即能找到最佳的取樣相位，亦即只要 16 個位元就能夠鎖定。由於此迴路濾波器是數位電路，所以再加上執行二位元搜尋法的電路亦不難實現。

本論文要實現的目標如表 1-1 所示，主要是想達到 16 個位元即能鎖定，以及高速且多頻段操作的目的。

Input Data Rate	1.25 ~ 3.125 Gbps
Output Data Rate	312.5 ~ 781.25 Mbps
Lock Time	16 Bit Time

表 1-1 時脈資料回復電路規格



### 1.3 論文組織

在本論文中將分成五個章節做細部討論，以下是各章節的內容介紹：

第一章中先針對本論文的應用稍做介紹，進而簡介 EPON 收發器系統的細部操作及注意事項，最後對本論文的時脈資料回復電路架構做一個簡單的描敘。

第二章一開始會對鎖相迴路電路做詳盡的介紹，接下來針對時脈倍頻器作迴路穩定性的分析以求得最佳的迴路參數，然後鎖相迴路電路所有單元的電路設計都會有詳盡的說明。

第三章中描述的是抖動對本論文的時脈資料回復電路有何影響。一共分成二個部分來探討，首先會分析抖動對時脈資料回復電路的錯誤率影響，接下來分析的是此時脈資料回復電路對抖動的容忍度。

第四章首先會介紹時脈資料回復電路的特性及規格，接下來介紹時脈資料回復電路之設計，最後會有個模擬結果和量測結果。

在本文最後，我們會在第五章對本篇研究內容做個總結。

# 第二章 時脈倍頻電路

---

## 2.1 簡介

由於時脈產生電路在通訊、無線系統、數位電路及資料傳輸介面中有相當廣的應用空間，故在現今的整合型晶片設計中更是佔有不可缺少的角色。然而鎖相迴路這個概念在半世紀前就已經開始發展，在現今電子系統中高效能、高整合度、低功率消耗和低成本已成現今積體電路的基本設計要求，故在最近一、二十年已可在積體電路內實現且得到相當廣泛的應用。

在無線通訊應用中藉由頻率(Frequency Modulation, FM)、相位(Phase Modulation, PM)及振幅(Amplitude Modulation, AM)調變的方法把信號載入在一個時脈信號上在大氣傳撥，接收端再經放大再經由鎖相迴路產生解調時脈把接收到的信號解調產生出原本的資料。在數位電路應用中，為了有更高效能的運算效率，在多級管路的運算單元內時脈產生電路也是不可缺少之元件，同時資料傳輸中在電路串列/解串列的過程中，精準的時脈產生電路也是整個設計關鍵的一環。

如 Fig 2.1 所示，鎖相迴路(Phase Locked Loop, PLL)可做為一個產生參考時脈數倍的時脈的時脈倍頻電路(CMU)之應用。其中包含了一個相位頻率偵測器(Phase and Frequency Detector, PFD)、一個電荷幫浦電路(Charge Pump, CP)、一個迴路濾波器(Low Pass Filter, LPF)、一個電壓控制振盪器(Voltage Control Oscillator, VCO)及一個除頻器。其利用電壓控制振盪器產生出時脈信號經由除頻器將時脈信號頻率除以一整數倍率，再經由相位頻率偵測電路偵測、

除頻後之時脈信號與外部輸入之參考時脈信號相位的關係，而後產生充放電之修正信號，再經由電荷幫浦電路修正振盪器之控制電壓，使振盪器輸出頻率為參考時脈整數倍率之時脈信號，且經由迴路濾波器的電路濾除高頻雜訊時保持迴路穩定，這樣方可完成一個低雜訊穩定的時脈信號源，以供電路內部使用。

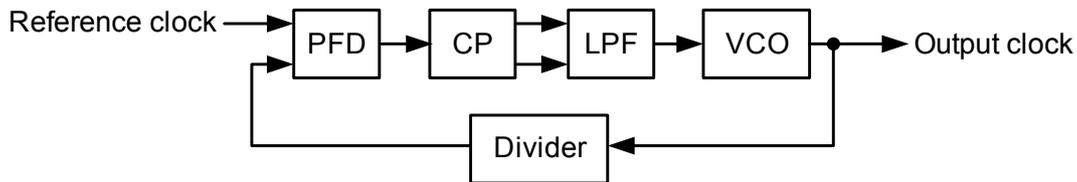


Fig 2.1 傳統鎖相迴路架構圖

## 2.2 時脈倍頻電路架構

在現今積體電路設計中，系統晶片(System on Chip, SoC)為今日積體電路設計中的一個主要的目標，系統晶片可以帶來產品製作成本的降低，同時也便未來的產品可以更輕薄更有競爭力，故本論文中時脈資料回復電路設計是以高傳輸速率、高整合度、低成本及低功率消耗為設計目標，在時脈產生器電路設計中要實現一個低功率消耗主要可從操作頻率、壓控振盪器及除頻器設計三個方面探討。

在降低操作頻率方面，保持一樣的傳輸速率的條件下，可利用多相位的時脈信號利用每個相位時脈相位差做為資料傳輸的時脈基準，進而可以降低所須的時脈頻率。

在壓控振盪器設計方面，在低頻振盪器應用上，大多使用環狀串接式振盪器，由於其設計簡易且其有同時可產生多相位時脈信號、低功率消耗及低製作成本等優點，為最常見的振盪器設計，但由於要經過二級電路延遲以上故在振盪頻

率因製程而異有所限制且品質因子(quality factor)較差，故在操作頻率及相位雜訊的表現上也不如 LC 壓控振盪器。故在高頻振盪器應用上多為利用 LC 共振電路實現振盪器電路，由於操作在高頻且須要在積體電路內實現電感及電容在晶片成本及功率消耗都是相當可觀的值，且實現高 Q 值電感中常受限於寄生元件的影響，故要製作時須較為特殊的製程才可得到較好的效果，故在整合電路中又須支出額外成本，同時，LC 壓控振盪器為一窄頻的振盪器，易受製程飄移而影響到其振盪頻率的範圍。

在除頻器設計方面，傳統的靜態非同步除頻器是最常見的設計，在此架構中由於每一級除頻電路時脈信號頻率逐級變小，可利用這樣的特性適當的調整每一級除頻器最高操作頻率，即可達成最低的功率消耗，但由於第一級仍在高頻操作其所消耗的功率仍然相當可觀。反觀在架構上也可以使用注入鎖定除頻器，即使在高頻操作依然可以保持其低功率消耗的特性，但由於消入鎖定除頻器為一窄頻的除頻器，僅可應用於所須頻寬較窄的無線通訊的應用。

時脈倍頻器的功用為產生參考時脈以供 1 對 4 解資料串列器調節高速傳輸的資料，在本時脈資料回復電路設計中為一最快輸入資料速率為 3.125Gbps，故我們需要一個能產生出 320ps 精確度的參考時脈，由於產生 3.125GHz 的時脈信號之設計多為 LC 振盪器，其所須之晶片也比其它不需電感之振盪器大，同時產生 3.125GHz 時脈信號也比產生較低頻之多相位時脈信號消耗功率大，綜合上述的各項優缺點、EPON 的規格和時脈資料回復電路設計，且考慮晶片成本以及功率消耗考量下採用環狀串接式振盪器產生 8 相位 1.25GHz 時脈信號之頻率倍頻器，以低頻的振盪源以降低各電路的操作頻率進而達到系統上最低之功率消耗。

如 Fig 2.2 所示為時脈倍頻器之架構，包含了一個相位頻率偵測器(PFD)、一個電荷幫浦電路(CP)、一個迴路濾波器(LPF)、一個電壓控制振盪器(VCO)、一個除頻器及振盪器頻段控制電路(band controller)。利用電壓控制振盪器產生出時脈信號經由除頻器將頻率除 4，再經由相位頻率偵測電路偵測除頻後之時脈信號與外部輸入之 78.125 ~ 312.5MHz 的參考時脈信號的關係相位與頻率的關係，而後產生充放電之修正信號，再經由電荷幫浦電路對迴路濾波器進行充放電，進而修正振盪器之控制電壓，使振盪器輸出頻率為參考時脈之 4 倍頻，且經由迴路濾波器(LPF)的電路濾除高頻雜訊同時保持迴路穩定。然而考慮振盪器振盪頻率會隨著製程飄移而改變其振盪頻率，故設計將振盪器設計為 30 個頻段以確保在製程飄移後仍可操作在 312.5 ~ 1250 MHz 的頻段，故加入振盪器頻段控制電路，利用偵測振盪器控制電壓的差值，適時調整控制振盪器的偏壓電流，以達到自動換頻達到迴路鎖定的功能。

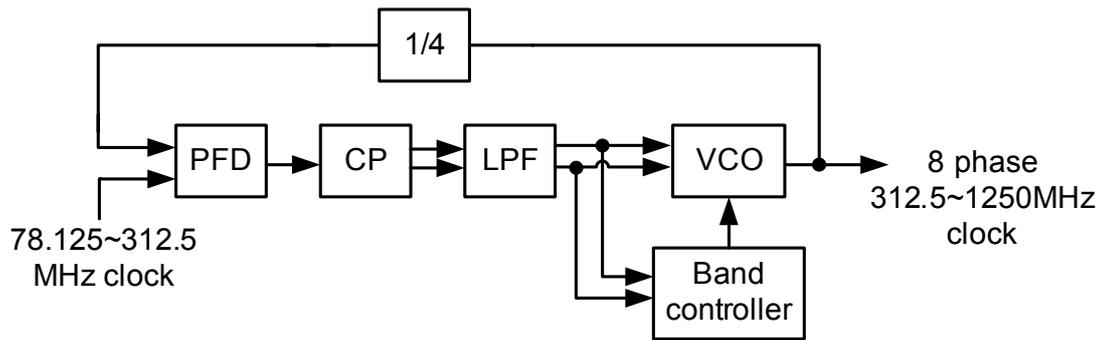


Fig 2.2 時脈倍頻電路

### 2.3 時脈倍頻電路線性模型

鎖相迴路是用來使電壓控制振盪器輸出的經除頻後的相位與參考時脈的相位達到迴路鎖定的狀態，在一開始，電壓控制振盪器會振盪在某一個頻率，而鎖相迴路此時為一個非線性的操作，一旦迴路進入鎖定的狀態，我們就可以使用線性模型來分析鎖相迴路。

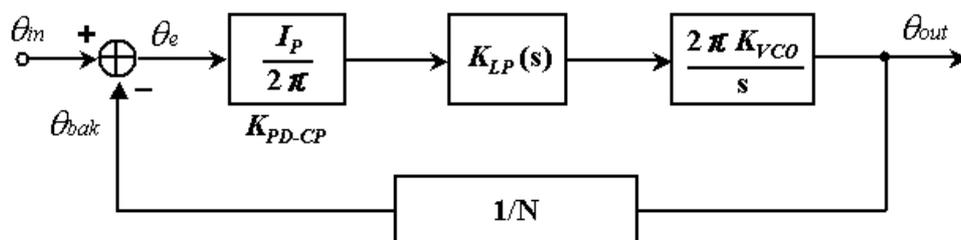


Fig 2.3 鎖相迴路線性模型

Fig 2.3 所示為鎖相迴路線性模型，也可以看成一個回授系統，裡面的系統方塊包括相位頻率偵測器，電荷幫浦電路，迴路濾波器，一個電壓控制振盪器，及一個除頻器，相位頻率偵測器比較兩個輸入時脈信號的相位差，電荷幫浦電路將相位差轉換成電壓的形式， $K_{PD-CP}(V/rad)$ 描述相位頻率偵測器及電荷幫浦電路的轉移函數，電荷幫浦電路的輸注入一個低通濾波器，並產生一個電壓信號給電壓控制振盪器來控制振盪的頻率，迴路濾波器的轉移函數為  $K_{LP}(s)(V/A)$ ，因為電壓控制振盪器在這邊的行為類似一個積分器，因此電壓控制振盪器的轉移函數

為  $K_{VCO}/s(\text{Hz/V})$ ，最後電壓控制振盪器的輸出信號會經由一個除  $N$  的除頻器回授到輸入點。

在穩態時，鎖相迴路的開迴路增益為

$$G(s) = \frac{\theta_{bak}}{\theta_{in}} = \frac{I_P K_{VCO} K_{LP}(s)}{sN} \quad \text{式 2-1}$$

根據回授理論，從輸入到輸出的轉移函數為

$$H(s) = \frac{\theta_{out}}{\theta_{in}} = N \frac{G(s)}{1 + G(s)} \quad \text{式 2-2}$$

如果迴路濾波器中有一個極點跟一個零點來增加鎖相迴路的頻率範圍及彈性，則式 2-2 會變成一個二階函數

$$H(s) = \frac{\theta_{out}}{\theta_{in}} = \frac{I_P K_{VCO} R s + I_P K_{VCO} / C_1}{s^2 + I_P K_{VCO} R s / N + I_P K_{VCO} / N C_1} \quad \text{式 2-3}$$

$$H(s) = \frac{\theta_{out}}{\theta_{in}} = \frac{\omega_n^2 (s/\omega_z + 1)}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad \text{式 2-4}$$

比較式 2-3 及式 2-4，我們可以得到鎖相迴路系統中的自然頻率、阻尼係數、及迴路濾波器中的零點。

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{N C_1}} \quad \text{式 2-5}$$

$$\xi = \frac{\omega_n}{2\omega_z} \quad \text{式 2-6}$$

$$\omega_z = \frac{1}{R C_1} \quad \text{式 2-7}$$

在之前雜訊分析中，我們得到一組迴路的參數，將這些參數代入式 2-1 到式 2-4，驗證迴路的穩定性，開迴路增益可以得到如 Fig 2.4 所示，相位邊限(PM)

大約為  $62^\circ$ ，因此可確保迴路的穩定性。

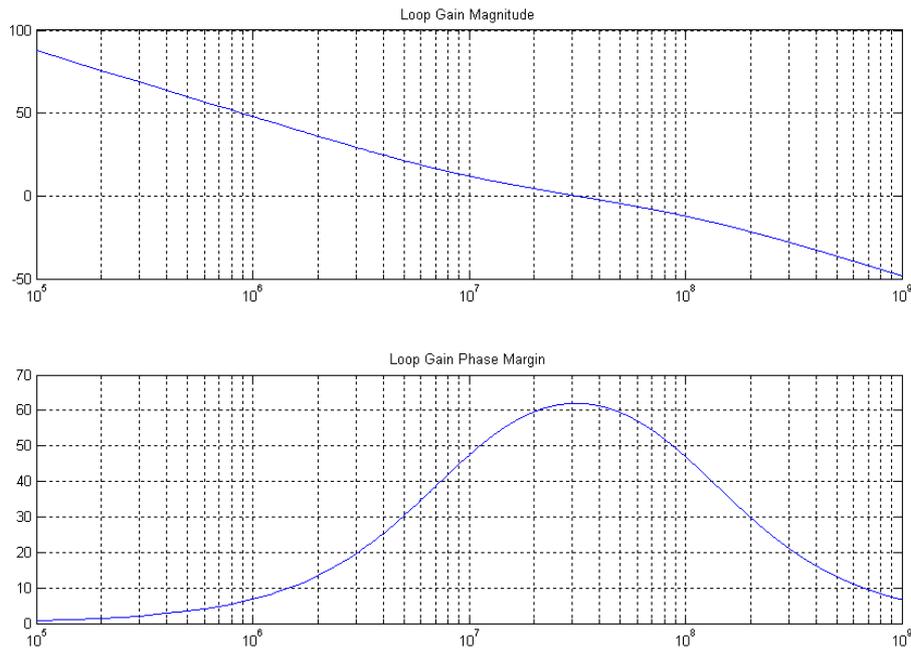


Fig 2.4 鎖相迴路開迴路增益頻率響應



## 2.4 電壓控制振盪器

在現今積體電路設計中，系統晶片(SoC)為今日積體電路設計中的一個主要的目標，系統晶片可以帶來產品製作成本的降低，同時也便未來的產品可以更輕薄更有競爭力，同時為了提高整合度，CMOS 壓控振盪器(VCO)勢必將成為研究的主題也是我們努力改進的方面，在 CMOS 壓控振盪器除了在振盪頻率上無法與其它元件相比，但最須著重是在如何降低其相位雜訊(phase-noise)，在 CMOS LC 共振腔壓控振盪器設計中已經大量的改進相位雜訊的缺點，但是在 CMOS LC 壓控振盪器中仍存在著許多問題，不僅在實現許多被動元件消耗許多晶片面積，在實現高 Q 值電感中常受限於寄生元件的影響，故要製作時須較為特殊的製程才可得到較好的效果，故在整合電路中又須支出額外成本，同時，LC 壓控振盪器為一窄頻的振盪器，易受製程飄移而影響到其振盪頻率的範圍。

在另一方面，由於環狀串接式振盪器(ring oscillator)沒有使用到電容電感等被動元件，且不必增加製程步驟整合在標準的 CMOS 製程中，同時其有較寬的頻率調變範圍，故比 LC 振盪電路更易設計在我們所須的頻段中，但是環狀串接

式振盪器由於其品質因子(quality factor)較差，故在相位雜訊的表現上也不如 LC 壓控振盪器，不過近期來也有幾篇著作在著墨於改進環狀串接式振盪器的相位雜訊，故在本論文也是著重於一個低相位雜訊的環狀串接式振盪器，以利此項設計可應用於系統晶片(SoC)中。

目前環狀串接式振盪器主要可分成非飽和型和飽和型兩種。在非飽和型環狀串接式振盪器中，由於在延遲單元中的元件呈現沒有完全切換狀態，所以無一個元件皆處於導通的狀態，故可以以線性放大器做為模型分析之且振盪器也可以描述成一個線性回授系統，由分析結果我們可以得到在非飽和型環狀串接式振盪器在相位雜訊特性上是表現較差的。反觀在飽和型環狀串接式振盪器中，由於在延遲單元中的某些元件可以呈現完全切換狀態，故可以相位雜訊特性上有較佳的表現，由於在延遲單元中的某些元件可以呈現完全導通及關閉的狀態，所以在某些時間內是無雜訊產生，故無法利用線性模型去分析之，因此雜訊可以模擬成一個週期性的隨機程序分析之。

在傳統環狀振盪器中，振盪器操作頻率為  $1/(2N\tau)$ ， $N$  為延遲單元的級數， $\tau$  為一級延遲單元的延遲時間，故在環型振盪器的操作頻率取決於延遲單元的延遲時間，為了解決操作頻率上的問題，利用反向偏移延遲技巧的單端的實現環狀振盪器也已被提出，由於單端的延遲單元的延遲時間易受電源的雜訊所干擾，故在設計上較難控制。為了解決這方面的問題，利用雙延遲的技巧實現差動環型振盪器，同時具有高操作頻率以及寬廣的頻率調變範圍等特性。

在本設計中，為了實現一高操作頻率、更寬廣的頻率調變範圍及低雜訊之振盪器，本電路綜合反向偏移延遲及標準的延遲路徑，以達到高頻、寬廣的調變範圍及低雜訊等特點，且使用雙模延遲控制的機制，使其調變範圍更大。

Fig 2.5 為電壓控制振盪器中延遲單元電路，標準延遲路徑的信號經由  $IN2+$ 、 $IN2-$  輸入經由一對 NMOS  $M1$ 、 $M2$  延遲從  $out+$ 、 $out-$  輸出，反向偏移延遲路徑信號由兩級之前的延遲單元輸出的信號  $IN1+$ 、 $IN1-$  輸入，此信號提早打開一對 PMOS  $M3$ 、 $M4$  由  $out+$ 、 $out-$  輸出，同時補償 PMOS 的延遲速度不及 NMOS 的缺點，由可變電流源  $I_{bias}$  提供電流給  $M3$ 、 $M4$  電晶體對電路加速，經由調整可變電流源  $I_{bias}$  可改變此電路之反向偏移延遲的稱度以對振盪器有更大的頻率調變範圍，同時加入由  $M5$ 、 $M6$  所組成的負阻及  $M7$ 、 $M8$  的正阻雙模延遲控制的機制，藉由調整正阻及負阻的偏壓電流源  $M8$ 、 $M12$  以調整振盪器頻率，增加衰減電路  $M13\sim M17$  可同時使其偏壓調整更為線性且使振盪器振盪頻率不會因控制電壓  $V_{c+}$ 、 $V_{c-}$  的共模準位改變而改變，故其操作頻率只會與控制電壓之差動電壓成正比之關係與共模電壓無關，同時也增加控制電壓的輸入範圍。此次設計中心頻率為 1.25GHz，為了預防製程漂移把此振盪器分成 30 個頻段，使在製程漂移下不用增加  $K_{VCO}$  也可以包含到 1.25GHz 的頻段，由於壓控振盪器(VCO)的控制電壓差值超過或小於門檻電位立即切換頻段同時對控制電壓差值重置為 0，故考慮切換頻段迴路操作的振盪器輸出頻率的連續性，故設計兩相鄰頻段互相重疊 50%，使切換頻段後振盪器操作頻率依然保持相同，故在迴路分析上依然可以使用傳統線性分析。

Fig 2.6 所示為一電壓控制振盪器電路架構圖，此電路採用四級差動延遲單元以雙迴路環狀串接成一個振盪器，深黑色線為標準的延遲路徑，灰色線為為反

向偏移延遲路徑，進而產生高速的 8 個均勻相位的時脈信號。Fig 2.6 中每個方塊內的電路圖如 Fig 2.5 所示。

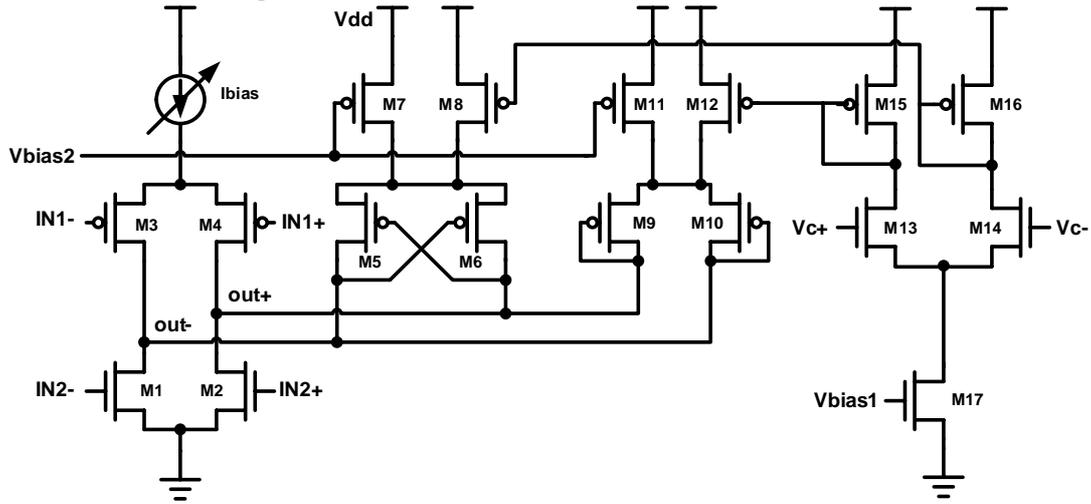


Fig 2.5 振盪器之子電路

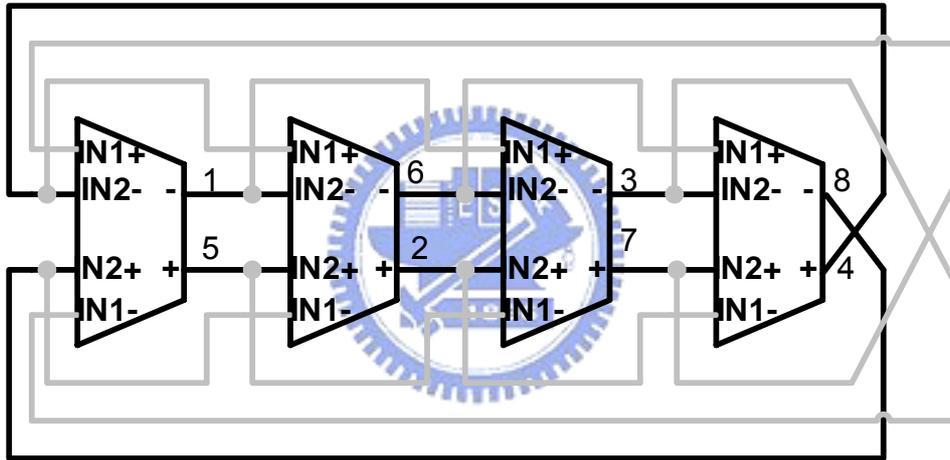


Fig 2.6 環型壓控振盪器

Fig 2.7 為振盪器緩衝電路，經由此電路使控制振盪器輸出為固定負載使振盪頻率不會因後級所連接的電路負載影響振盪頻率。

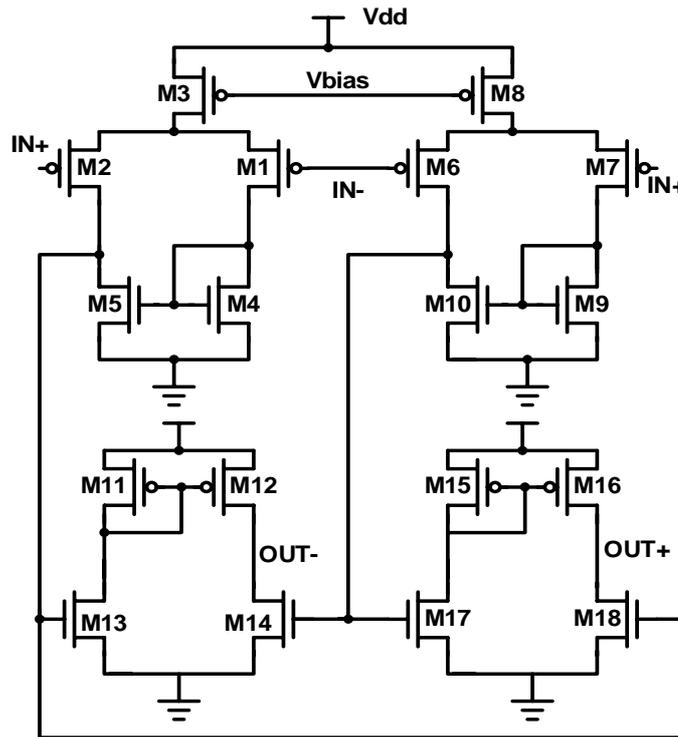


Fig 2.7 振盪器緩衝電路

Fig 2.8、Fig 2.9、Fig 2.10 所示，為壓控振盪器之三十個頻段的控制電壓及頻率關係圖，縱軸的單位是 100MHz，橫軸代表的是控制電壓的差值，單位是電壓。本論文目標為設計一輸出頻率鎖定為 0.3125、0.625、1.25GHz 時脈倍頻電路，考慮製程飄移且不增加  $K_{VCO}$  的狀況下，同時考慮切換頻段迴路操作的振盪器輸出頻率的連續性，故設計兩相鄰頻段互相重疊 50%，使切換頻段後振盪器操作頻率依然保持相同，使之在迴路分析上依然可以使用傳統線性分析，以上述的考量將振盪器設計為三十個頻段。Fig 2.8 為在(TT)製程環境下控制電壓及頻率關係圖，其中第二十五個頻段涵蓋 1.25GHz 的鎖定頻率，其平均的  $K_{VCO}$  為 120MHz/V，Fig 2.9 為在(SS)製程環境下控制電壓及頻率關係圖，其中第二十七個頻段涵蓋 1.25GHz 的鎖定頻率，其平均的  $K_{VCO}$  為 84MHz/V，Fig 2.10 為在(FF)製程環境下控制電壓及頻率關係圖，其中第二十三個頻段涵蓋 1.25GHz 的鎖定頻率，其平均的  $K_{VCO}$  為 150MHz/V。

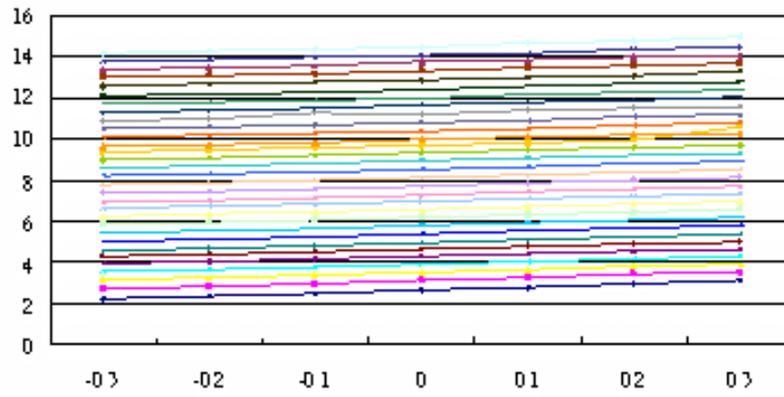


Fig 2.8 控制電壓與頻率分佈圖(TT)

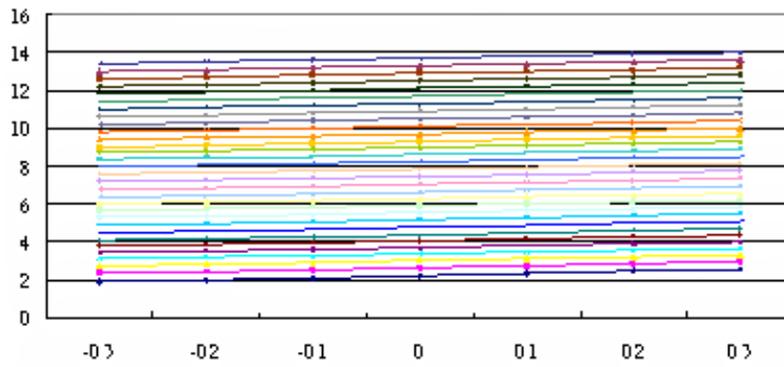


Fig 2.9 控制電壓與頻率分佈圖(SS)

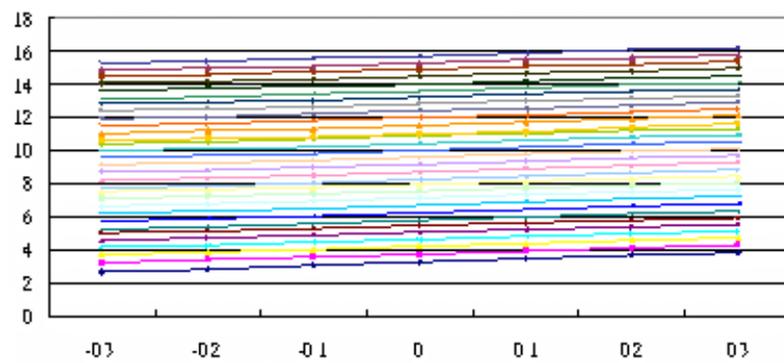


Fig 2.10 控制電壓與頻率分佈圖(FF)

## 2.5 振盪器頻段控制電路

Fig 2.11 所示為振盪器頻段控制電路架構圖，利用偵測振盪器之差動控制電壓做為頻段控制電路之判斷信號，同時輸入一個頻段寬度的參考電壓，正端減法器(SUB+)偵測控制電壓差值是否超過原先設計之參考電壓值，負端減法器(SUB-)偵測控制電壓差值是否小於過原先設計之參考電壓值，由此兩組減法電路偵測控制電壓的狀態，同時將偵測結果(up、down)傳送至上下數計數器中，在上下數計數器採用溫度計碼傳送至數位類比轉換器(Digital to Analog Converter, DAC)，可降低製程偏移所造成的電流精確度漂移以提高數位類比轉換器之線性度，同時使用平移暫存器(shift register)的計數器，可以降低在碼字轉換時所產生的突波，最後數位類比轉換器將所接收之碼字產生所對映的偏壓電流值，同時重新歸零控制電壓。

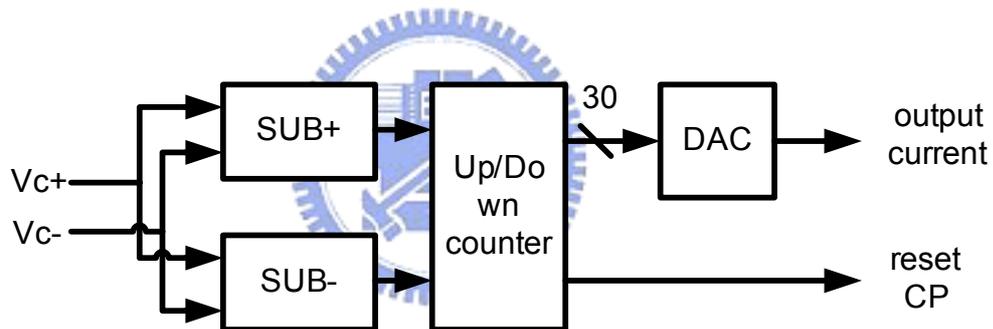


Fig 2.11 振盪器頻段控制電路

Fig 2.12 所示為一減法電路，先忽略 M7 和 M8 閃鎖電路分析之，可利用兩組反向的差動電路 M1~M4 使得流過負載 M5、M6 的電流差值為式 2-8 所示，其輸出電壓則為式 2-9 所示，

$$I_{out} = g_m(V_{ctrl} - V_{ref}) \quad \text{式 2-8}$$

$$V_{out} = R_{M5} \cdot g_m(V_{ctrl} - V_{ref}) \quad \text{式 2-9}$$

當輸出電壓 out+ 大於或小於 out- 時，利用 M7 和 M8 閃鎖電路將其輸出振幅拉大至  $VDD \sim IR_{load}$ ，同時為了預防電路上雜訊或鎖相迴路在鎖定過程

中控制電壓抖動的干擾造成頻段來回跳動，使得迴路難以鎖定，故利用門鎖電路要轉態時須要式 2-10 中的  $I_{latch}$  電流差值，換算成電壓差得到為式 2-11 中的  $V_d$ ，故利用此特性就可形成一個遲滯寬度為  $2V_d$  遲滯電路。

$$I_{latch} = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{7,8} (V_{dd} - V_L - V_t)^2 \quad \text{式 2-10}$$

$$V_d = \frac{\mu C_{ox}}{2} \left(\frac{W}{L}\right)_{7,8} (V_{dd} - V_L - V_t)^2 / g_{m1} \quad \text{式 2-11}$$

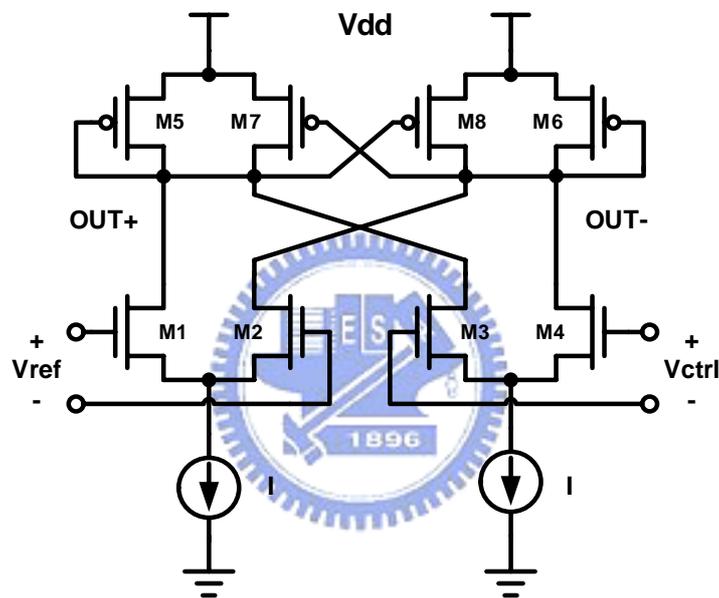


Fig 2.12 減法器電路

Fig 2.13 所示為計數器電路由減法器輸出 up 和 down 告知計數電路上數或下數。由於振盪器需要三十個頻段，設計上為保持數位類比轉換器的線性度，故本計數器採用溫度計碼方式設計，利用平移式暫存器(shift register)的架構完成溫度計碼計數器，以減少轉碼所須的電路及功率消耗，暫存器的前置的數位電路控制負責控制回授路徑，當 up 信號來臨時，暫存器回授上一個暫存器的資料，且第一個暫存器灌入邏輯 1 的信號方可完成一上數功能，當 down 信號來臨時，暫存器回授至下一個暫存器的資料，且最末的暫存器灌入邏輯 0 的信號方可完成一下數功能，同時此計數器不會有溢位及欠位的錯誤產生，可使振盪器的頻率不會因計數器溢位及欠位產生劇烈的變化，up 和 down 信號同時做為計數器驅動信號 clk 可使此計數器在計數時才

會消耗能量，同時也加入延遲以等待暫存器前之數信電路的前置作業，以確保此電路工作正常。

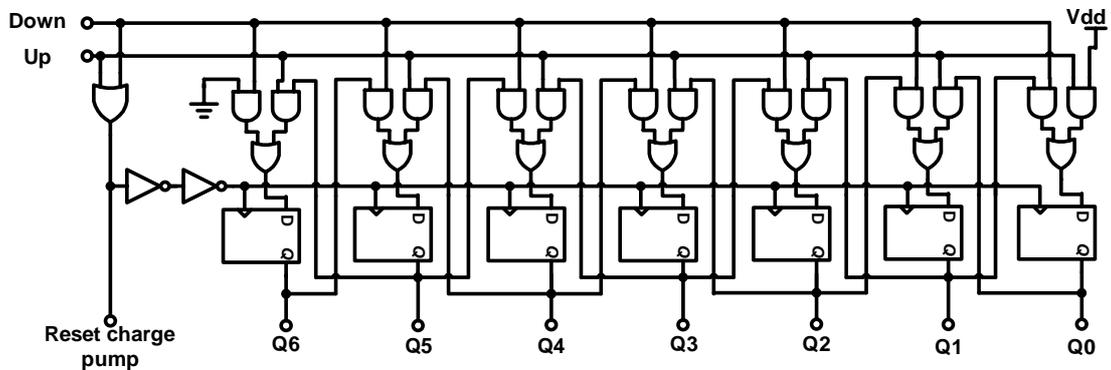


Fig 2.13 計數器電路

在頻段控制電路中的數位類比轉換器電路，如 Fig 2.14 所示，其中重複 29 組 M5~M8 差動電路即可產生三十個位層數位類比轉換器電路。M1~M4 及 R1 為偏壓電路，M10 為一定電流源  $I_{M10}$ ，經由 29 組差動對 M5-1~M5-7、M6-1~M6-7 切換電流，依照 M6 導通個數抽走數個單位電流 (NI)，故流經 M14 的電流為  $I_{M10}-NI$ ，為了使每次位階保持時間保持固定，故設計時讓 M14 保持導通狀態，才不使 M14 在最低位階切換至次低位階時耗費許多時間在導通電晶體上，故設計  $I_{M10}=30I$ ，一共分成 1~30I 八個位階調變振盪器，其利用電流鏡由 M15 將數位類比轉換器電流輸出且匯流振盪器偏壓電路經由 M17 輸出至 Fig 2.5 之振盪器中的  $I_{bias}$  偏壓振盪器，以調變其振盪頻率。

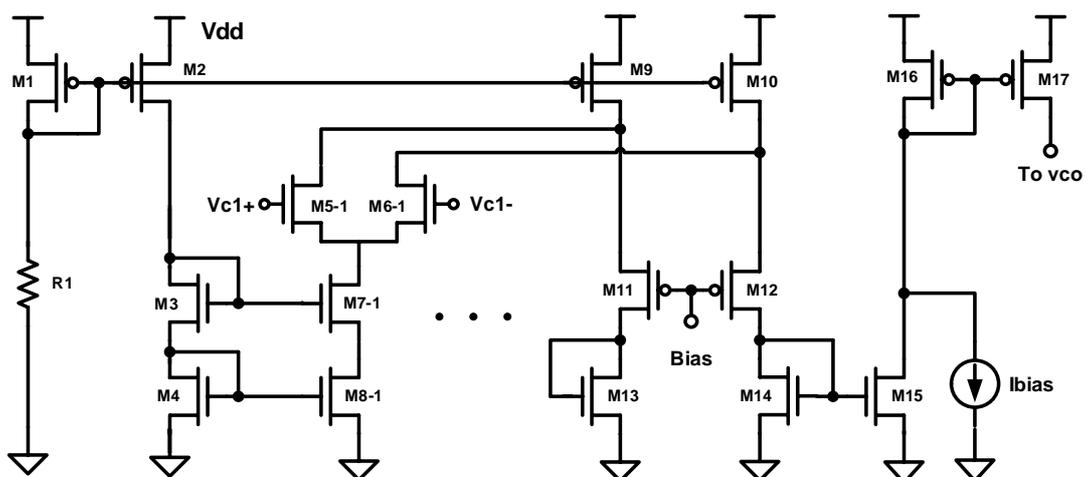


Fig 2.14 數位類比轉換器(DAC)電路圖

## 2.6 除頻器與相位頻率偵測器

在現今除頻器中，主要可分成靜態除頻器(static frequency divider)及注入鎖定除頻器(injection locked frequency divider, ILFD)兩種架構實現。靜態除頻器可操作在比較寬範圍頻寬，然而其消耗的功率也隨著頻率的增加而快速的增加，反觀在注入鎖定除頻器的表現方面，可比靜態除頻器操作在更高頻率及更低的功率消耗，但其操作的範圍較為窄。故以上述的優缺點來說，注入鎖定除頻器較適合應用於較窄頻的射頻電路應用中，可得到較高頻的操作速度及低功率消耗等優點，靜態邏輯除頻器較適合應用於寬頻帶的系統中應用。

在本次設計中是利用  $0.18\mu\text{m}$  CMOS 製程設計一操作在  $0.3125 \sim 1.25\text{GHz}$  時脈倍頻電路，此時脈倍頻電路應用於一寬頻的收發系統中，故除頻器採用靜態除頻器。

Fig 2.15 靜態除頻器的架構圖，由於使用靜態邏輯暫存器操作速度較慢，同時其消耗功率較大且使用的電晶體也多，故在本次暫存器設計中採用真單相時脈(True Single Phase Clocked, TSPC)的暫存器實現，如 Fig 2.16，以達到低成本、低功率消耗及高操作頻率等優點。

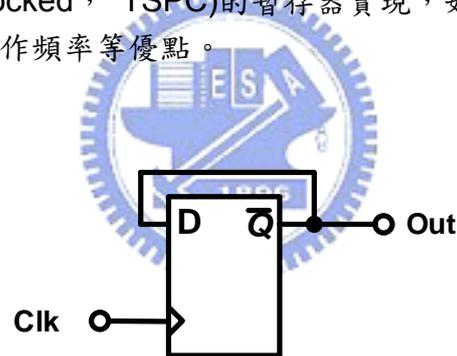


Fig 2.15 除頻器架構

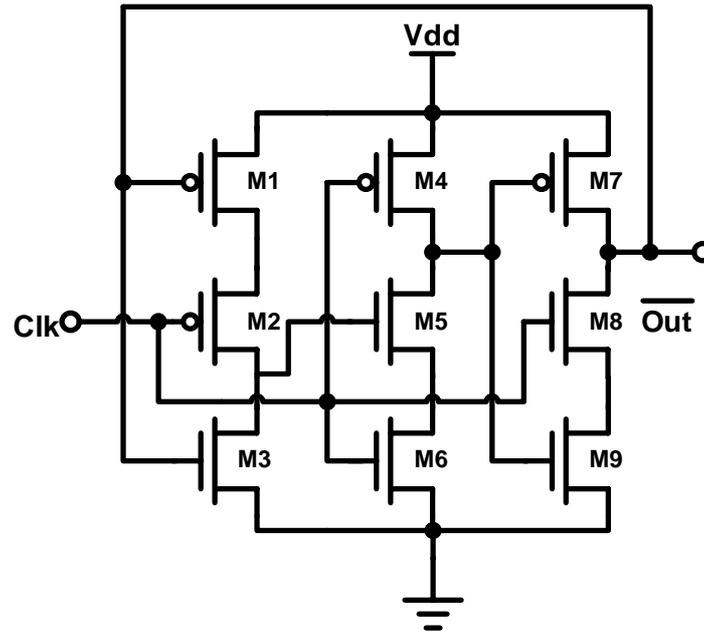


Fig 2.16 TSPC 除頻器電路

Fig 2.17 所示為一頻率相位偵測器(PFD)，此電路採用傳統三態式結構，利用兩個有重置功能之暫存器及一個邏輯和(AND)所組成，將兩個暫存器之資料輸入(D)設為邏輯 1，REF 及 INT 分別為暫存器之時脈輸入，REF 正緣信號比 INT 之正緣信號早來臨時，up 會在 REF 之正緣信號來臨時將 up 設為 1，down 會在 INT 之正緣信號來臨時將 down 設為 1，當 up 和 down 同時為 1 和邏輯閘就會產生一個重置信號給兩個暫存器將 up 和 down 重置為 0，如 Fig 2.18 所示，此時 up 和 down 的脈波寬度即為 REF 及 INT 之相位差，經由電荷幫浦電路即可以電流的形式將相位差值輸出，由於在兩相位接近時 up 和 down 的脈波寬度就會非常窄，會造成電荷幫浦電路無法反應的現象，此現象稱之死帶(dead zone)，此時通常會在和邏輯閘(AND)後增加延遲，使 up 和 down 的脈波寬度增加至電荷幫浦電路能夠反應其脈波信號，使之能夠反應出極小的相位誤差。

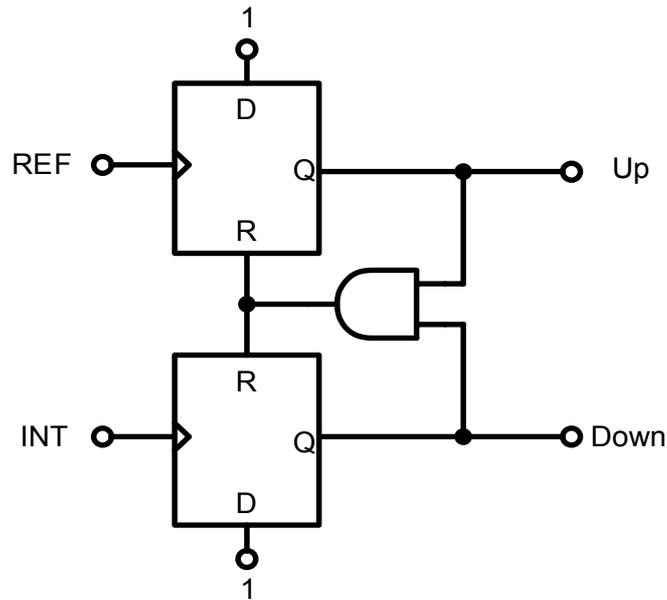


Fig 2.17 相位頻率偵測器架構圖

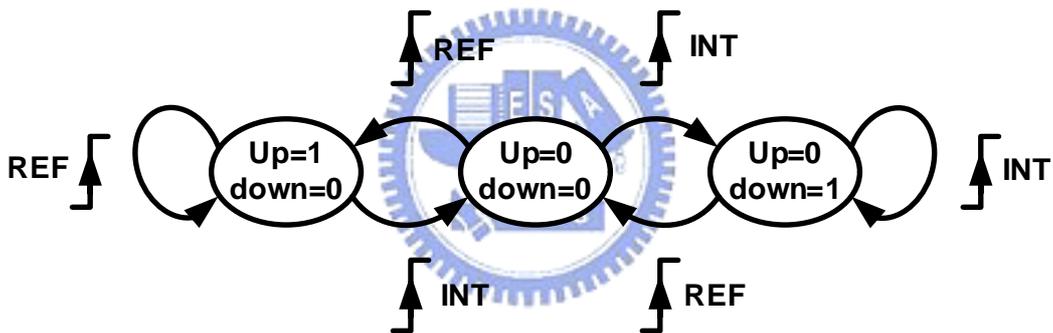


Fig 2.18 相位頻率偵測器狀態圖

如 Fig 2.19 所示為一傳統型相位頻率偵測電路，其中以傳統靜態邏輯實現，操作最大頻率、消耗的功率及電晶體數量的表現都不如使用 Fig 2.20 所示的預充型 TSPC DFF 實現的好。故本設計相位頻率偵測電路採用預充型 TSPC DFF 實現，由於在 and 電路後增加一延遲時間以降低其死帶(dead zone)的效應，以確保時脈倍頻電路的鎖入時間及鎖入的狀態有正常的表現。



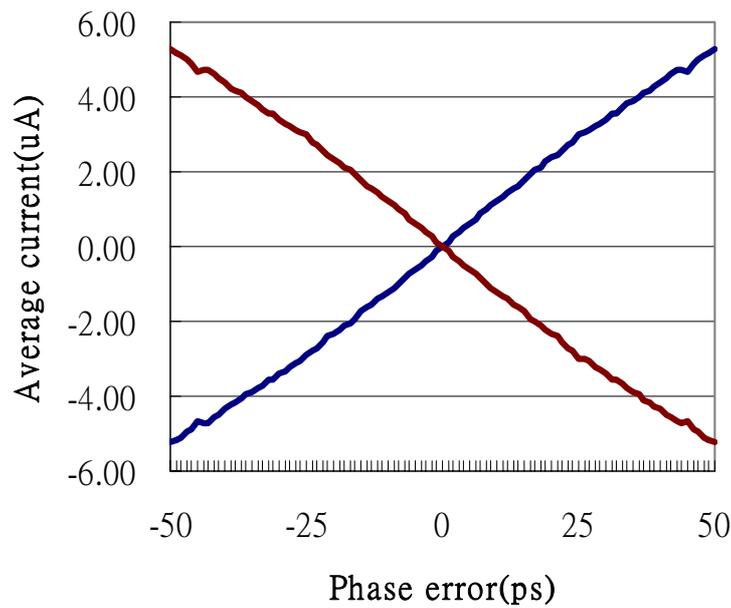


Fig 2.21 相位頻率偵測器輸出特性



## 2.7 電荷幫浦電路

由於本時脈倍頻電路設計中之壓控振盪器為一差動控制的振盪器，故須設計一個差動輸出的電荷幫浦電路配合振盪器，如 Fig 2.22 所示為差動輸出的電荷幫浦電路(CP)。Fig 2.22 左半部為電荷幫浦電路信號經由 up 和 down 輸入至 M1~M8，利用兩組差動對依輸入的信號對輸出端點增加或是抽離電流。假設輸入信號 up=1，down=0，M2、M4、M5、M7 會導通；M1、M3、M6、M8 會關閉，因此電流源 I2 會對輸出端點 Vc+ 充電；而 Vc- 會經由 I3 做放電的動作。假設輸入信號 up=0，down=1，M2、M4、M5、M7 會關閉；M1、M3、M6、M8 會導通，因此電流源 I2 會對輸出端點 Vc+ 放電；而 Vc- 會經由 I3 做充電的動作。其中 I1=I2=I3=I4。

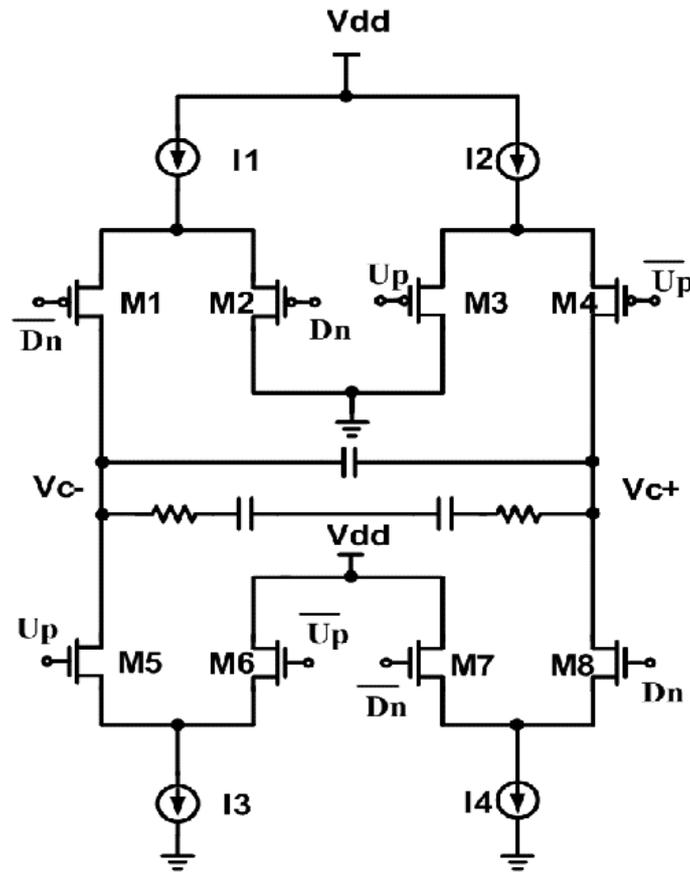


Fig 2.22 電荷幫浦電路

## 2.8 迴路濾波器設計

迴路濾波器為一個低通濾波器用來從相位頻率偵測器的輸出擷取出平均值，如 Fig 2.23 所示，當迴路濾波器只包含單一電容  $C_1$  時，由於鎖相迴路是一個負回授的迴路系統，此時濾波器產生一個極點(pole)同時壓控振盪器行為也像一個積分器，故振盪器也是產生一個極點，因此可能造成迴路的不穩定，為了防止迴路不穩定，我們一定要在  $C_1$  上串聯一個電阻  $R_1$  來增加一個零點，因為增加了這個零點，高頻的雜訊可能沒有辦法被有效衰減，因此我們仍須再並聯一個  $C_2$  當作一個極點，可以抑制高頻的漣波雜訊(ripple noise)。

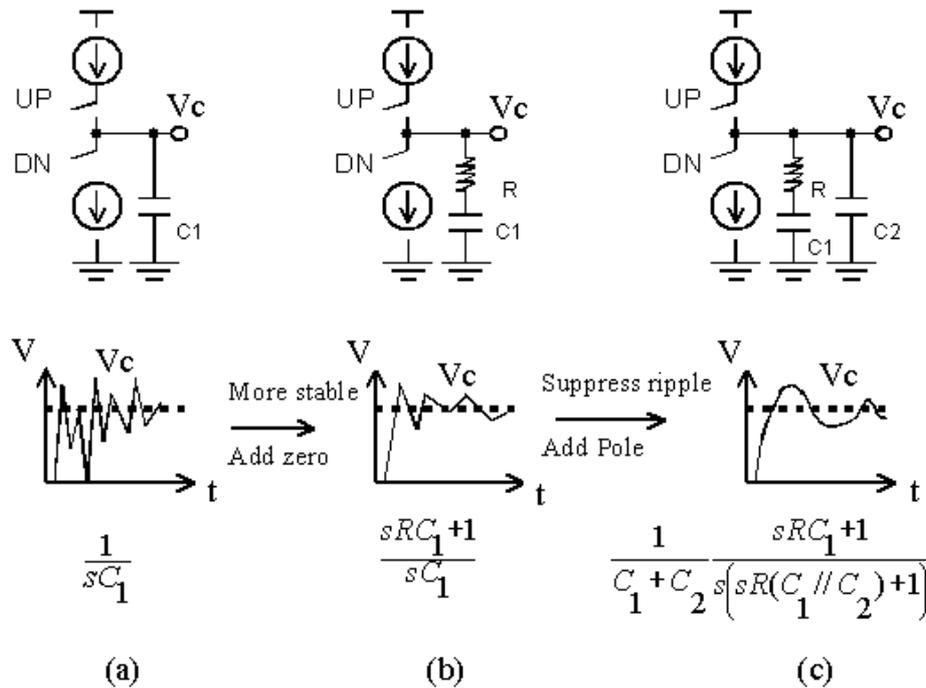


Fig 2.23 低通濾波器

被動式迴路濾波器相對主動式迴路濾波器而言是較受歡迎的，由於被動式迴路濾波器具有較低相位雜訊及設計複雜度，但主動式迴路濾波器並非一無是處，當常應用於最大的電荷幫浦輸出電壓小於壓控振盪器的頻率調變範圍時，此時可保有原本振盪器的頻率調變範圍和相位雜訊，使之能有最佳的表現。

由於二階迴路濾波器具有較低分析複雜度和低電阻雜訊，同時可容許電組、壓控振盪器增益及電荷幫浦增益較大的誤差，故本設計採用二階迴路濾波器以增加此鎖相回路的可靠度。當使用二階迴路濾波器使得鎖相迴路系統變成三階的系統，使分析變的更為困難，相位邊緣與穩定度的條件也更加嚴苛，因此我們設定  $C1 > 10 \times C2$ ，可以使三階鎖相迴路近似一個二階的系統，以便於迴路分析。濾波器電阻為 poly 電阻，電容為 MIM 電容，使濾波器在高頻操作時有較好的頻率響應。

由於在本論文中設計的時脈倍頻器操作的頻率範圍是 312.5 ~ 1250 MHz，其最高頻段是最低頻段的四倍，因此為了使此時脈倍頻器的效能能夠更好，我們希望在本設計中電荷幫浦電路的電流以及迴路濾波器的電容  $C1$  將隨著輸入參考頻率的值而改變。

## 2.9 模擬及量測結果

Fig 2.24 為鎖相迴路的控制電壓圖，黑色的線為其控制電壓差值，其控制電壓的差值皆遠小於單端控制電壓。由此可知差動控制電壓之壓控振盪器對於電源供應器的雜訊有較佳的抵抗能力，在此次設計中，振盪器之控制電壓的差值在此環境皆小於 1.6mV。

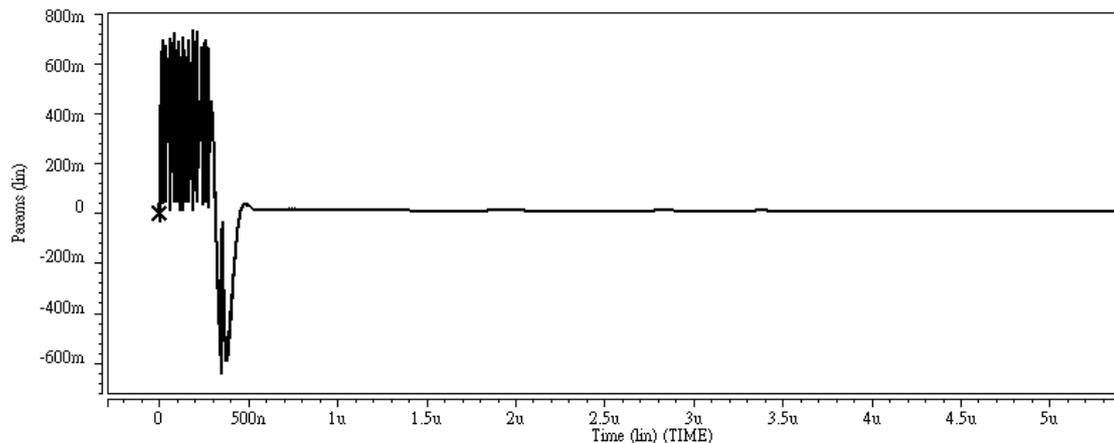


Fig 2.24 控制電壓圖(TT)

Fig 2.25 為八相位 1.25GHz 時脈之眼圖，其中單一相位最大抖動(jitter)小於 0.2ps，其八個相位最大誤差 2.63ps。

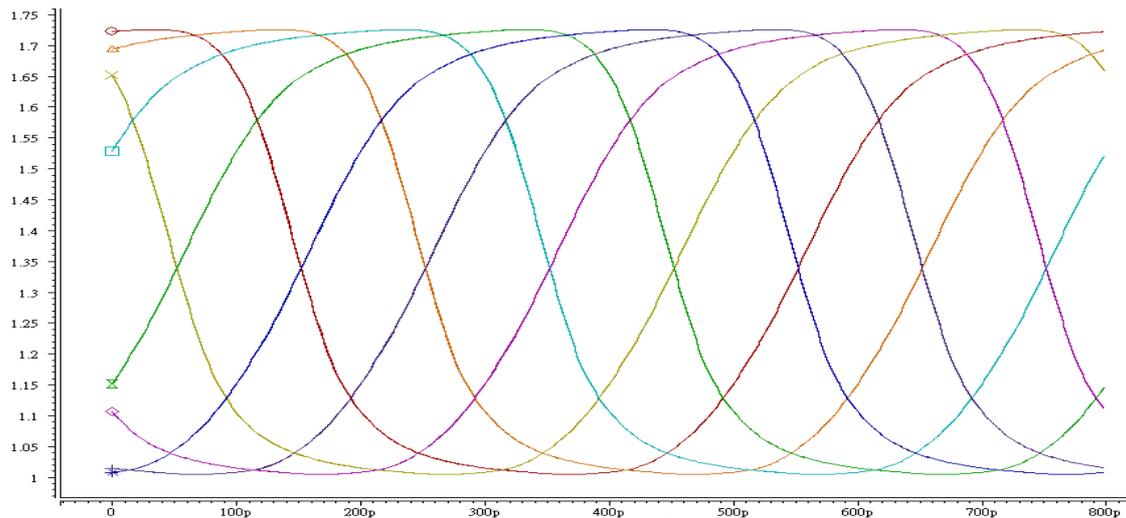


Fig 2.25 八相位 1.25GHz 時脈眼圖

下表為時脈倍頻電路之模擬及量測之特性表。

Function	Value
Tuning Range	250 ~ 1550 GHz
KVCO	120 MHz/V
Power Consumption	45 mW
Locking Time	3.5 $\mu$ S
Charge Pump Current	110 $\mu$ A
Damping Factor	1
Loop Bandwidth	1 ~ 4 MHz
Control Voltage Noise	1.3 mV
Single Phase Jitter	0.2 ps
8 Phase Jitter	2.63 ps
Loop Filter	R1=5K $\Omega$ C1=25pF C2=1.68pF
Process	TSMC 0.18 $\mu$ m CMOS

表 2-1 時脈倍頻電路特性表

- 312.5MHz 時脈抖動為 34 ps

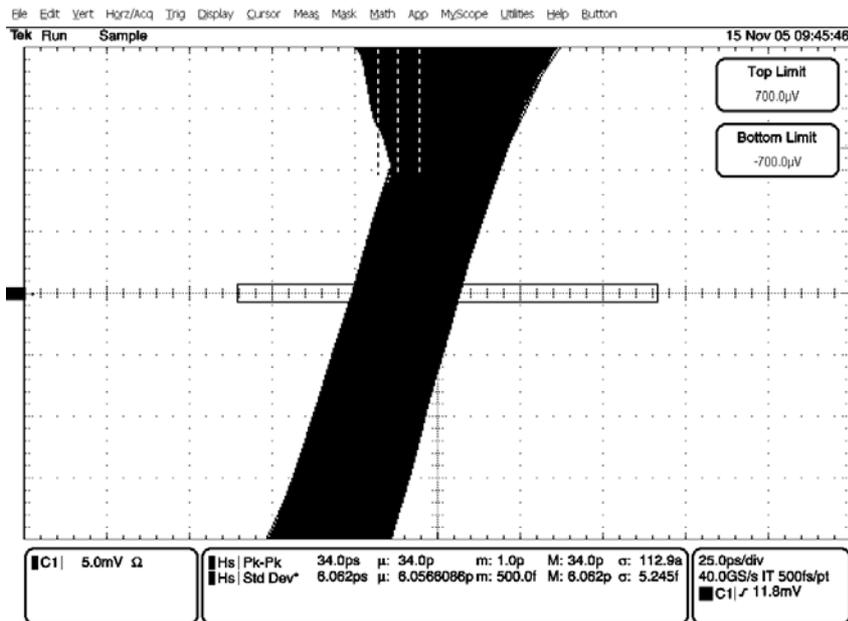


Fig 2.26 312.5MHz 時脈波形量測圖

- 625MHz 時脈抖動為 26 ps

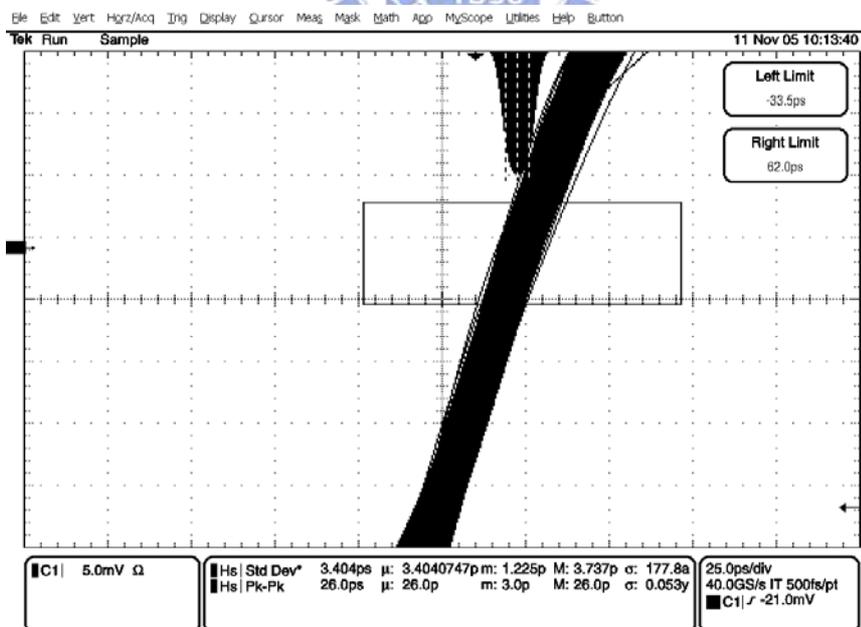


Fig 2.27 625MHz 時脈波形量測圖

## ● 1250MHz 時脈抖動為 22 ps

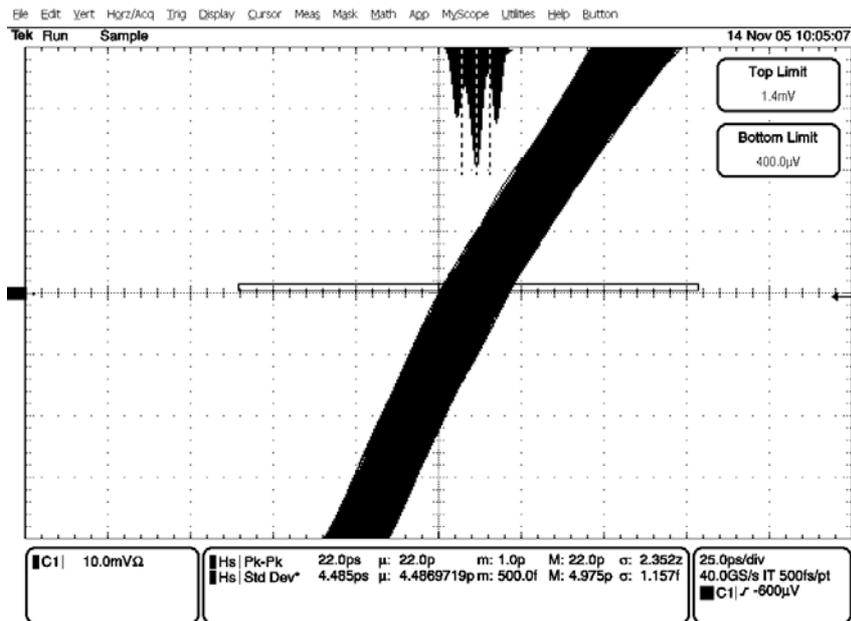


Fig 2.28 1250MHz 時脈波形量測圖



# 第三章 抖動分析

---

## 3.1 簡介

在通訊系統的領域中，錯誤率(BER)代表其通訊的品質，錯誤率的意思是接收端接收到的資料中，發生錯誤的比例是多少。會發生錯誤的原因主要是傳送端的效能不好，或者是通道的品質不佳，以及接收端的效能不好。而造成接收端效能不好的原因主要是因為資料的抖動(Data Jitter)或者是時脈的抖動(Clock Jitter)所造成的。因此在本章節中，將要分析抖動對 CDR 的錯誤率的影響，我們把它分為二個部分來介紹，第一部份是分析在規格中(Spec.)定義的最大抖動在我們這將會造成多少的錯誤率;第二部分則是分析當抖動的最大值為多少時，將會造成 CDR 的錯誤，亦即介紹此電路在不發生錯誤時，可忍受最大的抖動值。

抖動(Jitter)依其來源主要可以區分為二類：隨機抖動(Random Jitter)和定量性抖動(Deterministic Jitter)。隨機抖動的行為是以無邊界(Unbounded)成分來表示之，並且通常是以高斯分佈來代表其統計行為。相對的，定量性抖動被視為是有邊界的(Bounded)，所以不以高斯分佈來表示其行為。依照 CDR 的特性，隨機雜訊主要來源是電子元件的熱雜訊;而造成定量性抖動的主要來源是數碼抖動(Pattern Jitter)、符號碼間的干擾(Inter-Symbol Interference)、以及脈衝寬度比(Duty Cycle)失真所造成的抖動等等。一般而言，隨機雜訊是以 RMS 值或者是標準差的形式來表示之，然而定量性抖動是有邊界的，所以用峰對峰值來表示(Peak to Peak value)。當我們要把隨機抖動和定量性抖動結合起來的時候，亦即要求得全體的抖動時，並不可以直接把他們二個值相加起來，而是要把定量性抖動的機率密度函數和隨機雜訊的機率密度函數作迴旋積分，才可以得到我們要的值。

## 3.2 抖動對錯誤率的影響

首先我們先把所有在超取樣架構的 CDR 中的非理想效應表示在 Fig 3.1 中，並且時間極限(Timing Margin)可以用下式來表示之：

$$T_{margin} = \frac{T_{bit}}{2} - T_{os} - T_{jc} - T_{jd} \quad \text{式 3-1}$$

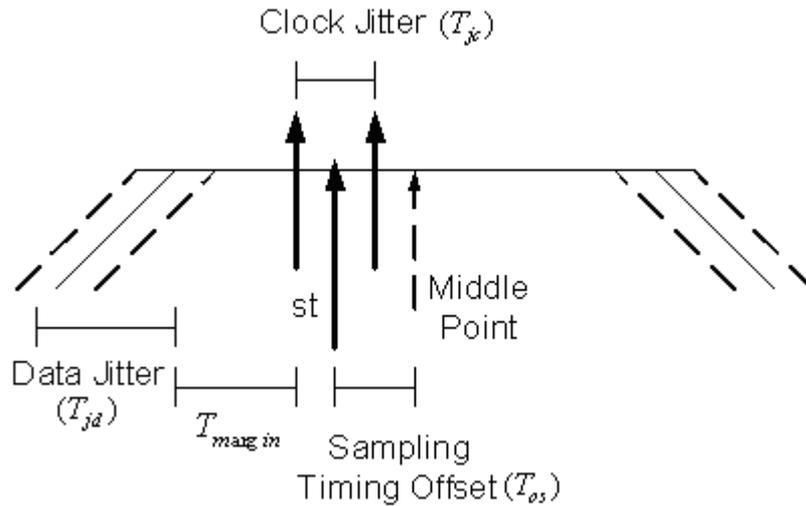


Fig 3.1 所有可能會造成錯誤的抖動種類

時間極限越大代表取樣到的資料出錯機率會較小，反之，時間極限越小取樣到的資料出錯機率會較大。 $T_{os}$  代表的意義是取樣相位和資料的中點之間的相位誤差， $T_{os}$  越大出錯的機率會較大，因此在設計 CDR 時，盡量要使得  $T_{os}$  越小越好。造成  $T_{os}$  的原因是超取樣的倍數(Oversampling Ratio)，當超取樣的倍數越大時，則  $T_{os}$  會越小。 $T_{jc}$  是時脈信號的抖動，其值和鎖相迴路的效能有關。 $T_{jd}$  是輸入資料的抖動，傳送端、通道以及接收端的效能將會決定其值。

$T_{jc}$  的成分只有隨機抖動，而  $T_{jd}$  的成分則包含了隨機抖動和定量性抖動。當  $T_{jc}$  或  $T_{jd}$  只要其中一項值變大，將會使得時間極限變小，進而增加錯誤率。

當輸入資料被取樣以及被放大成數位信號之後，振幅的雜訊被濾掉並且將其轉變為資料的抖動，所以輸入資料幾乎變成了方波，所以當我們在分析錯誤率(BER)的時候止需要考慮時間造成的誤差(timing error)。使用超取樣技術的 CDR 中的所有非理想效應都表示在 Fig 3.1 裡，如果使用比較高的超取樣倍數(K)， $T_{os}$  會比較小，因此錯誤率會比較小。但相對的，也有其缺點，當超取樣倍數越大的時候，所需要的取樣器要比較多，鎖相迴路要產生更多的相位，輸入的頻寬變低，因為硬體變多，所以消耗功率也會變大。

當對資料作取樣時，做差的情況是資料的中間點在最佳的二個取樣相位的中間，如此一來，其  $T_{os}$  值是最大的，可以式 3-2 表示：

$$T_{os,max} = \frac{T_{bit}}{2 \times k} \quad \text{式 3-2}$$

$k$  是超取樣的倍數，上式是當  $k$  為奇數時的表示式。如果資料的中間並不在二個最佳取樣相位中間，此時 CDR 電路將會選擇最靠近資料中點的取樣相位。當傳送端和接收端的頻率不一致的時候， $T_{os}$  的值將會介於 0 到  $T_{bit}/2k$  之間，並且其機率密度函數是均勻分佈的。

首先探討輸入資料的隨機雜訊對錯誤率的影響，我們以標準差( $\sigma_d$ )來定義之。我們把位元時間(Bit Time)正規化為 1，並且錯誤率可以用下列的式子表示：

$$LBER = TD \times \int_{st}^{\infty} \frac{1}{\sqrt{2\pi\sigma_d^2}} \exp\left(-\frac{t^2}{2\sigma_d^2}\right) dt \quad \text{式 3-3}$$

$$RBER = TD \times \int_{-\infty}^{st} \frac{1}{\sqrt{2\pi\sigma_d^2}} \exp\left(-\frac{(t-1)^2}{2\sigma_d^2}\right) dt \quad \text{式 3-4}$$

$$TBER = LBER + RBER$$

式 3-5

其中 LBER 和 RBER 分別代表的意義是輸入資料左邊以及右邊的邊界地方的抖動所造成的錯誤率，而 TBER 是輸入資料的隨機抖動造成的總錯誤率。St 是取樣點，TD 是資料轉換的機率，一般而言都是 50%。接下來探討的是資料的定量性抖動，定量性抖動的機率密度函數只有包含一對脈衝函數，在這邊把其簡化為脈衝函數目的是為了方便分析。W 是定量性抖動峰對峰值，a1 和 a2 是脈衝函數右邊和左邊分佈的機率，其中  $a1+a2=1$ 。定量性抖動的機率密度函數可以用下式表示：

$$DJ = a1 * \delta(t - w1) + a2 * \delta(t + w2) \quad \text{式 3-6}$$

把定量性抖動和隨機抖動的機率密度函數作迴旋積分，便可以得到輸入資料抖動的分佈情況，其輪廓圖如 Fig 3.2 所示。

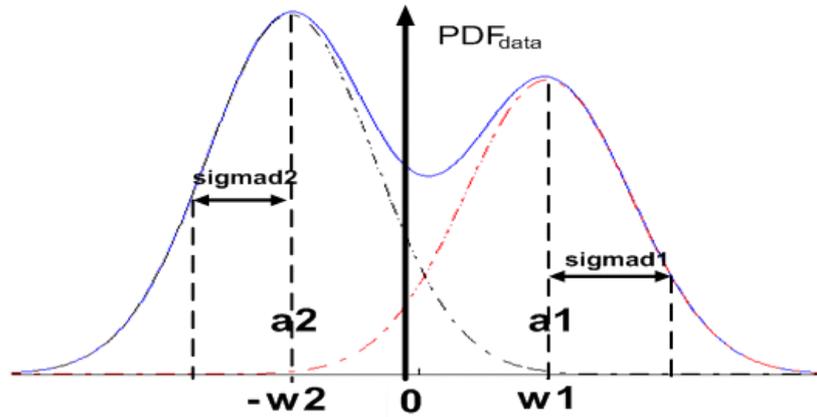


Fig 3.2 輸入資料抖動的 PDF

以上的討論我們只探討了資料對錯誤率的影響，然而，只探討這樣是不夠的，我們應該再考慮取樣的時脈信號的抖動( $PDF_{clk}$ )對錯誤率的影響。除了時脈信號的抖動之外，另外要探討的是當時脈信號對資料作取樣後，造成的時間誤差，也就是之前提到的 $T_{os}$ ， $T_{os}$ 以介於極小(0)和極大值( $1/2k$ )之間的均勻分佈來表示其機率分佈函數( $PDF_{os}$ )。

$$PDF_{clk}(st, \sigma_c) = \frac{1}{\sqrt{2\pi\sigma_c^2}} e^{-\frac{(st-0.5)^2}{2\sigma_c^2}} \quad \text{式 3-7}$$

$$PDF_{os}(t, k) = \begin{cases} k, & -\frac{1}{2k} < t < \frac{1}{2k} \\ 0, & \text{others} \end{cases} \quad \text{式 3-8}$$

把式 3-7 和式 3-8 結合在一起之後，其 PDF 變成：

$$u(st, k, \sigma_c) = PDF_{clk} * PDF_{os} = k \int_{-\frac{1}{2k}}^{\frac{1}{2k}} \frac{1}{\sqrt{2\pi\sigma_c^2}} e^{-\frac{(st-t-0.5)^2}{2\sigma_c^2}} dt \quad \text{式 3-9}$$

把式 3-3、式 3-4、式 3-6、式 3-9 混和在一起計算之後，便可以算出錯誤率的值，其公式如式 3-10 所示。

$$LBER = \frac{TD}{2} \cdot \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \frac{1}{\sqrt{2\pi}} \left( \frac{a1}{\sigma_{d1}} e^{-\frac{(x-w1)^2}{2\sigma_{d1}^2}} + \frac{a2}{\sigma_{d2}} e^{-\frac{(x-w2)^2}{2\sigma_{d2}^2}} \right) u(st) dx dst$$

$$RBER = \frac{TD}{2} \cdot \int_{-\infty}^{\infty} \int_{-\infty}^{st} \frac{1}{\sqrt{2\pi}} \left( \frac{a1}{\sigma_{d1}} e^{-\frac{(x-1-w1)^2}{2\sigma_{d1}^2}} + \frac{a2}{\sigma_{d2}} e^{-\frac{(x-1-w2)^2}{2\sigma_{d2}^2}} \right) u(st) dx dst$$

式 3-10

$$TBER = LBER + RBER$$

### 3.3 抖動容忍度

此節要探討的是 CDR 電路能夠容許多大的抖動而不發生錯誤。在此我們假設雜訊的頻率是以弦波的形式在變化，並且以此頻率將輸入資料作頻率的調變 (FM)，我們要分析的地方是當發生傳送端傳送連續的 0 或 1 時的這段期間，因為此時段資料並沒有做轉換的動作，因此 CDR 不會改變取樣信號的相位，並且有可能發生錯誤，因為資料受到雜訊的調變，其頻率也因此改變。

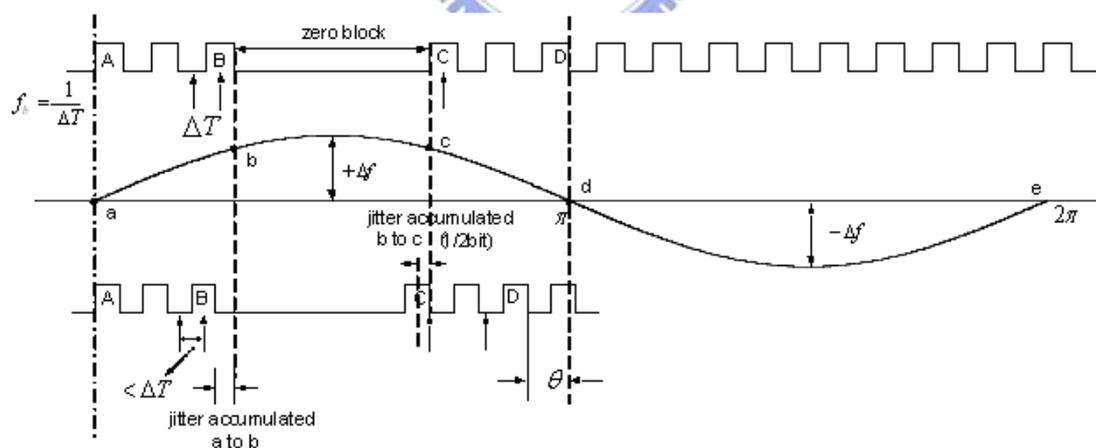


Fig 3.3 受到雜訊頻率調變的資料(1)

如 Fig 3.3 所示，最上面的信號是未受雜訊干擾的資料；中間的是雜訊；最下面的信號是受到雜訊頻率調變的資料。在 a 到 d 這段，雜訊的頻率變化是正的，因此資料受到調變之後，頻率變快了；在 d 到 e 這段，雜訊的頻率變化是負的，因此資料受到調變之後，頻率變慢了。

而 B 和 C 之間，傳送端都是傳送一連串的 0，此時沒有資料的轉換，CDR 沒有辦法更正取樣信號的相位，因此取樣信號有可能取樣到前一筆或者是後一筆的資料，造成錯誤。A 到 B 這段期間因為資料有一直在轉換，即使資料的頻率一直在變化，由於取樣相位也跟著改變，只要頻率變化不要太大，基本上都是不會發生錯誤的，因此取樣信號差不多都在資料的中點。由於 b 到 c 這段資料沒有轉換，因此取樣相位都不會改變，正常的情况是當對 C 這筆資料作取樣時，取樣信號應該是在資料的中間，因此此時極有可能發生錯誤，也就是說在這個時候取樣信號如果不在 C 的這筆資料上面，就會發生錯誤，所以說資料的時間誤差超過了  $1/2UI$ ，就會發生取樣信號跑到別筆資料上。

有了以上的概念之後，接下來開始算抖動的容忍度，如 Fig 3.4 所示：

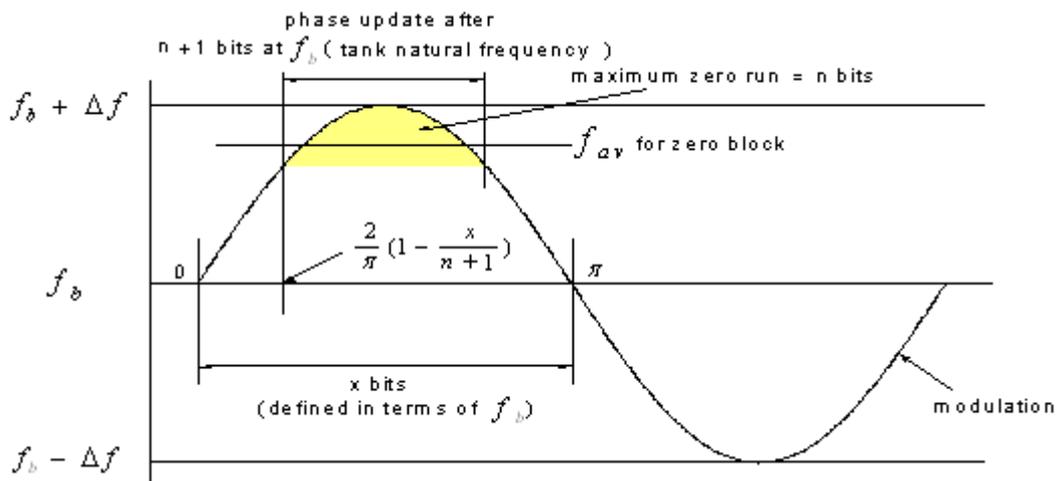


Fig 3.4 受到雜訊頻率調變的資料(2)

在這邊我們要分二個部分來探討，一種情況是當雜訊的頻率比資料頻率要慢很多的時候；另一種情況是雜訊的頻率跟資料的頻率差不多的時候，由於可能雜訊的頻率變化中的半個週期都是沒有資料的轉換，而半個週期就是雜訊抖動的峰對峰值，固不必計算抖動的容忍度，因為此峰對峰值抖動只要超過  $1/2UI$  就會發生錯誤，所以在此條件下的抖動容忍度為  $1/2UI$ 。

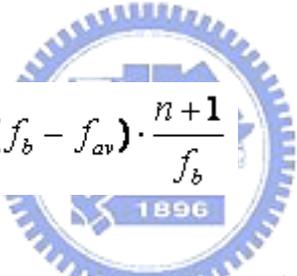
接下來要算的是當雜訊的頻率要比資料頻率慢很多的情況之下的雜訊容忍度。Fig 3.4 是輸入資料被雜訊作頻率調變之後的頻率變化情形， $f_b$  是原本的資料頻率， $f_j$  是雜訊的頻率，而受到雜訊調變的資料頻率如式 3-11， $X$  為 0 到  $\pi$  之間資料的位元數， $n$  為連續沒有資料轉換的位元數，為灰色部分即為連續沒有資料轉換的區域， $f_{av}$  代表的意義是當發生連續沒有資料轉換這段期間資料的平均頻率， $f_{av2}$  為 0 到  $\pi$  之間資料的平均頻率。式 3-12 為連續沒有資料轉換期間的平均頻率，它是把式 3-11 做積分的結果，由於此其區間有  $n+1$  個位元，因此要除以  $(n+1)\pi/X$ ，才可得到平均的頻率。在這邊是  $n+1$  的原因是 CDR 要等到第  $n+2$  個位元才能夠依據第  $n+1$  個位元資料轉換的情況改變其取樣信號的相位。

$$\text{Data Rate} = f_b - \Delta f \sin \theta \quad \text{式 3-11}$$

$$f_{av} = f_b - \Delta f \cdot 2 \int_{\pi/2[1-(n+1)/x]}^{\pi/2} \frac{\sin \theta d\theta}{(n+1)\pi/x}$$

$$= f_b - \Delta f \cdot \frac{x}{(n+1)\pi} \cdot 2 \int_{\pi/2[1-(n+1)/x]}^{\pi/2} \sin \theta d\theta \quad \text{式 3-12}$$

$f_b - f_{av}$  代表的意義是在連續沒有資料轉換期間平均每一個位元的抖動量，再把他乘上  $n+1/f_b$  代表是此時間總共累積的抖動量，之前提到在連續沒有資料轉換其間只要抖動的累積量超過  $1/2UI$ ，就會發生錯誤，因此可用式 3-13 表示之。



$$\frac{1}{2} = (f_b - f_{av}) \cdot \frac{n+1}{f_b} \quad \text{式 3-13}$$

將式 3-12 的  $f_{av}$  代入至式 3-13 中，可以得到式 3-14。

$$\frac{1}{2} = \frac{2\Delta f x}{\pi f_b} \cos \frac{\pi}{2} \left(1 - \frac{n+1}{x}\right) \quad \text{式 3-14}$$

之前算得是在連續沒有資料轉換期間不發生錯誤的抖動值，但是我們要求的是整個可容忍的峰對峰的抖動值，a 到 d 這段期間累積的抖動就是峰對峰值。我們要先算出 a 到 d 之間每個位元的平均頻率：

$$f_{av2} = f_b - \Delta f \cdot \frac{1}{\pi} \int_0^{\pi} \sin \theta d\theta = f_b - \frac{2}{\pi} \Delta f \quad \text{式 3-15}$$

a 到 d 一共有 X 個位元，把  $f_b - f_{av2}$  乘以  $X/f_b$  的意義是 a 到 d 累積的抖動量，亦即峰對峰值的抖動。

$$J_{pp} = (f_b - f_{av2}) \cdot \frac{x}{f_b} \quad \text{式 3-16}$$

把式 3-15 的  $f_{av2}$  代入式 3-16 中，可以得到式 3-17，

$$J_{pp} = \frac{2}{\pi} \Delta f \cdot \frac{x}{f_b} \quad \text{式 3-17}$$

把式 3-14 中的  $\Delta f$  的表示式代入至式 3-17，即可求得最大可容忍的抖動值，

$$J_{pp} = \frac{1}{2} \cdot \frac{1}{\cos(\pi/2)[1 - (n+1)/m]} \quad \text{式 3-18}$$

$$\Delta f = \frac{\pi}{4} \frac{f_b}{x \cos(\pi/2)[1 - (n+1)/x]}$$

並且可以求得雜訊頻率變化的振幅  $\Delta f$ ，其中  $m = \frac{f_b}{2f_j}$ ，式 3-18 成立的條件是當  $\frac{n+1}{m} \leq 1$  成立時，因為推導上面的式子前提是雜訊頻率變化要把資料的頻率慢很多的時候才成立。

如果雜訊頻率跟資料頻率差不多時，甚至比資料快的時候，即  $\frac{n+1}{m} \geq 1$ ，則最大雜訊容忍度為式 3-19。由於本 CDR 架構中鎖相迴路產生的時脈信號頻率為資料頻率的四分之一倍，因此最後算出來的峰對峰值抖動要再乘以四分之一。除此之外，上要考慮迴路頻寬，本電路有設計二種可程式化迴路頻寬，一為 1/4，另一個為 1/8，因此最後算出來的最小可容許抖動值為 1/32UI 或 1/64UI。

$$J_{pp} = \frac{1}{4} \quad \text{for } \frac{n+1}{x} \geq 1 \quad \text{式 3-19}$$

$$\Delta f = \frac{\pi}{4} \cdot f_j \quad \text{for } \frac{n+1}{x} \geq 1$$

### 3.4 模擬結果

Fig 3.5 是超取樣倍數和錯誤率的關係模擬圖，如我們所預期的，當超取樣的倍數越高時，錯誤率會下降，但最後會有趨近於飽和的跡象，因此為了達到低於  $10^{-12}$  的錯誤率，以及預留一些範圍，因此在本論文中取  $K=32$  來做設計，雖然  $K$  取 64 可達到更低的錯誤率，但是會使得硬體增加，進而讓功率消耗變大。

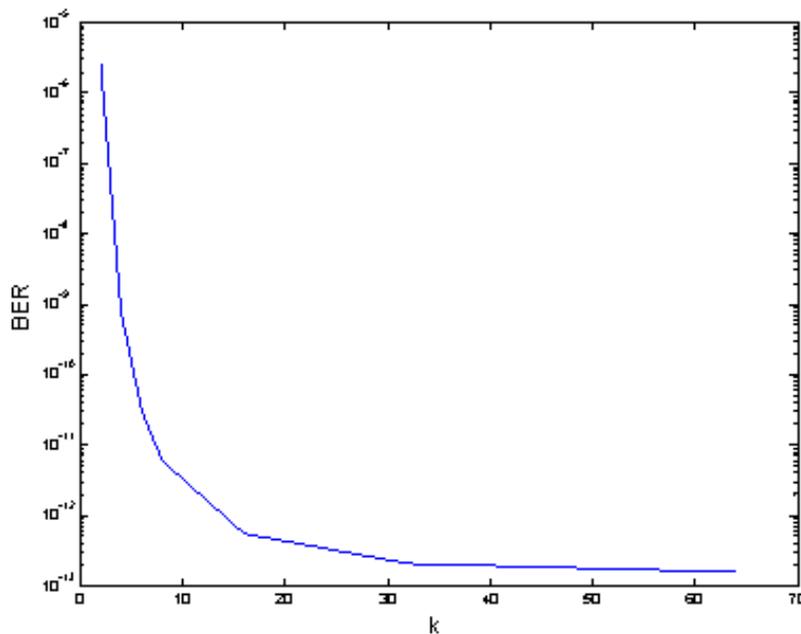


Fig 3.5 錯誤率的模擬結果

Fig 3.6 為抖動容忍度的模擬結果，我們可以發現當資料的傳輸頻率比雜訊變化的頻率要來的慢時，雜訊容忍度將會趨近於一固定的值。如果資料的傳輸頻率比雜訊變化的頻率要來的快時，雜訊容忍度可以用式 3-18 表示之。

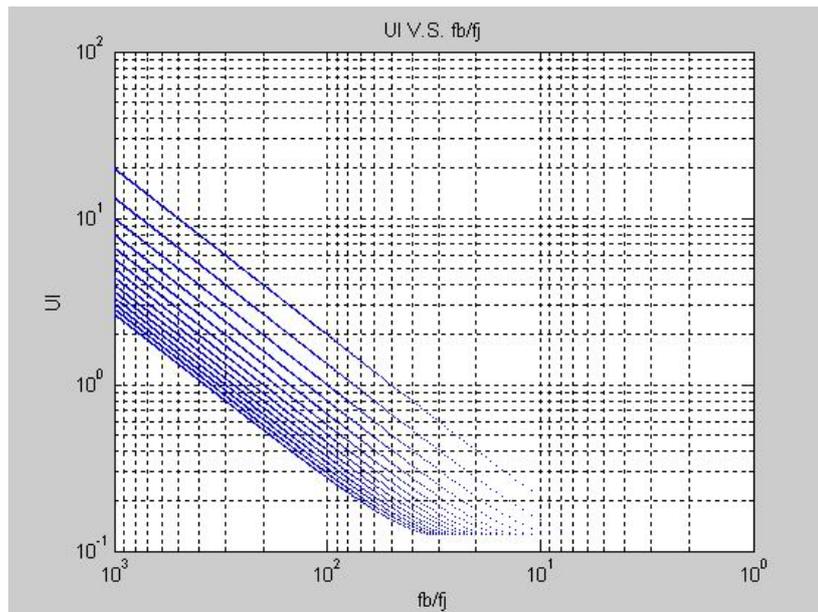


Fig 3.6 抖動容忍度的模擬結果



# 第四章 時脈資料回復電路

---

## 4.1 簡介

在這個章節中首先會分析比較鎖相迴路式 CDR 和超取樣式 CDR 的優缺點，再將其個別的優點擷取出來，應用在本論文的時脈資料回復電路的架構中。

接下來介紹的是本論文提出的時脈資料回復電路架構圖，及電路的設計流程，本論文提出的 CDR 電路除了能夠工作在高速之外，更能在多頻段操作，且有低功率消耗，快速鎖定的優點，我們期望此電路除了能夠應用在 EPON 系統外，也能應用在 SATA、USB 介面等等的應用。

### 4.1.1 CDR 主要二種傳統架構



一般的資料回復器電路主要可以分為二種：一.鎖相迴路式架構，二.相位超取樣式架構。Fig 4.1 所示為鎖相迴路式資料回復器電路架構，鎖相迴路式資料回復電路具有高速操作之優點，然而在較高輸入信號雜訊之操作條件下，其鎖定速度與輸出信號之相位雜訊品質互相抵觸，因此較難兼顧快速鎖定及高品質輸出相位之要求。其主要架構包含了相位偵測器、低通濾波器、壓控振盪器等等。相位偵測器功能是為了使時脈信號能夠對輸入資料作精確的取樣，而對低通濾波器充電，進而改變壓控振盪器的相位。

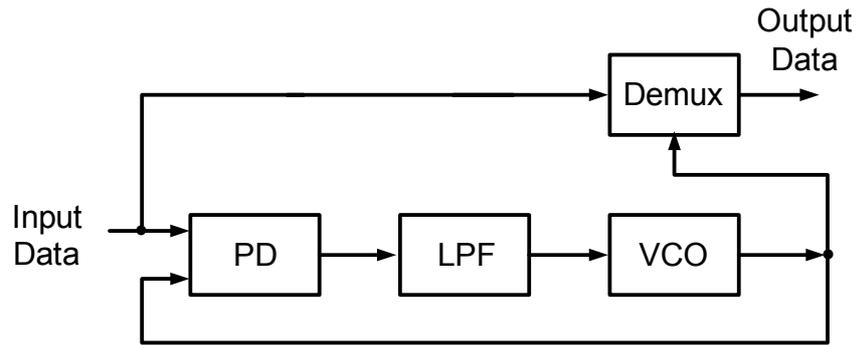


Fig 4.1 鎖相迴路式時脈資料回復器

Fig 4.2 所示為超取樣式資料回復器電路，其藉由超取樣及數位電路之判讀及輔助，可大幅提升資料之追蹤速度及鎖定速度，然而其操作需要大量的數位電路因此耗費相當大之晶片面積，同時超取樣電路需要多重相位，在高速操作下為達到超取樣之目的有其困難。其架構主要包含了一個能夠產生多個相位的鎖相迴路、暫存器、邏輯運算電路、平行接收器。其工作原理是從鎖相迴路中擷取多重相位，並且利用這些相位對輸入資料作平行超取樣，即對同一筆資料作多次的取樣，把這些取樣的結果放置在暫存器中，再經由一個邏輯運算的電路找出某個取樣點是最少發生位元轉換的，利用此最佳取樣相位來對輸入資料作取樣，以減少錯誤率。

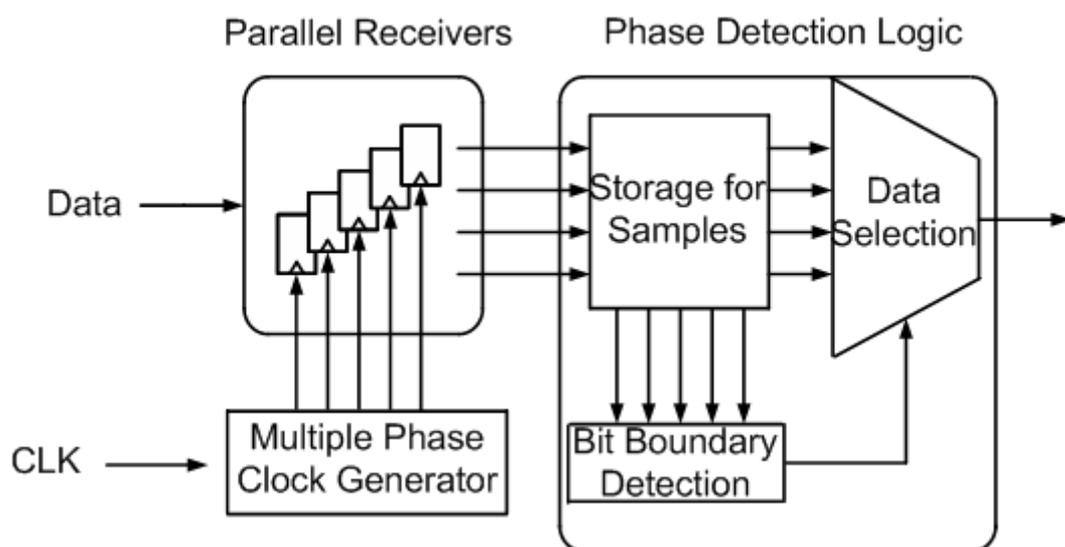


Fig 4.2 超取樣式時脈資料回復器

### 4.1.2 CDR 的架構，及其工作原理介紹

本論文的時脈資料回復電路為了達到低功率消耗、快速鎖定、高速操作以及多頻段操作的特性，因此擷取了超取樣式和鎖相迴路式時脈資料回復電路的優點來做設計。此外為了節省功率的消耗，在本設計中時脈信號為輸入資料頻率的  $1/4$  倍，且此架構是採用二倍速超取樣的技術來實現的。本論文提出的架構如 Fig 4.3 所示。本架構是由一個產生八組相位的鎖相迴路，四組相位內插器，四組相位偵測器，四組五位元數位迴路濾波器以及四組數位-類比轉換器所組成的。相位內插器會從鎖相迴路擷取彼此相差  $90$  度的相位做合成的動作，利用此合成相位在相位偵測器中對輸入資料作二倍超取樣，取樣的值即為被時脈重置的資料，在此並把串列式的資料轉變為四筆平行輸出的資料。相位偵測器除了對輸入資料做取樣外，還會產生修正信號給迴路濾波器，在此迴路濾波器是由五位元的移位暫存器所組成的，迴路濾波器的輸出將控制數位-類比轉換器的輸出電流，進而改變相位內插器的合成相位，以達到最佳取樣相位的目的。

此外，為了達到快速鎖定的目的，本論文在迴路濾波器的部分提出了二位元搜尋法，只要做四次的搜尋即能找到最佳的取樣相位，亦即只要  $16$  個位元就能夠鎖定。由於此迴路濾波器是數位電路，所以再加上執行二位元搜尋法的電路亦不難實現。

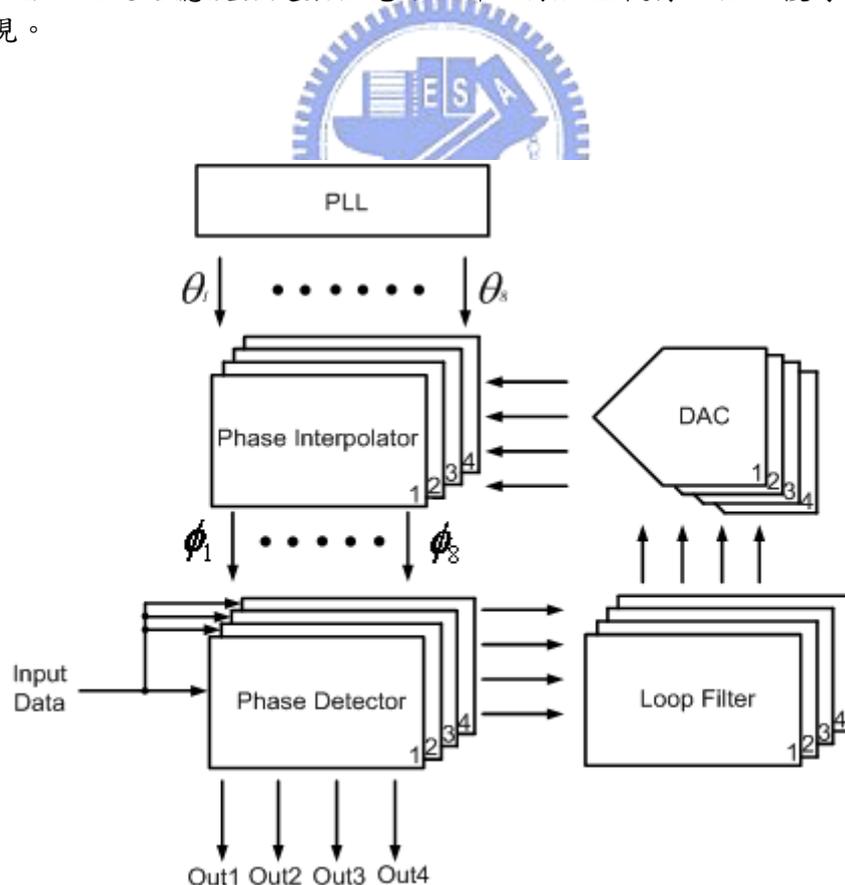


Fig 4.3 時脈資料回復電路的架構圖

本資料回復電路結合分時平行二倍速超取樣及二位元搜尋相位修正技術，藉此達到快速鎖定及高輸出相位品質之目的。其中鎖相迴路之操作頻率為輸入資料傳輸率之 1/4 倍，並產生 8 組均勻分佈相位，經由多相位平行取樣之操作，每筆輸入資料將經由 2 取樣相位進行取樣，藉此達到減低取樣頻率之目的。鎖相迴路產生 8 組輸出相位  $\theta_n$  ( $n = 1 \sim 8$ )，而相位內插器將擷取  $\theta_n$  及  $\theta_{n+2}$  之信號進行相位合成，其輸出相位介於  $\theta_n$  及  $\theta_{n+2}$  之間。而  $\theta_n$  和  $\theta_{n+2}$  之內插權重 ( $k$ ) 是由迴路濾波器所決定，因此輸出相位可以  $\phi_i = \theta_n \times (k) + \theta_{n+2} \times (1-k)$  表示之，且  $0 \leq k \leq 1$ 。本論文設計的迴路濾波器為 5 位元，故相位內差器將可合成 32 個輸出相位，其中  $k =$  迴路濾波器的值/32。

相位內插器之輸出信號將作為輸入資料之取樣相位，其中相位偵測器將偵測取樣相位及輸入資料之相位，並產生一修正(up/down)信號。此信號將經由迴路濾波器進行累計，其累計結果將反應為相位內插器之權值，藉此達到修正取樣相位之目的。經由相位偵測器之判讀若是已達到最佳取樣相位之狀態，則相位偵測器將不再產生修正信號至迴路濾波器中，因此迴路濾波器的權值將不會改變。為了縮短合成最佳取樣相位所需之時間，本論文利用二位元搜尋法，其首先將迴路濾波器預設一初始值( $k=1/2$ )，當迴路濾波器連續執行 up/down 之修正動作時，其權值之修正量依序為  $\pm (k=1/4)$ 、 $\pm (k=1/8)$ 、 $\pm (k=1/16)$ 、 $\pm (k=1/32)$ ，一旦找到最佳取樣相位，迴路濾波器即停止修正動作。因此，本相位偵測器至多只要執行 4 次相位偵測即可找到最佳取樣相位。

接下來再用一個資料和取樣時脈關係圖來詳細說明。如 Fig 4.4 所示，串列式資料中的第一筆資料是由合成相位  $\phi_1$ 、 $\phi_2$ 、 $\phi_3$  在相位偵測器中取樣，取樣結束的輸出值會再經過運算，得到修正信號(Up/Down)。相位  $\phi_1$  是由  $\theta_1$  和  $\theta_3$  的合成相位；相位  $\phi_2$  是由  $\theta_2$  和  $\theta_4$  的合成相位；相位  $\phi_3$  是由  $\theta_3$  和  $\theta_5$  的合成相位。第二筆資料是由相位  $\phi_3$ 、 $\phi_4$ 、 $\phi_5$  進行取樣的動作。同理，第三筆、第四筆也是用此方法執行二倍速超取樣的動作。由於鎖相迴路操作頻率為輸入資料傳輸速度的 1/4 倍，所以需要 4 組相位偵測器、內插權值校準電路等，分別記錄每筆資料取樣相位之最佳狀態，故每筆資料在超取樣之後，產生的 up/down 的信號分別記錄在個別的迴路濾波器中，進行累計的動作，其累計結果將反應在相位內插器之權值上，達到修正取樣相位的目的。第五筆輸入資料重複使用  $\phi_1$ 、 $\phi_2$ 、 $\phi_3$  相位，第六筆使用  $\phi_3$ 、 $\phi_4$ 、 $\phi_5$  相位執行超取樣，唯  $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ 、 $\phi_4$ 、 $\phi_5$  ... 等相位在每比較一次，就會被修正一次。經由相位偵測器之判讀若是以達到最佳取樣相位狀態，迴路濾波器將不會被修正。由上之討論得知，資料與時脈資料回復電路之主要動作在於

完成最佳取樣相位之合成，因此如何縮短相位內差權值校準所需之時間，為本論文之主要貢獻。

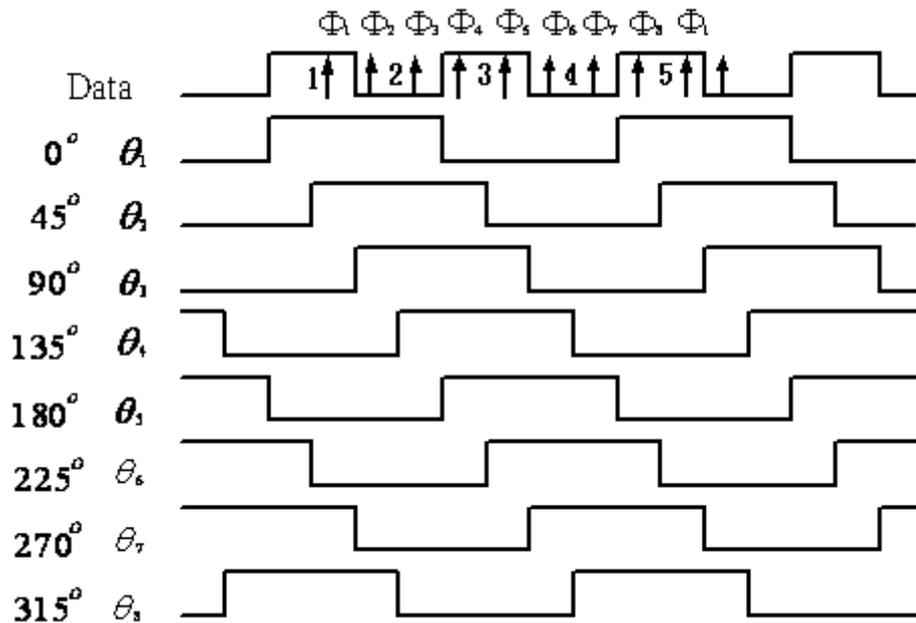


Fig 4.4 資料和取樣時脈關係圖

## 4.2 相位偵測器

當 CDR 操作在高速的時候，裡面的電路除了相位偵測器外，其餘的電路操作速度大約是輸入資料頻率的  $1/4$  倍，因此 CDR 要達到高速操作的目的，首先需要一個可操作在高速的相位偵測器，而在本論文中的電路幾乎都是以數位的方式來實現，目的是為了使 SOC 容易整合，但是數位電路的缺點是操作速度沒有類比電路來的快，因此在這邊我們把傳統的相位偵測器加以改進，使其能夠高速操作。

### 4.2.1 傳統 Alexander 式的架構

傳統 Alexander 式的相位偵測器電路圖如 Fig 4.5 所示，主要是由三個正反器和二個 XOR 閘所組成的。正反器會利用相位內插器產生的合成相位對輸入的資料作取樣的動作，取樣到的信號依照時間的順利把它們命名為 S1、S2、S3。我們先對照 Fig 4.6 的取樣相位關係圖，假如我們要對編號 1 的資料取樣，如果 S1、S2 做 XOR 後的值為“1”，且 S2、S3 做 XOR 的值為“0”，則定義為時脈落後，此時產生的修正信號為 Down=1，Up=0，找到最佳取樣信號的定義為當 S1 恰好是資料 1 的中點，S2 為資料 1 和 2 的邊界點，S3 為資料 2 的中心點。當 Down=1

時，會使得迴路濾波器的值變小，進而使得相位內插器合成的信號偏向  $\theta_n$ ，逐步接近最佳取樣相位。假如我們仍要對編號 1 的資料取樣，如果 S1、S2 做 XOR 後的值為“0”，且 S2、S3 做 XOR 的值為“1”，則定義為時脈領先，此時產生的修正信號為 Down=0，Up=1，當 Up=1 時，會使得迴路濾波器的值變大，進而使得相位內插器合成的信號偏向  $\theta_{n+2}$ 。

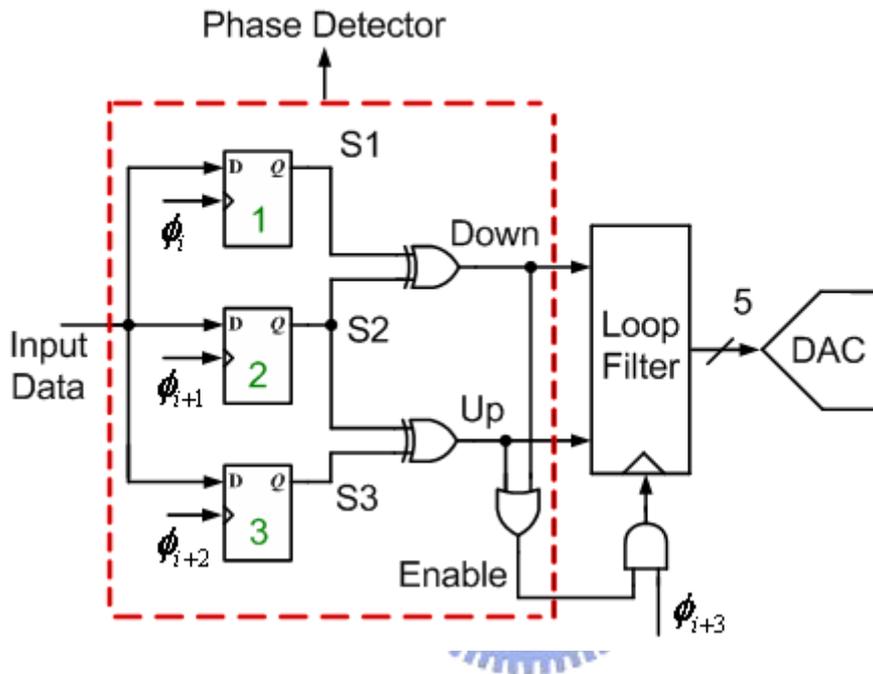


Fig 4.5 傳統 Alexander 式的相位偵測器

當資料沒有轉換的時候，即  $0 \rightarrow 0$  或者是  $1 \rightarrow 1$  時，我們不希望迴路濾波器改變儲存的值，因此只要把 Up 和 Down 做一個 OR 閘就可以得到一個驅動信號 (Enable)， $\phi_{i+3}$  是原本迴路濾波器的時脈信號，把  $\phi_{i+3}$  和驅動信號作一個 AND 閘當作是迴路濾波器真正的時脈信號，如果資料沒有轉換的話，那麼驅動信號就會為 0，則迴路濾波器的時脈信號為 0，所以迴路濾波器不會動作。

以傳統架構來實現相位偵測器將會使得操作速度變慢，因為要等到 S3 的值被決定後才能得到修正信號，且還要把此修正信號做 OR 閘的動作，如此一來將會使得操作速度變慢，除此之外，XOR 閘操作的速度也不是很快，如此更會使得 CDR 整體速度變慢。

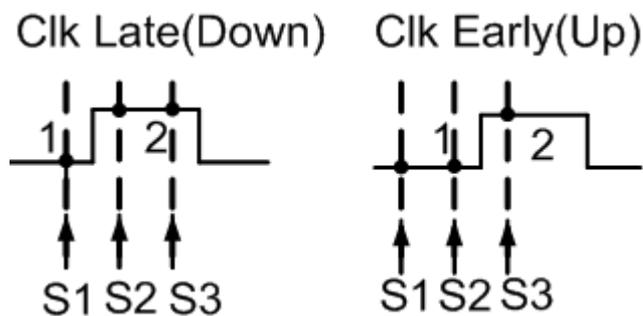


Fig 4.6 取樣相位關係圖

### 4.2.2 改進後的 Alexander 式相位偵測器

為了相位偵測器的操作速度變快，在此提出了一些改善的方法。觀察 Fig 4.6 可以發現決定 Up 或者是 Down 的修正信號其實只要判斷 S1、S2 的值是否相同，如果其值相同，則為時脈領先；若是不同，則為時脈落後。電路的實現方法就是把 S1、S2 做 XOR 閘可以得到 Down，將 Down 反相可以得到 Up 信號。而判斷資料有沒有轉換的方式其實只要觀測 S1、S3 的值是否相同，如果其值相同代表資料沒有轉換；

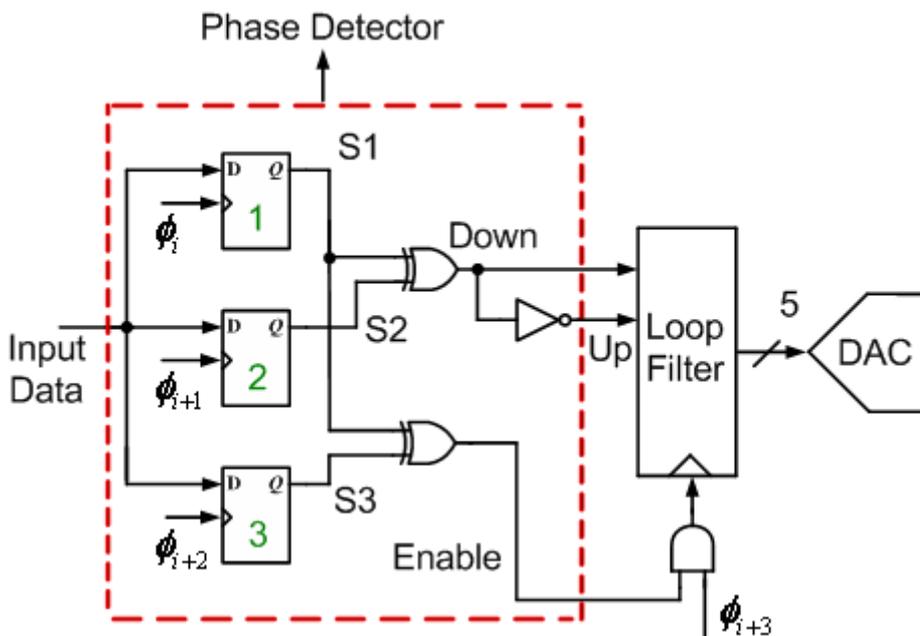


Fig 4.7 改進後的相位偵測器(I)

S1、S3 的值如果不相同，代表資料有轉換。電路實現方式就是把 S2、S3 做 XOR 閘可以得到驅動信號。如 Fig 4.7 所示。如此一來，只要 S2 的值被決定後，就能得到修正信號，不必等到 S1、S2、S3 值都出現才可求得，同時驅動信號也是如此，不必等到 S1、S2、S3 知道後再經過 OR 閘的運算，如此一來可以大幅簡短運算的時間。

之前有提到 XOR 閘的操作速度很慢，因此提出第二個改善方法。在相位偵測器中使用的正反器是用 TSPC 實現的，TSPC 正反器優點除了只需要使用一個相位的時脈信號外，還可以把數位邏輯運算嵌入至 TSPC 的電路內。因此我們把相位偵測器中的第二和第三個正反器各嵌入一個 XOR 閘，如此一來可以省掉一個閘的邏輯運算，將可以使得操作速度大幅提昇。如 Fig 4.8 所示。

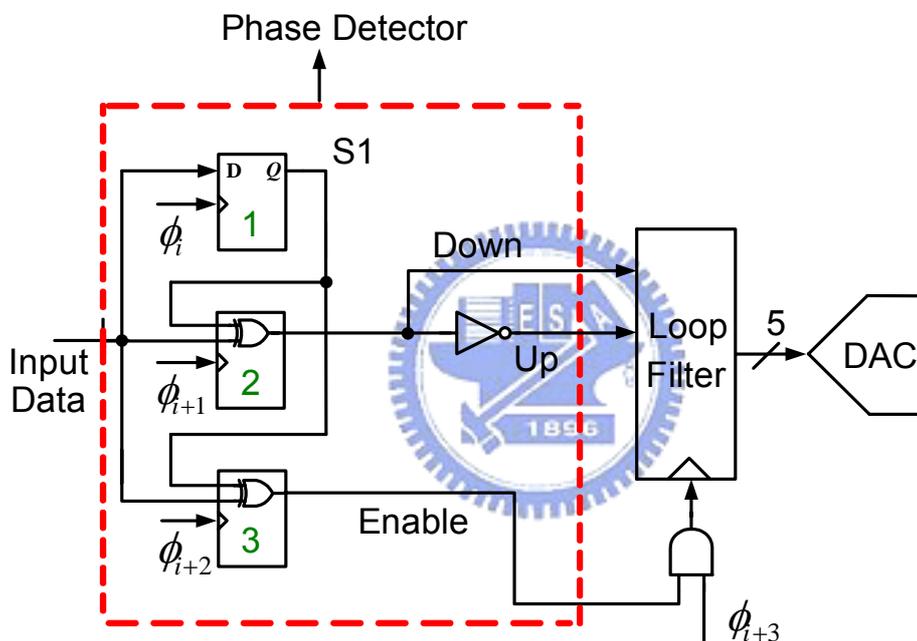


Fig 4.8 改進後的相位偵測器(II)

電路上實際實現 Fig 4.8 中的編號 2 和 3 的正反器方式如 Fig 4.9(b)所示，而 Fig 4.9(a)為 TSPC 正反器傳統的架構。Fig 4.9(b)中的 M3~M6 為嵌入的 XOR 閘，除了加上嵌入式的電路外，(b)比(a)圖在輸入的地方少了一個電晶體，其目的是要減少正反器輸入的設定時間。除了以上二個優點之外，(b)圖只要在第三級就可以產生最後的輸出，因此比傳統的架構操作速度要來的快。

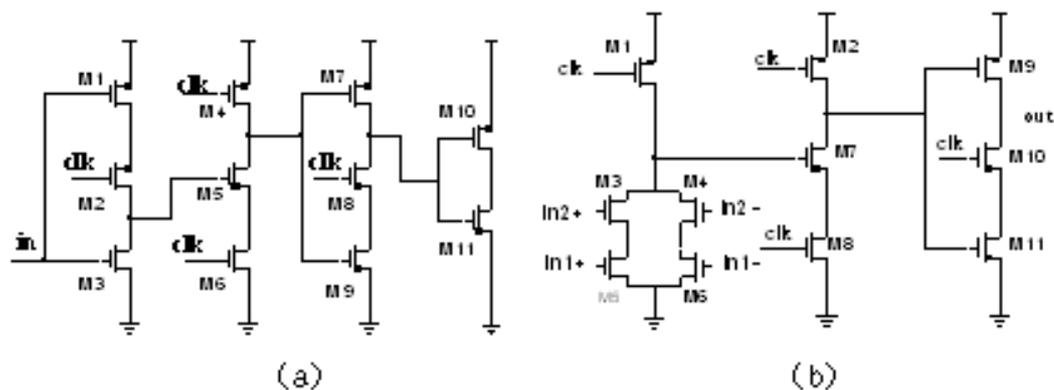


Fig 4.9 TSPC 正反器電路架構

### 4.3 相位內插器

相位內插器主要的功能是從鎖相迴路產生的八組相位中擷取出彼此相差 90 度( $\theta_i$  和  $\theta_{i+2}$ )的相位做內插的動作。如 Fig 4.10 所示，內插出來的合成信號將介於  $\theta_i$  和  $\theta_{i+2}$  之間，而內插的權值主要是由迴路濾波器所控制，而迴路濾波器的輸出將控制數位-類比轉換器的輸出電流源，進而改變合成相位的權值比。M1、M2 輸入的是  $\theta_i$  及其反相的信號；M3、M4 輸入的是  $\theta_{i+2}$  及其反相信號。當  $\overline{PI}$  電流比  $PI$  小的時候，內插出來的相位會偏向  $\theta_{i+2}$ ；當  $\overline{PI}$  電流比  $PI$  大的時候，內插出來的相位會偏向  $\theta_i$ 。

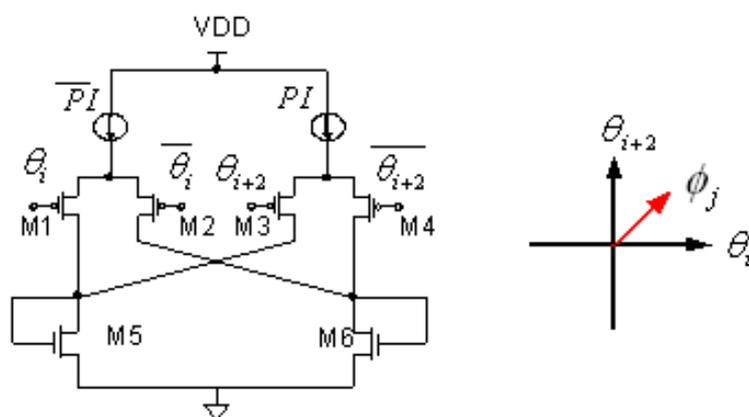


Fig 4.10 相位內插器電路圖

Fig 4.11 是相位內插器模擬的結果，當迴路濾波器的值變大的時候，內插出來的相位會偏向 90 度。

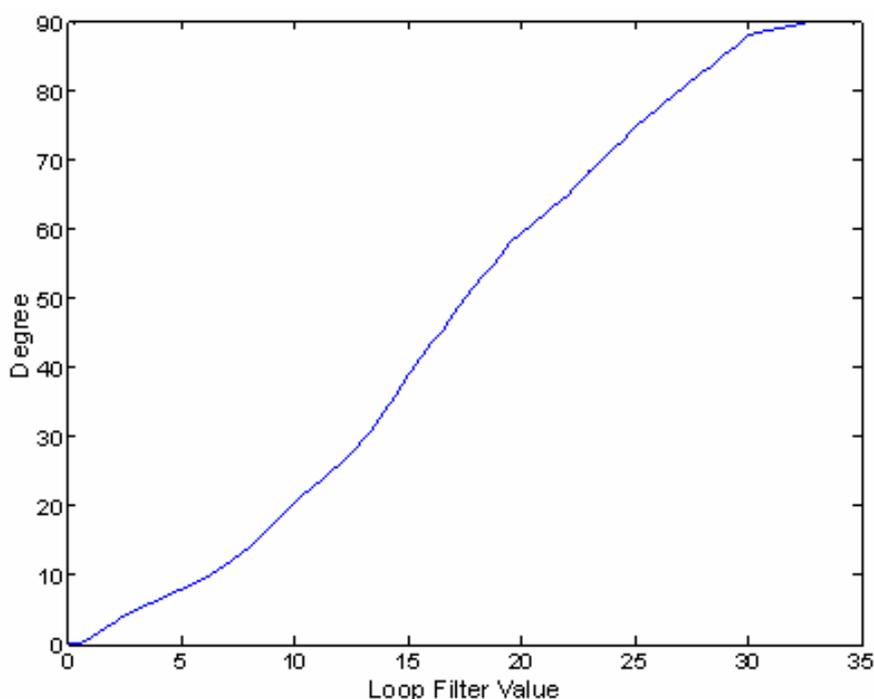


Fig 4.11 相位內插器模擬結果



## 4.4 數位-類比轉換器

應用在本論文的五位元數位-類比轉換器是採用溫度計碼的架構來設計的。其優點主要有三個:1.DNL 造成的錯誤比較小;2.遞增性較好;3.可減小突波造成的雜訊。5 位元溫度計碼的數位-類比轉換器一共有 31 個輸入開關，開關導通的數目越多，可確保輸出的值一定會變大，因此其遞增性較好。造成突波的主要原因是當發生在中央的碼字(Midcode)時，LSB 可能在 MSB 尚未導通時就先把開關關閉，此現象會造成瞬間沒有電流。另一個可能造成的原因是發生在中央的碼字(Midcode)時，LSB 開關很晚才關掉，而 MSB 又此時導通，導致瞬間全部的開關全部打開。因此若是採用溫度計碼的數位-類比轉換器的架構將可以減少突波造成的雜訊。

本論文的數位-類比轉換器電路如 Fig 4.12 所示，電路的下半部是使用差動對當開關的單位電流源，一共有 31 組的單位電流源，而單位電流源的輸入是由迴路濾波器的輸出得到，也就是說迴路濾波器的值越大，導通的單位電流源也就會越多。當導通的電流越多時，輸入至相位內插器的電流  $PI$  也就會越大， $\overline{PI}$  也就越小。M2、M9 是操作在三極管區，當成主動電阻使用，可使得從 M3 和 M8 的

汲極端看進去的輸出阻抗等同於一個電感，其目的是要增加此數位-類比轉換器的頻寬。而 M4 和 M7 的目的是要隔絕 M1 和 M10 的閘極所看到單位電流源的差動對的電容值，如果 M1 和 M10 的閘極電容和電阻的值很大，也會使得此數位-類比轉換器的操作速度變慢。

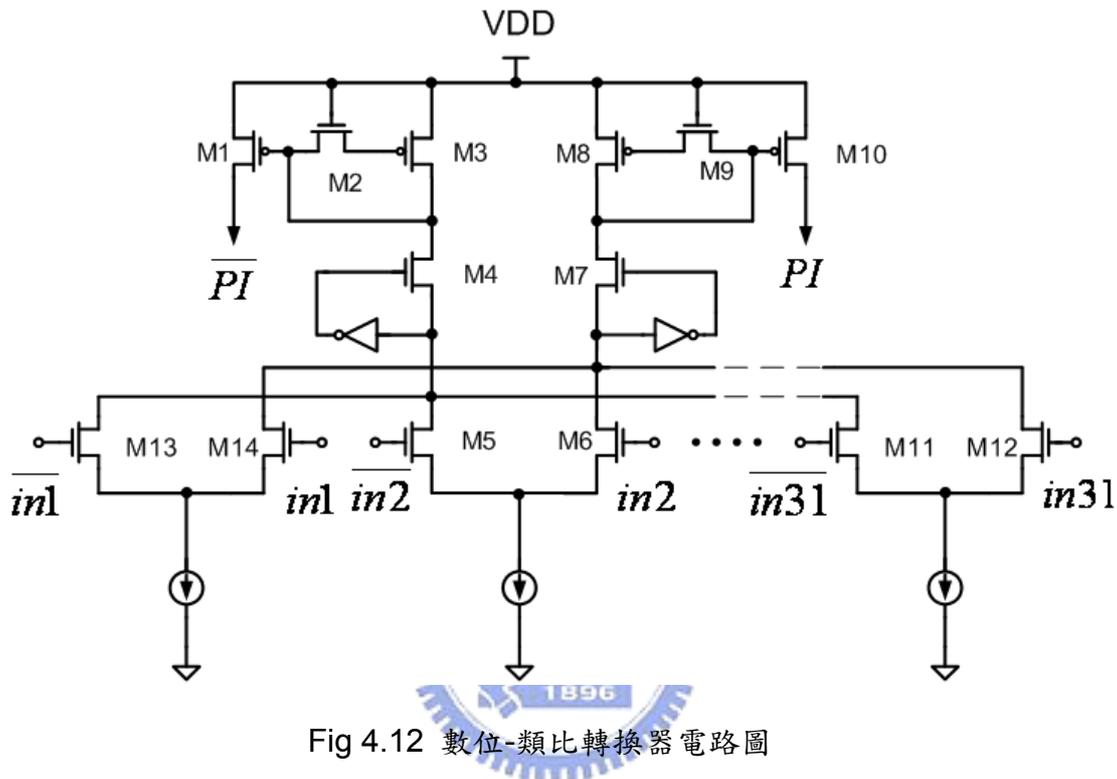


Fig 4.12 數位-類比轉換器電路圖

## 4.5 迴路濾波器

迴路濾波器的輸出將控制數位-類比轉換器的輸出電流，進而改變相位內插器內插出來的權重比，藉此達到最佳取樣相位的目的，而迴路濾波器的值將會依照相位偵測器產生的修正信號而改變，當修正信號為"Up"時，迴路濾波器的值將會變大；當修正信號為"Down"時，迴路濾波器的值將會變小。在本論文中，迴路濾波器為五位元，其值將會介於 0 到 31 之間。迴路濾波器的位元數越少，將會使得錯誤率提升；但若是迴路濾波器的值越大，雖然可減少錯誤率，但是卻需要大量的硬體，將會使得晶片面積、功率消耗變大，同時操作速度也會變慢。因此在這邊的取決方式除了要符合 EPON 規格之外，要以最少的位元數達到錯誤率小於  $10^{-12}$  的目的。此外，為了要達到快速鎖定的目的，我們在迴路濾波器的地方加入了執行二位元搜尋法的電路，也就是把迴路濾波器的初始值設定為 16，依照相位偵測器產生的 Up/Down 信號依次做  $\pm 8$ 、 $\pm 4$ 、 $\pm 2$ 、 $\pm 1$ ，只要執行四次

搜尋，也就是 16 個位元之後，便能找到最佳的取樣相位。

迴路濾波器的架構如 Fig 4.13 所示，主要包含了二個移位暫存器，分別是 SAR 控制器以及 DAC 控制器。SAR 控制器控制的是二位元搜尋法執行的順序，而 DAC 控制器的輸出將直接控制數位-類比轉換器，由於數位-類比轉換器是採用溫度計碼的架構，所以 DAC 控制器需要 31 個正反器組成。

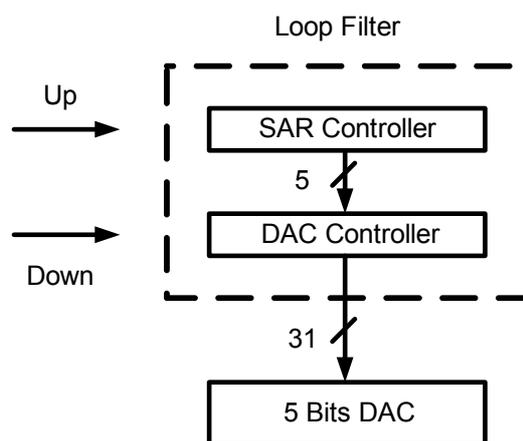


Fig 4.13 迴路濾波器的架構圖



SAR 控制器的電路架構如 Fig 4.14 所示，主要是以移位暫存器所組成的，一共包含了五個正反器，以及一些數位邏輯閘。一開始 load=1 時，A1、A2、A3、A4、A5 將會被預設為 10000，當開始執行二位元搜尋法，相位偵測器每偵測到一次資料轉換，將會把“1”依序往下傳遞一個位元，比如相位偵測器連續偵測到四次資料轉換，A1、A2、A3、A4、A5 的變化依序為 10000-01000-00100-00010-00001，等到最後值變為 00001 時，代表的意義是二位元搜尋法已經執行完畢，接下來當發生資料轉換時，SAR 控制器的值都不會再改變，除非 Load=1 時會把其值做重置。

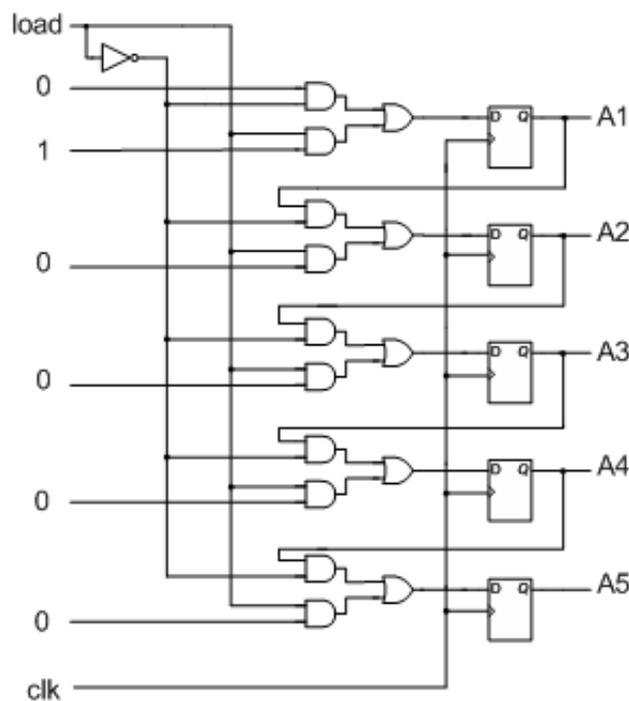


Fig 4.14 SAR 控制器電路



SAR 控制器的輸出將控制執行二位元搜尋法執行的順序，當 A1=1 時，會使得 DAC 控制器依照相位偵測器產生的 Up/Down 信號作 ±8 的動作；當 A2=1 時，會使得 DAC 控制器依照相位偵測器產生的 Up/Down 信號作 ±4 的動作；當 A3=1 時，會使得 DAC 控制器依照相位偵測器產生的 Up/Down 信號作 ±2 的動作；當 A4 或者 A5=1 時，會使得 DAC 控制器依照相位偵測器產生的 Up/Down 信號作 ±1 的動作。

而電路實現的方式如 Fig 4.15 所示，由一組開關去選擇移位幾個位元，而控制信號則是 A1、A2、A3、A4、A5。

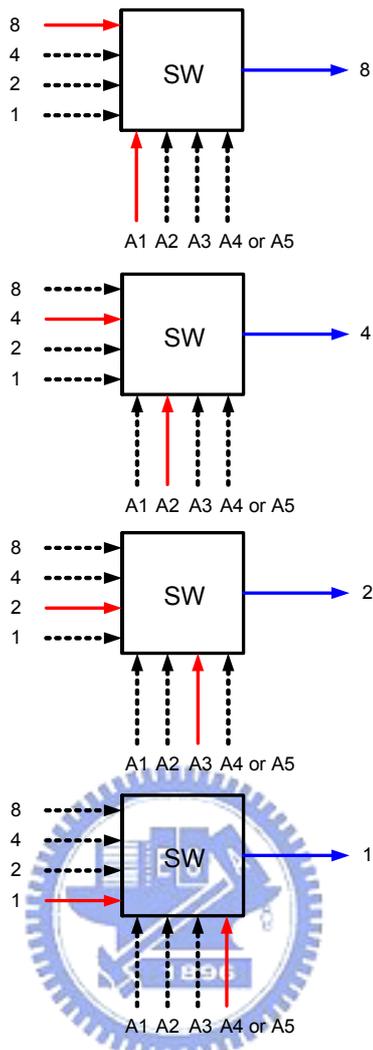


Fig 4.15 SAR 控制器控制 DAC 控制器的示意圖

DAC 控制器的電路架構如 Fig 4.16 所示，其架構和 SAR 控制器很類似，都是由移位暫存器所組成的，只不過是多了上/下移動，以及移動的位元數不同，DAC 控制器移動的位元數有 8、4、2、1，至於移動的位元數則是由 SAR 控制器輸出所決定的。

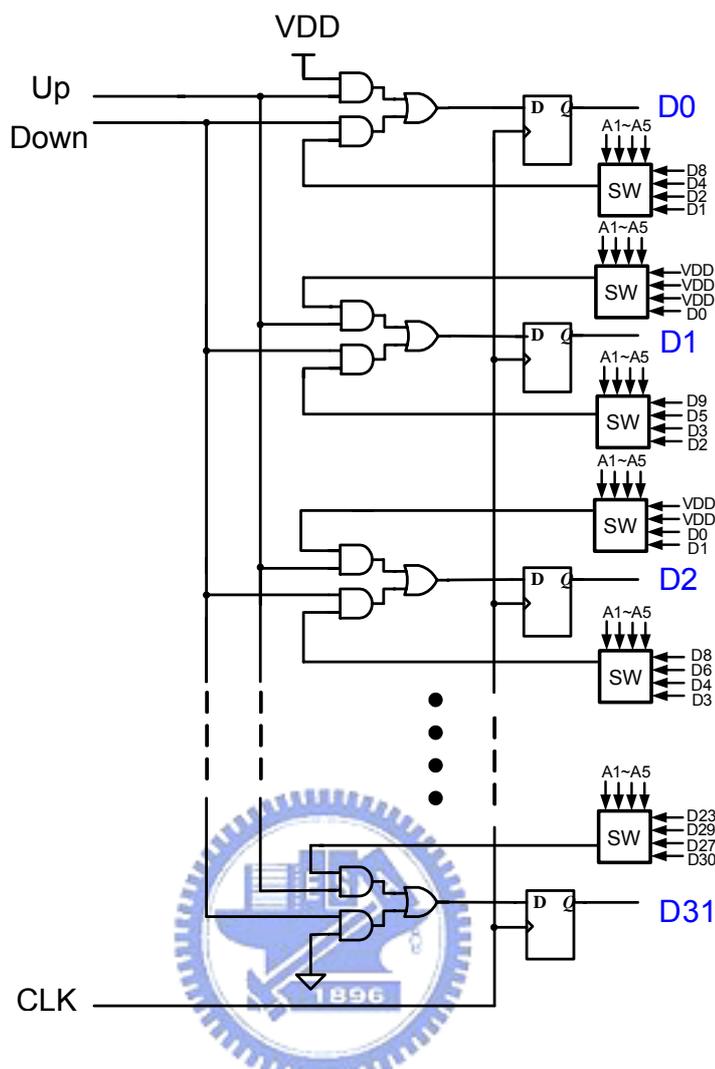


Fig 4.16 DAC 控制器電路圖

## 4.6 模擬以及量測結果

### 4.6.1 時脈資料回復電路模擬結果

在做電路設計之前，首先要先驗證整個時脈資料回復電路的行為模式是否正確，所以在這邊我們使用硬體描述語言 Verilog 來做整個系統的模擬。Fig 4.17 為模擬結果， $\phi_1$ 、 $\phi_2$ 、 $\phi_3$  為相位偵測器中使用到的三組取樣相位， $\phi_5$  為迴路濾波器的時脈信號。我們可以發現一開始三組取樣相位並沒有鎖定，而迴路濾波器的初始值設為 16(10000)，經由二位元搜尋法之後，迴路濾波器最後的值为 01001，我們可以發現已經鎖定了。

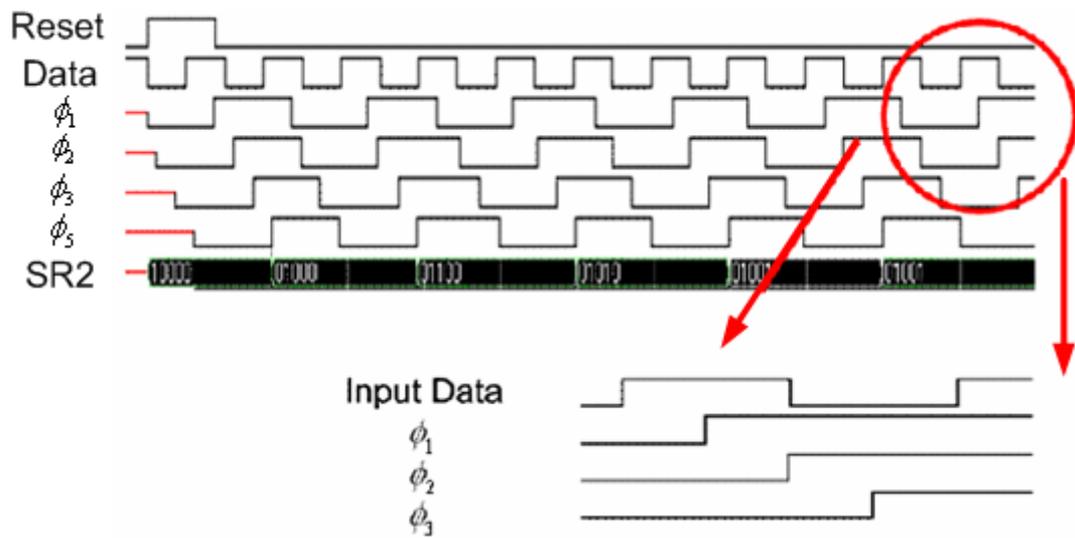


Fig 4.17 以 Verilog 模擬時脈資料回復電路的模擬圖

確定時脈資料回復電路的行為模式正確後，接下來便開始做電路設計，電路的驗證是以 HSPICE 來做模擬的，Fig 4.18(a)(b)為其模擬結果，(a)圖是一開始取樣相位和輸入資料沒有鎖定的情況，執行完二位元搜尋法之後我們可以發現其結果和以 Verilog 驗證的結果一樣，最後都可以鎖定。

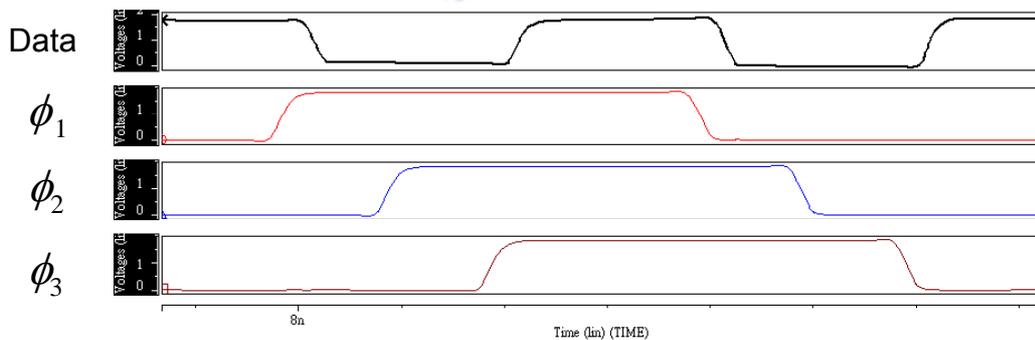


Fig 4.18(a) 時脈資料回復電路模擬圖(尚未鎖定狀態)

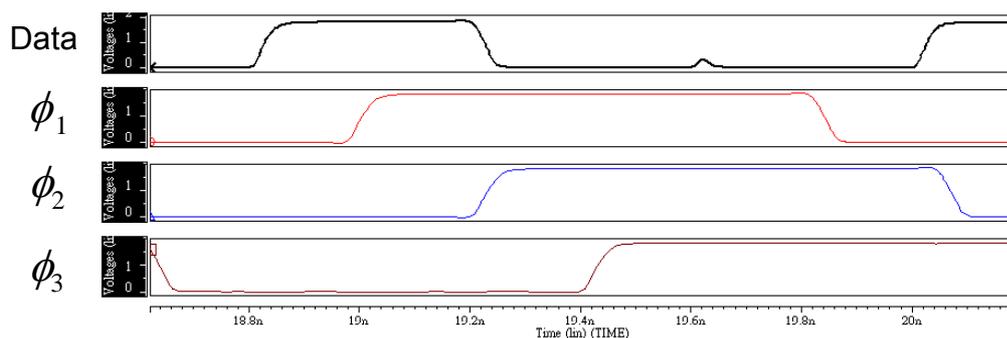


Fig 4.18(b) 時脈資料回復電路模擬圖(已鎖定狀態)

## 4.6.2 時脈資料回復電路量測結果

量測時脈資料回復電路的方式是由一台樣本產生器產生一組 PRBS 的信號輸入至晶片中，測試的資料速度為 625Mbps、1.25Gbps、2.5Gbps、3.125Gbps。Fig 4.19 為資料速率為 625 Mbps 的輸出資料眼圖，其抖動為 400ps; Fig 4.20 為資料速率為 1.25Gbps 的輸出資料眼圖，其抖動為 100ps; Fig 4.21 為資料速率為 2.5Gbps 的輸出資料眼圖，其抖動為 100ps; Fig 4.22 為資料速率 3.125Gbps 的輸出資料眼圖，其抖動為 100ps。

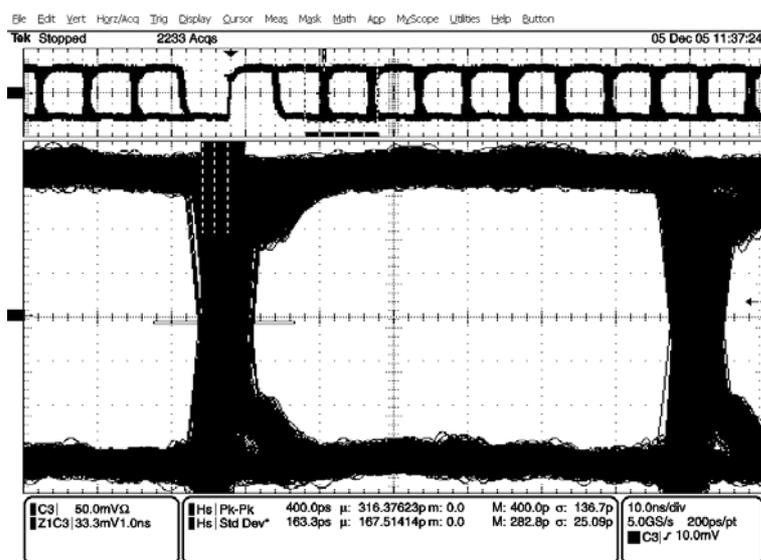


Fig 4.19 資料速率為 625 Mbps 的眼圖

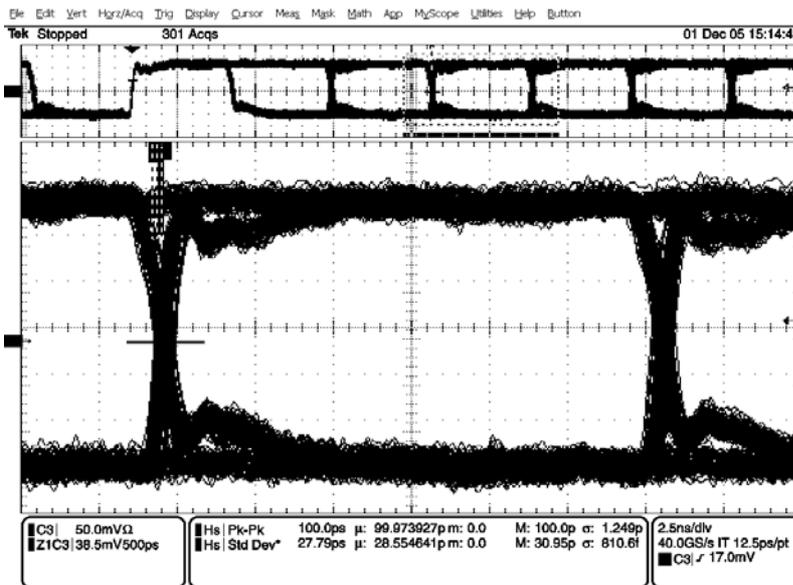


Fig 4.20 資料速率為 1.25 Gbps 的眼圖

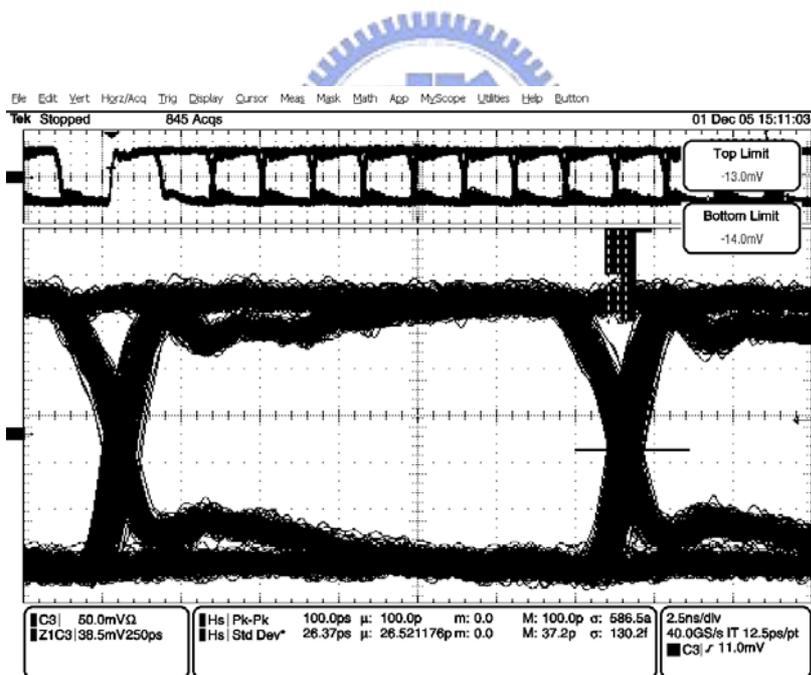


Fig 4.21 資料速率為 2.5 Gbps 的眼圖

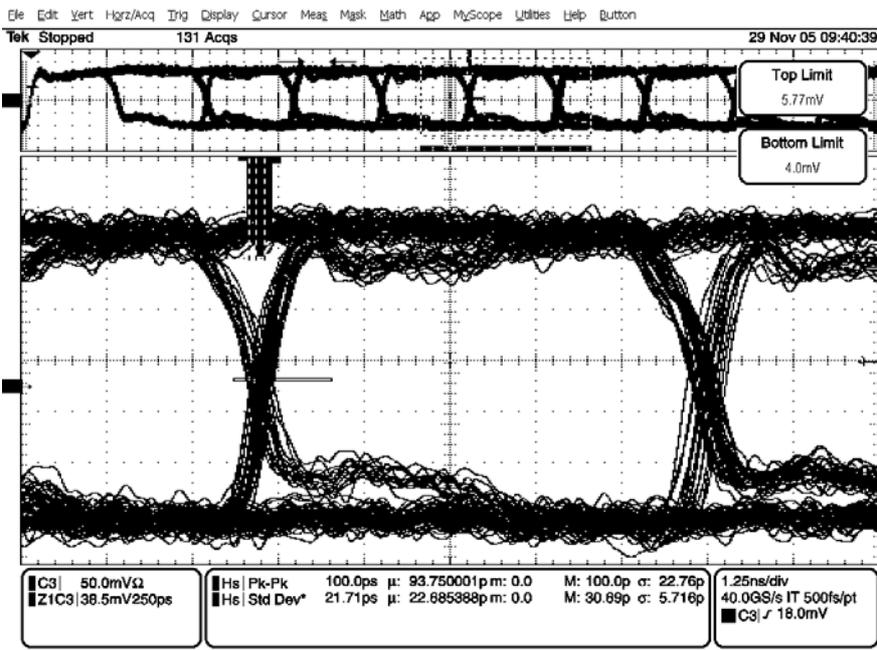


Fig 4.22 資料速率為 3.125 Gbps 的眼圖

接下來量測的是 CDR 鎖定的速度。量測方法是輸入一組 1010 1010 1010 1010 0101.....的樣本，當重置信號由 1 變為 0 時，正確的資料(連續出現四個 0 或者是 1)在多久後可以得到，此段時間即為鎖定速度。以下是四個主要頻帶鎖定速度的量測結果。上面兩個眼圖中，左邊的圖是未受到雜訊干擾時的輸入資料，右邊的圖是加入雜訊的資料，目的是要探討當抖動變大時，CDR 鎖定時間的變化情形，在此加入的抖動小於  $1/4UI$ 。下面二張圖是分別是 CDR 未受到雜訊干擾以及受到雜訊干擾的鎖定時間量測結果。經由量測結果可以發現小於四個位元時間就可以鎖定， $\Delta t$  即為鎖定的時間。

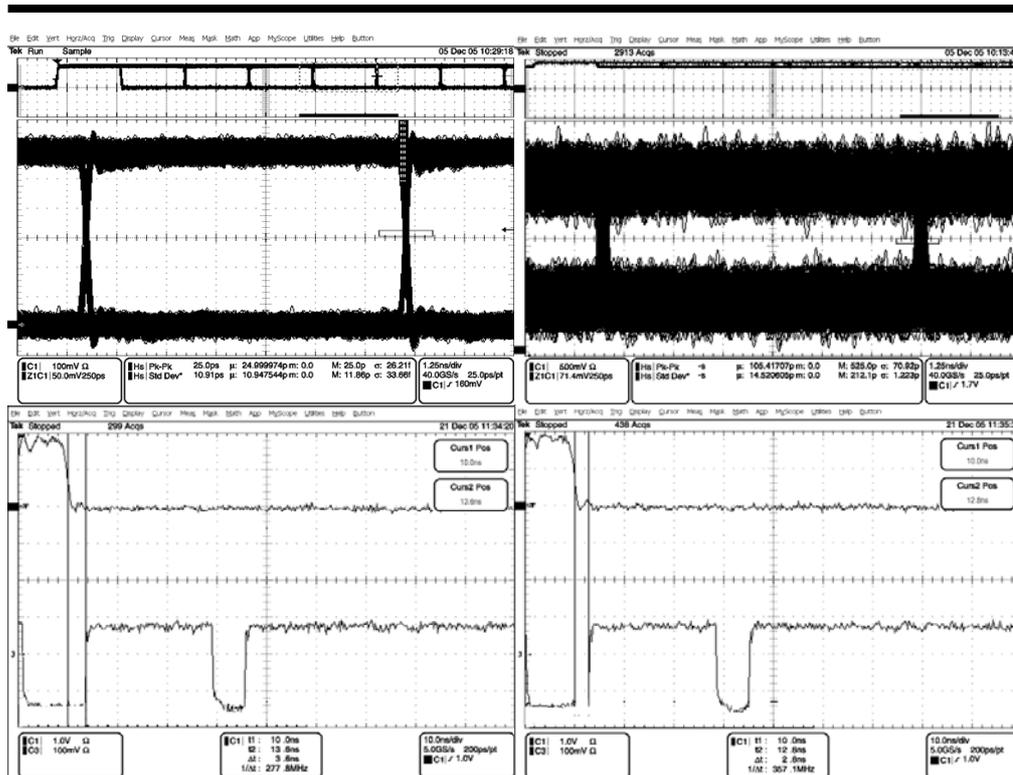


Fig 4.23 資料速度 625 Mbps 鎖定時間量測圖

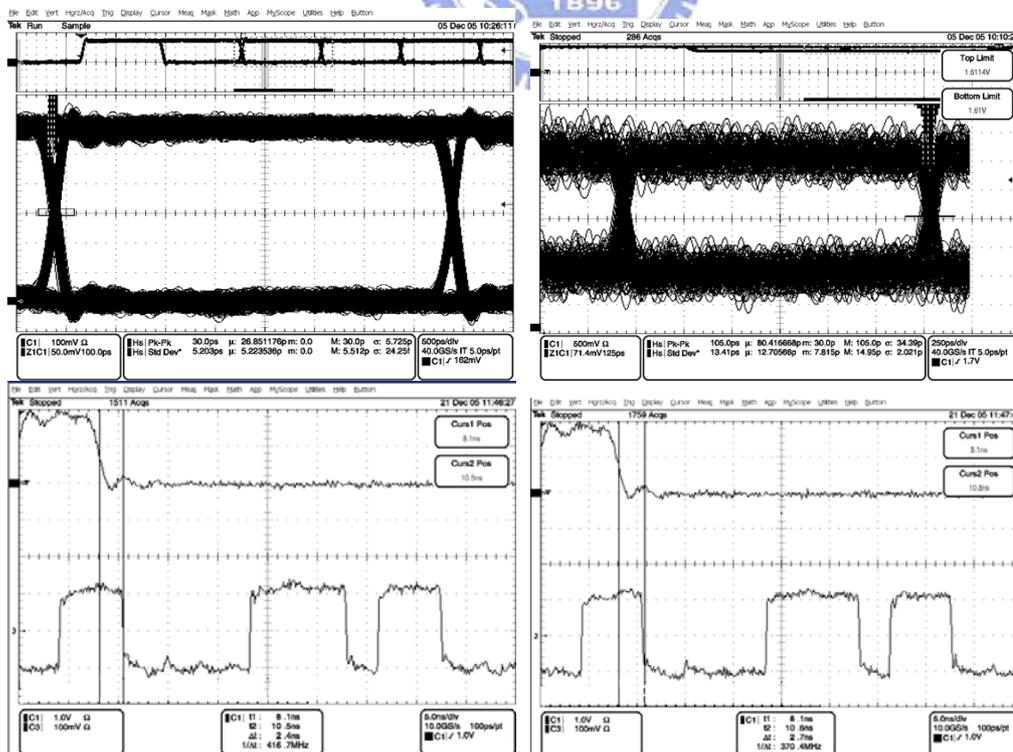


Fig 4.24 資料速度 1250 Mbps 鎖定時間量測圖

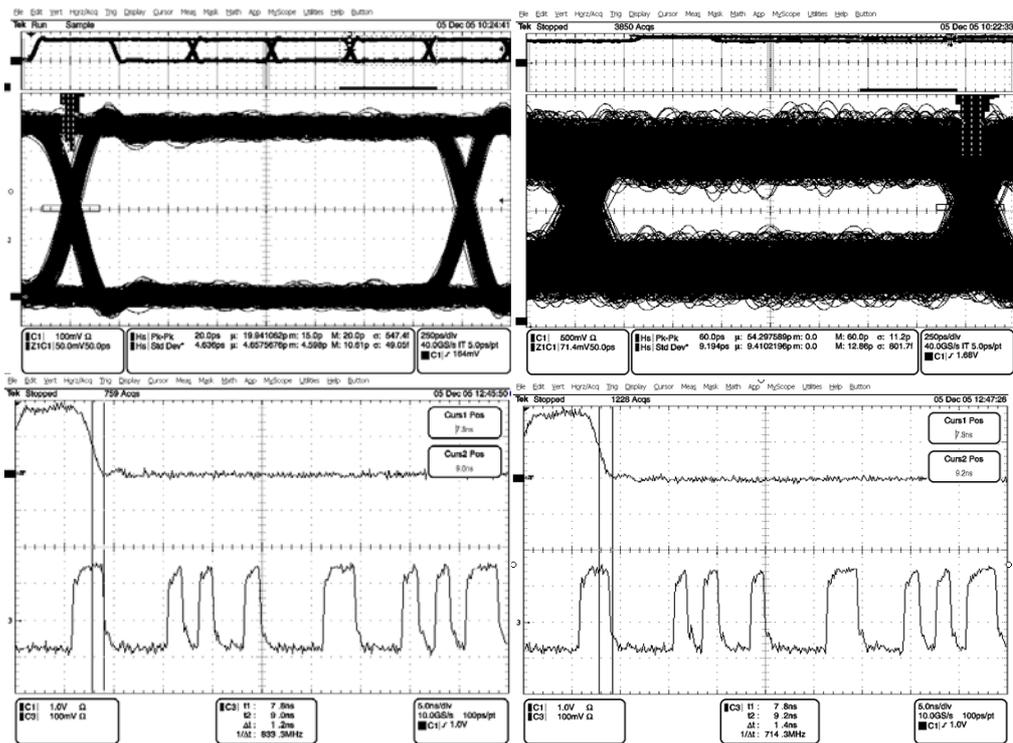


Fig 4.25 資料速度 2500 Mbps 鎖定時間量測圖

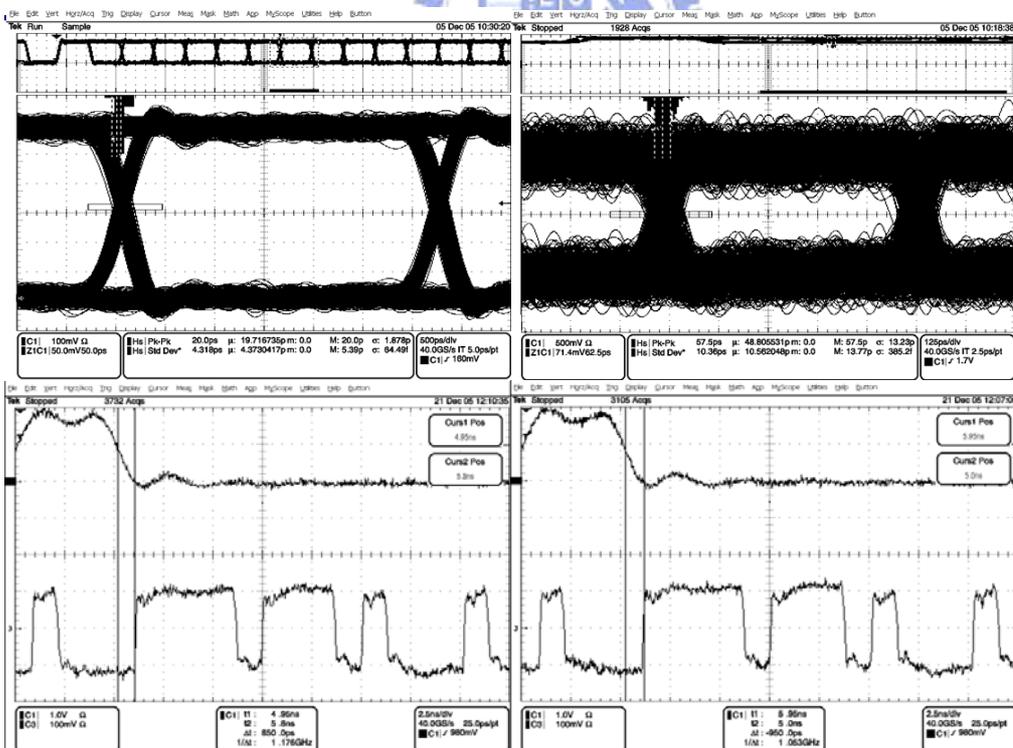


Fig 4.26 資料速度 3125 Mbps 鎖定時間量測圖

## 第五章 結論

本論文實現了一個可以應用在 EPON 系統中的多頻帶且快速鎖定的時脈資料回復電路，其可操作的頻帶範圍是 625Mbps 到 3.125Gbps，鎖定的速度是 16 的位元時間。此電路使用 0.18 $\mu$ m 1P6M CMOS 製程來實現的。

本論文提出的時脈資料回復電路的是採用 1/4 速率的架構，即時脈信號的頻率是輸入資料頻率的 1/4 倍，目的是讓電路可以不必直接操作在高速，讓電路的實現更加的容易，除此之外，更可以節省功率的消耗。此外本論文中的時脈資料回復電路架構是採用 2 倍速超取樣的技術，而本論文使用的 8 種相位的時脈信號都是由一種環形震盪器所產生的，相位內插器再擷取彼此相位相差 90 度的信號合成出八組的取樣相位，在相位偵測器中再利用此合成相位對輸入的資料作取樣。而為了達到快速鎖定的目標，在迴路濾波器的地方採用了二位元搜尋法的演算法，只要比對四次取樣信號和輸入資料的相位關係，便可以找到最佳的取樣相位。傳統的數位迴路濾波器是以加法器實現的，在本論文中提出以移位暫存器取代了加法器，如此便可以使得操作速度大幅的提升。

Source	JSSC(2004)	SOVC(2002)	Photonics Technology Letters(2006)	This Work
Process	CMOS 0.18 $\mu$ m	CMOS 0.18 $\mu$ m	CMOS 0.18 $\mu$ m	CMOS 0.18 $\mu$ m
Power Supply	1.8 V	1.8 V	1.8 V	1.8 V
Data Rate	3.125 Gbps	5 Gbps	2.5 Gbps	0.625~3.125 Gbps
PLL Frequency Range	1.47~1.65GHz	N.A.	N.A.	230~1600MHz
VCO Gain	100 MHz/V	N.A.	1.93 GHz/V	120 MHz/V
PLL Power Consumption	n.a.	N.A.	N.A.	45mW
CDR Power Consumption	83 mW	90mW	54mW	78mW@(3.125Gbps)
Lock Time	N.A.	1 Bit Time	100 Bit Time	1.15ns (< 4 Bit Time)
Chip Area	0.6 X 0.8(mm) <sup>2</sup>	N.A.	1X1(mm) <sup>2</sup>	1.6 X 1.8(mm) <sup>2</sup>

表 5-1 所示為本設計與國際各大期刊的比較，集合近年來相關製程及高速的時脈資料回復電路的比較，在本次設計利用 0.18 $\mu$ m CMOS 製程實現，除在晶片面積上不及其他的設計，在其它方面都是一流的表現，故有達到高效能、高傳輸速率、高整合性、低功率消耗、快速鎖定及多頻帶操作之串列傳輸介面等目標。

Fig 5.1 為晶片的照相圖，Fig 5.2 為測試環境的設定，E8257D 提供了 PLL 的參考信號，PLL 產生的時脈信號頻譜可以由 8563E 觀察得到，N4901B 可以量測時脈資料回復電路的錯誤率。

Source	JSSC(2004)	SOVC(2002)	Photonics Technology Letters(2006)	This Work
Process	CMOS 0.18 $\mu$ m	CMOS 0.18 $\mu$ m	CMOS 0.18 $\mu$ m	CMOS 0.18 $\mu$ m
Power Supply	1.8 V	1.8 V	1.8 V	1.8 V
Data Rate	3.125 Gbps	5 Gbps	2.5 Gbps	0.625~3.125 Gbps
PLL Frequency Range	1.47~1.65GHz	N.A.	N.A.	230~1600MHz
VCO Gain	100 MHz / V	N.A.	1.93 GHz / V	120 MHz / V
PLL Power Consumption	n.a.	N.A.	N.A.	45mW
CDR Power Consumption	83 mW	90mW	54mW	78mW@(3.125Gbps)
Lock Time	N.A.	1 Bit Time	100 Bit Time	1.15ns (< 4 Bit Time)
Chip Area	0.6 X 0.8(mm) <sup>2</sup>	N.A.	1X1(mm) <sup>2</sup>	1.6 X 1.8(mm) <sup>2</sup>

表 5- 1 時脈資料回復電路之國際指標

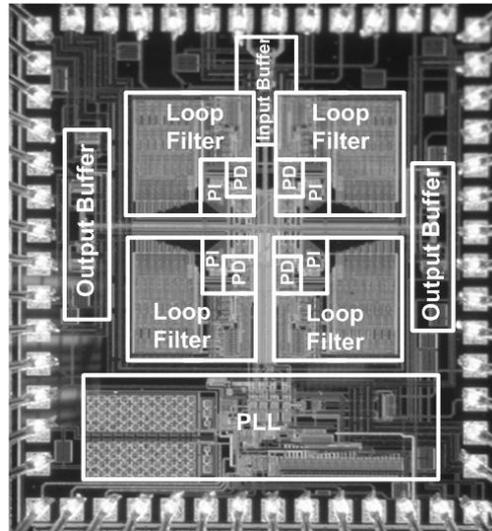


Fig 5.1 晶片照相圖

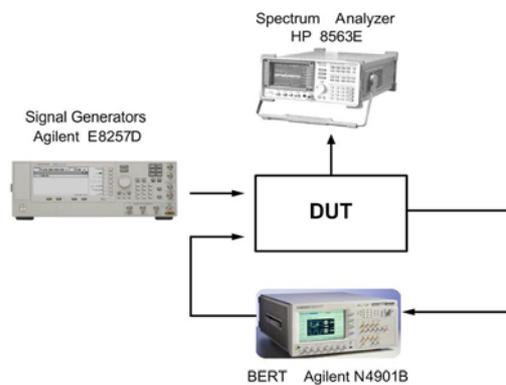


Fig 5.2 晶片測試環境的設定

## 參考文獻

- [1] Masafumi Nogawa, *et al.*, “A 10 Gb/s burst-mode CDR IC in 0.13  $\mu$  m CMOS,” in *ISSCC Digest of Technical Papers*, pp. 228-229, Feb. 2005.
- [2] Chih-Kong Ken Yang, *et al.*, “A 0.5  $\mu$  m CMOS 4.0-Gbit/s serial link transceiver with data recovery using oversampling,” in *IEEE J. Solid-State Circuits*, vol. 33, pp. 713-722, May. 1998.
- [3] Wei-Zen Chen and Chin-Yuan Wei, “High-speed clock and data recovery circuit,” *U.S. and R.O.C. patent pending*.
- [4] Rainer Kreienkamp, *et al.*, “A 10-Gb/s CMOS clock and data recovery circuit with an analog phase interpolator,” in *IEEE J. Solid-State Circuits*, pp. 736-743, March 2005.
- [5] Rong-Jyi Yang, Shang-Ping Chen, and Shen-Iuan Liu, “A 3.125-Gb/s Clock and Data Recovery Circuit for the 10-Gbase-LX4 Ethernet,” *IEEE JSSC*, VOL.39,NO.8,AUGUST 2004.
- [6] Toru Iwata, Takashi Hirata, Hirokazu Sugimoto, Hiroshi Kimura, and Takefumi Yoshikawa, “A 5Gbps CMOS Frequency Tolerant Multi Phase Clock Recovery Circuit,” *IEEE SOVC 2002*.
- [7] Alan Li, Julien Faucher, and David V. Plant, “Burst-Mode Clock and Data Recovery in Optical Multiaccess Networks Using Broad-Band PLLs,” *IEEE PHOTONICS TECHNOLOGY LETTERS*, VOL.18,NO.1,JANUARY 1,2006.
- [8] Kun-Yung Ken Chang, Jason Wei, member, IEEE, Charlie Huang, Simon Li, Kevin Donnelly, Mark Horowitz, Yingxuan Li, Stefanos Sidiropoulos, “A 0.4-4-Gb/s CMOS Quad Transceiver Cell Using On-Chip Regulated Dual-Loop PLLs,” *IEEE JSSC VOL.38,NO5,MAY,2003*.
- [9] C.-H. Park *et al.*, “A low-noise 900MHz VCO in 0.6 $\mu$ m CMOS,” *IEEE JSSC*, vol.34, pp.586-591, MAY 1999.
- [10] M. Lee *et al.*, Low-power area-efficient high-speed I/O circuit techniques, *IEEE J. Solid-State Circuits*, vol.35, pp.1591-1599, nov.2000.
- [11] S. Sidiropoulos *et al.*, A semi-digital DLL, *IEEE J. Solid-State Circuits*, vol.32, pp.1683-1692, Nov.1997.
- [12] J. Maneatis, Low-jitter process independent DLL and PLL bases on self-biased techniques, *IEEE J. Solid-State Circuits*, vol.31, pp.1723-1732, Nov.1996.
- [13] T. Lee *et al.*, Cascode voltage switch logic : A differential CMOS logic family, in *IEEE JSSC Conf. Dig. Tech. Papers*, Feb.1984, pp.16-17.
- [14] J.D.H. Alexander, Clock recovery from random binary signals, *Electron. Lett.*, vol.11, pp.541-542, Oct.1975.
- [15] J. Savoj, B. Razavi, “A 10-Gb/s CMOS Clock and Data Recovery Circuit With a Half-Rate Binary Phase/Frequency Detector,” *IEEE Journal of Solid-State Circuits*, vol.38, No. 1, pp. 13-21, 2003.

- [16] S. Jonathan E. Rogers, and John R. Long, "A 10Gb/s CDR/DEMUX with LC Delay Line VCO in 0.18 $\mu$ m CMOS," IEEE ISSCC, pp. 254-255, 2002.
- [17] M. Meghelli et al., "SiGe BiCMOS 3.3-V Clock and Data Recovery Circuits for 10-Gb/s Serial Transmission System," IEEE Journal of Solid-State Circuits, vol.35, No. 12, pp. 1992-1995, Dec. 2000.
- [18] Y. M. Greshishchev et al., "SiGe Clock and Data Recovery IC with Linear-Type PLL for 10-Gb/s SONET Application," IEEE Journal of Solid-State Circuits, vol.35, No. 9, pp. 1353-1359, September 2000.
- [19] S. G. Georgiou, Y. Baeyens et al., "Clock and Data Recovery IC for 40-Gb/s Fiber-Optical Receiver," IEEE Journal of Solid-State Circuits, vol.37, No. 9, pp. 1120-1125, September 2002.
- [20] B. Razavi, "A Study of Phase Noise in CMOS Oscillators," IEEE Journal of Solid-State Circuits, VOL. 31, NO.3, pp. 331-343, March 1996.
- [21] J. -H. You, "Clock Multiplier Unit and Clock/Data Recovery for OC-192 Transceiver " Master's thesis, National Central University, Institute of Electronics Engineering, June 2003.
- [22] C. -C. Liu, " A 1.8V CMOS OC-192 Transmitter " Master's thesis, National Central University, Institute of Electronics Engineering, June 2003.
- [23] R. E. Best, "Phase-Locked Loops: Design, Simulation, and Applications," New York: McGraw-Hill, Fourth Ed., 1999.
- [24] S. -J. Lee et al., "A fully integrated Low-noise 1-GHz frequency synthesizer design for mobile communication application," IEEE Journal of Solid-State Circuits, VOL. 32, NO.5, pp. 760-765, May 1997.
- [25] S. -J. Lee et al., "A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme ," IEEE Journal of Solid-State Circuits, VOL. 32, NO.2, pp. 289-291, Feb. 1997.
- [26] Wei-Zen Chen, Chien-Liang Kuo, Chia-Chun Liu, "10 GHz quadrature-phase voltage controlled oscillator and prescaler ," ESSCIRC 2003, 16-18 Sept. 2003.
- [27] Fiber Channel-Methodologies for jitter specification,T11.2/Project 1230/Rev 10,June.1999.

# 簡歷

姓名：魏進元

性別：男

出生地：台灣省苗栗縣後龍鎮

住址：苗栗縣後龍鎮校椅里9鄰120-3號

學歷：台灣省立新竹高級中學 (85年9月 ~ 88年6月)  
國立中央大學電機工程系 (88年9月 ~ 92年6月)  
國立交通大學電子研究所碩士班 (92年6月 ~ 95年1月)

論文名稱：一個多頻帶且快速鎖定時脈資料回復電路

A Multi-band Fast Lock Clock and Data Recovery Circuit