

考慮效能要求的限制及電壓島產生之低功率 平面規劃方法

學生：呂敏菁

指導教授：陳宏明 博士

國立交通大學 電子工程學系 電子研究所 碩士班

摘 要

近來，使用電壓島方法來最佳化系統單晶片功率消耗設計是個越來越熱門的潮流。目前大部分使用電壓島方法通常只在比較高的系統層級，但是因為階層式設計、矽智產的廣泛使用，要在單晶片上最佳化模組位置、供給電壓以解決電路中緊要路徑延遲的問題並配合控制單元以達到低功率消耗、小面積及低繞線阻塞的要求，使得平面規劃時產生可相配合的電壓島有其必要性。因此在這篇論文裡我們便提出考慮效能要求的限制及電壓島產生之低功率平面規劃方法，實驗結果顯示我們的方法是有效的，可達到低功率消耗的目標。