

# 架構於 AMBA 系統上之 MPEG-4 即時影像編碼器設計

學生：游東龍

指導教授：吳炳飛教授

國立交通大學電機與控制工程學系（研究所）碩士班

## 摘要

在本篇論文中，我們實現了一個高效率的 MPEG-4 Video Encoder 的硬體架構。在此 MPEG-4 Video Encoder 中，我們提出了 Motion Estimation 及 Variable Length Coding 的硬體加速架構。在 Motion Estimation 方面，可達到只需要 495 個時脈週期就可找出一個 Motion Vector 的效率，以及有效的減少 On-Chip Memory 的使用量；而在 Variable Length Coding 的部分，它可以和 Motion Estimation 及 Texture Coding 平行處理，可達到 1 個時脈週期輸出 1 個 Symbol 的編碼效率。在整個 Video Encoder 整合的部分，我們也將說明如何對整個系統做排程，以達到即時影像壓縮的需求。

此 MPEG-4 Video Encoder 是定位在一個 coprocessor 的地位，目的在協助嵌入式處理器處理運算量龐大的影像壓縮工作，因此，此 IP (Intellectual Property) 是以 IP 重覆使用及 Platform Independent 的概念進行設計，它由內部暫存器控制其行為，IP 使用者只需要更改 IP 的 wrapper 就可以將此 IP 加到特定平台中使用，避免掉各種匯流排通訊協定不同的問題。AMBA 是目前嵌入式系統最常使用的匯流排架構，我們將此 IP 嵌入到 AMBA Bus 上，搭配自行開發並相容於 AMBA 通訊協定的 DMA controller，在 ARM Integrator 上做 FPGA 驗證，證明此 IP 在 AMBA 系統上的功能正確性。

# **A Real-Time MPEG-4 Video Encoder on AMBA System Design**

Student : Tung-Lung Yu

Advisor : Prof. Bing-Fei Wu

Department of Electrical and Control Engineering  
National Chiao Tung University

## **Abstract**

In this thesis, a high-performance MPEG-4 video encoder is proposed. In this system, an enhanced hierarchical motion estimation algorithm and an efficient variable length coding hardware architecture are presented. The motion estimation algorithm can reduce the search cycles to 495 cycles/MB(Macro Block) and can reduce the memory usage efficiently. The variable length coding architecture can execute the entropy coding parallel with other components such as motion estimation and texture coding to improve the whole encoder system performance. In addition to these hardware blocks, how the system is scheduled to achieve the pipeline execution of each component will be explained.

This encoder is designed to be a coprocessor that can help the embedded processor to handle the data processing. Therefore, this processor is designed on the IP reusing and platform independent concept. The only thing that the users have to do is to modify the wrapper for specific platform. This IP is wrapped in the AHB bus system and its functionality is verified on the ARM Integrator. Besides, an AMBA 2.0 compatible DMA controller is developed to move the image data to improve the system performance.

## 誌謝

首先要感謝的人，是我們的老師，吳炳飛教授，感謝老師對於學生研究所生涯中的指導，讓我學習到做研究應有的嚴謹態度，以及待人處事上的仁厚寬容。也感謝老師提供我們良好的實驗設備及環境，讓我們得以盡情學習與發揮自己的能力。此外，承蒙莊俊雄博士、蔡淳仁教授、蘇崇彥教授撥冗參加學生口試，給予寶貴建議，使得本論文能夠更加完善與充實，特此致謝。

再來要感謝實驗室的學長、姊們；感謝瞿忠正學長、陳彥霖學長在理論開發上的啟蒙及指導，謝謝陳昭榮學長、黃家達學長、林全財學長在日常生活上的照顧及指導，謝謝彭信元學長、黃琪文學姊在軟硬體系統整合上的指導。以及實驗室的夥伴們：謝謝堯俊、林裕傑學弟(PPJ)在硬體實現上的幫忙，謝謝重甫學長、晏阡、培恭、宗堯在 ASIC 後段實現上的幫忙與指導，謝謝則全、黃嘉雄學弟(小雄)，陪我一起度過這兩年的研究生涯；因為有你們，這篇論文才得以順利完成。

最後要感謝我的家人及女友欣玫，感謝有你們的支持與鼓勵，讓我得以專心的投入在課業及研究領域上。謹以此文獻給身邊所有愛護我、照顧我的親友們。

游東龍 2005.7