

國立交通大學

電機與控制工程學系

碩士論文

以高線性度 Gm-C 為架構的
可程式化類比陣列



The Field Programmable Analog Array Design
with High Linear Gm-C Circuits

研究生：陳鵬宇

指導教授：張隆國 博士

中華民國九十四年七月

以高線性度 Gm-C 為架構的
可程式化類比陣列

The Field Programmable Analog Array Design
with High Linear Gm-C Circuits

學 生：陳鵬宇

Student : Peng-Yu Chen

指導教授：張隆國 博士

Advisor : Dr. Lon-Kou Chang



A Thesis

Submitted to Institute of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

July 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

以高線性度 Gm-C 為架構的 可程式類比陣列

研究生：陳鵬宇

指導教授：張隆國

國立交通大學電機與控制工程研究所

摘要

本篇論文提出的可程式化類比陣列(FPAA)，是以連續時間轉導放大器和電容所構成的濾波器(Continuous-time Gm-C filter)為核心。我們設計的 FPAA 包含兩個可程式化類比方塊(CABs)，來實現多組不同的功能函數。使用者藉由數位訊號控制的方式，對可程式化電容與 CABs 內部的架構以及 CABs 之間的互聯網路進行配置，可程式化的功能是透過類比開關相互連接，這樣的類比方塊可以實現許多不同的函數。我們設計的 FPAA 目前階段以功能驗證為主，測試積分器與可調頻寬之一階低通濾波器的功能。整體系統是以 TSMC-0.35 μ m Mixed mode (2P4M,5V)製程進行設計與製作，並透晶片量測加以驗證。

The Field Programmable Analog Array Design with High Linear Gm-C Circuits

Student : Peng-Yu Chen

Advisor : Dr. Lon-Kou Chang

Institute of Electrical and Control Engineering

National Chiao Tung University

ABSTRACT

A Field Programmable Analog Arrays (FPAA) with continuous-time Gm-C filter is presented. The designed FPAA consists of two configurable analog blocks (CABs) which allow the implementation of different functions. The programmable capacitor, the internal structure of CABs and the interconnection network are configured by user-programmable digital control signals via switches so that CABs can implement many different functions. The verification of the integrator and the 1st order filter with tunable bandwidth has been done by the designed FPAA of the first version. High order filters will be realized in the future. The entire system was designed and fabricated under the environment of TSMC-0.35 μ m Mixed mode (2P4M,5V) process, and the experimental results have been shown in this thesis.

誌 謝

本論文能夠順利完成，首先感謝我的指導教授張隆國博士，在這兩年的研究生涯裡對我細心的教導與指引，在此表示最誠摯的敬意。

感謝口試委員廖德誠教授、鄭木火教授、林君明教授以及張隆國教授對本論文內容的批評指正以及寶貴的建議，使本論文更加完整。

感謝阿暉學長、阿信學長、晏銘學長、小黑、志偉、如璇、柏蒼、文昇、奕廷、彥廷以及同窗好友 snoopyhsu、crewford、GSA、育聖在課業上的切磋。

感謝我的父母與哥哥以及斑斑對我的支持，使我生活中充滿動力。謹將本論文獻給我最敬愛的家人。



目錄

第一章 緒論.....	1
1.1 研究背景與動機.....	1
1.2 研究目的.....	1
1.3 研究方法.....	2
第二章 可程式化類比陣列架構探討.....	3
2.1 前言.....	3
2.2 以連續時間轉導放大器和電容組成的濾波器為核心架構可程式化類比陣列.....	3
2.2.1 以可程式化轉導放大器和電容建構的類比方塊.....	3
2.2.2 轉導放大器和可程式化電容的基本原理.....	4
2.2.3 以連續時間濾波器組成的可程式化類比陣列架構.....	6
2.3 以運算放大器為核心架構的可程式化類比陣列.....	7
2.3.1 可配置信號路徑.....	8
2.3.2 以運算放大器為核心建構的功能方塊.....	9
2.3.3 可程式化類比陣列架構.....	11
第三章 轉導放大器文獻回顧.....	12
3.1 前言.....	12
3.2 電壓浮接式轉導放大器.....	12
3.3 操作在三級管區式的轉導放大器.....	18
3.3.1 三級管區式轉導放大器(第一類).....	18
3.3.2 三級管區式轉導放大器(第二類).....	20
3.4 偏壓補償式轉導放大器.....	24
第四章 FPAA元件電路規劃與設計.....	26
4.1 轉導放大器.....	26
4.1.1 偏壓補償式轉導放大器 (bias-offset transconductor).....	26
4.1.2 改良型偏壓補償式轉導放大器 (bias-offset transconductor).....	28
4.1.3 三級管區式轉導放大器 (triode-based transconductor).....	32
4.2 運算放大器.....	34
4.3 參考電壓源.....	36
4.3.1 固定轉導值式電壓源 (constant-transconductance bias circuit).....	36
4.3.2 能隙參考電壓源 (bandgap reference voltage).....	40
4.4 暫存器.....	43
4.5 類比開關.....	45
4.6 電容.....	48
第五章 可程式化電路系統.....	50
5.1 積分器.....	50

5.2 一階濾波器.....	51
5.3 二階濾波器.....	54
5.4 整體規劃.....	58
第六章 晶片設計與量測.....	61
6.1 第一次下線晶片之電路與佈局圖.....	61
6.1.1 參考電壓源電路.....	61
6.1.2 運算放大器.....	63
6.1.3 轉導放大器.....	64
6.2 測試結果與改進.....	66
6.2.1 量測偏壓電路.....	66
6.2.2 量測運算放大器.....	66
6.2.3 量測轉導放大器與積分器.....	73
6.2.4 量測一階濾波器.....	76
6.2.5 量測結論.....	82
6.3 第二次下線電路圖以及佈局圖.....	83
6.3.1 參考電壓源電路.....	83
6.3.2 轉導放大器.....	85
6.3.3 暫存器與開關.....	88
6.3.4 可切換式系統.....	89
第七章 結論與建議.....	91
7.1 結論.....	91
7.2 未來展望.....	91



圖例

圖 2.1 以可程式化轉導放大器和電容建構的類比方塊.....	4
圖 2.2 可程式化轉導放大器.....	5
圖 2.3 可程式化電流鏡.....	6
圖 2.4 可程式化電容陣列.....	6
圖 2.5 以連續時間濾波器為核心架構可程式化類比陣列.....	7
圖 2.6 雙Biquad疊接的帶通濾波器架構.....	7
圖 2.7 導通開關 R_{on} 在兩個功能方塊中產生壓降的問題.....	8
圖 2.8 緩衝開關 a.連接至輸入端b.連接至輸出端.....	9
圖 2.9 具相加功能的類比方塊.....	10
圖 2.10 具相減功能的類比方塊.....	10
圖 2.11 以運算放大器為核心的可程式化類比陣列架構.....	11
圖 3.1 電壓浮接式導放大器電路圖.....	13
圖 3.2 N型V-I轉換器.....	13
圖 3.3 最大電流選擇器.....	17
圖 3.4 電流相減電路.....	17
圖 3.5 共模訊號對電流輸出影響.....	18
圖 3.6 以操作在三級管區式的轉導放大器.....	19
圖 3.7 共模回授電路.....	20
圖 3.8 三極體區式的轉導放大器 (a)轉導器核心 (b)可調整的直流調節器.....	22
圖 3.9 兩組平行連接的轉導放大器與共模互斥電路.....	24
圖 3.10 以bias-offset 核心的轉導放大器.....	25
圖 4.1 以偏壓補償式為核心的轉導放大器.....	28
圖 4.2 轉導值模擬圖.....	28
圖 4.3 改良型偏壓補償式轉導放大器.....	30
圖 4.4 修正前高增益電晶體差動對與低增益電晶體轉導值.....	31
圖 4.5 修正前整體差動輸出轉導值.....	31
圖 4.6 修正後高增益電晶體差動對與低增益電晶體轉導值.....	32
圖 4.7 修正後整體差動輸出轉導值.....	32
圖 4.8 以三極體區為核心的轉導放大器.....	33
圖 4.9 差動轉導值.....	33
圖 4.10 運算放大器架構.....	35
圖 4.11 小訊號增益以及相位.....	35
圖 4.12 共模增益.....	36
圖 4.13 固定轉導值式電壓源原型.....	37

圖 4.14 固定轉導值式電壓源.....	39
圖 4.15 固定轉導值式電壓源模擬圖.....	40
圖 4.16 能隙電壓參考電壓電路示意圖.....	41
圖 4.17 能隙電壓參考電壓核心電路.....	42
圖 4.18 能隙參考電壓完整電路.....	43
圖 4.19 電壓對溫度變化模擬結果.....	43
圖 4.20 暫存器示意圖.....	44
圖 4.21 暫存器電路圖.....	44
圖 4.22 雙端類比開關.....	45
圖 4.23 雙端可反向類比開關.....	45
圖 4.24 以 $\left(\frac{W}{L}\right)_N = \frac{1.5\mu}{0.5\mu} \left(\frac{W}{L}\right)_P = \frac{4.5\mu}{0.5\mu}$ 模擬開關電阻.....	47
圖 4.25 開關電阻並聯 10 組.....	48
圖 4.26 電容陣列示意圖.....	48
圖 4.27 電容陣列佈局配置圖.....	49
圖 5.1 積分器.....	50
圖 5.2 積分器雙端輸出端電壓.....	51
圖 5.3 積分器差動輸出結果.....	51
圖 5.4 一階濾波器.....	52
圖 5.5 一階低通濾波器.....	53
圖 5.6 一階低通濾波器模擬波形.....	53
圖 5.7 二階濾波器.....	55
圖 5.8 二階濾波器轉移函數分析.....	56
圖 5.9 二階低通濾波器.....	57
圖 5.10 二階低通濾波器模擬波形.....	57
圖 5.11 FPAA 整體規劃.....	58
圖 5.12 FPAA 整體電路架構.....	59
圖 6.1 第一次下線之固定轉導值式電壓源電路架構.....	62
圖 6.2 第一次下線之固定轉導值式電壓源電路佈局圖.....	62
圖 6.3 第一次下線之運算放大器電路圖.....	63
圖 6.4 第一次下線之運算放大器佈局圖.....	64
圖 6.5 第一次下線之偏壓補償示轉導放大器電路圖.....	65
圖 6.6 第一次下線之偏壓補償示轉導放大器電路佈局圖.....	65
圖 6.7 運算放大器測試電路圖.....	67
圖 6.8 測試(1)輸入與輸出訊號波形以及輸出訊號之數據.....	68
圖 6.9 測試(1)輸入與輸出訊號波形以及輸入訊號之數據.....	68
圖 6.10 測試(2)輸入與輸出訊號波形以及輸入訊號之數據.....	70
圖 6.11 測試(2)輸入與輸出訊號波形以及輸出訊號之數據.....	70

圖 6.12	測試(3)輸入與輸出訊號波形以及輸入訊號之數據.....	72
圖 6.13	測試(3)輸入與輸出訊號波形以及輸出訊號之數據.....	72
圖 6.14	積分器測試電路.....	74
圖 6.15	雙端輸入訊號，Vp-p為 500mV之方波.....	75
圖 6.16	積分器之輸入訊號、輸出訊號.....	75
圖 6.17	積分器之雙端輸出電壓.....	76
圖 6.18	運算放大器輸入端電壓.....	76
圖 6.19	一階低通濾波器.....	77
圖 6.20	一階低通濾波器量測值與模擬值比較圖，回授電容為 15pF.....	78
圖 6.21	一階低通濾波器量測值與模擬值比較圖，回授電容為 47pF.....	78
圖 6.22	輸入訊號頻率為 20Hz.....	79
圖 6.23	輸入訊號頻率為 2kHz.....	79
圖 6.24	輸入訊號頻率為 200kHz.....	79
圖 6.25	輸入訊號頻率為 600kHz.....	80
圖 6.26	輸入訊號頻率為 1MHz.....	80
圖 6.27	輸入訊號頻率為 1.5Mhz.....	80
圖 6.28	輸入訊號頻率為 20Hz.....	81
圖 6.29	輸入訊號頻率為 2kHz.....	81
圖 6.30	輸入訊號頻率為 200kHz.....	81
圖 6.31	輸入訊號頻率為 600kHz.....	82
圖 6.32	輸入訊號頻率為 1MHz.....	82
圖 6.33	第二次下線之參考電壓源電路電路圖.....	84
圖 6.34	第二次下線之參考電壓源電路佈局圖.....	84
圖 6.35	第二次下線之偏壓補償式轉導放大器電路圖.....	85
圖 6.36	第二次下線之偏壓補償式轉導放大器佈局圖.....	86
圖 6.37	第二次下線之三級管區式轉導放大器電路圖.....	87
圖 6.38	第二次下線之三級管區式轉導放大器佈局圖.....	87
圖 6.39	第二次下線之暫存器與開關架構圖.....	88
圖 6.40	第二次下線之暫存器與開關佈局圖.....	88
圖 6.41	第二次下線之可切換式系統電路架構.....	89
圖 6.42	第二次下線之可切換式電路佈局圖.....	90

表格目錄

表 4.1 偏壓補償式轉導放大器規格.....	27
表 4.2 改良式轉導放大器規格.....	31
表 4.3 三級管區式轉導放大器規格.....	33
表 4.4 運算放大器規格.....	34
表 4.5 固定轉導值式電壓源規格(Vdd=5V).....	40
表 4.6 能隙參考電壓電流源規格.....	42
表 5.1 FPAA規劃函數切換功能.....	60
表 6.1 第一次下線之參考電壓源規格.....	61
表 6.2 第一次下線之運算放大器規格.....	63
表 6.3 第一次下線晶片之轉導器規格.....	64
表 6.4 偏壓電路測試結果.....	66
表 6.5 運算放大器放大率測試(1)之條件與結果(放大率 1.5 倍).....	67
表 6.6 運算放大器放大率測試(2)之條件與結果(放大率 1 倍).....	69
表 6.7 運算放大器放大率測試(3)之條件與結果(放大率 0.66 倍).....	71
表 6.8 運算放大器測試結果整理.....	73
表 6.9 轉導放大器測試結果.....	74
表 6.10 第二次下線之能隙參考電壓源規格.....	83
表 6.11 第二次下線之偏壓補償式轉導放大器規格.....	85
表 6.12 第二次下線之三級管區式轉導放大器規格.....	86
表 6.13 可切換式系統開關功能.....	89

第一章 緒論

1.1 研究背景與動機

可程式化邏輯閘陣列(Field Programmable Gate Arrays: FPGA)已經廣泛的被應用於數位電路設計，FPGA 吸引人的地方在於具有原型電路，使用者可以知道其工作原理以及各款 FPGA 的規格，在小量生產的電路上使用具有價格的優勢 [1]~[2]。在類比電路方面，可程式化類比陣列(Field Programmable Analog Arrays: FPAA)和 FPGA 有許多相似之處，都具有模組單元陣列，需要透過這些模組以及繞線的切換才可以得到使用者需要的方程式。可程式化類比陣列吸引人的地方在於提供一個簡單的媒介讓使用者可以在很短時間內，以簡單的流程完成所需要的類比電路。

利用可程式化類比陣列產生的濾波器可用在前端的類比訊號處理，例如無線通訊、硬碟讀取通道等，本篇論文將著重於濾波器的討論以及動態切換功能。由於不同的應用所採用的類比電路模組單元以及架構皆不相同，因此發展一個廣泛使用的可程式化類比陣列變的相當的複雜，必須選擇適合設計上需求的架構，以滿足使用者的需求，並提高系統的工作效率。此外在可程式化類比陣列中，必須減少電容、電阻的寄生效應與佈局、製程上產生的不對稱，以及降低開關切換和長距離繞線產生的雜訊對訊號路徑的影響，這些因素使得功能完整性與精確度在設計上必須取得平衡，這都是可程式化類比陣列發展所需關注的議題[3]~[8]。

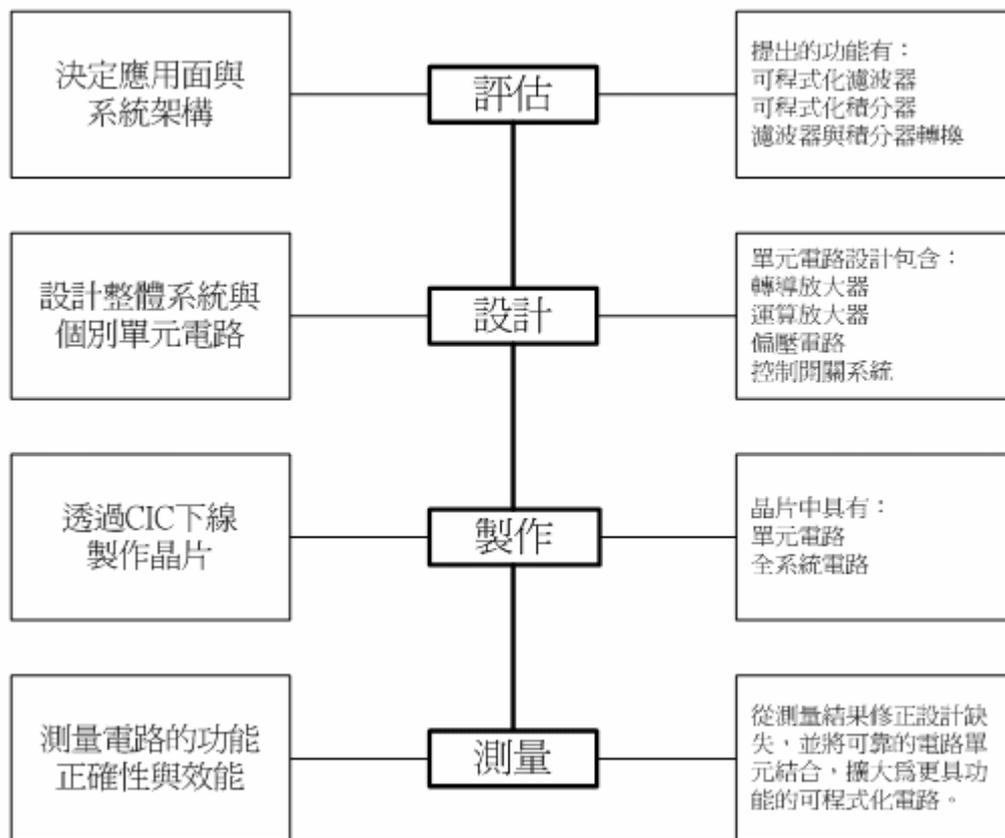
1.2 研究目的

由於可程式化類比陣列並沒有一個固定的架構，例如就單一濾波器而言可以使用電流傳遞訊號模式或者電壓傳遞訊號模式，亦或可採用離散電容濾波或是轉導器-電容結構(Gm-C)的濾波架構。故在 FPAA 架構選擇上除了要顧及多功能的應用，在功率消耗、線性度和速度上必須有完整的考量。本篇論文目的在設計以

Gm-C 為架構的高速可程式化類比陣列，以實現積分器與濾波器之應用為考量，透過晶片下線與量測，確認系統的可靠度與精準度，再逐一的提高電路的複雜度。

1.3 研究方法

首先評估 FPAA 應用面與選擇使用的系統架構，接下來是設計整體系統以及個別電路單元，模擬完成後我們透過 CIC 下線製作品片並進行量測，現階段為建立 FPAA 中的基本電路單元與系統功能切換驗證，最終目的為實現一個可工作在高頻的 FPAA。



第二章 可程式化類比陣列架構探討

2.1 前言

本章旨在回顧過去所發展的可程式化類比陣列，經由分析不同電路架構的特性，了解各種電路的優勢及規格，作為往後設計電路的參考指標。

第二節分析以連續時間轉導放大器-電容結構的濾波器(Continuous-time Gm-C filter)為核心架構的可程式化類比陣列，第三節則分析以運算放大器(OP-amp based)為核心架構的可程式化類比陣列。

2.2 以連續時間轉導放大器和電容組成的濾波器為核心架構可程式化類比陣列

以連續時間轉導放大器和電容為核心所構成的電路系統[9]，具有可高速工作的特性。在此電路架構下可以藉由可程式化轉導放大器的放大倍率與可程式化電容陣列得到不同的濾波器頻寬。然而在 CMOS 的製程下，不可能建立一個的可以大幅調整的且高速操作的電容陣列，因此設計一個可程式化範圍寬廣的轉導放大器顯得格外的重要。

2.2.1 以可程式化轉導放大器和電容建構的類比方塊

這個多用途的類比方塊是由一個可程式化全差動式轉導放大器(OTA)、一個可程式化電容(CEQ)以及一組數位開關(S_1 - S_{12})所構成。如圖 2.1 藉由控制開關來決定轉導放大器連是否接到可程式化電容，位於CAB最上方以及最下方的開關(S_9 與 S_{10})可以將訊號傳遞至其他的可建構的類比方塊，開關 S_1 和 S_2 能將輸入信號直接傳遞或反向傳遞至轉導放大器，而這些開關的控制訊號資料串儲存於串接式的暫存器中。

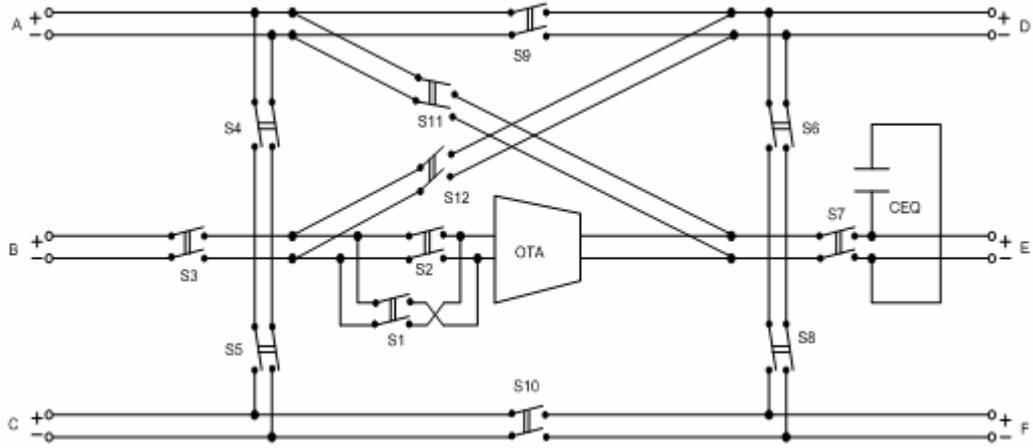


圖 2.1 以可程式化轉導放大器和電容建構的類比方塊

2.2.2 轉導放大器和可程式化電容的基本原理

轉導放大器的基本架構是由兩組交叉耦合的差動對和數位式的可程式化電流鏡所構成，如圖 2.2 所示。

$$I_{in1} = K(V_P - V_{Tp})^2 + K(V_Q - V_b - V_{Tp})^2 \quad (2.1)$$

$$I_{in2} = K(V_Q - V_{Tp})^2 + K(V_P - V_b - V_{Tp})^2 \quad (2.2)$$

在這裡 $K = 0.5\mu C_{OX} W/L$ ，M1-M4 有相同的 W/L 比， V_{Tp} 為臨界電壓， V_b 為偏壓源， V_P 、 V_Q 分別為 M1 和 M2 閘極端對源極端的電壓。

將方程式(2.1) (2.2)式相減得

$$\begin{aligned} I_{in1} - I_{in2} &= 2K(V_P - V_Q)V_b \\ &= 2K(V_{in+} - V_{in-})V_b \\ &= 2KV_b V_{id} \end{aligned} \quad (2.3)$$

在這裡 $V_{id} = V_{in+} - V_{in-}$ ，代表差動輸入電壓。假設電流鏡的增益都為 A ，則輸出電流可表示為

$$\begin{aligned}
 I_{out} &= A(I_{in1} - I_{in2}) \\
 &= 2K(V_{in+} - V_{in-})V_b A \\
 &= 2KV_b AV_{id}
 \end{aligned} \tag{2.4}$$

轉導放大器的增益可以表示為

$$g_m = \frac{\partial I_{out}}{\partial V_{id}} = 2KV_b A \tag{2.5}$$

濾波器的頻寬與Gm/C值增加成正相關，為了要使Gm-C濾波器有大的工作頻率範圍，轉導放大器必須具備大幅度調整Gm值的能力。由從方程式(2.5)可知，欲調整轉導值可藉改變 V_b 大小或調整電流鏡倍率(A)來達成。

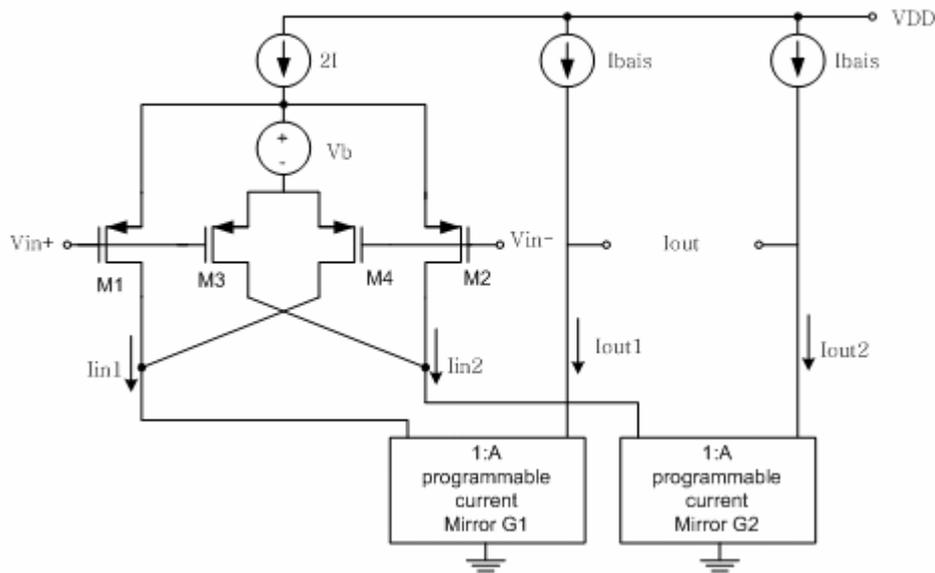


圖 2.2 可程式化轉導放大器

可程式化電流鏡使用 31 個相同的輸出級，如圖 2.3 電流鏡所示，為了達成以數位方式程式化的目標，將 1、2、4、8、16 個輸出級分別並聯成 5 組電流鏡 (Group#1~Group#5)，而總輸出電流即為個別電流鏡輸出之總合，每組電流鏡可以藉由開關 $S_i, i=\{1,2,4,8,16\}$ 切換電流輸出。

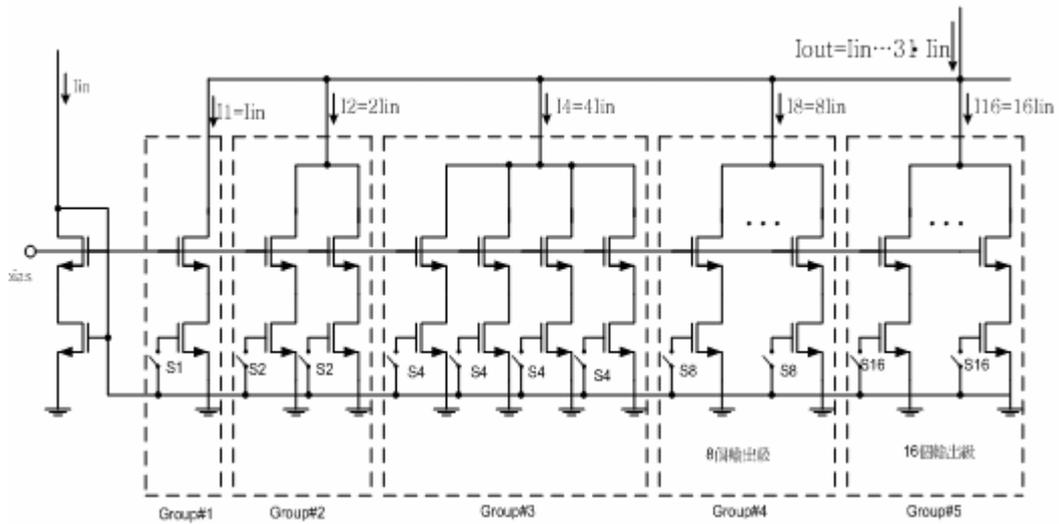


圖 2.3 可程式化電流鏡

可程式化電容如圖 2.4 所示，是由 5 組電容 $C_0 \sim C_4$ 以及開關 $SC_0 \sim SC_4$ 組成，其中分支電容 C_0 與開關 SC_0 代表可程式化電容中最小位元，其餘 4 組電容皆由最小位元分支電容 C_0 平行相接構成。

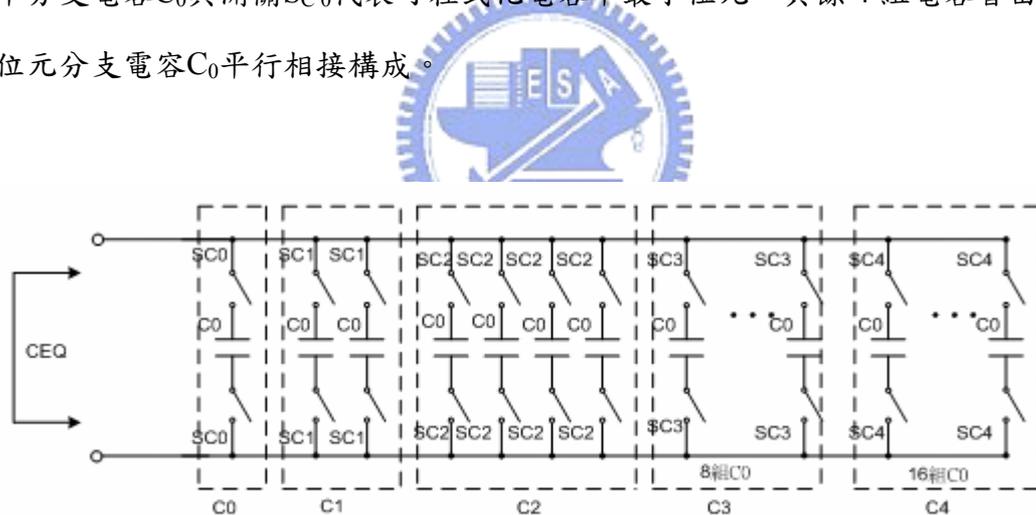


圖 2.4 可程式化電容陣列

2.2.3 以連續時間濾波器組成的可程式化類比陣列架構

本節介紹的FPAA功能為實現各種不同的濾波器，因此FPAA包含了 40 個 CAB，位在八行五列上，FPAA額外具有 3 個轉導放大器 $O_1 \sim O_3$ 作為緩衝級。輸入信號透過訊號線 in_1, in_2, in_3 傳遞，由於具有三組輸入訊號線，因此最多可以同時實現三組不同的濾波器。轉導放大器透過數位控制的方式切換電流鏡輸出電

流，可以分別設定每一個轉導放大器電流鏡的增益。

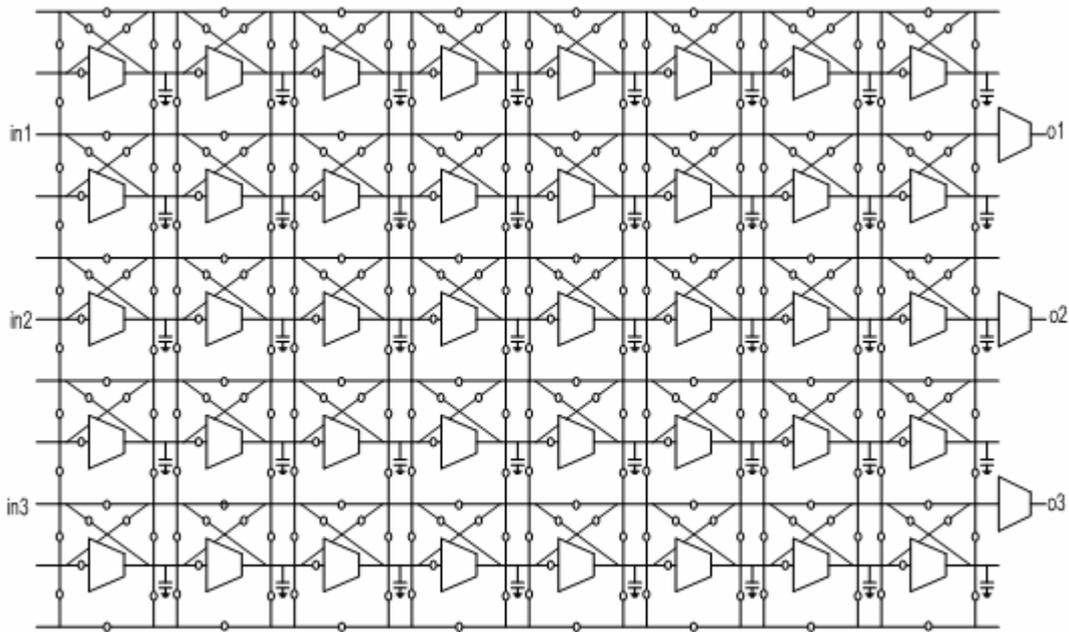


圖 2.5 以連續時間濾波器為核心架構可程式化類比陣列

圖 2.6 為使用這個 FPAA 架構，組成雙 Biquad 疊接的帶通濾波器的應用，粗線部份表示信號信號導通路徑。

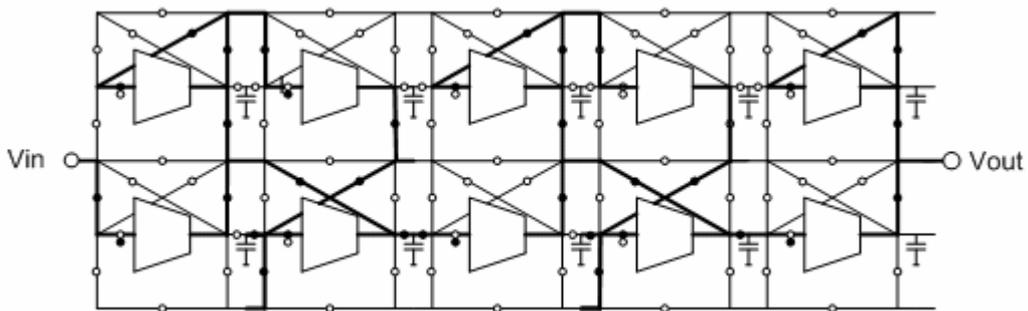


圖 2.6 雙 Biquad 疊接的帶通濾波器架構

2.3 以運算放大器為核心架構的可程式化類比陣列

FPAA 可以大幅所短類比電路設計時間，然而在頻寬和準確性無法同時達到最佳。為了要操作在高的頻寬，本節討論的 FPAA 採用連續時間架構，並加入緩

衝開關以及具有比例功能方塊克服準確性的限制[10]。

2.3.1 可配置信號路徑

一般而言，FPAA允許使用者透過配置信號路徑控制信號的流向。目前的設計為選擇CMOS開關當作配置訊號的機制，優點在於可以容易的使用數位方式控制，並可以簡單的估計主要的寄生電容以及導通電阻 R_{on} 。

設計一個準確的FPAA主要的問題在於消除訊號經過開關產生電阻壓降造成的誤差。考慮兩個功能方塊由開關相連接如圖 2.7，由於兩個功能方塊之間的阻抗為有限的值，往功能方塊 1 看入的阻抗為 Z_{out} ，往功能方塊 2 看進去的阻抗為 Z_{in} ，因此在兩個方塊之間可以得到一個轉移函數

$$V_{in2} = V_{out1} \frac{Z_{in2}}{Z_{out1} + R_{on} + Z_{in2}} \quad (2.6)$$

由方程式可以得到端點 V_{in2} 的的電壓，並且了解訊號在兩個可配置的方塊上傳遞產生的損耗。

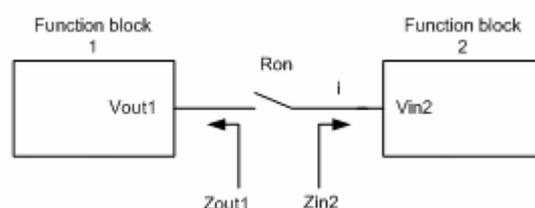


圖 2.7 導通開關 R_{on} 在兩個功能方塊中產生壓降的問題

有一個取代的方式可以減少可配置開關產生寄生效應的誤差，假設沒有電流流過圖 2.7 中兩個方塊之間，也就是說在方程式(2.6)中 $Z_{in} \rightarrow \infty$ 。如圖 2.8(a)，連續時間電壓訊號連接到具有高組抗的輸入端。這種機制能消除電流流過導通開關，減少產生在內部節點的誤差。在訊號的輸出開關上插入回授路徑，如圖 2.8(b)，

開關電阻的電壓降包含在迴路中，不會影響到整體的轉移函數。

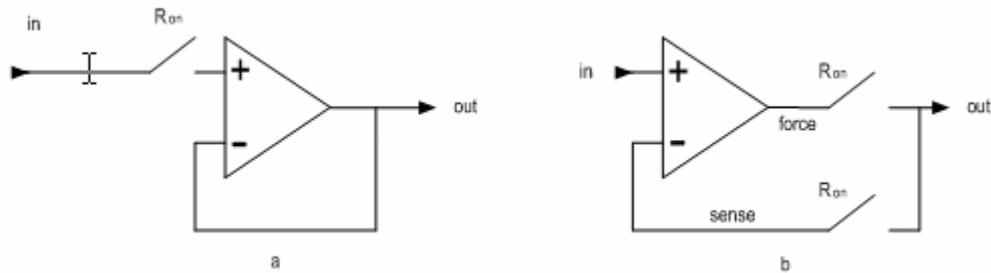


圖 2.8 緩衝開關 a.連接至輸入端 b.連接至輸出端

2.3.2 以運算放大器為核心建構的功能方塊

在選擇設計 FPAA 的過程，功能方塊是一個重要的特徵，僅具單一功能的功能方塊是以連接多個功能方塊的方式產生所需的功能，而複合性的功能方塊，單一個功能方塊就能提供所需的功能。僅具單一功能的功能方塊架構，能有利於增加功能變化的多樣性，然而缺點在於複雜的線路配置會大量增加佈局面積。當訊號必須經過多個繞線上的開關時，效能將會減低，因此每一個採用僅具單一功能的功能方塊的 FPAA，都會遇到因複雜的繞線與開關使得效能減低的問題。另一個方法是採用複合性的功能方塊，所選擇的功能方塊必須滿足應用的區域。

大部分的 FPAA 在選擇功能方塊以比較器、轉導器或是運算放大器為主，屬於僅具單一功能的功能方塊，而在這裡採用的則是採用複合性的功能方塊，其架構如圖 2.9 以及 2.10，採用運算放大器以及被動元件構成回授路徑，轉移函數取決於回授路徑和輸入的組抗比例，而不是僅採用絕對值，因此能提高準確度。

如圖 2.9 所示，兩組輸入信號透過一個固定增益的運算放大器以及一組可程式化的階梯電阻相連接，達到兩組輸入信號相加的功能，轉移函式如下。

$$V_o = -(10V_a + D_b V_b) \quad (2.7)$$

式中 D_b 是由電阻與開關 ($D_0 \sim D_4$) 所決定。

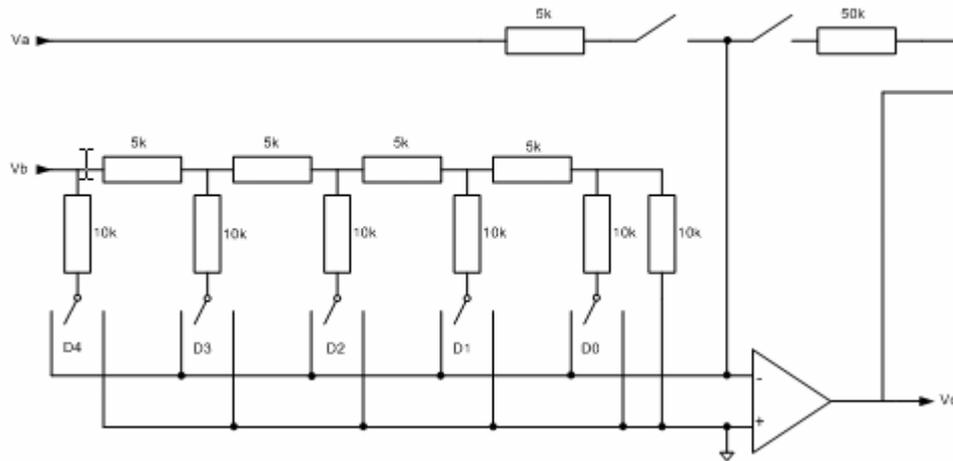


圖 2.9 具相加功能的類比方塊

如圖 2.10，兩組輸入信號透過一個固定增益的運算放大器和電容，以及一組可程式化的階梯電阻相連接，達到信號相減的功能，透過控制開關 S_1 可使此類比方塊建構為積分器或比較器，轉移函數如下。

$$v_o(t) = \frac{1}{RC} \int (D_p v_p(t) - D_m v_m(t)) dt \quad (2.8)$$

式中 D_p 、 D_m 由電阻以及開關組成的DAC所決定。當開關 S_1 連接電容 C 時，類比方塊的功能為積分器，而開關 S_1 打開時($C \rightarrow 0$)，類比方塊的功能為比較器。

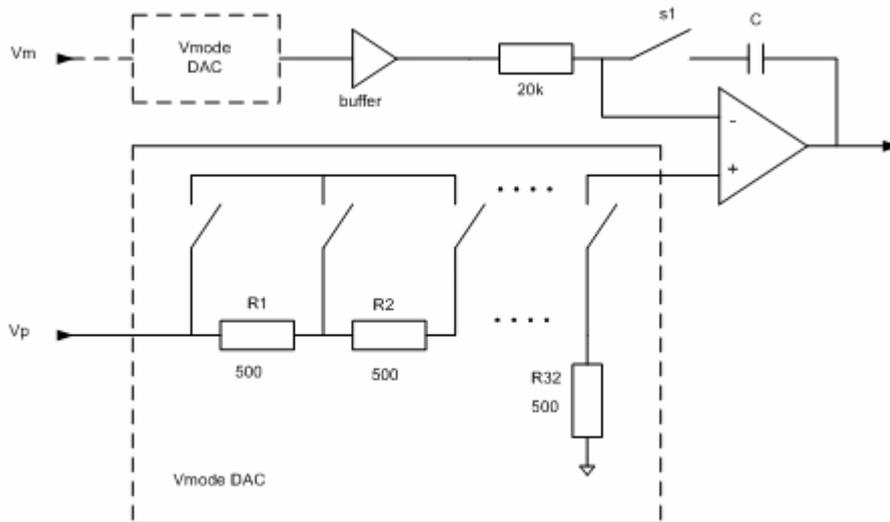


圖 2.10 具相減功能的類比方塊

2.3.3 可程式化類比陣列架構

整體架構如圖 2.11 所示，具有四個功能方塊陣列以 2 X 2 陣列的方式排列。控制訊號儲存在串接式的位移暫存器，再傳遞至每個控制開關，可將功能方塊相互連接並調整各別功能方塊內的參數，以產生所要求的轉移函數。由於使用具有較大功能的方塊可以減少繞線上的複雜度，減少訊號在功能方塊間運行產生的誤差，進而提升整體系統效率。

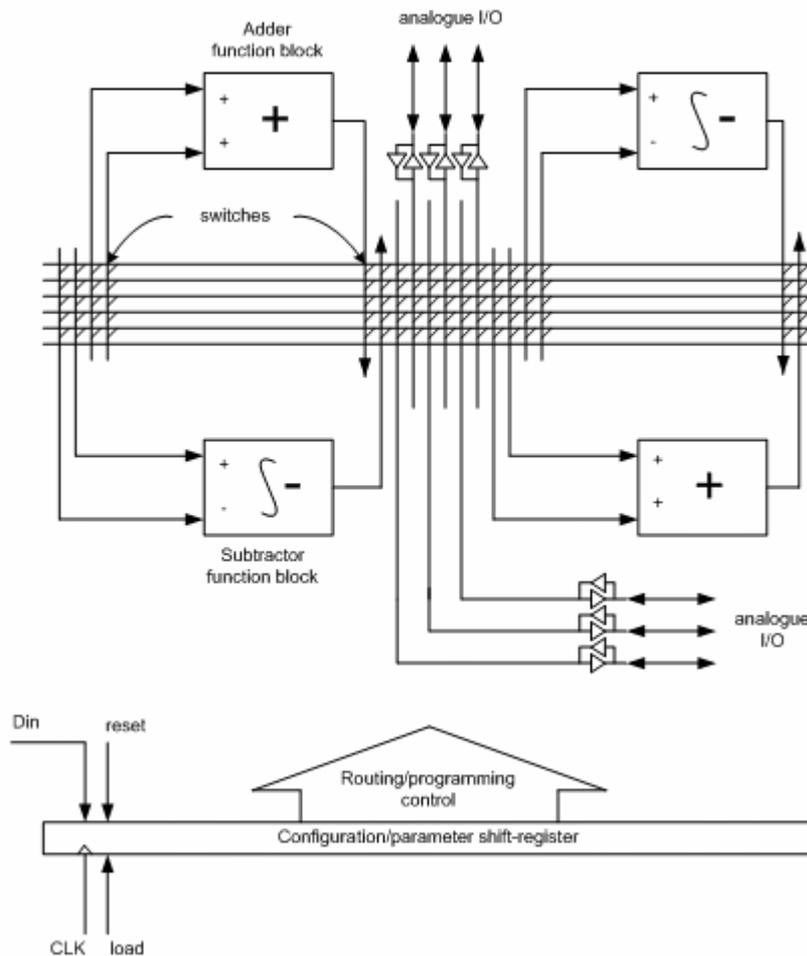


圖 2.11 以運算放大器為核心的可程式化類比陣列架構

第三章 轉導放大器文獻回顧

3.1 前言

本篇論文之 FPAA 所採用的核心架構為轉導放大器，如何設計適用於 FPAA 的轉導放大器是本文之重點。本章的第二節到第五節將分別討論電壓浮接式、三級管區式、偏壓補償式為主體的轉導放大器。

3.2 電壓浮接式轉導放大器

此架構中的工作原理為，產生輸出電流的差動對 M_2 與 M_3 的閘極端，如圖 3.2 所示，分別接至差動輸入訊號 V_1 與 V_2 ，而差動對 M_2 與 M_3 源極端則是分別經過一獨立電壓源接至 V_2 與 V_1 ，這個機制使得差動對 M_2 與 M_3 產生線性輸出電流，由於差動對 M_2 與 M_3 的閘極端到源極端的路徑上各有一個獨立電壓源，因此稱之為電壓浮接式轉導放大器(floating-DC transconductor)[11]。此電壓浮接式架構的轉導放大器，其特性為具有雙軌傳輸式的電壓—電流轉換器，可輸入大擺幅差動訊號，且不會對於臨界電壓的變動感到敏感。如圖 3.1 所示，此電路具有一個N型的V-I轉換器，以及一個P型的V-I轉換器，達到共模雙軌傳輸式的操作。此外還包含兩個最大電流選擇電路用來選擇P型或N型V-I轉換對外提供電流輸出。

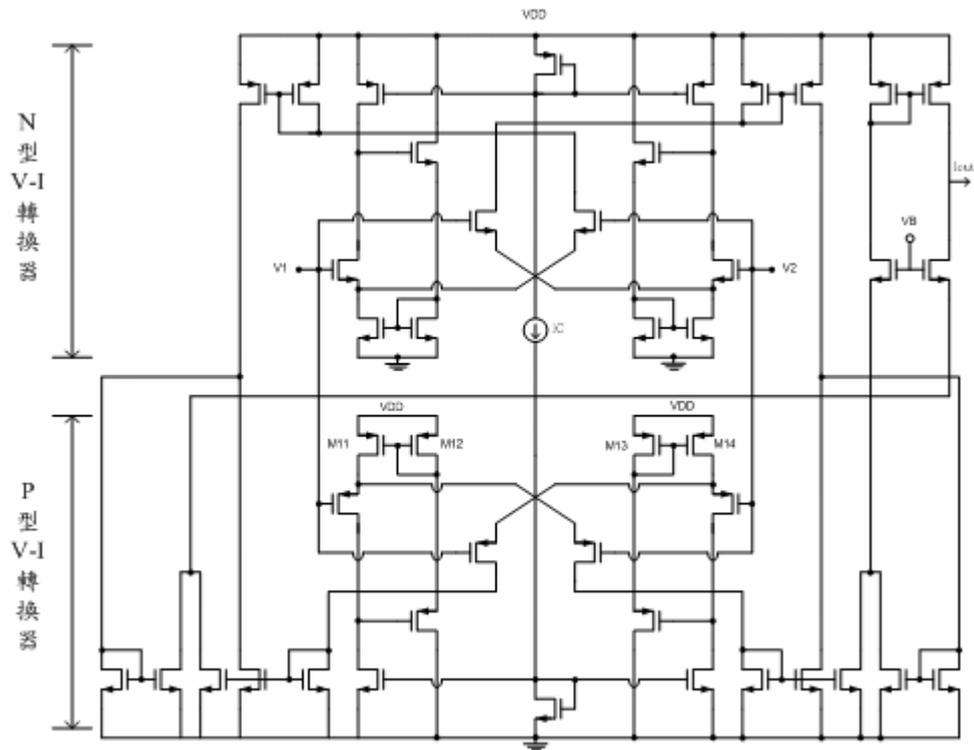


圖 3.1 電壓浮接式導放大器電路圖

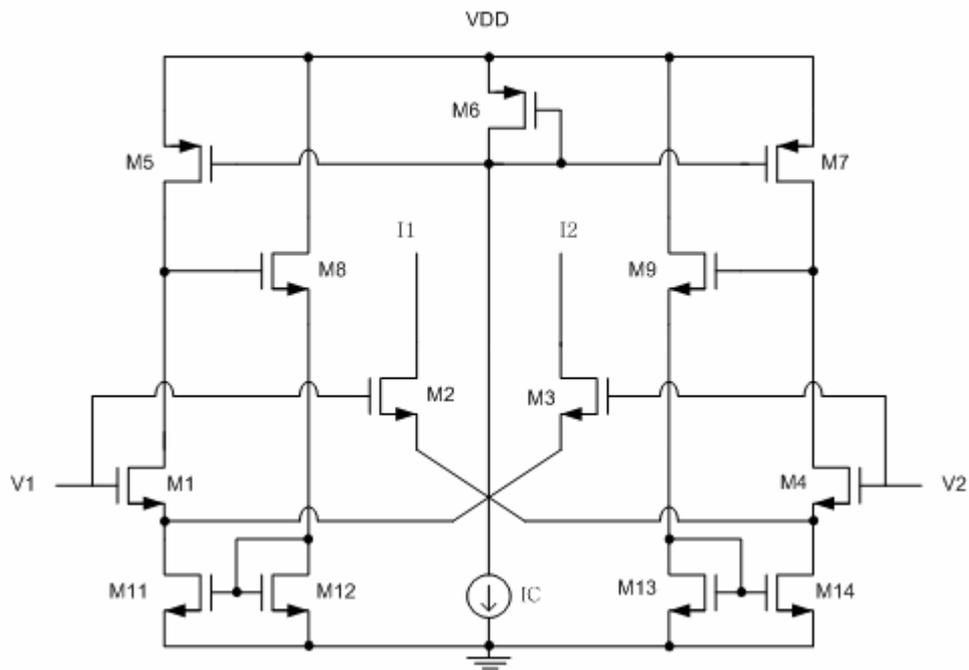


圖 3.2 N 型 V-I 轉換器

就N型CMOS V-I轉換器而言，如圖 3.2。 V_1 和 V_2 為輸入， I_C 為一個固定的參考電流，藉由電流鏡 M_5 、 M_6 和 M_7 使得 M_1 和 M_4 汲極端的電流會等於固定電流 I_C 。兩個輸出電流 I_1 以及 I_2 分別以電晶體 M_2 和 M_3 汲極端的電流表示。這個電路由兩個子電路構成，電晶體 M_1 、 M_2 、 M_8 、 M_{11} 和 M_{12} 組成一組子電路，電晶體 M_3 、 M_4 、 M_9 、 M_{13} 和 M_{14} 組成另外一組。有兩組回授路徑分別為 M_1 、 M_8 、 M_{11} 、 M_{12} 和 M_4 、 M_9 、 M_{13} 、 M_{14} ，迴路的增益和頻寬會直接影響到轉導器的正確性以及工作速度。從交叉相接的 (M_2, M_4) 以及 (M_1, M_3) 可以得到

$$V_{gs2} = V_1 - V_2 + V_{gs4} \quad (3.1)$$

$$V_{gs3} = -(V_1 - V_2) + V_{gs1} \quad (3.2)$$

假設電晶體 M_1 、 M_2 、 M_3 和 M_4 相同

則 $K_1 = K_2 = K_3 = K_4 = K$

$$V_{T1} = V_{T2} = V_{T3} = V_{T4} = V_T$$

根據 square-law 電流模型，對工作在飽和區的 NMOS 而言

$$I_d = K_N (V_{gs} - V_{TN})^2 / 2$$

$$\text{這裡 } K_N = (\mu_{eff} C_{OX} W / L)_N$$

則從方程式(3.1)可以得到

$$\sqrt{\frac{2I_1}{K}} = V_1 - V_2 + \sqrt{\frac{2I_C}{K}} \quad (3.3)$$

從方程式(3.2)可以得到

$$\sqrt{\frac{2I_2}{K}} = -(V_1 - V_2) + \sqrt{\frac{2I_C}{K}} \quad (3.4)$$

將方程式(3.3)及(3.4)平方展開，得到

$$I_1 = \frac{K}{2}(V_1 - V_2)^2 + I_C + \sqrt{2I_C K}(V_1 - V_2) \quad (3.5)$$

$$I_2 = \frac{K}{2}(V_1 - V_2)^2 + I_C - \sqrt{2I_C K}(V_1 - V_2) \quad (3.6)$$

因此，從方程式(3.5)(3.6)，得到

$$\begin{aligned} I_1 - I_2 &= \sqrt{8I_C K}(V_1 - V_2) \\ &= g_{mN}(V_1 - V_2) \end{aligned} \quad (3.7)$$

g_{mN} 是一個常數，故得到了一個差動的線性 V-I 轉換器，且不受臨界電壓的影響。

因為 MOS 必須工作在飽和區中，輸入電壓和輸入電流才會有線性的關係。單一 N 型 V-I 轉換器共模輸入範圍受到限制，為了得到較大的共模輸入範圍，加入一個相同型態的 P 型的 V-I 轉換器與 N 型的 V-I 轉換器相連接，形成雙軌傳輸式的線性 V-I 轉換器，可提高共模輸入的範圍與信號擺幅。對雙軌傳輸式的線性 V-I 轉換器而言，總和的轉導值 g_{mT} 也必須是一個常數，然而對於 N 型電路和 P 型電路，V-I 的關係為

$$I_{n1} - I_{n2} = \sqrt{8K_N I_C}(V_1 - V_2) = g_{mN}(V_1 - V_2) \quad (3.8)$$

$$I_{p1} - I_{p2} = \sqrt{8K_P I_C}(V_1 - V_2) = g_{mP}(V_1 - V_2) \quad (3.9)$$

(I_{n1}, I_{n2}) 和 (I_{p1}, I_{p2}) 分別表示 N 型和 P 型的輸出電流， g_{mN} 和 g_{mP} 為 N 型和 P 型的轉導值。如圖 3.1 所示，為了要涵蓋所有的共模輸入範圍，N 型轉換器和 P 型轉換器相互連接。

轉導值的固定透過兩個最大電流選擇電路，以及一個輸出相減級來達成。最

大電流選擇器如圖 3.3，輸出電流 I_{out} 將會永遠選擇 I_1 與 I_2 的最大值。它的操作原理如下：

- (i) 當 $I_1 > I_2$ 時，由於電流鏡 Mp_1 、 Mp_2 汲極端的電流為 I_1 ， Mn_5 、 Mn_6 汲極端的電流為 I_2 ，流過 Mn_8 、 Mn_7 的電流為 $(I_1 - I_2)$ ，因此輸出電流可以表示為

$$I_{out} = I_2 + (I_1 - I_2) = I_1 = MAX(I_1, I_2) \quad (3.10)$$

- (ii) 當 $I_1 \leq I_2$ 時，由於電流鏡 Mp_1 、 Mp_2 汲極端的電流為 I_1 ， Mn_5 、 Mn_6 汲極端的電流為 I_2 ，因 $I_1 \leq I_2$ ， Mn_5 汲極端的電流將會變成 I_1 。在這個情況下將沒有電流會流過 Mn_8 ，使 Mn_7 和 Mn_8 關閉，但 Mn_6 汲極端的電流仍為 I_2 ，因此輸出電流為

$$I_{out} = I_{Mn6} = I_2 = MAX(I_1, I_2) \quad (3.11)$$

從方程式(3.10)和(3.11)可以得到

$$I_{out} = MAX(I_1, I_2)$$

再藉由兩個最大電流選擇電路，以及一個位在輸出級的電流相減器電路，透過適當的調整 N 型和 P 型 V-I 轉換器的電晶體尺寸，使得 K_N 和 K_P 相等，也就是

$g_{mN} = g_{mP}$ ，如圖 3.4，輸出電流可以表示為

$$\begin{aligned} I_{out} &= MAX(I_{n1}, I_{p2}) - MAX(I_{n2}, I_{p1}) \\ &= \sqrt{8K_N I_C} (V_1 - V_2) \\ &= \sqrt{8K_P I_C} (V_1 - V_2) \\ &= g_{mT} (V_1 - V_2) \end{aligned}$$

這裡 $g_{mT} = g_{mN} = g_{mP}$ ，因此得到固定轉導值雙軌式的 V-I 轉換器。

觀察圖 3.5，當 $I_{n1} > I_{p2}$ 則 $I_{n2} > I_{p1}$ ，且當 $I_{p1} > I_{n2}$ 則 $I_{p2} > I_{n1}$ ，因此透過最大電流選擇器，選擇特定的 V-I 轉換器(N 型或 P 型)的輸出電流送入相減電路的輸入，能夠產生固定的轉導。此外輸出的轉導值可輕易的透過改變直流偏壓 I_C ，或是改變輸入電晶體的尺寸，也就是調整 K_N 、 K_P 來加以控制。

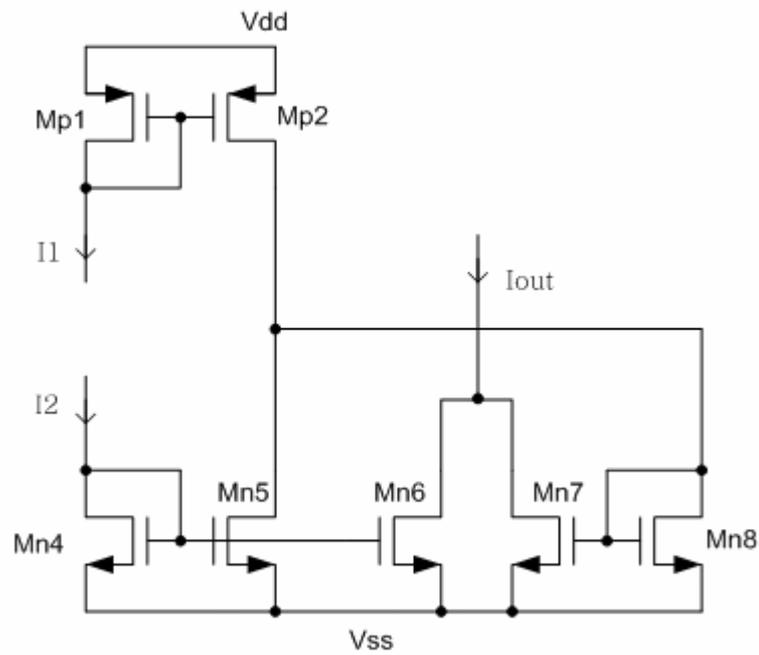


圖 3.3 最大電流選擇器

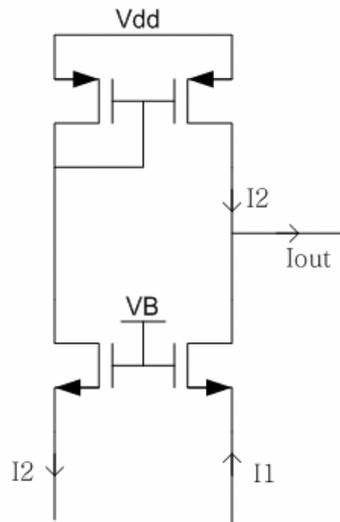


圖 3.4 電流相減電路

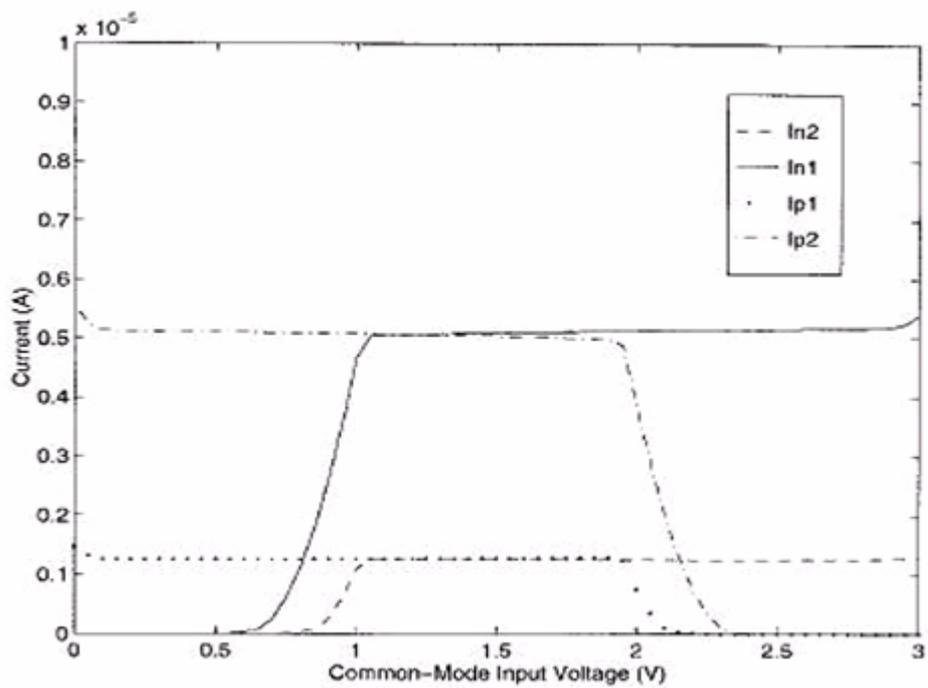


圖 3.5 共模訊號對電流輸出影響

3.3 操作在三級管區式的轉導放大器

此架構中的工作原理為，將產生輸出電流的電晶體偏壓在三級管區(tri-state region)，輸入電壓訊號接在電晶體的閘極端，此時輸入的小訊號電壓與電晶體汲

極端輸出的小訊號電流具有線性關係。以這種機制產生的電壓-電流轉化器稱之為三級管區式的轉導放大器(triode-based transconductor)，在本節中探討兩種操作在三級管區式的轉導放大器[12][13]。

3.3.1 三級管區式轉導放大器(第一類)

圖 3.6 為三級管區式的轉導放大器[12]，包含操作在三級管區的電晶體 M_{1e} 、 M_{1f} 和一個具有高電壓增益的運算放大器，以及 M_3 、 M_4 構成的電流鏡。圖 3.7 為共模回授電路，電路架構類似圖 3.6 上半部電路，其中 $M_{1a}\sim M_{1d}$ 操作在三級管區。

圖 3.6 中電路操作方式為運算放大器與電晶體 M_{2e} 、 M_{2f} 產生一個回授路徑，利用放大器虛短路的特性使電晶體 M_{1e} 與 M_{1f} 的汲極端電壓為參考電壓 V_Y ，保持電晶體工作點在三極管區。在這個偏壓條件下 M_{1e} 的轉導值為

$$\begin{aligned}
 g_m &= \frac{\partial I_d}{\partial V_{in}} \\
 &= \frac{\partial}{\partial V_{in}} \left(\frac{1}{2} \mu_p C_{OX} \frac{W_1}{L_1} \right) [2(V_{gs} - V_t)(V_{DD} - V_Y) - (V_{DD} - V_Y)^2] \\
 &= \mu_p C_{OX} \frac{W_1}{L_1} (V_{DD} - V_Y) \\
 &= \mu_p C_{OX} \frac{W_1}{L_1} V_{TUNE}
 \end{aligned} \tag{3.12}$$

這裡的 $V_{TUNE}=V_{DD}-V_Y$

由方程式(3.12)得知轉導值為一個常數並且與 $\frac{W_1}{L_1}$ 、 V_{TUNE} 具有線性的關係。

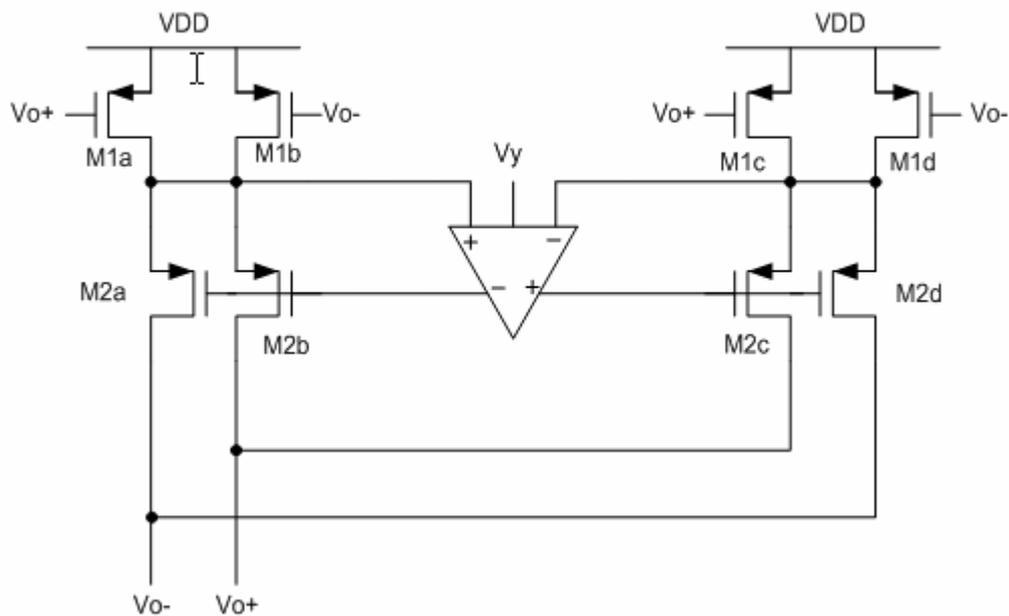


圖 3.7 共模回授電路

3.3.2 三級管區式轉導放大器(第二類)

如圖 3.8 所示的三級管區式轉導放大器[13]，包含了一個以工作在三極管區 M_1 的電晶體為輸入的轉導器，以及一個可調整的直流調節電路。

在轉導器核心中，如圖 3.8(a)，電晶體 M_1 、 M_2 以及電流源 CS_0 組成一個疊接的放大器，這個放大器的輸出信號透過電晶體 M_3 回授到 M_1 的汲極端，這使得 M_1 汲極端的電壓，也就是 $V_{ds,M1}$ ，維持在一個定值，這個定值由 M_2 的閘極端電壓 (V_{ctr}) 決定。疊接放大器的輸出訊號透過電流鏡 M_3 、 M_4 傳遞至下一級。轉導器的轉導值 G_m 等於 M_1 的轉導值，可以從 M_1 汲極端的電流得到

$$I_{ds,M1} = \beta_{M1} \cdot (V_{in} - V_{th} - V_{ds,M1} / 2) \cdot V_{ds,M1} \quad (3.13)$$

$$G_m = \frac{\partial I_{ds,M1}}{\partial V_{in}} = \beta_{M1} \cdot V_{ds,M1} \quad (3.14)$$

這裡的 $\beta_{M1} = \mu_n C_{OX} \frac{W_1}{L_1}$ ， V_{in} 為 M_1 閘極端的輸入電壓。由方程式(3.14)可知欲提高轉導值，可增加 $V_{ds,M1}$ 。

當增加 $V_{ds,M1}$ 提高轉導值時，電晶體 M_1 、 M_3 、 M_4 汲極端的直流電流也會增

加，迫使 $V_{sg,M3}$ 增大、 $V_{ds,M2}$ 縮小。由於 V_{in} 小訊號變化會反映到 $V_{sg,M3}$ ，在晶體 M_2 必須工作飽和區的條件下，降低 $V_{ds,M2}$ ，會使得線性輸入範圍減少，因此需要一個可調整的直流調節電路，如圖 3.8(b)所示，當轉導器處於高轉導值時，此補償電路會調整電晶體 M_3 、 M_4 直流偏壓電流，使 $V_{sg,M3}$ 為定值。這個電路包含了一個如同轉導器的核心，以及一個運算放大器，和兩個電流源 CS_1 、 CS_{11} 。運算放大器以及電流源 CS_{11} 和 M_{33} 構成了一個回授路徑。在高轉導值條件之下，這個回授路徑對電流源 CS_{11} 產生一個電流控制信號，因此 M_{33} 閘極端電壓等於我們設定的參考電壓(V_{ref})。這個回授路徑同時也將電流控制訊號傳遞至電流源 CS_1 。因此保持 M_3 、 M_4 的閘極端電壓與 V_{ref} 相同。這可以使得 M_3 、 M_4 在高的轉導值情況下仍維持固定的直流電流。

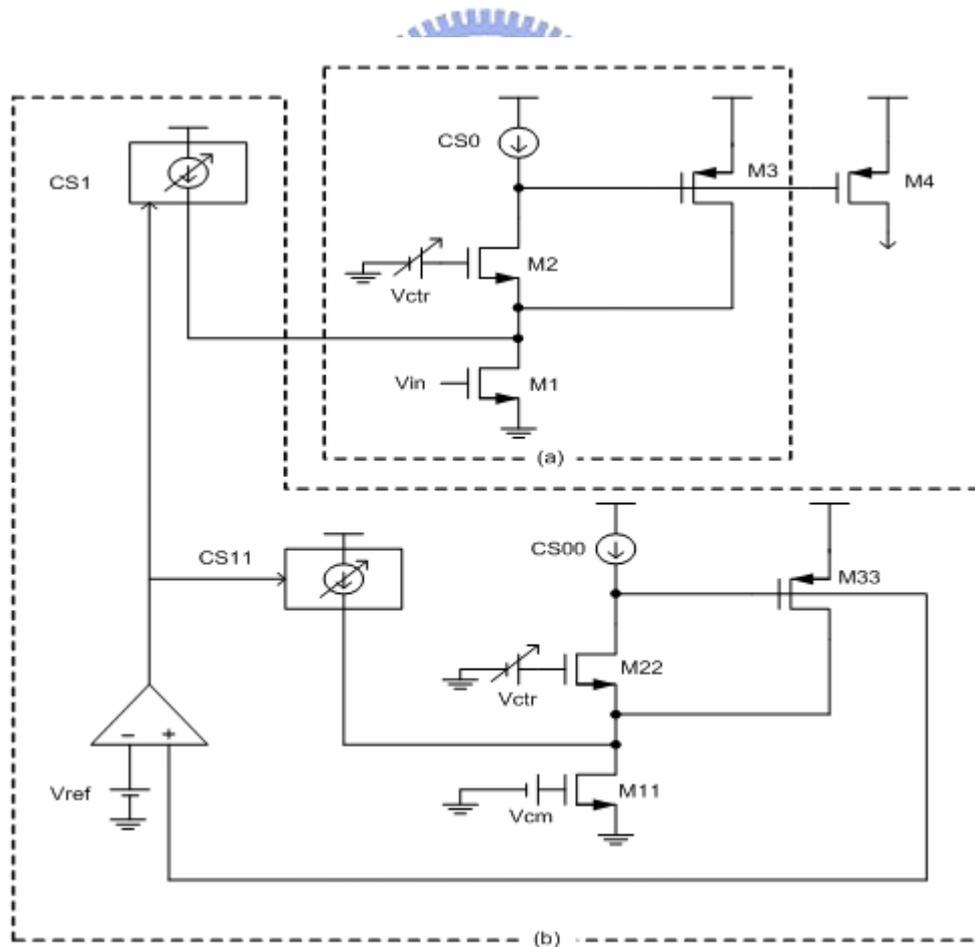
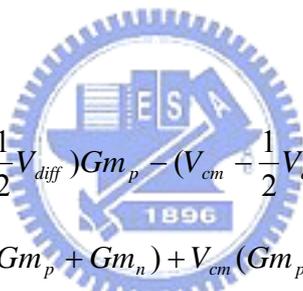


圖 3.8 三極體區式的轉導放大器 (a)轉導器核心 (b)可調整的直流調節器

當 M_1 閘極端電壓 V_{in} 增強時，圖 3.8 中，處於三極體區電晶體的轉導值線性度會有輕微的線性度下降，因為飄移率隨著垂直電場的增加而減少，這導致非線性的轉導值。要解決此問題，可利用圖 3.9 中兩組平行的轉導電路，以及一個共模互斥電路，可以減低非線性的情況。

在圖 3.9 中，使用兩組平行的轉導放大器以及共模互斥電路。兩組平行的轉導放大器操作在平衡的模式(即一組輸入 ΔV 訊號另一組則輸入 $-\Delta V$ 訊號)。共模互斥電路由 $M_5 \sim M_7$ 、 $M_{5N} \sim M_{7N}$ 組成，功能為減低由非線性造成的共模輸出電流。由於電流鏡 M_{6n} 、 M_{7n} 和 M_5 的關係，使得 M_5 與 M_{3n} 的電流信號有相同的振幅並且為相反的極性，使得 M_4 和 M_5 的汲極端產生的差動訊號電流具有相同的相位以及相同的振幅，而共模信號有相反的相位且振幅相同，共模信號因此消除。這使得在大的輸入信號下仍有高的線性度。

I_{out_p} 與 I_{out_n} 推導如下



$$\begin{aligned}
 I_{out_p} &= (V_{cm} + \frac{1}{2}V_{diff})Gm_p - (V_{cm} - \frac{1}{2}V_{diff})Gm_n \\
 &= \frac{1}{2}V_{diff}(Gm_p + Gm_n) + V_{cm}(Gm_p - Gm_n) \\
 &= V_{diff}Gm
 \end{aligned} \tag{3.15}$$

$$\begin{aligned}
 I_{out_n} &= (V_{cm} - \frac{1}{2}V_{diff})Gm_n - (V_{cm} + \frac{1}{2}V_{diff})Gm_p \\
 &= -\frac{1}{2}V_{diff}(Gm_p + Gm_n) + V_{cm}(Gm_n - Gm_p) \\
 &= -V_{diff}Gm
 \end{aligned} \tag{3.16}$$

其中 V_{cm} 代表差動輸入信號的共模電壓， V_{diff} 代表輸入信號的電壓差值，由方程

式(3.15)及(3.16)可知此電路消除共模輸入所造成的輸出電流。

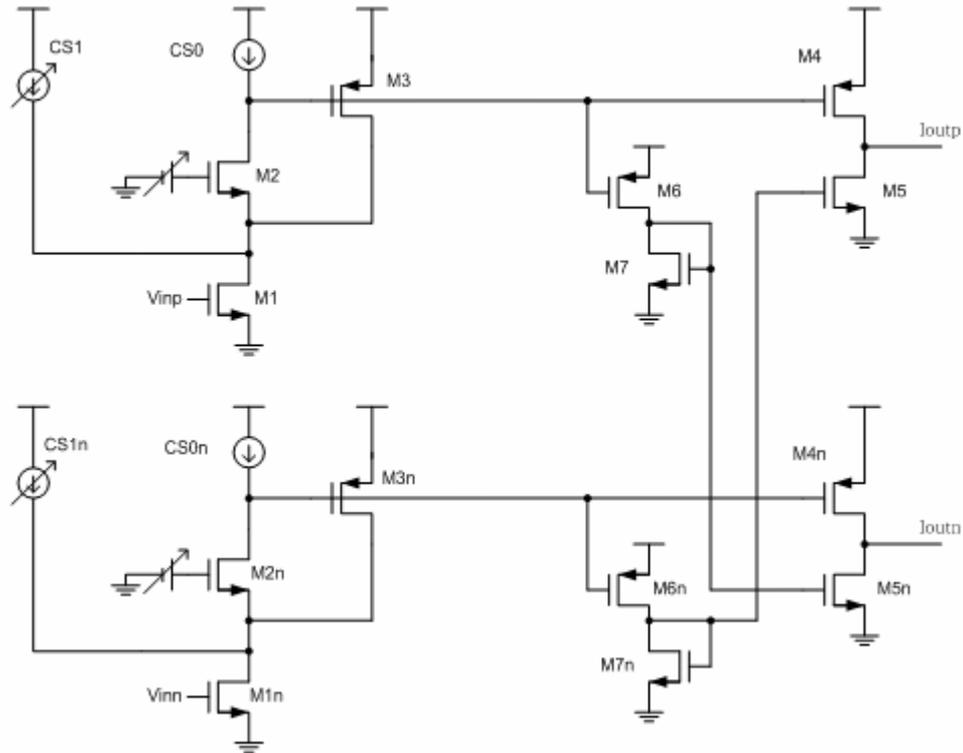


圖 3.9 兩組平行連接的轉導放大器與共模互斥電路

3.4 偏壓補償式轉導放大器

此電路架構是利用兩組交錯相接的差動對產生線性輸出電流，其中一組差動對的閘極端電壓為輸入訊號，另一組差動對的閘極端電壓則為輸入訊號減掉一固定電壓值，因此稱為偏壓補償式轉導放大器(bias-offset transconductor)[14]。

如圖 3.10 所示，在此轉導器中電晶體 M_1 、 M_2 和 M_3 、 M_4 構成兩組差動對， M_5 、 M_6 、 M_7 和 M_8 產生一組定電壓降，輸入訊號藉由 M_5 、 M_6 的定電壓降傳遞至電晶體 M_3 、 M_4 的閘極端，電流 I_1 為電晶體 M_1 和 M_4 汲極電流的總合，而電流 I_2 為電晶體 M_2 和 M_3 汲極電流的總合。在圖 3.10 中假設所有的電晶體皆操作在主動

區，且不受本體效應的影響($V_{bs}=0$)，此外 M_1 、 M_2 、 M_3 、 M_4 以及 M_5 、 M_6 、 M_7 、 M_8 分別有相同的零界電壓(V_t)與 $\mu_n C_{OX} \frac{W}{L}$ 。在產生定電壓降的電路中，由於 $I_{ds,M5} = I_{ds,M7}$ 故 $V_{gs,M5} = V_{gs,M7}$ ，又 $V_{gs,M5} = V_1 - V_{source,M5}$ 、 $V_{gs,M7} = V_B$ 利用此關係可以得到 $V_{source,M5} = V_1 - V_B$ ， $V_{source,M5}$ 與 $V_{gate,M3}$ 為同一節點，故電晶體 M_3 閘極端電壓即為 $V_1 - V_B$ ，同理 M_4 閘極端電壓為 $V_2 - V_B$ 。在兩組交錯相接的差動對中，電流 I_1 和 I_2 如方程式(3.17) (3.18)所示：

$$I_1 = K(V_1 - V_X - V_m)^2 + K(V_2 - V_B - V_X - V_m)^2 \quad (3.17)$$

$$I_2 = K(V_2 - V_X - V_m)^2 + K(V_1 - V_B - V_X - V_m)^2 \quad (3.18)$$

這裡 $K = \frac{1}{2} \mu_n C_{OX} \frac{W}{L}$ 、 V_X 為 $V_{ds,Ms}$ ，由方程式(3.17) (3.18)兩式相減可以得到

$$(I_1 - I_2) = 2KV_B(V_1 - V_2) \quad (3.19)$$

由方程式(3.19)可知輸出差動電流與輸入差動電壓具有線性的關係，且轉導值的大小與 V_B 成正比例。

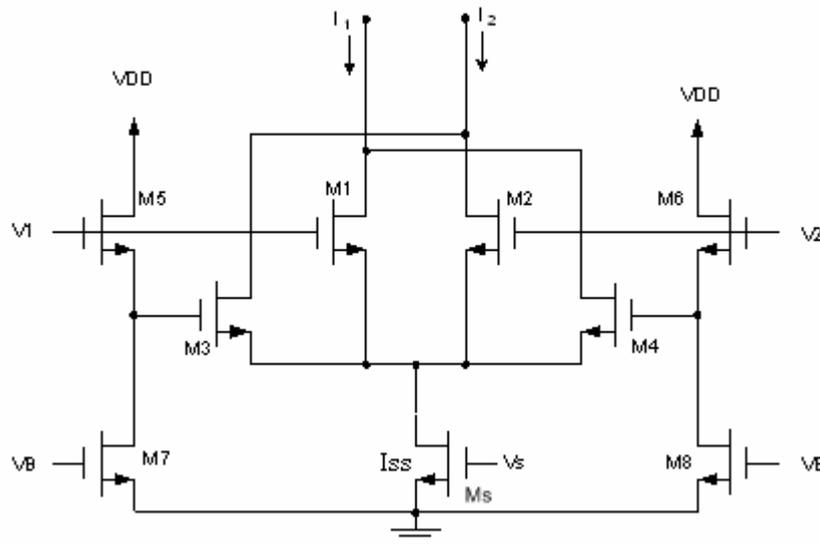


圖 3.10 以 bias-offset 核心的轉導放大器

第四章 FPAA 元件電路規劃與設計

我們設計之 FPAA 希望能完成積分器與濾波器並能達到動態切換以及調整參數的功能。電路架構主要是由功能方塊與切換開關控制組成，其中功能方塊包含轉導放大器和運算放大器，切換控制開關包含暫存器和類比開關，此外整體電路中也包含參考電壓源與電容陣列。

4.1 轉導放大器

我們設計 FPAA 之轉導放大器需要有足夠的輸入訊號範圍與線性度，在第三章中所提到的轉導放大器之線性度皆符合我們 FPAA 的需求，其中以 3.2 裡設計的轉導放大器電路具有最好的訊號輸入範圍，但因 3.3 與 3.4 中的轉導放大器電路結構複雜度比起 3.1 節的轉導放大器低，且訊號輸入範圍也符合我們 FPAA 的需求，在考慮晶片製作成功率條件下，因此我們設計之 FPAA 採用 3.2 節與 3.3 節提出的轉導放大器電路。

4.1.1 偏壓補償式轉導放大器 (bias-offset transconductor)

在本小節中的轉導放大器(圖 3.10)修改自 3.4 節中的轉導放大器原型電路，省略原型電路裡差動對 $M_1 \sim M_4$ 源極端下方提供偏壓電流 I_S 的電晶體，修改後的電路如圖 4.1 所示，直接將 $M_1 \sim M_4$ 源極端接地。

產生定電壓降的電路由電晶體 M_{a1} 、 M_{a2} 、 M_{b1} 和 M_{b2} 組成，然而在下線使用的製程只能將 NMOS 的本體接地，因電晶體 M_{a1} 與 M_{a2} 源極端與本體不同電位 ($V_{bs} \neq 0$)，故會產生本體效應使得臨界電壓 (V_t) 變大。觀察使輸入訊號產生定電壓降的電晶體 M_{a1} 與 M_{b1} ，產生定電壓降的機制是利用 M_{a1} 與 M_{b1} 有相同的 W/L 以及源極端電流，使得 $V_{OV, Ma1} = V_{OV, Mb1}$ (V_{OV} 表示 $V_{gs} - V_t$)，而 M_{a1} 受本體效應影響，故 $V_{b, Ma1} > V_{b, Mb1}$ ，可以知道 $V_{gs, Ma1} > V_{gs, Mb1}$ ，這意味著電晶體 M_3 閘極端的電壓比不受本體效應影響的情況下小，這使得當輸入大擺幅訊號的時候， M_3 或 M_4 其中一閘極端的電位將會低到使得電晶體的操作在三極體區域甚至使得電晶體關閉，降低輸

入訊號擺幅的範圍。在這個設計中移除電晶體 $M_1 \sim M_4$ 源極端下方的電晶體，目的為提高電晶體 $M_1 \sim M_4$ 的閘極-源極端電壓，使得轉導放大器在產生偏壓補償的電路受到本體效應的影響下，仍保持有足夠的輸入訊號擺幅。雖然省略電流源 I_S 會降低單端共模互斥的能力，但因我們的設計上為雙端輸出，可利用雙端輸出的特性將共模增益消除。

輸出電流 I_1 、 I_2 推導如下

$$I_1 = I_{M1} + I_{M4} \quad (4.1)$$

$$I_2 = I_{M2} + I_{M3} \quad (4.2)$$

將方程式(4.1)(4.2)相減，得到

$$\begin{aligned} I_1 - I_2 &= (I_{M1} - I_{M2}) + (I_{M4} - I_{M3}) \\ &= K[(V_1 - V_t)^2 - (V_2 - V_t)^2 + (V_1 - V_b - V_t)^2 - (V_2 - V_b - V_t)^2] \\ &= 2KV_b(V_1 - V_2) \end{aligned} \quad (4.3)$$

這裡 $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$ ， V_b 為輸入訊號經過 M_{a1} 、 M_{a2} 閘極端至源極端產生的定電壓降。

整理方程式(4.3)我們可以得到轉導值 G_m

$$G_m = \frac{I_1 - I_2}{V_1 - V_2} = 2KV_b \quad (4.4)$$

圖 4.2 為轉導值模擬結果，規格如表 4.1 所示。

表 4.1 偏壓補償式轉導放大器規格

轉導值	80.4 μ A/V
線性輸入範圍	-0.5~0.5 volt
誤差	2.7%

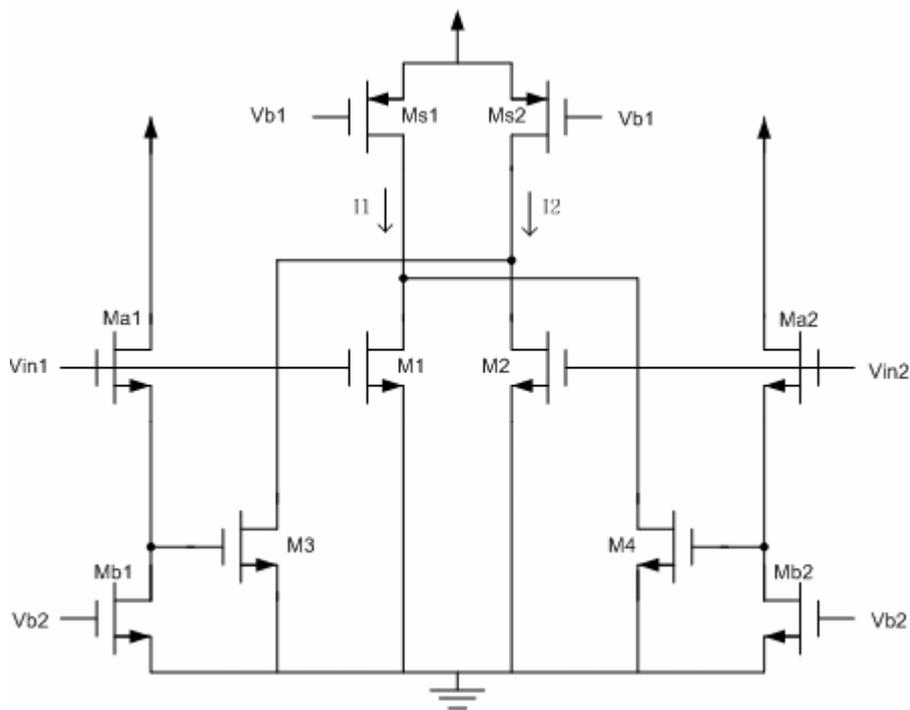


圖 4.1 以偏壓補償式為核心的轉導放大器

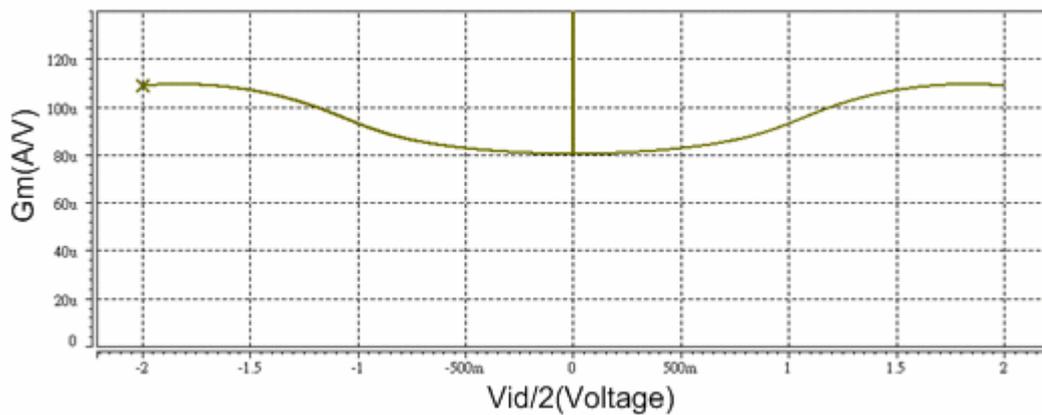


圖 4.2 轉導值模擬圖

4.1.2 改良型偏壓補償式轉導放大器 (bias-offset transconductor)

在本小節中提出的轉導放大器，修改自 4.1.1 節的轉導放大器電路(圖 4.2)，差異處在於產生偏壓補償的方式不同，架構如圖 4.3 所示。

M_1 、 M_2 與 M_3 、 M_4 為兩組交錯相接的差動對產生輸出電流，藉由電晶體 M_{t6} 、 M_{k6} 以及兩個運算放大器虛短路效應，提供這兩組差動對源極端不同的偏壓點。

與 4.1.1 節比較起來，利用這種架構產生偏壓可提高差動對之閘極-源極端偏壓，當差動對處於高的閘極-源極端偏壓，不易因較大的輸入訊號擺幅使差動對進入三級管區離開工作點，因此可以增加線性輸入範圍。

假設 M_1 、 M_2 與 M_3 、 M_4 源極端的電壓分別為 V_a 以及 V_b 且有相同的 (W/L) ，電流方程式可表示為：

$$I_1 = I_{M1} + I_{M4} \quad (4.5)$$

$$I_2 = I_{M2} + I_{M3} \quad (4.6)$$

將方程式(4.5)(4.6)相減可得

$$I_1 - I_2 = (I_{M1} - I_{M2}) + (I_{M4} - I_{M3}) \quad (4.7)$$

$$\begin{aligned} &= K(V_1 - V_a - V_t)^2 - K(V_2 - V_a - V_t)^2 \\ &\quad + K(V_1 - V_b - V_t)^2 - K(V_2 - V_b - V_t)^2 \end{aligned} \quad (4.8)$$

這裡 $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$ ，整理方程式(4.8)可得

$$I_1 - I_2 = -2K(V_a - V_b)(V_1 - V_2) \quad (4.9)$$

$$Gm = \frac{I_1 - I_2}{V_1 - V_2} = -2K(V_a - V_b) \quad (4.10)$$

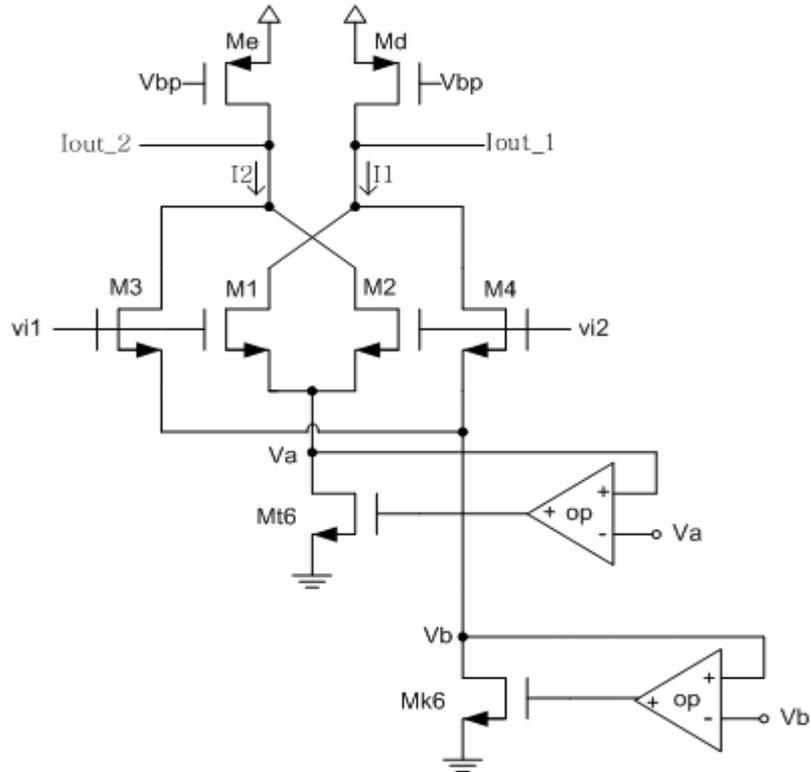


圖 4.3 改良型偏壓補償式轉導放大器

由於差動對源極端的偏壓點不相同的關係，造成 M_1 、 M_2 與 M_3 、 M_4 的 V_{bs} 不相同，造成本體效應，另一方面當輸入訊號有較大擺幅時， $M_1 \sim M_4$ 的 V_{gs} 處於高的電壓，受到飄移率下降和速度飽和的影響，因而使得電晶體電流的特性與平方定律(square law)二者表現結果不盡相同，模擬結果不像公式推導有完全線性的結果。

由公式(4.7)可知差動電流為 $I_1 - I_2 = (I_{M1} - I_{M2}) + (I_{M4} - I_{M3})$ ，可視為電晶體 M_1 和 M_2 產生的差動電流與電晶體 M_3 和 M_4 產生的差動電流相加，經模擬結果發現具有較高轉導值的差動對(即偏壓在較高 V_{gs} 的差動對)，其轉導值隨輸入電壓增加而衰減的量小於具有較低轉導值的差動對。我們修正的方法為，將原先具有較高轉導值差動對之通道寬度放大，使轉導值衰減量增加，透過模擬模擬的方式找出最適合的放大率，使兩組電晶體轉導值衰減量儘量相同，如此調整後可以得到較為線性差動轉導值，圖 4.7 為轉導器調整後的模擬結果，規格如表 4.2 所示。

表 4.2 改良式轉導放大器規格

轉導值	100 μ A/V
線性輸入範圍	-1~1 volt
誤差	低於 1%

未修正前，差動對電晶體(W/L)比例為 1：1，模擬見圖 4.5 與 4.6

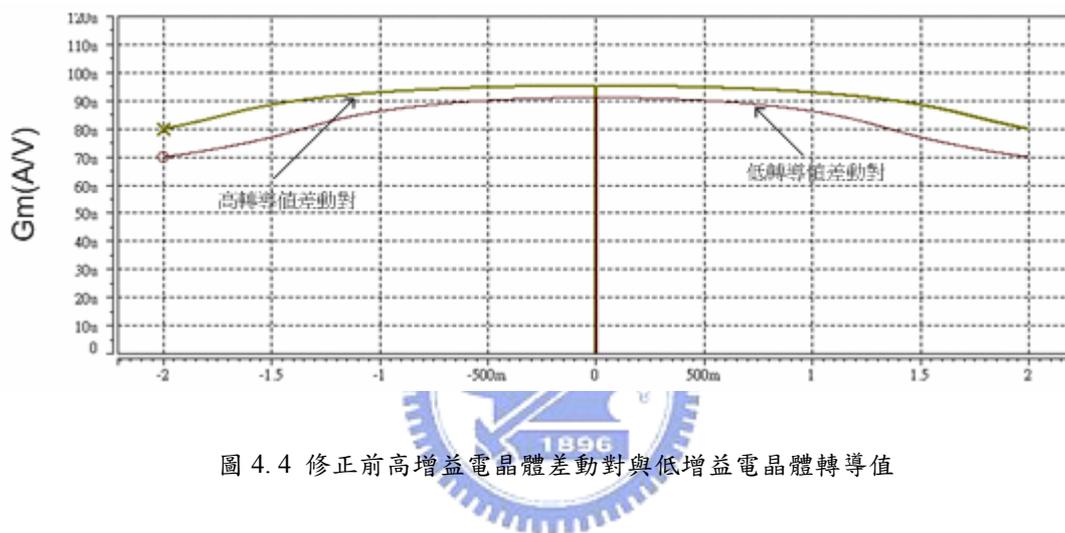


圖 4.4 修正前高增益電晶體差動對與低增益電晶體轉導值

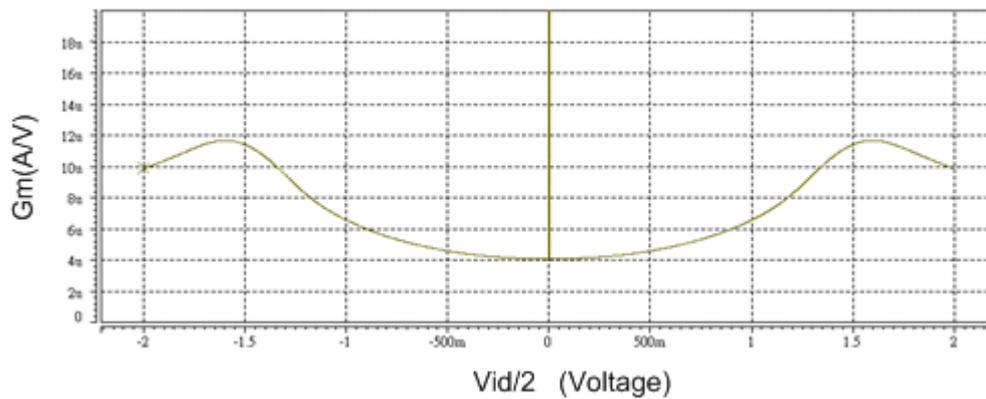


圖 4.5 修正前整體差動輸出轉導值

修正差動對(W/L)比例後， V_a 、 V_b 維持不變，模擬結果如圖 4.6、4.7，線性度具

有明顯的改進，同時轉導值也提升。

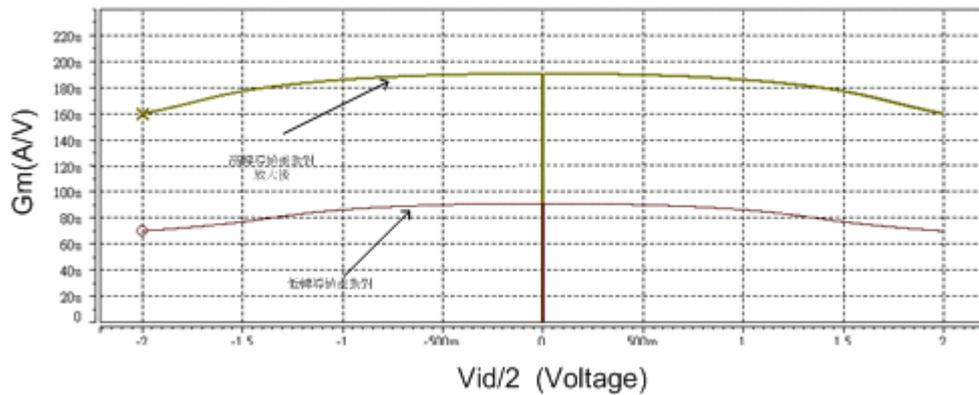


圖 4.6 修正後高增益電晶體差動對與低增益電晶體轉導值

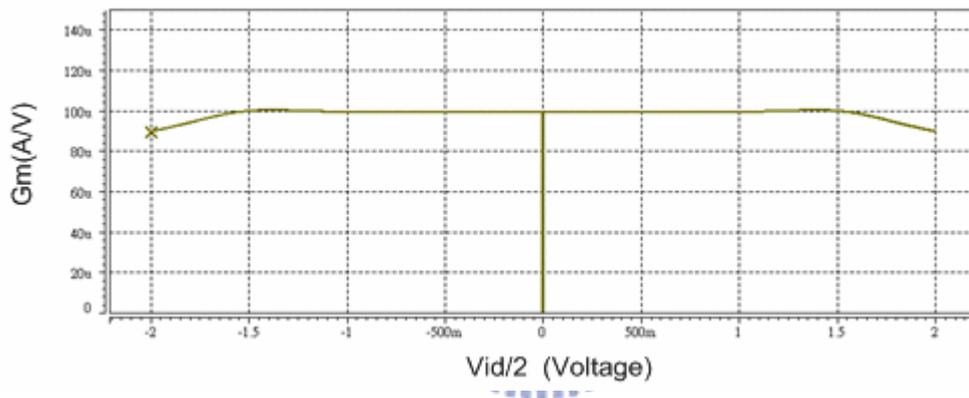


圖 4.7 修正後整體差動輸出轉導值

4.1.3 三級管區式轉導放大器 (triode-based transconductor)

本小節所提的轉導放大器，如圖 4.8 所示，修改自 3.4 節的轉導放大器電路(圖 3.8)，但省略在圖 3.8 中電流調節器電路，造成的影響為，當改變偏壓(V_{ctr})使轉導值增加時，將會降低性輸入範圍。解決方案為，選取適合之(V_{ctr})，提供固定轉導值，透過模擬確認此固定偏壓所決定之線性輸入範圍符合我們FPAA的應用。

圖 4.9 為轉導器調整後的模擬結果，規格如表 4.3 所示。

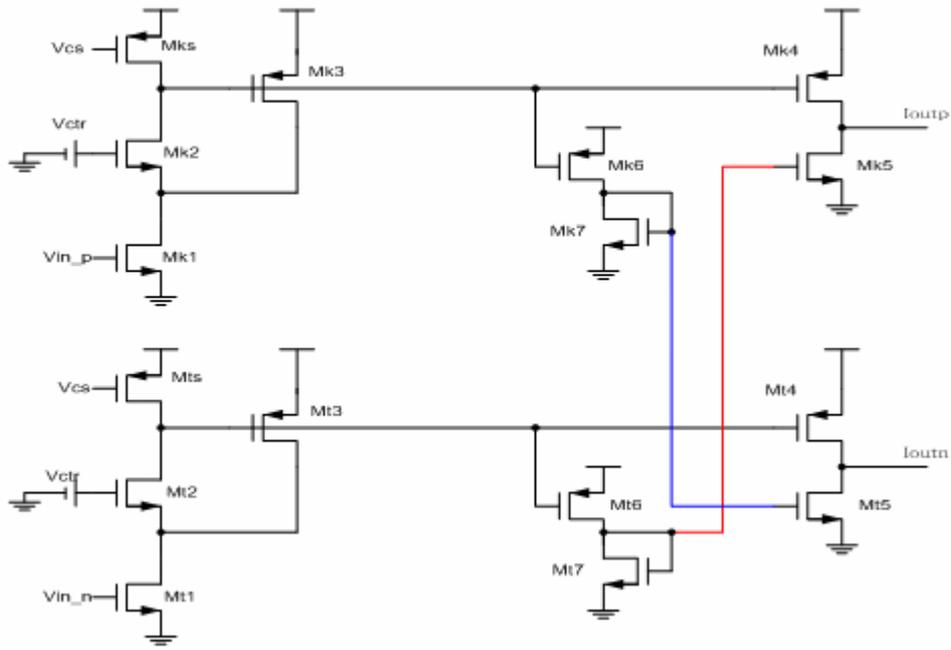


圖 4.8 以三極體區為核心的轉導放大器

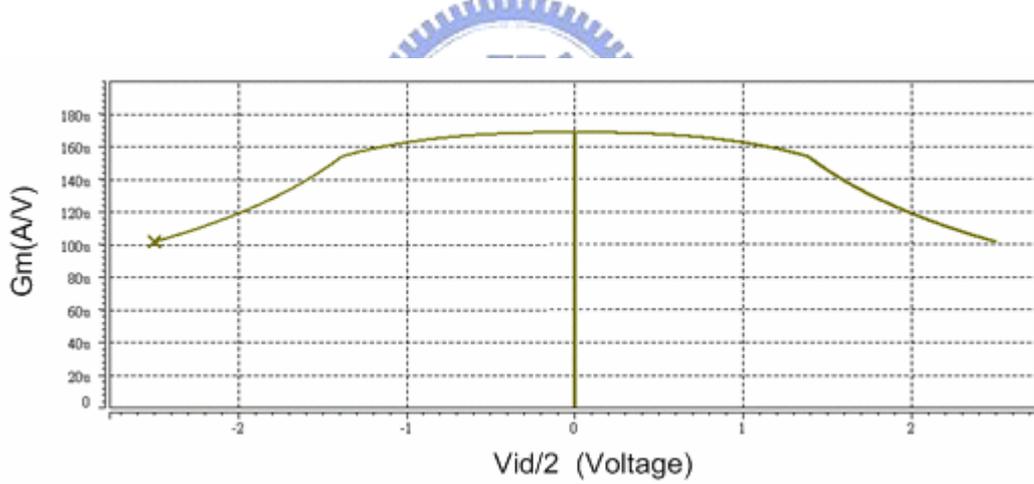


圖 4.9 差動轉導值

表 4.3 三級管區式轉導放大器規格

轉導值	163 μ A/ V
線性輸入範圍	-1~1 volt
誤差	3.55%

4.2 運算放大器

本節設計的運算放大器如圖 4.10 所示，架構上為雙端輸入、雙端輸出、單級放大，具共模抵抗能力的特性。

電晶體 M_1 、 M_2 將電壓輸入訊號轉換成電流，透過電流鏡 M_3 、 M_4 、 M_7 和 M_8 將電流訊號傳遞至輸出級，電晶體 M_{5a} ~ M_{8a} 與 M_5 、 M_6 提供輸出汲偏壓，並將輸入訊號所產生的電流反向傳遞至輸出級，使得輸出級具有共模抵抗能力。另一個增加共模抵抗能力的方法為，調整電晶體 M_5 的通道長度增加 r_{o,M_5} ，觀察電晶體 M_5 ， M_5 汲極端電流為 M_1 與 M_2 源極端電流的總合，當輸入共模訊號使電晶體 M_1 與 M_2 源極端電流增加時，迫使 M_5 汲極端電壓降低以滿足 M_1 與 M_2 增加的電流，由於 M_5 汲極端電壓下降使得 $V_{sg,M1}$ 與 $V_{sg,M2}$ 電壓下降， $I_{source,M1}$ 與 $I_{source,M2}$ 也隨著降低，同理當共模訊號使 M_1 與 M_2 源極端電流減少時， M_5 汲極端電壓將會增加抑制 M_1 與 M_2 源極端電流發生改變，增加 r_{o,M_5} 可以使得 M_5 汲極端電壓對於 M_1 與 M_2 源極端電流改變更敏感，提高共模抵抗的效果。

此外放大器在我們設計之FPAA系統中為系統的輸出級與回授電容連接，因此需要有足夠的電流推動能力，故將輸出級電晶體 M_5 ~ M_8 並聯放大。

圖 4.11 為小訊號增益以及相位模擬圖，圖 4.12 為共模增益模擬圖，我們將放大器規格整理於表 4.4 中。由圖 4.12 可以看出具有很好的共模增益抑制能力。

表 4.4 運算放大器規格

增益	41.7dB
3dB 頻率點	5.27Meg
相位限度	53°
共模互斥比	69.5dB

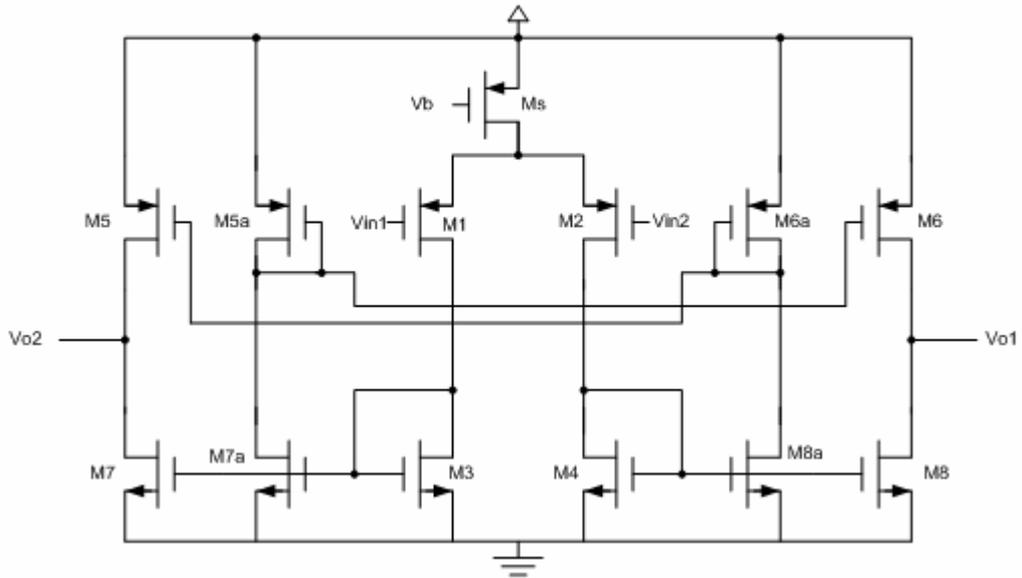


圖 4.10 運算放大器架構

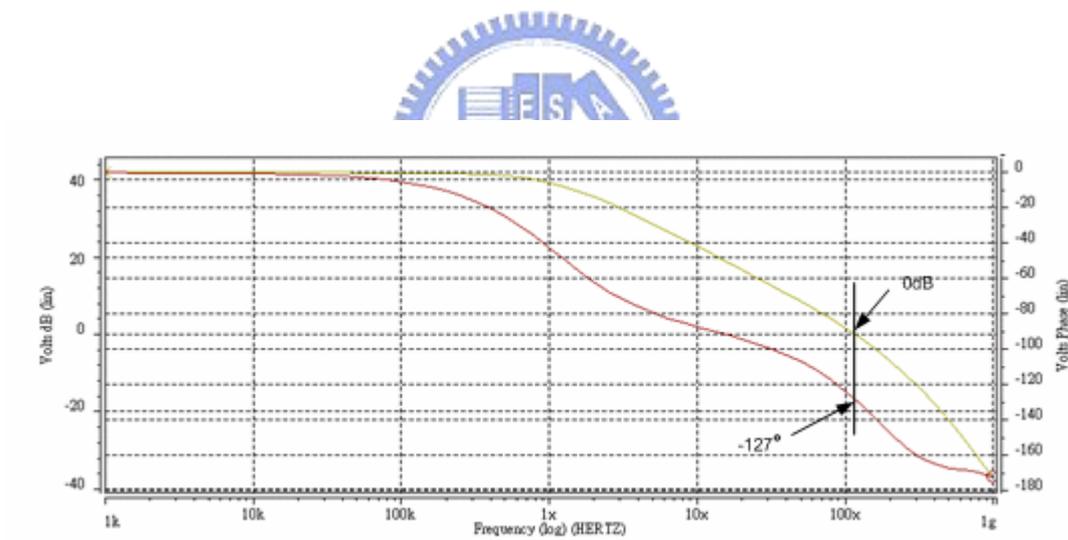


圖 4.11 小訊號增益以及相位

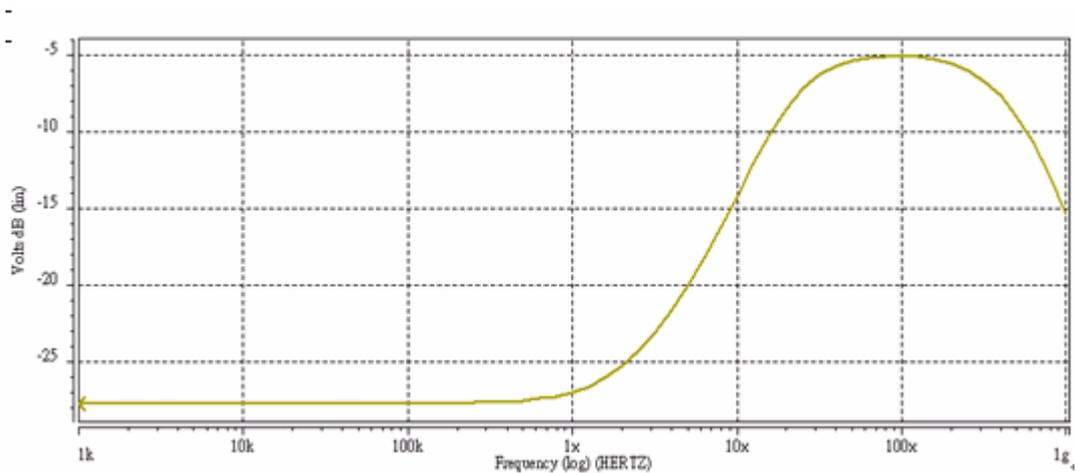


圖 4.12 共模增益

4.3 參考電壓源

參考電壓源使用在偏壓電路的設計上，提供穩定且不受溫度影響的直流電壓源，維持整體電路中各個電路系統直流偏壓的工作點位置，因此參考電壓源必須能克服各種環境參數變動，提供準確與穩定的偏壓值。本節說明兩種不同架構的參考電壓源電路，4.3.1 小節介紹以全 CMOS 電路產生定轉導值式電壓源，為第一次下線電路之參考電壓源，4.3.2 小節介紹以 BJT 構成的能隙參考電壓，為第二次下線電路之參考電壓源，其中全 CMOS 之定轉導值式電壓源在晶片製作上具有較小的面積，而 BJT 構成的能隙參考電壓源能提供較穩定的參考電壓。

4.3.1 固定轉導值式電壓源 (constant-transconductance bias circuit)

本小節介紹的電壓源如圖 4.13 所示，電壓源、製程參數或是溫度改變的情況下每個電晶體皆能產生固定的轉導值[14]。

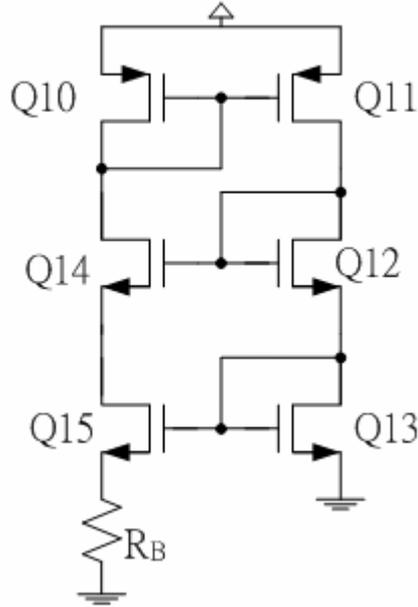


圖 4.13 固定轉導值式電壓源原型

令 I_{Di} 為 Q_i 之 I_D 電流，首先假設 $(W/L)_{10} = (W/L)_{11}$ ，由於 Q_{10} 、 Q_{11} 為電流鏡，能讓兩邊電路產生相同的電流，因此 $I_{D15} = I_{D13}$ 。觀察 Q_{13} 、 Q_{15} 以及 R_B 所構成的迴路，可以得到

$$V_{GS13} = V_{GS15} + I_{D15} R_B \quad (4.11)$$

將方程式(4.11)兩邊減掉 V_t ，再以 V_{eff} 取代 $V_{GSi} - V_t$ ，可得

$$V_{eff13} = V_{eff15} + I_{D15} R_B \quad (4.12)$$

方程式(4.12)也可以寫成

$$\sqrt{\frac{2I_{D13}}{\mu_n C_{OX} (W/L)_{13}}} = \sqrt{\frac{2I_{D15}}{\mu_n C_{OX} (W/L)_{15}}} + I_{D15} R_B \quad (4.13)$$

並且因為 $I_{D13} = I_{D15}$ ，我們也可以把方程式(4.13)寫成

$$\sqrt{\frac{2I_{D13}}{\mu_n C_{OX} (W/L)_{13}}} = \sqrt{\frac{2I_{D13}}{\mu_n C_{OX} (W/L)_{15}}} + I_{D13} R_B \quad (4.14)$$

重新排列後方程式(4.14)可得

$$\frac{2}{\sqrt{2\mu_n C_{OX} (W/L)_{13} I_{D13}}} \left[1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{15}}} \right] = R_B \quad (4.15)$$

在方程式(4.15)中， $g_{m13} = \sqrt{2\mu_n C_{OX} (W/L)_{13} I_{D13}}$ ，因而可以得到

$$g_{m13} = \frac{2 \left[1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{15}}} \right]}{R_B} \quad (4.16)$$

從方程式(4.16)可知 Q_{13} 的轉導值由電阻 R_B 以及 Q_{13} 和 Q_{15} 的 (W/L) 比決定，與電壓源、製程參數、溫度或是其他大變動的參數無關。不僅只是 g_{m13} 具有穩定的轉導值，其他電晶體的轉導值也一樣穩定，因為其他的電晶體也處在同一個偏壓網路上，因此轉導值主要和電晶體之間的 (W/L) 比有關。對於所有 n 型通道的電晶體

$$g_{mi} = \sqrt{\frac{(W/L)_i I_{Di}}{(W/L)_{13} I_{D13}}} \times g_{m13} \quad (4.17)$$

對於所以 p 型通道的電晶體

$$g_{mi} = \sqrt{\frac{\mu_p (W/L)_i I_{Di}}{\mu_n (W/L)_{13} I_{D13}}} \times g_{m13} \quad (4.18)$$

在上述推導中，我們忽略了许多二階效應，如電晶體輸出電阻和本體效應，這個方程式會受到本體效應而稍微改變，主要的關係式仍是在於電晶體尺寸的比例，主要的影響在於電晶體有限輸出電阻，要減少這個效應的影響可以採用疊接的電流鏡。

圖 4.14 的電路是以圖 4.13 中的電路做為設計基礎，採用疊接式的電流鏡，以增加電晶體輸出組抗，減少有限輸出電阻二階效應的影響，以及包含啟動電

路，避免電路在零電流狀態無法啟動。

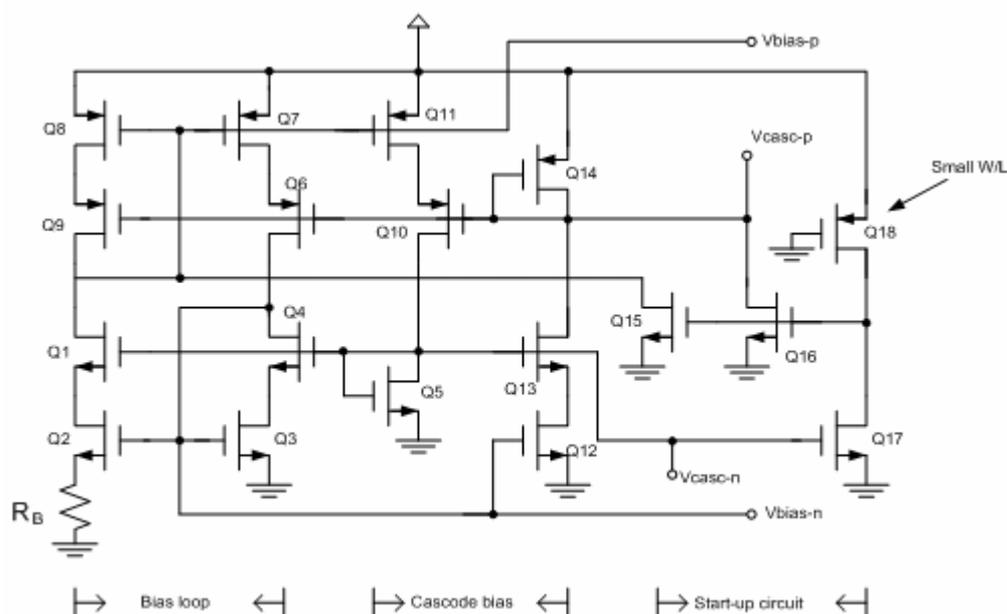


圖 4.14 固定轉導值式電壓源

n 型通道疊接的電流鏡包含電晶體 $Q_1 - Q_4$ ，以及二極體連接式電晶體 Q_5 。 Q_3 和 Q_4 的工作行為如同二極體連接式電晶體， Q_1 和 Q_4 的閘極端偏壓由二極體連接式電晶體 Q_5 提供， Q_5 的偏壓電流由偏壓迴路 Q_{10} 和 Q_{11} 取得。

相同的 p 型通道疊接的電流鏡由 $Q_6 - Q_9$ 組成， Q_8 和 Q_9 的工作行為如同二極體連接式電晶體， Q_6 和 Q_9 閘極端的電壓由二極體連接式電晶體 Q_{14} 提供， Q_{14} 的偏壓電流由偏壓迴路 Q_{12} 和 Q_{13} 取得。

這個偏壓迴路有一個問題為所有的電晶體有可能會處在一個零電流的狀態，而且永遠保持穩定，為了確保這個情形不會發生，因此必須加入啟動電路，而這個啟動電路只有在偏壓迴路為零電流時才會發生影響。當所有的偏壓迴路的電流為零時， Q_{17} 會被關閉，而 Q_{18} 的工作特性如一個永遠導通的高組抗的電阻，

因此 Q_{15} 和 Q_{16} 的閘極端電壓會被拉高，這兩個電晶體會注入電流到偏壓迴路中，將這個電路啟動。一旦這個迴路啟動， Q_{17} 也會跟著啟動，將 Q_{18} 的全部電流導走，使得 Q_{15} 和 Q_{16} 的閘極端電壓降低，關閉 Q_{15} 和 Q_{16} ，因此電路啟動後不再影響偏壓迴路。

圖 4.15 為固定轉導值式電壓源模擬圖，包含兩組設定的偏壓點，一組偏壓在 3.5V，另一組偏壓在 1V，我們將電壓源規格整理於表 4.5 中。

表 4.5 固定轉導值式電壓源規格(Vdd=5V)

模擬溫度範圍	-20~100 °C
第一組偏壓值	3.5V
第一組偏壓最大變化量	30mV
第二組偏壓值	1V
第二組偏壓最大變化量	10mV

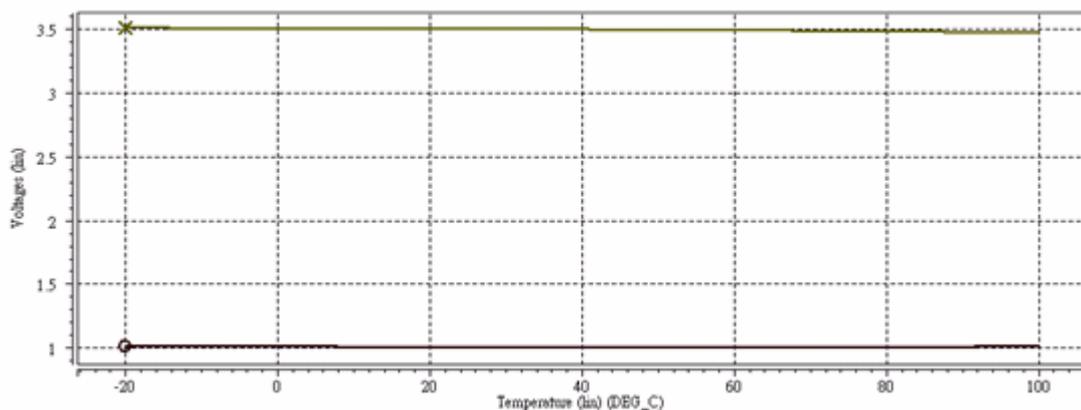


圖 4.15 固定轉導值式電壓源模擬圖

4.3.2 能隙參考電壓源 (bandgap reference voltage)

基本原理如圖 4.16 所示，由正溫度係數電壓與負溫度係數電壓將加，以獲得一個與溫度係數無關的穩定電壓源[15]。

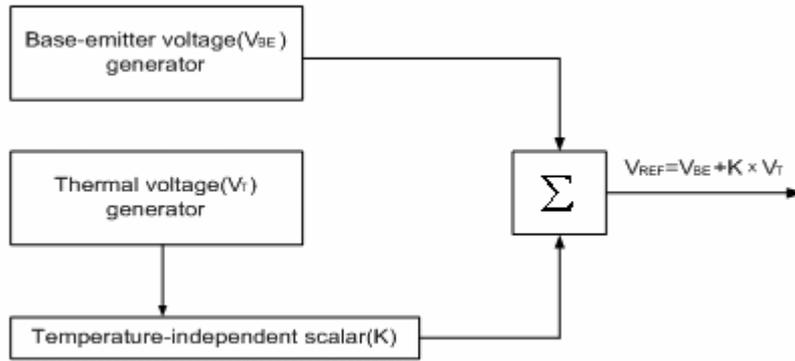


圖 4.16 能隙電壓參考電壓電路示意圖

能隙參考電壓源核心電路如圖 4.17，理論上誤差放大器有高的電壓增益A，因此能使 $V_A = V_B$ ，假設 $R_2 = R_3$ 且電晶體 M_1 與 M_2 對稱，因此 $V_{DS1, M1} = V_{DS2, M2}$ 使得 M_1 與 M_2 源極電流相同，在 $I_{drain, M1} = I_{drain, M2}$ 的條件下，流過BJT Q_1 的電流I可以表示為

$$\begin{aligned}
 I &= \frac{V_{EB2} - V_{EB1}}{R_1} \\
 &= \frac{V_T \ln \frac{I}{I_s} - V_T \ln \frac{I/N}{I_s}}{R_1} \\
 &= \frac{V_T \ln N}{R_1} \quad (4.19)
 \end{aligned}$$

V_{ref} 電壓為 V_{EB2} 加上電流I在 R_2 上的壓降，由方程式(4.19)得到電流I，因此 V_{ref} 可以表示為：

$$\begin{aligned}
 V_{ref} &= V_{EB2} + IR_2 \\
 &= V_{EB2} + \left(\frac{R_2}{R_1}\right)V_T \ln N \quad (4.20)
 \end{aligned}$$

這裡的N代表 Q_1 的並聯數。由方程式(4.20)可以知道參考電壓由正溫度係數 V_{EB2} 與負溫度係數 V_T 以及與溫度無關的常數 $(R_2 / R_1) \cdot \ln N$ 組成。藉由適當的調整電阻 (R_2 / R_1) 的比值與 Q_1 並聯數N，可以得到受溫度變化影響很小的參考電壓 V_{ref} 。

圖 4.18 為完整的固定轉導值式電壓源電路，模擬結果見圖 4.19，模擬三組製程參數 FF、TT 與 SS，電壓源規格整理於表 4.6 中，表中 FF、TT 與 SS 表示製程參數。

表 4.6 能隙參考電壓電流源規格

模擬溫度範圍	-40~140 °C
偏壓值設定	1.2V
電壓變化最大量 FF	3.4mV
電壓變化最大量 TT	4mV
電壓變化最大量 SS	2.8mV

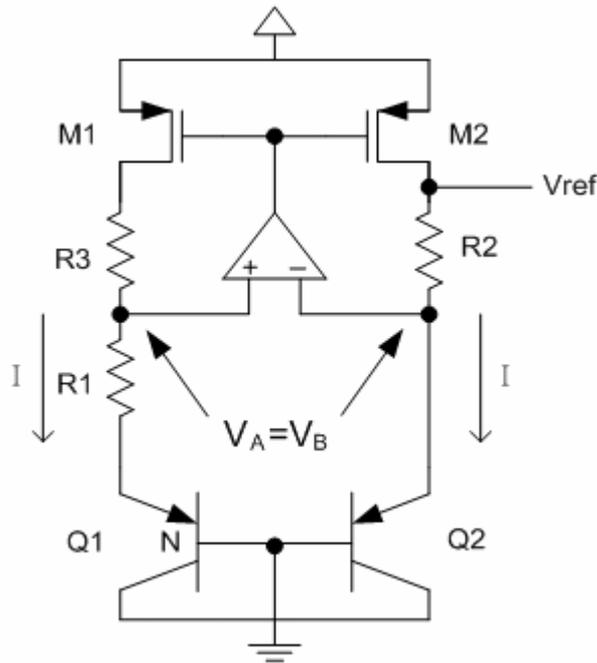


圖 4.17 能隙電壓參考電壓核心電路

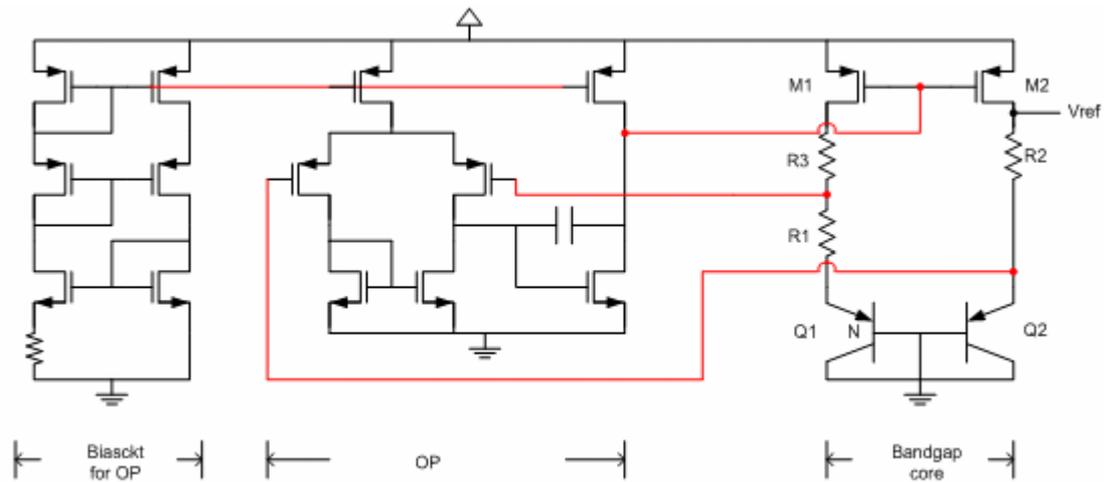


圖 4.18 能隙參考電壓完整電路

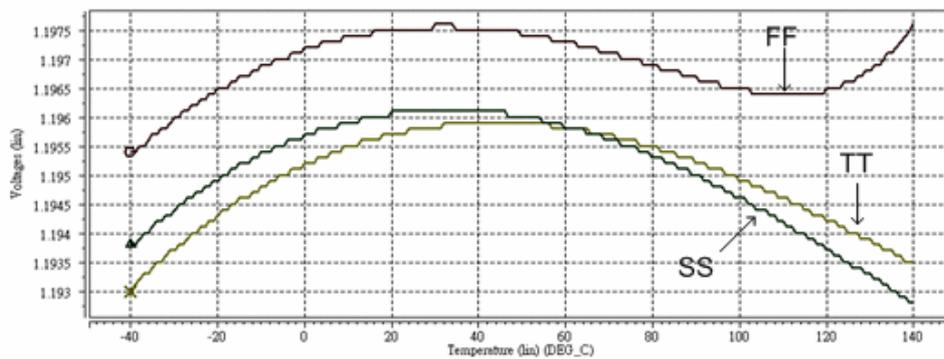


圖 4.19 電壓對溫度變化模擬結果

4.4 暫存器

為了實現重複程式化的功能，我們以暫存器當做系統中的記憶電路，負責儲存控制類比開關的訊號。記憶電路採用正緣觸發的 D 型觸發器 (DFF)，由四個反向器以及四個傳輸閘組成。如圖 4.20 所示，當 \overline{CLK} 為 1、 CLK 為 0 時，輸入信號進入主電路，僕電路保持前一次輸入的信號；當 \overline{CLK} = 1、 CLK = 0 變為 CLK = 1、 \overline{CLK} = 0 的瞬間，儲存在主電路的訊號傳遞至僕電路。

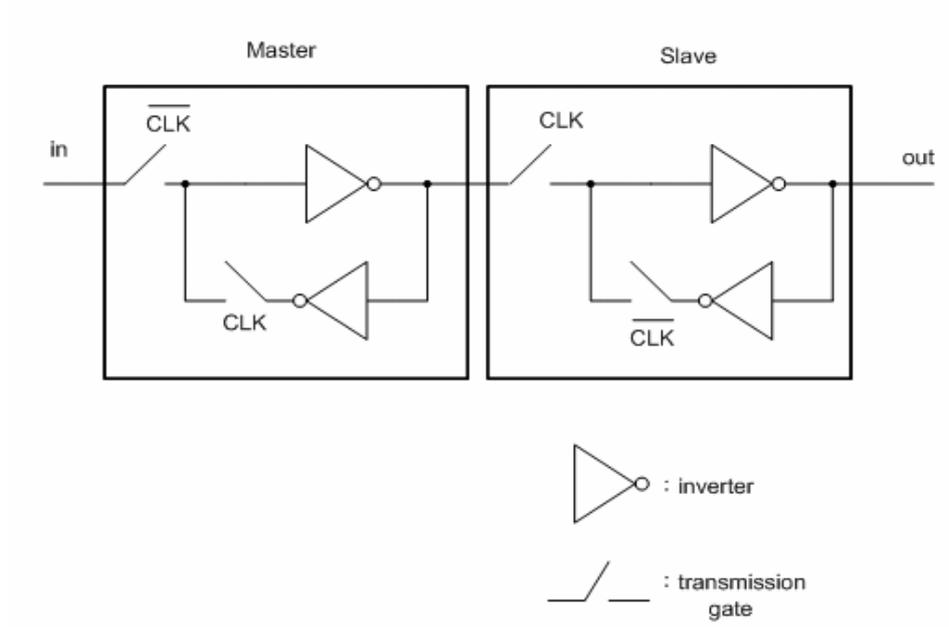


圖 4.20 暫存器示意圖

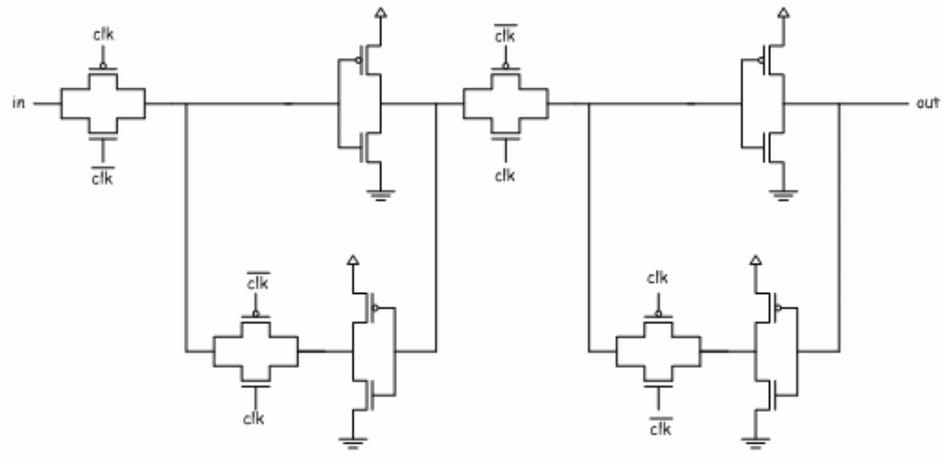


圖 4.21 暫存器電路圖

4.5 類比開關

類比開關是由 NMOS 與 PMOS 並聯的傳輸開組成，並以信號 S 以及反向信號 \bar{S} 分別控制 NMOS 與 PMOS 的閘極端電壓。由於我們設計的電路是以雙端訊號作為傳輸，如圖 4.22 所示，因此需要兩個傳輸開才能傳遞一組雙端訊號。

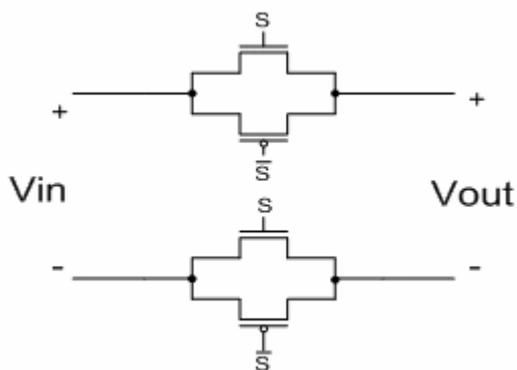


圖 4.22 雙端類比開關

此外新增一組傳輸開，將輸入信號與輸出訊號的正負端交叉相接，如圖 4.23 中 S_2 控制的傳輸開，功能為將輸入訊號反相傳遞至輸出端。透過兩組控制開關訊號 S_1 、 S_2 可以達到正相傳輸、反相傳輸或截斷訊號。

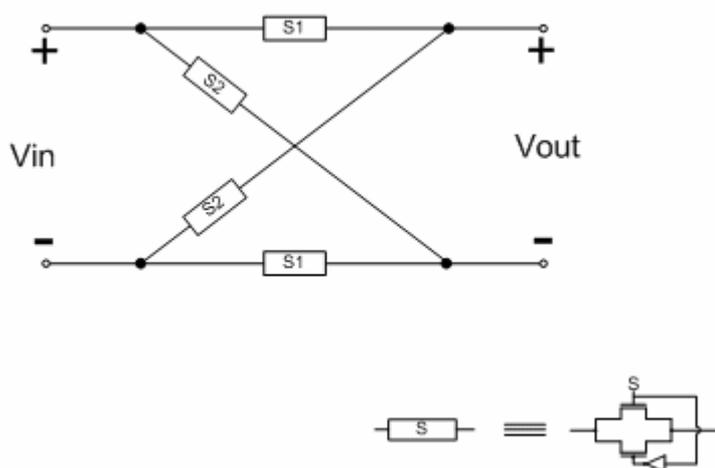


圖 4.23 雙端可反向類比開關

當電晶體當作類比開關使用時，它的工作區域為三極體區，以 NMOS 來說，傳遞的訊號最大值為 $V_{DD} - V_m$ ，其等效電阻($R_{on|N}$)為

$$R_{on|N} = \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_N (V_{DD} - V_{in} - V_m)} \quad (4.21)$$

由方程式(4.21)可知， $R_{on|N}$ 值並非一個定值，會隨著輸入信號 V_{in} 改變，當 V_{in} 增加 $R_{on|N}$ 也隨著增加，反之當 V_{in} 減少 $R_{on|N}$ 也隨著減少。以 PMOS 而言，傳遞訊號最小值為 $|V_{tp}|$ ，其等效電阻($R_{on|P}$)為

$$R_{on|P} = \frac{1}{\mu_p C_{OX} \left(\frac{W}{L}\right)_P (V_{in} - |V_{tp}|)} \quad (4.22)$$

$R_{on|P}$ 值會隨著輸入信號 V_{in} 改變，然而當 V_{in} 增加 R_{on} 隨著減少，當 V_{in} 減少 $R_{on|P}$ 隨著增加。我們將 NMOS 與 PMOS 形成的類比開關並聯

$$\begin{aligned} R_{onEQ} &= R_{on|N} // R_{on|P} \\ &= \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_N (V_{DD} - V_{in} - V_m)} // \frac{1}{\mu_p C_{OX} \left(\frac{W}{L}\right)_P (V_{in} - |V_{tp}|)} \\ &= \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_N (V_{DD} - V_{in} - V_m) + \mu_p C_{OX} \left(\frac{W}{L}\right)_P (V_{in} - |V_{tp}|)} \end{aligned} \quad (4.23)$$

整理方程式(4.23) V_{in} 項得到

$$R_{onEQ} = \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_N (V_{DD} - V_m) + \mu_p C_{OX} \left(\frac{W}{L}\right)_P (|V_{tp}|) - \left[\mu_n C_{OX} \left(\frac{W}{L}\right)_N - \mu_p C_{OX} \left(\frac{W}{L}\right)_P \right] V_{in}} \quad (4.24)$$

調整 NMOS 與 PMOS 傳輸開的 $\frac{W}{L}$ 比例，使得

$$\mu_n C_{OX} \left(\frac{W}{L}\right)_N = \mu_p C_{OX} \left(\frac{W}{L}\right)_P \quad (4.25)$$

將方程式(4.25)帶入(4.24)中，等效電阻可化減為

$$R_{on|EQ} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_m - |V_{tp}|)} \quad (4.26)$$

可將等效電阻變為一個不受 V_{in} 影響的常數值，獲得較穩定的開關電阻。

我們設計的傳輸閘電晶體尺寸 $\left(\frac{W}{L}\right)_N = \frac{1.5\mu}{0.5\mu}$ 、 $\left(\frac{W}{L}\right)_P = \frac{4.5\mu}{0.5\mu}$ 。傳輸閘兩端在直流偏壓點為 2.5V，VDD 為 5V 的條件下，模擬結果如圖 4.24。由模擬結果可得知開關電阻值約為 3KΩ，且會隨著小訊號擺動而改變。為了不影響訊號傳輸，我們改善的方法為將 NMOS 與 PMOS 並聯數倍，使電阻值縮小，在我們的設計上為並聯 10 倍，開關電阻因此降低為 0.3KΩ，擺動值縮小至 0.06KΩ。

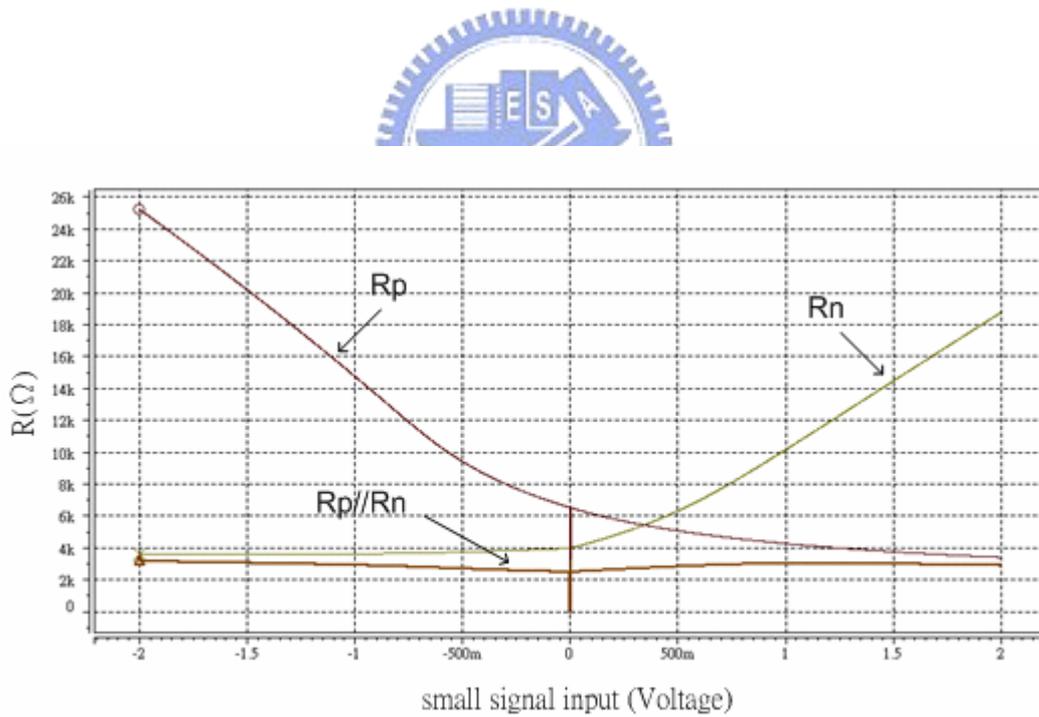


圖 4.24 以 $\left(\frac{W}{L}\right)_N = \frac{1.5\mu}{0.5\mu}$ $\left(\frac{W}{L}\right)_P = \frac{4.5\mu}{0.5\mu}$ 模擬開關電阻

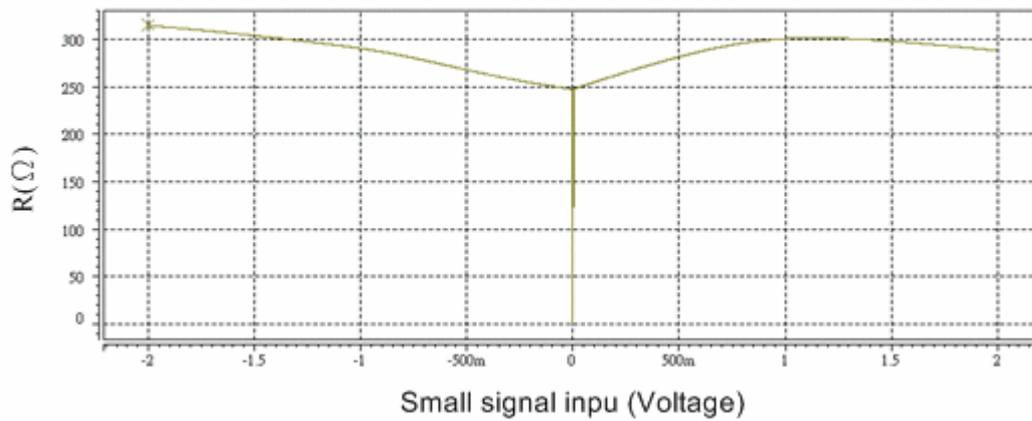


圖 4.25 開關電阻並聯 10 組

4.6 電容

在 FPA 電路設計系統上需要線性的電容陣列，因此必須適當的排列電容位置，減少製程飄移影響以及繞線產生的寄生電容。以設計 4bits 的電容陣列來說(如圖 4.26)，需要 15 個相同單位電容，單位電容必須具遠大於由基板和互連導線所產生的寄生電容[16]。

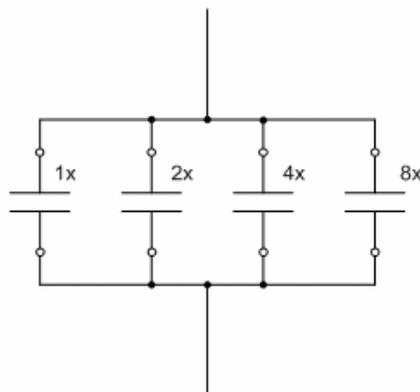
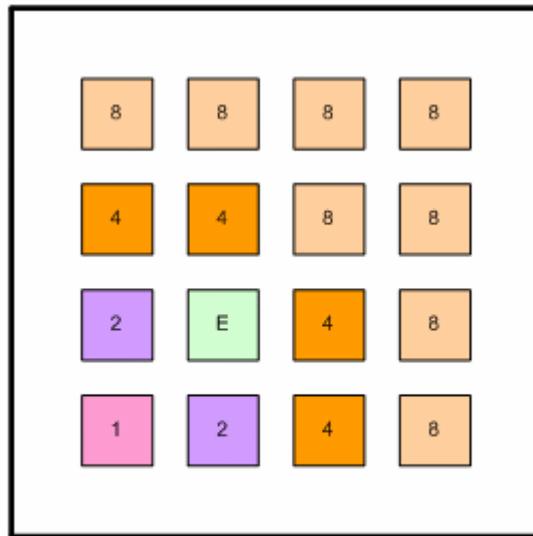


圖 4.26 電容陣列示意圖

在佈局排列上，如圖 4.27 所示，包含編號 1、2、4、8 四組電容，以及一個作為匹配用的電容(編號 E)，編號相同的電容對稱分部於電容陣列的對角線且相互緊鄰著，可減少連接時繞線上產生的寄生電容以及寄生電阻。



capacitor array



圖 4.27 電容陣列佈局配置圖

第五章 可程式化電路系統

設計的可程式化電路所能實現的功能包含積分器、一階濾波器以及二階濾波器，這些電路皆使用轉導器與運算放大器組成，藉由特定合成的法則，可將相同的元件重複規劃為不同的系統電路。

5.1 積分器

本篇論文中實現濾波器時，如一階、二階濾波器或更高階的濾波器，皆會使用到積分器作為合成的元件。積分器的架構如圖 5.1 所示，為雙端輸入、雙端輸出，數學式可表示為

$$\frac{V_o}{V_i} = \frac{G_m}{sC} \quad (5.1)$$

其中 $V_o = V_{o1} - V_{o2}$ 、 $V_i = V_{in1} - V_{in2}$ ， G_m 為轉導器之差動轉導值。

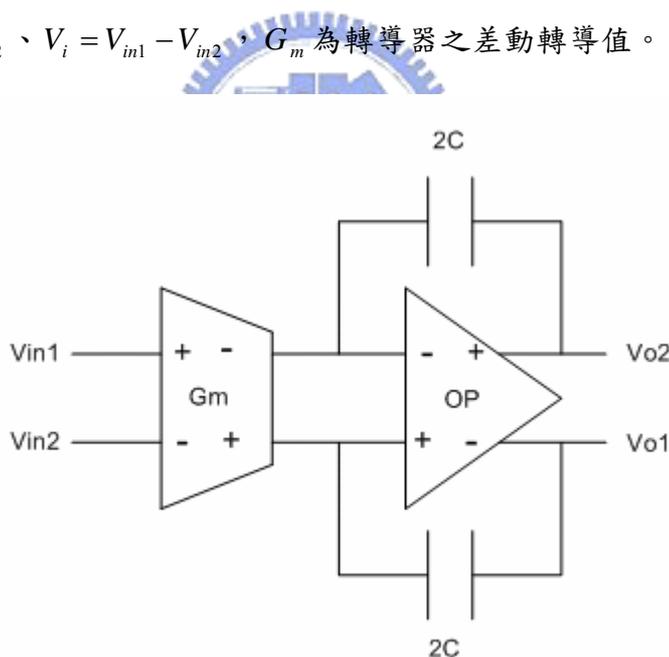


圖 5.1 積分器

在積分器電路中，採用 4.1.2 小節提出的轉導器與 4.2 節的運算放大器作為電路元件進行模擬。積分器輸入訊號為偏壓在 3 V，振幅為 0.2 V 的差動入方波，積分電容為 15pF。圖 5.2 為積分器模擬波形，由於轉導器兩端輸出電流不相等，因此在運算放大器輸入端產生非線性效應，造成積分波形略帶彎曲，利用轉導器

差動輸出電流為定值的特性，將雙端輸出電壓相減可獲得相當線性的差動輸出訊號，如圖 5.3 所示。

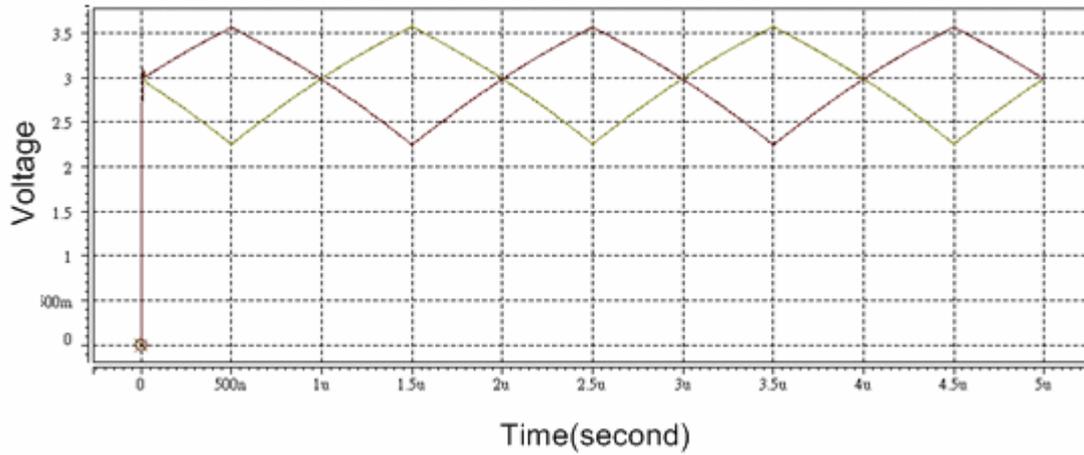


圖 5.2 積分器雙端輸出端電壓

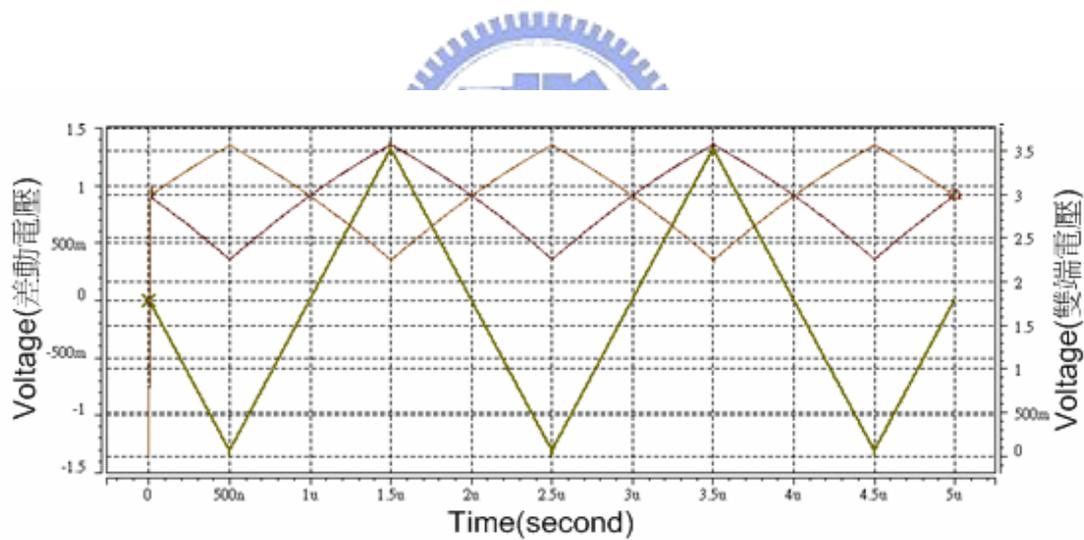


圖 5.3 積分器差動輸出結果

5.2 一階濾波器

一階濾波器架構如圖 5.4 所示，由 5.1 節的積分器加上一個轉導放大器以及一組回授電容所組成。轉移函式推導過程如下

$$\text{假設 } V_i = V_{in1} - V_{in2}$$

$$V_o = V_{o1} - V_{o2}$$

在圖 5.4 可知

$$I_1 = \frac{V_i}{sC_x} \quad (5.2)$$

$$I_2 = G_{m1} \cdot V_i \quad (5.3)$$

$$I_3 = G_{m2} \cdot V_o \quad (5.4)$$

V_o 為電流 I_1 、 I_2 和 I_3 流過電容 C_a 產生的壓降

$$V_o = (I_1 + I_2 - I_3) \frac{1}{sC_a} \quad (5.5)$$

電流 I_1 、 I_2 和 I_3 由方程式(5.2)(5.3)(5.4)得到，代入方程式(5.5)整理後可得

$$\frac{V_o}{V_i} = \frac{s\left(\frac{C_x}{C_a}\right) + \left(\frac{G_{m1}}{C_a}\right)}{s + \left(\frac{G_{m2}}{C_a}\right)} \quad (5.6)$$

由方程式(5.6)可知各係數的值是可以調整的，各係數調整的範圍、電路面積大小以及線性度的考量為 FPAA 設計重點，必須配合應用的領域，設計最合適的可程式化類比陣列。

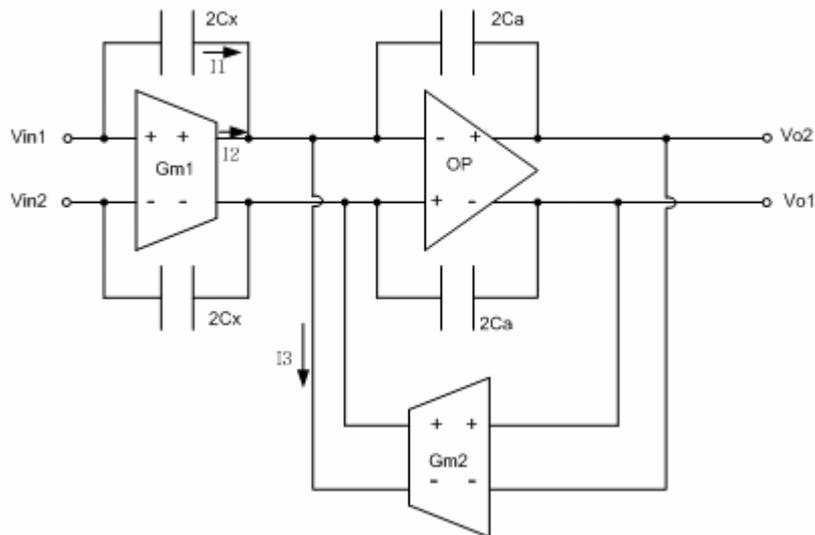


圖 5.4 一階濾波器

一階低通濾波器在電路實現上可以省略電容 C_x ，如圖 5.5，轉移函數可簡化為方程式(5.7)

$$\frac{V_o}{V_i} = \frac{G_{m1}}{s + \left(\frac{G_{m2}}{C_a}\right)} \quad (5.7)$$

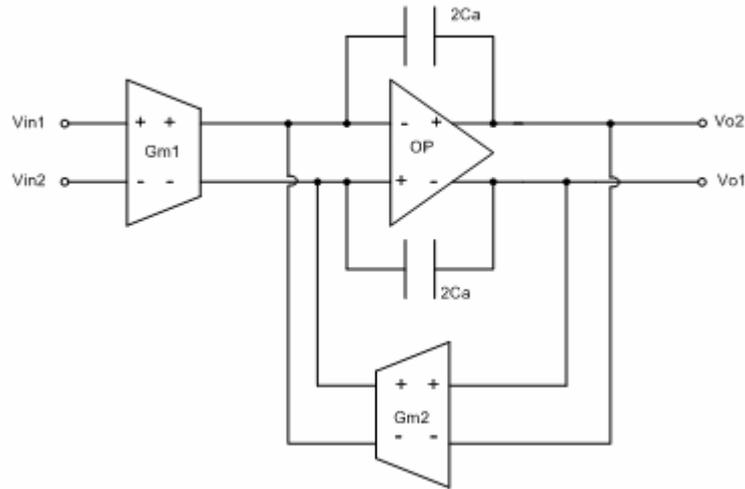


圖 5.5 一階低通濾波器

在圖 5.5 一階低通濾波器中，採用 4.1.2 小節提出的轉導器與 4.2 節的運算放大器作為電路元件以及分別以回授電容 $2C_a=5\text{P}$ 、 15P 和 45P 進行模擬，一階低通濾波器模擬波形如圖 5.6，縱軸為 V_o/V_i 單位(dB)，橫軸為頻率單位(log)(HERTZ)，由模擬結果可知，可藉由改變回授電容調整濾波器頻寬範圍。

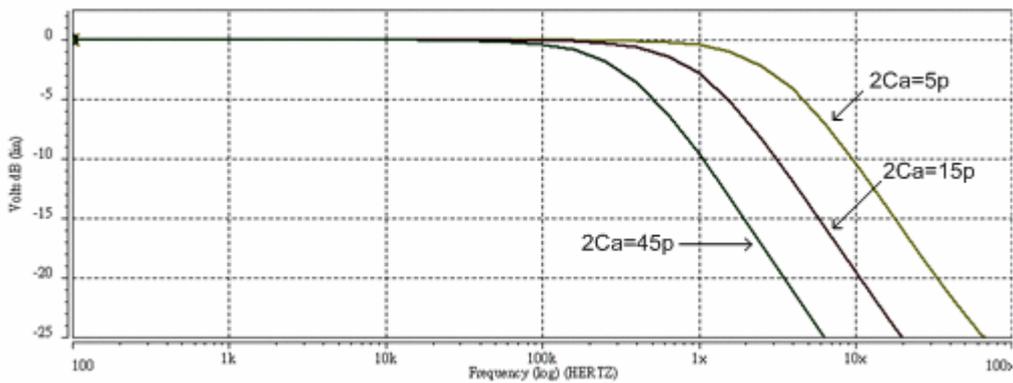


圖 5.6 一階低通濾波器模擬波形

5.3 二階濾波器

二階濾波器可以簡單的看成是由兩個一階濾波器再加上一個轉導放大器組合而成，如圖 5.7 所示。轉移函式推導過程如下

從 G_{m1} 、 G_{m4} 可得知電流

$$I_1 = G_{m1}V_o \quad (5.8)$$

$$I_4 = V_i G_{m4} \quad (5.9)$$

流過電容 C_a 的小訊號電流為 I_1 與 I_4 總合，由方程式(5.8)(5.9)可得到

$$I_{ca} = V_i G_{m4} - G_{m1}V_o \quad (5.10)$$

在OP1 輸出正端(N_1)以及負端(N_2)可得到小訊號電壓

$$N_1 = \frac{V_i G_{m4} - V_o G_{m1}}{2sC_a} \quad (5.11)$$

$$N_2 = -\frac{V_i G_{m4} - V_o G_{m1}}{2sC_a} \quad (5.12)$$

OP1 的輸出電壓為 G_{m2} 的輸入電壓，可得 G_{m2} 的輸出電流

$$I_2 = \frac{G_{m2}(V_i G_{m4} - V_o G_{m1})}{sC_a} \quad (5.13)$$

從 G_{m3} 、 G_{m5} 以及 C_x 可得知電流

$$I_3 = G_{m3}V_o \quad (5.14)$$

$$I_5' = V_i G_{m5} + V_i^+ s2C_x \quad (5.15)$$

$$I_5'' = V_i G_{m5} + (-V_i^-)s2C_x \quad (5.16)$$

I_2 、 I_3 、 I_5 最後過電容 C_b ，產生的壓降值為 V_o

$$V_o = -\frac{V_o G_{m3}}{sC_b} + \frac{V_i G_{m5} + V_i^+ s2C_x}{sC_b} + \frac{G_{m2}(V_i G_{m4} - V_o G_{m1})}{s^2 C_a C_b}$$

$$\left(1 + \frac{G_{m3}}{sC_b} + \frac{G_{m2}G_{m1}}{s^2C_aC_b}\right)V_o = \left(\frac{C_x}{C_b} + \frac{G_{m5}}{sC_b} + \frac{G_{m2}G_{m4}}{s^2C_aC_b}\right)V_i \quad (5.17)$$

整理方程式(5.17)，可得到轉移函數

$$\frac{V_o}{V_i} = \frac{s^2\left(\frac{C_x}{C_a}\right) + s\left(\frac{G_{m5}}{C_b}\right) + \left(\frac{G_{m2}G_{m4}}{C_aC_b}\right)}{s^2 + s\left(\frac{G_{m3}}{C_b}\right) + \left(\frac{G_{m1}G_{m2}}{C_aC_b}\right)} \quad (5.18)$$

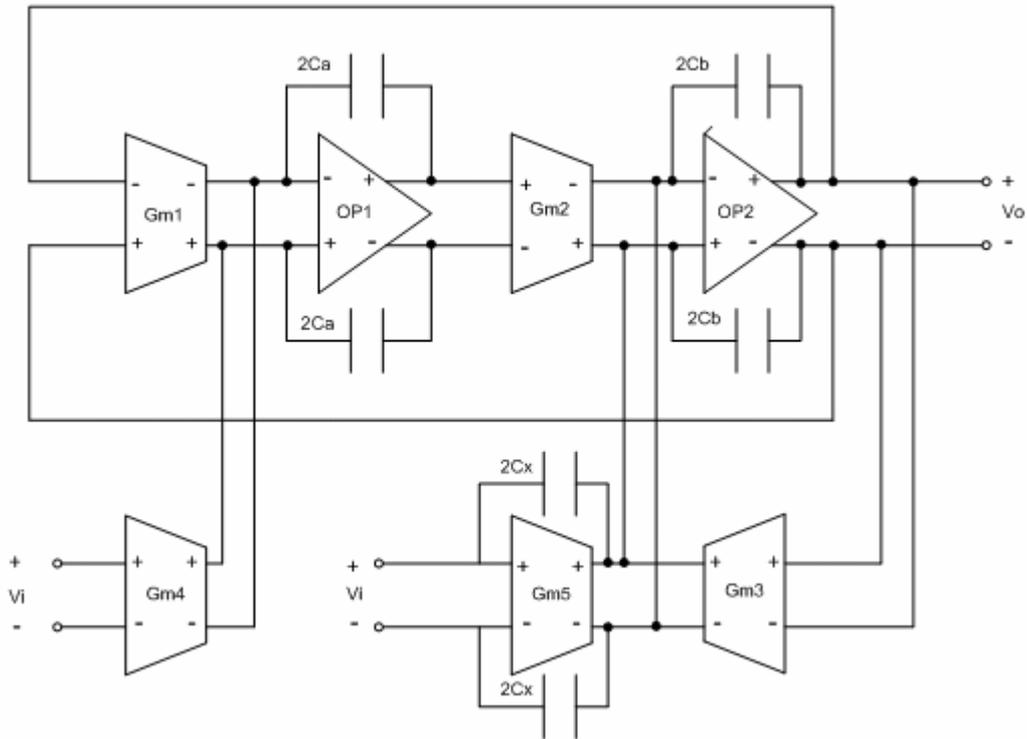


圖 5.7 二階濾波器

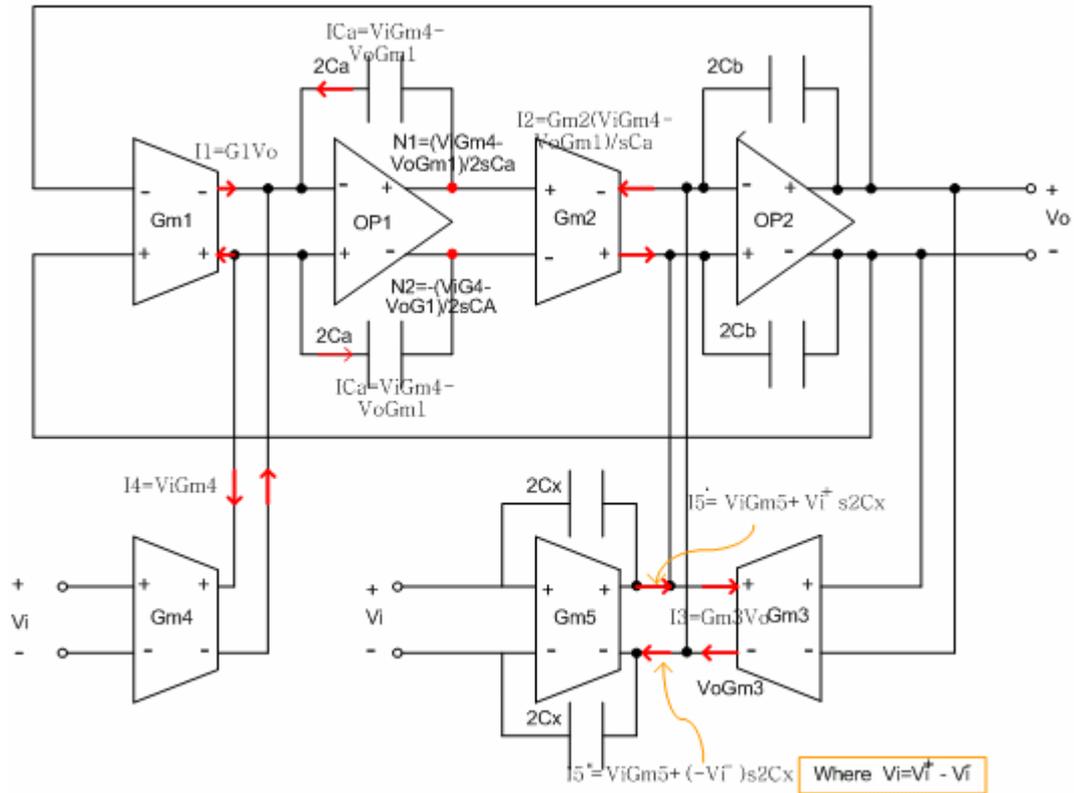


圖 5.8 二階濾波器轉移函數分析

欲構成低通濾波器在電路上可以省略轉導器 G_{m5} 及電容 C_x ，如圖 5.9，轉移函數可簡化為

$$\frac{V_o}{V_i} = \frac{\frac{G_{m2} G_{m4}}{C_a C_b}}{s^2 + s \left(\frac{G_{m3}}{C_b} \right) + \left(\frac{G_{m1} G_{m2}}{C_a C_b} \right)} \quad (5.19)$$

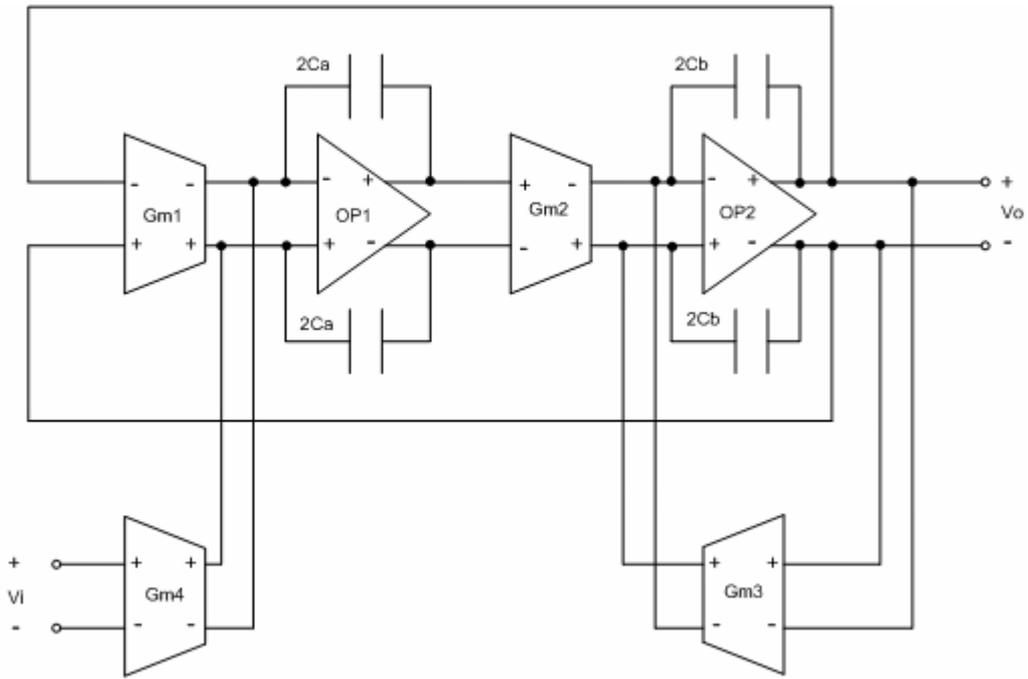


圖 5.9 二階低通濾波器

圖 5.9 之二階低通濾波器中，採用 4.1.2 小節提出的轉導器與 4.2 節的運算放大器作為電路元件以及回授電容 $2C_a=5\text{pF}$, $2C_b=5\text{pF}$ 、 $2C_a=15\text{pF}$, $2C_b=15\text{pF}$ 與 $2C_a=45\text{pF}$, $2C_b=45\text{pF}$ 進行模擬，圖 5.10 為二階低通濾波器模擬波形，縱軸為 V_o/V_i 單位 (dB)，橫軸為頻率單位 (log) (HERTZ)，由模擬結果可知，可藉由改變回授電容調整濾波器頻寬範圍。

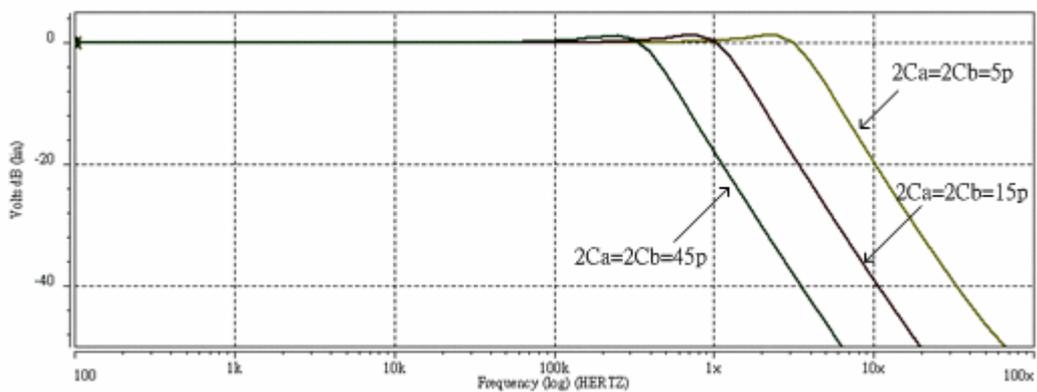


圖 5.10 二階低通濾波器模擬波形

5.4 整體規劃

FPAA 目前的規劃主要是以兩組 CAB(一組 CAB 包含兩組轉導放大器以及一組運算放大器)、四個 I/O、一組暫存器以及開關網路組成，透過內部開關切換，能實現積分器和一階濾波器，架構如圖 5.11 所示。

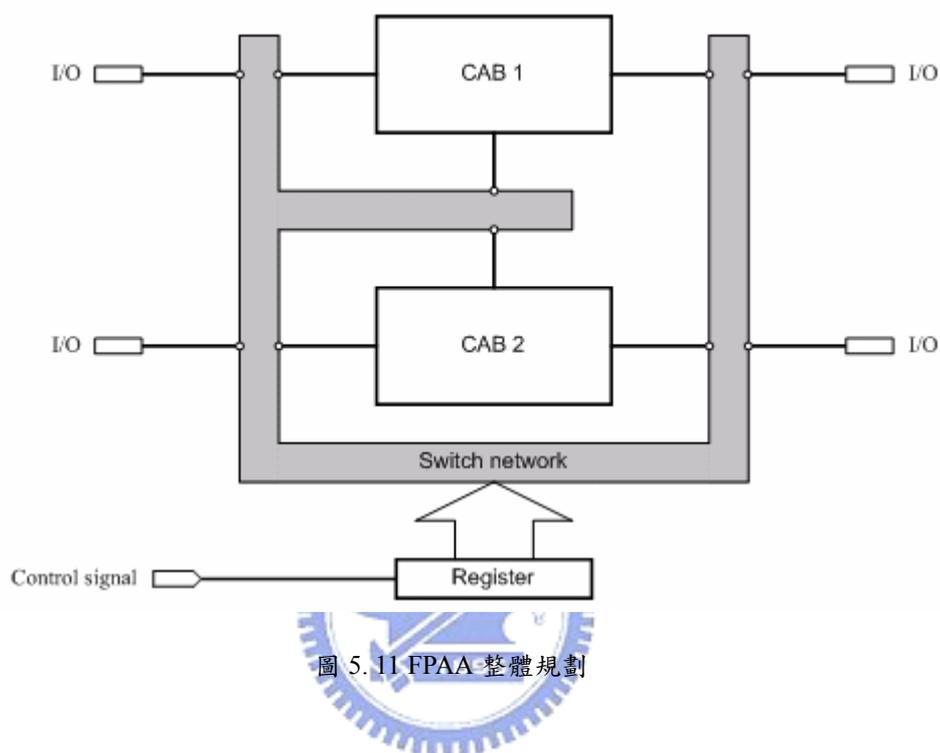


圖 5.11 FPAA 整體規劃

詳細的電路圖第四章以做過介紹，在這節中著重於控制開關的切換，產生不同的轉移函數。如圖 5.12 所示，符號 ”○”代表類比開關，以下以 $S_1 \sim S_7$ 表示， S_4 為 CAB_1 中的開關，負責積分器與一階濾波器功能的轉換，同樣的 S_5 為 CAB_2 中負責積分器與一階濾波器功能的轉換， $S_1 \sim S_3$ 為連接兩組CAB的控制開關，使兩組CAB構成二階濾波器，各功能對應的開關以及輸入輸出腳位如表 5.1

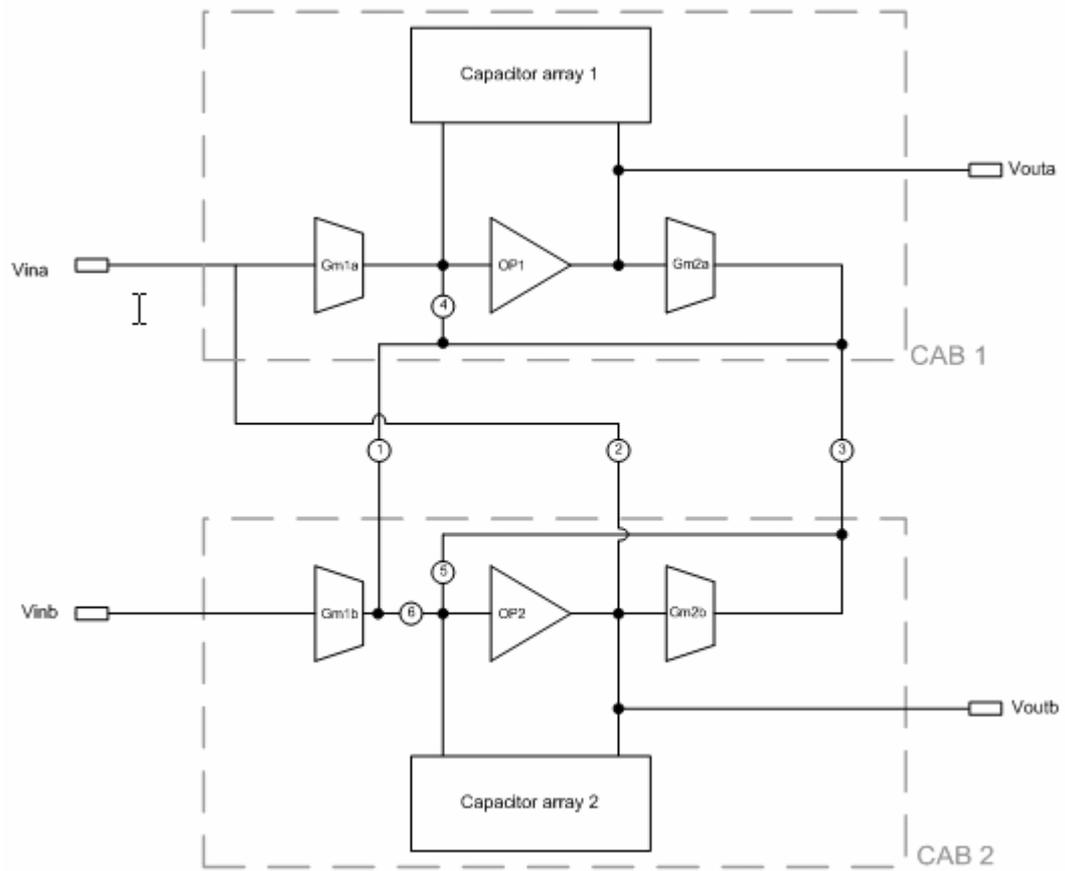


圖 5.12 FPAA 整體電路架構

表 5.1 FPAA 規劃函數切換功能

功能 \ 開關	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆
積分器(使用CAB ₁)	off	off	off	off	off	D(註 1)
積分器(使用CAB ₂)	off	off	off	off	off	ON
一接濾波器(使用CAB ₁)	off	off	off	ON	ON	D(註 1)
一接濾波器(使用CAB ₂)	off	off	off	ON	ON	ON
二階濾波器	ON	ON	ON	off	ON	off

(a)開關配置

功能 \ IO	V _{ina}	V _{inb}	V _{outa}	V _{outb}
積分器(使用CAB ₁)	input		output	
積分器(使用CAB ₂)		input		output
一接濾波器(使用CAB ₁)	input		output	
一接濾波器(使用CAB ₂)		input		output
二階濾波器	output(註 2)	input		output(註 2)

(b) I/O 腳位

註 1：D 為 Don't care，表示可 ON 或 off。

註 2：在二階濾波器的情況下，內部互聯網的架構為 V_{ina} 與 V_{outb} 互相連接。

第六章 晶片設計與量測

本章介紹晶片電路的佈局以及量測，晶片電路主要包含轉導放大器、積分器、一階低通濾波器以及程式化電路。電路的原理與操作方式在第四章已作詳細的說明。6.1 節與 6.2 節分別介紹第一次下線晶片電路與佈局與電路測試結果，6.3 節介紹第二次下線晶片電路與佈局。

6.1 第一次下線晶片之電路與佈局圖

第一次下線的電路包含有離散電路結構的參考電壓源電路、運算放大器與轉導放大器，可單獨測試元件特性，以及包含積分器與一階低通濾波器電路，晶片以 TSMC035 2P4M 的製程完成製作。

6.1.1 參考電壓源電路

選擇 4.3.1 小節的固定轉導值式電壓源，規格如表 6.1，電路如圖 6.1、佈局圖如圖 6.2。



表 6.1 第一次下線之參考電壓源規格

模擬溫度範圍	-20~100 °C
第一組偏壓值(Vbais-p)	3.5V
第一組偏壓最大誤差	0.03V
第二組偏壓值(Vbais-n)	1V
第二組偏壓最大誤差	0.01V

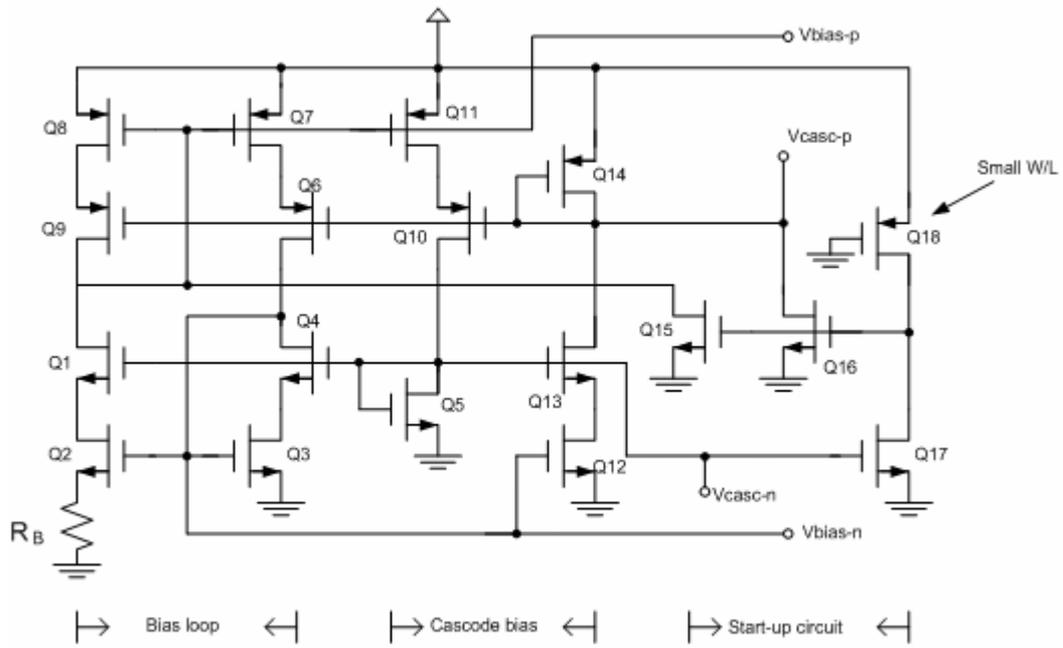


圖 6.1 第一次下線之固定轉導值式電壓源電路架構

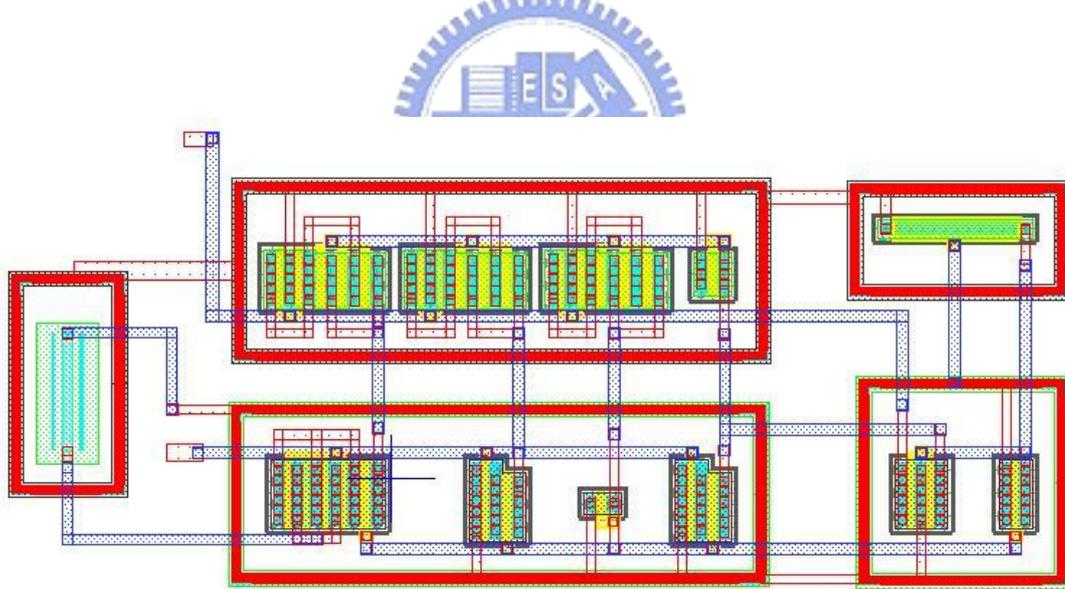


圖 6.2 第一次下線之固定轉導值式電壓源電路佈局圖

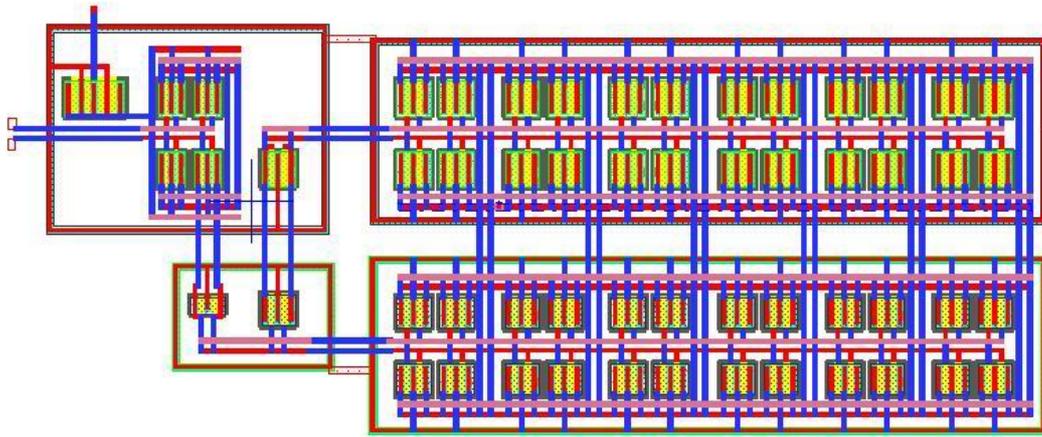


圖 6.4 第一次下線之運算放大器佈局圖

6.1.3 轉導放大器

採用 4.1.1 提出的偏壓補償式轉導放大器，規格如表 6.3，電路如圖 6.5、佈局圖如圖 6.6。



表 6.3 第一次下線晶片之轉導器規格

轉導值	80.4 μ A/V
線性輸入範圍	-0.5~0.5 volt
誤差	2.7%

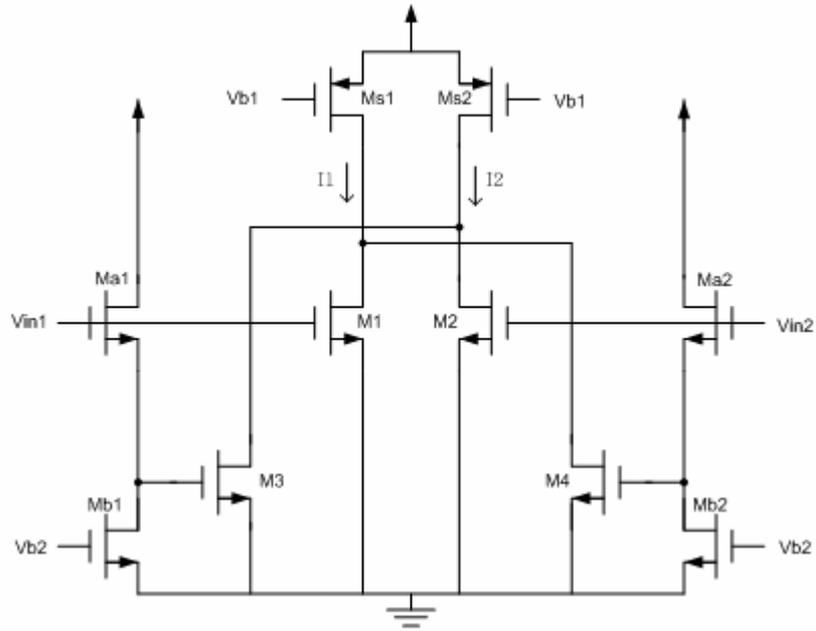


圖 6.5 第一次下線之偏壓補償示轉導放大器電路圖

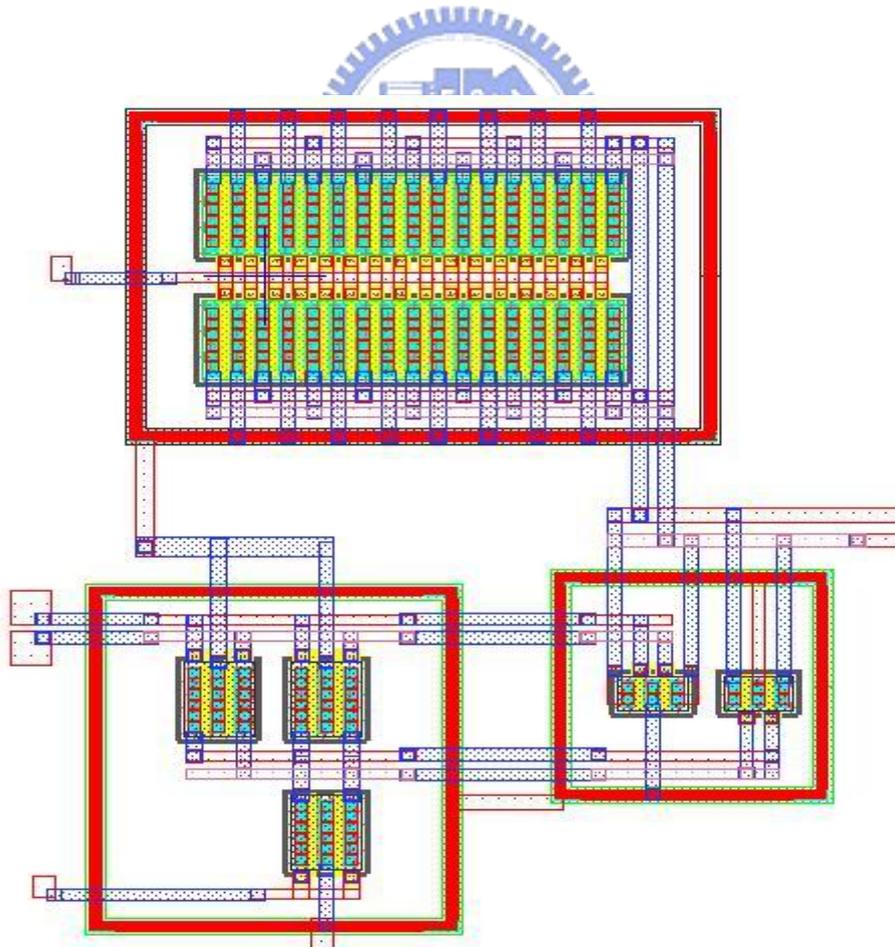


圖 6.6 第一次下線之偏壓補償示轉導放大器電路佈局圖

6.2 測試結果與改進

6.2.1 量測偏壓電路

輸出電壓在溫度 25~45 °C 的條件下，兩組偏壓點測得的電壓變化為 1.09~1.10V 與 3.32~3.34V，設計的偏壓點位置為 1V 與 3.5V，量測結果整理於表 6.4。由於電阻在 IC 製造上會產生較大的誤差，且在圖 6.1 中電阻 R_B 控制整個迴路的電流，直接影響各節點的電壓，因此在往後有偏壓電路架構上須加入可微幅修正的設計。由於電壓源電壓值飄移，使得積分器與一階濾波器電路偏壓值偏離工作點，無法進行測量，只能使用外接偏壓的轉導大器與運算放大器以離散電路的方式組成積分器與濾波器。

表 6.4 偏壓電路測試結果

測量溫度範圍	25~45 °C
第一組 偏壓值設計值	3.5V
第一組 電壓量測值	3.32~3.34 V
第二組 偏壓設計值	1V
第二組 電壓量測值	1.09~1.10 V

6.2.2 量測運算放大器

量測運算放大器的電路如圖 6.7 所示，其中 V_b 與電阻 R_3 、 R_4 提供放大器的正端輸入偏壓， V_{in} 為輸入訊號，在這裡我們輸入弦波，觀察與輸出信號 V_{out} 的關係，

小訊號轉移函數為 $\frac{v_{out}}{v_{in}} = -\frac{R_2}{R_1}$ 。表 6.8 為運算放大器測試結果整理。

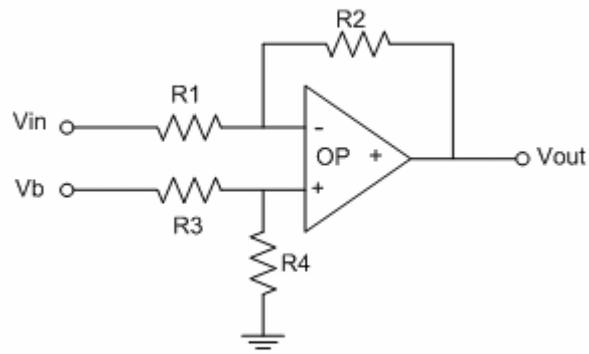


圖 6.7 運算放大器測試電路圖

表 6.5 運算放大器放大率測試(1)之條件與結果(放大率 1.5 倍)

參數 \ 測試	測試(1)
R_1 (Ω)	22k
R_2 (Ω)	33k
R_3 (Ω)	22k
R_4 (Ω)	33k
V_b (V)	5
V_{in_DC} (V)	3.6
$V_{in_V_{p-p}}$ (V)	1
V_{in} 頻率(Hz)	10K
理論 V_{out_DC} (V)	2.1
量測 V_{out_DC} (V)	2.2
理論 $V_{out_V_{p-p}}$ (V)	1.5
量測 $V_{out_V_{p-p}}$ (V)	1.5

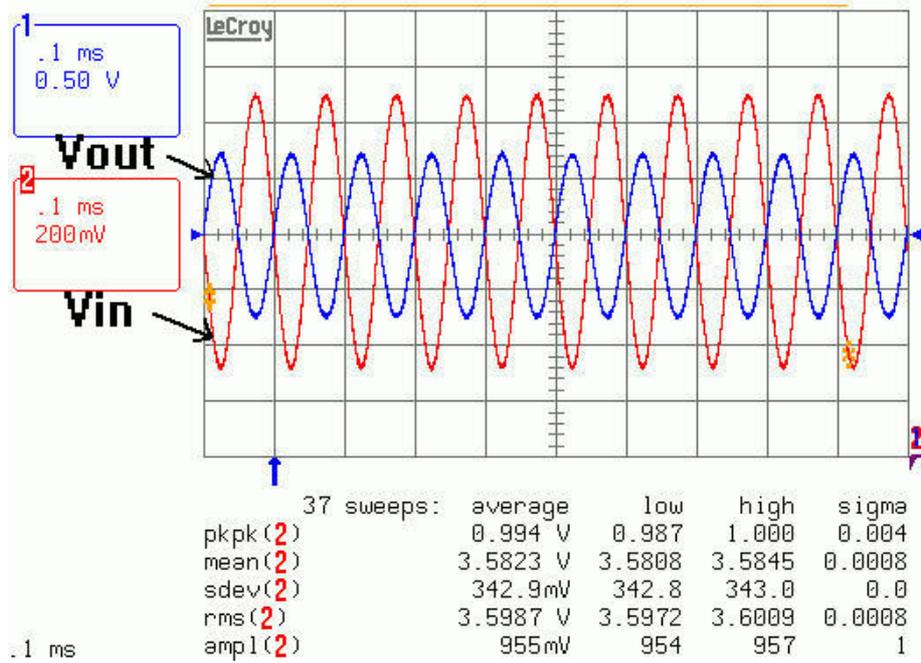


圖 6.8 測試(1)輸入與輸出訊號波形以及輸出訊號之數據

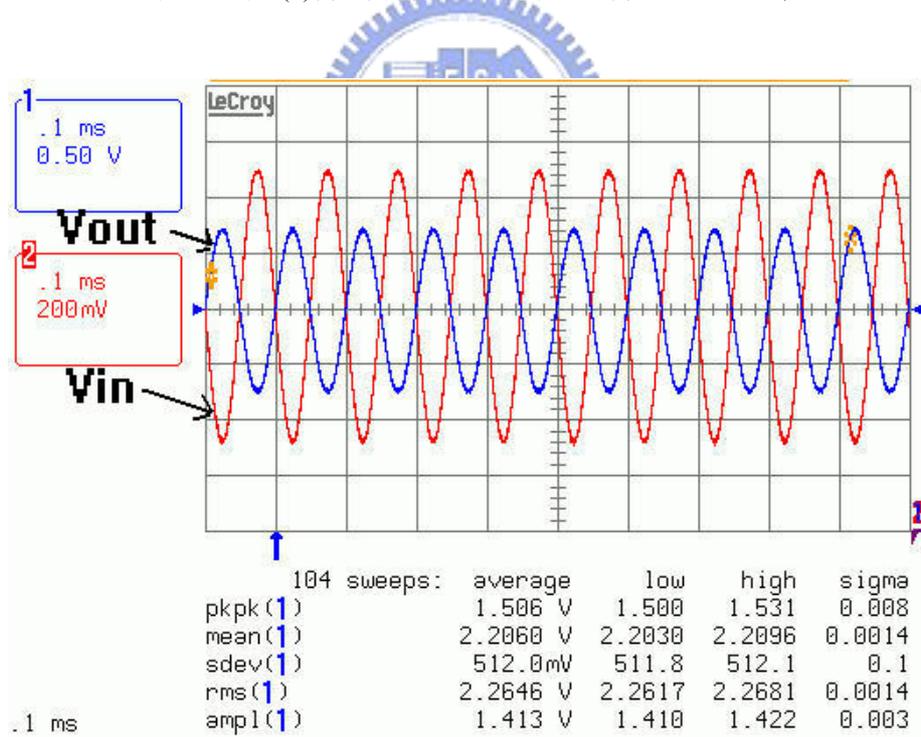


圖 6.9 測試(1)輸入與輸出訊號波形以及輸入訊號之數據

表 6.6 運算放大器放大率測試(2)之條件與結果(放大率 1 倍)

參數	測試	測試(2)
R_1 (Ω)		22k
R_2 (Ω)		22k
R_3 (Ω)		22k
R_4 (Ω)		22k
V_b (V)		5
V_{in_DC} (V)		3
$V_{in_V_{p-p}}$ (V)		1
V_{in} 頻率(Hz)		10K
理論 V_{out_DC} (V)		2
量測 V_{out_DC} (V)		2
理論 $V_{out_V_{p-p}}$ (V)		1
量測 $V_{out_V_{p-p}}$ (V)		1

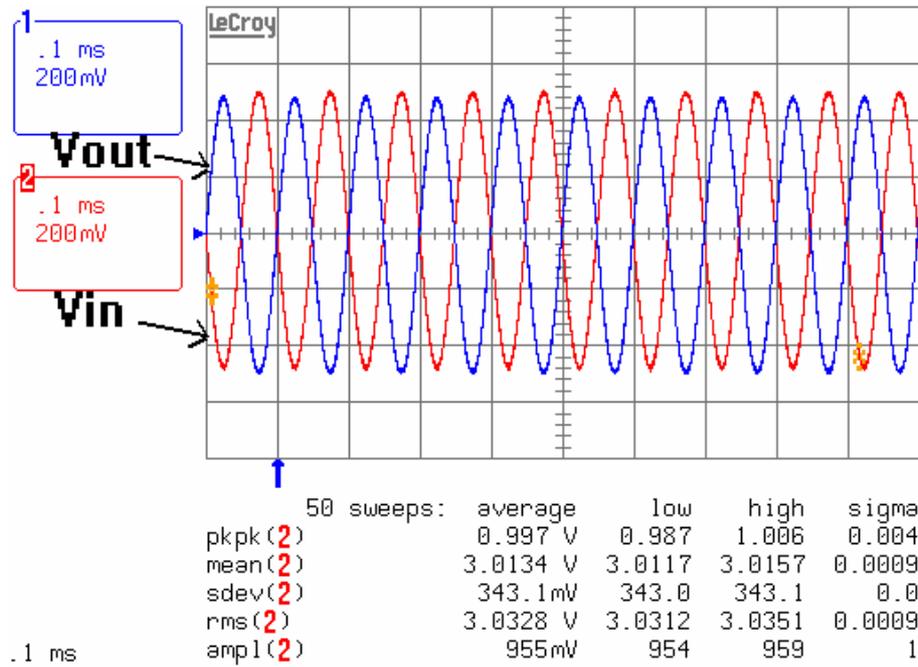


圖 6.10 測試(2)輸入與輸出訊號波形以及輸入訊號之數據

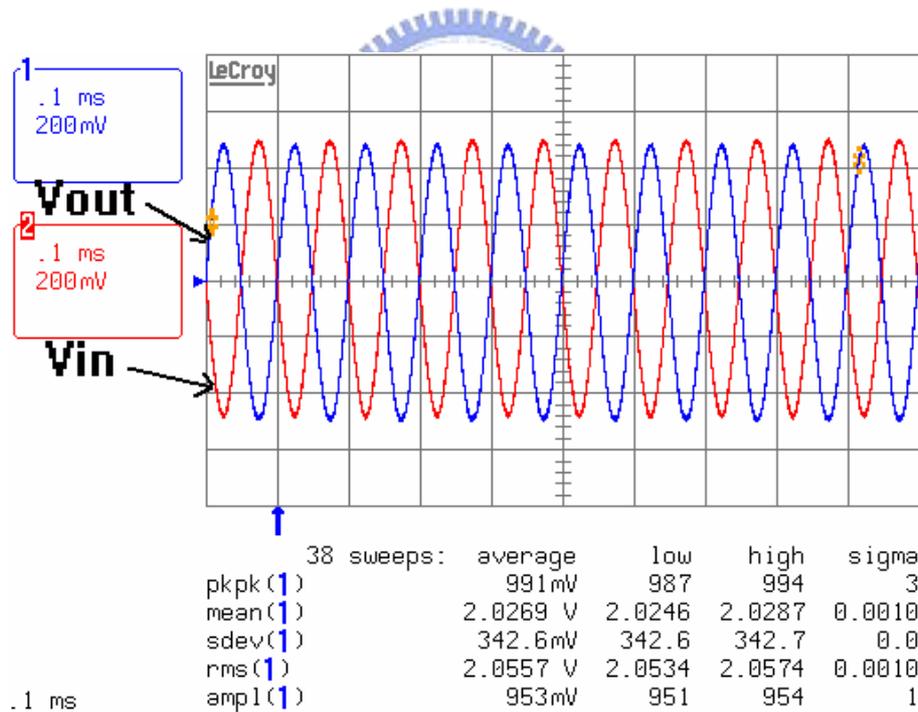


圖 6.11 測試(2)輸入與輸出訊號波形以及輸出訊號之數據

表 6.7 運算放大器放大率測試(3)之條件與結果(放大率 0.66 倍)

參數 \ 測試	測試(3)
$R_1 (\Omega)$	33k
$R_2 (\Omega)$	22k
$R_3 (\Omega)$	33k
$R_4 (\Omega)$	22k
$V_b (V)$	7.5
$V_{in_DC} (V)$	4.5
$V_{in_V_{p-p}} (V)$	282.5m
V_{in} 頻率(Hz)	10K
理論 $V_{out_DC} (V)$	2
量測 $V_{out_DC}(V)$	2
理論 $V_{out_V_{p-p}}(V)$	188.3m
量測 $V_{out_V_{p-p}}(V)$	192.1m

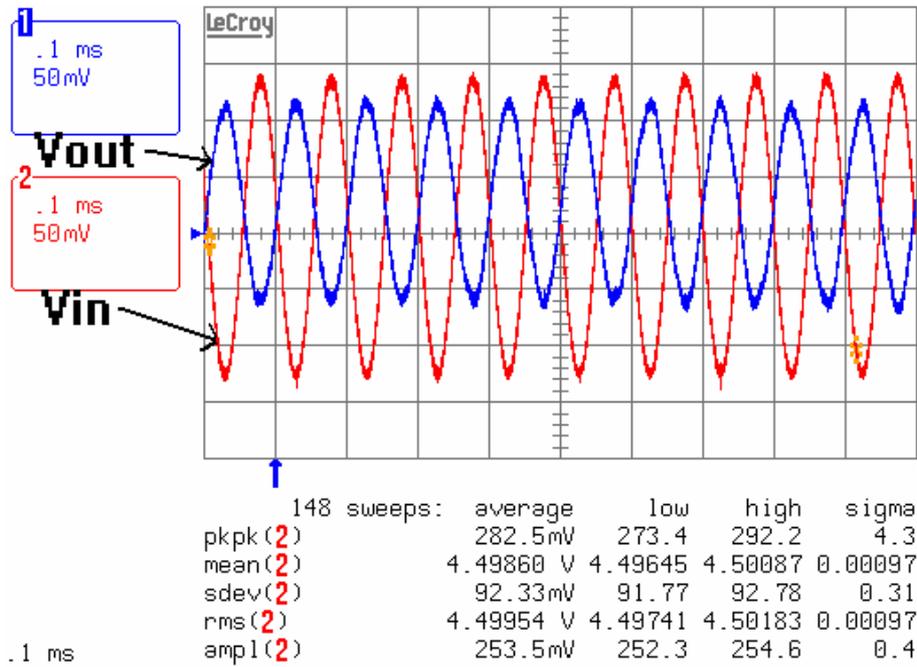


圖 6.12 測試(3)輸入與輸出訊號波形以及輸入訊號之數據

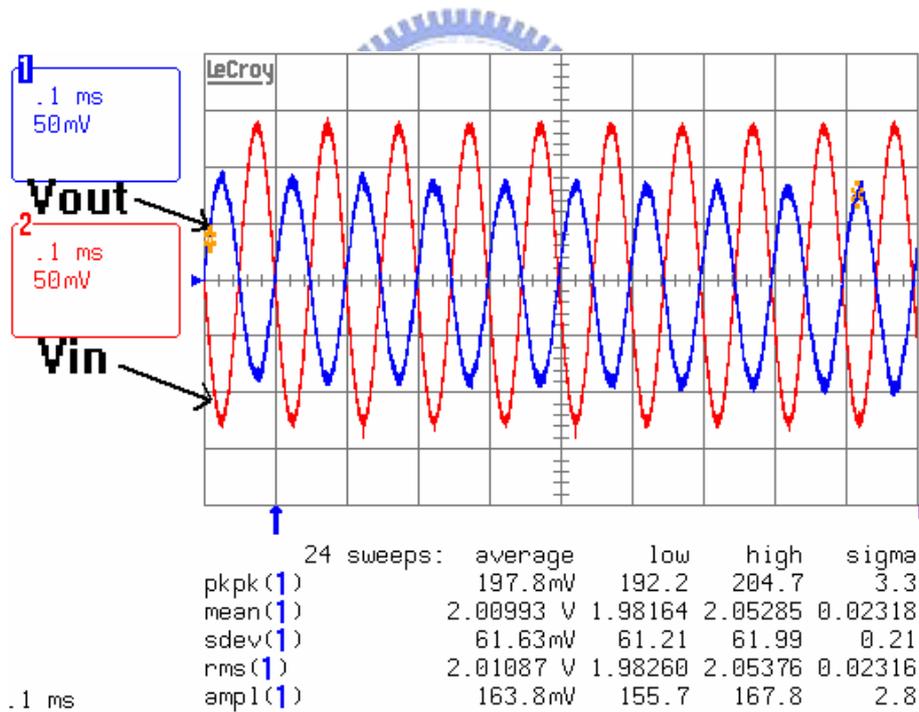


圖 6.13 測試(3)輸入與輸出訊號波形以及輸出訊號之數據

表 6.8 運算放大器測試結果整理

參數 \ 測試	測試(1)	測試(2)	測試(3)
	放大率 1.5 倍	放大率 1 倍	放大率 0.66 倍
$R_1 (\Omega)$	22k	22k	33k
$R_2 (\Omega)$	33k	22k	22k
$R_3 (\Omega)$	22k	22k	33k
$R_4 (\Omega)$	33k	22k	22k
$V_b (V)$	5	5	7.5
$V_{in_DC} (V)$	3.6	3	4.5
$V_{in_V_{p-p}} (V)$	1	1	282.5m
V_{in} 頻率(Hz)	10K	10K	10K
理論 $V_{out_DC} (V)$	2.1	2	2
量測 $V_{out_DC}(V)$	2.2	2	2
理論 $V_{out_V_{p-p}}(V)$	1.5	1	188.3m
量測 $V_{out_V_{p-p}}(V)$	1.5	1	192.1m

6.2.3 量測轉導放大器與積分器

在驗證過運算放大器正確無誤之後，我們將轉導放大器與運算放大器結合，並加上積分電容，觀察輸出端電壓變化與輸入訊號以及積分電容大小的關係，可以推出轉導器的轉導值，並驗證積分器的功能。量測電路圖如 6.14 所示， V_{in} 為輸入訊號， V_{out} 為輸出信號， C 為積分電容。輸入訊號為雙端反相的方波，觀察輸出信號是否有積分的結果，以及運算放大器的輸入端是否有達到虛短路。

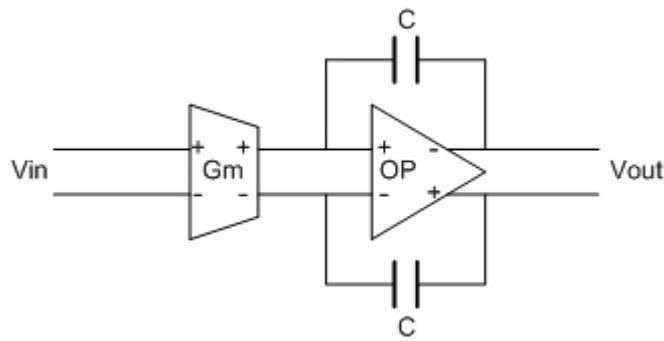


圖 6.14 積分器測試電路

輸入訊號 V_{in} 為兩組反相方波訊號，直流偏壓在 3V，振幅為 250mV(如圖 6.15)，積分電容 47nF 進行量測，輸出端會得到如圖 6.16 之積分訊號。差動輸出訊號見圖 6.17，由圖可知透過差動輸出可將二階非線性效應消除。另外，由圖 6.18 可知，運算放大器輸入端的虛短路特性，將使得兩輸入端電壓相同。計算轉導值的方法為測量轉導器對積分電容充電的時間與電壓變化，但在外部電路上有寄生電容以及電阻，都會增長RC充放電時間，造成計算出來的轉導值會略小於實際值。

表 6.9 轉導放大器測試結果

量測部分	結果與比較	量測結果	與模擬結果比較
積分器輸出端		具有積分的結果	符合
運算放大器的輸入端電壓		有虛短路的現象	符合
轉導放大器轉導值 gm		73 μ A/V	80.4 μ A/V

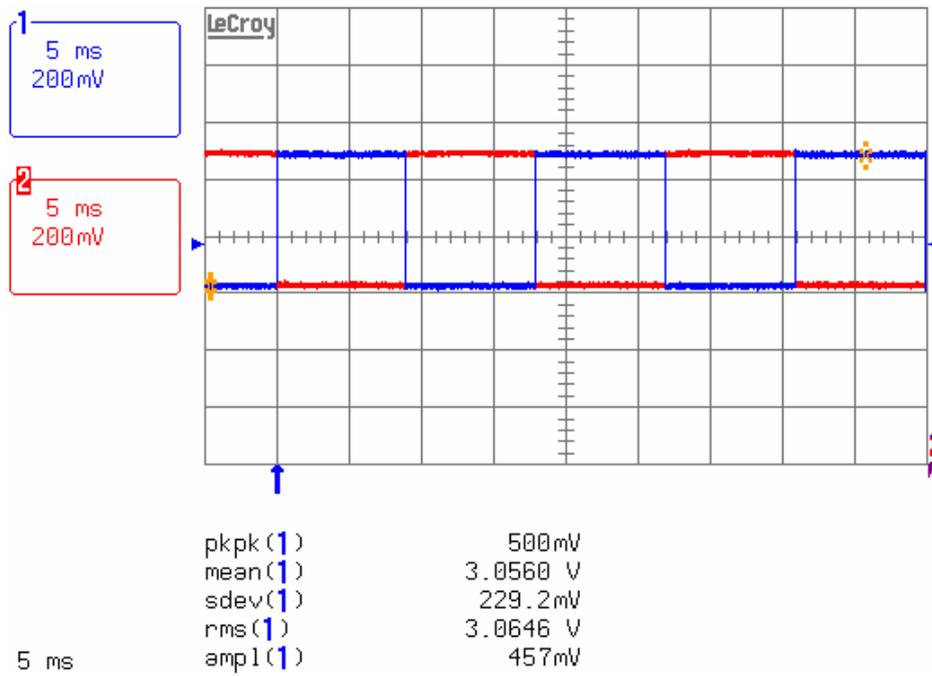


圖 6.15 雙端輸入訊號，Vp-p 為 500mV 之方波

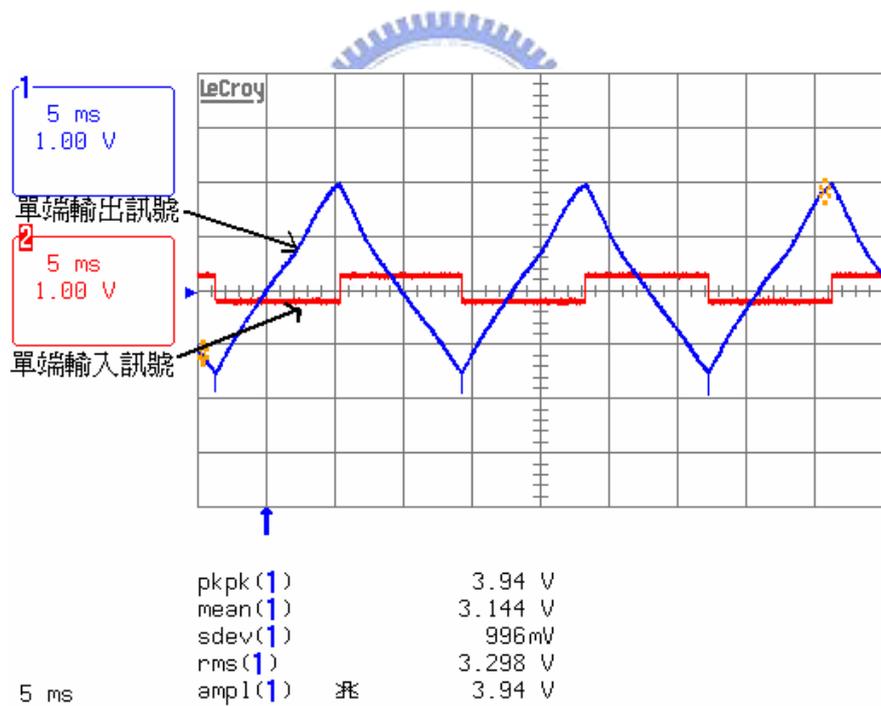


圖 6.16 積分器之輸入訊號、輸出訊號

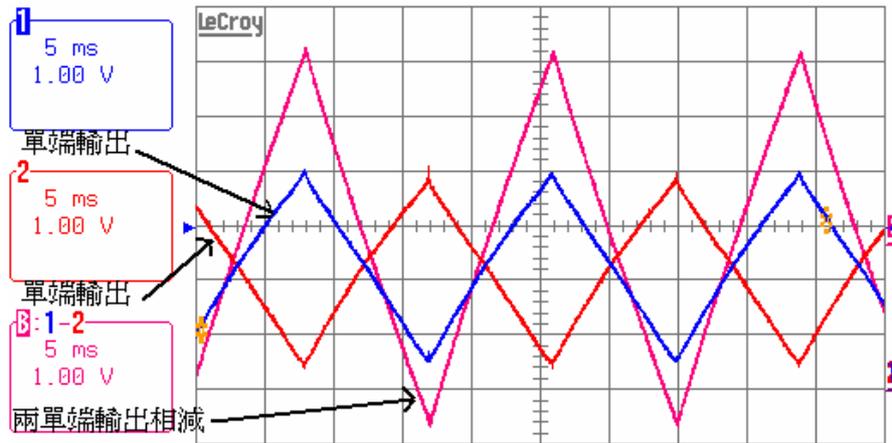


圖 6.17 積分器之雙端輸出電壓

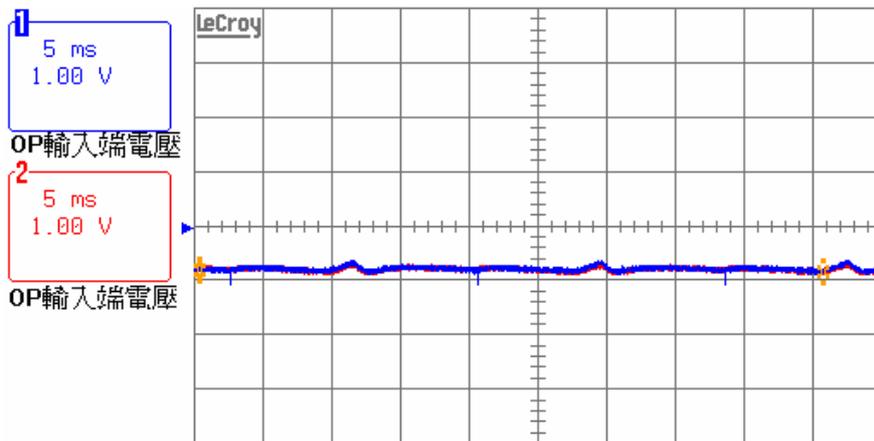


圖 6.18 運算放大器輸入端電壓

6.2.4 量測一階濾波器

驗證轉導放大器與運算法大器功能正確後，在積分器的回授路徑上加上一個轉導器，構成一階低通濾波器，如圖 6.19， V_{in} 為輸入信號， V_{out} 為輸出信號， C 為回授電容。

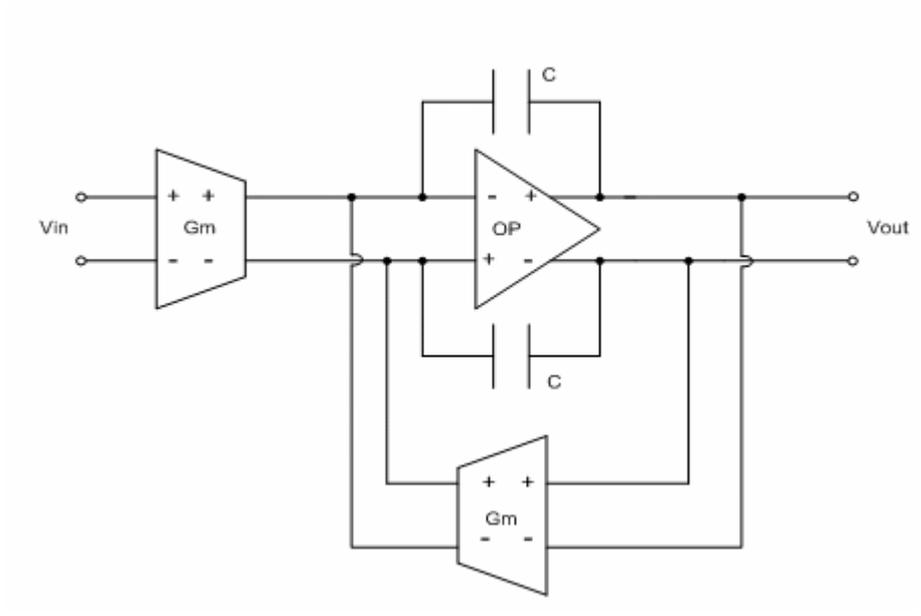


圖 6.19 一階低通濾波器

測量結果可知當輸入頻率越高，則輸出振幅減少，且相位延遲時間加大。另一個結果為將回授電容增大，則訊號衰減的速度較快，這些結果皆符合濾波器的功能。我們將量測值與模擬值製成圖表，如圖 6.20、6.21 所示，從圖中可知量測值的訊號衰減頻率較早，推測的可能為受到寄生電容影響，使整體回授電容增大，另一個可能為實際轉導值比原先設計的小。

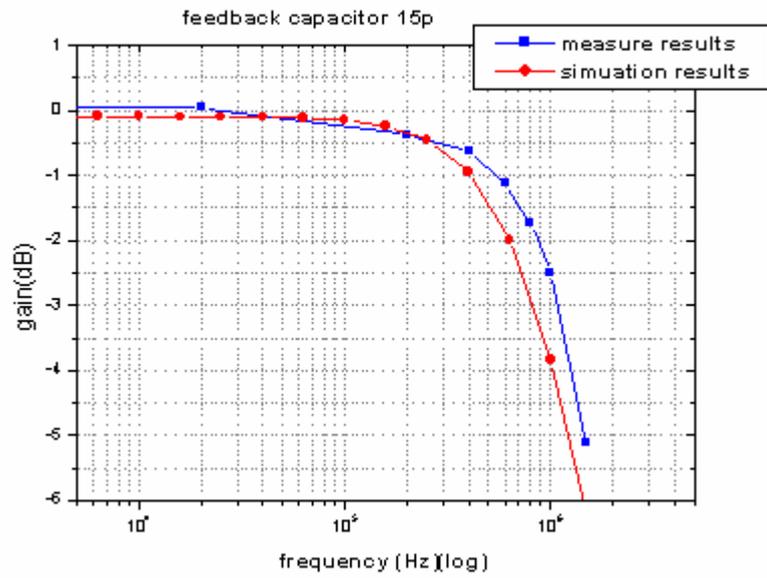


圖 6.20 一階低通濾波器量測值與模擬值比較圖，回授電容為 15pF

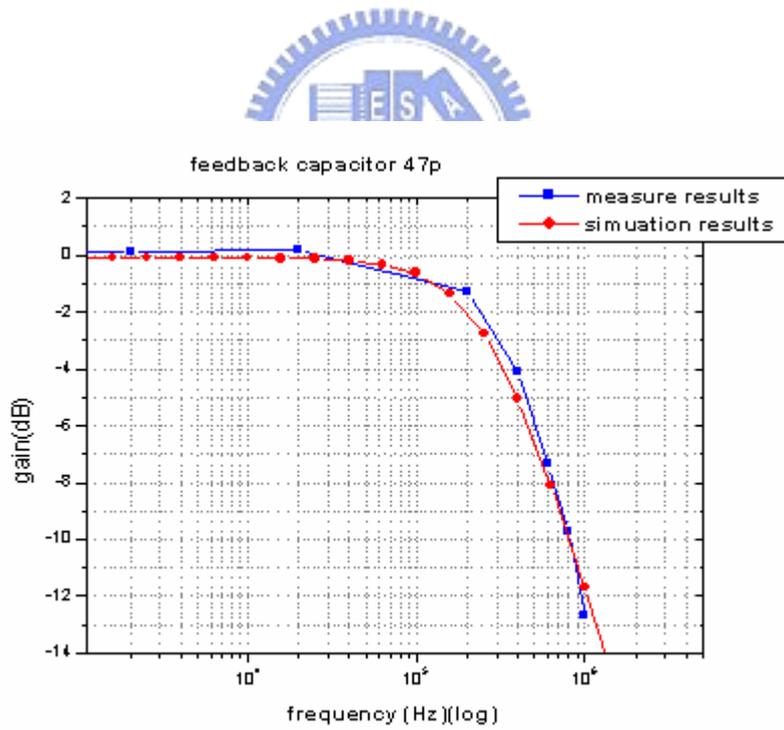


圖 6.21 一階低通濾波器量測值與模擬值比較圖，回授電容為 47pF

測試波形如下

一階濾波測試(1)，以回授電容 $C=15\text{pF}$ 進行量測

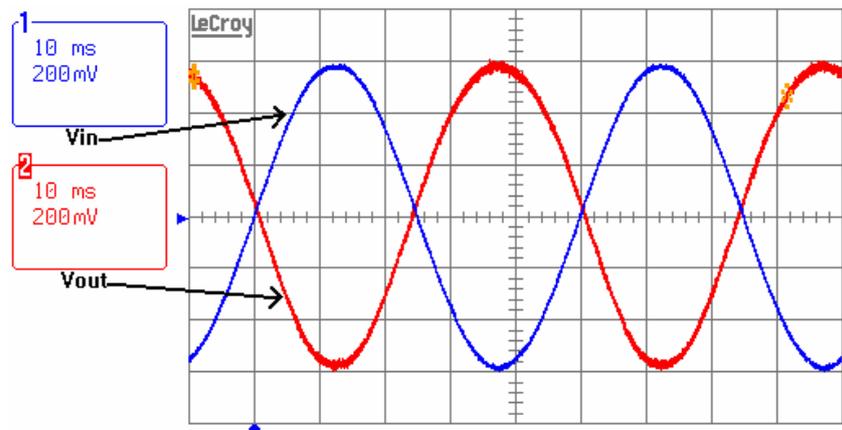


圖 6.22 輸入訊號頻率為 20Hz

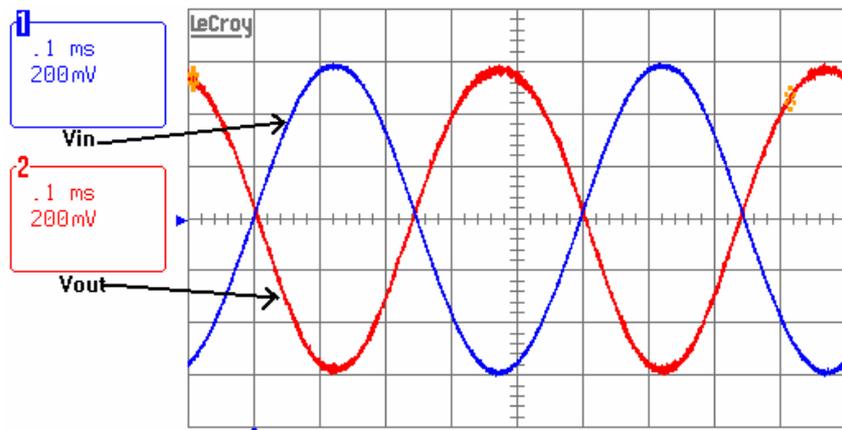


圖 6.23 輸入訊號頻率為 2kHz

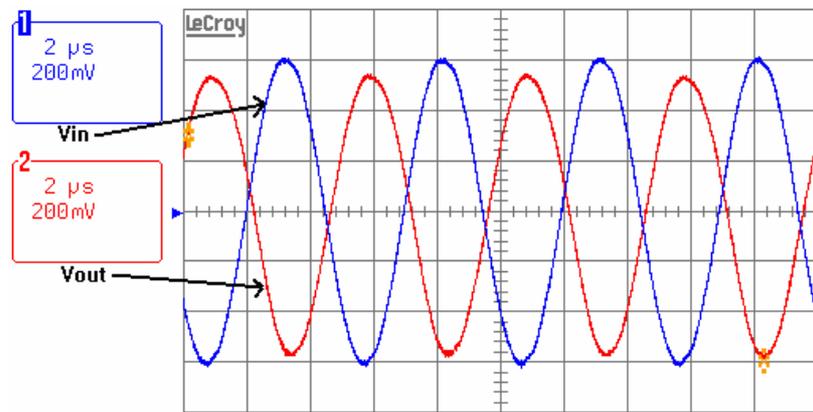


圖 6.24 輸入訊號頻率為 200kHz

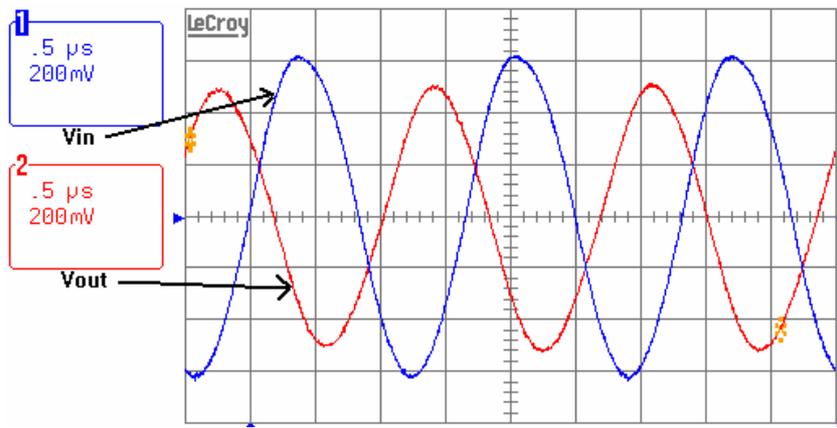


圖 6.25 輸入訊號頻率為 600kHz

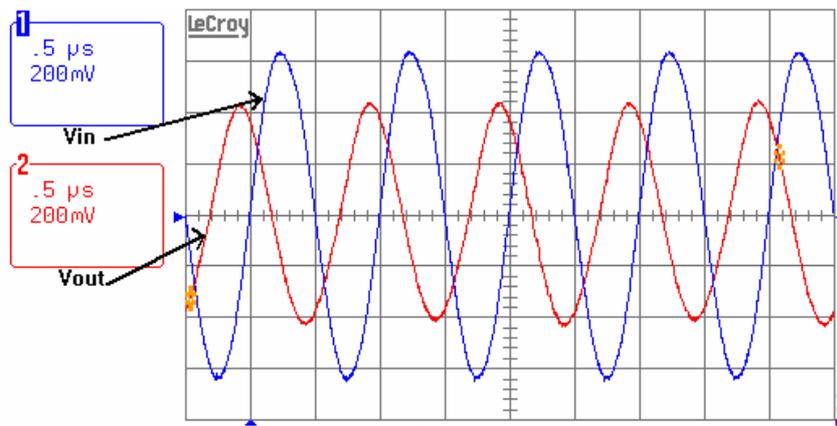


圖 6.26 輸入訊號頻率為 1MHz

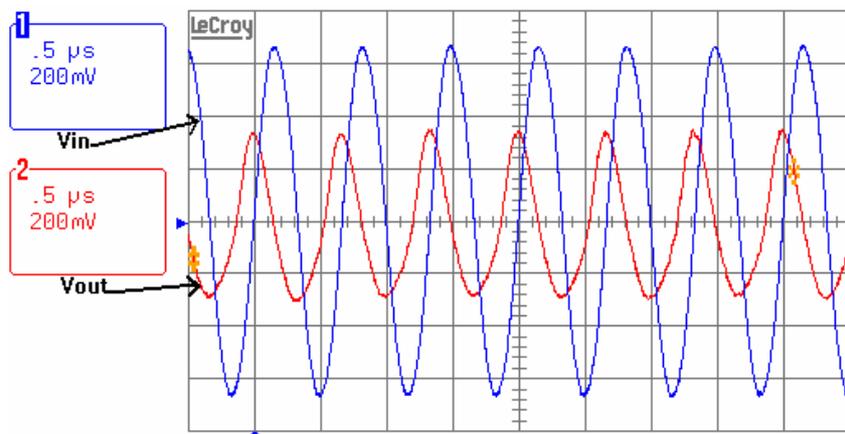


圖 6.27 輸入訊號頻率為 1.5MHz

一階率波測試(2)，以回授電容 $C=47\text{pF}$ 進行量測

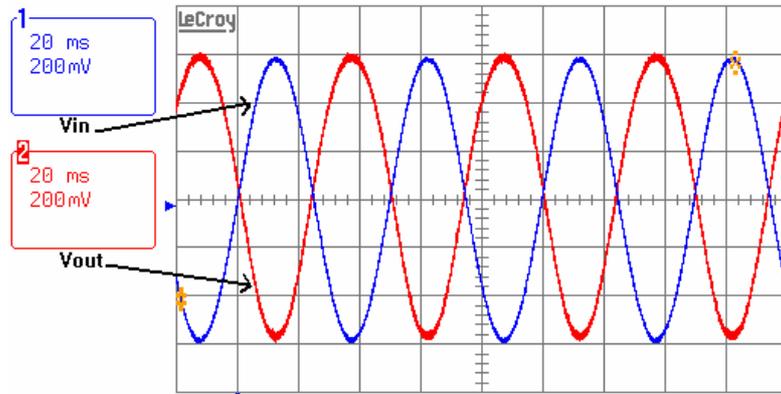


圖 6.28 輸入訊號頻率為 20Hz

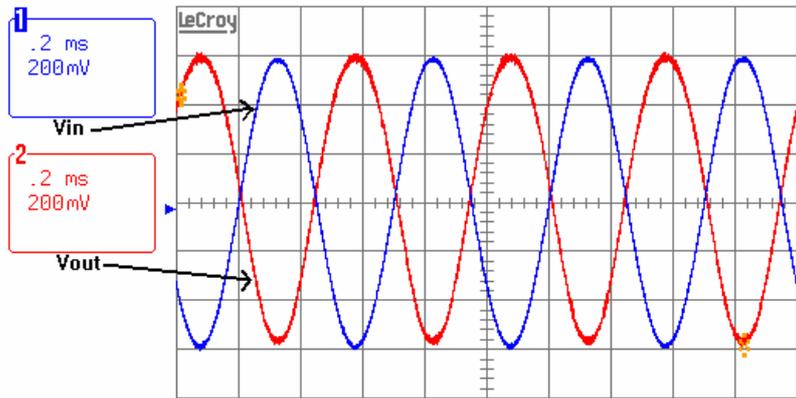


圖 6.29 輸入訊號頻率為 2kHz

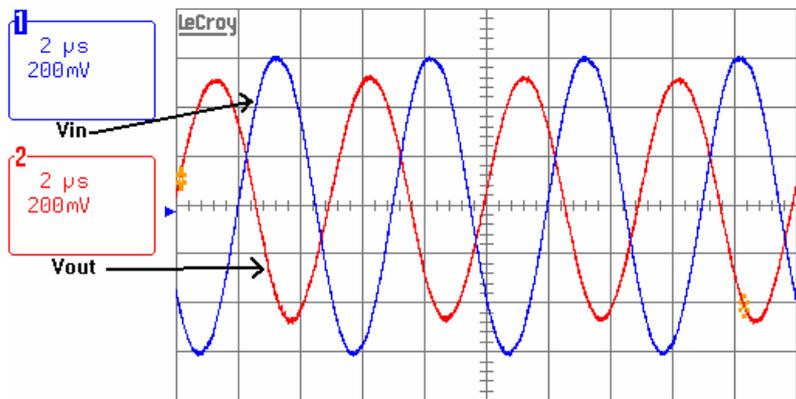


圖 6.30 輸入訊號頻率為 200kHz

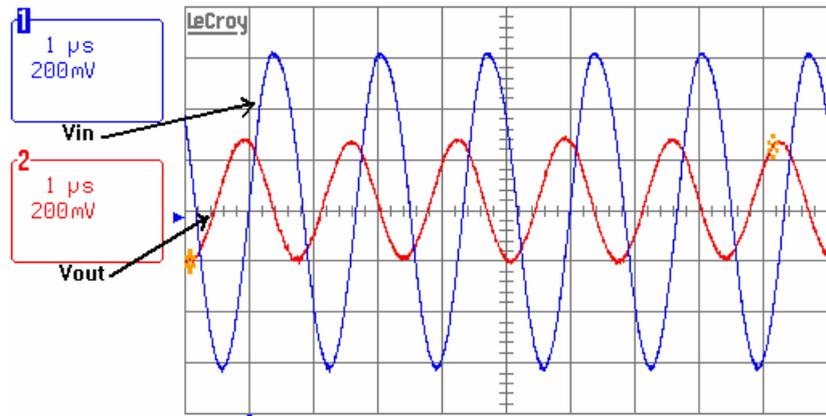


圖 6.31 輸入訊號頻率為 600kHz

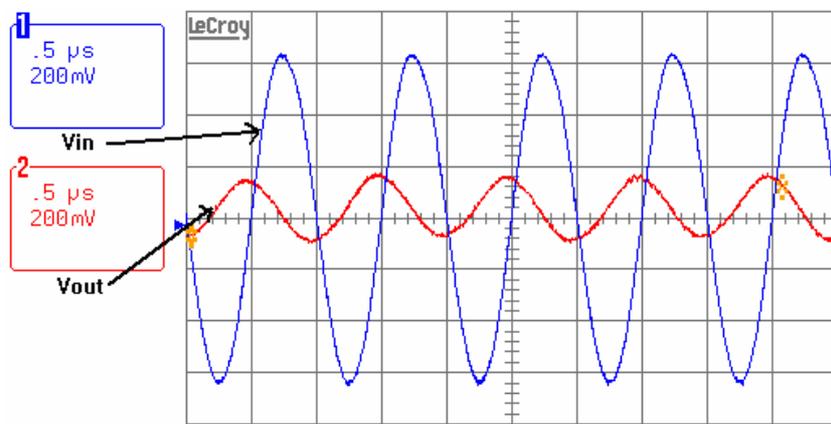


圖 6.32 輸入訊號頻率為 1MHz

6.2.5 量測結論

經由量測數據可證明電壓源電路、運算法大器與轉導放大器能合乎預期的設計，並使用這些離散電路組合成為積分器與一階低通濾波器，量測結果也能符合預期。在量測遇到的問題為偏壓電路輸出電壓飄移，加上我們設計運算放大器與轉導放大器對輸入偏壓飄移的限度很低，使得整合性的積分器與一階濾波器偏壓值偏離工作點，無法正常操作，只能使用外接偏壓的轉導放大器與運算放大器以離散電路的方式組成積分器與一階低通濾波器。

6.3 第二次下線電路圖以及佈局圖

第二次下線電路包含離散元件的運算放大器、轉導放大器、參考電壓源與控制電路以及整合性的可程式化類比電路，電路說明如下。

1. 運算放大器：採用第一次下線所設計的電路，因測試結果符合要求，且其規格也符合第二次下線電路系統上需求。
2. 轉導放大器：製作兩組不同架構的離散轉導放大器，採用 4.1.2 小節與 4.1.3 小節提出的電路，與第一次下線的轉導器相比，具有較高的線性輸入範圍。
3. 參考電壓源：採用 4.2.3 小節提出的能隙參考電壓源。
4. 控制電路：由暫存器與類比開關組成，為 4.4 節與 4.5 節提出的電路。
5. 可程式化類比電路：由以上的單元電路組成，具有可程式化積分器與一階低通濾波器的功能，其中內部的轉導放大器採用 4.1.2 小節提出的轉導器。

6.3.1 參考電壓源電路

選擇 4.3.2 小節所提的能隙參考電壓源，規格如表 6.10，電路如圖 6.33、佈局圖如圖 6.34。

表 6.10 第二次下線之能隙參考電壓源規格

模擬溫度範圍	-40~140 °C
偏壓值設定	1.2V
電壓變化最大量 FF	3.4mV
電壓變化最大量 TT	4mV
電壓變化最大量 SS	2.8V

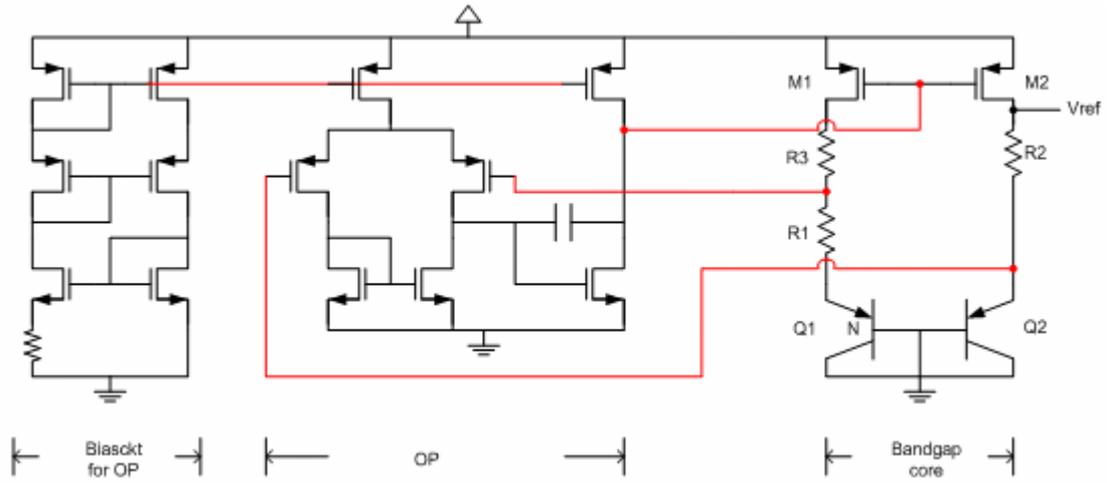


圖 6.33 第二次下線之參考電壓源電路電路圖

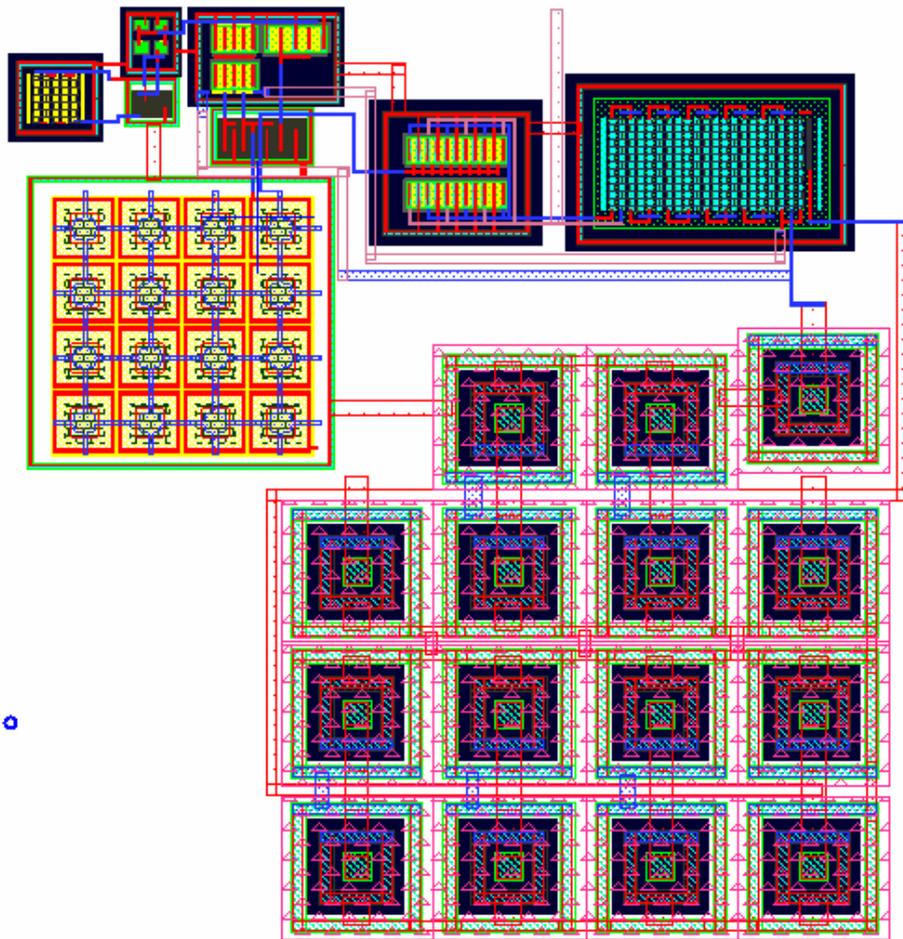


圖 6.34 第二次下線之參考電壓源電路佈局圖

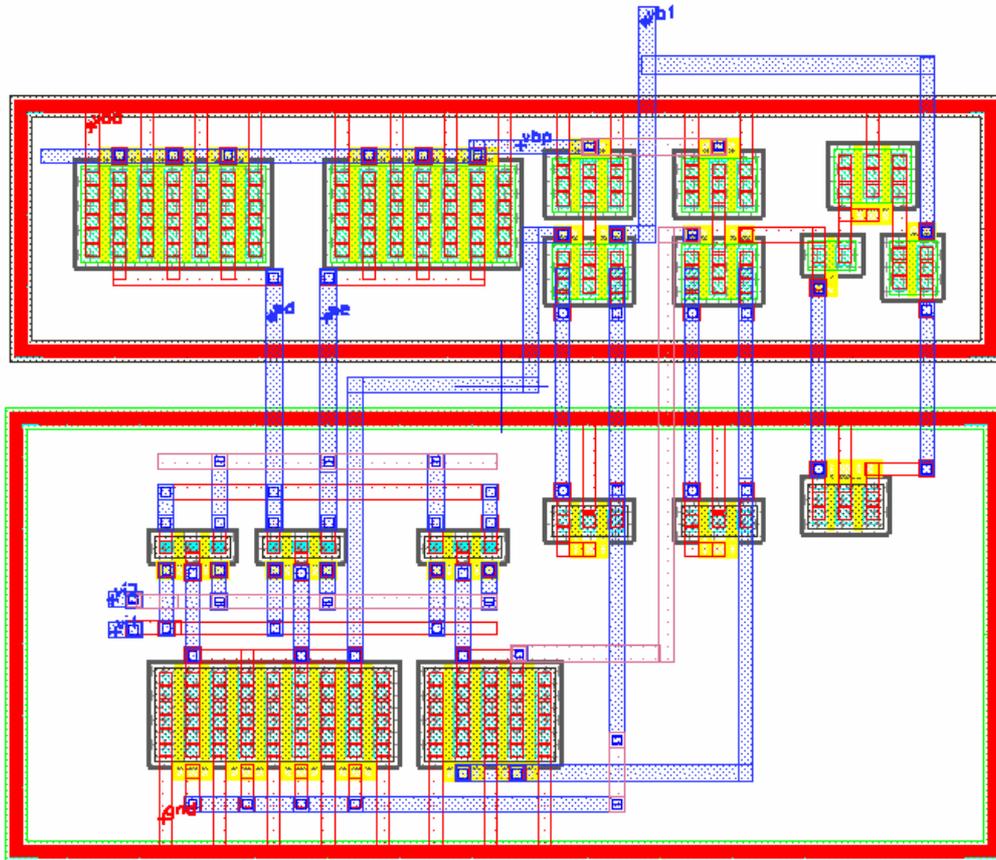


圖 6.36 第二次下線之偏壓補償式轉導放大器佈局圖

6.3.2.1 三級管區式轉導放大器

選擇 4.1.2 小節所提的三級管區式轉導放大器，規格如表 6.12，電路如圖 6.37、佈局圖如圖 6.38。

表 6.12 第二次下線之三級管區式轉導放大器規格

轉導值	163 μ /V
線性輸入範圍	-1~1 volt
誤差	3.55%

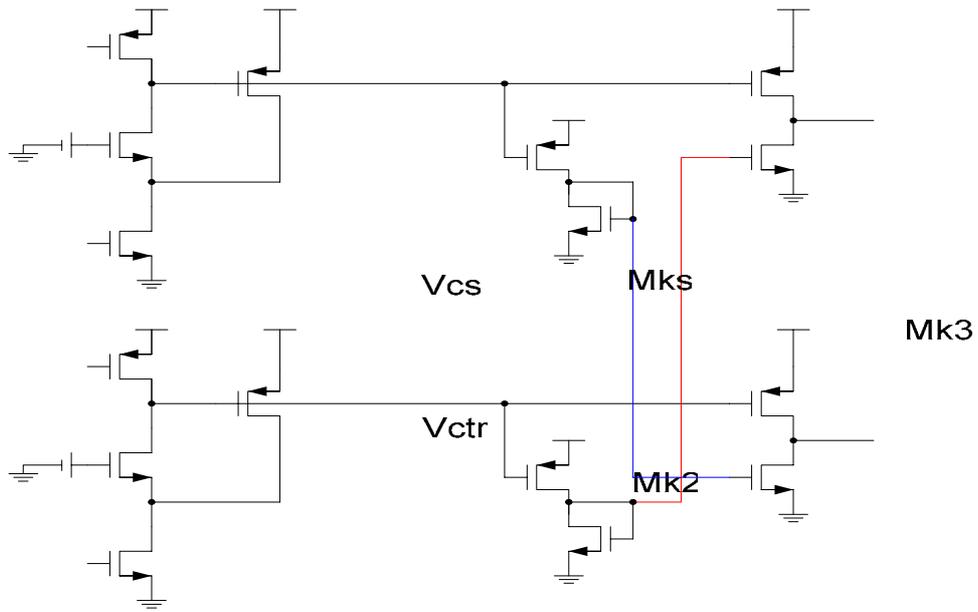


圖 6.37 第二次下線之三級管區式轉導放大器電路圖

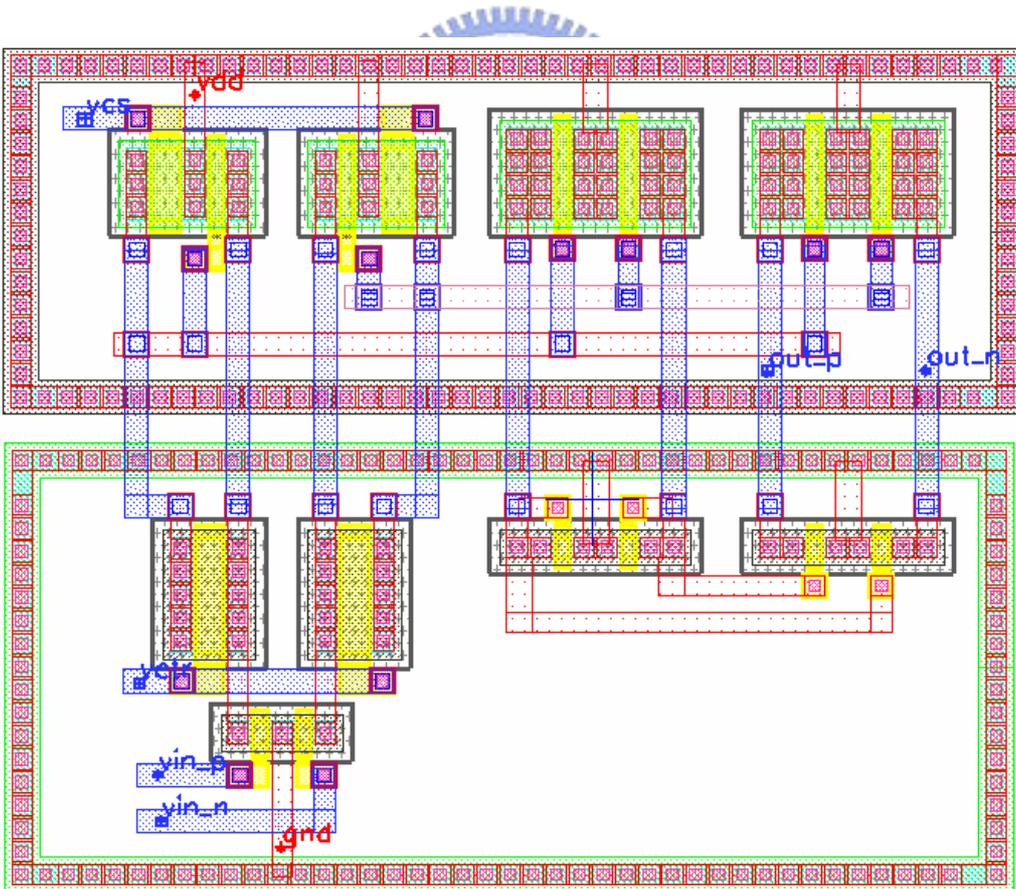


圖 6.38 第二次下線之三級管區式轉導放大器佈局圖

6.3.3 暫存器與開關

由於我們的系統為雙端傳輸，需要同時控制正負兩端的訊號，因此採用以一組暫存器控制兩組開關的方式來完成程式化的動作。架構如圖 6.18，以傳輸開作為類比開關需要有兩個相反的電壓訊號分別控制NMOS與PMOS的開極端電壓，因此暫存器(Reg)的輸出訊號除了直接控制兩組類比開關(SW₁與SW₂)，還需連接到反向器，產生反向的控制訊號。

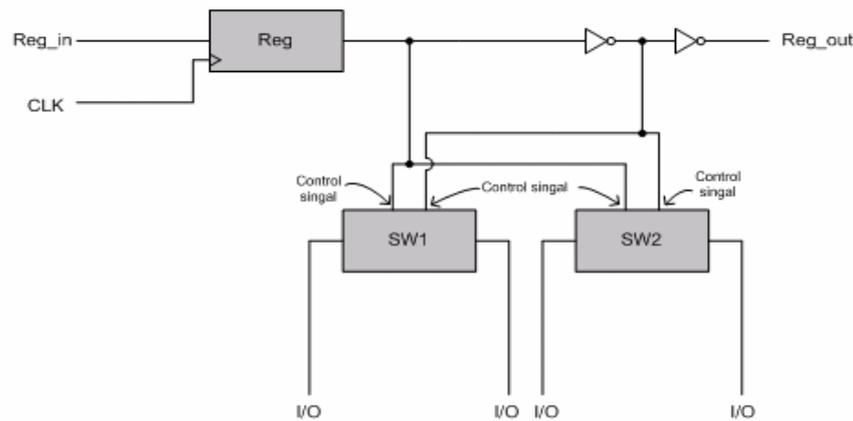


圖 6.39 第二次下線之暫存器與開關架構圖

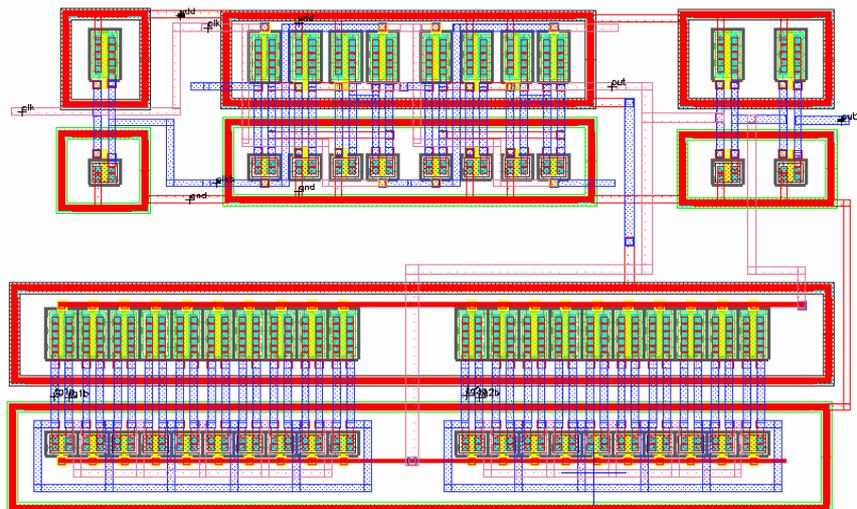


圖 6.40 第二次下線之暫存器與開關佈局圖

6.3.4 可切換式系統

可切換式系統，如圖 6.41 所示，具有積分器與一階低通濾波器的功能，系統電路有兩組轉導放大器、一組運算放大器與兩組電容以及可程式化開關，圖中開關以“○”表示。開關 1 與開關 2 決定提供系統使用的電容大小，開關 3 負責積分器與一階低通濾波器的切換，開關功能整理於表 6.18。

表 6.13 可切換式系統開關功能

開關 1	開關 2	開關 3	功能
ON	OFF	—	提供系統 C_1 電容
OFF	ON	—	提供系統 C_2 電容
ON	ON	—	提供系統 C_1+C_2 電容
—	—	ON	系統產生一階低通濾波器功能
—	—	OFF	系統產生積分器功能

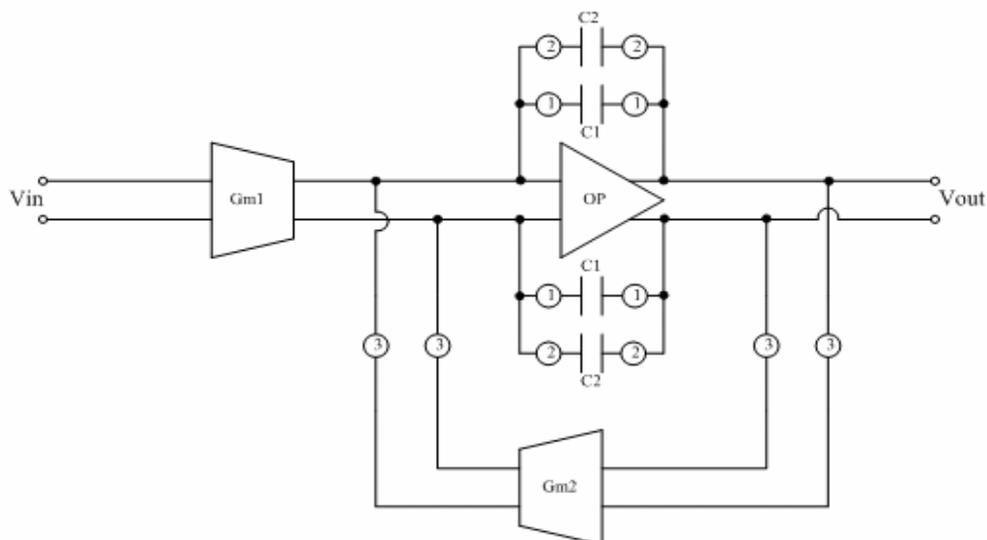


圖 6.41 第二次下線之可切換式系統電路架構

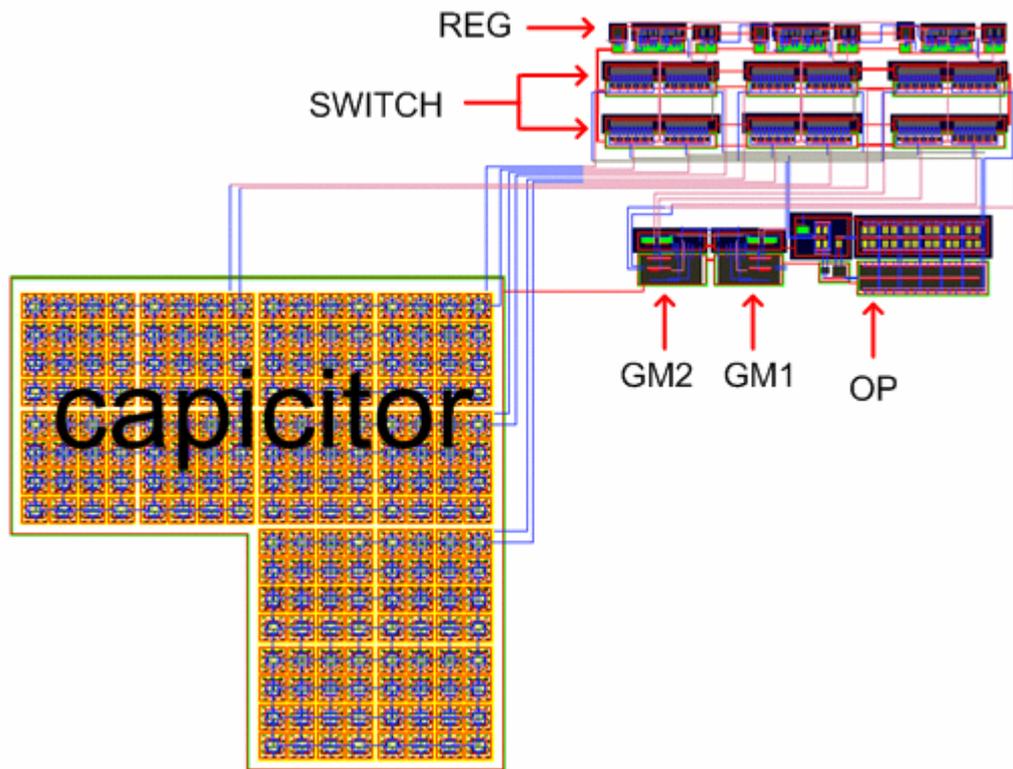


圖 6.42 第二次下線之可切換式電路佈局圖



第七章 結論與建議

7.1 結論

本論文中，我們提出了以 Gm-C 為架構的可程式化類比陣列，以 TSMC035 Mixed Mode(2P4M,5V)製程進行模擬，並透過 CIC 製作品片。第一次下線的晶片已經製作完成，經由量測數據可證明晶片中轉導放大器、運算放大器以及電壓源電路與模擬結果比較能達到預期的功能，並使用這些電路組合成為積分器和一階低通濾波器，量測結果也能符合預期。我們從第一次下線獲得的經驗中，修改部分的電路，設計第二顆晶片，包含離散的 FPAA 元件電路以及可程式化電路，具有積分器與可調頻寬範圍之一階低通濾波器功能。我們的研究成果有以下幾項特點：

- 
1. 回顧可程式化類比陣列論文，建立整體系統架構，規劃設計、製作與驗證的流程。
 2. 參考多篇轉導放大器的文獻，我們提出一種具有高輸入訊號範圍且具有高線性度的轉導放大器。
 3. 完成 FPAA 內部的電路單元，包含轉導放大器、運算法大器、偏壓電路、暫存器以及類比開關。
 4. 製作一個具有可程式化積分器與可動態切換頻寬之一階低通濾波器功能的 FPAA。

7.2 未來展望

目前在晶片設計上著重於基本元件的分析，建立可靠的電路元件，並利用基本元件構成積分器與濾波器，並組成小型的可切換系統，目的在於建立整體系統的雛型，因此尚有許多部份未能深入探討。就以我們在晶片設計上與測量上獲得

的重要資訊與經驗，給予後續研究人員作為參考方向：

1. 將轉導放大器加入可藉由數位控制改變轉導值的功能。
2. 將系統電路提升為高階濾波器，在合成高階電路時，可將系統改成單端輸出，採用其濾波器合成方式，以利於降低的複雜度。
3. 在偏壓電路上加入可由外部調整的修正電路，避免偏壓的誤差會造成系統工作點飄移。
4. 必須考慮整體系統在繞線上產生寄生電容、寄生電阻的影響，依據不同電路的特性安排適當的繞線方式，使得寄生影響減至最低。



參考文獻

- [1] X. Quan, S.H.K. Embabi, and E. Sanchez-Sinencio, "A current-mode based field programmable analog array architecture for signal processing applications," in IEEE Proc. Custom Integrated Circuits, May 1998, pp.277 – 280.
- [2] J. Yasunari, T. Inoue, and A. Tsuneda, "A CMOS continuous-time FPAA analog core using automatically-tuned MOS resistors," in Proc. MWSCAS '04, vol. 1, July 2004, pp.153-156.
- [3] H. Kutuk, and S.M. Kang, "A field-programmable analog array (FPAA) using switched-capacitor techniques Circuits and Systems," in Proc. IEEE ISCAS '96, vol. 4, May 1996, pp.41 – 44.
- [4] J. Luo, J.B. Bernstein, J.A. Tuchman, H. Huang, K.J. Chung, and A.L. Wilson, "A high performance radiation-hard field programmable analog array," in Proc. ISQED '04, March 2004, pp.522 – 527.
- [5] T.S. Hall, C.M. Twigg, P. Hasler, and D.V. Anderson, "Developing large-scale field-programmable analog arrays," in Proc. IPDPS '04, April 2004, pp.142-147.
- [6] J. Becker, and Y. Manoli, "A continuous-time field programmable analog array (FPAA) consisting of digitally reconfigurable G/sub M/-cells," in Proc. ISCAS '04, vol. 1, May 2004, pp.1092-1095.
- [7] D. Anderson, C. Marcjan, D. Bersch, H. Anderson, P. Hu, O. Palusinski, D. Gettman, I. Macbeth, and A. Bratt, "A field programmable analog array and its application," in IEEE Proc. Custom Integrated Circuits, May 1997, pp.555 – 558.
- [8] B. Ray, P.P. Chaudhuri, and P.K. Nandi, "Design of OTA based field programmable analog array," in Proc. VLSI Design, Jan. 2000, pp.494 – 498.
- [9] B. Pankiewicz, M. Wojcikowski, S. Szczepanski, and Y. Sun "A field programmable analog array for CMOS continuous-time OTA-C filter applications," IEEE J. Solid-State Circuits, vol. 37, Feb. 2002, pp.125 – 136.
- [10] C.A. Looby, and C. Lyden, "Op-amp based CMOS field-programmable analogue array," in IEE Proc. Devices and Systems, vol. 147, April 2000 pp.93 – 99.
- [11] C.C. Hung, K.A.I. Halonen, M. Ismail, V. Porra, and A. Hyogo, "A low-voltage, low-power CMOS fifth-order elliptic GM-C filter for baseband mobile, wireless communication," IEEE Trans. Circuits and Systems for Video

- Technology, vol. 7, Aug. 1997, pp.584 – 593.
- [12]R. Galembeck, J.A. de Lima, and M.C. Schneider, “A Gm-C bump equalizer for low-voltage low-power applications,” in Proc. ISCAS '04, vol. 1, May 2004, pp.797-800.
- [13]S. Hori, T. Maeda, N. Matsuno, and H. Hida, “Low-power widely tunable Gm-C filter with an adaptive DC-blocking, triode-biased MOSFET transconductor,” in Proc. ESSCIRC '04, Sept. 2004, pp.99 – 102.
- [14]D. A. Johns, and K. Martin, JOHN WILEY & SONS, INC, ANALOG INTERGRATED CIRCUIT DESIGN ,1997.
- [15]P.K.T. Mok, and K.N. Leung, “Design considerations of recent advanced low-voltage low-temperature-coefficient CMOS bandgap voltage reference,” in IEEE Proc. Custom Integrated Circuits, Oct. 2004, pp.635 – 642.
- [16]R.T. Edwards, K. Strohhahn, and S.E. Jaskulek, “A field-programmable mixed-signal array architecture using antifuse interconnects,” in Proc. IEEE ISCAS 2000, vol. 3, May 2000, pp.319 – 322.

