

國立交通大學
電機與控制工程研究所

碩士論文

A Full-Bridge Class-D Amplifier Using
Sigma Delta Modulation

採用 $\Sigma-\Delta$ 調變之全橋功率放大器



研究生：陳鏗元

指導教授：胡竹生 博士

中華民國九十四年七月

採用 $\Sigma-\Delta$ 調變之全橋功率放大器

研究生：陳 鏗 元

指導教授：胡 竹 生 博士

國立交通大學電機與控制工程研究所碩士班



本論文以 $\Sigma-\Delta$ 為調變基礎設計並實現一數位功率放大器，以切換式訊號為輸入之數位功率放大器相較於類比 A/B 類，擁有體積小、功率效益較高的優點，而其重點在於可將任意訊號調變為單位元表示之前級訊號調變器，相較於常見的 PWM 調變法， $\Sigma-\Delta$ 調變器沒有倍頻雜訊，其較低的切換次數使系統減少切換損失。本論文將證明與分析高階 $\Sigma-\Delta$ 系統於單位元與 1.5 位元運算之穩定特性，由結果可以知道 1.5 位元運算於雜訊抑制的能力，以及切換次數之減低皆優於單位元運算。數位 $\Sigma-\Delta$ 調變器將實現於 FPGA，並配合後級之全橋功率放大器，作雙聲道之音頻訊號的放大與撥放。

A Full-Bridge Class-D Amplifier Using Sigma Delta Modulation

Student : Kang-Yuan, Chen

Advisor : Prof. Jwu-Sheng, Hu

Institute of Electrical and Control Engineering
National Chiao-Tung University



This thesis proposes a design of full-digital class-D amplifier using sigma-delta modulation. The class-D amplifier operating the MOSFET (or IGBT) in saturation mode has the advantages of smaller size and higher power efficiency over traditional class-A/B ones. The underlying principle of generating the switching command is to convert the input signal into an oversampled binary signal. Compared with PWM modulation, sigma-delta modulation produces less distortion, noise and number of switching. The design and stability analysis of digital sigma-delta modulation are studied in this thesis using both 1- and 1.5-bit quantization schemes. The results show that the 1.5-bit scheme further improves the noise shaping performance and switching number reduction. The digital sigma-delta modulator is implemented on an FPGA and a full-bridge power stage is constructed to verify the design method. The resulting experimental platform is able to achieve a stereo amplifier with 22.05KHZ audio bandwidth.

誌謝

在這兩年期間，我要感謝我的指導老師胡竹生教授，他於專業領域上的教導讓我體會不同的思考模式以及求學該有的態度，並了解老師於培育學生的耐心；另外要謝謝林清安教授，他不凡的頭腦卻細心認真的態度讓人佩服不已，並給我再一次學習線控的機會，讓我看到身為一個敬業的授業者所採取的態度。

同時要感謝實驗室所有成員，讓我在這兩年的研究充滿歡樂充實的回憶：沒有架子且實作超強的立偉學長，有實力又談笑風生的价呈，風趣自信且帥氣的宗敏，帶古怪思考並樂於助人的維瀚兄，聰明且另類反向思考的烏哥，耐心又想法奇異冷的 pazz，作事負責有條理且樂觀的康康，講話有趣、理論基礎很好的憶如學姊，口才好、想法獨特、多才多藝的安吉兄，有歡樂配飯且很照顧別人的家瑋，每次來找吃飯的群棋，脾氣很好的哈兄，人氣旺的岑思，認真細膩的興哥，熱心隨和的晏榮，以及實驗室學弟妹們，烏蕙、佩靜、朱木、螞蟻、恆嘉、耀賢、融哥。

此外要感謝我的家人，總是支持我的決定，讓我每次回家，一掃疲累並重新出發；媽媽有條理的分析事物，爸爸無限的慈愛，以及哥哥務實的建議，讓我於生活中受益良多。

目 錄

摘 要.....	i
ABSTRACT.....	ii
目 錄.....	iv
圖列.....	vi
表列.....	ix
第一章 序論.....	1
1.1 簡介.....	1
1.2 目標.....	4
1.3 論文貢獻.....	4
1.4 章節概要.....	5
第二章 調變理論.....	6
2.1 PWM(PULSE-WIDTH-MODULATION).....	6
2.2 CONSTRAINT OPTIMIZATION MODE.....	8
2.3 SIGMA-DELTA MODULATION ($\Sigma-\Delta$).....	10
2.3.1 $\Sigma-\Delta$ 之發展由來.....	10
2.3.2 $\Sigma-\Delta$ 之系統效果.....	12
2.4 統整與比較.....	13
2.5 1.5 位元運算.....	14
第三章 $\Sigma-\Delta$調變原理與設計.....	17
3.1 $\Sigma-\Delta$ 之穩態分析.....	17
3.1.1 系統之化減.....	17
3.1.2 系統之設計概念.....	19
3.1.3 輸出觀點來看系統與Noise Shaping 效果.....	20
3.1.4 狀態之穩態表示.....	21
3.2 $\Sigma-\Delta$ 之穩定條件.....	22
3.3 設計範例(四階 $\Sigma-\Delta$ 與高通NOISE SHAPING).....	25
第四章 1.5 位元$\Sigma-\Delta$調變機制.....	29
4.1 1.5 位元運算概念.....	29
4.1.1 1.5 位元於 $\Sigma-\Delta$ 之運算.....	30
4.2 1.5 位元 $\Sigma-\Delta$ 之穩定度分析.....	32
4.2.1 1.5 位元系統描述.....	32
4.2.2 1.5 位元之系統穩定性.....	33
4.2.3 1.5 位元系統之輸入範圍.....	35
4.3 1.5 位元 $\Sigma-\Delta$ 調變設計.....	38
4.3.1 設計範例.....	38

4.3.2 切換次數之比較.....	41
第五章 硬體架構與實現.....	42
5.1 USB 介面	43
5.1.1 硬體介紹.....	43
5.1.2 USB實做.....	44
5.2 FPGA	47
5.2.1 硬體介紹(Altera FLEX10K Emulation Board).....	47
5.2.2 FPGA實作	48
5.3 功率級.....	53
5.3.1 硬體介紹.....	53
5.3.2 功率級實作.....	54
第六章 效能評估與比較.....	57
6.1 訊號雜訊比(SNR, SIGNAL-TO-NOISE RATIO)	57
6.1.1 訊號級電壓量測與SNR比較.....	57
6.1.2 輸出級電壓量測與SNR比較.....	60
6.2 系統功率	61
6.2.1 單位元輸出輸入功率.....	61
6.2.2 1.5 位元輸出輸入功率.....	62
第七章 結語.....	64



圖列

圖 1-1、D 類放大器示意圖-----	1
圖 1-2、全數位式音頻放大器示意圖-----	2
圖 1-3、全數位式音頻放大器示意圖-----	4
圖 1-4、實作的組成結構；其中虛線部份為實做完成的部分-----	5
圖 2-1、Pulse-Width Modulator 示意圖-----	6
圖 2-2、NPWM UPWM 以及 DIPWM 運作圖[5]-----	7
圖 2-3、限制條件之最佳化輸出處理方塊圖-----	8
圖 2-4、Constrained Optimization Mode 處理法之訊號-----	10
圖 2-5、數位音訊簡易流程圖-----	10
圖 2-6、 Δ 調變之問題-----	11
圖 2-7、(a) Inose Δ 調變器 (b) 一階 $\Sigma - \Delta$ 調變器-----	11
圖 2-8、一階數位 $\Sigma - \Delta$ 調變器-----	12
圖 2-9、 n 階數位 $\Sigma - \Delta$ 調變器-----	12
圖 2-10、 $\Sigma - \Delta$ 調變器之輸出訊號-----	13
圖 2-11、為提升小訊號放大時的效能而產生不同的調變方-----	14
圖 2-12、Apogee 的三元調變與傳統 PWM 運作比較-----	15
圖 2-13、德州儀器的差動調變方法-----	16
圖 3-1、 n 階 $\Sigma - \Delta$ 調變器-----	17
圖 3-2、化簡後的 n 階 $\Sigma - \Delta$ 調變器方塊圖-----	18
圖 3-3、 $\Sigma - \Delta$ 調變之設計概念-----	19
圖 3-4、 W^{-1} 之頻率響應-----	20
圖 3-5、 $\Sigma - \Delta$ 調變器方塊圖 — 第一階-----	22
圖 3-6、NTF 頻率響應圖-----	25
圖 3-7、完整四階 $\Sigma - \Delta$ 系統設計等效示意圖-----	26

圖 3-8、 $\Sigma-\Delta$ 系統各階狀態變化圖-----	27
圖 3-9、單一位元數位訊號頻譜與時域圖-----	27
圖 3-10、PWM 數位訊號頻譜與時域圖-----	28
圖 4-1、切換開關示意圖-----	30
圖 4-2、切換訊號與開關波形關係圖-----	30
圖 4-3、單位元與 1.5 位元系統輸出之頻譜圖-----	31
圖 4-4、1.5 位元 $\Sigma-\Delta$ 架構圖-----	32
圖 4-5、1.5 位元 $\Sigma-\Delta$ 架構圖-----	33
圖 4-6、1.5 位元 $\Sigma-\Delta$ 示意圖-----	33
圖 4-7、系統架構圖-----	38
圖 4-8、 $\Sigma-\Delta$ 1.5 運算系統各階狀態變化圖-----	40
圖 4-9、1.5 位元數位訊號頻譜與時域圖-----	40
圖 4-10、單位元與 1.5 位元切換次數-輸入訊號關係圖-----	41
圖 5-1、全數位化音頻放大器系統方塊圖-----	42
圖 5-2、數位式音頻放大器實體照-----	42
圖 5-3、DMA- Cypress USB AN2131 控制單板-----	43
圖 5-4、USB 介面設計流程圖-----	46
圖 5-5、Altera FLEX10K Emulation Board-----	47
圖 5-6、USB/FPGA 資料存取時序圖-----	48
圖 5-7、FIFO 架構圖-----	49
圖 5-8、存取/寫入指標與 FIFO 狀態操作示意圖-----	50
圖 5-9、四階 $\Sigma-\Delta$ 調變器控制圖-----	51
圖 5-10、一階 $\Sigma-\Delta$ 調變器執行順序圖-----	52
圖 5-11、雙聲道 $\Sigma-\Delta$ 調變器之 FPGA 架構圖-----	52
圖 5-12、FPGA 實現之編譯結果-----	53

圖 5-13、TAS5121 腳位圖-----	54
圖 5-14、輸出功率與 P_{Vdd} 關係圖-----	55
圖 5-15、輸出功率與 $Power_Efficiency$ 關係圖-----	55
圖 5-16、功率放大器啟動程序-----	56
圖 6-1、系統訊號表示圖-----	57
圖 6-2、單位元訊號級輸出電壓時域圖-----	57
圖 6-3、單位元訊號級輸出電壓頻域圖-----	58
圖 6-4、1.5 位元訊號級輸出電壓時域圖-----	58
圖 6-5、1.5 位元訊號級輸出電壓頻域圖-----	58
圖 6-6、1.5 及單位元訊號級輸出電壓頻譜比較圖-----	59
圖 6-7、訊號級輸出訊號 SNR 與輸入振幅關係圖-----	59
圖 6-8、單位元輸出級電壓頻域圖-----	60
圖 6-9、1.5 位元輸出級電壓頻域圖-----	60
圖 6-10、單位元系統輸入電流與電壓圖-----	61
圖 6-11、單位元系統輸出電壓與電流圖-----	61
圖 6-12、1.5 位元系統輸入電流與電壓圖-----	62
圖 6-13、1.5 位元系統輸出電壓與電流圖-----	63

表列

表 1-1、D 類及類比功率放大器比較表-----	2
表 2-1、訊號調變法比較表-----	13
表 3-1、四階 $\Sigma-\Delta$ 系統係數-----	26
表 4-1、1.5 位元運算輸出-輸入關係表-----	31
表 4-2、四階 $\Sigma-\Delta$ 系統係數-----	40
表 5-1、USB 介面輸入輸出時序-----	44
表 5-2、四階 $\Sigma-\Delta$ 調變器實作係數-----	51



第一章 序論

1.1 簡介

功率放大器於音響系統的撥放過程中，扮演非常重要的角色，傳統的方法是以 Bipolar 為元件作類比式線性功率放大(Class A or Class AB)，推動後級喇叭，而此方法的功率效益約 40~60%之間，其損失之能量以熱能的形式散逸，因此需要借助散熱元件避免過熱的問題。

然而近二十年來由於製作 Power MOS 的技術發展，使數位式功率放大器(或稱 D 類功率放大器；digital power amplifier, or Class D Amplifier)漸漸受到矚目。D 類放大器最早是由 Baxandall 於 1959 年所提出，不同於類比形式，D 類放大器以開關模式運作[1]，此關鍵使其功率效益高達 90%以上。圖 1-1 為其示意圖，當元件不導通(turn off)時，流過之電流為零；而當元件導通(turn on)時，其跨壓幾乎為零，致使元件幾乎沒有能量損耗幾，對於理想開關，由於沒有切換損失，可達 100%之功率效益，以目前之 Power MOS 技術，已經可將功率效益提升至 95%[2]。

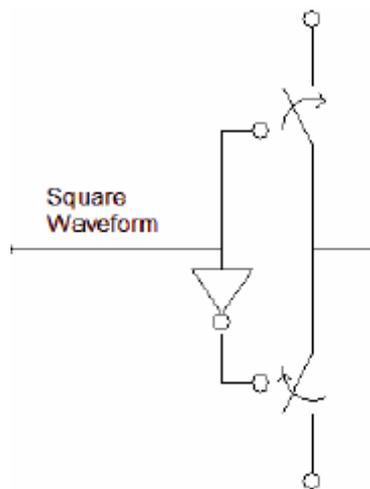


圖 1-1、D 類放大器示意圖

由於功率效益的提高，使 D 類放大器於成本及體積上皆優於 AB 類放大器，例如其較低的電流供應需求可降低電源供應裝置的成本，或增加電池使用的壽命；又如較小的熱散逸需求可縮減散熱裝置之體積(表 1-1)，因此近年來於手機、PDA、MP3 Player 等應用漸受歡迎[3]。

	Efficiency	Size/ Weight	Heat	Power Supply	EMI
Class A/B	Low	Large	High	Bipolar	Almost None
Class D	High	Small (> 3/4 reduction)	Low	Unipolar	High

表 1-1、D 類及類比功率放大器比較表

目前聲音及音樂的儲存或傳送已經幾乎全部數位化。例如 CD 唱盤、MP3 Player、數位通訊(GSM, CDMA)、VOIP 及數位錄音等，然而需要播放時，大部分方法均需透過數位類比轉換器(DAC, Digital to Analog Converter)，將數位訊號轉換為類比訊號，再輸入功率放大器後驅動喇叭。然而採用 D 類功率放大將可實現一個全數位式音頻放大器(圖 1-2)，免除 D/A 轉換介面的傳輸失真，使得從音源數位取樣後到播放間的所有過程全部數位化。

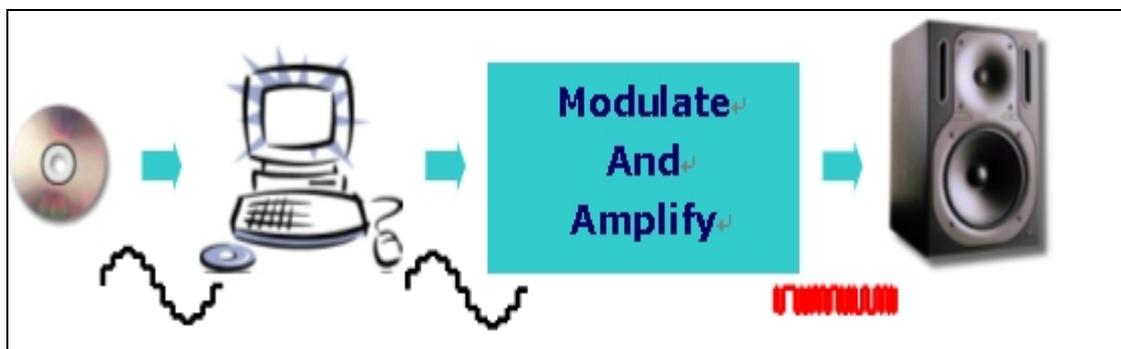


圖 1-2、全數位式音頻放大器示意圖

採用 D 類放大器的另外一個重點為切換式訊號的產生方法，一個好的切換訊號才能極盡展現 D 類放大器高功率效益的優點[1]。目前可見的架構為構造簡單的 Pulse-Width-Modulation(PWM)調變，以及 Sigma-Delta Modulation(Σ - Δ)。

其中，PWM 如其名，是將輸入訊號的大小訊息，經過三角波比較後，即轉換為雙位準(± 1)的時間寬度，當輸入訊號較大，則高準位的时间較長，反之亦然，對於理想的 PWM，其所產生的切換式訊號沒有諧波失真的問題[4][5]，然而實際上 PWM 方法會因為三角波的線性度影響[4]，以及數位式調變[6]而產生倍頻雜訊(THD: Total Harmonic Distortion)，因此為了降低頻帶內不必要的成分，常見設計將 PWM 配合 Noise-Shaping Block 使用[7][5]。而其問題在於數位實現時，為了增加 duty cycle 精度所需的時脈將高達 Giga Hz[5]；除外，於高切換頻率情況時，會有 EMI 的問題[8]，同時，在每一個三角波週期內必定有一次切換，造成功率級之切換損失無法減低。

而 Sigma-Delta Modulation 源自 Frank de Jager 於 1952 年提出之 Delta Modulator 架構[9]，其原理為利用過高的取樣頻率補償訊號位元數之降低[10]，使單位元切換訊號能表示 16 位元精度的輸入訊號，其中量化誤差將經由回授路徑通過回圈轉移函數，於頻帶中重新分布，使誤差之能量分布於高頻[11]，增加追蹤訊號之準確度，雖然一階的 Σ - Δ 系統是穩定的，但於高階設計上，將有穩定性以及是否符合規格要求的問題，且此架構較為複雜，實現上需要乘法器及較多的邏輯。

最後圖 1-3 所示為數位放大器之基本架構，其中輸入為 16 位元之音源訊號，首先將此取樣頻率為 44.1kHz 的訊號作升頻動作，再注入調變器作處理，主要目的為，以單位元訊號作快速切換以取代 16 位元訊號之表示，因此當單位元訊號通過低通濾波的時候，可以被還原成原本的音樂訊號之類比形式。

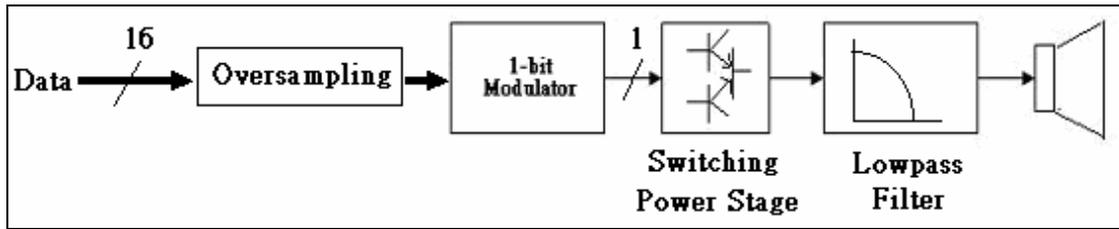


圖 1-3、全數位式音頻放大器示意圖

1.2 目標

本論文將以 Sigma-Delta 為基礎，證明與分析高階 $\Sigma-\Delta$ 系統的穩定特性，並設計一穩定之四階系統，於設計範例中將說明 $\Sigma-\Delta$ 具有可任意分佈量化誤差頻率響應的特性。

同時為了延長開關元件之壽命，減少切換損失，降低高頻成分，以及改善小訊號輸入之響應效果，本論文將闡釋 1.5 位元運算之 $\Sigma-\Delta$ 系統的運作概念，並證明其穩定性，且說明 1.5 位元運算相較於單位元運算，有切換次數更低，訊號雜訊比更高的優點。

最後達成將所設計之調變系統實現於研發測試版，並配合後級之全橋功率放大器，且於放大器輸出端不需要低通濾波器，直接輸入喇叭作音頻訊號之撥放，所量測的實際訊號與數據將於本論文最後分析與討論。

1.3 論文貢獻

本論文以[29]為基礎，將其實作平台做高頻響應的改善，並將後級的半橋架構改為全橋式功率放大器，使系統功率效益達 80% 以上，除外，本論文證明 1.5 位元運算的系統穩定特性，並模擬比較單位元與 1.5 位元之差異。

1.4 章節概要

本論文將依序介紹之重點如下：

第二章將說明調變訊號的產生方法與比較，並於最後說明為了解決小訊號小功率系統之低效能情形，所提出之目前可見的功率效益改善方法；第三章則介紹單位元 $\Sigma-\Delta$ 調變參數設計原理，並分析 $\Sigma-\Delta$ 系統，找出其穩定性的條件，末段將根據設計需求推導出實作所需之應用參數；第四章說明 1.5 位元 $\Sigma-\Delta$ 之運作概念，以及系統之穩定條件，而最後的系統係數設計將與單位元 $\Sigma-\Delta$ 作系統響應以及切換次數上的比較；第五章介紹平台架構及說明如何實現全數位化音響系統；第六章提出該數位化音訊平台之效能評估與比較；最後第七章為結論及心得總結。

其中，實作平台組成結構如圖 1-4 所示。亦即從 PC 端的 USB 埠及時接收數位音樂，並透過一 $\Sigma-\Delta$ 調變器將雙聲道 44.1KHz、16-bit 的 PCM 訊號調變為控制訊號，經 Class-D 功率級放大器後輸出。

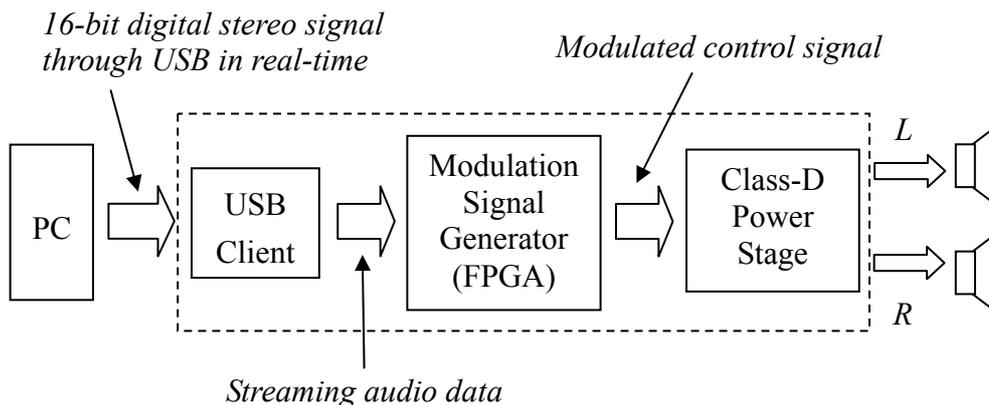


圖 1-4、實作的組成結構；其中虛線部份為實做完成的部分

第二章 調變理論

對於將 16 位元訊號轉換為單位元訊號流形式的方法除了最常見的 PWM 以及尚在研究階段的 Constrained Solution 之外，還有目前逐漸成熟之 $\Sigma-\Delta$ 方法，本章主要介紹此三種方法之原理與響應效果，並統整比較各方法之優劣，最後要介紹目前可見之 1.5 位元調變法。

2.1 PWM(Pulse-Width-Modulation)

由於構造簡單，PWM 為傳統之 D 類放大器常用的前級調變法，通常為類比形式。如圖 2-1，其運作是將輸入訊號與三角波作比較，如果比較結果大於零，則輸出 V_{switch} 為高準位，反之，則為低準位，而切換訊號的切換速度與三角波之頻率有關，其頻率愈快，則切換週期愈短，訊號追蹤之準度愈高；PWM 之原理為固定切換週期，調整脈波寬度，以改變輸出電壓的大小，使其正比於輸入[6]。

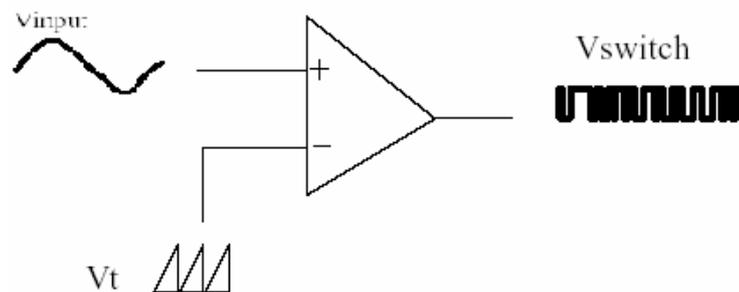


圖 2-1、Pulse-Width Modulator 示意圖

對於數位之實現[5][12][13]，不同於類比形式，其輸入訊號為取樣後的訊號，即所謂的 Uniform PWM(UPWM)架構，而當取樣頻率無限大時，則為理想狀態稱 NPWM(Natural PWM)，圖 2-2 為運作比較，系統於 NPWM 情況下，不會產生諧

波失真，而對於有取樣動作之 UPWM 卻會產生無法容忍的諧波失真，若希望藉著取樣頻率之提高降低諧波成分，將使系統之時脈需求提高。

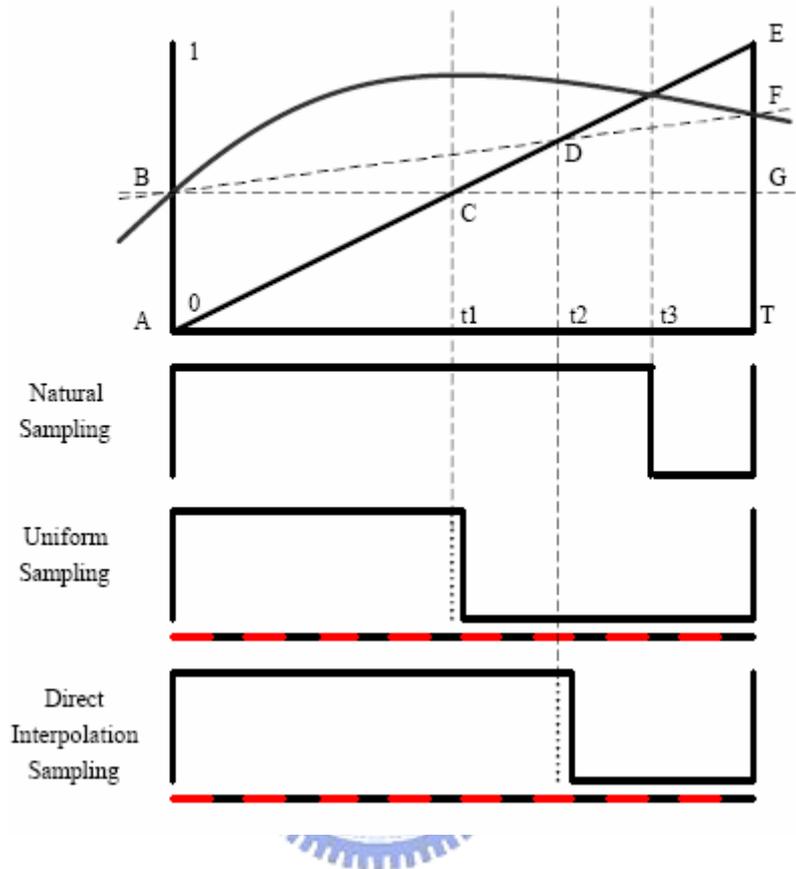


圖 2-2、NPWM UPWM 以及 DIPWM 運作圖[5]

基於上述實現上之困難，[5]提出一解決方法為 Direct Interpolation Sampling，即以線性內插方式，補償 UPWM 輸入訊號之不足(圖 2-2)，由於線性內插可以採相似三角形運算得到方波寬度，不增加運算複雜度；而[13]所提出的增強型 PWM 取樣法，是以調整某參數因子，使取樣週期內的點作非線性內插，其脈波寬度也可依數學式作預測。這些方法所期望的目的皆為希望藉由不變的取樣頻率，達到調變訊號最接近 NPWM 的狀態。

對於 PWM 數位化的重點，除了輸入訊號的取樣率之外，仍有切換波成形的問題，由於數位形式切換，其最短切換週期將受限於時脈頻率，若希望切換波形

達到 16 位元的精度，將產生內頻過高的問題[12](例如對於一個 16 位元準度的 PWM 系統，輸入為 44.1kHz 取樣的音樂訊號，若以 32 倍取樣頻率運作，則其內部時脈至少需為 $2^{16} \times 44.1k \times 32 = 92.48G$)，因此，[5]之作者提出，先將輸入訊號作前級 Noise Shaping 的處理，使其位元數降低，再輸入 PWM 作調變波的產生，由於訊號位元數降低，可大幅減低高時脈的需求，同時前級的雜訊重新分佈處理，可將因為降低位元數所產生的量化雜訊，移至頻帶外，因此仍然保有訊號之精度。

PWM 之應用近年來於音訊的處理如 TI 的 5000 系列，其中 TAS5036[14]更為六聲道 PWM 處理器。

2.2 Constraint Optimization Mode

此方法是以[15]為基礎，採有限制條件之輸出為出發點，在達到系統 Cost Function 為最小的情況下，找出最佳輸出值的解。其系統如圖 2-3，其中陰影部分為開迴路系統，而開迴路系統之輸出會作最佳化運算回授至輸入，希望達成 y 與輸入相差愈小愈好，其中回授訊號被限制為只有 ± 1 兩種準位。

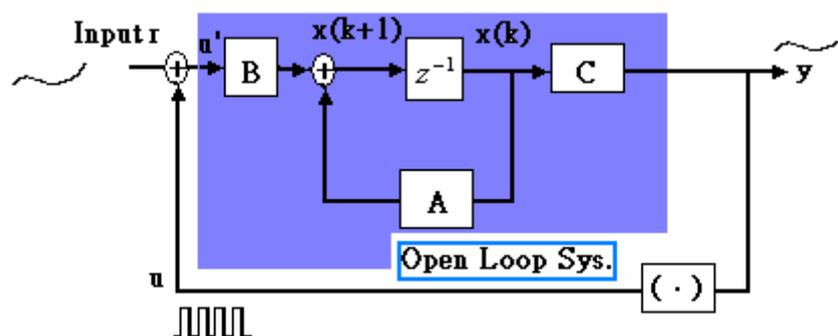


圖 2-3、限制條件之最佳化輸出處理方塊圖

最佳運算方塊的設計方法與系統的 Cost Function 之選取有關，在此由於希

望得到輸出 y 與輸入 r 可以愈相似愈好，因此選擇 Cost Function：

$$V_N = \sum_{t=k}^{t=k+1} [r(t) - y(t)]^T Q[r(t) - y(t)] + [r(k+2) - y(k+2)]^T P[r(k+2) - y(k+2)] \quad (2.1)$$

其中 $Q, P \in R^{1 \times 1}$ 且 $Q > 0, P > 0$

由系統方程式：
$$\begin{aligned} x(k+1) &= Ax(k) + Bu'(k) \\ y(k) &= Cx(k) \end{aligned} \quad \text{where } A \in R^{2 \times 2}, B \in R^{2 \times 1}, C \in R^{1 \times 2}$$

帶入式(2.1)，再對 u 做微分，可求得最佳解：

$$\begin{bmatrix} u(k) \\ u(k+1) \end{bmatrix}_{opt} = -W^{-\frac{1}{2}} \Phi^T \left\{ \begin{bmatrix} C^T QCA \\ C^T PCA \end{bmatrix} x(k) - \begin{bmatrix} C^T \\ C^T \end{bmatrix} [Qr(k+1) + Pr(k+2)] \right\}$$

其中 $W = \Phi^T \begin{bmatrix} C^T QC & 0 \\ 0 & C^T PC \end{bmatrix} \Phi \in R^{2 \times 2}, \Phi = \begin{bmatrix} B & 0 \\ AB & B \end{bmatrix} \in R^{4 \times 2}$

由於 Cost Function 自由度大，採此種方法不但可以產生期望的切換波，同時也可以將任意所期望的系統特性考慮進去(例如：切換次數、狀態之大小等等)，再加以不同之權重，並不會造成系統更複雜的情況。

然而對於此方法之開路系統的選取，卻有穩定性問題，由於其回授為非線性，無法依線性系統中的穩定性來判斷，經過幾次試驗發現當系統高於二階時，極容易發生不穩定情況；因此對於音頻訊號之應用，只能將雜訊推至某一定程度之高頻地帶，無法完全消除。

圖 2-4 為 64 倍取樣頻率情況下，處理 1kHz 且取樣頻率 44.1kHz 的訊號，左圖為切換訊號 u 的頻率響應分佈，右圖是將切換訊號通過截止頻率為 20.05kHz 的 Butterworth 低通濾波所得到的時域圖，可以發現時域圖有所失真，而從頻域圖上可以看到 20kHz 以內有一點雜訊分布，此時只能以提高取樣頻率作為改善。

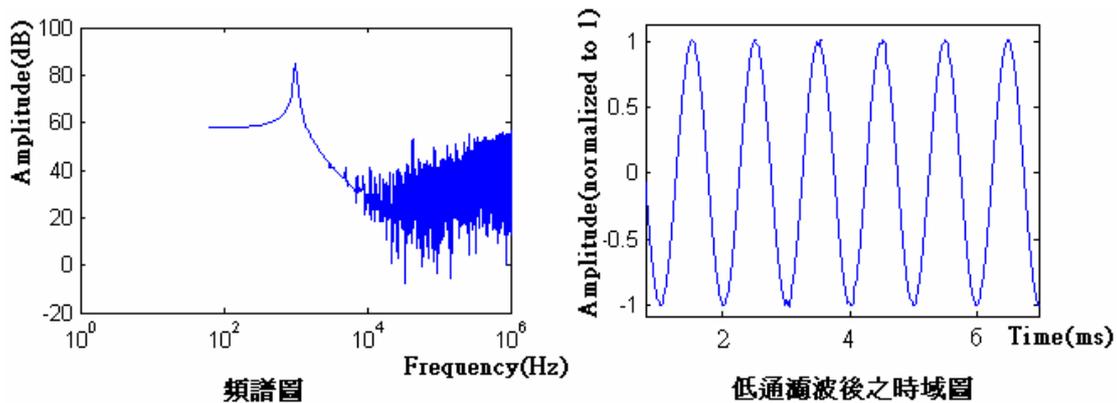


圖 2-4、Constrained Optimization Mode 處理法之訊號

2.3 Sigma-Delta Modulation ($\Sigma-\Delta$)

2.3.1 $\Sigma-\Delta$ 之發展由來

Sigma-Delta ($\Sigma-\Delta$) 的前身，Delta Modulator 架構最早由 Frank de Jager 於 1952 年提出[9]，主要應用在通訊領域。

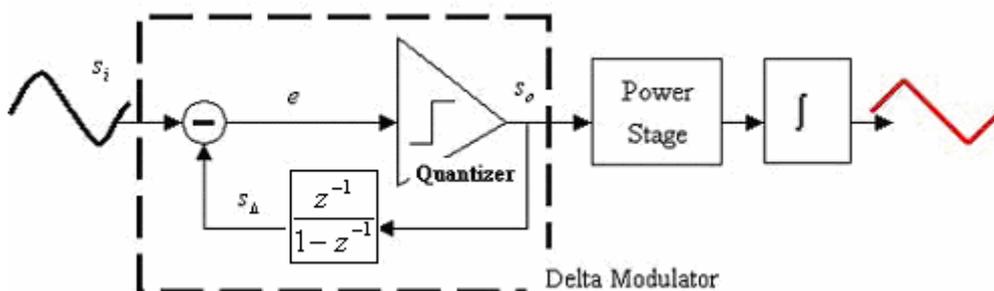


圖 2-5、數位音訊簡易流程圖

圖 2-5 所示為一數位音訊處理流程之簡單應用[16]，其中虛線部分即為 Δ 調變器架構示意圖。在此架構中，訊號經由 1-bit 量化器(1-bit Quantizer)產生 1 或 -1 的切換訊號，並透過迴授路徑之積分器產生類三角波後，與輸入訊號比較；當輸入訊號 s_i 大於三角波 s_Δ 時，即誤差項 e 大於零， s_o 被量化為高準位，因此積分後

三角波增大；相反地，若輸入訊號小於三角波，即誤差項小於零，則訊號將被量化為低準位，使得參考之三角波變小。如此反覆地切換動作，將使三角波 s_{Δ} 近似輸入訊號，且切換訊號透過後級之 Power Stage 功率放大，再經由積分產生近似輸入訊號的三角波，以達到放大輸出的目的。

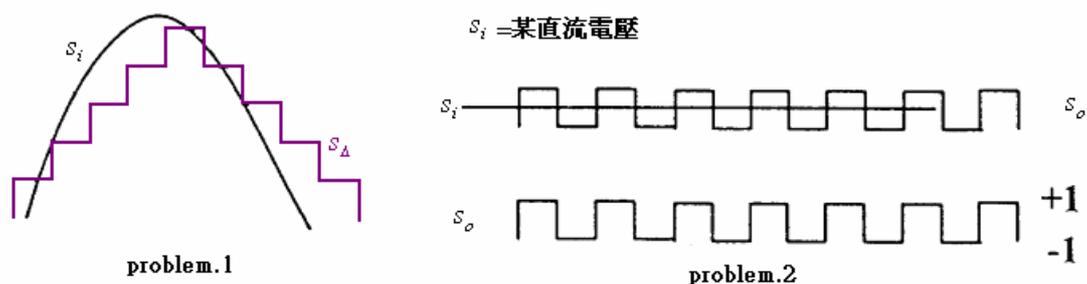


圖 2-6、 Δ 調變之問題

然而 Δ 調變器有兩個缺點，第一，若輸入訊號變化劇烈，將導致輸出 s_o 之積分無法追到輸入訊號；第二，當輸入訊號為直流電壓時，無法由輸出 s_o 得知電壓大小，於是，1962 年 Inose 基於 Δ 調變器架構提出 Sigma-Delta Modulation ($\Sigma - \Delta$)[17]，將 Δ 調變器在功率級後端之類比積分器移至訊號級(Signal Stage)，維持整體的系統響應，如圖 2-7(a)，如此不但可以使輸入先經過積分變為較平緩之訊號，對於直流之輸入，系統也能有效追蹤；而若將圖 2-7(a) 中的二個積分器與減法器做等效處理，可省下一個數位積分器，即成為圖 2-7(b) 之基本一階 $\Sigma - \Delta$ 架構。

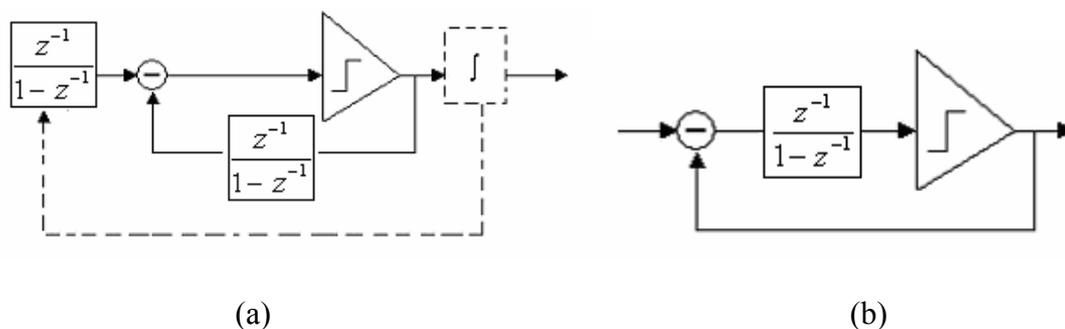


圖 2-7、(a) Inose Δ 調變器 (b) 一階 $\Sigma - \Delta$ 調變器

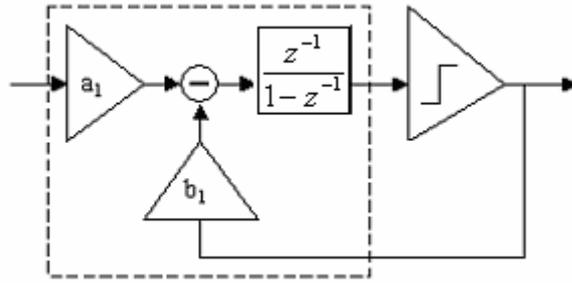


圖 2-8、一階數位 $\Sigma-\Delta$ 調變器

若以 2-8 之一階架構將之串接即可實現 n 階 $\Sigma-\Delta$ 調變器，其中 a_n 、 b_n 、 \dots 、 a_1 、 b_1 為其係數，可以控制回授路徑以及訊號路徑之各階權重。

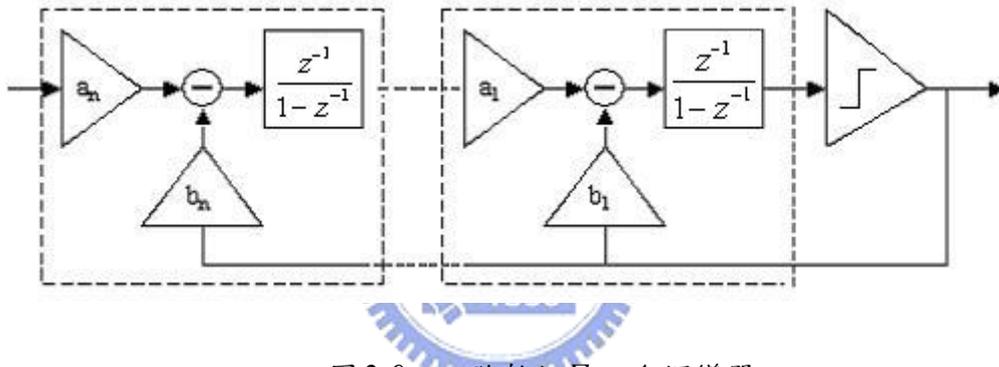


圖 2-9、 n 階數位 $\Sigma-\Delta$ 調變器

2.3.2 $\Sigma-\Delta$ 之系統效果

由圖 2-10 可以得知，當輸入 1kHz 取樣頻率為 44.1kHz 的訊號，在經過二階之 $\Sigma-\Delta$ 系統，產生 64 倍頻率的單位元訊號時，其雜訊分布已經被移至高於音頻訊號的範圍，而由右圖可見輸出之切換訊號，通過低通濾波(截止頻率為 20.05kHz 的 Butterworth 低通濾波)之後的時序圖，若可以將系統設計為更高階數的架構，其雜訊分布情形將更不會影響我們所要的音樂訊號。

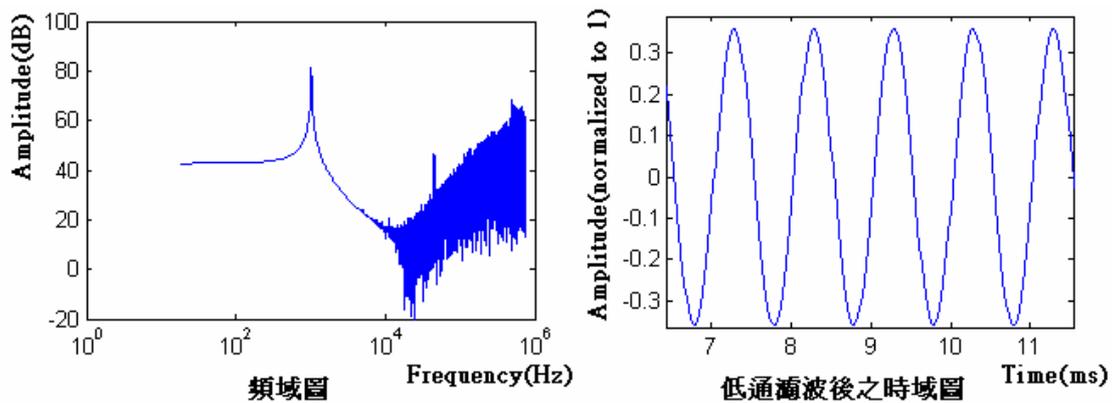


圖 2-10、 $\Sigma-\Delta$ 調變器之輸出訊號

2.4 統整與比較

表 2-1 為三種調變法之統整，其中 PWM 雖然構造簡易無穩定性問題，但是其數位化效果沒有另外兩個理想，且切換次數也無法降低；而 Constrained Optimization 之方法提供了一個適合小系統運作，且訊號響應有一定水準之要求的應用；而 $\Sigma-\Delta$ 系統為一個可彈性設計為高階或低階之調變方法，雖然構造較複雜，需要乘法與加法運算，但是如果設計得當，系統響應可以理想地將雜訊推至所期望的頻帶，不致干擾輸入訊號。

	構造	Stability	THD	時脈需求	SNR
PWM	簡單	穩定	高	高	低
Constrained Optimization	較複雜	二階以下 穩定	中	低	高
$\Sigma-\Delta$	複雜	高階穩定	低	低	高

表 2-1、訊號調變法比較表

2.5 1.5 位元運算

針對小功率輸出或小訊號的功率放大的效率改善，在此介紹兩種方法，皆以改變調變訊號的產生為解決方法；分別為 Apogee Technology 的三元調變(Ternary Modulation)以及德州儀器的差動調變(Differential Modulator)[18]。

圖 2-11 說明了傳統、以及此兩種方法運算結果上的差異：

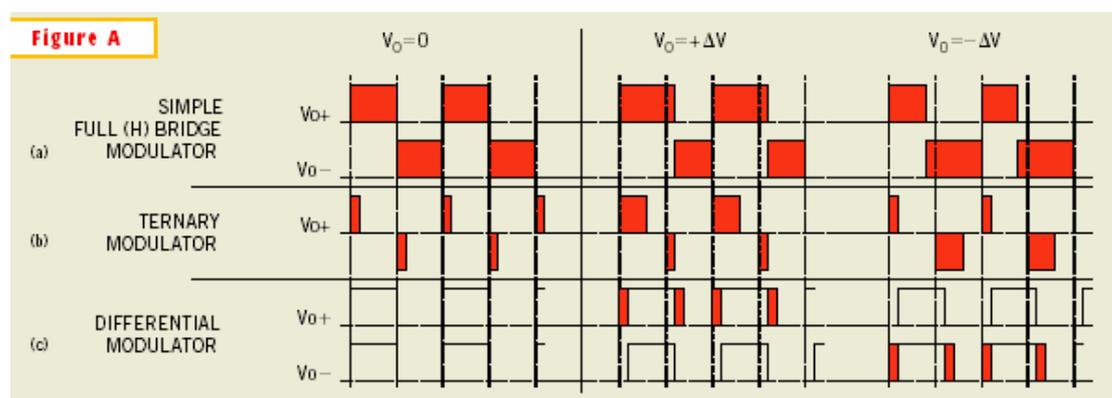


圖 2-11、為提升小訊號放大時的效能而產生不同的調變方式[18]; (a) 傳統全橋式調變; (b) Apogee Technology 三元調變; (c) 德州儀器差動調變

Apogee Technology 的三元調變是採用 PWM 調變方法[19]，而輸出端電壓除了 ± 1 之外多了一個 0 準位，圖 2-12 顯示輸入訊號與輸出之關係，目前採用此方法之音訊處理應用有 Apogee 的 DDX2000 系列[20]，可搭配 Apogee 的功率級 DDX2060 做雙聲道的功率放大，然而由於採 PWM 運算，其取樣頻率需高達輸入取樣的 256 倍，而輸出則需低通濾波，將頻帶外雜訊濾除。

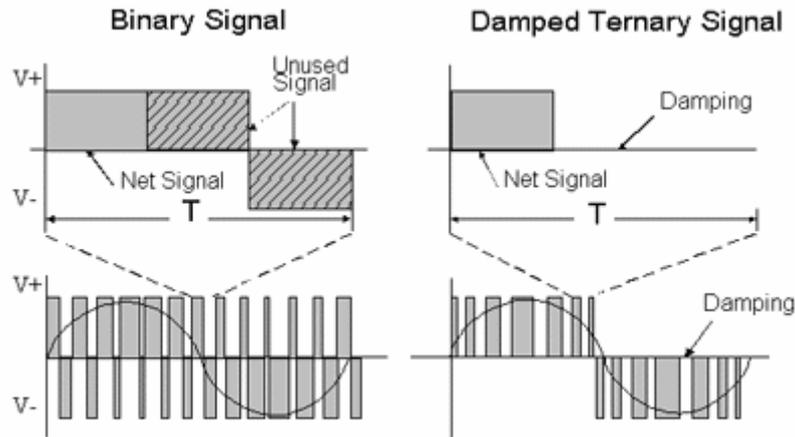


圖 2-12、Apogee 的三元調變與傳統 PWM 運作比較

德州儀器的差動調變則採取正電流與負電流切換的方式，當輸入電壓為零時，其兩輸出為 duty cycle=50%的方波，平均電流值為零，而當有輸入電壓值時，則兩輸出端調整各自的 duty cycle，產生差動電流(如圖 2-13)。由於無法取得實際運算方法，在此判斷可能的運算法為，先將輸入訊號經過傳統 PWM 做運算後，所得的脈波寬度則為兩輸出訊號(OUTP、OUTN)之間的相位差。由於這個做法是以 duty cycle 為出發點，因此使用數位調變時，其解析度的提升仍需要較高的時脈(clock rate)。

本論文將於下兩章依[21]提出之方法，說明 $\Sigma-\Delta$ 架構之 1.5 位元調變，由於此方法只改變原 $\Sigma-\Delta$ 架構之比較器運算，因此其電源供應及系統取樣頻率皆不受影響，且由於 $\Sigma-\Delta$ 本身的切換次數較 PWM 低，於放大後的輸出，不需低通濾波即可直接經由喇叭撥放。

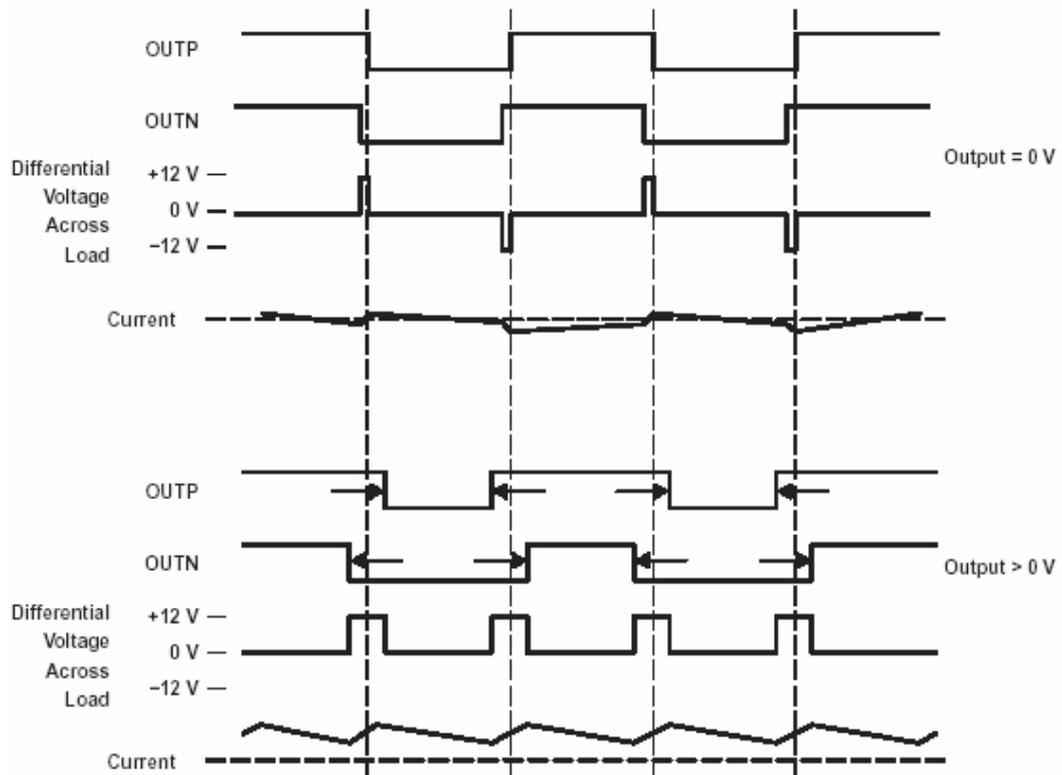


圖 2-13、德州儀器的差動調變方法



第三章 $\Sigma-\Delta$ 調變原理與設計

基於 $\Sigma-\Delta$ 之種種優勢，本章將基於[11]介紹此調變方法之設計概念及設計流程，首先於 3.1 做系統分析了解穩態時各狀態的情況，並基於化減形式說明設計概念，接下來於 3.2 中說明穩定條件，最後在 3.3 的設計範例說明實作中所採用的係數。

3.1 $\Sigma-\Delta$ 之穩態分析

3.1.1 系統之化減

由於設計上的方便，我們必須將 $\Sigma-\Delta$ 架構作等效上的簡化，以便之後看出雜訊轉換函數(Noise Transfer Function)，以及訊號轉移函數 (Signal Transfer Function)，更藉此分析雜訊對系統響應的影響。

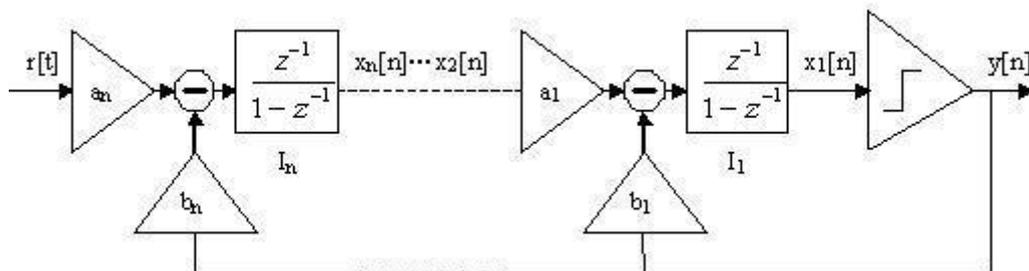


圖 3-1、 n 階 $\Sigma-\Delta$ 調變器

根據圖 3-1 之 n 階 $\Sigma-\Delta$ ，可以依每一個數位積分器，寫出下列 n 階系統之狀態方程式，以及取 Z 轉換之方程式：

$$\begin{cases} x_1[n] = x_1[n-1] - b_1 y[n] + a_1 x_2[n] \Rightarrow X_1(z) = \left(X_2(z) \frac{a_1}{b_1} - Y(z) \right) \frac{b_1}{1-z^{-1}} & (3.1) \\ x_2[n] = x_2[n-1] - b_2 y[n] + a_2 x_3[n] \Rightarrow X_2(z) = \left(X_3(z) \frac{a_2}{b_2} - Y(z) \right) \frac{b_2}{1-z^{-1}} & (3.2) \\ \vdots \\ x_n[n] = x_n[n-1] - b_n y[n] + a_n r[n] \Rightarrow X_n(z) = \left(R(z) \frac{a_n}{b_n} - Y(z) \right) \frac{b_n}{1-z^{-1}} & (3.3) \end{cases}$$

且由(3.1)、(3.2)、(3.3)疊代，將狀態 $X_2(z) \sim X_n(z)$ 代換為 $R(z)$ 、 $Y(z)$ ，最後可得：

$$X_1(z) = W(z)[F(z)R(z) - Y(z)] \quad (3.4)$$

其中

$$\begin{cases} F(z) = \frac{a}{N(z)}, \quad a = a_1 a_2 \cdots a_n & (3.5) \\ W(z) = \frac{N(z)}{(z-1)^n} & (3.6) \\ N(z) = b_1(z-1)^{n-1} + b_2 a_1(z-1)^{n-2} + \cdots + (b_n a_{n-1} \cdots a_2 a_1) & (3.7) \end{cases}$$

因此，可以將化簡後的 Σ - Δ 以等效的方塊圖畫出：

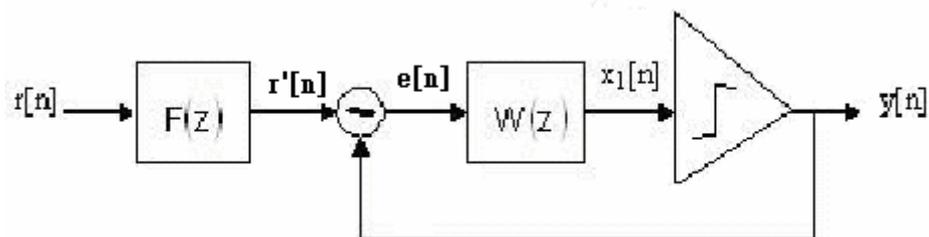


圖 3-2、化簡後的 n 階 Σ - Δ 調變器方塊圖

3.1.2 系統之設計概念

由圖 3-2 可以看出，此系統輸出 $y[n]$ 所要追蹤的訊號為輸入訊號通過訊號轉移函數 F (Signal Transfer Function) 後的值 $r'[n]$ ，其誤差 $e[n]$ 會先通過回圈濾波器 W (Loop Filter)，再經過比較器決定輸出；因此可看出，當 $e[n] > 0$ 時，表示輸入訊號 $r'[n]$ 比較大，輸出 $y[n]$ 為了追蹤輸入，則須維持大於零；同理，當 $e[n] < 0$ 時，表示輸入訊號較小，此時 $y[n]$ 應該要變為小於零的值。

W 扮演的角色為頻率選擇動作，假設 W 為低通濾波，則 $Y[n]$ 對於 $r'[n]$ 的低頻成分追蹤效果較 $r'[n]$ 的高頻成分要好，反之亦然，其實由方塊圖 3-2 也可得知，誤差訊號 $e[n]$ 在進入比較器之前，會先經過 W 做濾波，如果 W 是低通，則 $e[n]$ 的高頻訊息無法到達比較器，因此比較器只能針對 $e[n]$ 的低頻訊號做及時反應，因而 $Y[n]$ 與 $r'[n]$ 在低頻成份的近似度較高。可以從圖 3-3 看出此設計概念，由於 $y[n]$ 是高速切換的脈波，和輸入 $r'[n]$ 不可能完全一樣，但是我們可以讓這兩個訊號在某一個頻帶非常相似，本文的應用中，則是讓他們在音頻內非常相似。

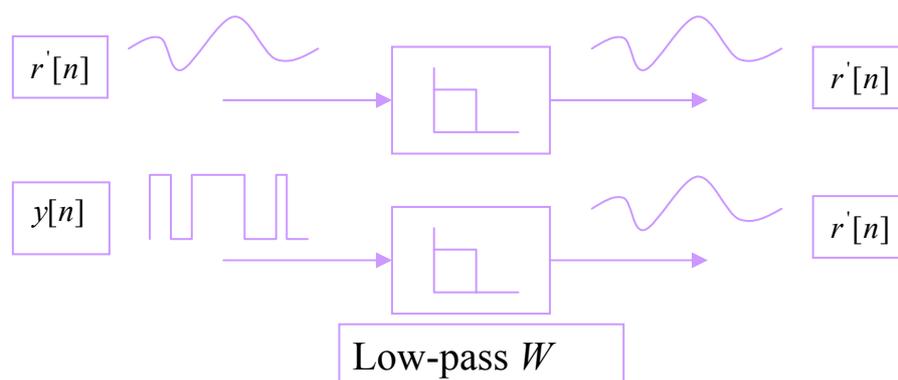


圖 3-3、 $\Sigma - \Delta$ 調變之設計概念

3.1.3 輸出觀點來看系統與 Noise Shaping 效果

若以輸出觀點來看，由(3.4)式可得輸出之等式：

$$Y = FR + W^{-1}X_1 \quad (3.8)$$

因此可以發現，理想狀態下， $X_1=0$ ，則輸出 $Y = FR$ ；但是於實際系統中，由於切換速度有限，因此不可能使 X_1 永遠為零[22]；因此輸出必包含兩部分，第一項為我們所要的訊號 FR ，而另外一項為量化誤差 X_1 所造成的雜訊，所幸的是，量化誤差會先經過 W^{-1} 濾波，再出現於輸出 Y 中；當 FR 分布為低頻帶時，我們可以選擇 W^{-1} 為高通濾波器，使量化誤差於低頻的成分不會出現於 Y 中，便可以讓 Y 的兩個訊號成分不會互相干擾。

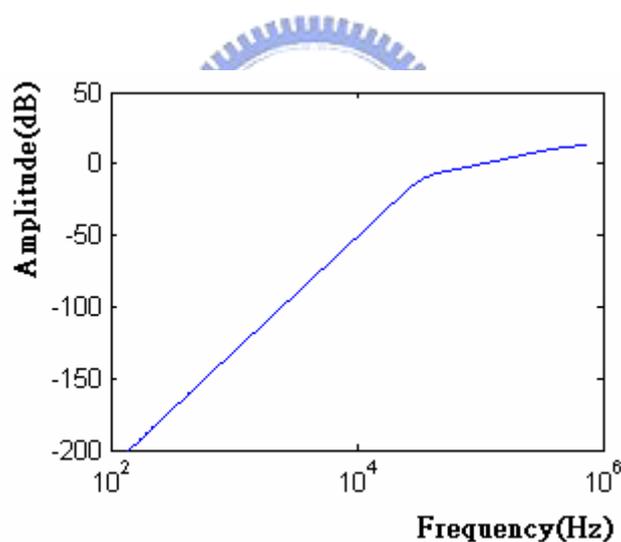


圖 3-4、 W^{-1} 之頻率響應

圖 3-4 為本論文所採用之 W^{-1} 頻譜圖，由圖可以知道 W^{-1} 具有抑制低頻成分而放大高頻的響應，因此，量化誤差通過 W^{-1} 後其頻率分布會被改變，原本分布於低頻的成分則被推至高頻處，因此 $\Sigma - \Delta$ 之另一項特性為，具有讓雜訊重新分布的能力，在後面的設計方法中，將說明如何使雜訊分布於任意所想要的頻帶。

3.2 $\Sigma-\Delta$ 之穩定條件

在歷年 $\Sigma-\Delta$ 的研究上可以發現，係數匹配的問題使得二階以上的系統極其不易穩定，而 2004 年於[11]及[22]所找出之穩定條件，將於此部分描述如下。

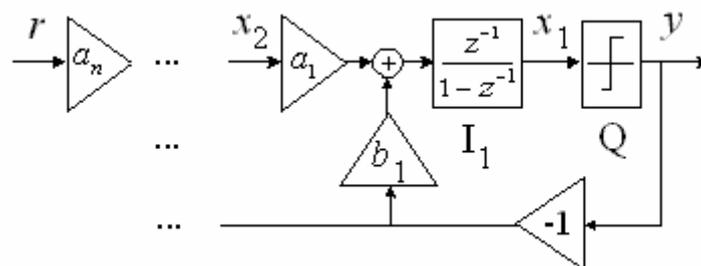


圖 3-5、 $\Sigma-\Delta$ 調變器方塊圖 — 第一階

- 第一步：量化誤差，也就是狀態變數 x_1 之振幅限制

首先由第一階之 $\Sigma-\Delta$ 可得方程式：

$$x_1(k+1) = x_1(k) - b_1 y(k) + a_1 x_2(k) \quad (3.13)$$

$$y(k) = \text{sgn}[x_1(k)] \quad (3.14)$$

因此可得 x_1 之差分：

$$\Delta x_1 = x_1(k+1) - x_1(k) = -b_1 y(k) + a_1 x_2(k) = -b_1 \text{sign}(x_1) + a_1 x_2(k) \quad (3.15)$$

在此以減小量化誤差 x_1 為出發點，希望其大小隨時間而漸小，首先定義二次式 V 正比於量化誤差之能量：

$$V = \frac{1}{2} x_1^2$$

由於函數 V 恆大於等於零，當 V 等於零時表示量化誤差 x_1 為零，因此只要

使 $x_1\Delta x_1$ 在 $x_1 \neq 0$ 時恆小於零，則可以使 V 為非增加之函數：

$$x_1\Delta x_1 = x_1[-b_1\text{sign}(x_1) + a_1x_2(k)] = -|x_1|[b_1 + a_1\text{sign}(x_1)x_2] < 0$$

$$\therefore |x_2| < \frac{b_1}{a_1} \quad (3.16)$$

因此，在(3.16)的條件下，可以保證量化誤差之能量不會增加，且可得 x_1 之差分於某一範圍內：

$$|\Delta x_1| = |-b_1\text{sign}(x_1) + a_1x_2(k)| \leq b_1 + a_1 \max(|x_2|) \quad \text{where } \max(|x_2|) < \frac{b_1}{a_1} \quad (3.17)$$

同時，由於條件(3.16)可以使 $x_1\Delta x_1 < 0$ (*for* $x_1 \neq 0$)，也就是當 $x_1(k) > 0$ 時， $\Delta x_1(k) < 0$ ，因此使 $x_1(k)$ 減小，也就是 $x_1(k+1) < x_1(k)$ ；同理，當 $x_1(k) < 0$ 時， $\Delta x_1(k) > 0$ ，會使 $x_1(k)$ 增加，則 $x_1(k+1) > x_1(k)$ ，且最大變動量為(3.17)，因此可以得知 $x_1(k)$ 會愈來愈靠近零，而最終被限制於 $|\Delta x_1|$ 的最大變動範圍內：

$$|x_1| \leq (b_1 + a_1 \max(|x_2|))$$

● 第二步：其餘狀態變數之穩定

由式(3.1)可以得到 y 與 x_1 、 x_2 之關係：

$$y(k) = (a_1/b_1)x_2(k) - (1/b_1)\Delta x_1(k)$$

將上式帶入(3.2)~(3.3)可以得到各狀態關係式：

$$\left\{ \begin{array}{l} x_2(k+1) = (1 - \frac{a_1 b_2}{b_1})x_2(k) + a_2 x_3(k) + \frac{b_2}{b_1} \Delta x_1 \\ x_3(k+1) = -\frac{a_1 b_3}{b_1} x_2(k) + x_3(k) + a_3 x_4(k) + \frac{b_3}{b_1} \Delta x_1 \\ \vdots \\ x_{n-1}(k+1) = -\frac{a_1 b_{n-1}}{b_1} x_2(k) + x_{n-1}(k) + a_{n-1} x_n(k) + \frac{b_{n-1}}{b_1} \Delta x_1 \\ x_n(k+1) = -\frac{a_1 b_n}{b_1} x_2(k) + x_n(k) + a_n r(k) + \frac{b_n}{b_1} \Delta x_1 \end{array} \right.$$

由上面關係式，可以寫成系統狀態方程式：

$$\mathbf{x}(k+1) = A\mathbf{x}(k) + B_1 r(k) + B_2 \Delta x_1(k) \quad (3.18)$$

其中， $A = \begin{bmatrix} -a_1 b_2 / b_1 + 1 & a_2 & 0 & \cdots & 0 \\ -a_1 b_3 / b_1 & 1 & a_3 & \ddots & \vdots \\ -a_1 b_4 / b_1 & 0 & \ddots & \ddots & 0 \\ \vdots & \vdots & \ddots & 1 & a_{n-1} \\ -a_1 b_n / b_1 & 0 & \cdots & 0 & 1 \end{bmatrix}$, $B_1 = \begin{bmatrix} 0 \\ \vdots \\ 0 \\ a_n \end{bmatrix}$, $B_2 = \begin{bmatrix} b_2 / b_1 \\ b_3 / b_1 \\ \vdots \\ b_n / b_1 \end{bmatrix}$

由矩陣 A 可以得知，系統的特徵方程式：

$$b_1(z-1)^{n-1} + b_2 a_1 (z-1)^{n-2} + b_3 a_2 a_1 (z-1)^{n-3} \cdots + (b_n a_{n-1} \cdots a_2 a_1) \quad (3.19)$$

因為輸入 $r(k)$ 以及 $\Delta x_1(k)$ 皆為有限值，因此，只要確保系統(3.18)是穩定系統，則可以使系統狀態皆為有限值，也就是讓式(3.19)的根落在單位圓內。此外，由觀察可以知道，上式之特徵方程式即為系統迴圈濾波器 W 之分子，所以在設計上只要 W 之零點落在單位圓內，以及狀態 x_2 符合(3.16)則可以保證系統之穩定。

3.3 設計範例(四階 $\Sigma-\Delta$ 與高通 Noise Shaping)

在此所設計的取樣頻率(Sampling Frequency)為 1499.4kHz，即 34 倍於 CD 光碟儲存之 44.1 KHz 取樣；首先，選擇雜訊轉移函數(Noise Transfer Function)之截止頻率遠高於 20kHz 音頻範圍，其函式係數如下：

$$NTF = \frac{z^4 - 4z^3 + 6z^2 - 4z + 1}{z^4 - 3.3438z^3 + 4.2382z^2 - 2.4088z + 0.5173}$$

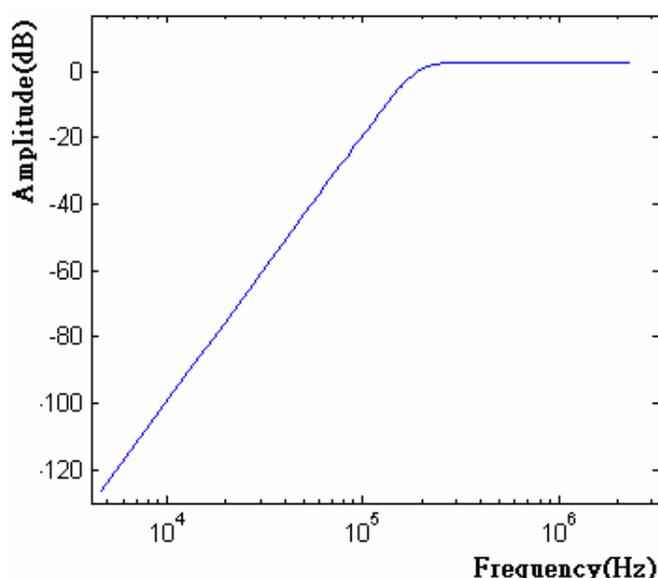


圖 3-6、NTF 頻率響應圖

由上述之 NTF 可以求得 $\Sigma-\Delta$ 化簡形式中的 $W(z)$ ，以及 $F(z)$ ，其中 $W(z)$ 之零點皆於單位元之內：

$$W(z) = \frac{1 - NTF}{NTF} = \frac{0.6562z^3 - 1.7618z^2 + 1.5912z - 0.4827}{(z-1)^4}$$

$$F(z) = \frac{a_4 a_3 a_2 a_1}{0.6562z^3 - 1.7618z^2 + 1.5912z - 0.4827}$$

經過(3.7)係數比較之後，可以得到四階 $\Sigma-\Delta$ 的係數關係式，之後，根據穩定性條件可決定係數 $a_1 = b_1 - 0.1$ 。基於系統狀態參數的極限值可寫出限制方程式：

$$\|x_2\|_{\text{ss}\infty} \approx \frac{223.5a}{a_1} \|r\|_{\text{ss}\infty} + \frac{0.4241}{a_1} \|x_1\|_{\text{ss}\infty} \leq 1$$

$$\|x_3\|_{\text{ss}\infty} \approx \frac{70.4a}{a_1 a_2} \|r\|_{\text{ss}\infty} + \frac{0.069}{a_1 a_2} \|x_1\|_{\text{ss}\infty} \leq 1$$

$$\|x_4\|_{\text{ss}\infty} \approx \frac{12.3a}{a_1 a_2 a_3} \|r\|_{\text{ss}\infty} + \frac{0.0045}{a_1 a_2 a_3} \|x_1\|_{\text{ss}\infty} \leq 1$$

最後由上式關係可求得如表 3-1 之系統係數及圖 3-7 的等效示意圖。3-8 顯示輸入為 1kHz 所模擬之各狀態時域圖。

$a_1 = 0.5562$	$a_2 = 0.2$	$a_3 = 0.1$	$a_4 = 0.0449$
$b_1 = 0.6562$	$b_2 = 0.3718$	$b_3 = 0.3256$	$b_4 = 0.2639$

表 3-1、四階 $\Sigma-\Delta$ 系統係數

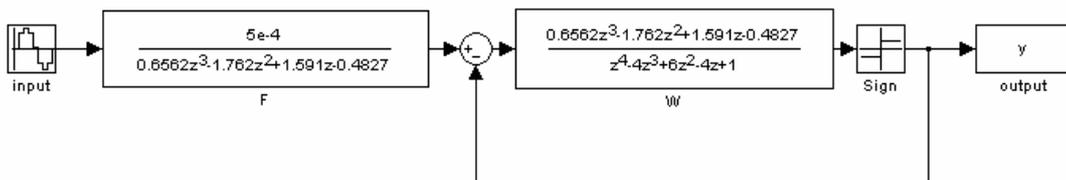


圖 3-7、完整四階 $\Sigma-\Delta$ 系統設計等效示意圖

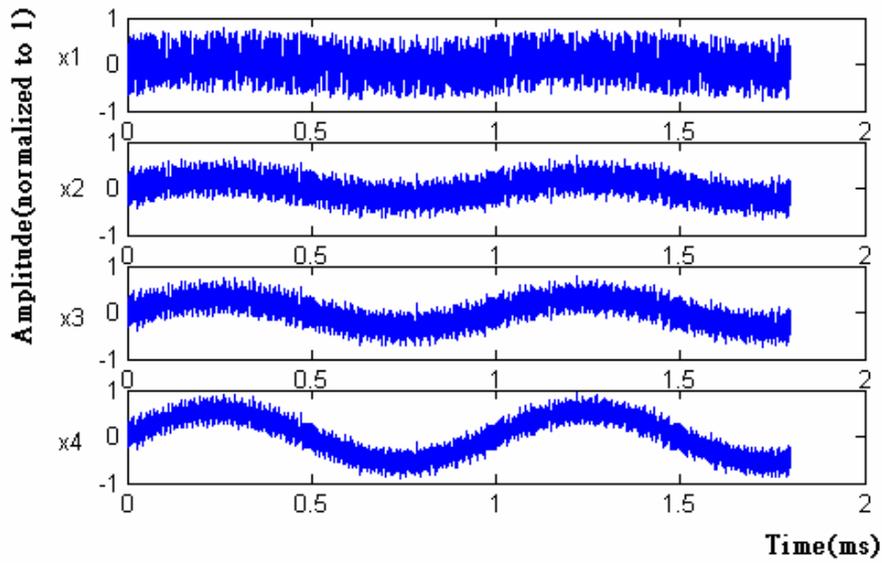


圖 3-8、 $\Sigma-\Delta$ 系統各階狀態變化圖

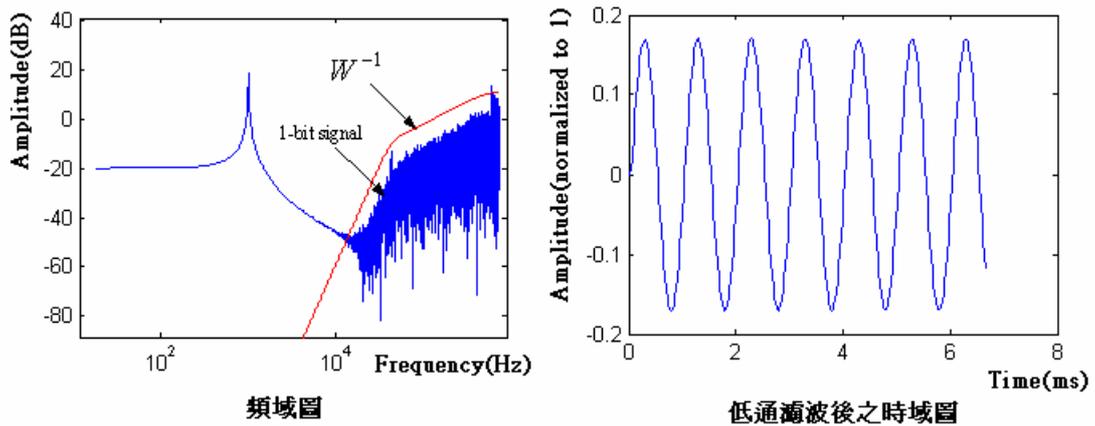


圖 3-9、單一位元數位訊號頻譜與時域圖

圖 3-10 則為系統模擬 2.1 之 PWM 系統，其中輸入訊號採理想輸入，而輸出訊號最快切換頻率為 44.1kHz 的 34 倍，由圖可以知道，對於 PWM 運算，即使輸入沒有取樣的問題，但是輸出之切換精度需要相當高的頻率，否則不甚理想。

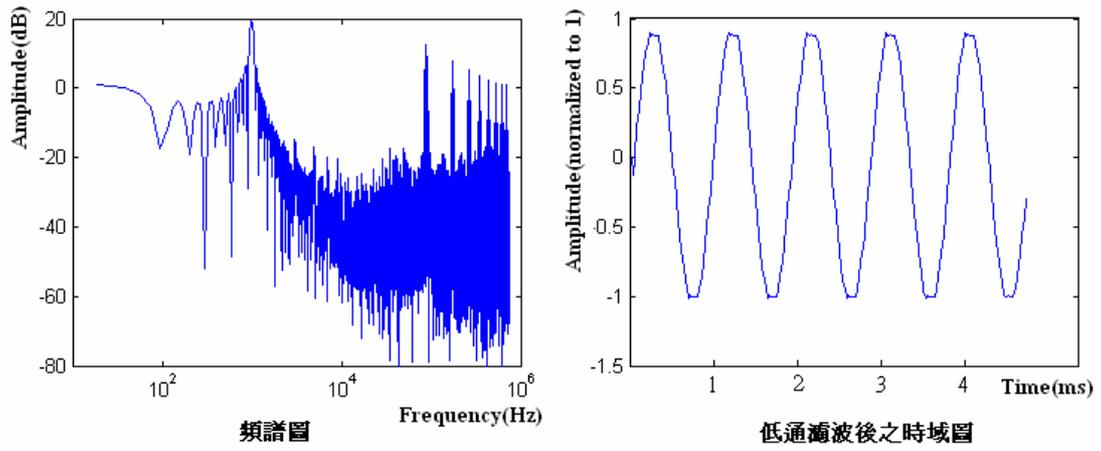


圖 3-10、PWM 數位訊號頻譜與時域圖



第四章 1.5 位元 $\Sigma-\Delta$ 調變機制

由圖 2-11 所示為提升小訊號放大時的效能而產生不同的調變方式，可以發現事實上新的切換命令(2-11(b) and (c))比上傳統調變(2-11(a))多了一個零切換的狀態。若以週期性 PWM 來產生零切換，可以循如參考文獻[12]的方法，將輸入訊號的正負部份分開調變後產生相差。如果使用 $\Sigma-\Delta$ 調變，則為 1.5 位元回授調變，也就是輸出 $y[n]$ 之狀態除了原本之 ± 1 外，多了一個 0 狀態。

本章將基於[21] 所提出之方法，首先在 4.1 介紹 1.5 位元之變化概念，而採用[23]的方法，於 4.2 分析說明系統的穩定度，最後由 4.3 的設計範例說明實作上所採用的係數，並與單位元 $\Sigma-\Delta$ 作系統響應以及切換次數上的比較。

4.1 1.5 位元運算概念



D 類功率放大器，是以切換式訊號，控制元件導通或截止，造成電流不同的流向，達到功率放大的效果；其後級之示意圖如 4-1，由切換開關與喇叭所構成，由 4-2 可以得知，當訊號 Y 用 1 位元表示時，切換開關 S_1 等於 S_3 ， S_2 等於 S_4 ，且此兩組為互補脈波，因此當訊號 Y 由 +1 轉換到 -1 時，開關動作必須先將 S_1 、 S_3 作 off 動作，再將 S_2 、 S_4 作 on 動作，反之亦然，每次切換動作必使每個開關作切換一次；而對於 1.5 位元之訊號，由於 Y 多了 0 準位，因此，當訊號由 +1 轉換到 0 準位，或 -1 轉換到 0 準位時，只需將其中某一開關作 off 的動作，其餘皆維持原狀，因此，只要確保切換訊號 Y 能夠準確表示所想要的訊號，則 1.5 位元之方法可以省下可觀的切換次數，除了減少切換損失，熱能消耗之外，對於抑制 EMI 以及延長元件使用壽命皆有所改善。

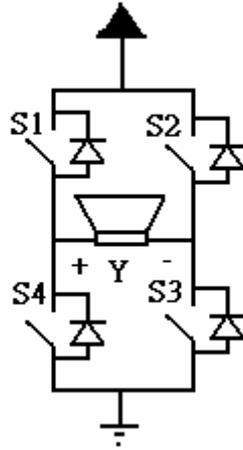


圖 4-1、切換開關示意圖

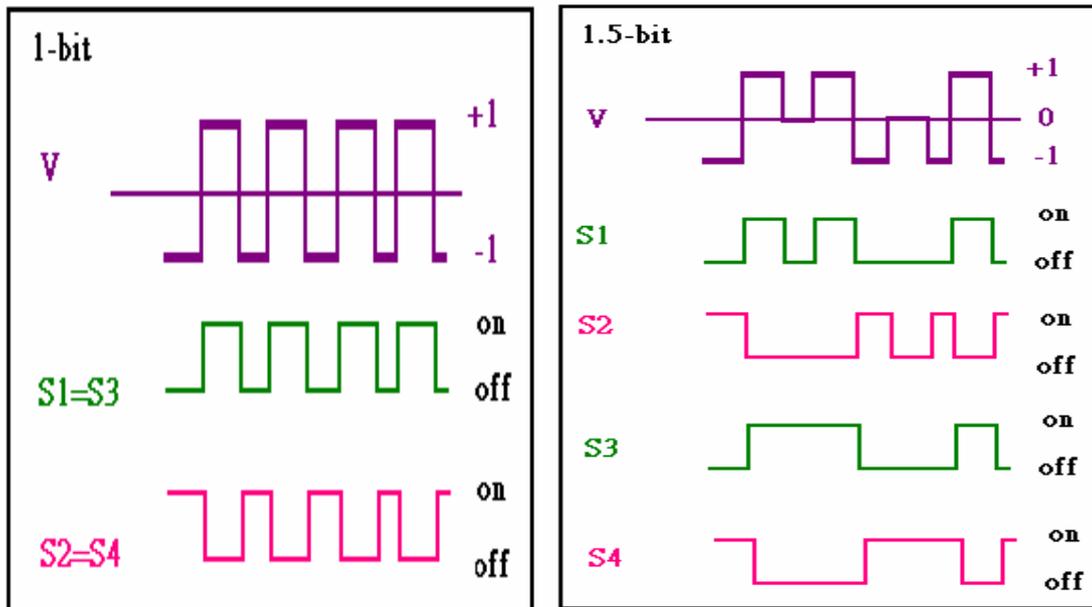


圖 4-2、切換訊號與開關波形關係圖

4.1.1 1.5 位元於 $\Sigma-\Delta$ 之運算

在此將以單位元之設計概念依照[21]，延伸為 1.5 位元之運算，確保不改變系統追蹤訊號的運作。

單位元 $\Sigma-\Delta$ 的設計概念是希望量化誤差 x_1 收斂，也就是 $x_1 \Delta x_1 < 0$ ，而由 3.2

小節可以知道，原本的 1-bit 運算，是經由限制 x_2 之範圍 ($|x_2| < \frac{b_1}{a_1}$)，及採用 $y = \text{sign}(x_1)$ 做為系統回授達成 $x_1 \Delta x_1 < 0$ 之機制，不過經由式(3.13)可以發現：

$$x_1(k+1) = x_1(k) - b_1 y(k) + a_1 x_2(k)$$

$$\rightarrow \Delta x_1 = x_1(k+1) - x_1(k) = -b_1 y(k) + a_1 x_2(k)$$

$$\Delta x_1 x_1 < 0 \quad \forall \text{sign}(x_1) \text{sign}(x_2) < 0 \text{ and } y = 0$$

因此，當 $\text{sign}(x_2) \text{sign}(x_1) < 0$ 時，不需要回授 y ，系統便可達成量化誤差收斂之機制 ($x_1 \Delta x_1 < 0$)，此時則設輸出 y 為零，採用此運算可減少後級開關之切換次數，更使雜訊被壓制於較低的水平(圖 4-3)，在此將運算法整理如下表：

$\text{sign}(x_1)$	$\text{sign}(x_2)$	Out
1	1	1
-1	1	0
1	-1	0
-1	-1	-1

表 4-1、1.5 位元運算 輸出-輸入 關係表

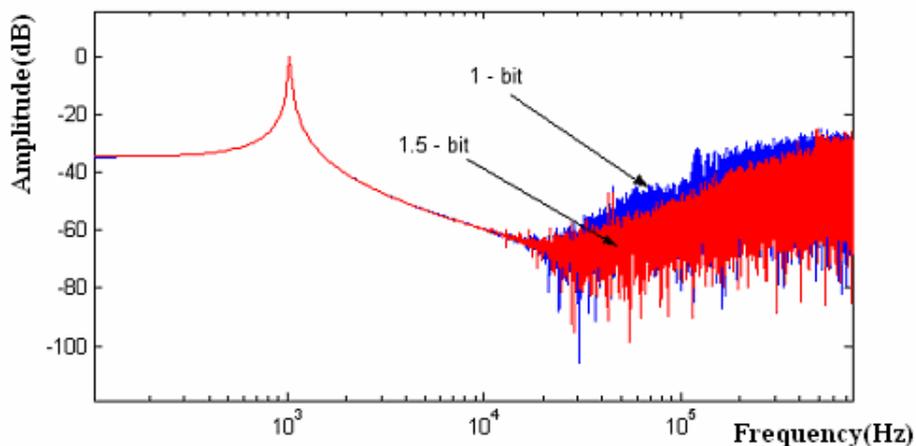


圖 4-3、單位元與 1.5 位元系統輸出之頻譜圖

4.2 1.5 位元 $\Sigma-\Delta$ 之穩定度分析

4.2.1 1.5 位元系統描述

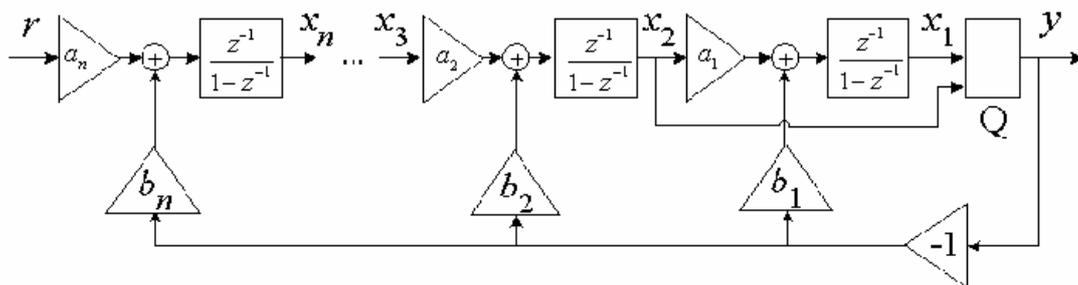


圖 4-4、1.5 位元 $\Sigma-\Delta$ 架構圖

首先將圖 4-4 的系統分為兩部分，線性部分 $W(z)$ 以及非線性部分如圖 4-5，而圖 4-6 為簡單示意圖，其中系統 $W(z)$ 為：

$$\begin{cases} x(k+1) = Ax(k) + B_1 r(k) - B_2 y(k) \\ e(k) = Cx(k) \end{cases} \quad (4.1)$$

$$u(k) = (CB_2)^{-1} C(A-I)x(k) + (CB_2)^{-1} CB_1 r(k) \quad (4.2)$$

而非線性 $Q(\cdot)$ 方塊的運算為：當 $-1 < u(k) < 0$ 時， $\begin{cases} y(k) = -1 & \text{for } e(k) < 0 \\ y(k) = 0 & \text{for } e(k) > 0 \end{cases}$

當 $0 < u(k) < 1$ 時， $\begin{cases} y(k) = 0 & \text{for } e(k) < 0 \\ y(k) = 1 & \text{for } e(k) > 0 \end{cases}$

可化減為，當 $-1+m \leq u(k) \leq -1+(m+1)$ 時，

$$y(k) = Q\{u(k)\} = \begin{cases} -1+m & , \text{ where } e(k) < 0 \\ -1+(m+1) & , \text{ otherwise} \end{cases} \quad \text{for } m = 0 \text{ or } 1 \quad (4.3)$$

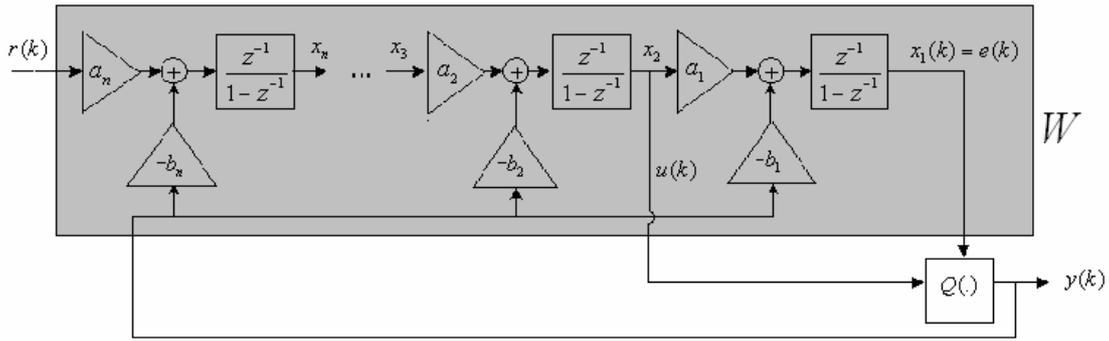


圖 4-5、1.5 位元 $\Sigma-\Delta$ 架構圖

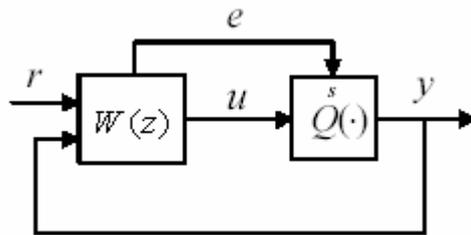


圖 4-6、1.5 位元 $\Sigma-\Delta$ 示意圖[23]

4.2.2 1.5 位元之系統穩定性

在此首先假設系統之初始狀態為零，也就是 $x(0) = e(0) = u(0) = 0$ ，而後面的步驟將逐一得到穩定系統之條件。

- 第一步：使 $e(k)$ 收斂且為有限值

由式(4.1)及(4.2)可得：

$$\begin{aligned}
 & e(k)[e(k+1) - e(k)] \\
 &= e(k)[CAx(k) + CB_1r(k) - CB_2y(k) - Cx(k)] \\
 &= e(k)(CB_2)[u(k) - y(k)] \\
 &= e(k)CB_2[u(k) - Q\{u(k)\}]
 \end{aligned}$$

因此只要確保 $u(k)$ 的範圍不會超過 ± 1 ($|u(k)| \leq 1$)，則 $e(k)\Delta e(k) \leq 0$ ，也就是當 $e(k)$ 小於零的時候， e 會增加；當 $e(k)$ 大於零的時候， e 會減少，而對於初始值 $e(0) = 0$ 的情況，

$$\begin{aligned} \therefore |\Delta e(k)| &= |e(k+1) - e(k)| \\ &= |CB_2[u(k) - Q\{u(k)\}]| \\ &\leq |CB_2| \\ \therefore |e(k)| &\leq CB_2 \end{aligned}$$

因此，只要確保 $|u(k)| \leq 1$ ，則對於初始值為零的情況，系統之 $e(k)$ 會被限制於一小範圍內作震盪。

● 第二步：其餘狀態變數之穩定



由(4.1)系統可得：

$$e(k+1) = CAx(k) + CB_1r(k) - CB_2y(k) \quad (4.4)$$

因此可以得到輸出 y 之等式：

$$y(k) = (CB_2)^{-1}CAx(k) + (CB_2)^{-1}CB_1r(k) - (CB_2)^{-1}e(k+1) \quad (4.5)$$

將式(4.5)代入系統(4.1)可得：

$$\begin{aligned} x(k+1) &= Ax(k) + B_1r(k) - B_2(CB_2)^{-1}CAx(k) - B_2(CB_2)^{-1}CB_1r(k) + B_2(CB_2)^{-1}e(k+1) \\ &= [I - B_2(CB_2)^{-1}C]Ax(k) + B_2(CB_2)^{-1}e(k+1) + [I - B_2(CB_2)^{-1}C]B_1r(k) \\ x(k+1) &\stackrel{\Delta}{=} \bar{A}x(k) + \bar{B}e(k+1) + [I - B_2(CB_2)^{-1}C]B_1r(k) \end{aligned} \quad (4.6)$$

由於 e 和 r 為有限值，因此系統狀態 x 為有限值的條件為系統(4.6)是穩定

的，也就是式(4.6)的特徵方程式的根皆小於 1，在此若選擇(A,B,C)為 observable canonical form 則：

$$A = \begin{bmatrix} 0 & 0 & \cdots & 0 & -\alpha_n \\ 1 & 0 & & 0 & -\alpha_{n-1} \\ 0 & \ddots & \ddots & \vdots & \vdots \\ \vdots & \ddots & 1 & 0 & -\alpha_2 \\ 0 & \cdots & 0 & 1 & -\alpha_1 \end{bmatrix} \quad B_2 = \begin{bmatrix} \eta\beta_{n-1} \\ \eta\beta_{n-2} \\ \vdots \\ \eta\beta_1 \\ \eta \end{bmatrix} \quad C^T = \begin{bmatrix} 0 \\ 0 \\ \vdots \\ 0 \\ 1 \end{bmatrix} \quad B_1 = \begin{bmatrix} \sigma \\ 0 \\ \vdots \\ 0 \\ 0 \end{bmatrix} \quad (4.7)$$

$$W(z) = \frac{E(z)}{Y(z)} = C(zI - A)^{-1} B_2 = \frac{\eta(z^{n-1} + \beta_1 z^{n-2} + \beta_2 z^{n-3} + \cdots + \beta_{n-1})}{z^n + \alpha_1 z^{n-1} + \alpha_2 z^{n-2} + \cdots + \alpha_n}$$

將(4.7)代入(4.6)可得系統表示式為：

$$\begin{bmatrix} x_1(k+1) \\ x_2(k+1) \\ \vdots \\ x_{n-2}(k+1) \\ x_{n-1}(k+1) \end{bmatrix} = \begin{bmatrix} 0 & 0 & \cdots & 0 & -\beta_{n-1} \\ 1 & 0 & & 0 & -\beta_{n-2} \\ 0 & \ddots & \ddots & \vdots & \vdots \\ \vdots & \ddots & 1 & 0 & -\beta_2 \\ 0 & \cdots & 0 & 1 & -\beta_1 \end{bmatrix} \begin{bmatrix} x_1(k) \\ x_2(k) \\ \vdots \\ x_{n-2}(k) \\ x_{n-1}(k) \end{bmatrix} + \begin{bmatrix} -\alpha_n + \alpha_1 \beta_{n-1} \\ -\alpha_{n-1} + \alpha_1 \beta_{n-2} \\ \vdots \\ -\alpha_3 + \alpha_1 \beta_2 \\ -\alpha_2 + \alpha_1 \beta_1 \end{bmatrix} e(k) + \begin{bmatrix} \beta_{n-1} \\ \beta_{n-2} \\ \vdots \\ \beta_2 \\ \beta_1 \end{bmatrix} e(k+1) + \begin{bmatrix} \sigma \\ 0 \\ \vdots \\ 0 \\ 0 \end{bmatrix} r(k)$$

其中 $x_n(k+1) = e(k+1)$ ，由於上式之特徵方程式為 $W(z)$ 之分子，則希望系統穩定之條件為 $W(z)$ 之零點為穩定。

綜合上述，此 1.5 位元系統之穩定條件為：

- 系統 $W(z) = C(zI - A)^{-1} B_2$ 之零點在單位元之內
- 量化器輸入 $u(k)$ 之範圍於 ± 1 以內

4.2.3 1.5 位元系統之輸入範圍

由於量化器輸入 $u(k)$ 之範圍限制，在此需求出輸入訊號之振幅範圍，確保系統之 $u(k)$ 不會超出 ± 1 。

由式(4.2)和(4.6)：

$$u(k) = (CB_2)^{-1}C(A-I)x(k) + (CB_2)^{-1}CB_1r(k)$$

$$x(k+1) = \overset{\Delta}{\bar{A}}x(k) + \bar{B}e(k+1) + [I - B_2(CB_2)^{-1}C]B_1r(k)$$

可得到系統：

$$\begin{cases} u(k) = (CB_2)^{-1}\bar{C}x(k) + (CB_2)^{-1}CB_1r(k) \\ x(k+1) = \bar{A}x(k) + \bar{B}e(k+1) + (I - \bar{B}C)B_1r(k) \end{cases} \quad (4.8)$$

$$\text{其中} \quad \begin{cases} \bar{A} = [I - B_2(CB_2)^{-1}C]A \\ \bar{B} = B_2(CB_2)^{-1} \\ \bar{C} = C(A-I) \end{cases}$$

將(4.8)取 z-Transform：

$$\begin{aligned} X(z) &= (zI - \bar{A})^{-1}\bar{B}zE(z) + (zI - \bar{A})^{-1}(I - \bar{B}C)B_1R(z) \\ U(z) &= (CB_2)^{-1}\bar{C}(zI - \bar{A})^{-1}\bar{B}zE(z) \\ &\quad + (CB_2)^{-1}\bar{C}(zI - \bar{A})^{-1}(I - \bar{B}C)B_1R(z) \\ &\quad + (CB_2)^{-1}CB_1R(z) \end{aligned}$$

$$\because CB_1 = 0$$

$$\begin{aligned} U(z) &= (CB_2)^{-1}\bar{C}(zI - \bar{A})^{-1}\bar{B}zE(z) + (CB_2)^{-1}\bar{C}(zI - \bar{A})^{-1}B_1R(z) \\ &\overset{\Delta}{=} (CB_2)^{-1}P_1(z)E(z) + (CB_2)^{-1}P_2(z)R(z) \end{aligned} \quad (4.9)$$

由(4.9)可知：

$$\begin{aligned}
\|u(k)\|_{\infty} &= (CB_2)^{-1} \left[\left\| \sum_l P_1(k-l)e(l) \right\|_{\infty} + \left\| \sum_i P_2(k-i)r(i) \right\|_{\infty} \right] \\
&\leq (CB_2)^{-1} \left[\sum_l |P_1(k-l)| \|e(l)\|_{\infty} + \sum_i |P_2(k-i)| \|r(i)\|_{\infty} \right] \\
&\leq (CB_2)^{-1} \|P_2(k)\|_1 \|r(k)\|_{\infty} + (CB_2)^{-1} \|P_1(k)\|_1 \|e(k)\|_{\infty}
\end{aligned} \tag{4.10}$$

其中 $\|P\|_1$ 表系統 P 之 l_1 norm， $\|r\|_{\infty}$ 表訊號 r 之峰值。

限制上式之 $u(k)$ ，則得輸入 r 與 e 之不等式，且基於[23]可知，較可接受的限制條件為：

$$(CB_2)^{-1} \|P_2(k)\|_{\infty} \|r(k)\|_{\infty} + (CB_2)^{-1} \|P_1(k)\|_{\infty} \|e(k)\|_{\infty} \leq 1$$

化減後可求得輸入範圍：

$$\|r(k)\|_{\infty} \leq \frac{(CB_2)}{\|P_2(k)\|_{\infty}} - \frac{\|P_1(k)\|_{\infty}}{\|P_2(k)\|_{\infty}} \|e(k)\|_{\infty} = \frac{\eta}{\|P_2(k)\|_{\infty}} [1 - \|P_1(k)\|_{\infty}]$$

其中

$$\begin{aligned}
P_1(z) &= \frac{(\beta_1 - \alpha_1)z^{n-1} + (\beta_2 - \alpha_2)z^{n-2} + \cdots + (\beta_{n-1} - \alpha_{n-1})z - \alpha_n - 1}{(z^{n-1} + \beta_1 z^{n-2} + \beta_2 z^{n-3} + \cdots + \beta_{n-1})} \\
P_2(z) &= \frac{\sigma}{(z^{n-1} + \beta_1 z^{n-2} + \beta_2 z^{n-3} + \cdots + \beta_{n-2} z + \beta_{n-1})}
\end{aligned} \tag{4.11}$$

4.3 1.5 位元 $\Sigma-\Delta$ 調變設計

4.3.1 設計範例

首先選定系統轉移函數 $W(z)$ ，其中 $W(z)$ 之零點皆位於單位圓之內：

$$W(z) = \frac{0.9828 s^3 - 2.494 s^2 + 2.153 s - 0.6293}{s^4 - 4s^3 + 6s^2 - 4s + 1}$$

由 $W(z)$ 可得系統架構，如圖 4-7：

$$\begin{cases} x(k+1) = Ax(k) + B_1 r(k) - B_2 y(k) \\ e(k) = Cx(k) = x_1 \end{cases}$$

$$u(k) = (CB_2)^{-1} C(A-I)x(k) + (CB_2)^{-1} CB_1 r(k) = (CB_2)^{-1} C(A-I)x(k) = 0.9x_2$$

其中 $A = \begin{bmatrix} 1 & 0.8828 & 0 & 0 \\ 0 & 1 & 0.4 & 0 \\ 0 & 0 & 1 & 0.2 \\ 0 & 0 & 0 & 1 \end{bmatrix}$ $B_2 = \begin{bmatrix} 0.9828 \\ 0.5152 \\ 0.3237 \\ 0.1829 \end{bmatrix}$ $C^T = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \end{bmatrix}$ $B_1 = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0.0496 \end{bmatrix}$

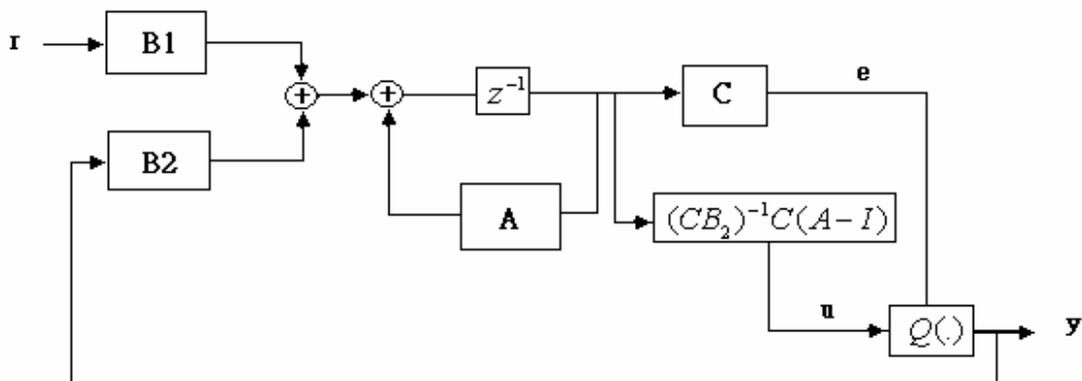


圖 4-7、系統架構圖

可將此系統轉換為 Observable Canonical Form :

$$A = \begin{bmatrix} 0 & 0 & 0 & -1 \\ 1 & 0 & 0 & 4 \\ 0 & 1 & 0 & -6 \\ 0 & 0 & 1 & 4 \end{bmatrix} \quad B_2 = \begin{bmatrix} -0.6293 \\ 2.1530 \\ -2.4936 \\ 0.9828 \end{bmatrix} \quad C^T = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix} \quad B_1 = \begin{bmatrix} 0.0035 \\ 0 \\ 0 \\ 0 \end{bmatrix}$$

代入式(4.11)可求得 $\|P_1(k)\|_\infty$ $\|P_2(k)\|_\infty$:

$$\|P_1(k)\|_\infty = 0.5916 \quad ; \quad \|P_2(k)\|_\infty = 0.2759$$

則輸入訊號的振幅範圍 :

$$\|r\|_\infty = \frac{\eta}{\|P_2(k)\|_\infty} [1 - \|P_1(k)\|_\infty] = 1.4548$$

由於實現上之運算已將訊號量化為 16 位元數位訊號，其振幅範圍為 ± 1 之間，因此在此所採用之系統轉移函數 $W(z)$ 於實現上不需要限制輸入訊號的振幅，其 $u(k)$ 必定落在 ± 1 之間。

最後基於系統狀態參數的極限值可寫出限制方程式：

$$\|x_2\|_{ss\infty} \approx \frac{76a}{a_1} \|r\|_{ss\infty} + \frac{0.62}{a_1} \|x_1\|_{ss\infty} \leq 1$$

$$\|x_3\|_{ss\infty} \approx \frac{35.2a}{a_1 a_2} \|r\|_{ss\infty} + \frac{0.144}{a_1 a_2} \|x_1\|_{ss\infty} \leq 1$$

$$\|x_4\|_{ss\infty} \approx \frac{8.84a}{a_1 a_2 a_3} \|r\|_{ss\infty} + \frac{0.013}{a_1 a_2 a_3} \|x_1\|_{ss\infty} \leq 1$$

上式關係可求得以圖 4-5 為基礎之系統係數。4-8 顯示輸入為 1kHz 所模擬之各狀態時域圖。圖 4-9 為輸入訊號 1kHz 的弦波，於 34 倍取樣頻率之響應。

$a_1 = 0.8828$	$a_2 = 0.4$	$a_3 = 0.2$	$a_4 = 0.0496$
$b_1 = 0.9828$	$b_2 = 0.5152$	$b_3 = 0.3236$	$b_4 = 0.1829$

表 4-1、四階 $\Sigma-\Delta$ 系統係數

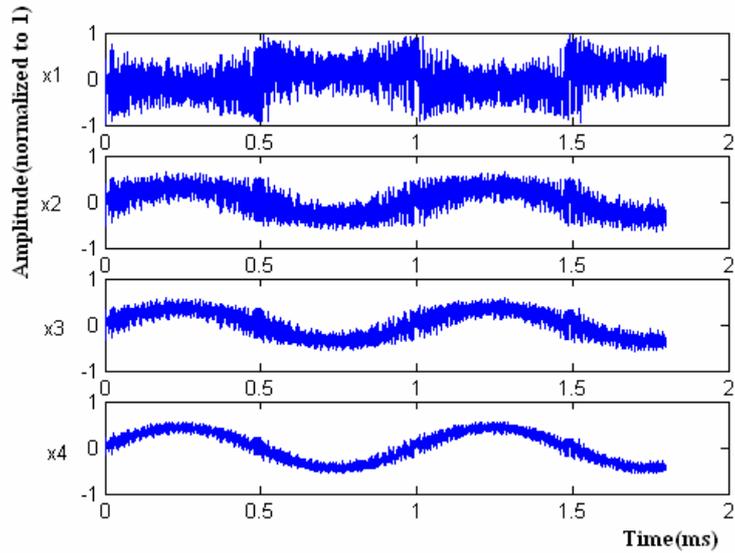


圖 4-8、 $\Sigma-\Delta 1.5$ 運算系統各階狀態變化圖

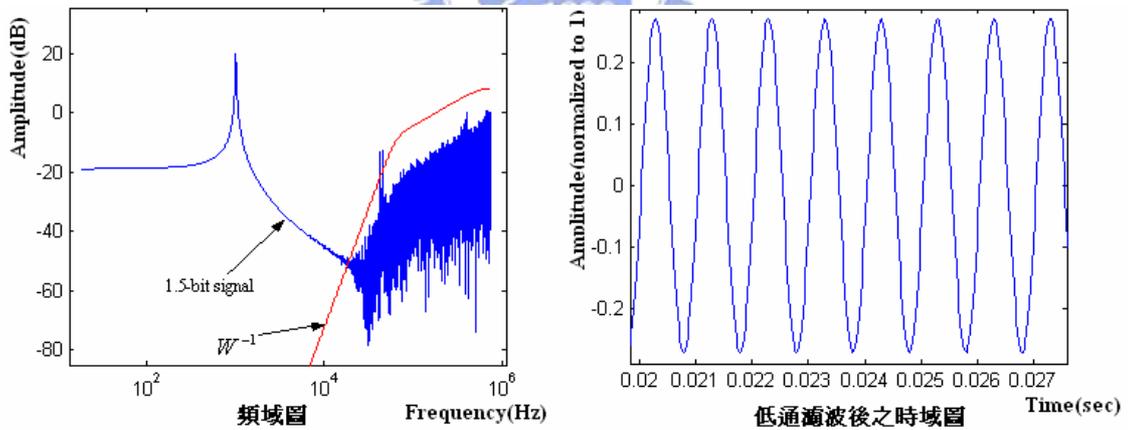


圖 4-9、1.5 位元數位訊號頻譜與時域圖

4.3.2 切換次數之比較

圖 4-10 顯示不同輸入訊號情況的切換次數，(a)圖為輸入訊號 1kHz，改變輸入振幅對切換次數的比較；(b)圖為輸入振幅為 1 而頻率漸增的情況，由觀察可知當訊號振幅愈小，或訊號頻率愈高，運算所需的切換次數也愈多，而對於 1.5-位元調變可在任意輸入訊號下，至少省下 400k 次/s 的切換動作。

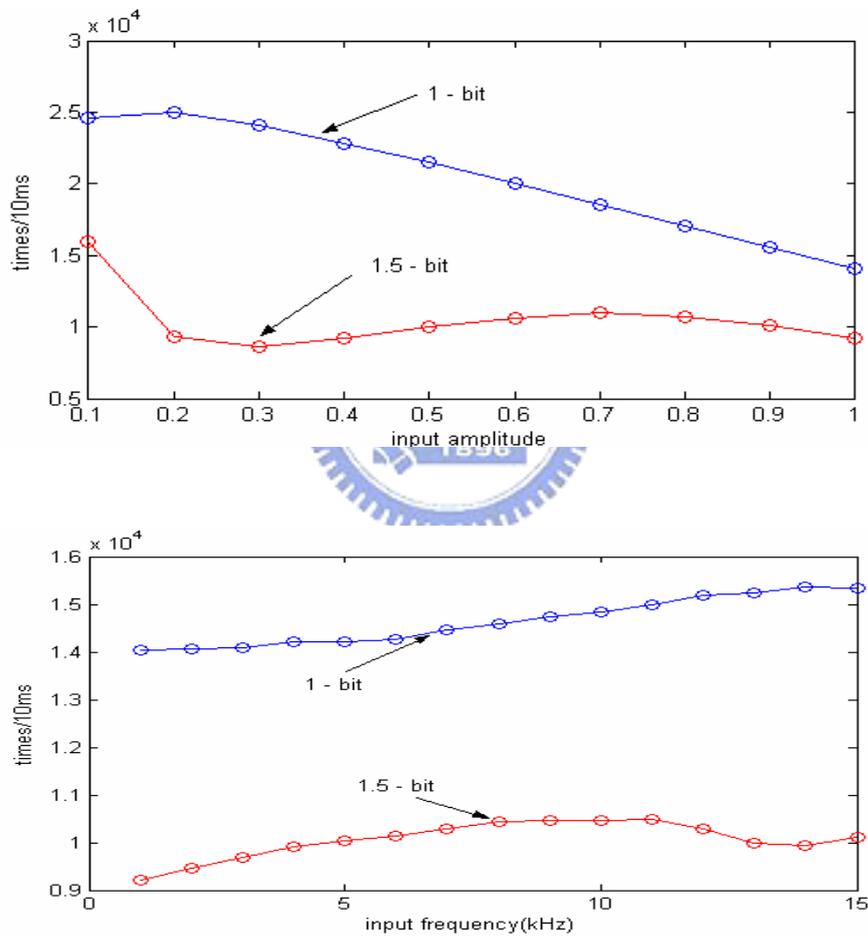


圖 4-10、1 位元與 1.5 位元切換次數-輸入訊號關係圖

(a) 切換次數-訊號振幅圖 (b) 切換次數-訊號頻率圖

第五章 硬體架構與實現

要實現一個全數位化的音頻放大器，在設計上利用 USB 作為溝通介面讀取 PC 端資料，並將訊號傳輸至以 FPGA 實現的數位 $\Sigma-\Delta$ 調變器，最後經由後級，採用德儀 TAS-5121 功率放大晶片，高速切換式功率放大器提高訊號增益後輸出。

本章主要實現上述三個部分：於 5.1 介紹 USB 介面、5.2 說明 FPGA 實現 $\Sigma-\Delta$ 調變器、最後以 5.3 呈現功率放大器。(圖 5-1)

其中 USB 所讀出之訊號為雙聲道、16 位元、取樣頻率 44.1kHz 之音樂訊號，而 FPGA 為實現 34 倍取樣頻率之 $\Sigma-\Delta$ 系統，最後的功率級以 80% 以上之效率輸出至喇叭。

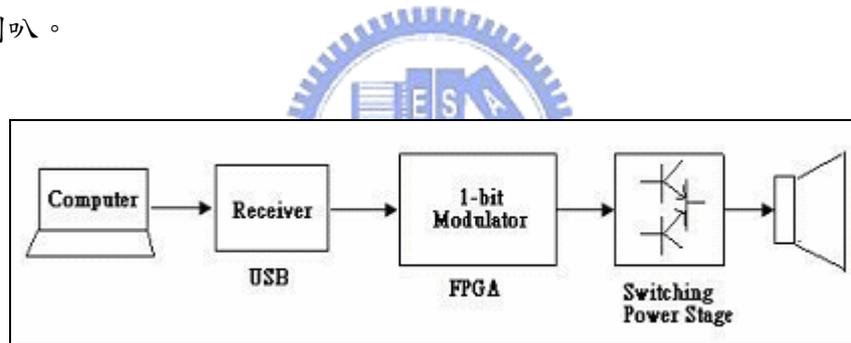


圖 5-1、全數位化音頻放大器系統方塊圖

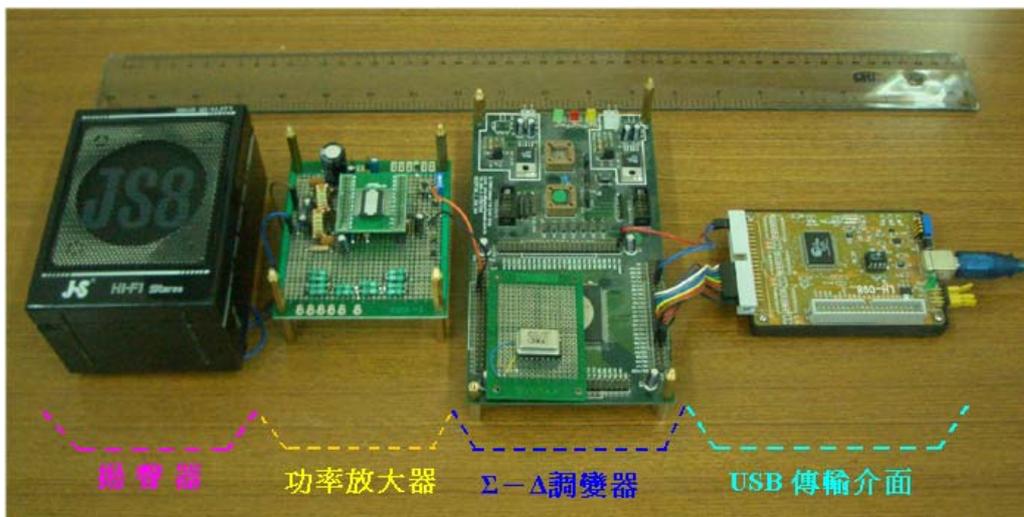


圖 5-2、數位式音頻放大器實體照

5.1 USB 介面

USB 為 Universal Series Bus(萬用串列匯流埠)的縮寫。USB 介面使用 7-bit 的定址欄位，扣掉 USB 主機預設給第一次接上的周邊設備使用，還剩 127 個位址可以使用，因此一部電腦最多可以連接 127 個 USB 裝置[24][25]。

5.1.1 硬體介紹

Cypress AN2131Q USB 專用晶片(與 8051 Core 相容)

台灣長高科技公司 DMA- Cypress USB AN2131 控制單板

- 符合 USB1.1 版，12Mbps 高速傳輸博定標準
- 支援等時、巨量、控制和中斷四種傳輸模式
- ROM 可擴充至 32K RAM
- 提供偵錯與發展的環境(Keil C Compiler)
- 使用與 8051 Core 相容的 Cypress AN2131Q USB 專用晶片。包含 8051 與相容的 P0、P1 與 P2 週邊 port，可直接執行一般 8051 的 I/O 控制。

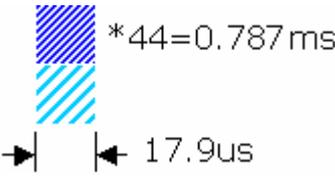
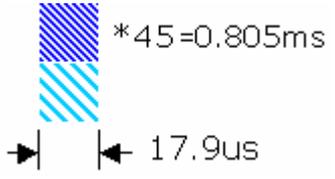


圖 5-3、DMA- Cypress USB AN2131 控制單板

5.1.2 USB 實做

USB 即 Universal Series Bus，負責將雙聲道 44.1KHz、16-bit 資料由 PC 即時輸出。此 USB 介面主要功能有二：

- (1) 宣告USB硬體描述，即設定及紀錄USB裝置的各種訊息。在此，該USB裝置屬於Audio類型，控制單板經由USB描述元在PC中宣告為可辨識的USB Audio裝置，只要是符合USB Class規定的裝置，其驅動程式皆已包含於作業系統中，因此不需額外撰寫其驅動程式即可直接使用該裝置。此時，只要啟動應用程式，音樂訊號便可從PC端傳送至USB之端點暫存區。

等時傳輸	第 1~9ms	第 10ms
USB Device 收到資料	 *44	 *45
PORTB PORTA	 *44	 *45
USB Device 傳送資料 (1 Channel)	 *44=0.787ms 17.9us	 *45=0.805ms 17.9us

 左聲道 Low Byte  左聲道 High Byte  右聲道 Low Byte  右聲道 High Byte

表 5-1、USB 介面輸入輸出時序

(2) 依設計之FPGA傳輸協定將音訊資料經 8051 微控制器 I/O埠輸出至後級。USB介面設定之傳輸模式為等時傳輸(Isochronous Transfer)，即每固定時間內產生中斷，藉由中斷副程式判斷是否有待傳輸的資料。因此在實作上接收資料的端點暫存區將存在一計數器(Counter)記錄目前暫存區內的資料數，每當暫存區輸出 1-Byte資料時，計數器即減 1，用以判斷暫存區是否為空；此外，基於等時傳輸的最小時間單位為 1ms，則對取樣頻率為 44.1kHz的音樂訊號而言，每次需傳輸 44 或 45 筆 16-bit的資料，加上所傳遞的為 16-bit音訊，但是 8051 為八位元單晶片，因此需要兩個輸出埠分別輸出高位元組(High byte)與低位元組(Low byte)訊號。由表 3-1 可知，USB在每單位時間內可將PC端資料如期輸出，不致造成資料重疊遺失的嚴重後果。

以下大略簡述 USB 程式實作上的流程架構。圖 5-4 所示為 USB 程式流程圖，其中主程式主要作在初始環境設定，如：設定端點暫存區、宣告 I/O 埠位置，致能中斷等；而中斷副程式目的則在利用暫存區的資料計數器，判斷並執行資料搬移動作。

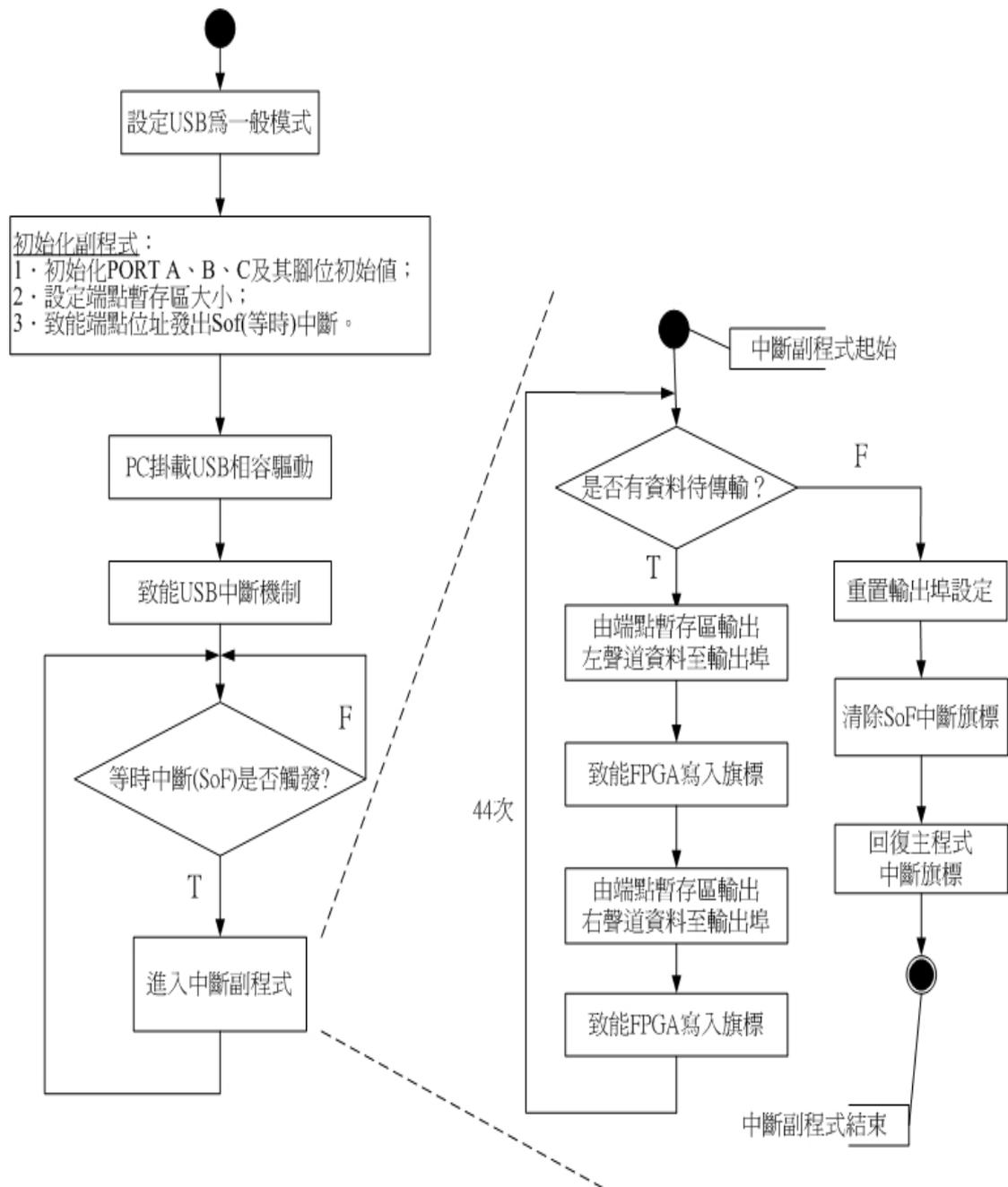


圖 5-4、USB 介面設計流程圖

5.2 FPGA

Field Programmable Gates Array，由多個邏輯單元(Logic Cell)經可程式的垂直通道(Vertical Channel)和水平通道(Horizontal Channel)連線構成，藉以達到可程式化數位邏輯設計。

5.2.1 硬體介紹(Altera FLEX10K Emulation Board)

ALTERA 10K-ARC240

- 10K Gates
- work frequency over then 30MHz
- supply voltage 5V regulated to 3.3V
- 3.3V 的 I/O
- with EPPROM

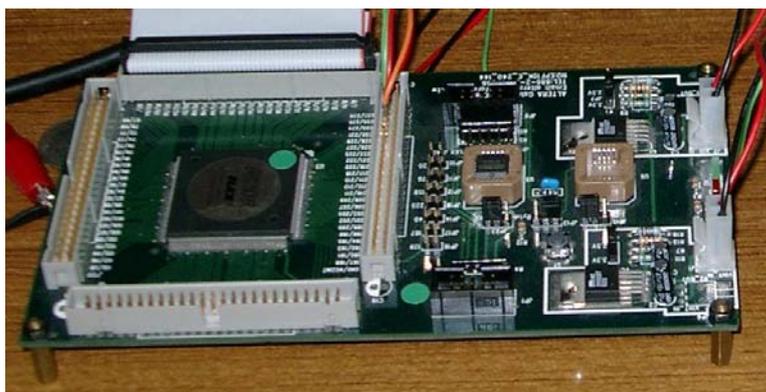


圖 5-5、Altera FLEX10K Emulation Board

5.2.2 FPGA 實作

此部分總共完成兩件事，首先由於 FPGA 處理 44.1 筆資料量的時間為 1ms，但是 USB 大約只用 0.8ms 即將資料傳送完畢，如此與 FPGA 所需之 44.1KHz 數位訊號資料速率不相配(如圖 3-3)，因此設計一 FIFO(First-in First-out)緩衝器，藉以同步化 USB 資料傳輸速度與 FPGA 資料接收速度；而第二部分則為 $\Sigma-\Delta$ 方塊之實現。

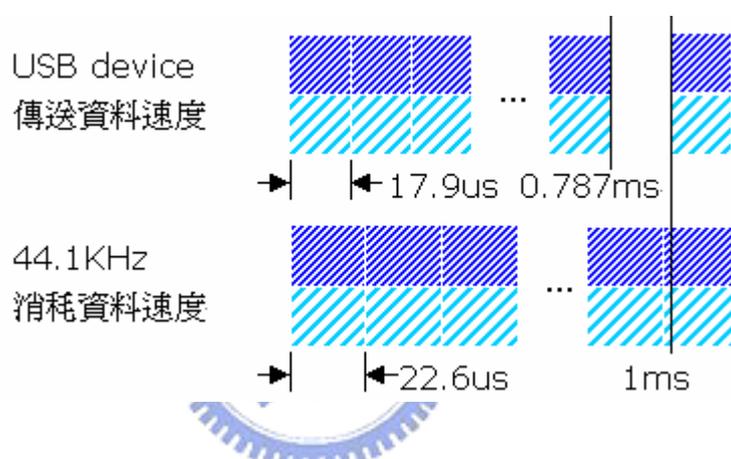


圖 5-6、USB/FPGA 資料存取時序圖

◆ FIFO(First In First Out)緩衝器：

此區機制分為三部分，分別為讀出、寫入以及內部機制。其中特別狀態為，當 FIFO 裡面沒有資料時，則 empty 準位會被拉高用以通知 FPAG 無資料待傳輸；而當緩衝器的資料已滿時，則 full 被拉高位準告知前級 USB 已沒有空間供寫入。圖 5-7 為所設計連接前級 USB 及後級 FPGA 之 FIFO 架構示意圖，詳細說明如下 [26]：

- 發生寫入動作時相關的接腳

wr：由 USB 控制，當有資料傳至 Bus_In 介面時，則產生一個 pulse。

full：由 FIFO 控制，當發現有寫入動作時(wr 的上升緣)，則會做空間判斷，如果還有空間，則 full=0，允許寫入；否則 full=1，資料不准寫入。

Bus_In：負責傳輸 16-位元資料，在 wr 的下降緣時，FIFO 會依照 full 的值決定是否要將 Bus_In 介面上的資料放到內建的 RAM 中儲存。

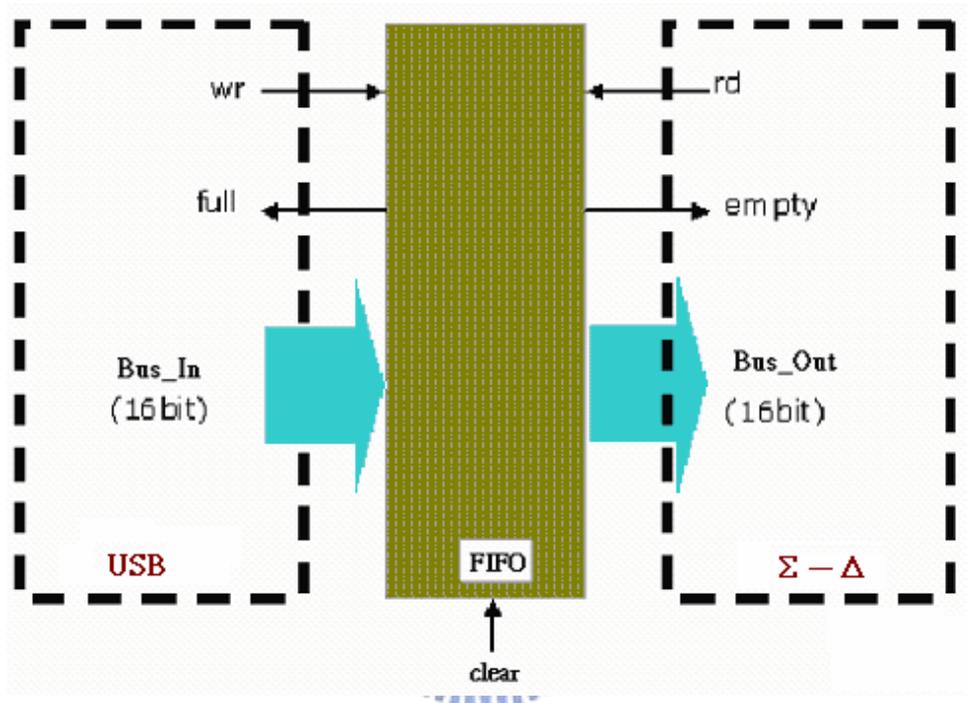


圖 5-7、FIFO 架構圖

- 發生讀出動作時相關的接腳

rd：由 $\Sigma - \Delta$ 控制，當需要抓取資料的時候，則產生一個 pulse。

empty：由 FIFO 控制，當發現有讀出動作時(rd 的上升緣)，則會做資料判斷，如果還有資料未讀出，則 empty=0，允許讀出；否則 empty=1，沒有資料會被讀出。

Bus_out：負責傳輸 16-位元資料，在 rd 的下降緣時，FIFO 會依照 empty 的值決定是否要將 RAM 中儲存的資料送至 Bus_Out，若 empty=1，則不做讀出資料的動作，Bus_Out 會維持原本的值(最後一次更動的值)。

- 內部運作機制：在此採用 16*16-bit 大小的暫存器，因此最多可以儲存，16 筆資料；而內部另外宣告兩個指標，rd_ptr_count 以及 wr_ptr_count，負責紀錄讀出與寫入的位址，每當讀出一次，rd_ptr_count 則加一，寫入動作同理，圖 5-8 所示為此兩指標於特殊情況時的相對位置。
- mute 機制：FIFO 的外部接腳，其作用為，當 $\Sigma-\Delta$ 連續索取 15 次資料都沒有要到的時候，則 mute 會被拉為 high，此時 Bus_Out 會輸出零；因此內部會有一個負責紀錄沒有抓到資料次數的訊號 mute_count，其在 rd=1(抓資料動作)時，若發現沒有資料(empty=1)且沒資料次數未達 15 次(mute=0)則作加一的動作。

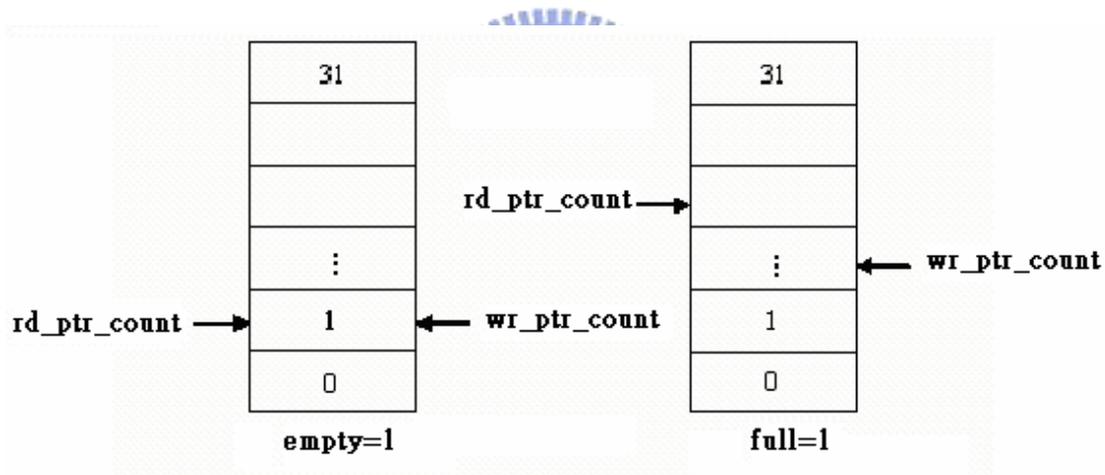


圖 5-8、存取/寫入指標與 FIFO 狀態操作示意圖

◆ $\Sigma-\Delta$ 調變器於FPGA之實現：

依據第三章設計之 $\Sigma-\Delta$ 穩定係數，實現 $\Sigma-\Delta$ 演算法，設計一 $\Sigma-\Delta$ 調變器將輸入訊號調變為 1-bit 控制訊號，以 15-bit 的精確度實現於 FPGA。首先將係數乘以 32768 (2^{15}) 做量化處理(Quantization)，並取高位元部分(無條件捨去)後可得表 3-2 之 16-bit 實作係數。

$a_1 = 4731_{(HEX)}$	$a_2 = 1999_{(HEX)}$	$a_3 = 0CCC_{(HEX)}$	$a_4 = 05C0_{(HEX)}$
$b_1 = 53FE_{(HEX)}$	$b_2 = 2F98_{(HEX)}$	$b_3 = 29AE_{(HEX)}$	$b_4 = 21C8_{(HEX)}$

表 5-2、四階 $\Sigma-\Delta$ 調變器實作係數

實作上以 FPGA 實現該四階 $\Sigma-\Delta$ 調變器需要八個乘法器、四個減法器、四個加法器和一個比較器，因此在 VHDL 程式撰寫中將上述運算元儲存為一個 SDM.vhdl 檔，並以一 control 元件作為控制，如圖 5-9 架構圖，控制區與各元件皆有一條控制線做溝通，當控制區內部計數至某特定時刻，則發出致能控制，使被選取的元件開始運作，由於致能動作是採上升緣觸發，因此，每一次的致能，皆使元件只做單一次運算(例：致能的元件為累加器，則作一次加法運算後，便停止動作)。控制元件致能之順序如圖 5-10，在此僅為示意圖，且數位積分器以累加器代替，其中省略延遲元件，首先由每一階的乘法器做乘法運算，再由減法器，接著為累加器，個別依序作一次乘法、一次減法、一次加法，最後，當每一階個狀態算出來之後，比較器才會運算輸出值並作為回授。

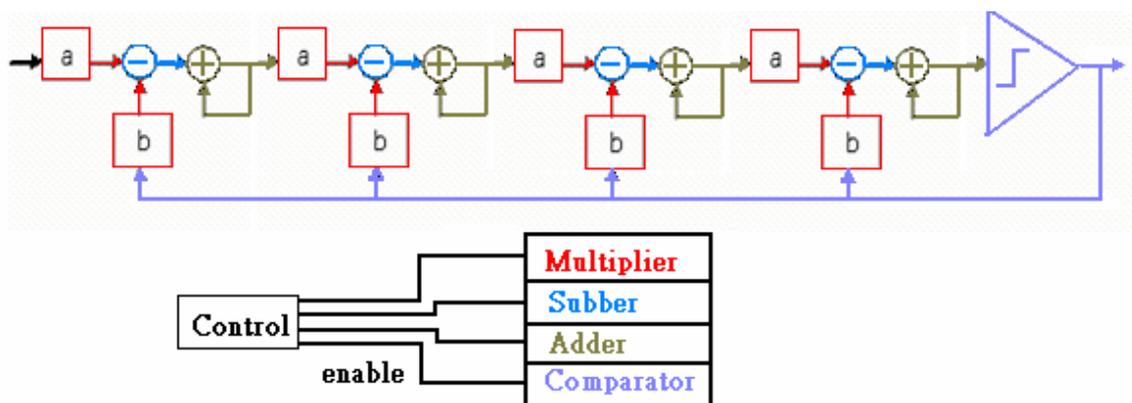


圖 5-9、四階 $\Sigma-\Delta$ 調變器控制圖

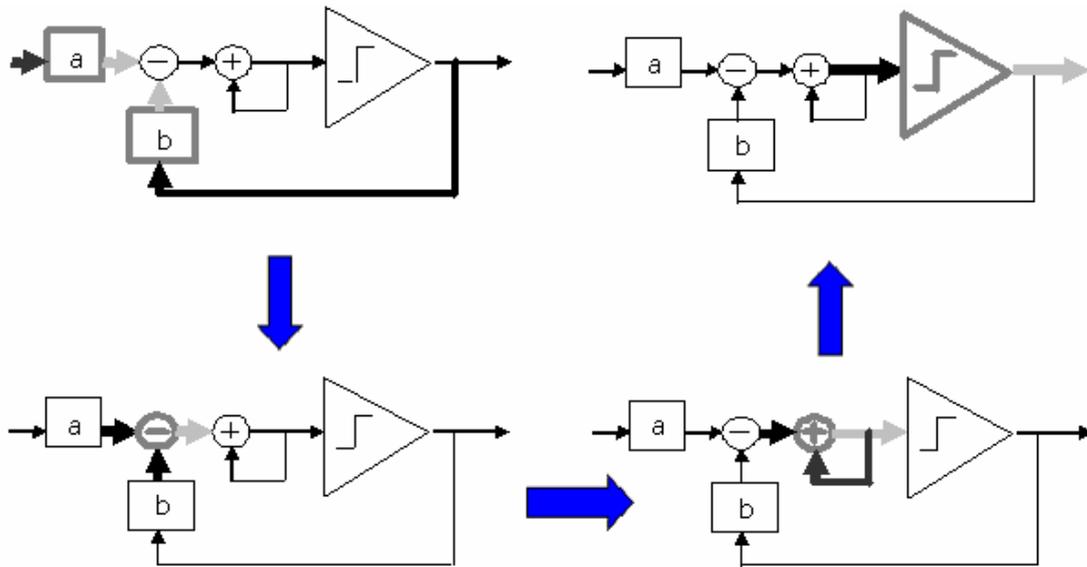


圖 5-10、一階 $\Sigma-\Delta$ 調變器執行順序圖

綜合上述架構可得圖 5-11 之完整雙聲道處理器演算法之 FPGA 示意圖，其中每一聲道中使用各自的緩衝器及演算方塊，因此輸出端為兩組獨立 2-bit 的訊號，圖 5-12 顯示由 MAX+plusII 編譯後的結果報告檔，其中採用 10k Gates 之 FPGA 實現雙聲道四階 $\Sigma-\Delta$ 運算，共佔用系統的 74%。

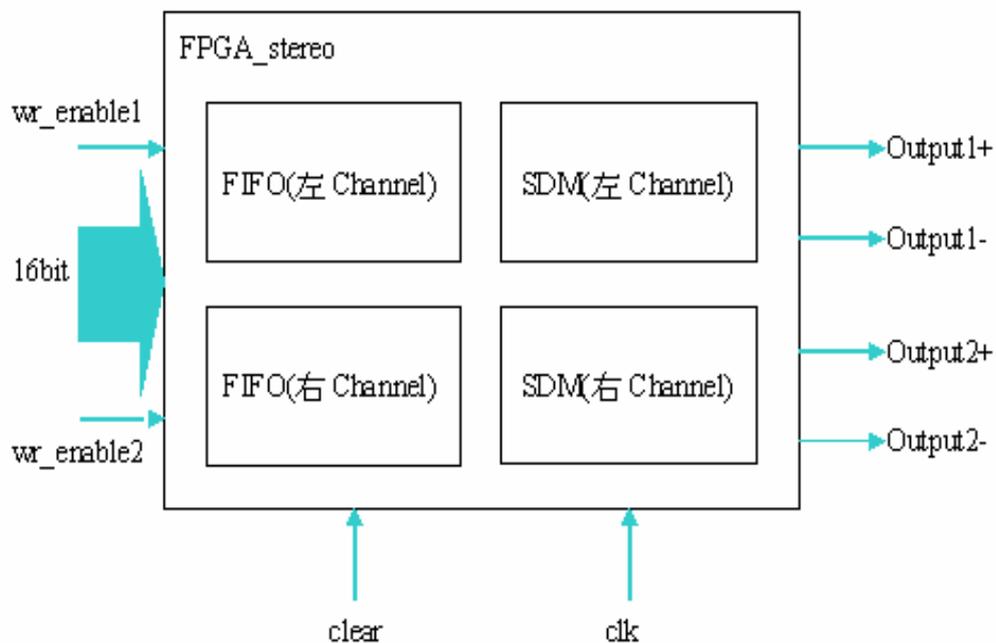


圖 5-11、雙聲道 $\Sigma-\Delta$ 調變器之 FPGA 架構圖

```

** DEVICE SUMMARY **
Chip/
POF      Device          Input Output Bidir  Memory  Memory
Pins    Pins    Pins  Bits % Utilized  LCs  % Utilized
fpga_stereo
EPF10K100ARC240-1  20    43    0    0          0 %    3702    74 %

```

(a)

```

** DEVICE SUMMARY **
Chip/
POF      Device          Input Output Bidir  Memory  Memory
Pins    Pins    Pins  Bits % Utilized  LCs  % Utilized
fpga_stereo
EPF10K100ARC240-1  20    43    0    0          0 %    3722    74 %

```

(b)

圖 5-12、FPGA 實現之編譯結果

5.3 功率級

FPGA 之工作電壓為 3.3v，而最大電流為 500mA，若於其輸出直接輸入至喇叭，不但推不動喇叭，甚至造成 ALTERA 版子損壞。因此需要一電流放大器，將 $\Sigma-\Delta$ 所產生之切換訊號放大，以便推動喇叭，撥放音訊，在此採用德州儀器之 TAS-5121 功率放大晶片 [27]。

5.3.1 硬體介紹

Digital Amplifier Power Stage – TAS5121

- 100-W RMS Power Into 4Ω With Less Than 10% THD+N
- 80-W RMS Power Into 4Ω With Less Than 0.2% THD+N
- 0.05% THD+N at 1W Into 4Ω
- 36-Pin PSOP3 Package
- 3.3-V Digital Interfacd
- Power Stage Efficiency Greater Than 90% into 4Ω Load

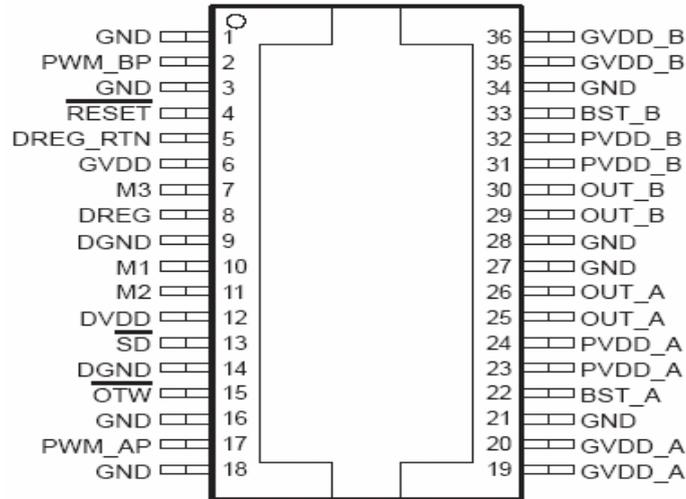


圖 5-13、TAS5121 腳位圖

5.3.2 功率級實作

由於德州儀器(TI, Texas Instruments)出產的 TAS5121 功率放大晶片是以全橋方式來實現其放大電路，故放大級只需要 $0 \sim +V$ 的單一電源供應。

對於這個單晶片功率放大器而言，總共必須提供三種直流電壓源：

- 第一為所有數位電路所需的直流電壓(Digital Voltage, D_Vdd)，電壓範圍為 $3 \sim 3.6\text{v}$ ，通常為 3.3v ，其相對地為接腳 DGND
- 第二為晶片輸出端開道驅動電路(Gate Drive Circuit)的直流電壓 G_Vdd，通常為 12v ，相對地為接腳 GND
- 最後一種為提供 IC 內部的全橋式功率放大電壓 P_Vdd。其中 P_Vdd 電壓值可以在 $0\text{V} \sim 32\text{V}$ 之間由使用者自行決定，且 P_Vdd 電壓值大小也直接決定這個電路的輸出功率，同時也影響系統的效率，如圖 5-14、5-15 所示。在此所使用之 P_Vdd 為 20V ，而揚聲器內阻值為 4Ω 。

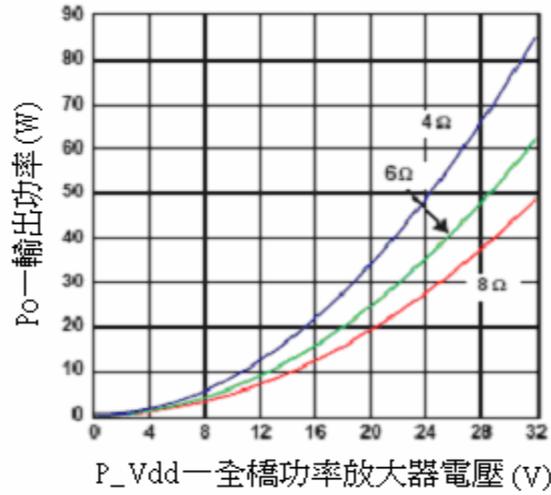


圖 5-14、輸出功率與 P_Vdd 關係圖

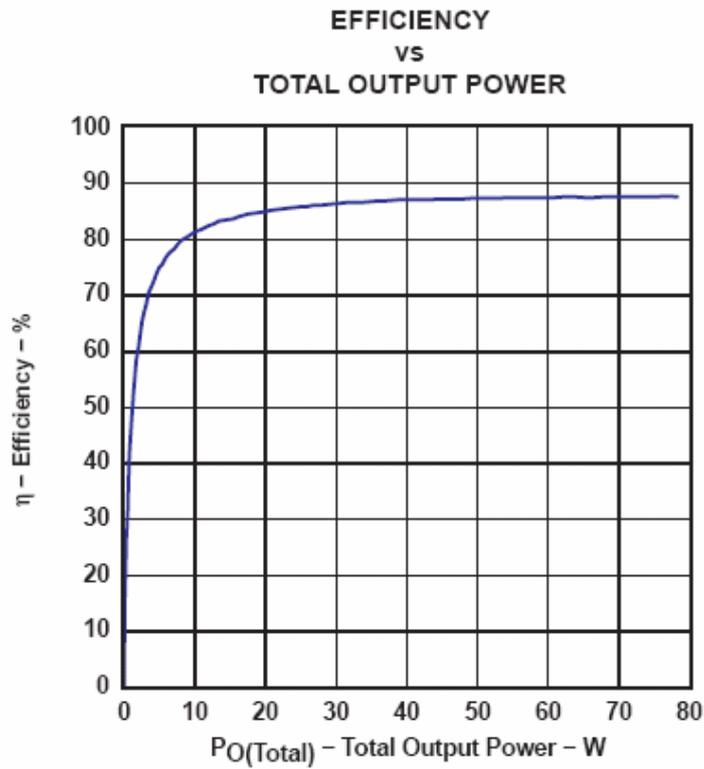


圖 5-15、輸出功率與 Power_Efficiency 關係圖

最後要說明的是，此功率放大器為位準觸發(Level Trigger)，外接電路上用來吸收突波的電容必須充電完成始得正常操作。因此由圖 5-16 可以得知在電壓輸入 1ms 後電容才充電完成，至此方可將 RESET 準位設為 High，讓訊號輸入；

同理，訊號結束前 1ms 即必須拉低 RESET 準位至 LOW，以避免資料流失，造成失真。上述 RESET 腳位為利用 FPGA 來控制。

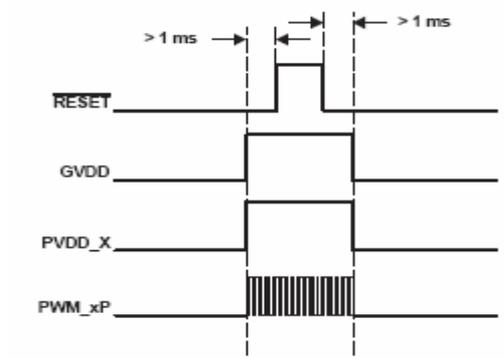


圖 5-16、功率放大器啟動程序



第六章 效能評估與比較

本章主要量測平台實際訊號，於 6.1 量測訊號級以及輸出級的單位元訊號，並計算 Signal-to-Noise Ratio(SNR)；而於 6.2 量測系統後級的功率效益。

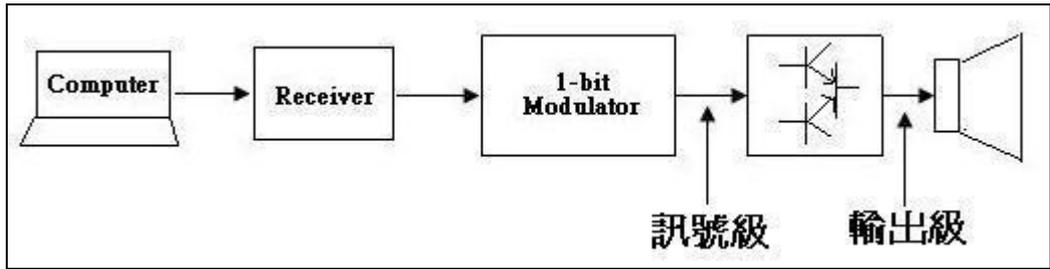


圖 6-1、系統訊號表示圖

6.1 訊號雜訊比(SNR, Signal-to-Noise ratio)

6.1.1 訊號級電壓量測與 SNR 比較

首先以輸入訊號為 1K Hz 大小為 1 的情況來討論，而所計算的範圍為 20K Hz 以內，以訊號大小除以雜訊大小即為 SNR(圖 6-2~6-5)。

$$SNR_{one-bit} = 10 \log \left(\frac{signal\ power}{noise\ power} \right) = 44.1dB$$

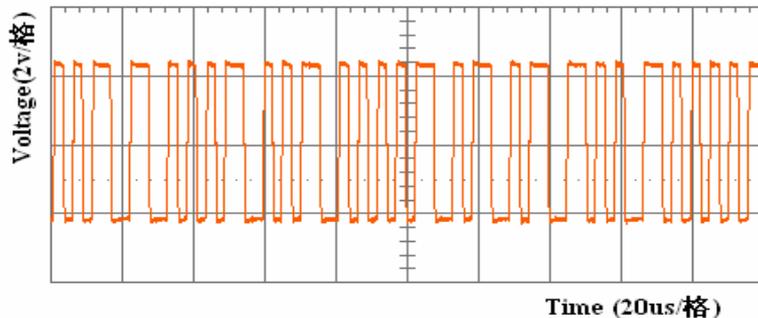


圖 6-2、單位元訊號級輸出電壓時域圖

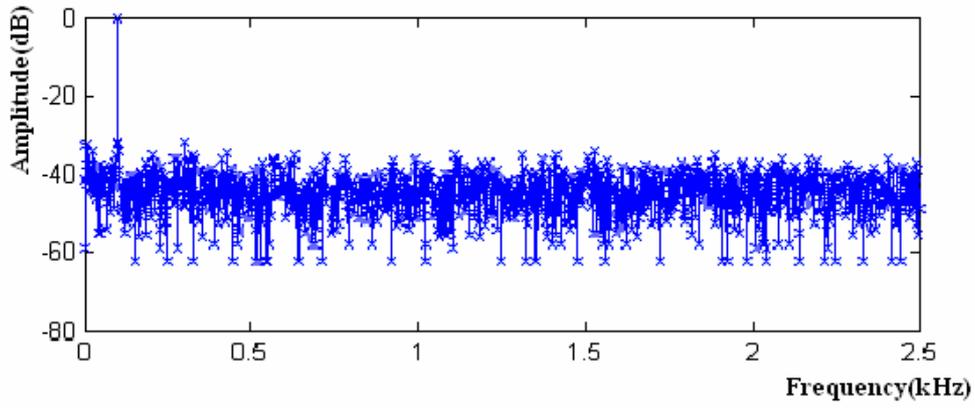


圖 6-3、單位元訊號級輸出電壓頻域圖

$$SNR_{1.5-bit} = 10 \log \left(\frac{\text{signal power}}{\text{noise power}} \right) = 48.8dB$$

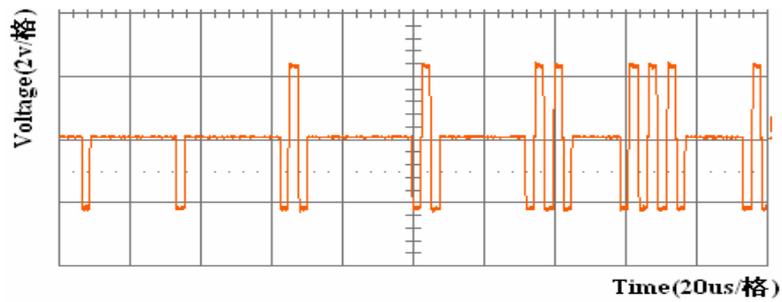


圖 6-4、1.5 位元訊號級輸出電壓時域圖

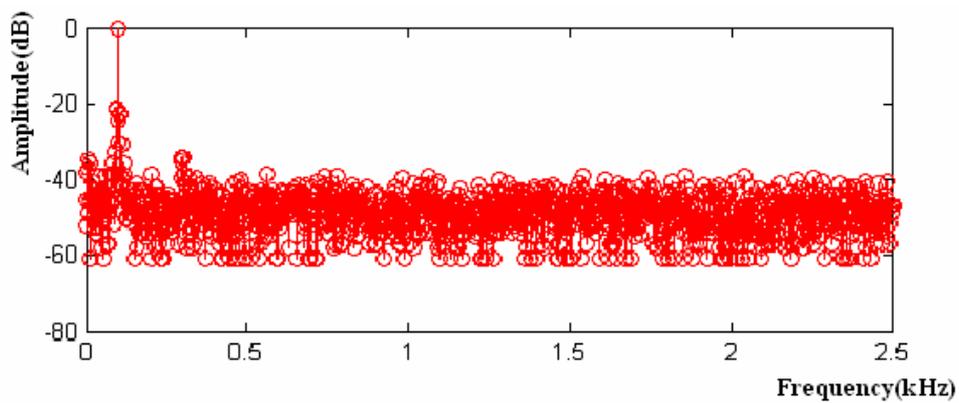


圖 6-5、1.5 位元訊號級輸出電壓頻域圖

下圖所示為單位元與 1.5 位元訊號級電壓之比較，可以明顯看出，在維持訊號大小不變的情況下，1.5 位元於頻帶內之雜訊抑制佔較大的優勢。

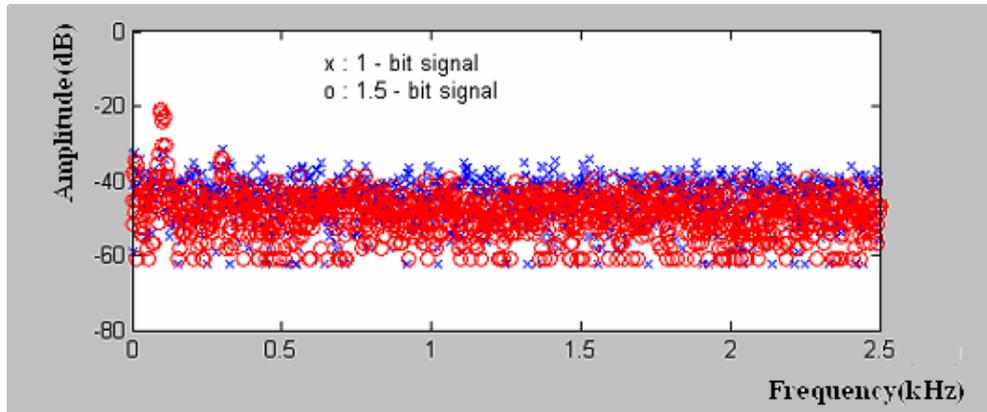


圖 6-6、1.5 及單位元訊號級輸出電壓頻譜比較圖

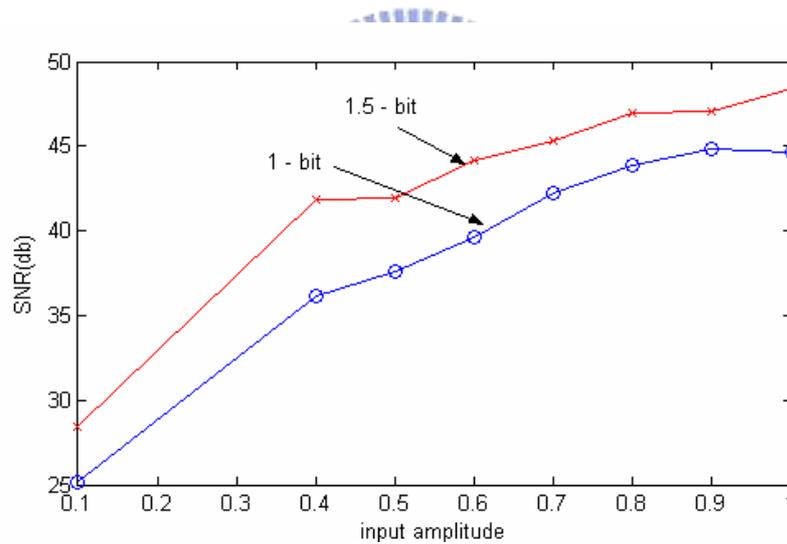


圖 6-7、訊號級輸出訊號 SNR 與輸入振幅關係圖

6.1.2 輸出級電壓量測與 SNR 比較

首先同樣以輸入訊號為 1K Hz 大小為 1 的情況來討論，而所計算的範圍為 20K Hz 以內，以訊號大小除以雜訊大小即為 SNR(圖 6-8、6-9)，可以得知，經過功率放大後的訊號並不影響其響應。

$$SNR_{one-bit} = 10 \log \left(\frac{signal\ power}{noise\ power} \right) = 44dB$$

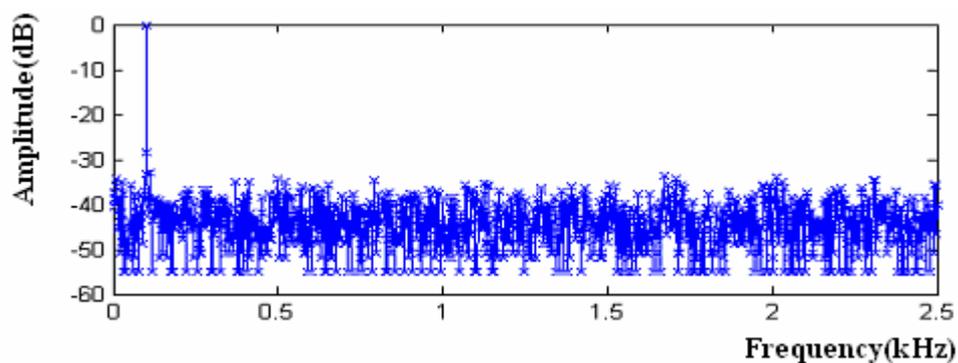


圖 6-8、單位元輸出級電壓頻域圖

$$SNR_{1.5-bit} = 10 \log \left(\frac{signal\ power}{noise\ power} \right) = 48.4dB$$

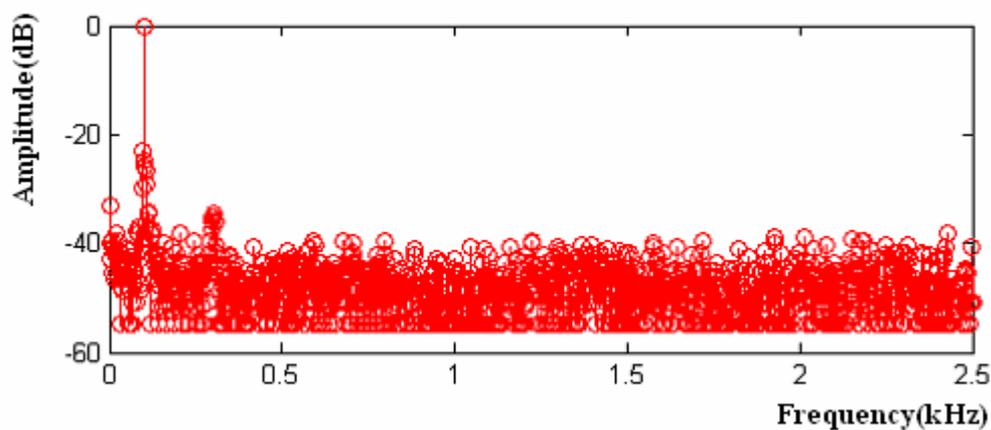


圖 6-9、1.5 位元輸出級電壓頻域圖

6.2 系統功率

6.2.1 單位元輸出輸入功率

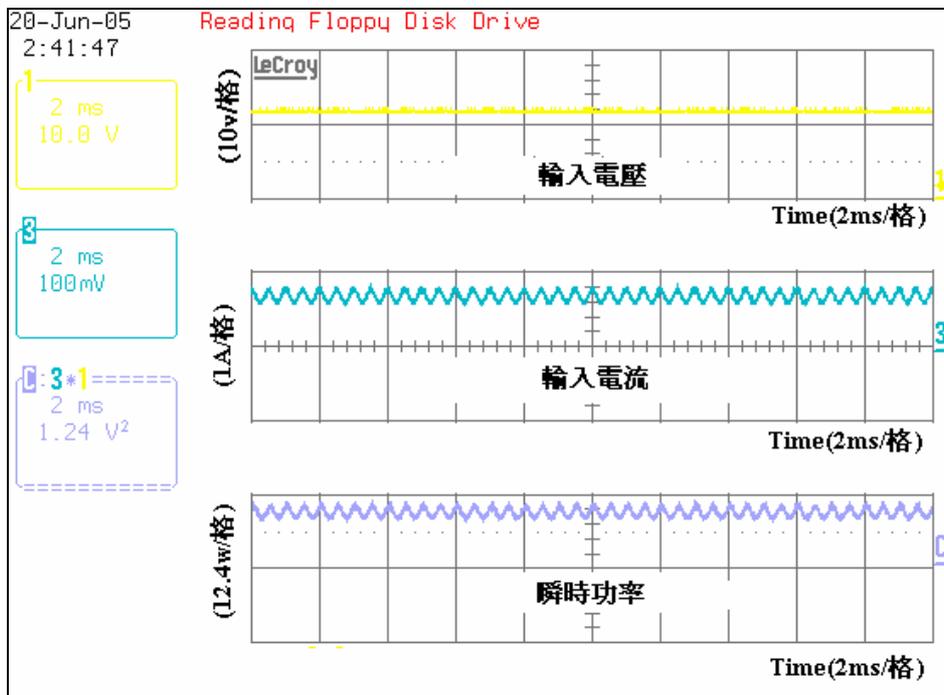


圖 6-10、單位元系統輸入電流與電壓圖

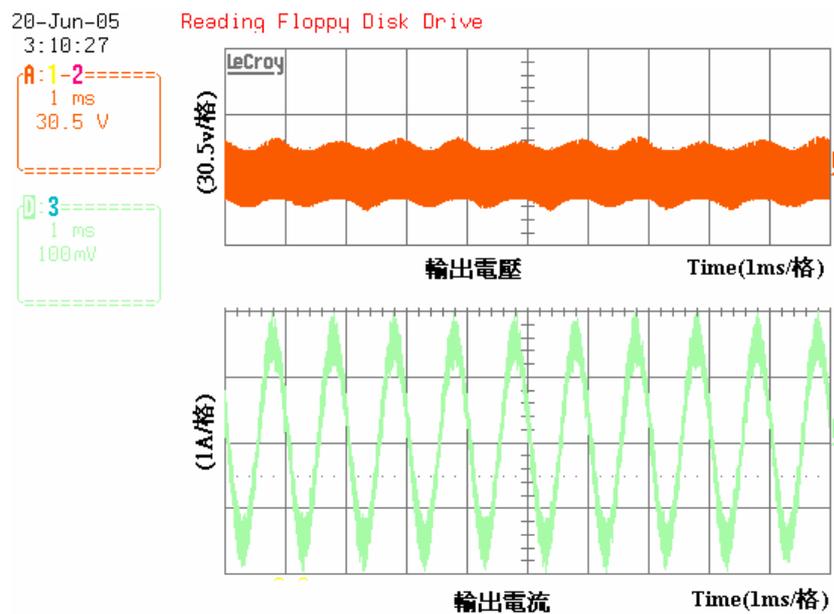


圖 6-11、單位元系統輸出電壓與電流圖

在此以 1kHz 的弦波作為測試訊號，計算輸出與輸入功率，首先由圖 6-10 可以得知輸入平均功率為 8.3959(Watt)。其輸出功率由 6-11 的電壓與電流圖得到為 7.0242(Watt)。

由此可以推算出整個系統效能

$$Power\ Efficiency = \frac{7.0242}{8.3959} = 83.66\%$$

6.2.2 1.5 位元輸出輸入功率

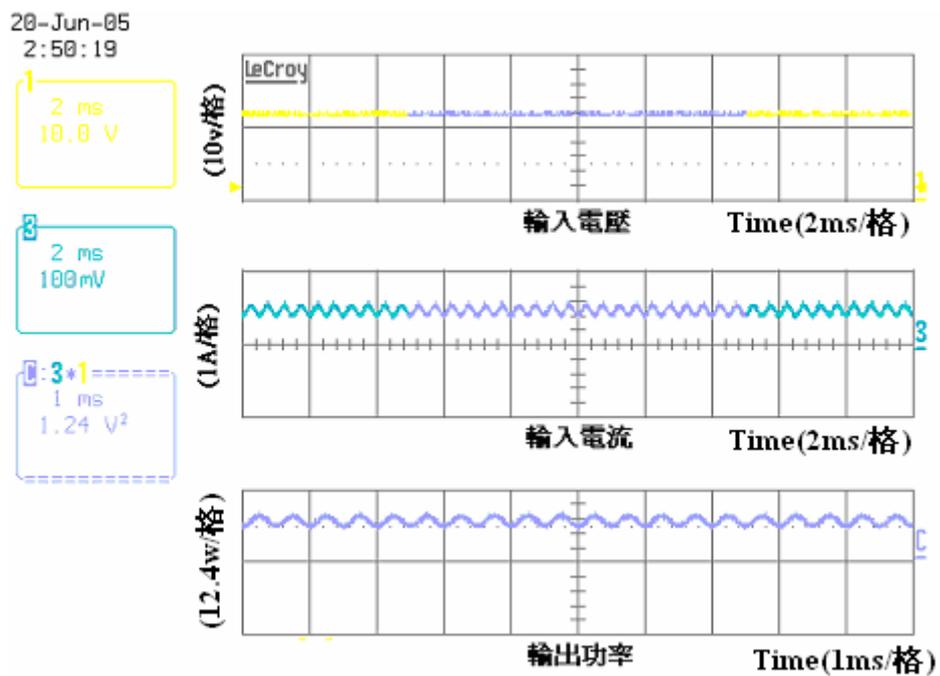


圖 6-12、1.5 位元系統輸入電流與電壓圖

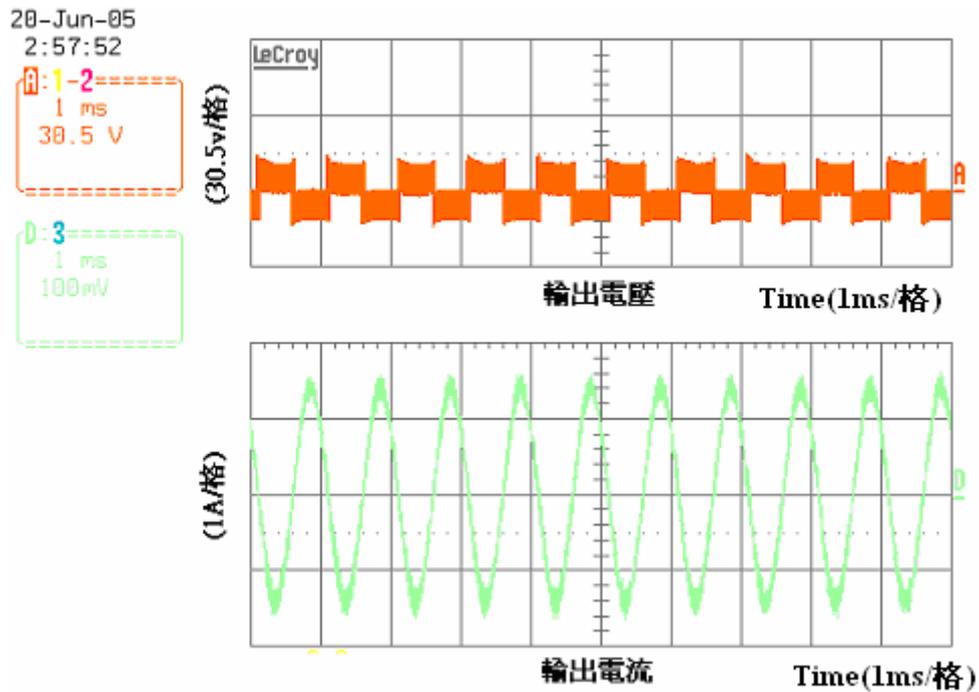


圖 6-13、1.5 位元系統輸出電壓與電流圖

相同地，以 1kHz 的弦波作為測試訊號，計算輸出與輸入功率，由圖 6-12 可以得知輸入平均功率為 6.0691(Watt)。其輸出功率由 6-11 的電壓與電流圖得到為 5.1442(Watt)。

由此可以推算出整個系統效能

$$Power\ Efficiency = \frac{5.1442}{6.0691} = 84.76\%$$

第七章 結語

D類音訊放大器其高效率、低功耗的特點，除了為可攜式電子產品系統帶來更長的電池壽命之外，散熱片之面積較小的優點，也讓 D 類音訊放大器在非可攜式的應用上受重視[28]，例如 LCD 平面電視，由於 LCD 的畫面品質與其環境溫度有相當大的關係，且平面電視空間有限，使用傳統類比功率放大器時，其散熱設計上較為困難，若設計不良將產生熱點(hot spot)，使 LCD 顯示不平均(見[18])。因此 D 類功率放大器在這方面的應用佔有絕對的優勢，而本平台正好提供此方面應用之解決方法。

本文所提及之 D 類放大器系統平台由於採用全橋式功率放大器，並不存在直流偏壓，因此其效率高達 83%，較 A 類放大器的 25%及 AB 類放大器的 40~60% 高。再者由於平台採用 1.5-位元運算，故於切換次數上更大幅降低，對於 MOS 元件的使用壽命以及熱能的產生皆有所改善。

綜觀平台整體效果，其適合於大功率輸出之裝置，且成本低，體積小，可應用於手提音響，車用音響設備，以及數位電視等地方。

參考文獻

- [1] Helmut Bresch, Martin Stritzenberger and Wolfgang Mathis, "ABOUT THE DEMODULATION OF PWM-SIGNALS WITH APPLICATIONS TO AUDIO AMPLIFIERS," Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Volume 1, 31 May-3 June 1998, Page(s):205 - 208 vol.1
- [2] Mark Bloechl, Mohannad Bataineh, and Dale Harrell "Class D Switching Power Amplifiers: Theory, Design, and Performance" SoutheastCon, 2004. Proceedings. IEEE 26-29 Mar 2004 Page(s):123 - 146
- [3] Simon C. Li and Vincent Chia-Chang Lin "A High Efficiency 0.5W BTL Class-D Audio Amplifier with RWDM Technique" Design Automation Conference, 2004. Proceedings of the ASP-DAC 2004. Asia and South Pacific, 27-30 Jan. 2004 Page(s):535 - 536.
- [4] Meng-Tong Tan, Hock-Chuan Chua, Bah-Hwee Gwee and Joseph S Chang, "An Investigation on the parameters Affecting Total Harmonic Distortion in Class D Amplifiers" ISCAS 2000-IEEE International Symposium on Circuits and Systems, May 28-31, 2000, Beneva, Switzerland.
- [5] Bah-Hwee Gwee, Joseph S. Chang, Victor Adrian and Haryanto Amir "A Novel Sampling Process and Pulse Generator for a Low Distortion Digital Pulse-Width Modulator for Digital Class D Amplifiers" Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on Volume 4, 25-28 May 2003 pp.IV-504 - IV-507 vol.4.
- [6] Cesar Pascual, Zukui Song, Philip T. Krein, Dilip V. Sarwate, Pallab Midya, William J. Roeckner, "High-Fidelity PWM Inverter for Digital Audio Amplification: Spectral Analysis, Real-Time DSP Implementation, and Results" IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL.18
- [7] K.P. Sozariski, R. Strzelecki, Z. Fedyczak "Digital Control Circuit for Class-D Audio Power Amplifier," Power Electronics Specialists Conference, PESC. 2001 IEEE 32nd Annual, Volume 2, 17-21 June 2001 pp.1245 - 1250 vol.2
- [8] P. Caldeira, R. Liu, D. Dalal, and W.J. Gu, "Comparison of EMI performance of PWM and resonant power converters," IEEE Power Electronics Specialists Conference 1993, pp.134-140, June 1993

- [9] F. de Jager, "Delta modulation – a method of PCM transmission using the one unit code," Philips Res. Repts., Vol. 7, pp.442-466,1952.
- [10] PERVEZ M. AZIZ, HENRIK V. SORENSEN, and JAN VAN DER SPIEGEL, "An Overview of Sigma-Delta Converters," IEEE SIGNAL PROCESSING MAGAZINE, pp.64-68, January 1996
- [11] Shang-Hwua Yu and Jwu-Sheng Hu, "Sigma-Delta modulators operated in optimization mode," IEEE International Symposium on Circuits and Systems, May 2004.
- [12] Huiyun Li, Bah Hwee Gwee and Chang, J.S., "A digital Class D amplifier design embodying a novel sampling process and pulse generator," Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on , Volume: 4 , 6-9 May 2001, Pages:826 – 829.
- [13] P. H. Mellor, S. P. Leigh, B. M. G. Cheetham, "Reduction of spectral distortion in class D amplifiers by an enhanced pulse width modulation sampling process," IEE PROCEEDINGS-G, Vol. 138, No. 4, August 1991
- [14] TI "TAS5036B Six Channel Digital Audio PWM Processor"
來源網站：<http://focus.ti.com/paramsearch/docs/parametricsearch.tsp>
- [15] Daniel E. Quevedo, Jos'e A. De Don'a, Graham C. Goodwin, "RECEDING HORIZON LINEAR QUADRATIC CONTROL WITH FINITE INPUT CONSTRAINT SET" 15th Triennial World Congress, Barcelona, Spain, 2002 IFAC.
- [16] 黃克強，「淺談 Delta-Sigma 之工作原理」。
- [17] H. Inose, Y. Yasuda, and J. Murakami, "A telemetering system by code modulation -- Δ – Σ modulation" IRE trans. On Space Electronics and Telemetry, vol. SET-8, pp. 204-209,1962
- [18] Israelsohn, Joshua, "Class D, Gen 3," EDN, April 15, 2004.
- [19] APOGEE "DDX Technology"
來源網站：http://www.apogeeddx.com/apogee_ddxtech.html
- [20] APOGEE "DDX 2000/2006"
來源網站：<http://www.apogeeddx.com/>
- [21] 余祥華、胡竹生，「D 類放大器(Class-D)之控制電路」，中華民國發明專利，案號：092132262，民國九十三年。

- [22] Shiang-Hwua Yu, and Jwu-Sheng Hu, "Optimization and Control Aspects of Single-Bit Noise-Shaping Quantization", IEEE Transactions on Circuits and Systems-I, 2004.
- [23] Shiang-Hwua Yu, "A Novel Noise-Shaping Feedback Coder" International Conference on Signals and Electronic Systems, Poznan, POLAND, September 2004.
- [24] 許永和，8051 微處理機程式設計，長高出版社，台南，民國九十二年。
- [25] 薛棟樑、許永和編著，USB FX 軟硬體發展平台之操作與應用，長高出版社，台南，民國九十三年。
- [26] 林傳生，使用VHDL電路設計語言之數位電路設計，儒林圖書有限公司，台北，民國八十八年。
- [27] (2004, March)." Digital Amplifier Power Stage," Texas Instruments.
- [Online]. Available: <http://www.ti.com>
- [28] 黃繼寬「**D類音訊放大器散發成熟魅力**」。
- 來源網站：<http://www.compotech.com.tw/>
- [29] 葉順智，「具備 USB 介面之雙聲道全數位式音頻放大器設計」，國立交通大學，碩士論文，民國 93 年。

