

第四章 嵌入式影像平台系統設計

本章將說明家用機器人之嵌入式平台系統設計架構，並且利用此影像系統實現人臉偵測及人臉追蹤。發展此影像平台之目的主要為兩個部分，分為即時影像擷取及系統整合。在即時取像部分，我們假設人臉移動速度是小於某一程度，而此移動的速度能讓人臉的區域落於某一時刻之感興趣區域內，若符合以上條件即達到人臉追蹤之首要條件（將人臉區域固定在感興趣區域中心附近）。若影像更新速率慢的話，而人臉移動快於影像能偵測位移變化的話，則有可能發生人臉區域完全落於感興趣區域之外，而造成人臉追蹤失敗，所以，利用即時取像的特性可以快速地偵測出位移的變化量，這對於本論文提出之適應性膚色搜尋法為一先決條件。在家用機器人系統整合方面，一家用機器人包含了機器視覺系統（人臉偵測、追蹤及辨視）、聽覺系統（辨視及定位）、機器人移動系統等等，若每一部分都在 PC 伺服端上處理的話，將會佔據很大的運算量，不僅會使家用機器人的反應緩慢並且產生驗證困難等問題，若能將每個系統模組化的話，則在系統整合及驗證方面相對而言會較容易實現與解決。我們將在此嵌入式影像平台上實現人臉偵測及追蹤，最後只會將影像平面上人臉的位置及大小傳回 PC 伺服端上做一整合的動作，也就是將機器視覺系統模組化，如此一來便能以減少 PC 的負載。

4.1 嵌入式影像平台系統

本論文之人臉追蹤及偵測系統主要是利用自行發展之嵌入式影像平台。圖 4-1 為此嵌入式影像系統之硬體架構圖。此影像平台包含一 CMOS sensor 影像感測板、緩衝記憶體 (Frame Buffer)、FPGA (Field Programmable Gate Array) 與 DSK6416 影像發展板 [23]。CMOS sensor 為銳相公司 (IC-media) [24] 所生產。我們的影像平台是選擇 CMOS sensor 為此平台之影像感測器，因為 CMOS sensor 和 CCD 相比之下其具有成本低、體積小、耗電量低及系統整合性高的優勢。我們使用 DSK6416 發展板來處理影像資料，此發展

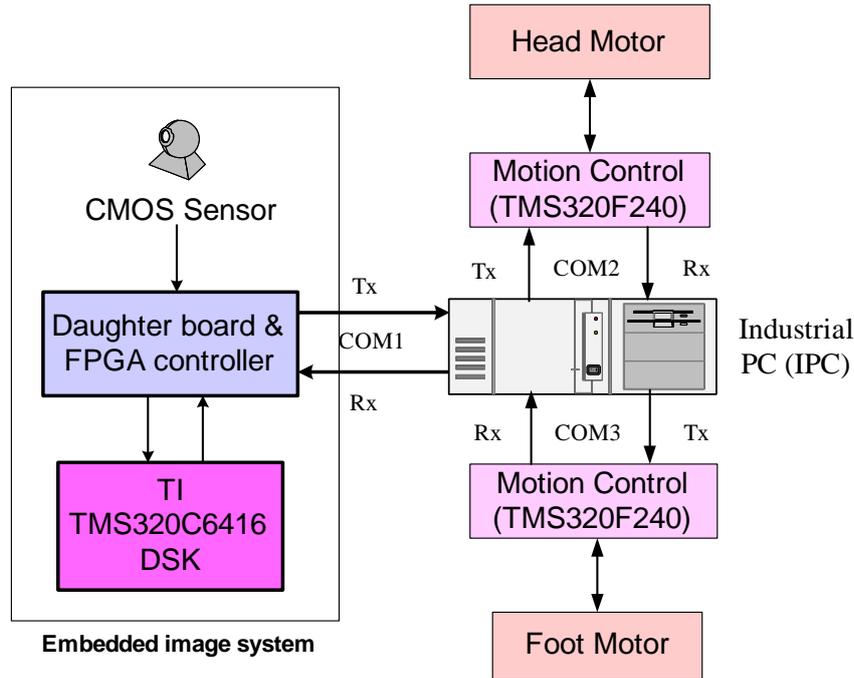


圖 4-1 影像系統架構圖

板所使用中央處理器為德州儀器研發之 C6416 處理器，此處理器具有高效能之定點運算、週邊 I/O 擴充容易及內建龐大的記憶體等優點，適合做為嵌入式系統之中央處理控制器。在 CMOS sensor 與 DSK6416 之間有一緩衝記憶體，此記憶體為凌泰公司 (Averlogic) [26] 生產，型號為 AL422B。因為 CMOS sensor 輸出影像資料為連續但卻比較緩慢，無法讓 DSK6416 在短時間之內得到一張完整之影像資料，所以使用此緩衝記憶體的目的是在於寫入及讀取資料的速度可以使用不同工作速度，即使寫入資料的速度慢，我們可以等寫入完整之資料後，再用較快的速度讀取所有的資料，以節省讀取資料的時間。FPGA 板為 ALTERA 公司所生產，型號為 FLEX10K50E240-3[25]。這部分最主要是做緩衝記憶體之寫入及讀出控制訊號、資料重新排序以及觸發 DSK6416 讀取影像資料。在和外部週邊溝通時，例如馬達運動控制器或工業電腦 (Industrial PC)，此影像平台利用通用 I/O 訊號線 (GPIO) 完成兩組通用非同步收發傳輸器 (Universal Asynchronous Receiver/Transmitter, UART) 做為通訊介面。此嵌入式影像平台可以直接下達控制命令以控制其他週邊，或者也可將處理過的資訊傳到 PC 端做一整合的動作。以下幾小節將詳細描述各元件之規格及動作原理。

4.2 CMOS 影像感測器

CCD 感測器與 CMOS 感測器都由矽晶圓製造而成，所以兩者對可見光及近紅外線光譜的感應程度基本上相似。動作原理為感測器將影像進行光電轉換，將影像入射光線轉換成電壓，並且透過電子線路的處理，把數位影像訊號儲存在儲存媒體中。不過由於影像感測器只能感受到光線的強弱，並不能感受到顏色的變化，因此當進行數位訊號取樣時，必須在感光原件的前面加上分色濾色片，通常分色濾色片是採用 RGB 三原色分色法，然後將所擷取到的三色彩值混合成全彩影像，在降低成本與體積的考量下一般只使用單色濾光片，就是所謂的彩色濾波陣列(Color Filter Array, CFA)表示，在目前最常見的彩色濾波陣列即為貝爾圖形(Bayer pattern)。隨著半導體製成的技術的逐漸成熟，互補式金屬氧化半導體影像感測器 (CMOS sensor) 和 CCD (Charge Couple Device, 電荷耦合原件) 影像感測器比較之下，CMOS sensor 不僅有產量大、成本低、體積小、耗電量低及系統整合性高的優勢，被視作 CCD 感測器的替代產品並且也愈適用於目前日漸普及的電子產品，例如手持式行動電話 (行動影像電話)，及各類以往非手持式產品的昇級 (保全監視系統) 等。

本論文利用自行發展之影像平台以實現即時人臉追蹤系統。在影像擷取方面，即利用 CMOS sensor 做為影像感測器，此感測器為銳相公司[24]所生產，影像感測板型號為 EVT202，搭載在上面的感測晶片為 ICM205B，其外觀如圖 4-2 所示，以下為此影像感

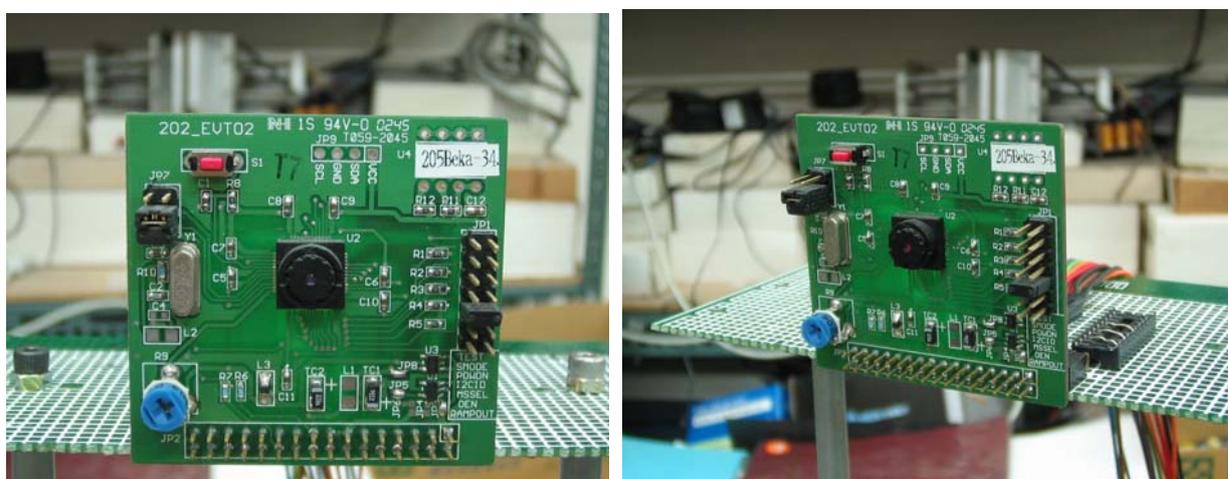


圖 4-2 EVT202 CMOS 感測器

測器之規格：

- 最大有效像素：640 x 480
- 最大實際像素：650 x 490
- 同步時脈：3 到 24Mhz
- 更新率：每秒 1 到 30 張影像
- 輸出影像格式：8-bit raw data，8/16-bit YCrCb，16-bit RGB，24-bit RGB

此影像感測板有數個強化影像的功能，例如調整 gamma 可以強化 RGB 任一頻譜的強度；自動白平衡（Auto White Balancing）可進行色彩校正；邊緣銳利化，此功能可以強化邊緣的效果等等。以上這此功能都可透過 I2C 介面去設定這些暫存器，可以在系統一開始即設定好暫存器的參數，也可在取像的過程式當中隨時改變其參數。以下將對個別的功能再更進一步詳細的描述。

- 色彩插值功能

此功能是影像經過貝爾圖形之後會造成影像像素的遺失，故利用色彩插值（Color Interpolation）重建原始的影像每點像素之 RGB 數值。

- 可程式化自動曝光控制

自動曝光功能可自動控制曝光的時間、增益及反閃爍。

- 可程式化自動白平衡及色彩校正

在色彩科學應用中白色參考值是一項不可或缺的資訊，但環境中的光源會對影像造成很大的影響，因此我們希望透過調整受到光源影響之三原色的數值，並且將影像調整成我們希望的白色參考值下所呈現的影像色彩。

- 可程式邊緣銳利化

此功能可透過調整 CMOS sensor 之參數以強化與銳利化影像當中邊緣之處。

- 可程式化輻射調整

此功能可調整 R、G 與 B 任一頻譜之數值。輻射校正的函式為 $V_o = V_i^{1/\gamma}$ ， V_i 為經由白平衡正規化之後所得到之 R、G 與 B 之數值， V_o 為最後輸出的數值。可以

調整 γ 以達到調整的功能。

- 可程式化亮度調整

此功能可使過亮或者過暗之影像調整為適當的亮度。

- 顏色飽和控制

影像色彩飽和度可透過此暫存器進行調整，主要原理為在色度 Cr 及 Cb 數值輸出前先乘上一增益值，使其對應之輸出的數值變大，其色度對比愈明顯。

以上所有功能都可以透過 I2C 調整其對應之暫存器，因此我們針對人臉偵測及追蹤系統所需之情況進行暫存器之調整。圖 4-3(a)為原始未調整任何參數所得到之影像，明顯地發現影像偏暗且色彩飽和度不高，所以在影像畫質設定方面調整四個暫存器，分別為輻射校正及顏色飽和度，輻射校正由原始設定值 1.3 調成 2.2，顏色飽和度由原始設定值增益 0 調成增益值 1.5。並且關閉自動白平衡及自動曝光這兩個功能。圖 4-3(b)即為調整後的影像，圖 4-3(a)及圖 4-3(b)其影像輸出格式都設定為 4-2-2 YCrCb 8-bit。

4.3 DSK6416 介面擴充電路



DSK6416 介面擴充電路最主要包含三個部分：

- 振盪時脈產生器：25Mhz
- 緩衝記憶體 (AL422B)：384kbytes



(a) 未經調整參數之影像



(b) 調整過參數之影像

圖 4-3 不同參數下 CMOS sensor 擷取到的影像畫面

- 通用 I/O 訊號埠 (GPIO)：兩組 UART 做為溝通協定介面

以下就這三個部份進行討論及說明。

4.3.1 振盪時脈產生器

先前實驗室發展之 FPGA 發展板為型號 FLEX10K70RC240-3[27]，此發展板上已經有內部振盪電路以產生 25Mhz 之時脈，並且供給內部或者外部所需之振盪時脈。本論文所使用之 FPGA 發展板為 FLEX10KE50RC240-3[25]，此發展板上無內建之振盪電路，於是我們利用一額外之振盪器以產生所需之時脈。此時脈為 25Mhz 且致動頻率 (Duty Cycle) 為 50%。我們使用這振盪時脈與緩衝記憶體同步以完成讀取工作時脈、讀取重置訊號及讀取致能訊號，如圖 4-4 所示，這一部份將在緩衝記憶體的部進行更詳細地說明。

4.3.2 緩衝記憶體 (AL422B)

此緩衝記憶體製程為動態記憶體 (DRAM) 相同，但其資料的存取動作為先進先出 (FIFO)，最主要的目的是針對影像儲存之用；其記憶體長度為 384kbytes 可以完整地儲存兩整張彩色 QVGA 影像；此緩衝記憶體最快工作時脈為 50Mhz，可以快速地將資料寫入或者讀出[26]。以下為此緩衝記憶體之規格：

- 384k x 8-bits FIFO 架構
- 寫入與讀取可以不同時間及不同工作時脈
- 最小寫入/讀取週期：20ns
- 輸出致能控制，可以跳過不必要的資料
- 5V/3.3V 工作電壓

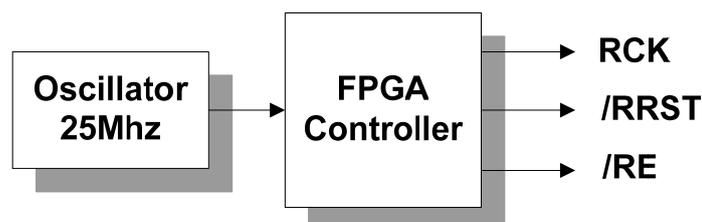


圖 4-4 外部之振盪器及產生控制訊號示意圖

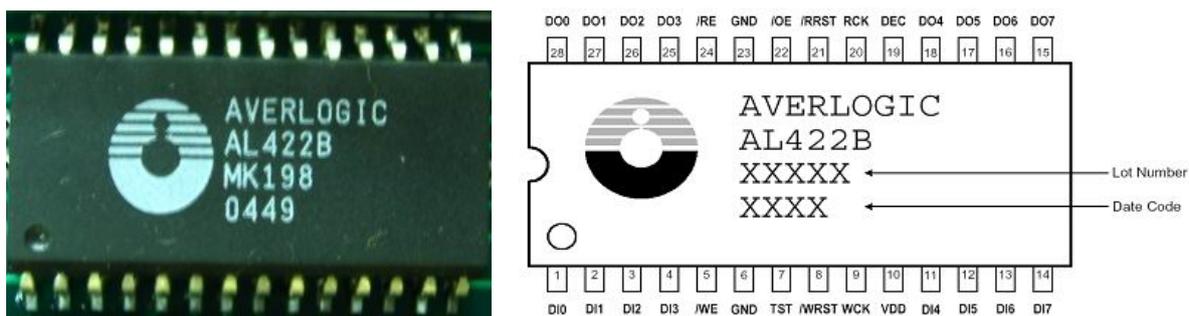


圖 4-5 緩衝記憶體之外觀及對應之資料及控制訊號埠[26]

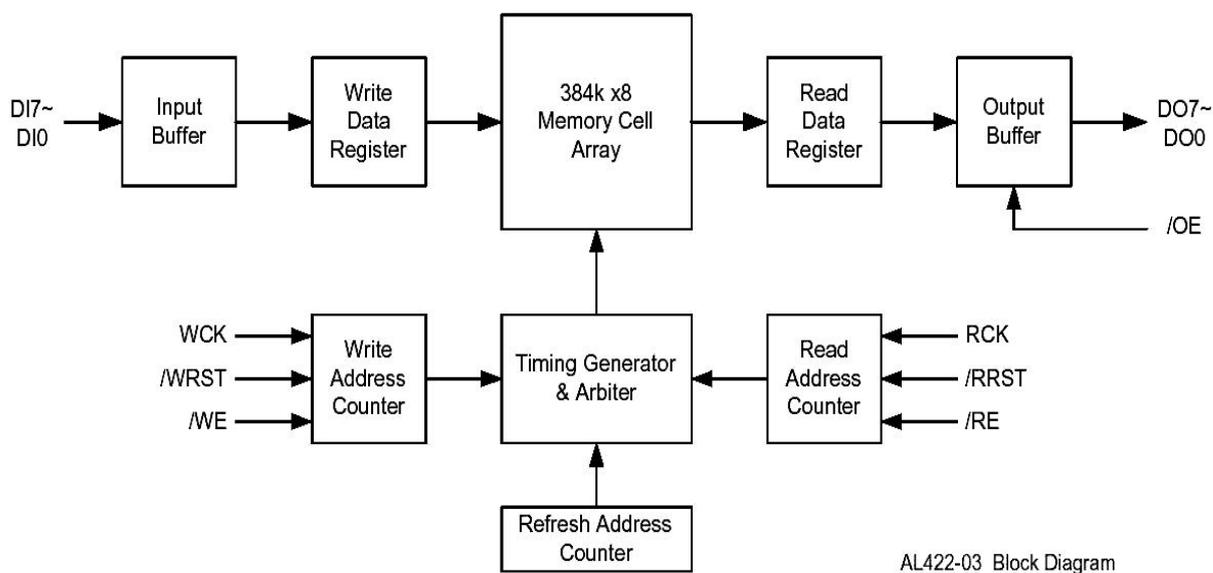


圖 4-6 AL422B 元件方塊圖[26]

圖 4-5 為此緩衝記憶體之外觀及對應之資料及控制訊號埠，圖 4-6 為寫入及讀取資料架構圖。以下將更詳細描述其訊號埠之原理：

1. 寫入資料埠

在寫入資料時會使用到三個控制訊號，寫入工作時脈 (WCK)、寫入重置訊號 (/WRST) 與寫入致能訊號 (/WE)，使用這三種訊號可以將外部資料透過 DI0 到 DI7 寫入到緩衝記憶體加以儲存，以下分別討論其控制原理：

- 寫入工作時脈

此緩衝記憶體之寫入工作時脈必須為週期性且致動頻率 (Duty cycle) 為 50% 的時脈，主要因素為此記憶體製程是使用 DRAM 架構，所以此工作時脈具有更新資料之功用；另外，此工作時脈與寫入資料 DI0 到 DI7 同步，

當資料連續寫入記憶體時，其內部的寫入資料計數器將會根據寫入工作時脈而增加。所以若沒有使用連續及週期性的時脈，則儲存在記憶體內部的資料可能會揮發或者造成寫入錯誤的資料。

- 寫入重置訊號

此訊號為低準位動作訊號 (Active Low)，其用意在於重置寫入計數器之指標。無論此刻寫入指標落在那個記憶體的位置，如要將資料由記憶體一開始的地方開始儲存，則此訊號必須將之設成低準位即可重置寫入指標。

- 寫入致能訊號

此訊號為低準位動作訊號，當有外部資料要經由 DIO 到 DI7 寫入記憶體內部，則此訊號必須設成低準位才可使記憶體正常工作。

2. 讀取資料埠

在讀取資料時，必須使用四個讀取控制訊號進行讀取的動作，並且資料經由 DO0 到 DO7 資料埠輸出。此四個讀取控制訊號分別為讀取工作時脈 (RCK)、讀取重置訊號 (/RRST)、讀取致能訊號 (/RE) 與輸出致能訊號 (/OE)。前三個讀取控制訊號動作原理和寫入資料控制訊號類似，在讀取訊號最主要的不同之處為多出讀取致能訊號。以下將分別描述其控制原理：

- 讀取工作時脈

此緩衝記憶體之讀取工作時脈和寫入工作時脈一樣必須為週期性且致動頻率為 50% 的時脈，主要目的在更新資料以防止資料揮發；另外，此工作時脈與讀取資料 DO0 到 DO7 同步，當資料連續由記憶體讀出時，其內部的讀取資料計數器將會根據寫入工作時脈而增加。所以若沒有使用連續及週期性的時脈，則可能會造成讀取到錯誤的資料。

- 讀取重置訊號

此訊號為低準位動作訊號 (Active Low)，其用意在於重置讀取計數器之指標。無論讀取指標落在那個記憶體的位置，如要將資料由記憶體一開始的地方開始讀取，則此訊號必須將之設成低準位即可重置讀取指標。

- 讀取致能訊號

此訊號為低準位動作訊號，當內部資料要經由 DO0 到 DO7 讀出記憶體時，則此訊號必須設成低準位才可使記憶體正常工作。

- 輸出致能訊號

此訊號為低準位動作訊號，當記憶體已將內部資料準備經由 DO0 到 DO7 送出資料時，則此訊號必須設成低準位內部資料才可以輸出，反之，若此訊號為高準位，則會將 DO0 到 DO7 資料埠設成高阻抗(High Impedence)，此筆資料則無法輸出並且讀取計數器指向下一筆資料。

根據以上對控制訊號的描述，最重要的就是如何正確地及符合時序產生出寫入及讀取控制訊號，這一部份我們將在下一節 FPGA 控制器進行討論。

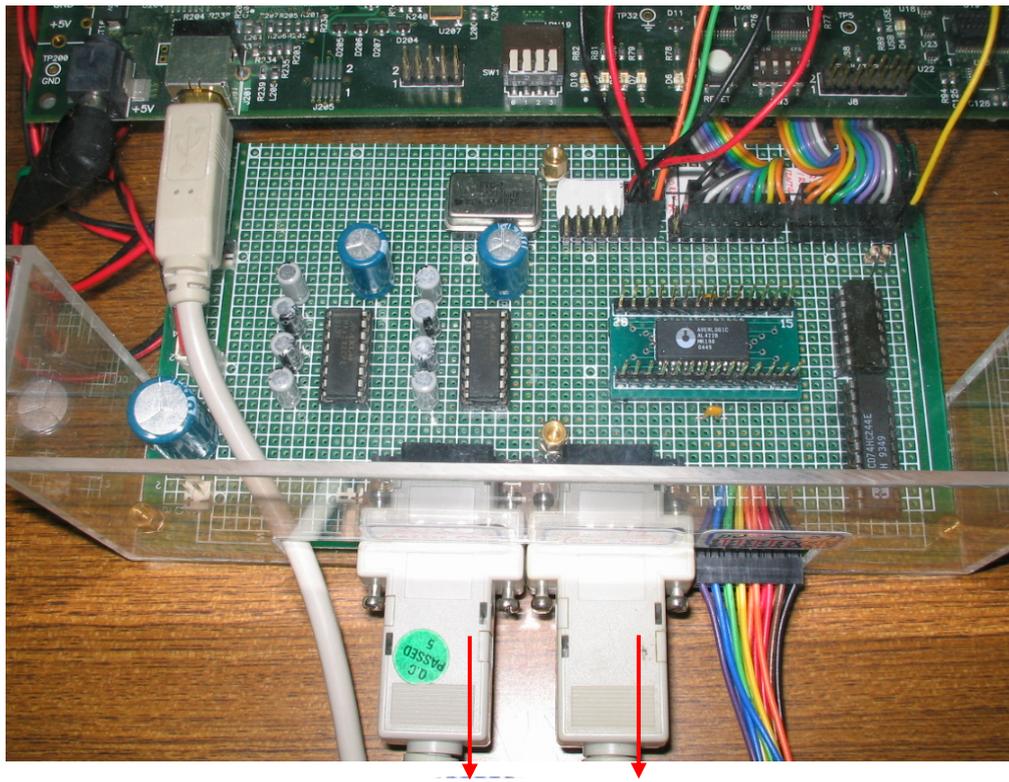
4.3.3 RS232 傳輸介面

RS232 傳輸介面在電腦溝通介面是最常使用的介面。本論文發展之嵌入式影像平台亦是利用此傳輸介面與 PC 或者其他週邊進行溝通，此電腦溝通介面具有以下幾個優點：

- 基本構造簡單，價格便宜。
- 規格歷史久遠，配備此介面之裝置相當多。
- 傳送方式可因複雜度及不同之用途而自由設定。
- 應用軟體支援廣泛。

此嵌入式影像平台利用 DSK6416 之通用 I/O 埠 (GPIO) 實現兩組 RS232 介面[28]，分別為 COM1 (slave) 及 COM2 (master)，如圖 4-7 所示。以下說明設計兩組 RS232 之個別用意。

- COM1 (slave) 模式：雖然此嵌入式系統可不經由 PC 控制而獨立工作，但是當與 PC 連結並且 PC 端做一整合之動作，例如機器視覺模組化，則此嵌入式系統與 PC 端則有主從的關係，在此情況下，PC 端則為主 (master) 而此嵌入式系統則為從 (slave)。本論文家用機器人的設計即屬於此類，當嵌入式影像平台得到影像中人臉的位置及大小之後，此影像平台會將這些資料傳回 PC 端做一整合之應用。



COM2(master) COM1(slave)

圖 4-7 擴充介面卡之 RS232 傳輸介面

- COM2 (master) 模式：在沒有 PC 端的架構下，則嵌入式影像平台也可和週邊形成一獨立的系統。此嵌入式系統可以自行下達命令直接控制週邊，也就是說嵌入式系統為主，而其他受控制的週邊則為從屬。

4.4 FPGA 介面電路控制器

此FPGA板為ALTERA所生產，型號為FLEX10K50E240-3，圖4-8為此FPGA之外觀，此發展板有以下幾個特點：

- 此研發測試板是由SRAM製程所製造的，並且此發展板利用JTAG介面實現在電路可重配置 (In-circuit Reconfigurability, ICR)。
- 其電路配置方式有兩種：第一，通過ALTERA所提供之下載訊號線 (BITBLASTER) 直接由電腦下載程式，對發展板進行配置。這種方式在實際用途上並不實際，但對於初期發展具有很大的彈性；第二，通過下載訊號線下載程式，

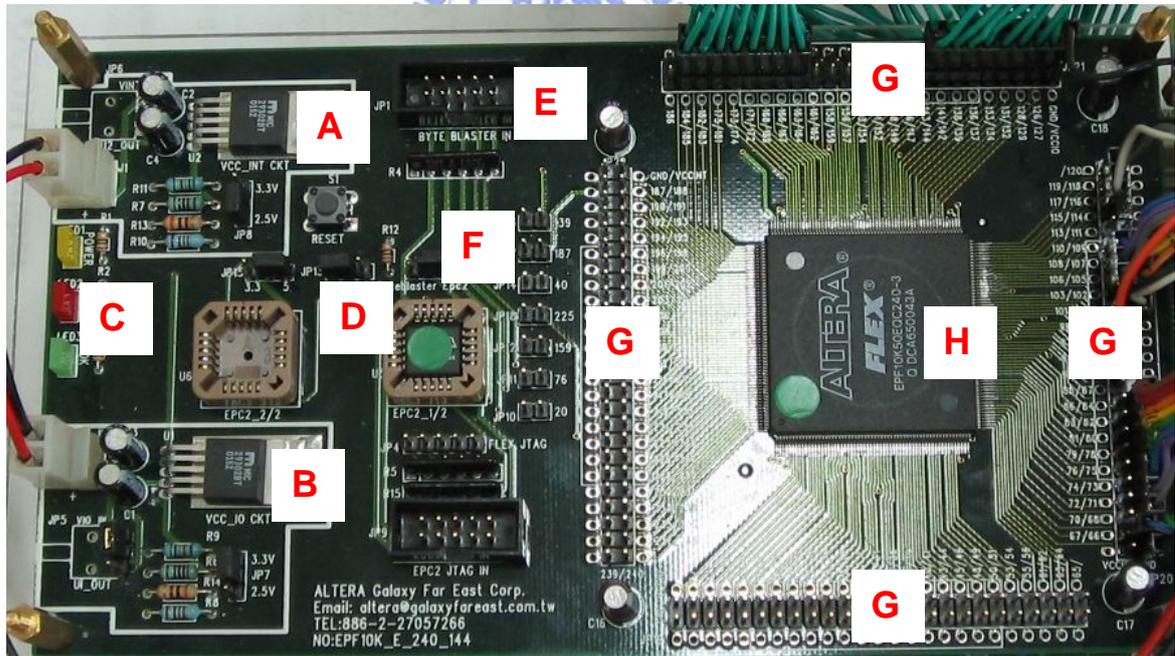
不過程式是下載到不揮發性記憶體 (EPC2)，可以在下次啟動發展板時，由EPC2對發展板直接進行配置，而不需透過電腦下載程式。在實察的應用中，此種為最常用，也是最為方便的方式。

- 此發展板具有5V、3.3V及2.5V電源分離設計，可方便5V/3.3V/2.5V混合電路設計。
- 在發展上最大的 I/O 數總共有 240 個，提供設計者最大的應用及彈性。

FPGA控制器最主要是在做緩衝記憶體之寫入及讀出控制訊號、資料重新排序及觸發DSK64616讀取影像資料。以下先就緩衝記憶體之寫入及讀出控制訊號進行討論。

圖4-9為先前實驗室發展之FPGA介面控制電路架構，在此系統一開始時，FPGA控制器先利用I2C初始化CMOS sensor，初始化如下：

- 影像更新速率：每秒30張的影像
- 影像輸出格式：8-bit 4:2:2 YCbCr QVGA
- 輻射校正：gamma = 2.2



A：Vccint 電壓調整區

B：Vccio 電壓調整區

C：狀態顯示區

D：EPC2 燒錄區

E：資料下載區

F：特別電源選擇區

G：輸出入接點

H：FLEX10K 元件

圖4-8 FPGA發展板之外觀[25]

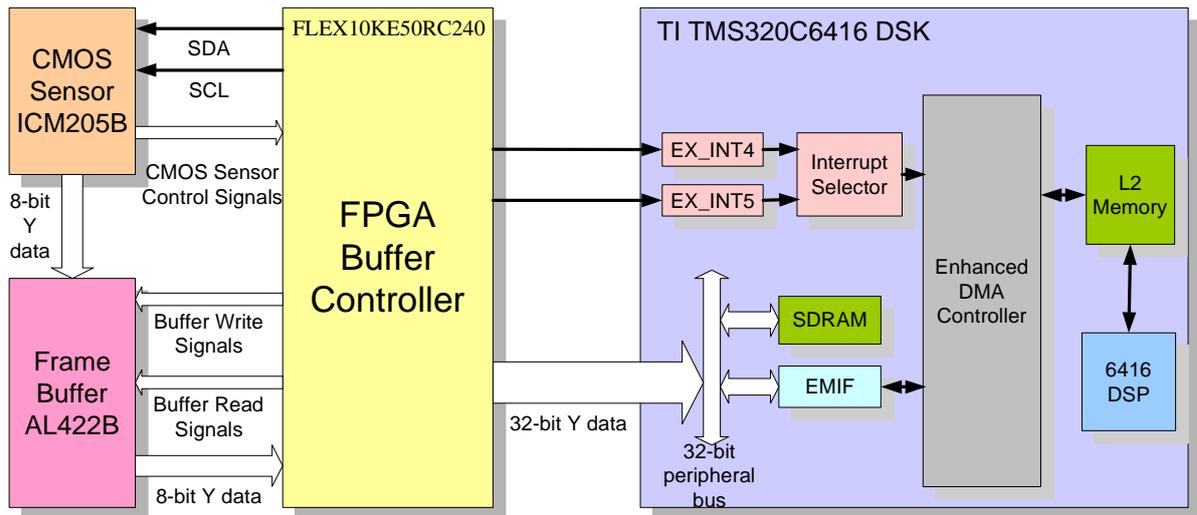


圖 4-9 FPGA 介面控制電路架構圖

- 色彩飽和度：saturation = 1.5
- 自動白平衡：關閉
- 自動曝光：關閉

當初始化之後，影像資料即會連續地從 CMOS sensor 資料匯流排送出，此時 CMOS sensor 與緩衝記憶體控制訊號時序 (Timing) 必須同步，然後資料正確地寫入緩衝記憶體。圖 4-10 為 8-bit YCrCb VGA 時序圖，圖 4-11 8-bit YCrCb QVGA 時序圖，由這兩個時序圖可以得知，CMOS sensor 會根據影像輸出格式而改變其時序圖，先前實驗室學長發展之 FPGA 控制器是依據設定何種輸出影像格式，並且再使用水平同步訊號 (hsync)、垂直同步訊號 (vsync) 及像素同步訊號 (pclk) 之時序以完成 FPGA 控制器，也就是當改變影像格式時其內部各參數也必須一併更改。

為了容易地改變影像的輸出格式且不必設定許多內部參數，我們利用影像資料輸出訊號 (blank)、垂直同步訊號 (vsync) 及像素同步訊號 (pclk) 做為同步訊號。由圖 4-10 及圖 4-11 可以得知，blank 訊號為 high 時即表示影像資料輸出，我們即利用此特點來設計 FPGA 控制器，以達到切換到不同的影像格式時不需要設定許多時序參數。

表 4-2 為先前學長與本論文設計之 FPGA 控制器不同之處，表格內之數據是經由 QuartusII 所合成出來之電路配置報告所得到的數據。由數據可以得知，本論文設計之控制器比先前實驗室發展之控制器所需之邏輯閘更少，且設定之暫存器相對上來看也較先

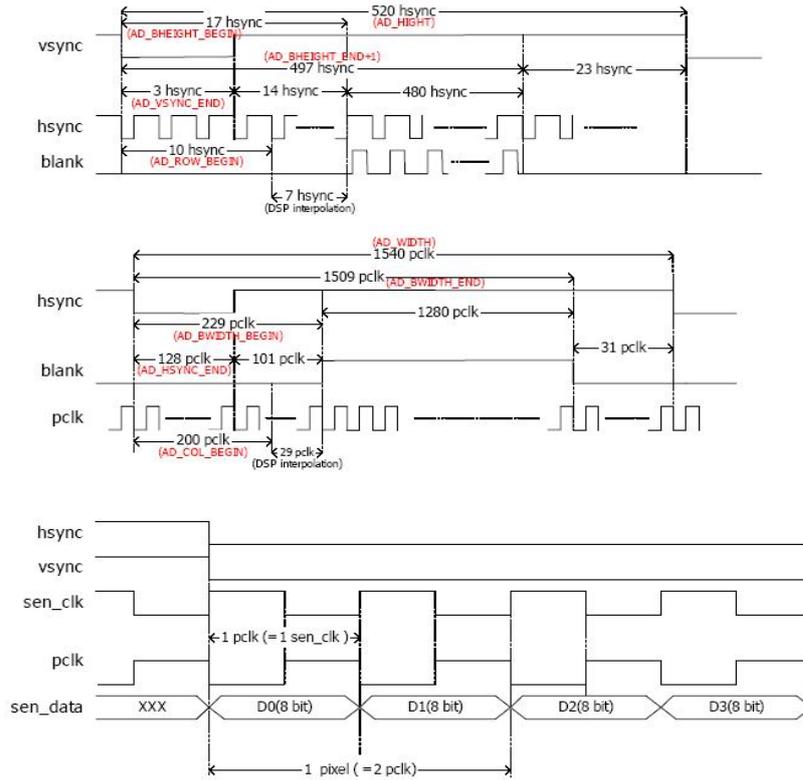


圖 4-10 8-bit YCrCb VGA 時序圖[24]

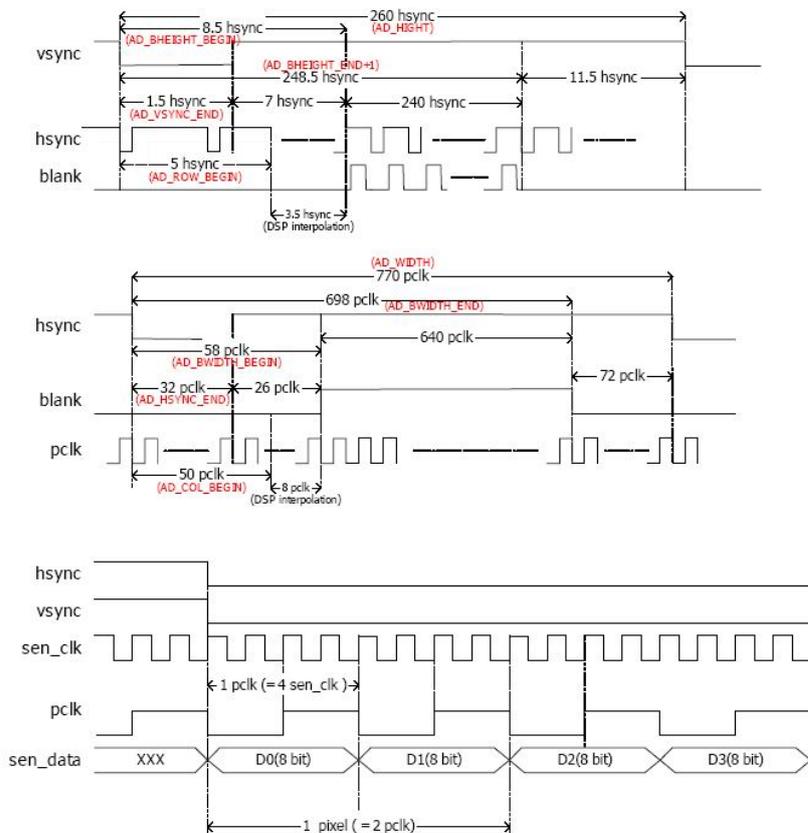


圖 4-11 8-bit YCrCb QVGA 時序圖[24]

表 4-1 先前實驗室與本論文設計之 FPGA 控制器之比對表

	先前實驗室發展之控制器[30]	本論文所使用之控制器
邏輯元件使用數量	568	489
內部記憶體使用數量(bits)	4096	0
影像輸出格式暫存器	2	2
時序暫存器	6	0
總共所需更改暫存器	8	2

前發展的架構少。

以下將詳細描述本論文是如何完成 CMOS sensor 及緩衝記憶體控制訊號時序之同步化。圖 4-12 為緩衝記憶體寫入及讀取控制訊號，主要是利用 CMOS sensor 所產生之影像資料輸出訊號、垂直同步訊號及像素同步訊號三個訊號做為同步訊號。讀取重置訊號 (/RRST) 必須落後寫入重置訊號一段時間，此用意是依本論文需求，我們將影像輸出格式設成 QVGA 彩色影像模式，PCLK 的時脈變更為 6Mhz，所以寫入緩衝記憶體的工作時脈也必須為 6Mhz，以符合緩衝記憶體之寫入控制訊號。為了讓 DSK6416 發展板可以達到即時擷取影像資料，我們設計緩衝記憶體讀取資料的工作時脈設定為 25Mhz，此工作時脈為先前介面擴充電路之振盪器所產生出來，目的是為了產生讀取控制訊號之用途。因為讀取的速度為寫入的速度四倍，所以必須在合理的延遲時間之後才可以開始讀取寫入的資料，如圖 4-12 所示。我們利用 VSYNC 及 RCK 做為同步訊號以產生讀取重置訊號，並且利用一內部計數器計數何時產生讀取重置訊號，此內部計數器是與 RCK 正緣觸發同步的。太早或者太晚開始讀取資料都有可能造成前面的資料為正確的，不過後面的資料卻為前一張影像的資料，而造成讀取到錯誤的資料。

圖 4-13 為緩衝記憶體寫入控制訊號，主要是利用 CMOS sensor 所產生之影像資料輸出號、垂直同步訊號及像素同步訊號三個訊號做為同步訊號。此三個訊號正好符合緩衝記憶體寫入之控制訊號，也就是 PCLK 等於 WCK，VSYNC 等於 /WRST，唯一要改變的為緩衝記憶體寫入致能訊號 (/WE)，此訊號為低準位動作，雖然 CMOS sensor 之

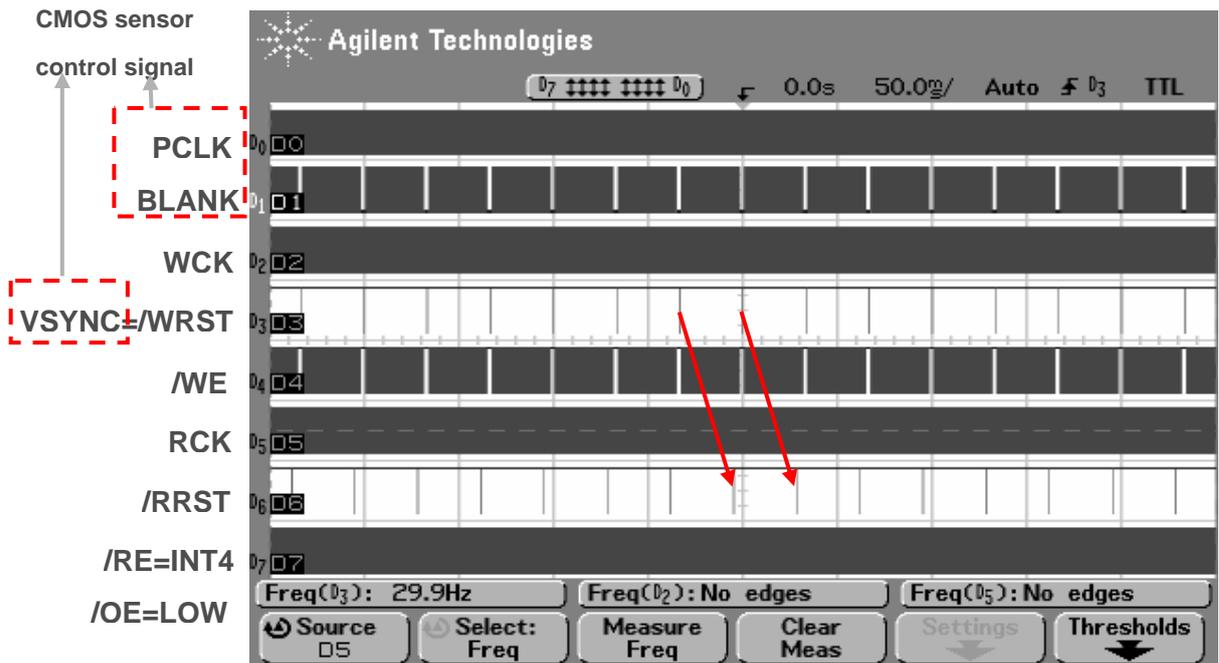


圖 4-12 FPGA 控制器產生寫入及讀取記憶體之時序圖

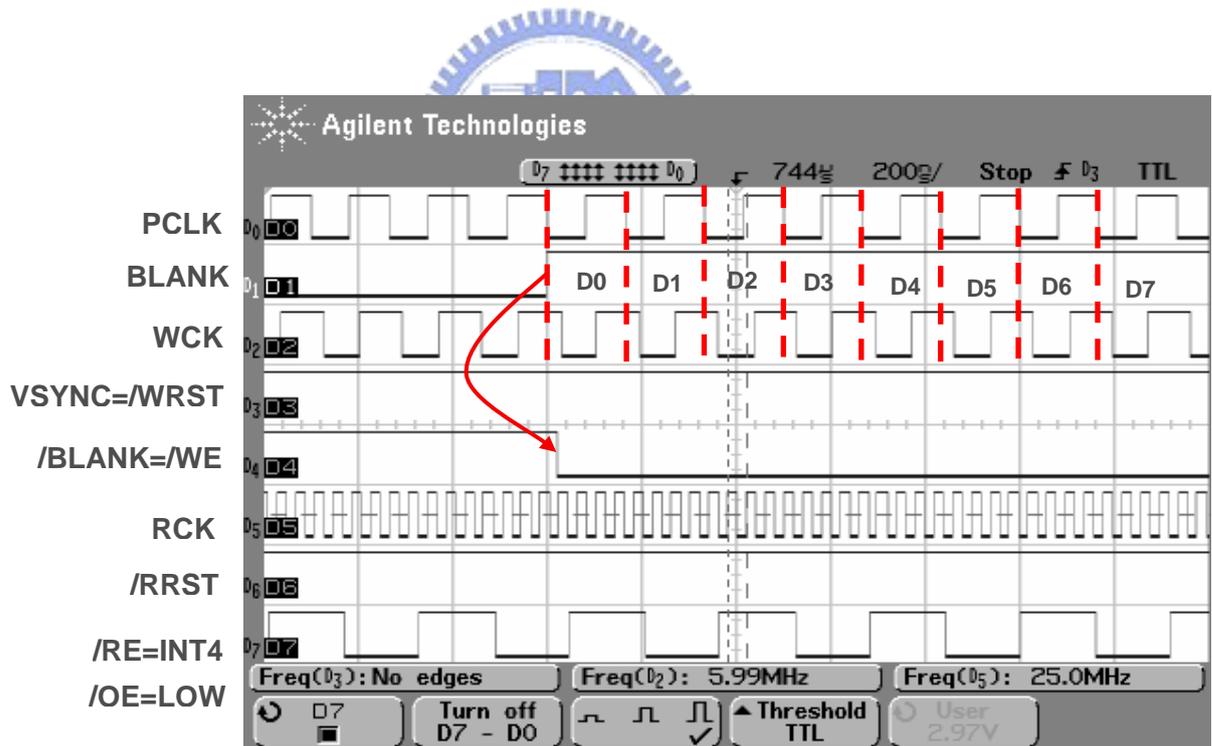


圖 4-13 記憶體寫入資料控制訊號時序圖

影像輸出訊號(BLANK)可以符合/WE之時序,不過BLANK卻為高準位,於是當BLANK送入FPGA控制器之後,只需要在控制器內部經由一反閘即可符合/WE之時序。

以上討論的部分都為控制緩衝記憶體寫入資料，當整張影像寫入到緩衝記憶體中之後，接著就要將資料快速地讀出並且存到 DSK6416 發展板上的 SDRAM，讓 DSK6416 可以開始進行人臉偵測及人臉追蹤演算法的實現。

我們設定 CMOS sensor 輸出的影像格式為 4-2-2 YCrCb 8-bit，由公式(4-1)可以得知所有的資料量為 153,600 筆資料，但經由對 DSK6416 外部觸發反應之時間的實測，發現 DSK6416 最快的反應頻率為 4Mhz，若直接由 DSK6416 直接讀取緩衝記憶體的資料，則由公式(4-2)可求得大約所需時間 38.4ms。為了達到即時擷取影像，也就是每秒取得 30 張影像，影像間隔時間必須小於 33.3ms 才符合需求，於是我們做了以下的設計：

- 讀取工作時脈為 25Mhz。
- 利用 FPGA 控制器將緩衝記憶體連續四筆 8-bit 資料排成一筆 32-bit 資料。
- /RE 訊號之時脈為 RCK 時脈之八分之一，其工作時脈為 3.125Mhz。
- /RE 正緣觸發時，觸發 DSK6416 擷取一筆由 FPGA 排序好的 32-bit 資料。

由以上之設定計，本論文讀取完整一張彩色 QVGA 影像由公式(4-3)求得所需時間約 12.29ms。

$$320*240*2 = 153,600 \quad (4-1)$$

$$153,600/4\text{Mhz} = 38.4\text{ms} \quad (4-2)$$

$$(153,600/4)/3.125\text{Mhz} = 12.29\text{ms} \quad (4-3)$$

在讀取資料控制訊號方面，如圖 4-14 所示。首先利用 /RRST 將記憶體讀取指標重新設定為開頭之處，並且利用 /RRST 正緣時觸發 DSK6416 發展板開啟資料通道 5 以擷取 FPGA 控制器傳過來的 32bits 資料。藉由 RCK 同步產生 /RE，其工作時脈為 3.125Mhz，在低準位時由緩衝記憶體連續放出四筆 8-bit 的資料，並且經過 FPGA 控制器將這四筆 8-bit 資料排成一筆 32-bit 資料，再利用 /RE 之正緣觸發 DSK6416 外部中斷以讀取一筆 32-bit 資料，此用意在於為了確保可以正確地將資料讀到 DSK6416 發展板上的 SDRAM。

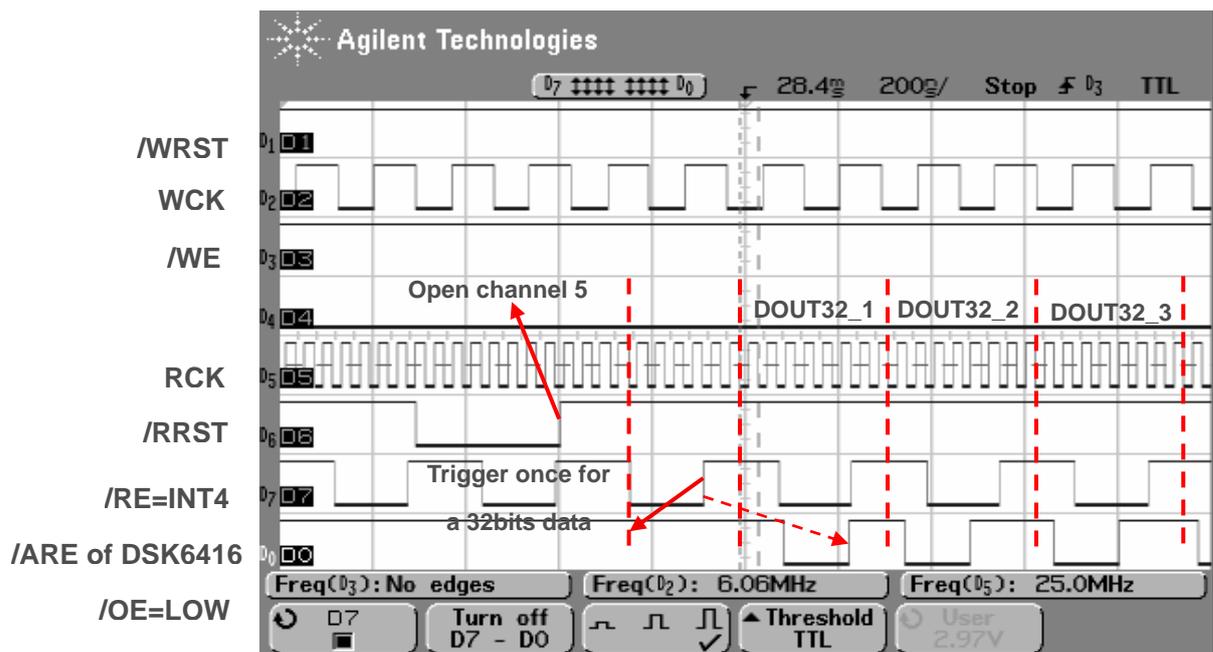


圖 4-14 記憶體讀取資料控制訊號及觸發 DSK6416 之觸發訊號

4.5 TI DSK6416 影像處理卡



影像處理器方面使用德州儀器之C6416發展板，此處理器具有高效能之定點運算數位訊號處理器（DSP），以下為其特點：

- 中央處理速度為600Mhz，每秒可以執行4800百萬個指令（MIPS）。
- 週邊擴充容易且提供豐富I/O支援，如64位元外部記憶體界面（External memory interface, EMIF）。
- 64通道加強型DMA控制器（EDMA）。
- 7個通用I/O訊號線（GPIO）。
- 內部記憶體512KB。

圖4-15為DSK6416發展板之外觀。以下就本嵌入式影像系統所用到DSK6416之外部記憶體介面（EMIF）及加強型直接記憶體存取控制器（EDMA）功能進行說明及描述。

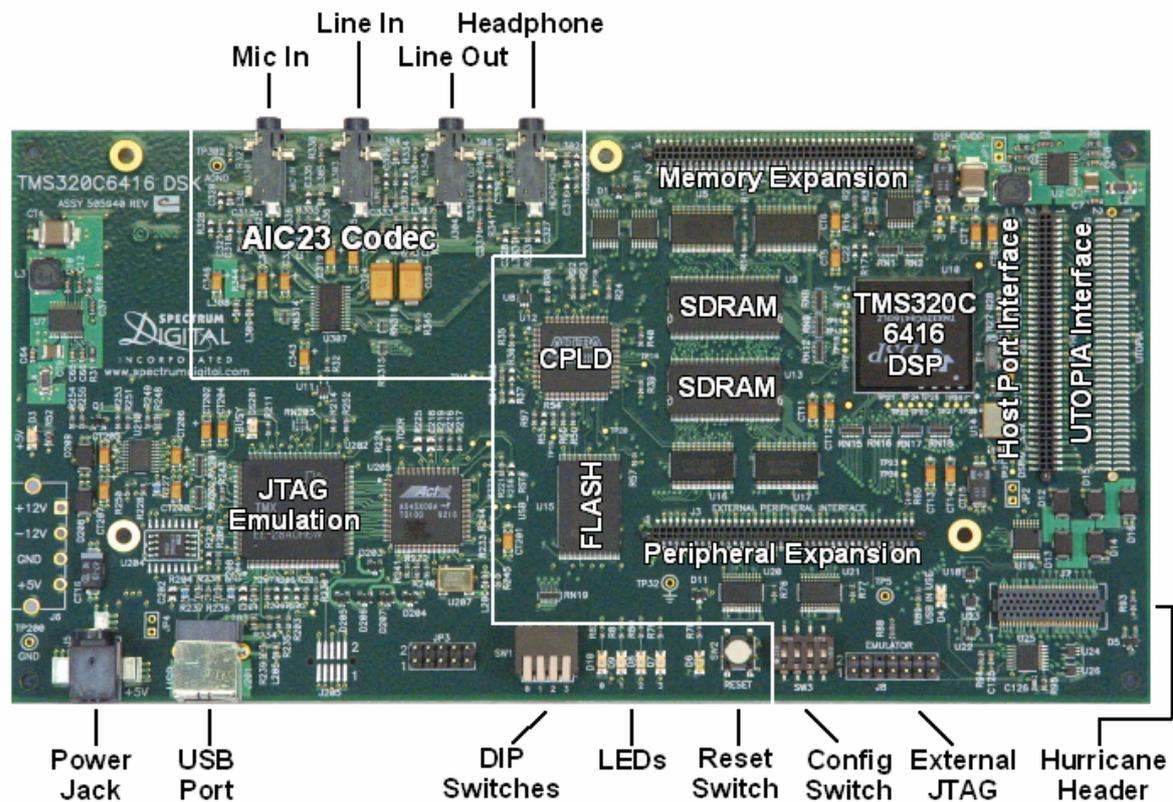


圖4-15 DSK6416發展板之外觀[23]



4.5.1 外部記憶介面 (EMIF)

許多 DSP 處理器都會直接整合許多記憶體控制介面，例如 SRAM、SDRAM、SBSRAM 與 FLASH 等等，德州儀器的 DSP 處理器即屬於此類之 DSP 處理器。使用此類的 DSP 處理器的好處在於，DSP 處理器本身大部分可產生符合外部記憶體控制時序，所以在發展外部記憶體控制介面時則較為容易發展與實現。

圖 4-16 為 DSK6416 發展板之外部記憶體讀取控制時序。DSK6416 發展板最主要是透過外部記憶體介面 (External memory interface, EMIF) 對外部之記憶體進行寫入及讀值。根據本論文之設計方式，當開啟資料通道 5 之後，DSK6416 則會隨著 /RE 之正緣觸發且擷取一筆 32-bits 資料，此資料輸出的週期時間為 320ns，因為考慮 DSP 觸發反應時間及 FPGA 控制器資料輸出時的不穩態，所以我們設定 DSK6416 發展板讀取外部資料的時序恰好在落在 /RE 低準位中間的位置，即 setup 為 60ns、strobe 為 60ns 與 hold 為

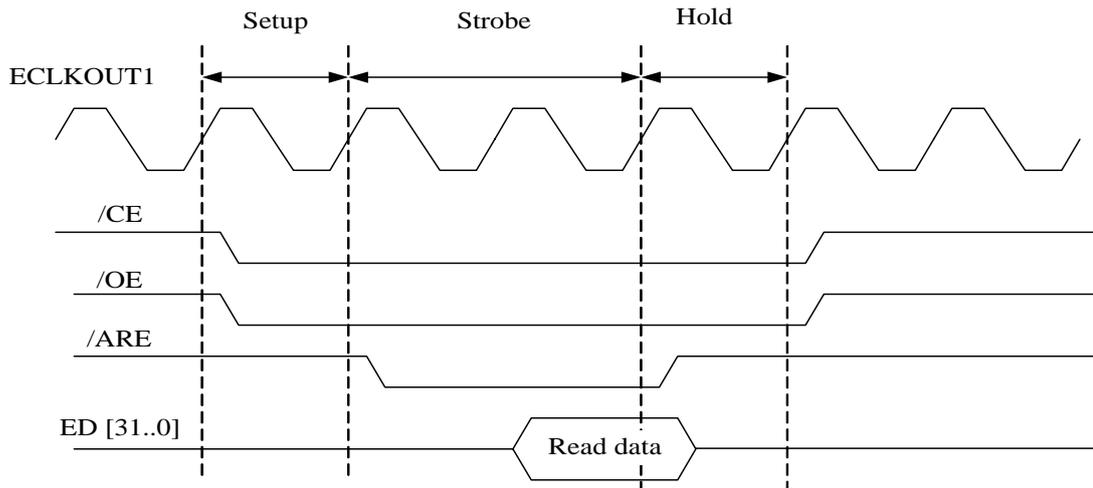


圖 4-16 DSK6416 發展板之外部記憶體讀取控制時序圖[29]

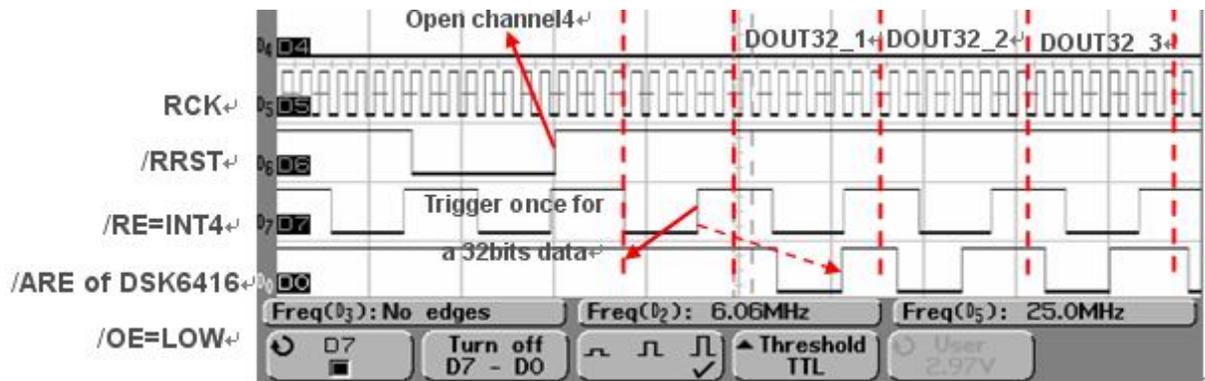
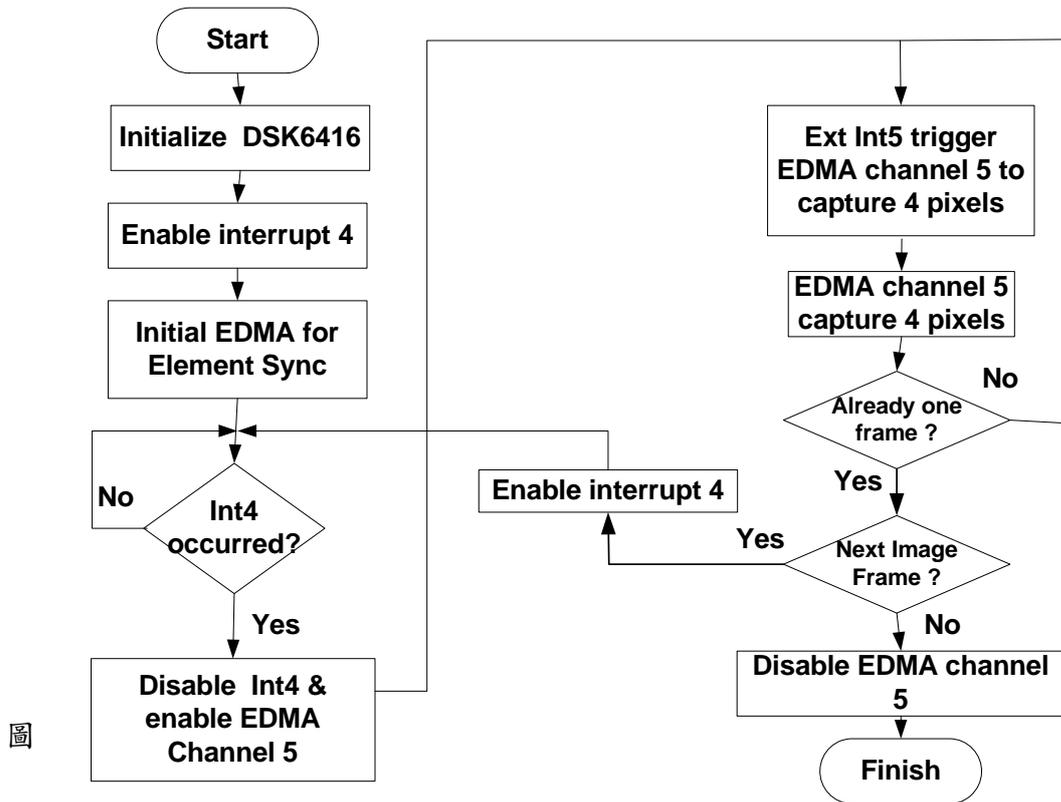


圖 4-17 實際量測之 DSK6416 反應時序圖

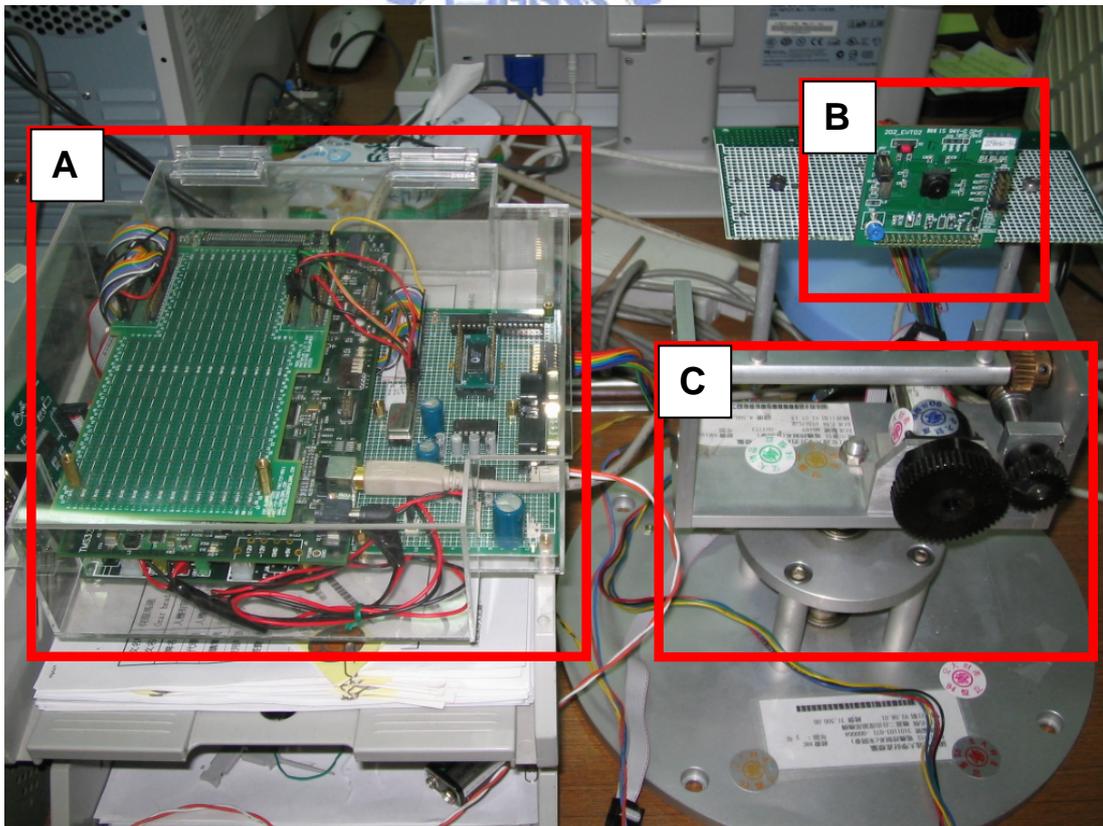
20ns，如圖 4-17 所示，DSK6416 發展板之 /ARE 正緣時，也就是在 strobe 與 hold 中間時把資料讀到 DSK6416 之 SDRAM，此時序正符合 FPGA 控制器放出资料的時序，可確保擷取到的資料為正確的資料。

4.5.2 加強型直接記憶體存取控制器 (EDMA)

DSK6416 發展板提供了兩種搬移資料的方法，分別為一維及二維資料搬移法。一維資料搬移較常用在讀取外部記憶體，如圖 4-18 所示。因為外部記憶體最主要是透過 EMIF 和 DSK6416 發展板連接，所以資料連接埠為單一旦連續地從此連接埠傳送到 DSK6416 發展板的 SDRAM 儲存，此模式即為本嵌入式系統在擷取外部記憶體所使用之模式。由



4-20 嵌入式影像平台擷取資料之流程圖



A：嵌入式影像平台 B：CMOS 影像感測器 C：機器人頭部移動控制平台

圖 4-21 嵌入式影像平台系統圖

圖 4-21 為此嵌入式影像平台系統之全貌。藉由 CMOS 影像感測器擷取影像，並且經由影像處理板處理得到人臉的位置，然後再傳到工業電腦做一整合的動作。工業電腦主要是下達頭部馬達控制命令到馬達控制器以進行即時人臉追蹤。

4.6 實驗結果與測試

我們利用此嵌入式影像平台進行影像擷取實測。在擷取影像的格式方面，依據設定輸出影像的格式，分別可以得到 640x480 解析度的灰階影像，如圖 4-22 所示，以及 320x240 解析度 YCrCb 影像，如圖 4-23(a)所示；在取像的速度，以上兩種影像格式皆可以達到每秒 30 張的取像速度，確實可以達到即時影像的擷取。接下來進行影像處理的效果測試，圖 4-23(a)為 CMOS sensor 輸出格式設為 QVGA 所得到之彩色影像，而圖 4-23(c)為(a)之灰階影像經由 sobel 運算得到之處理結果，圖 4-23(d)為(c)透過二值化處理後得到的結果。

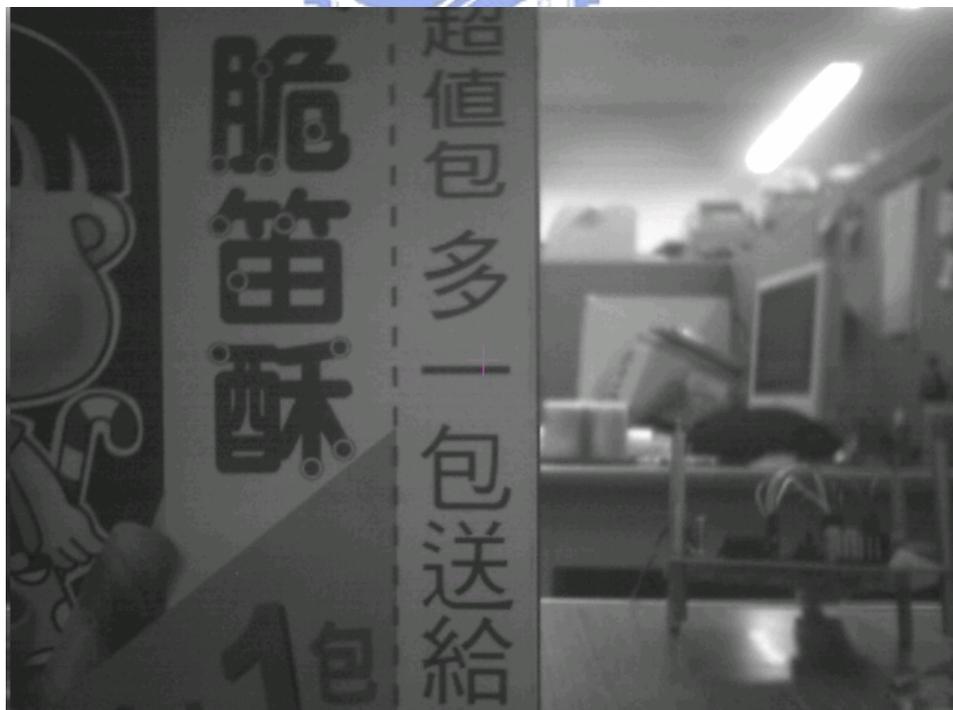
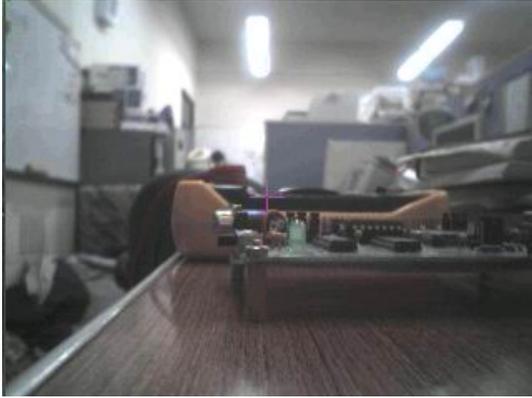
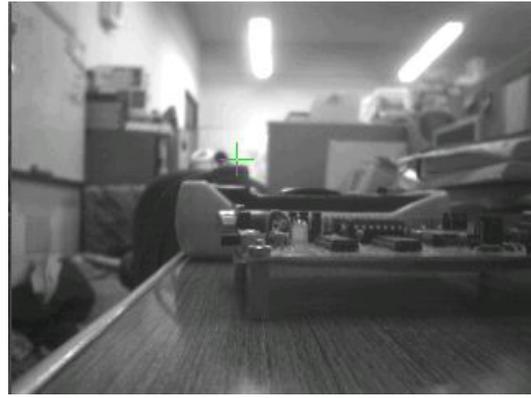


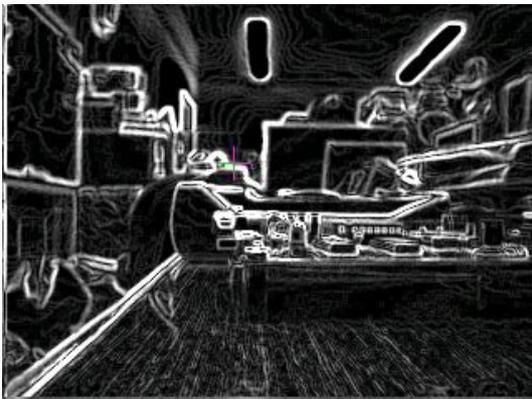
圖 4-22 VGA 灰階影像



(a)原始測試彩色影像



(b) 原始測試之灰階影像



(c) (a)經由 sobel 邊緣運算所得之結果



(d) (c)經過二值化之後處理之結果

圖 4-23 QVGA 彩色影像擷取及影像處理測試