國 立 交 通 大 學

電 機 與 控 制 工 程 研 究 所

碩 士 論 文

應用於無線個人通訊

低功率分時帶通和差調變類比數位換器

A Low Power Time Interleaved Band-pass

Sigma Delta A/D Converter

for Wireless Personal Communication

研 究 生：陳育聖

指導教授：董蘭榮　博士

中 華 民 國 九十四 年 七 月

應用於無線個人通訊

低功率分時帶通和差調變類比數位換器

A Low Power Time Interleaved Band-pass Sigma Delta A/D Converter for Wireless Personal Communication

研 究 生：陳育聖　　Student：Yu Sheng Chen

指導教授：董蘭榮　　Advisor：Lan-Rong Dung

國 立 交 通 大 學

電 機 與 控 制 工 程 學 系

碩 士 論 文

A Thesis

Submitted to Department of Computer and Information Science

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical and Control Engineering

October 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

應用於無線個人通訊

低功率分時帶通和差調變類比數位換器

學生：陳育聖　　指導教授：董蘭榮 博士

國立交通大學電機與控制工程研究所

摘　　要

帶通類比數位轉換器對電容的誤差以及高速度的處理上，面臨著對誤差極爲靈敏，以及功率消耗極高的問題。因此我們採用了分時系統 (Time Interleaved System) 並且搭配上合成雜訊轉移函式 (NTF Synthesis) ，利用四個低通的三角積分（ΔΣ）類比數位轉換器合成一帶通類比數位轉換器。利用四個 ADC 的 channel 分時操作，每個一個 ADC 通道僅須操作在四分之一的帶通類比數位轉換器的工作頻率，如此一來除了可大幅降低 ADC 的功率消耗，延長電池的使用時間。此外，由於每一個 ADC channel 爲一個 single loop low-pass sigma delta ADC，此架構之 ADC 對於電容的不匹配，及 OP DC gain 的要求較爲寬鬆不靈敏，因此我們亦可在設計電路上得到附加的好處，以及避免掉非理想效應及製程飄移所帶來的問題，以達到所求之解析度。

A Low Power Time Interleaved Band-pass Sigma Delta A/D Converter for Wireless Personal Communication

Student：Yu Sheng Chen　　Advisor：Dr. Lan-Rong Dung

Department of Electrical and Control Engineering
National Chiao Tung University

ABSTRACT

The thesis proposes a low power four path time-interlaeved sigma-delta modulator with switched-opamp technique for personal wireless communication applications, such as the GSM system. In this thesis, we design a time interleaved bandpass sigma delta modulator by using four channels with lowpass sigma delta modulator, and implement by TSMC.18 μm 1P6M CMOS models. And, to avoid gain and offset mismatch produce by each channel, additional reference channel calibrated the errors by off-chip digital calibration technique described in section 3.3. We implement the bnadpass A/D converter by low power technique and we overcome the non-ideal effect by off-chip calibration.

Table of Contents

List of Table

List of Figures