

第四章 側邊動態偵測電路之設計與模擬

4.1 電路設計

4.1.1 感光電路

圖 4.1 中所顯示的是每個像素單元中的感光電路電路圖，由圖 4.1 可知，感光電路是由一個感光二極體與三個 NMOS 所組成的。當感光二極體經過感光而產生光電流，當光電流越大(所感到的光源越強)，則節點 X 的電壓值就越小，而經過 M2(source follower)而得到的輸出電壓(v_o)也就越小。因此可知，光強度與 v_o 之間是呈現反比例的關係。

4.1.2 電壓比較器電路

圖 4.2 所展示的電路則是電壓比較器(voltage comparator)的電路圖，此處我們是採用差動輸入放大器型的比較器(differential-input OP AMP comparator)，並且在電壓比較器的後級電路中加上 CMOS 反相器(inverter)作 level shift，使得電壓訊號經過此電壓比較器而得到的輸出為二階值(3.3V 或 0V)。

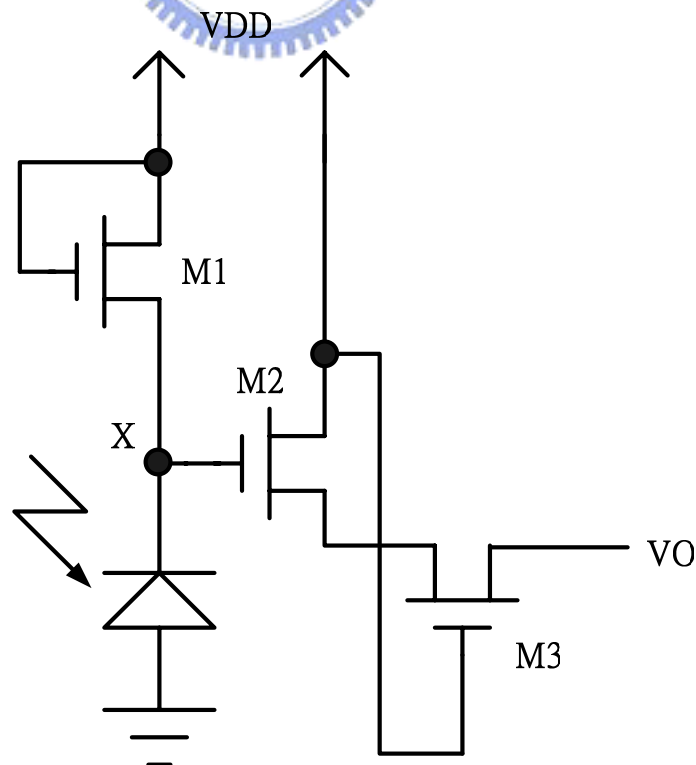


圖 4.1 感光電路電路圖

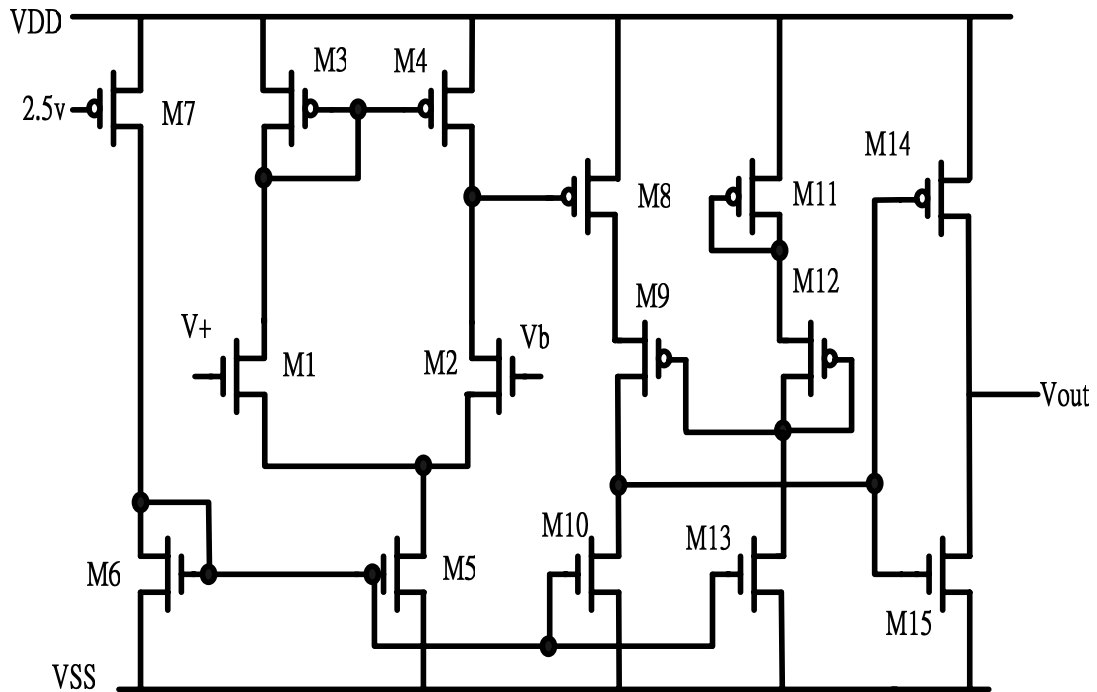


圖 4.2 電壓比較器電路圖

4.1.3 暫存器電路

圖 4.3 則是一個 CMOS 正反器，藉由兩個閃鎖(master latch 與 slave latch)所組成的負緣觸發型正反器(negative-edge-triggered flip-flop)。當時序脈波為高電位(3.3V)時，S1 開關閉合且 S2 開關打開，其電路如圖 4.4 中所示。圖 4.4 中節點 M 的電壓準位會隨著輸入(IN)改變，此時由於副閃鎖(slave latch)與主閃鎖(master latch)之間是斷開的，彼此之間並沒有連接，所以副閃鎖所儲存的仍是前一個時序的輸入。而當時序脈波由高電位轉態為低電位(0V)時，S2 開關閉合且 S1 開關打開，其電路如圖 4.5 中所示。此時副閃鎖與節點 M 導通，所以在時序脈波由高電位至低電位時(negative-edge)，把節點的電壓傳送至輸出。由於此時輸入端與主閃鎖並無連接，所以其輸入在此刻並不會影響輸出。

利用負緣觸發型正反器可儲存電壓訊號的功能來當儲存感光電壓的暫存器，並藉由控制其時序脈波而達到時間延遲的效果。圖 4.3 中所使用的 INV 方塊與 S1、S2 開關是由 CMOS 反相器與 CMOS 傳輸閘(transmission gate)所實現，其電路圖分別如圖 4.6 與圖 4.7 所顯示。

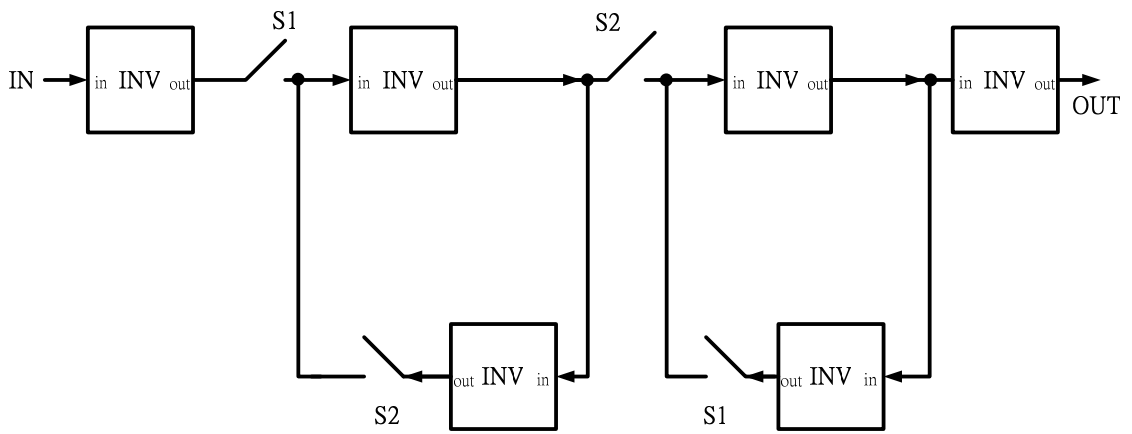


圖 4.3 暫存器(負緣觸發)電路方塊圖

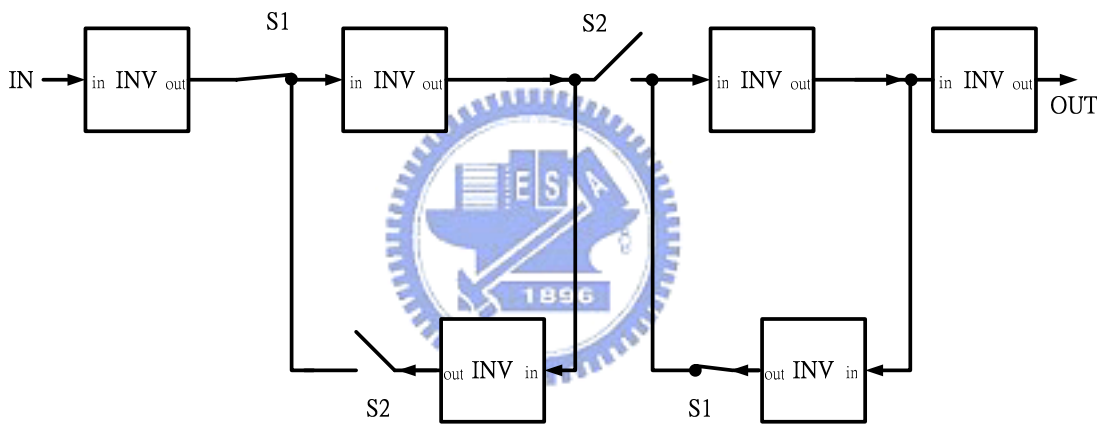


圖 4.4 暫存器電路方塊圖：S1 閉合、S2 打開

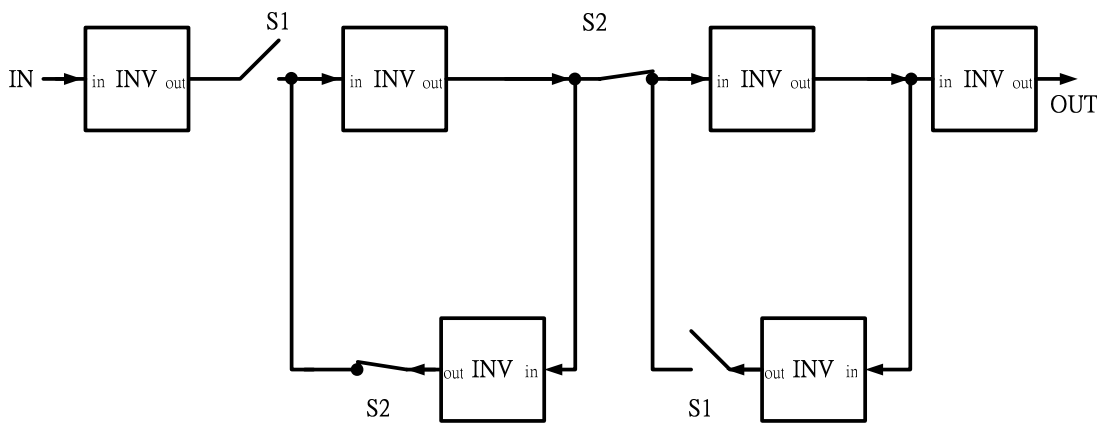


圖 4.5 暫存器電路方塊圖：S2 閉合、S1 打開

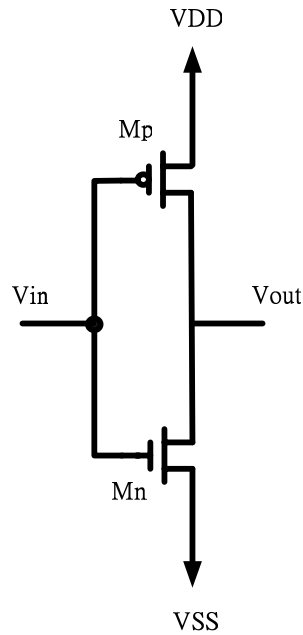


圖 4.6 電壓比較器電路圖

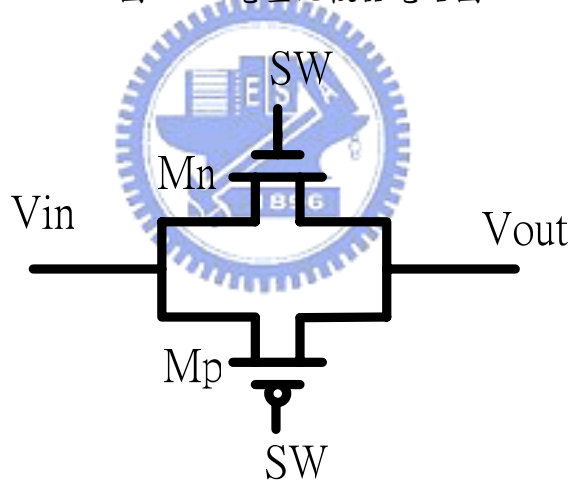


圖 4.7 傳輸閘電路圖

4.1.4 移位暫存器電路

圖 4.8 中所顯示的是移位暫存器(shift register)的電路方塊圖，在圖 4.8 中的 Register 方塊，其內部電路圖則如圖 4.3 所顯示，是一個負緣觸發型正反器。圖 4.8 中之移位暫存器有兩個輸入端，一個是作載入訊號用(load)，另一個則是將訊號作移位用(shift)。當移位暫存器的控制訊號 LOAD/SHIFT 為低電位時，移位暫存器是處於載入訊號的模式，其作用如同一般的負緣觸發型正反器，當控制訊號 LOAD/SHIFT 為高電位時，移位暫存器則進入移位的狀態，此時使用多個移位暫存器串接則可達到移位的功用。

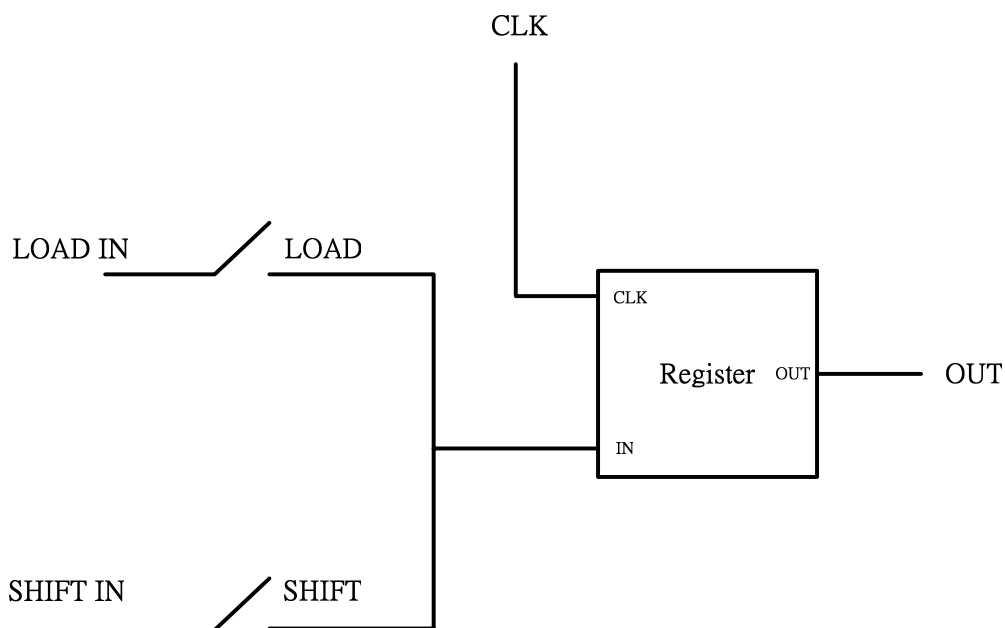


圖 4.8 移位暫存器電路方塊圖

4.2 設計流程

經過收集相關的論文加以研究探討之後，首先經由 MATLAB 軟體模擬出此系統偵測側邊移動中物體的運動型態，經過 MATLAB 模擬後驗證此側邊運動偵測的系統架構是可行的。在證明系統架構的可行性後，便著手設計感光電路，以及利用 CMOS 電路實現影像關聯法的架構，經 Hspice 的電路模擬，規格符合所求。最後進行電路的整合，利用 Hspice 的電路模擬加以修改整合後的電路，一直至其電路符合我們所預期為止。其流程圖如圖 4.9 中所示。

4.3 模擬結果

感光電路的 Hspice 模擬如圖 4.10 所示，由於感光電流與光源強度之間是呈現正比例的關係，所以利用一由小而大的電流值來模擬光源強度由弱變強的狀態。圖 4.10 中座標 X 軸是流過感光二極體的外加電流，其電流大小範圍為是由 $0\mu\text{A}$ 至 $40\mu\text{A}$ ，當外加的電流越大代表所感受到的光源也越大，模擬出來的輸出電壓(v_o)與光源反應的關係(Y 軸)與預期相符。

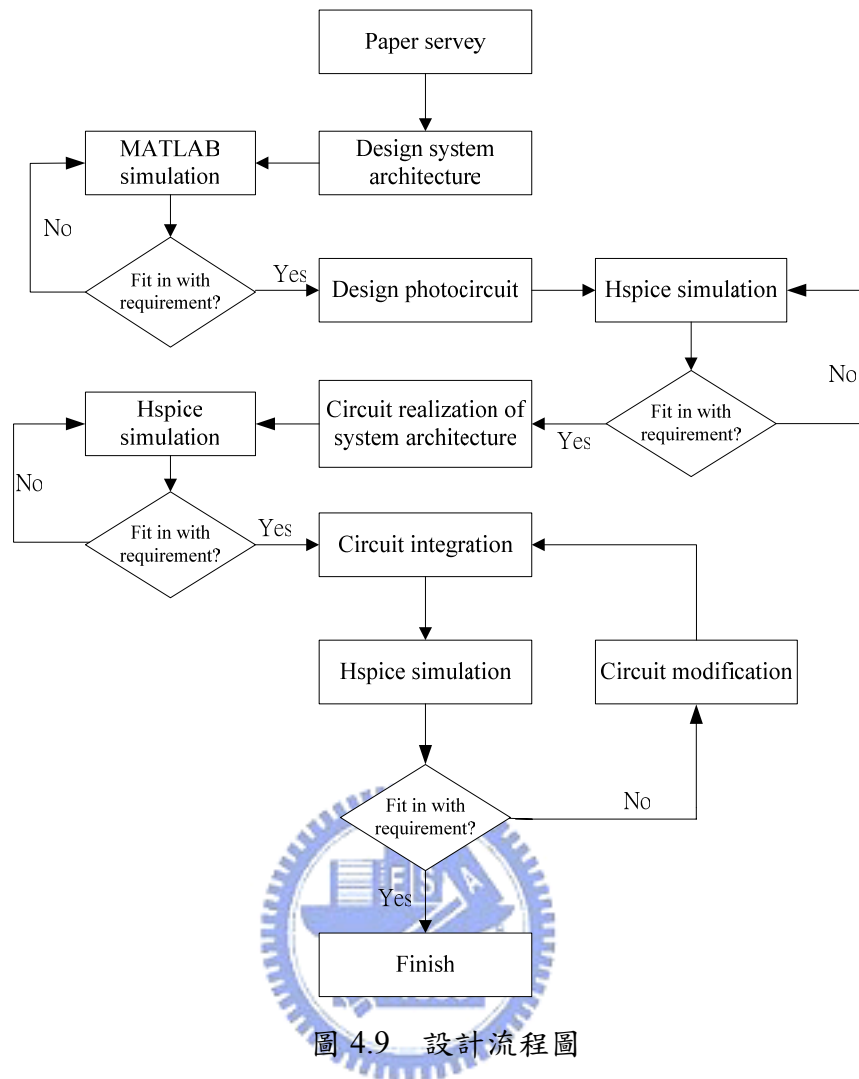


圖 4.9 設計流程圖

圖 4.11 所顯示為電壓比較器之 Hspice 電路模擬的結果，在圖 4.11 中設定一 V_b 值為 $1.3V$ ，而在電壓比較器的另一個輸入端 $V+$ 輸入一個電壓變動如圖 4.11 中 $V+$ 所顯示。當輸入電壓 $V+$ 大於 V_b 值 $1.3V$ 時，則電壓比較器的輸出電壓就為高電位，在圖 4.11 中於模擬時間 $7\mu s$ 至 $18.5\mu s$ 即是如此；反之當輸入電壓 $V+$ 小於 V_b 值 $1.3V$ 時，其電壓比較器的輸出電壓則為低電位，如圖中模擬時間 $0\mu s$ 至 $7\mu s$ 與 $18.5\mu s$ 至 $30\mu s$ 此兩段時間其輸出電壓值皆為低電位，因此便可以由電壓比較器的輸出而得知，我們的輸入電壓是大於所設定的 V_b 值或者是小於 V_b 值，此模擬結果與所預期之功能相符。

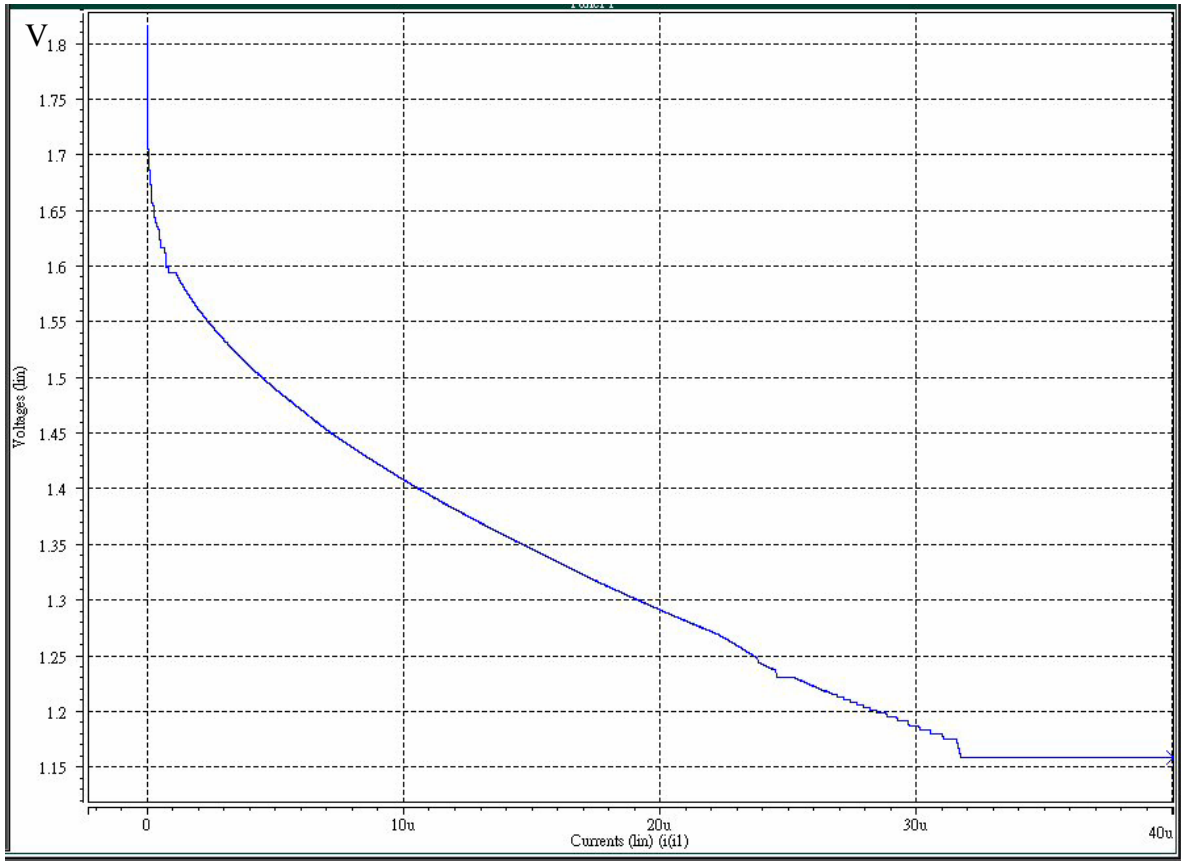


圖 4.10 感光電路之 Hspice 模擬

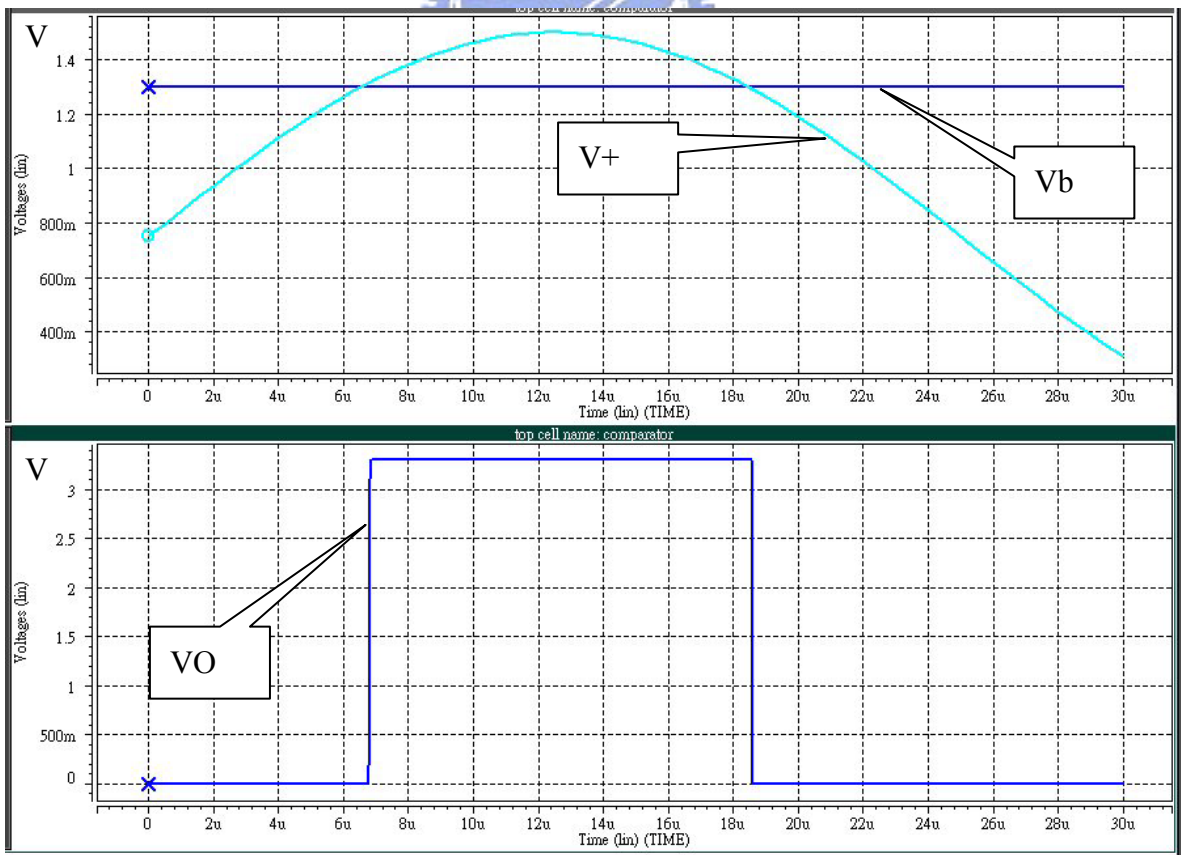


圖 4.11 電壓比較器電路之 Hspice 模擬

而負緣觸發之暫存器其 Hspice 電路模擬的結果如圖 4.12 所示。由圖 4.12 中可以看出，在模擬時間為 $30\mu\text{s}$ 時，CLK 的波形由高電位轉態成低電位(high 轉 low)，而在此一時刻負緣觸發之暫存器的輸入訊號是為高電位的，故此負緣觸發之暫存器的輸出在負緣時($30\mu\text{s}$)由原本的低電位轉成高電位，其模擬與所預期之暫存器功能相符。

移位暫存器的 Hspice 電路模擬是利用三個移位暫存器作串接，其示意圖如圖 4.13 所示，而其 Hspice 電路模擬的結果如圖 4.14 所示。在圖 4.14 中於模擬時間 $0\mu\text{s}$ 至 $15\mu\text{s}$ 時，訊號 LOAD/SHIFT 是為低電位的，代表移位暫存器是工作於載入訊號的狀態。此時移位暫存器載入三個輸入分別為 INPUT1、INPUT2 與 INPUT3，其電壓值皆為高電位 (3.3V)。由於三個輸入的電位皆為高電位所以該移位暫存器的三個輸出 OUTPUT1、OUTPUT2 與 OUTPUT3 也皆為高電位。過了 $15\mu\text{s}$ 之後，訊號 LOAD/SHIFT 由原本的低電位轉為高電位，因此移位暫存器從原本的載入訊號狀態改變為移位狀態。於模擬時間 $20\mu\text{s}$ 的時候配合著 CLK 負緣把圖 4.13 中的 1st-shift_in 訊號移位至該移位暫存器的輸出端即 OUTPUT1，而原本的 OUTPUT1 則移位至 OUTPUT2，同理，原本的 OUTPUT2

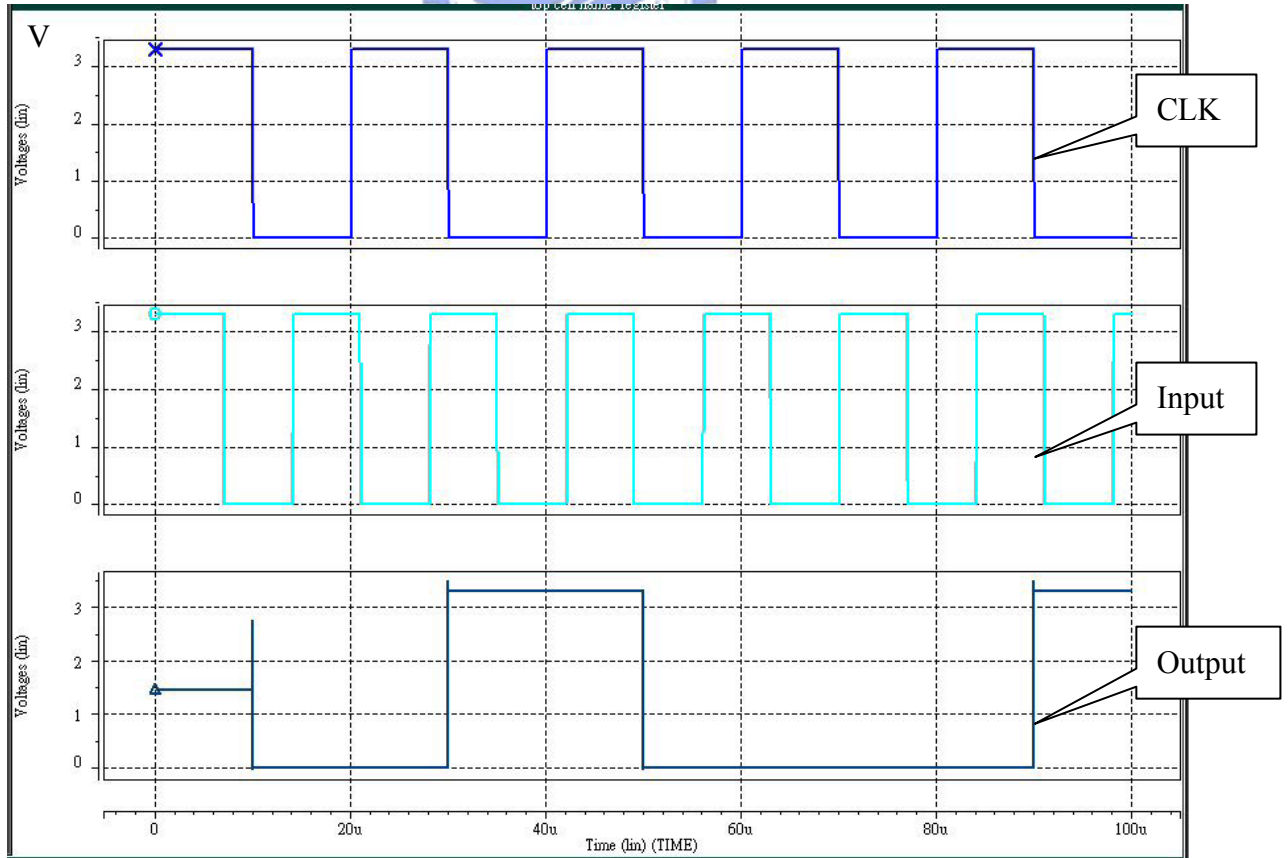


圖 4.12 負緣觸發暫存器之 Hspice 模擬

則移位至 OUTPUT3。由圖 4.14 中可以看到在模擬時間 20 μ s、30 μ s 及 40 μ s 的時候，三個 OUTPUT 依序由高電位變成低電位，直到 80 μ s 時，訊號 LOAD/SHIFT 再度由高電位轉變成低電位時，才再度將三個輸入訊號載入。

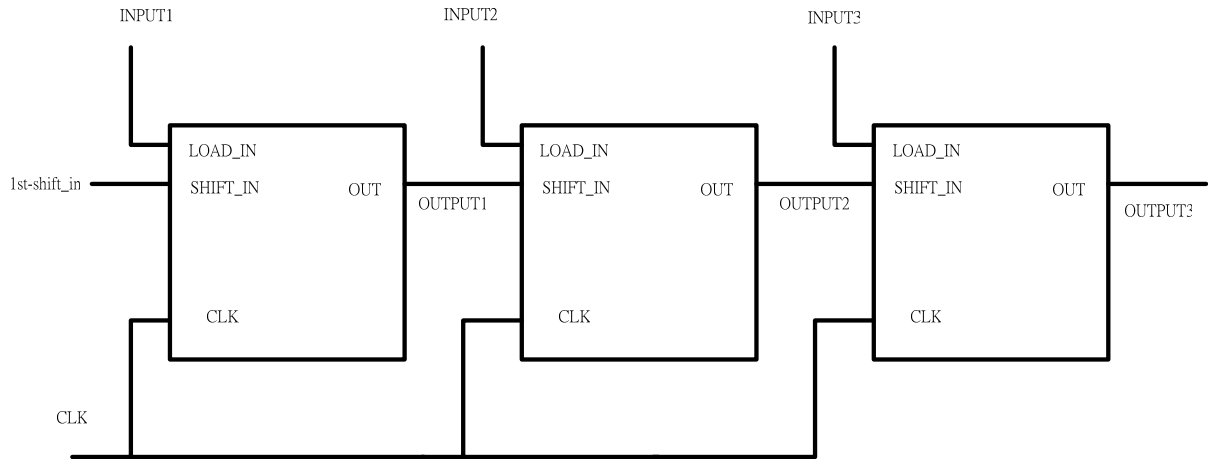


圖 4.13 移位暫存器之模擬示意圖

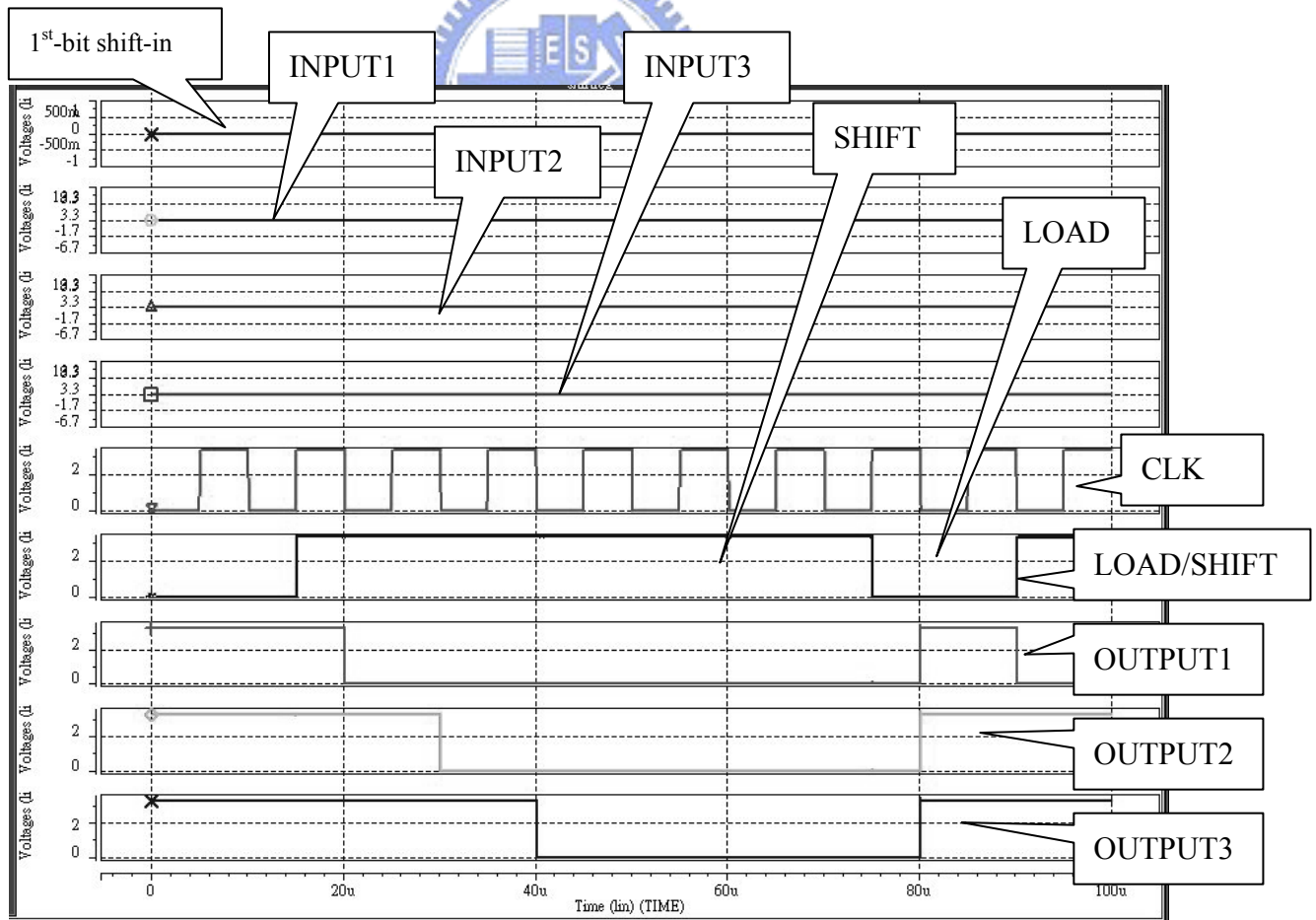


圖 4.14 移位暫存器之 Hspice 模擬

在側邊動態偵測電路功能的模擬上，利用了同等架構 4×4 的像素陣列進行模擬，模擬一個移動的物體經過本論文所設計出的動態偵測電路，其物體面積佔大約一個像素單元的面積，而從時間 T1 至 T2 時，該物體從左上方往右下方移動了大約一個像素單元的距離。而當時間從 T2 至 T1 時，該物體則往左上方移動了一個像素單元的距離，如此來回移動，該物體移動的模擬示意圖如圖 4.15 所示，而其 Hspice 電路模擬的結果如圖 4.16 所示。由圖 4.16 中可看出當時間從 T1 至 T2 時 SORD 輸出端會有一個脈波，大於其他輸出端的脈波數。此現象代表著此一周期，有一物體經過晶片往右下方的方向移動。同理當 T2 至 T1 時，SOLU 輸出端則有一個脈波，大於其他輸出端的脈波數，則知此時物體向左上方移動。

接著進行模擬另一個情況，如圖 4.17 所示。由圖 4.17 中可知，該移動物體面積佔大約兩個像素單元的面積，而從時間 T1 至 T2 時，該物體呈現著往右方移動的運動，而於時間 T2 至 T1 時則是往左方移動，如此來回反覆運動著，其 Hspice 電路模擬的結果如圖 4.18 所示。由圖 4.18 中可看出當時間從 T1 至 T2 時 SOR 輸出端會有兩個脈波，大於其他輸出端的脈波數。此現象代表著此一周期，有一物體經過晶片往右的方向移動。同理當 T2 至 T1 時，SOL 輸出端則有兩個脈波，大於其他輸出端的脈波數，則知此時物體向左方移動。

同理，圖 4.19 則是模擬一佔有四個像素單元的移動物體於時間 T1 至 T2 時往右方移動，而於時間 T2 至 T1 時則是往左方移動，如此來回反覆運動著，其 Hspice 電路模擬的結果如圖 4.20 所示。而圖 4.21 則是模擬一佔有四個像素單元的物體於時間 T1 至 T2 與時間 T2 至 T1 都是靜止不動的，其 Hspice 電路模擬的結果如圖 4.22 所示。由圖 4.22 中可看出當時間從 T1 至 T2 時 SOR 與 SOL 輸出會有兩個脈波，大於其他輸出，由於 SOL 輸出的脈波數與 SOR 輸出的脈波數相等，代表著此一周期此物體不向左移也不向右移，故我們可以得知此物體是處於靜止的狀態。同理當 T2 至 T1 時，輸出情況亦同，故可知物體也是靜止的。經由圖 4.15 至圖 4.24 的模擬結果，可知該動態偵測電路可以經由影像關聯法估測出物體之移動方向，可應用於汽車側邊防撞。其中圖 4.23 至圖 4.24 是為 20×20 像素陣列之 Hspice 電路模擬結果。

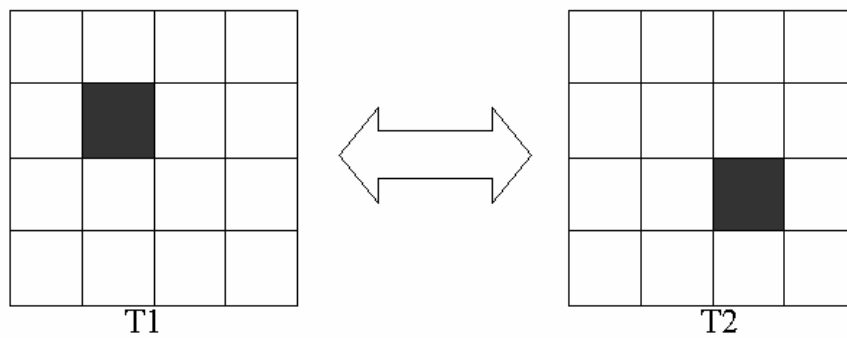


圖 4.15 物體移動模擬示意圖

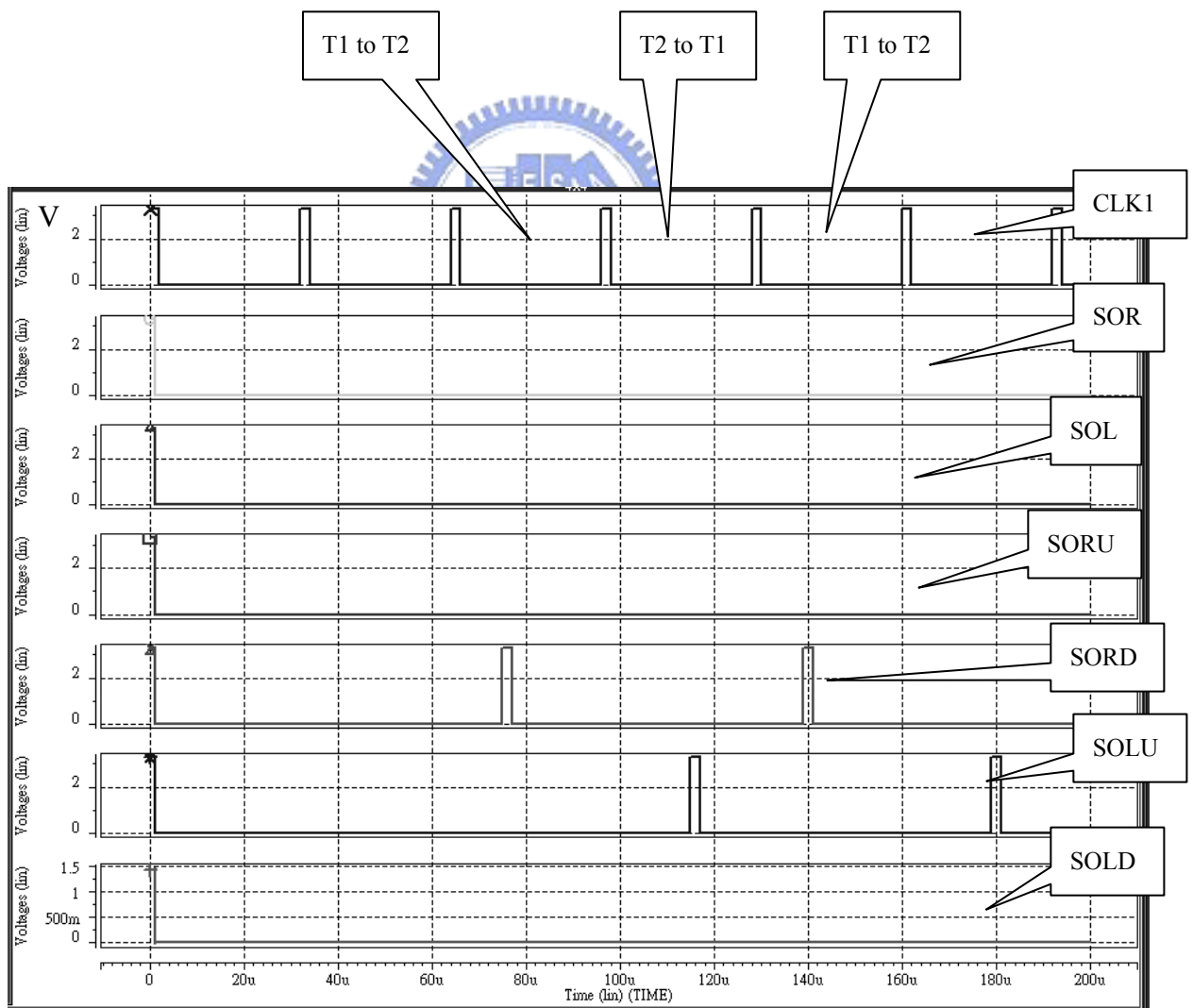


圖 4.16 4 × 4 像素陣列之 Hspice 電路模擬

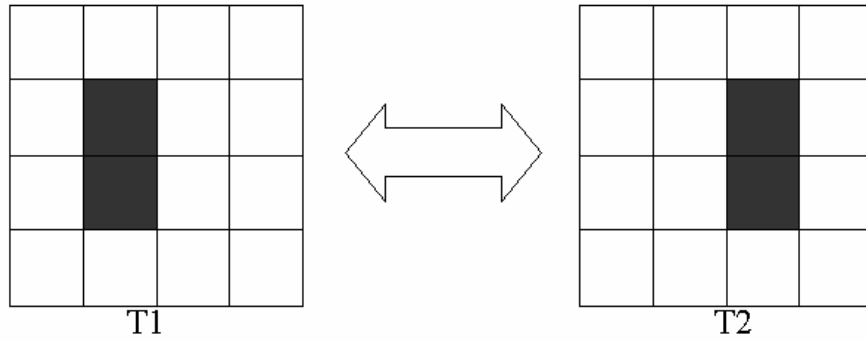


圖 4.17 物體移動模擬示意圖

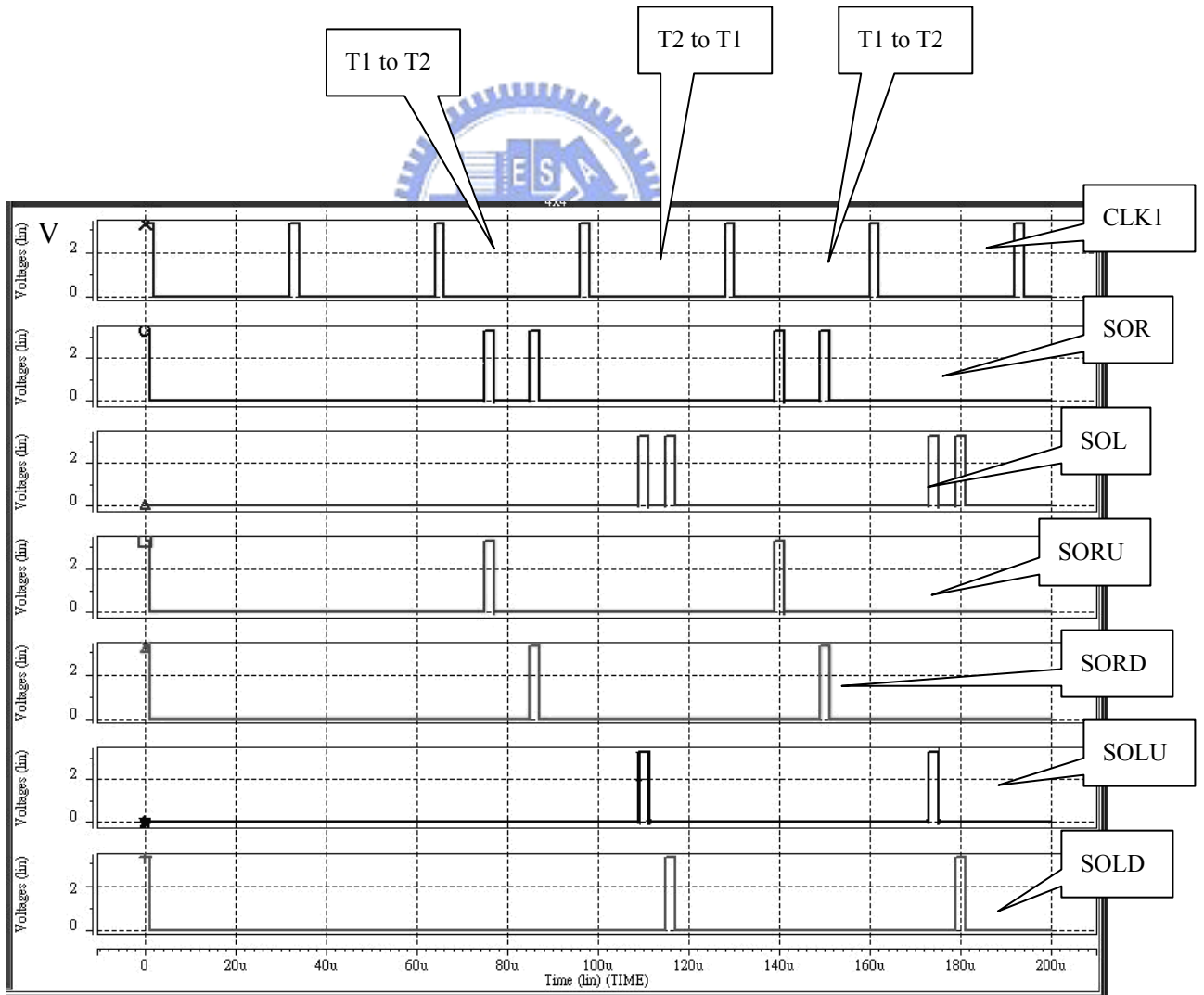


圖 4.18 4 × 4 像素陣列之 Hspice 電路模擬

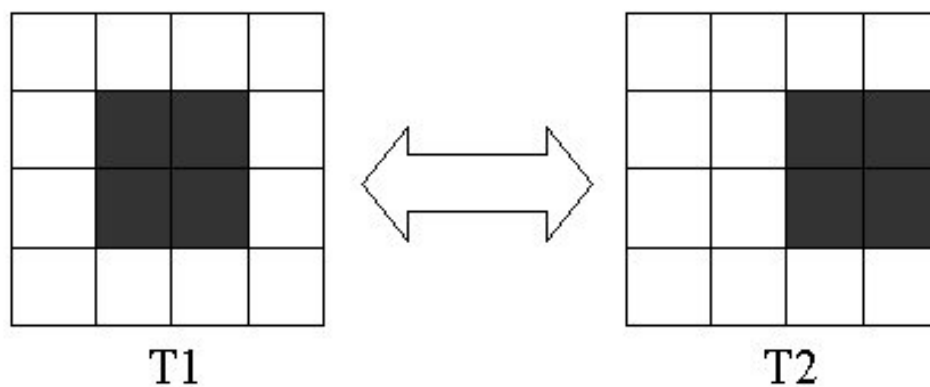


圖 4.19 物體移動模擬示意圖

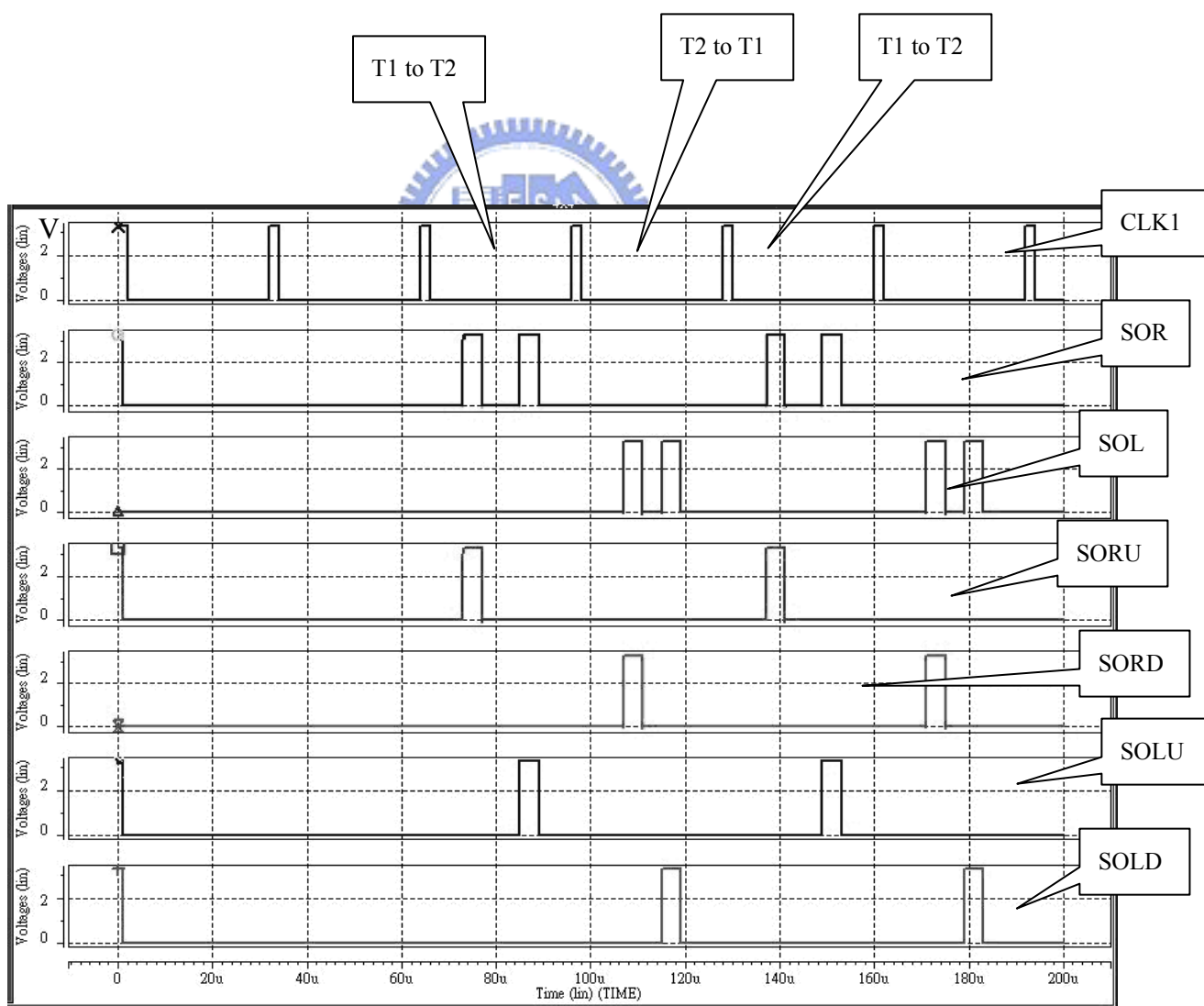


圖 4.20 4 × 4 像素陣列之 Hspice 電路模擬

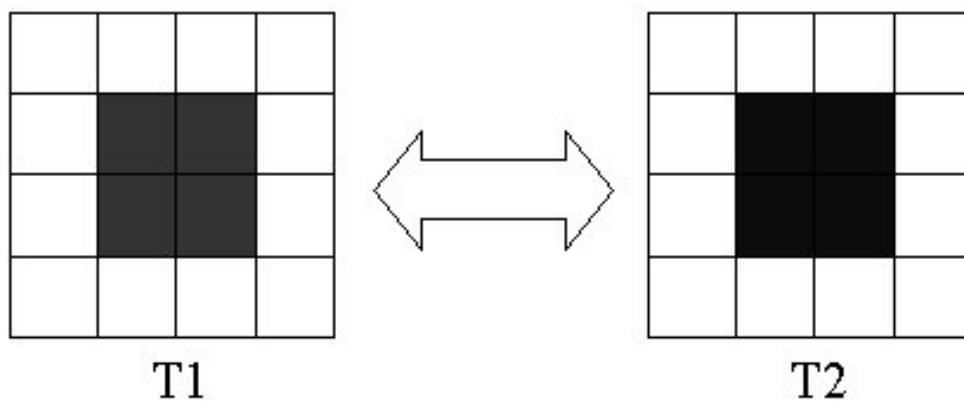


圖 4.21 物體移動模擬示意圖

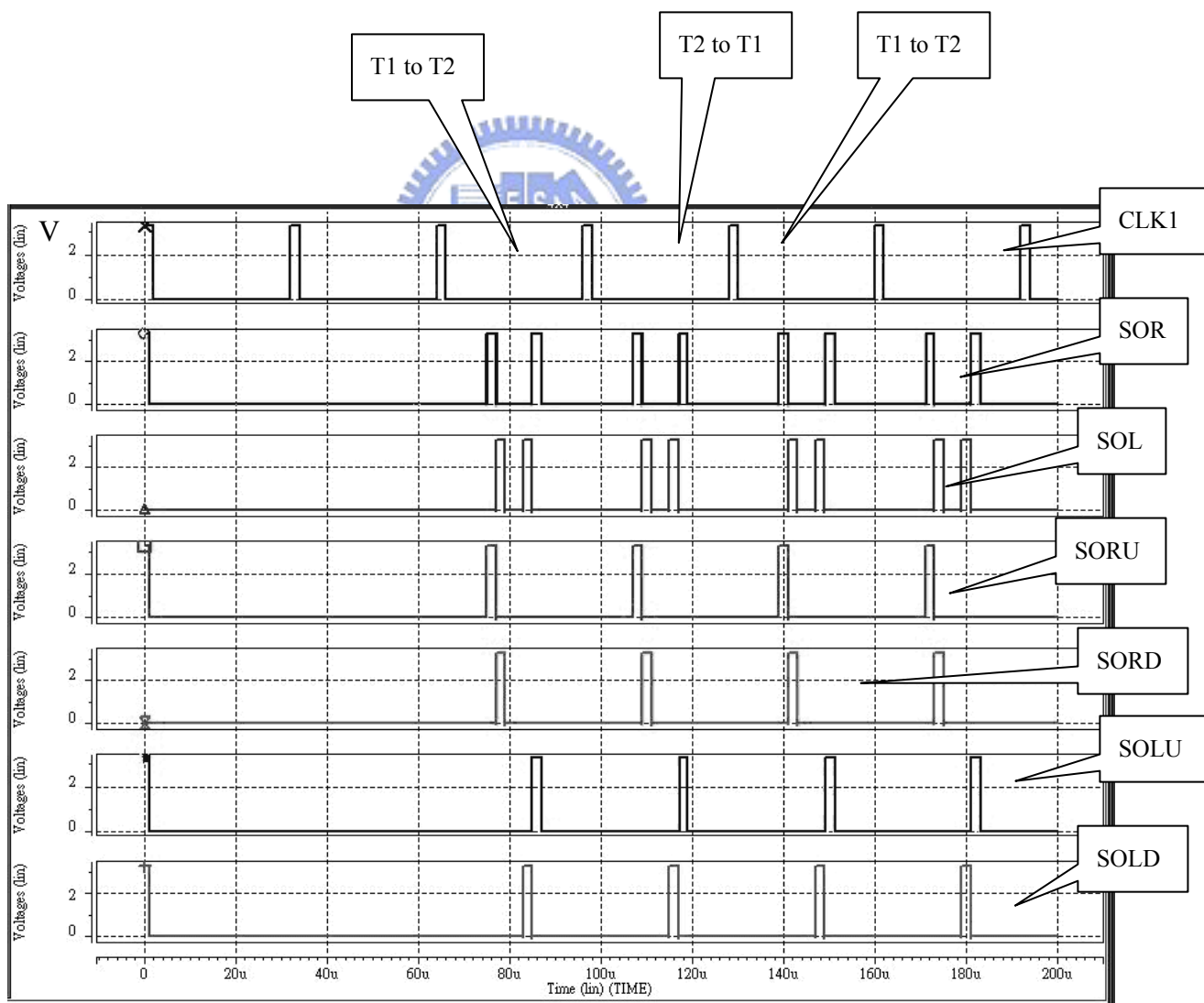


圖 4.22 4 × 4 像素陣列之 Hspice 電路模擬

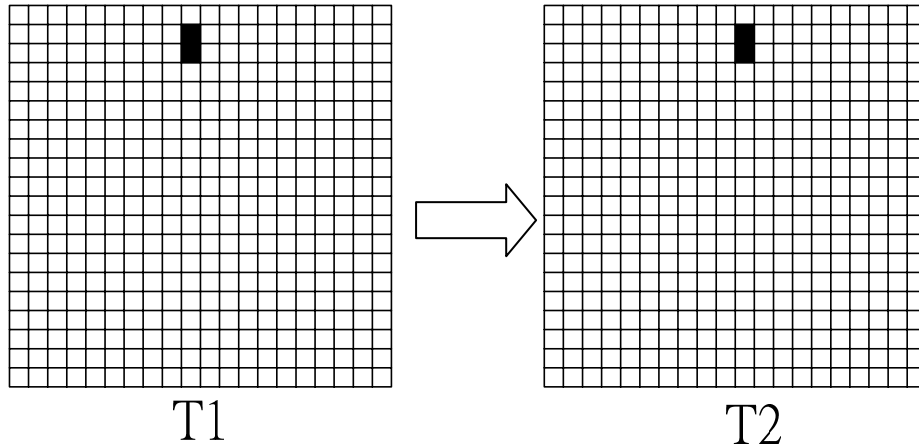


圖 4.23 物體移動模擬示意圖

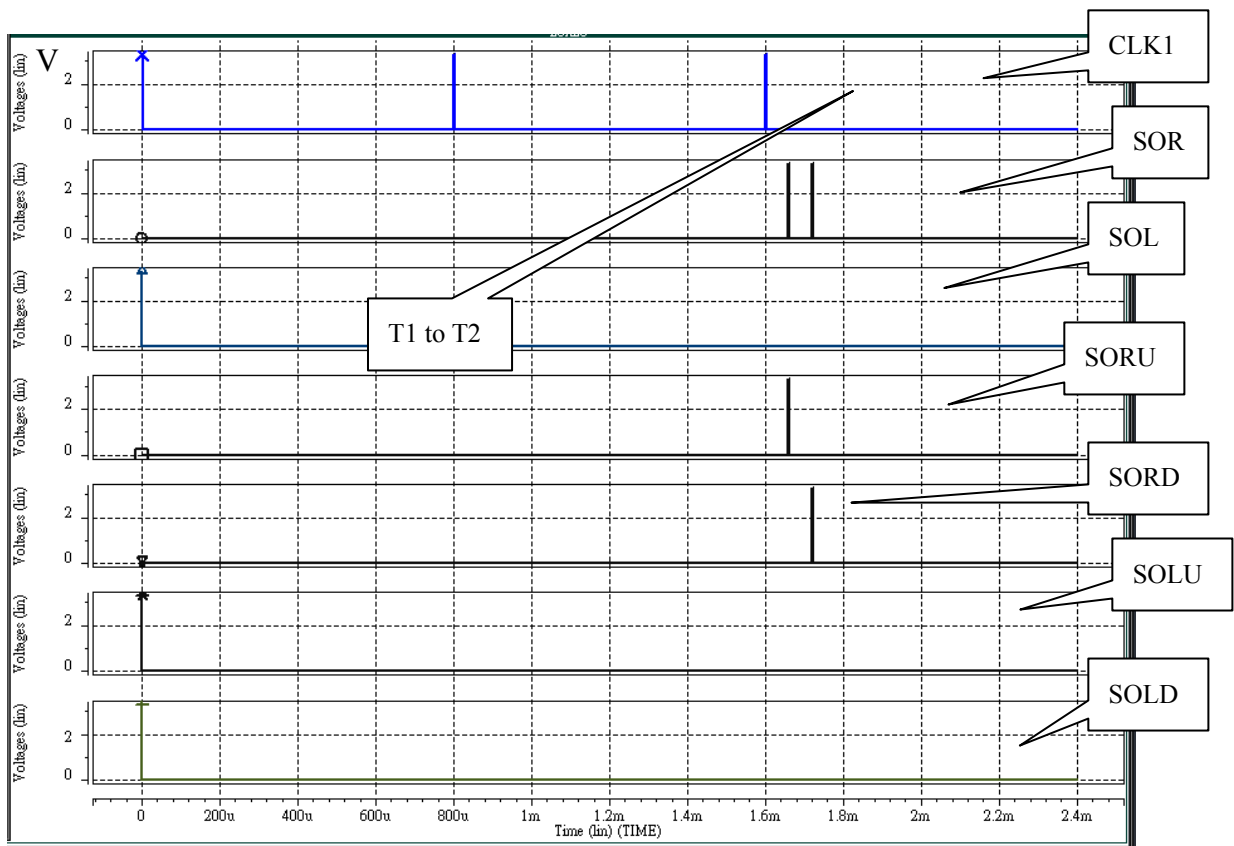


圖 4.24 20 × 20 像素陣列之 Hspice 電路模擬

經以上模擬無誤並完成電路佈局後，此晶片的電路佈局圖則如圖 4.25 中所顯示。而其預計晶片規格列表，如表 4.1 中所示。此側邊動態偵測電路是使用 TSMC 0.35um 2P4M Mixed Signal 製程下線(tape out)，其工作電壓為 3.3V，此電路的像素陣列 20 × 20 個，每一個像素單元的面積為 $98 \times 103\mu\text{m}^2$ ，感光填充因子(fill factor)為 9.7%，晶片總面積為 $2.48 \times 2.42 \text{ mm}^2$ 。

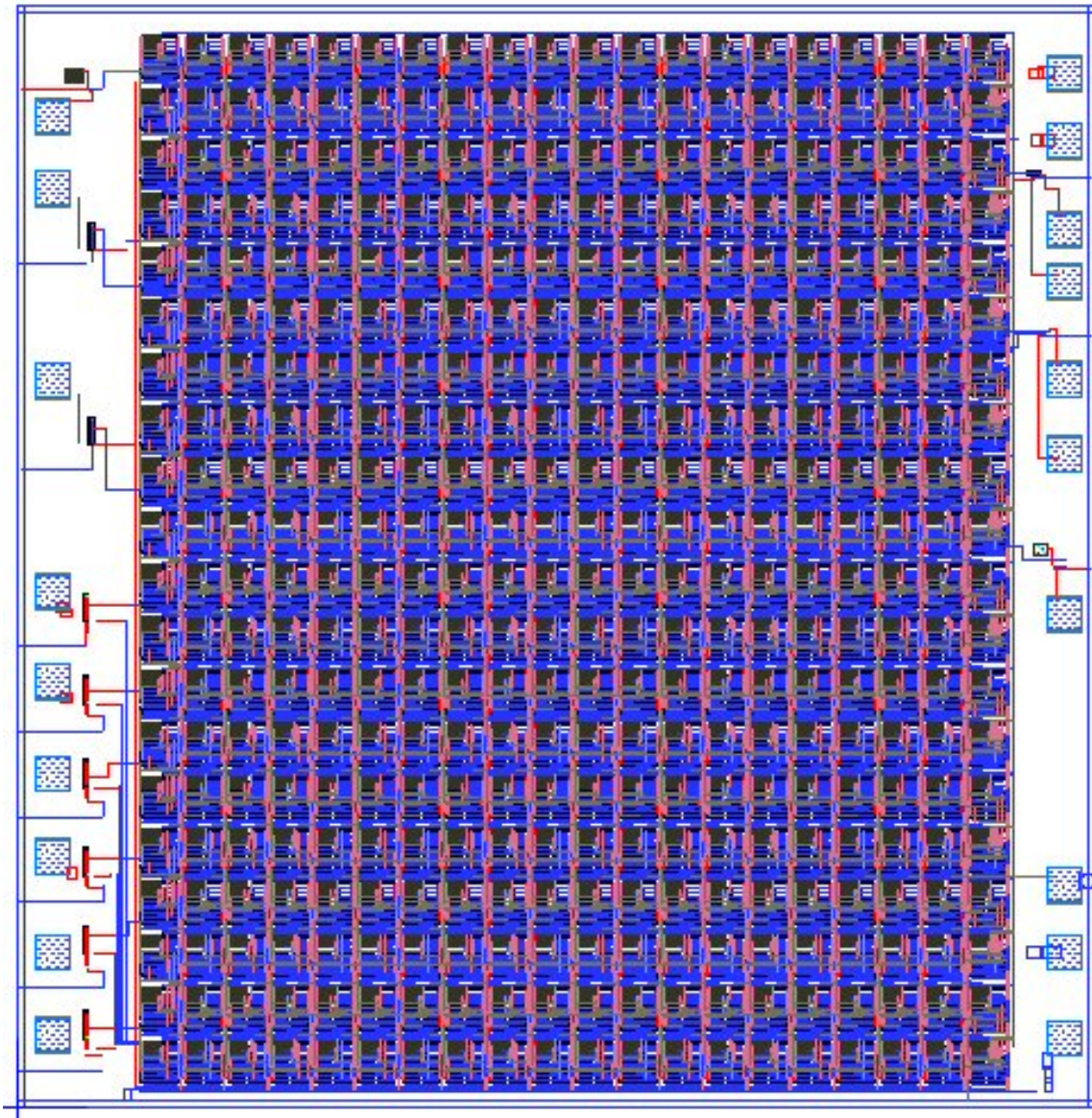


圖 4.25 電路佈局圖

表 4.1 預計晶片規格列表

Technology	TSMC 0.35um 2P4M Mixed Signal
Power Supply	3.3V
Array size	20 × 20
Cell area	98 × 103μm ²
Photosensor fill factor	9.7%
Maximum Readout Speed	1250 frames/s
Total power consumption	136 mWatt
Operating Temperature	25°C
Die size	2.48 × 2.42 mm ²