

利用鎖相迴路模擬做 NRZ 訊號之相位偵測器的性能比較

研究生: 古振杰

指導教授: 鄭木火博士

國立交通大學電機與控制工程學系

摘要

鎖相迴路 (Phase-Locked Loops) 的應用極為廣泛, 已成為許多類比及數位系統的基本元件。在鎖相迴路架構中含有相位偵測器 (Phase Detector)、低通濾波器 (Low Pass Filter) 及壓控振盪器 (Voltage Controlled Oscillator) 共三個功能方塊。其中相位偵測器的功能是用來比較壓控振盪器的輸出訊號與輸入訊號的相位差異。因此相位偵測器的特性常常是影響了整個鎖相迴路效能的關鍵方塊。由於在應用上大部份輸入為 NRZ (non-return to zero) 訊號, 因此本論文針對使用在 NRZ 信號常用的典型相位偵測器, Alexander 相位偵測器及 Hogge 相位偵測器, 加以探討、分析、改進、及模擬。我們分別分析此二相位偵測器的工作原理及其特性, 並比較其之間的優缺點; 此外我們也就此二種相位偵測器, 分別提出其改進的架構及實現電路以提昇其效能。本論文利用 MATLAB Simulink 的模擬環境下, 建立一鎖相迴路的模擬系統以模擬在使用各種不同相位偵測器下, 鎖相迴路系統的響應情形, 並就其響應速度及穩態誤差加以探討比較。由於一系統在鎖相之前, 必須先鎖頻。而常用方法是鎖相及鎖頻相互結合。因此本論文最後並就結合頻率偵測器 (Frequency Detector) 的鎖相迴路系統, 探討及模擬在壓控振盪器時脈和 NRZ 訊號有初始頻率差時, 鎖相迴路系統的響應。

Performance Comparisons of Phase Detectors for NRZ Signals via Simulations of Phase-Locked Loops

Student: Zhen-Jie Gu Advisor: Dr. Mu-Huo Cheng

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract

A phase-locked loop (PLL) has been so widely used that it becomes a basic element in many modern digital or analog systems. A PLL consists of three functional blocks, namely, the phase detector (PD), the loop filter, and the voltage-controlled oscillator (VCO). The PD is used to detect the phase difference between the input signal and the oscillator output of the VCO; the performance of the PD often determines the performance of the PLL. In most applications, the input signals are NRZ (non-return to zero) coded. Hence, in this thesis we focus on two most often used PDs for NRZ signals, the Alexander PD and the Hogge PD, for investigation, analysis, improvement and simulation. We first analyze the characteristics of these two PDs and discuss their differences, then we develop new block diagrams and circuit realizations for improving the PD performances. We also develop a PLL simulation system using the Matlab Simulink to investigate the responses of PLL systems using various PDs; both the response time and the steady-state error are used for comparison and discussion. Since the frequency acquisition (frequency lock) is necessary before the phase lock and the most common realization is to combine the frequency detector with the PD, we further embed the frequency detector into the PLL simulation system and investigate and simulate the response of the system under an initial frequency difference between the VCO output and input signals.

誌謝

此論文能順利完成，要特別真誠地感謝我的指導教授鄭木火教授，在這短短的兩年研究生涯中，無論是待人接物的誠懇真摯或治學態度的嚴謹細心，均使我在生活及學識上獲益良多。因此在本論文付梓之際，對於辛勤傳道授業的老師致上最誠摯的謝意。

在口試期間承蒙張隆國教授、廖德誠教授和鄧清政教授撥空指正並提供許多寶貴的意見。在此感謝你們的辛勞。同時感謝實驗室的所有成員：吳嘉富、呂佩樺、林天貴、鄭國偉及學弟們在課業上的切磋討論及生活上的歡聲笑語，為平靜單調的研究生活增添不少色彩。

最後要感謝我的家人，由於他們的付出和不斷地鼓勵，讓我能無後顧之憂的從事研究，順利完成學業，並且有能力面對下一波的困難與挑戰。



目錄

中文摘要	i
英文摘要	ii
誌謝	iii
圖目錄	vi
表目錄	ix
1 緒論	1
1.1 相位偵測器和頻率偵測器的簡介	1
1.2 研究目的與文獻回顧	1
1.3 論文架構	2
2 Alexander相位偵測器及其改進	3
2.1 D型正反器之分析與模擬	3
2.2 Alexander相位偵測器之分析與模擬	5
2.3 Alexander相位偵測器改進型的架構及其模擬與討論	8
2.4 Alexander相位偵測器與其改進型及 D 型正反器之鎖相響應模擬討論	12
3 Hogge相位偵測器及其改進	16
3.1 Hogge相位偵測器之分析與模擬	16
3.2 Hogge相位偵測器改進型的架構及其模擬與討論	19
3.3 Hogge相位偵測器與其改進型之鎖相響應模擬討論	20
3.3.1 使用 Hogge 相位偵測器的鎖相迴路之模組	23

3.3.2	模擬結果與比較討論	24
4	結合相位偵測器及頻率偵測器之鎖相迴路模擬與比較	28
4.1	簡介	28
4.2	頻率偵測器的分析與模擬	28
4.2.1	旋轉頻率偵測器的分析與模擬	29
4.2.2	使用旋轉頻率偵測器觀念的相位及頻率偵測器	32
4.3	使用頻率偵測器達到鎖頻的模擬結果	34
4.3.1	旋轉頻率偵測器與相位及頻率偵測器的鎖頻比較	34
4.3.2	使用旋轉頻率偵測器達到鎖頻的模擬結果	40
5	結論	46
	參考文獻	47



圖目錄

圖 2.1 使用D型正反器作為相位偵測器的鎖相迴路架構圖	3
圖 2.2 時脈領先時的D型正反器波形圖	4
圖 2.3 時脈落後時的D型正反器波形圖	4
圖 2.4 Alexander PD 的電路架構	5
圖 2.5 Alexander PD 的時脈眼睛圖	5
圖 2.6 時脈領先時的Alexander PD 波形圖	7
圖 2.7 時脈落後時的Alexander PD 波形圖	7
圖 2.8 Alexander PD 改進型的時脈眼睛圖	8
圖 2.9 Alexander PD 改進型的電路架構	9
圖 2.10 Alexander PD 改進型在時脈些微領先時的波形圖.	10
圖 2.11 Alexander PD 改進型在時脈太過領先時的波形圖.	10
圖 2.12 Alexander PD 改進型在時脈些微落後時的波形圖.	11
圖 2.13 Alexander PD 改進型在時脈太過落後時的波形圖.	11
圖 2.14 使用Alexander PD 的鎖相迴路之 simulink 架構圖	13
圖 2.15 使用Alexander PD 改進型的鎖相迴路之 simulink 架構圖	13
圖 2.16 使用D型正反器的鎖相迴路之 simulink 架構圖	14
圖 2.17 時脈領先時的鎖相響應模擬圖	14
圖 2.18 時脈落後時的鎖相響應模擬圖	15
圖 3.1 Hogge PD 的電路架構圖	16
圖 3.2 Hogge PD 在時脈對齊時的波形圖	17
圖 3.3 Hogge PD 在時脈領先時的波形圖	18
圖 3.4 Hogge PD 在時脈落後時的波形圖	18
圖 3.5 Hogge PD 改進型的電路架構圖	19

圖 3.6 Hogge PD 改進型在時脈領先時的示意圖.	19
圖 3.7 Hogge PD 改進型在時脈落後時的示意圖.	20
圖 3.8 Hogge PD 改進型在時脈領先時的波形圖.	21
圖 3.9 Hogge PD 改進型在時脈落後時的波形圖.	21
圖 3.10 使用Hogge PD 的鎖相迴路之 simulink 架構圖.	22
圖 3.11 使用Hogge PD 改進型的鎖相迴路之 simulink 架構圖	22
圖 3.12 Hogge PD 在時脈領先時的鎖相響應模擬圖	24
圖 3.13 Hogge PD 在時脈落後時的鎖相響應模擬圖	25
圖 3.14 Hogge PD 改進型在時脈領先時的鎖相響應模擬圖	26
圖 3.15 Hogge PD 改進型在時脈落後時的鎖相響應模擬圖	26
圖 3.16 說明Hogge PD 有鎖相誤差的波形模擬圖	27
圖 4.1 使用頻率偵測器的鎖相迴路架構示意圖.	29
圖 4.2 旋轉頻率偵測器的電路架構圖	29
圖 4.3 旋轉頻率偵測器的狀態規則	30
圖 4.4 旋轉頻率偵測器在時脈頻率較快時的波形圖	31
圖 4.5 旋轉頻率偵測器在時脈頻率較慢時的波形圖	31
圖 4.6 相位及頻率偵測器的電路架構圖	32
圖 4.7 相位及頻率偵測器時脈頻率較快的波形圖	33
圖 4.8 相位及頻率偵測器時脈頻率較慢的波形圖	33
圖 4.9 使用相位及頻率偵測器的鎖相迴路之simulink 架構圖	35
圖 4.10 使用旋轉頻率偵測器的鎖相迴路之simulink 架構圖	36
圖 4.11 相位及頻率偵測器在時脈頻率較快時的鎖頻模擬圖	37
圖 4.12 相位及頻率偵測器在時脈頻率較慢時的鎖頻模擬圖	37
圖 4.13 旋轉頻率偵測器在時脈頻率較快時的鎖頻模擬圖	38
圖 4.14 旋轉頻率偵測器在時脈頻率較慢時的鎖頻模擬圖	38
圖 4.15 相位及頻率偵測器在時脈頻率較快時的波形圖.	39
圖 4.16 旋轉頻率偵測器在時脈頻率較快時的波形圖	39
圖 4.17 D型正反器在時脈頻率較快時的鎖頻模擬圖.	40
圖 4.18 D型正反器在時脈頻率較慢時的鎖頻模擬圖.	41

圖 4.19 Alexander PD 在時脈頻率較快時的鎖頻模擬圖	41
圖 4.20 Alexander PD 在時脈頻率較慢時的鎖頻模擬圖	42
圖 4.21 Alexander PD 改進型在時脈頻率較快時的鎖頻模擬圖	42
圖 4.22 Alexander PD 改進型在時脈頻率較慢時的鎖頻模擬圖	43
圖 4.23 Hogge PD 在時脈頻率較快時的鎖頻模擬圖	43
圖 4.24 Hogge PD 在時脈頻率較慢時的鎖頻模擬圖	44
圖 4.25 Hogge PD 改進型在時脈頻率較快時的鎖頻模擬圖	44
圖 4.26 Hogge PD 改進型在時脈頻率較慢時的鎖頻模擬圖	45



表目錄

表 2.1 Alexander PD 的輸出狀態規則	6
表 2.2 Alexander PD 的輸出狀態真值表	6
表 2.3 Alexander PD 改進型的輸出狀態規則	8
表 4.1 FD的工作規則	32



第 1 章

緒論

1.1 相位偵測器和頻率偵測器的簡介

相位偵測器於鎖相迴路中的功能，是用以比較輸入訊號相位 θ_i 與振盪器輸出訊號相位 θ_o 間的相位差 θ_e ；然後產生一相對應的電壓值 V_d 。這個電壓值經低通濾波器後其輸出將作為壓控振盪器的控制電壓，以調整振盪頻率 ω_o 。

相位偵測器的線性模型可表示為

$$V_d = K_d \theta_e + V_{do} \quad (1.1)$$

其中 K_d 是相位偵測器的增益， θ_e 是相位差，而 V_{do} 是偏移電壓。通常此線性模型只對某一範圍內的 θ_e 成立，這個範圍稱作相位偵測器的相差範圍。

頻率偵測器於鎖相迴路中的功能，則是用以比較輸入訊號與振盪器輸出訊號間的頻率差；然後產生一相對應的電壓值。這個電壓值經低通濾波器後其輸出將作為壓控振盪器的控制電壓，以調整振盪頻率。

1.2 研究目的與文獻回顧

當系統的效能及操作的頻率快速的增加，系統間整合的時脈 (Clock) 同步問題變得越來越重要；因此，為了解決上述問題，則發展了能強調時脈同步、減少時脈歪斜及資料連結的技術的鎖相迴路；然而如何能精確偵測其相位差以減少劇跳現象 (Jitter) 並縮短鎖相時間的相位偵測器將是一門重要的課題。一般相位偵測器有類比式、數位式電路之分；常見的相位偵測器有 Alexander PD[1], Hogge PD[2], Bang-Bang PD[3], Half-Rate PD[4]等等。在本論文中，是以 Alexander PD 和 Hogge PD 這二種來做研究，並在其輸入端送入 NRZ (Non Return to Zero) 訊號，NRZ 訊號會維持在固定電壓準位上，且在一個位元的間隔內，沒有任何訊號轉換 (不會回到零電壓準位)。其中，Alexander PD 它是採用壓控振盪器時脈來觸發 D 型正反器 (D Type Flip-Flop)，用以取樣 NRZ 訊號的準位值；而根據它的三個取樣點的準位值，就可以用來偵測 NRZ 訊號準位轉變的情形，再根據其轉變的情形就可以判定相位的落後或領先。另外，Hogge PD 它的輸出可反應 NRZ 訊號和壓控振

盪器時脈的相位差距大小；而且，根據其輸出波形的平均值就可以來判定領先或落後。因此，以這二種相位偵測器的輸出資訊來分類，可分為能反應相位方向及能反應相位方向及大小這二種類型。在本論文中，將分別從這二種類型其工作原理方面開始分析起，並接者以 MALAB 模擬其響應特性，最後提出改進的架構來和傳統架構互相比較其優缺點。在考量當壓控振盪器時脈和 NRZ 訊號有初始頻率差時，在 Behzad Razavi 一書 [5]中使用結合頻率偵測器的方法來修正頻率差，使最後達到鎖相的目的；論文的最後將模擬各相位偵測器結合頻率偵測器後，其鎖相迴路的鎖頻情形。

1.3 論文架構

本論文架構如下：第二章分析能反應相位方向相位偵測器的工作原理及特性，其中包含 D 型正反器和 Alexander PD 這二種相位偵測器；並提出改進 Alexander PD 的架構，接者分別模擬其響應情形並討論。第三章分析能反應相位方向及大小相位偵測器的工作原理及特性，包含 Hogge PD 的架構；並提出能改良其缺點的架構，接者模擬其響應來驗證。第四章使用增加頻率偵測器的方法，來使得當振盪器時脈和 NRZ 輸入訊號的初始頻率不相等時，相位偵測器一樣能完成相位偵測的工作，並配合頻率偵測器使鎖相迴路達到鎖相的目的，並對頻率偵測器作分析討論，且模擬其鎖頻情形。第五章為整篇論文的結論。



第 2 章

Alexander 相位偵測器及其改進

在本章裡, 先以 D 型正反器和文獻中的 Alexander PD 來做分析, 藉此來了解能反應相位方向相位偵測器的特性, 然後再擴充其觀念, 提出改進之架構。

2.1 D型正反器之分析與模擬

D型正反器來作為相位偵測器之用途, 則是將其觸發端接至 NRZ 的輸入訊號, D輸入接至壓控振盪器的輸出; 而 Q 輸出則會在壓控振盪器的時脈相位落後時, 送出邏輯正值 1; 相對的, 在時脈相位領先時, 送出邏輯負值-1; 所以, 可看出此相位偵測器的輸出只有二種狀態。其架構如圖 2.1 所示。

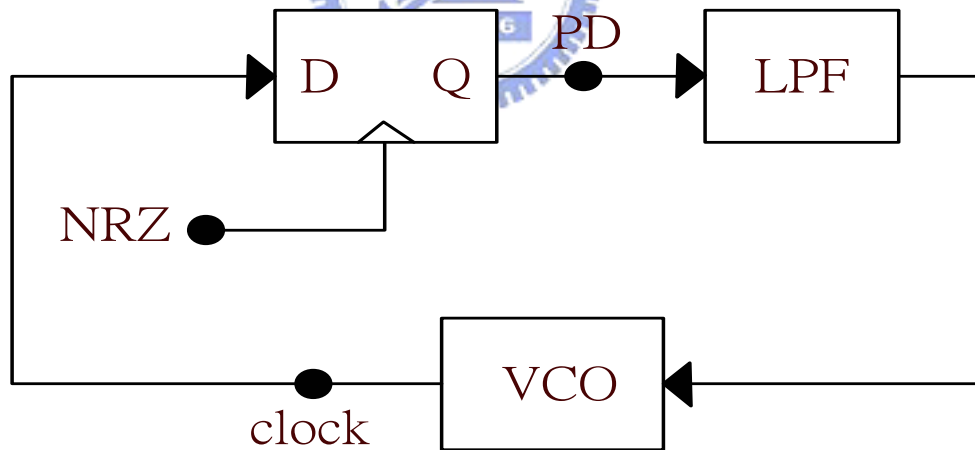


圖 2.1: 使用D型正反器作為相位偵測器的鎖相迴路架構圖

以下將以壓控振盪器的時脈領先及落後相位 135 度二種情形分別來模擬相位偵測器輸出反應:

1. 壓控振盪器時脈領先:

圖 2.2 由於一開始時脈領先 135 度, 所以, 相位偵測器所取樣的值皆為-1, 經由低通濾波器傳送至壓控振盪器以減慢壓控振盪器時脈頻率; 直到 20 秒時, 相位差距已變的很小, 此時, 取樣到的準位轉變成+1; 而大約在 25 秒時, 其相位已大致鎖住。

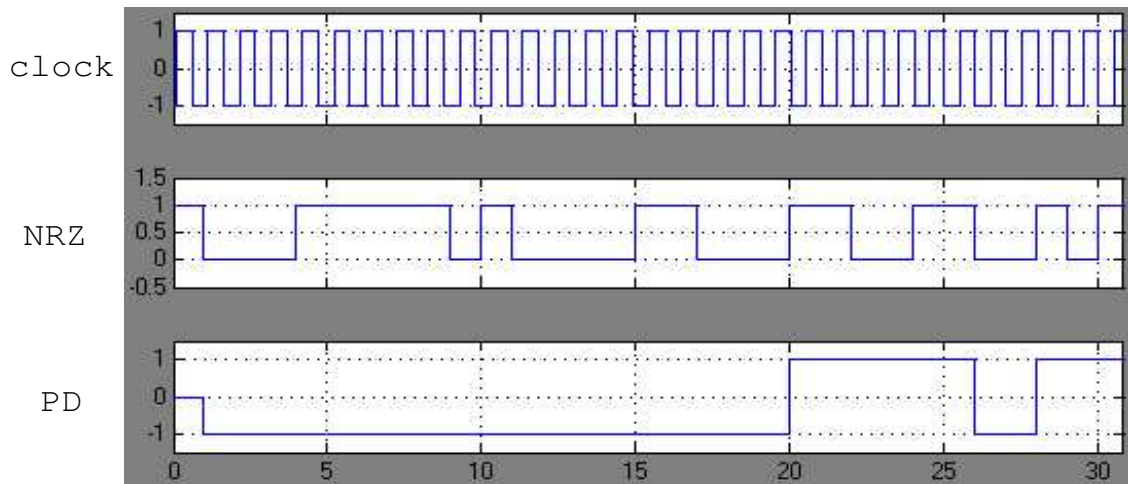


圖 2.2: 時脈領先時的D型正反器波形圖

2.壓控振盪器時脈落後:

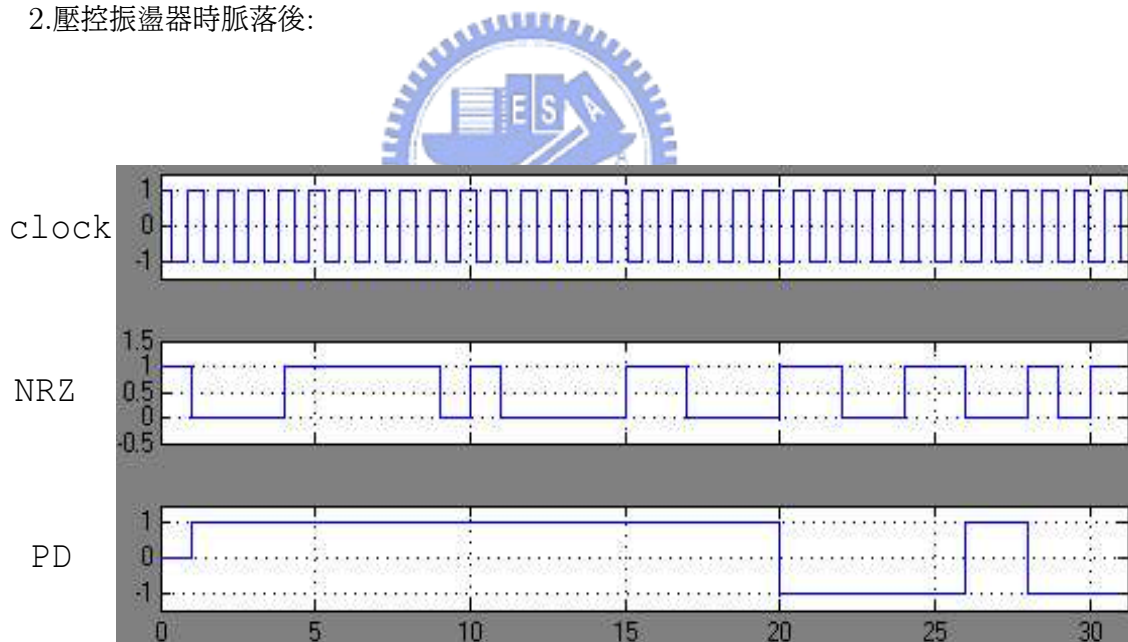


圖 2.3: 時脈落後時的D型正反器波形圖

圖 2.3 由於一開始時脈落後 135 度，所以，相位偵測器所取樣的值皆為 1，經由低通濾波器傳送至壓控振盪器以加快壓控振盪器時脈頻率；直到 20 秒時，相位差距已變的很小，此時，取樣到的準位轉變成 -1；而大約在 25 秒時，其相位已大致鎖住。

2.2 Alexander相位偵測器之分析與模擬

Alexander PD 的架構如圖 2.4 所示，它主要使用 4 個負緣觸發的 D 型正反器來取樣和儲存訊號的邏輯。圖中的 a、b、c 三點訊號即為一個時脈中 0 度、180 度、360 度時分別對 NRZ 訊號取樣的訊號；我們可以以圖 2.5 的眼睛圖 (Eye Diagram) 來說明其觀念，當 NRZ 訊號在 a 和 b 之間轉變時，取樣值 $a \neq b = c$ ，此為時脈相位領先的情形；而當 NRZ 訊號在 b 和 c 之間轉變時，取樣值 $a = b \neq c$ ，此為時脈相位落後的情形；除此以外的情形，則無法判別相位領先還是落後。也就是說，Alexander PD 具有 3 個資料取樣點，而根據 a、b、c 這三點的輸出可以看出 NRZ 訊號準位轉變的情形，並經由其轉變的情形就可以決定時脈相位是領先或落後；上述輸出狀態規則如表 2.1 所示。

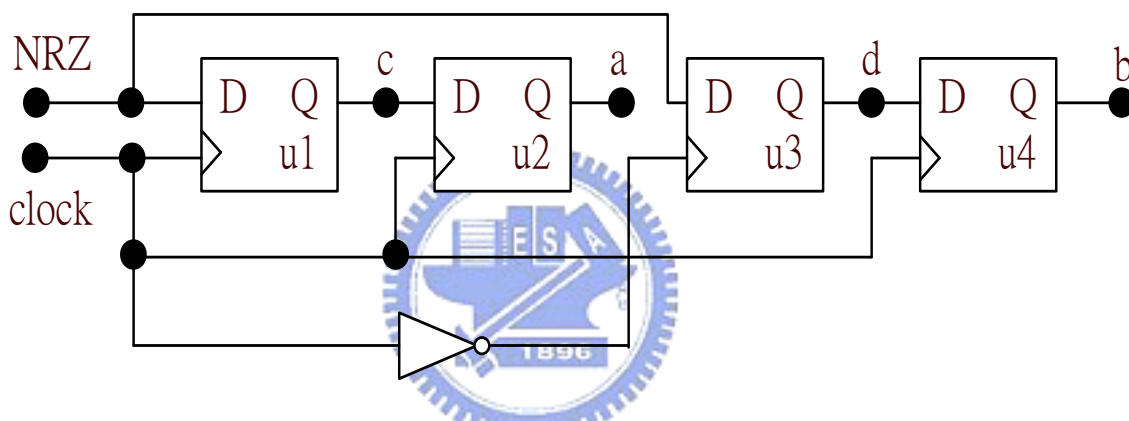


圖 2.4: Alexander PD 的電路架構

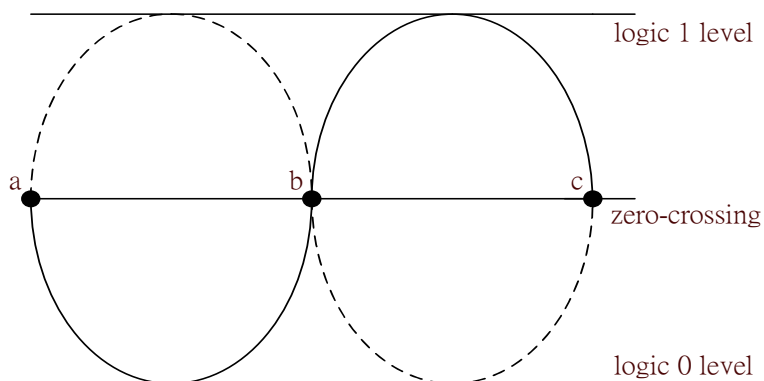


圖 2.5: Alexander PD 的時脈眼睛圖

表 2.1 的相關真值表如表 2.2 所示，根據真值表，我們可看出此相位偵測器輸出有三種狀態，分別為時脈領先、時脈落後、無法判定三種狀態。接下來，我們先說明 Alexander PD 的工作原理；正

表 2.1: Alexander PD 的輸出狀態規則

取樣點值	輸出狀態
$a = b \neq c$	相位落後
$a \neq b = c$	相位領先
其他狀態	無法判定

說明:a、b、c為邏輯準位

反器 u1 和 u2 會在時脈的負緣端取樣其 D 輸入訊號, 分別在輸出端產生 c 和 a; 正反器 u3 則是在時脈的正緣端取樣其 D 輸入訊號, 在輸出端產生 d; 而正反器 u4 則是延遲 d 訊號半個時脈週期而產生 b; 於是我們可發現取樣點是由正反器 u1 及 u3 所決定的, 而正反器 u2 及 u4 只是當成一個延遲元件在使用; 其目的是在於要使得在這個週期內所取樣的值, 都延遲到下一個週期輸出; 這樣的好處在於在每個週期的 a,b,c 值都會是一個固定值, 因為這個好處, 充電幫浦就能永遠自動產生一個有效的輸出值。

表 2.2: Alexander PD 的輸出狀態真值表

a	b	c	輸出狀態
0	0	0	無法判定
0	0	1	相位落後
0	1	0	無法判定
0	1	1	相位領先
1	0	0	相位領先
1	0	1	無法判定
1	1	0	相位落後
1	1	1	無法判定

說明:a、b、c為邏輯準位

我們現在將分別使用時脈領先及落後 135 度二種情形來模擬相位偵測器輸出狀態, 以驗證上述的工作原理; 其中, 時脈領先 135 度的相位偵測器輸出狀態模擬如圖 2.6 所示, 時脈落後 135 度的相位偵測器輸出狀態模擬如圖 2.7 所示; 在模擬圖中, 可發現每個週期內的 a,b,c 都維持一定值; 而且在時脈領先時, $a \neq b = c$; 時脈落後時, $a = b \neq c$; 另外當 NRZ 訊號的跑行長度 (Run Lengths) 大於 1 時, $a = b = c$, 因此, 在這期間將使得壓控振盪器受控電壓為 0, 也就是不改變此時的壓控振盪器頻率。

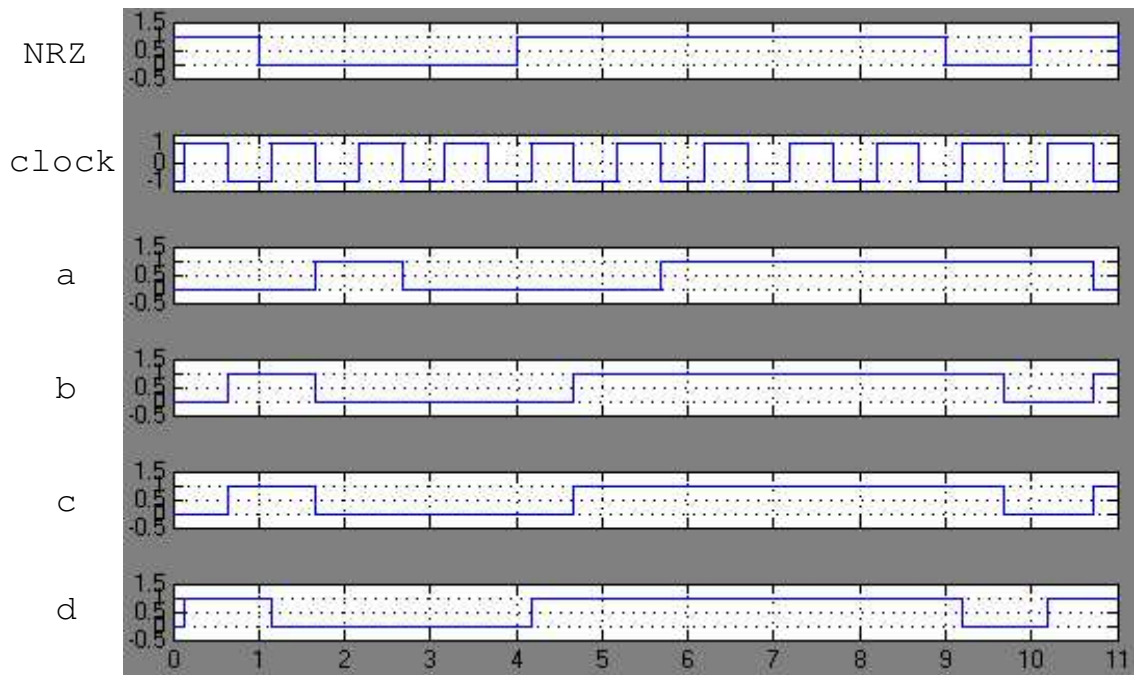


圖 2.6: 時脈領先時的Alexander PD 波形圖

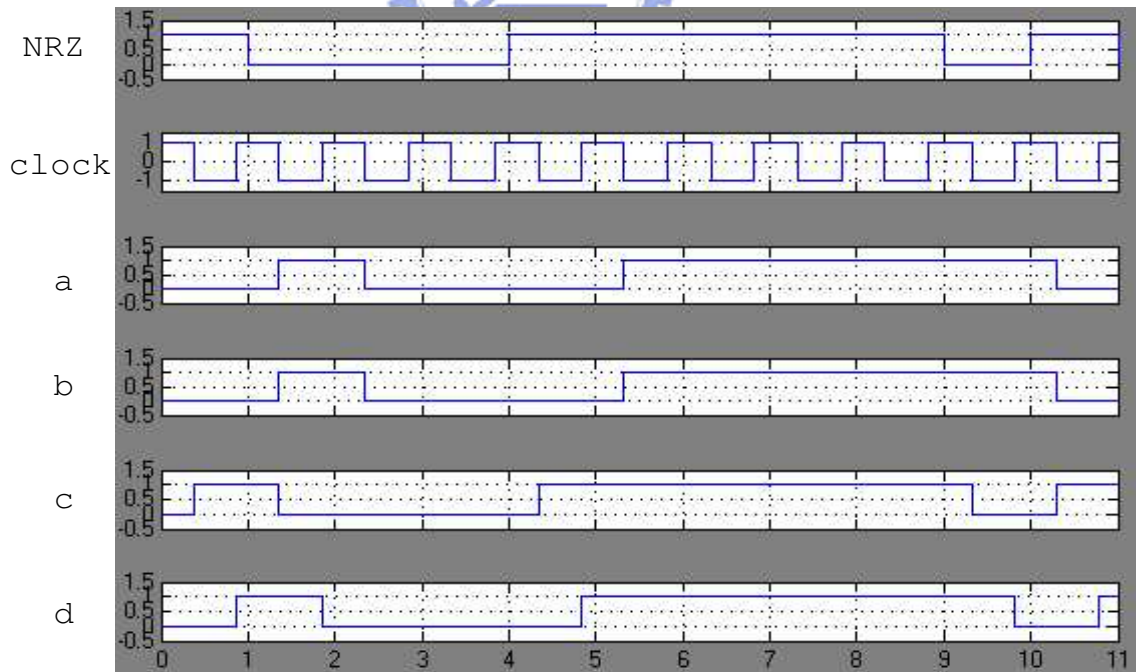


圖 2.7: 時脈落後時的Alexander PD 波形圖

2.3 Alexander相位偵測器改進型的架構及其模擬與討論

根據 Alexander PD 的原理, 我們可以將其觀念延伸 [6], 將三個資料取樣點擴充成五個資料取樣點, 也就是以一個時脈中的0度、90度、180度、270度、360度時分別對 NRZ 訊號做取樣; 其眼睛圖 (Eye Diagram) 如圖 2.8所示, 跟 Alexander PD 眼睛圖比較, 我們則是多了90度及270度二個取樣點; 因此, 當 NRZ 訊號在 a 和 b 之間轉變時, $a \neq b = c = d = e$, 此為時脈相位些微領先的情形; 當 NRZ 訊號在 b 和 c 之間轉變時, $a = b \neq c = d = e$, 此為時脈相位太過領先的情形; 當 NRZ 訊號在 c 和 d 之間轉變時, $a = b = c \neq d = e$, 此為時脈相位太過落後的情形; 當 NRZ 訊號在 d 和 e 之間轉變時, $a = b = c = d \neq e$, 此為時脈相位些微落後的情形; 除此以外的情形, 則無法判別相位領先還是落後。如此一來, 相位偵測器的輸出將會從原來的三種狀態增加成五種狀態, 分別為時脈太過領先、時脈些微領先、時脈太過落後、時脈些微落後、無法判定這五種狀態; 上述輸出狀態規則如表 2.3所示。

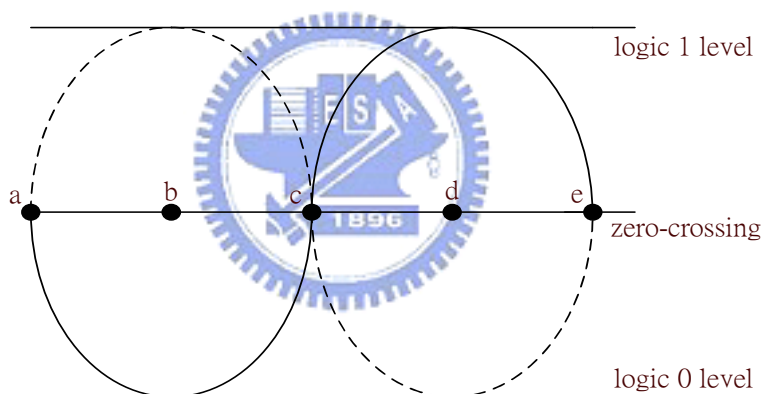


圖 2.8: Alexander PD 改進型的時脈眼睛圖

表 2.3: Alexander PD 改進型的輸出狀態規則

取樣點值	輸出狀態
$a = b = c = d \neq e$	相位些微落後
$a = b = c \neq d = e$	相位太過落後
$a = b \neq c = d = e$	相位太過領先
$a \neq b = c = d = e$	相位些微領先
其他狀態	無法判定

說明:a、b、c、d、e為邏輯準位

由於取樣點是以間隔 90 度來做取樣, 因此, 時脈太過領先就表示壓控振盪器的時脈相位領先 NRZ 訊號相位 90 度到 180 度之間; 而時脈些微領先就表示壓控振盪器的時脈相位領先 NRZ 訊號相

位 90 度以內；時脈太過落後、時脈些微落後的定義也可依此類推。以這樣觀點修正原始 Alexander PD，可使得原本的時脈領先、時脈落後有領先落後的程度量化觀念，這樣對於壓控振盪器而言，更能細調其頻率大小。此觀念的電路實現如圖 2.9 所示，其中 $\frac{T}{4}$ 代表將壓控振盪器時脈延遲 $\frac{1}{4}$ 週期；而 a、b、c、d、e 分別代表一個時脈中 0 度、90 度、180 度、270 度、360 度時分別對 NRZ 訊號取樣的訊號。

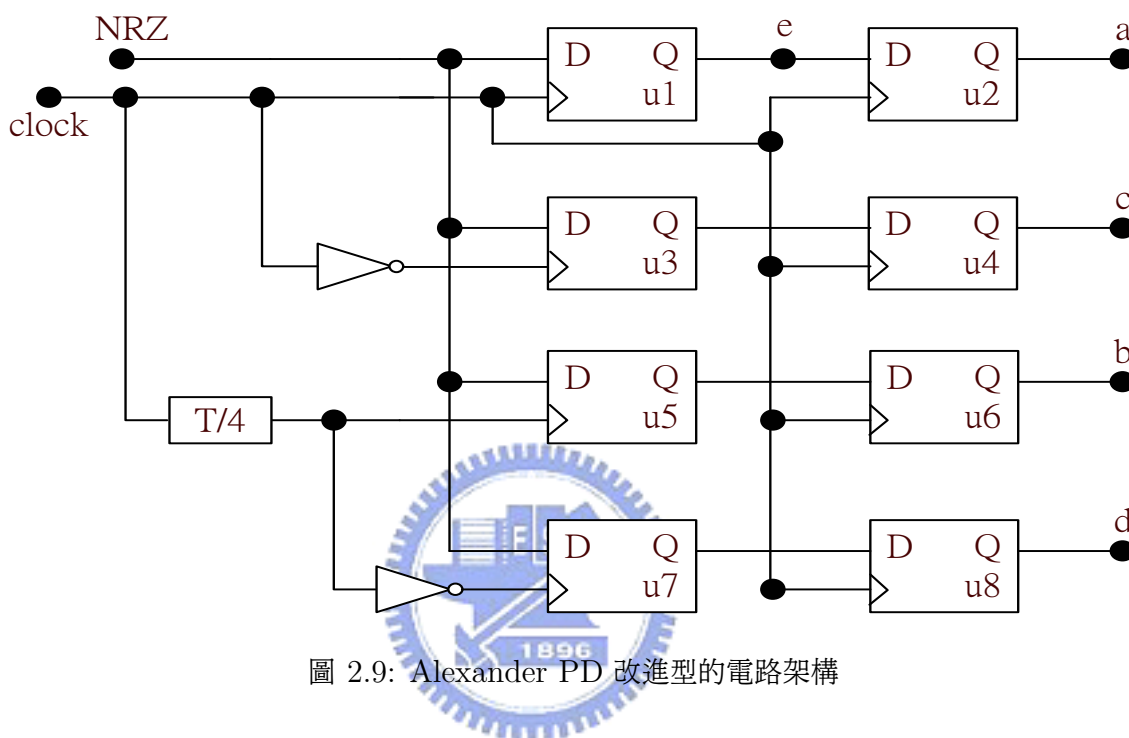


圖 2.9: Alexander PD 改進型的電路架構

利用正反器 u1、u2、u3、u4 來產生在時脈 0 度、180 度、360 度對 NRZ 訊號取樣值之電路架構是相同的，我們則是繼續利用 Alexander PD 架構中一個 D 型正反器取樣，一個 D 型正反器延遲的觀念，再產生一組 u5 取樣、u6 延遲的 D 型正反器來得到在時脈 90 度對 NRZ 訊號的取樣值，以及產生一組 u7 取樣、u8 延遲的 D 型正反器來得到在時脈 270 度對 NRZ 訊號的取樣值。

以下將以時脈相位領先及落後 45 度來代表時脈些微領先及落後，以時脈相位領先及落後 135 度來代表時脈太過領先及太過落後，以這四種情形分別來模擬相位偵測器輸出的反應。其中，時脈領先 45 度的相位偵測器輸出狀態模擬如圖 2.10 所示；觀察圖可發現在一個時脈週期中， $a \neq b = c = d = e$ ，符合上述狀態規則相位些微領先的定義。時脈領先 135 度的相位偵測器輸出狀態模擬如圖 2.11 所示；觀察圖可發現在一個時脈週期中， $a = b \neq c = d = e$ ，符合上述狀態規則相位太過領先的定義。時脈落後 45 度的相位偵測器輸出狀態模擬如圖 2.12 所示；觀察圖可發現在一個時脈週期中， $a = b = c = d \neq e$ ，符合上述狀態規則相位些微落後的定義。時脈落後 135 度的相位偵測器輸出狀態模擬如圖 2.13 所示；觀察圖可發現在一個時脈週期中， $a = b = c \neq d = e$ ，符合上述狀態規則相位太過落後的定義。

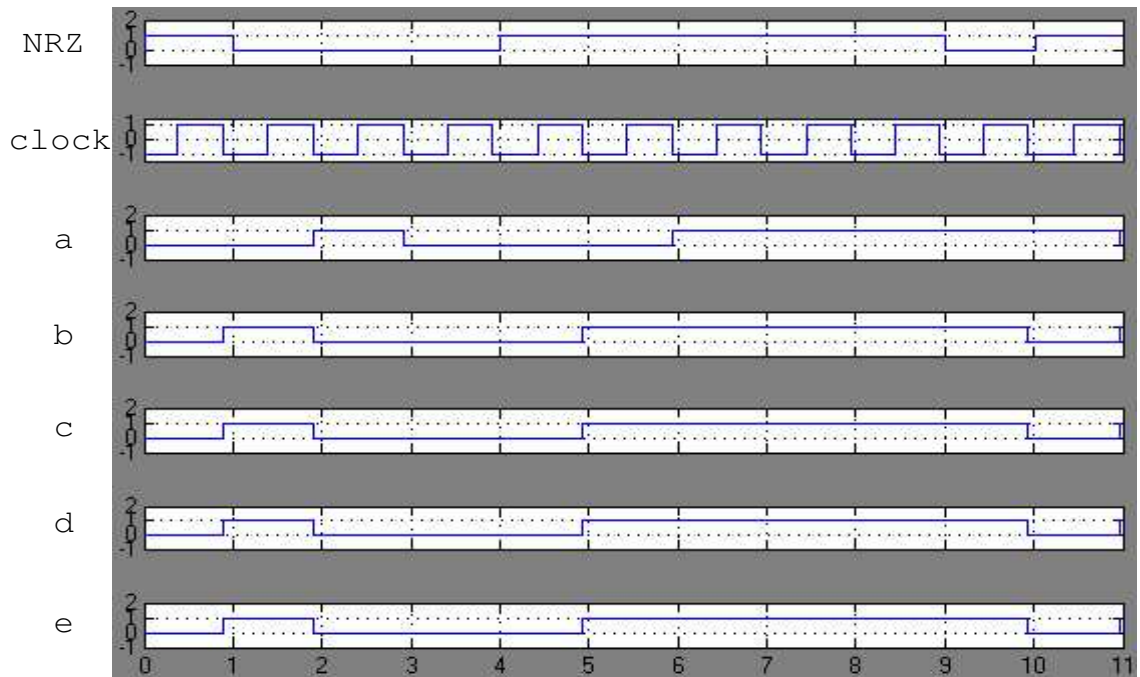


圖 2.10: Alexander PD 改進型在時脈些微領先時的波形圖

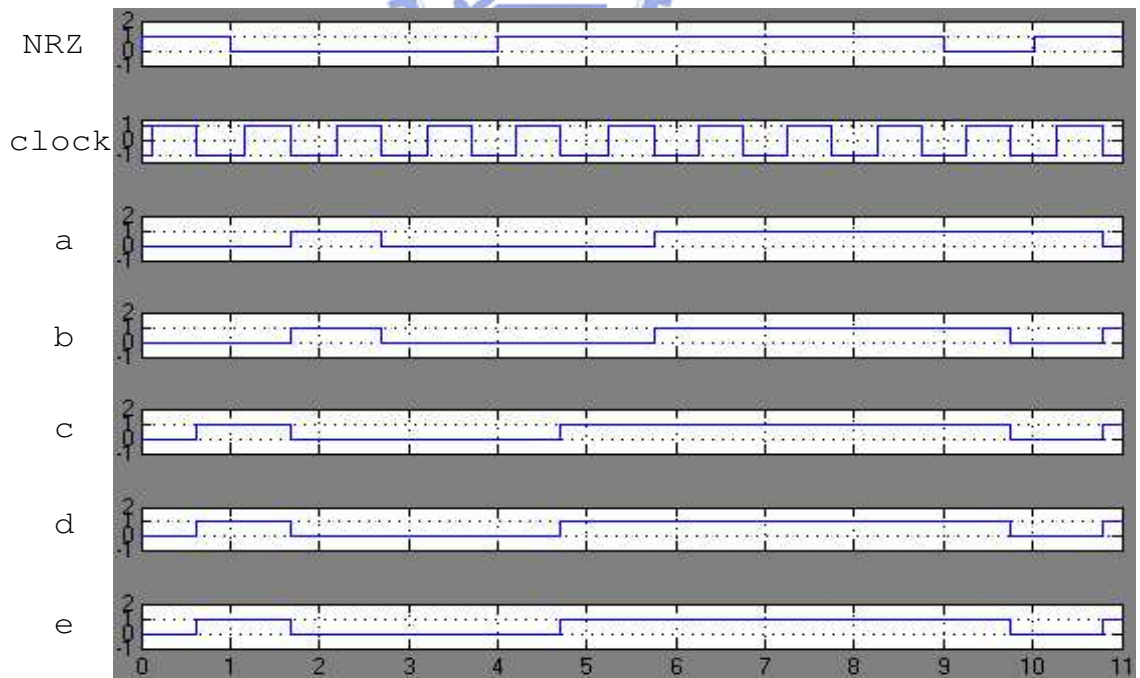


圖 2.11: Alexander PD 改進型在時脈太過領先時的波形圖

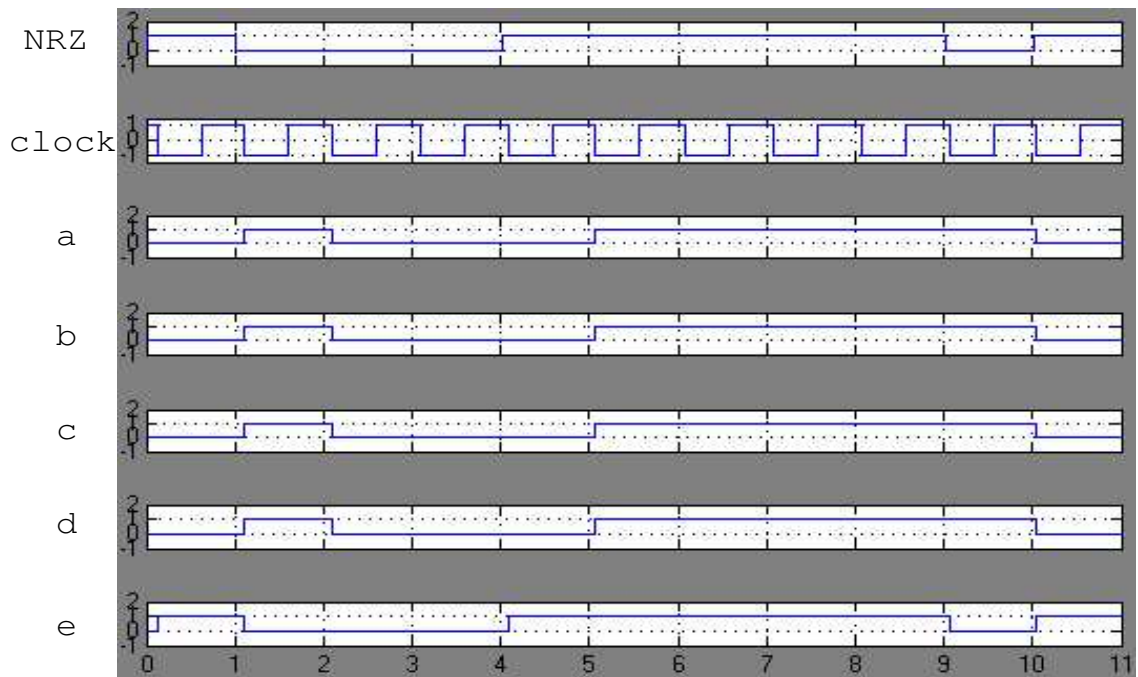


圖 2.12: Alexander PD 改進型在時脈些微落後時的波形圖

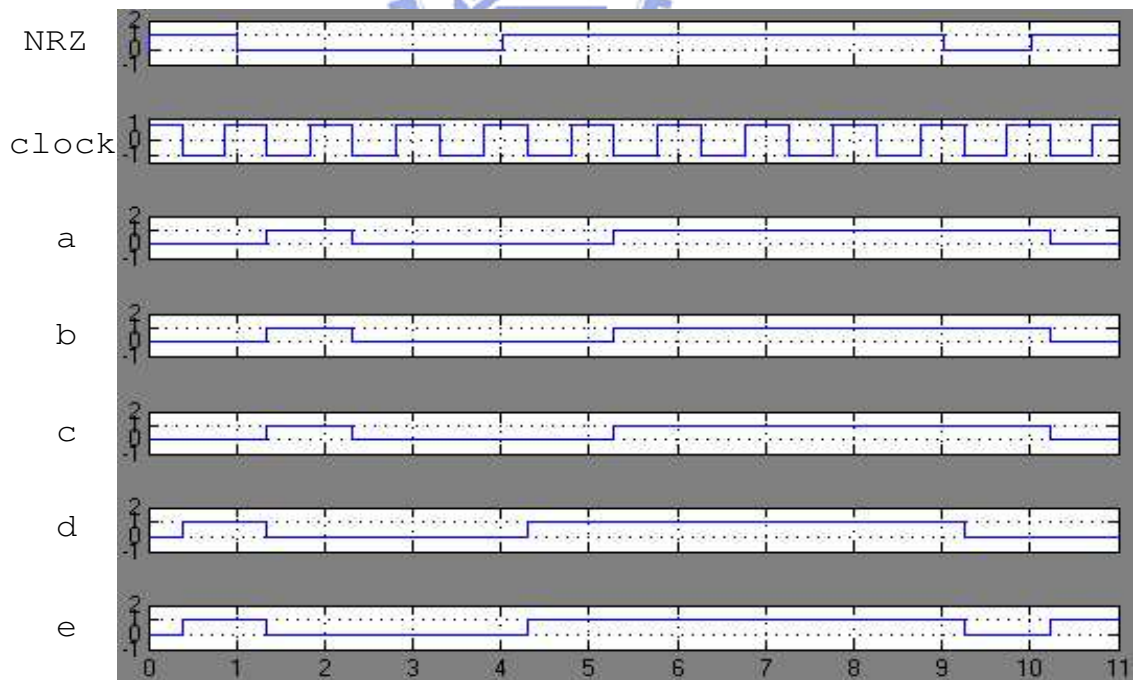


圖 2.13: Alexander PD 改進型在時脈太過落後時的波形圖

2.4 Alexander相位偵測器與其改進型及 D 型正反器之鎖相響應模擬討論

在這一小節,我們將上述3種相位偵測器分別放入相同的鎖相迴路架構中,來模擬其鎖相的響應情形,其中,低通濾波器部分還包含了充電幫浦 (Charge Pump),使用 Alexander PD 的鎖相迴路之 simulink 架構圖如圖 2.14所示;使用 Alexander PD 改進型的鎖相迴路之 simulink 架構圖如圖 2.15所示;使用 D 型正反器的鎖相迴路之 simulink 架構圖如圖 2.16所示。

設壓控振盪器相位為領先或落後 NRZ 訊號相位 135度,所以,達到鎖相時,壓控振盪器時脈累積相位應達到 $\frac{3\pi}{4} = 2.355$ 或 $-\frac{3\pi}{4} = -2.355$ 。在 Alexander PD 其改進架構中,由於輸出有五種狀態,因此,我們將發生時脈太過領先以及時脈太過落後這二種情形在充電幫浦部分所提供的電流值設為時脈些微領先及時脈些微落後在充電幫浦部分所提供的電流值的二倍。另外,設定壓控振盪器的時脈頻率為 1HZ。時脈領先時的鎖相響應模擬圖如圖 2.17所示;時脈落後時的鎖相響應模擬圖如圖 2.18所示。

比較 Alexander PD 與其改進型的波形,改進型由於一開始相位差 135度,所以,充電幫浦部分是提供二倍的電流;因此,和 Alexander PD 來比較,改進型在剛開始的一小段波形較為陡峭,最後也較快能達到鎖住的效果,所以,改進型對於加快鎖住時間的確有其幫助。由 Alexander PD 和 D 型正反器的波形,可發現 D 型正反器雖然能更快達到鎖住,但是其鎖住後波型的抖動現象較為明顯;這就在於 D 型正反器的輸出有二種狀態,而 Alexander PD 有三種狀態,D 型正反器的輸出狀態只有 1和-1,因此它略過 Alexander PD 在 0輸出準位時的時間,所以其鎖住時間會較快;但相對要付出的代價是當 NRZ 訊號維持較長時間不變動準位時,也就是跑行長度大於 1時,則 D 型正反器的輸出經過低通濾波積分器的效果,是準位會一直往某個方向增加;因此,會造成如圖所示的抖動較大的現象。

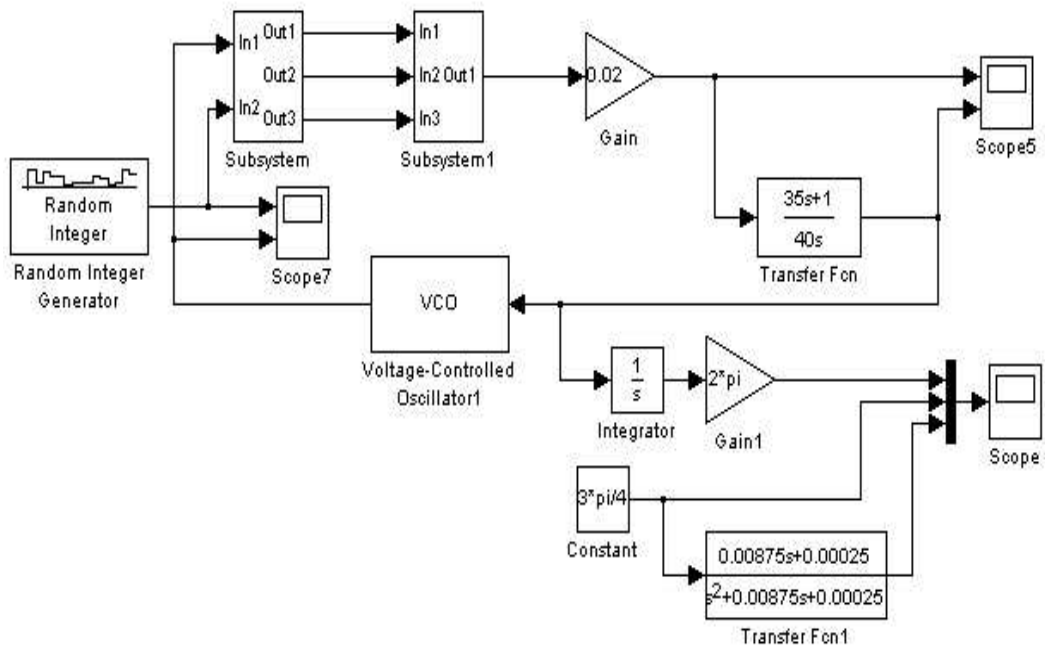


圖 2.14: 使用Alexander PD 的鎖相迴路之 simulink 架構圖

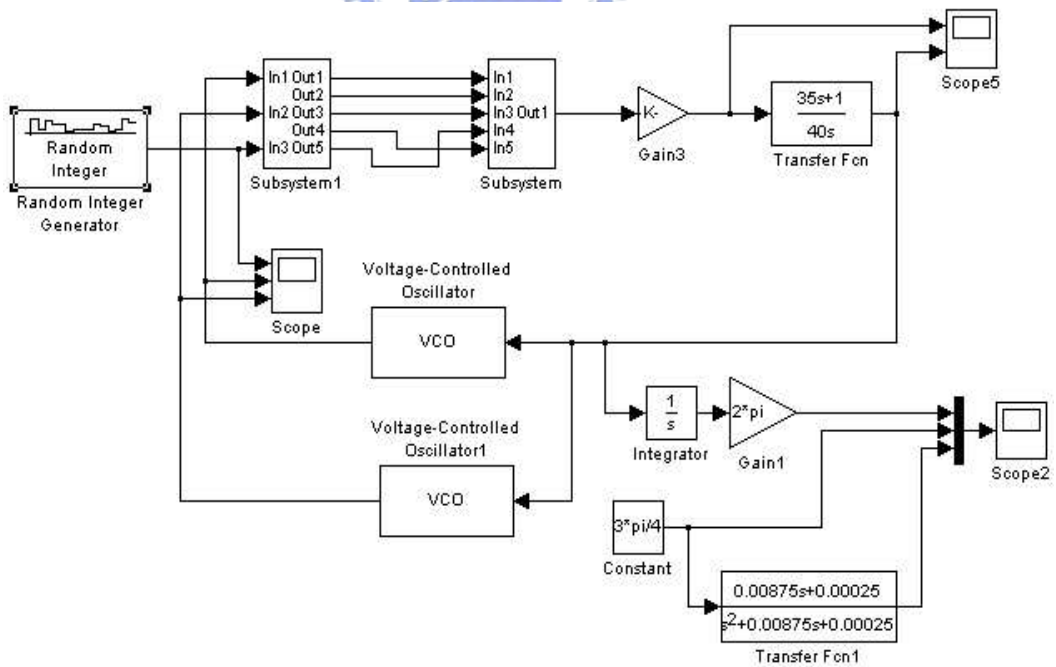


圖 2.15: 使用Alexander PD 改進型的鎖相迴路之 simulink 架構圖

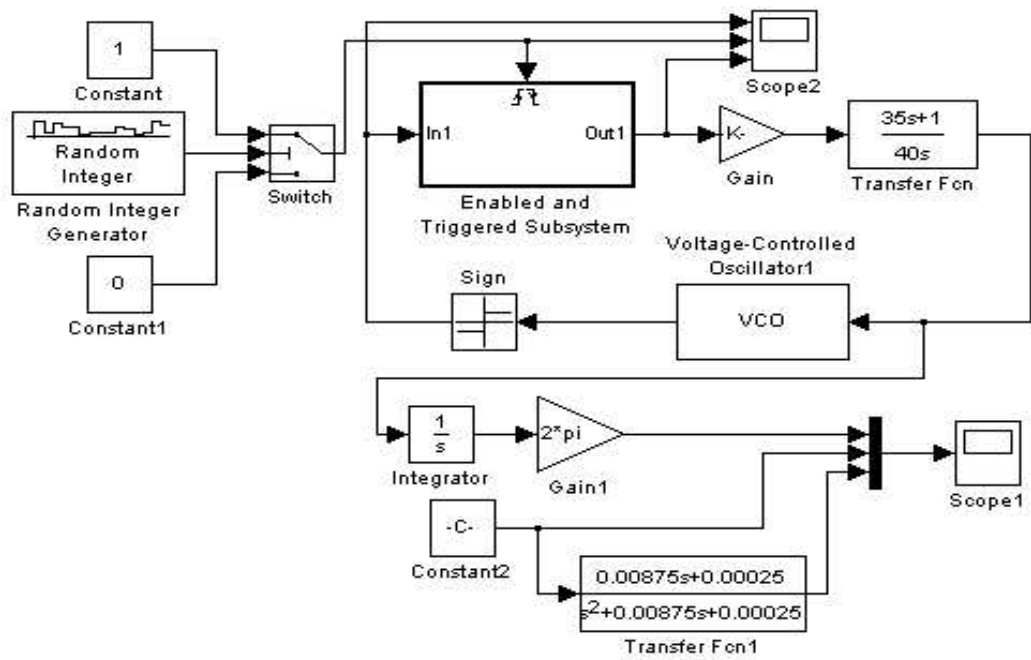


圖 2.16: 使用D型正反器的鎖相迴路之 simulink 架構圖

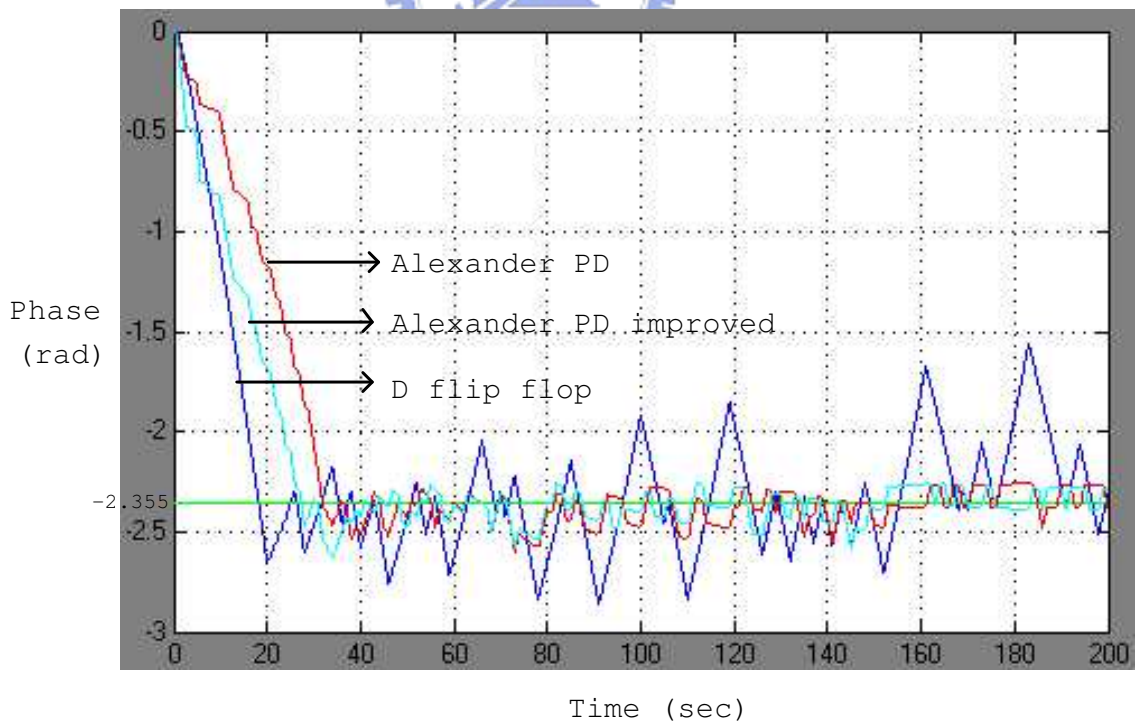


圖 2.17: 時脈領先時的鎖相響應模擬圖

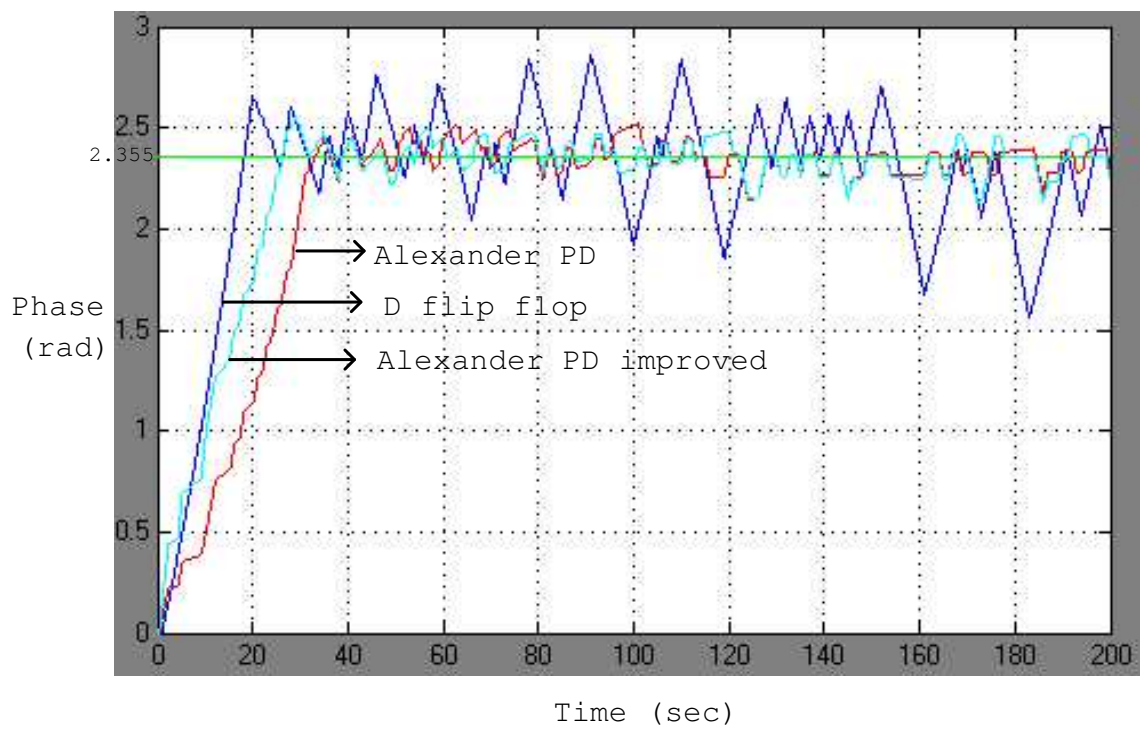


圖 2.18: 時脈落後時的鎖相響應模擬圖

第 3 章

Hogge 相位偵測器及其改進

我們先探討文獻中 Hogge PD 的工作原理及觀念, 藉此來了解能反應相位方向及大小的相位偵測器之特性, 並針對 Hogge PD 的缺點提出可改進的架構, 最後分別模擬並互相比較討論。

3.1 Hogge 相位偵測器之分析與模擬

Hogge PD 的架構如圖 3.1 所示, 它主要使用二個正緣觸發的 D 型正反器 u_1 、 u_2 和二個互斥或閘 u_3 、 u_4 (XOR Gate) 來達到相位偵測的目的, 而加法器是類比加法器; 其中, u_3 的輸出波形 c 是一個寬度等於 NRZ 訊號和壓控振盪器時脈正緣端相位差的正脈衝波 (Positive Pulse), u_4 的輸出波形 d 則是一個寬度等於壓控振盪器時脈半週期的正脈衝波, 而 Hogge PD 的輸出 e 則是將 $c-d$; 也就是說, Hogge PD 的觀念就是將 d 作為參考寬度, 而 $c-d$ 的寬度就是 NRZ 訊號和壓控振盪器時脈負緣端相位差, 此相位差就是 NRZ 訊號和壓控振盪器時脈的相位差距, 因此, 我們可看出 Hogge PD 的輸出能反映出相位的差距; 另外, 由於輸出為 $c-d$, 所以輸出將會有 3 種狀態, 分別為 1、0、-1。

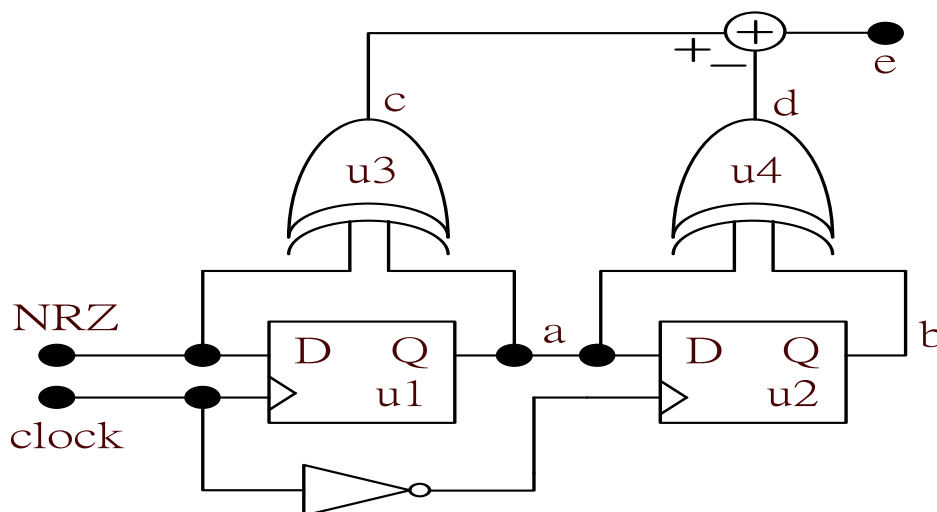


圖 3.1: Hogge PD 的電路架構圖

我們分別模擬壓控振盪器時脈比 NRZ 訊號領先、落後以及對齊時的情形；其中，時脈對齊時的波形圖如圖 3.2 所示，可以看出 c 的寬度於 d 的寬度，所以，相位偵測器的輸出有零平均值；因此，在經過低通濾波積分器後，其淨輸出為 0。時脈領先時的波形圖如圖 3.3 所示，可以看出 u1 的寬度小於 u2 的寬度，所以，相位偵測器的輸出有負平均值；因此，在經過低通濾波積分器後，其淨輸出為負。時脈落後時的波形圖如圖 3.4 所示，可以看出 c 的寬度大於 d 的寬度，所以，相位偵測器的輸出有正平均值；因此，在經過低通濾波積分器後，其淨輸出為正。

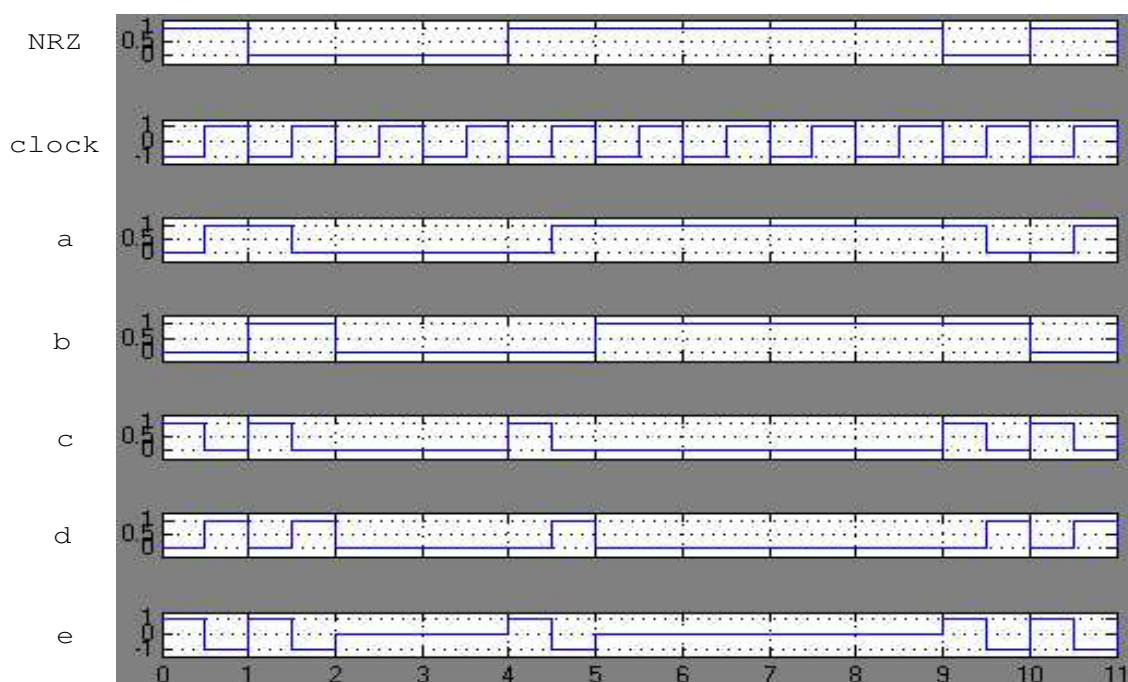


圖 3.2: Hogge PD 在時脈對齊時的波形圖

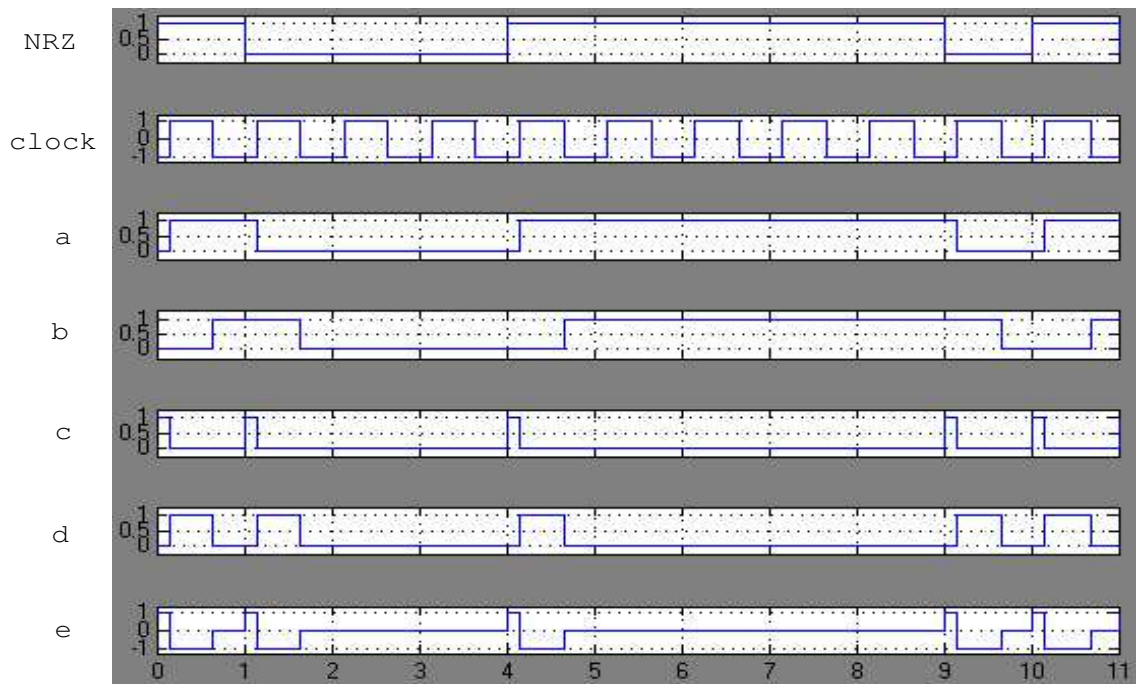


圖 3.3: Hogge PD 在時脈領先時的波形圖

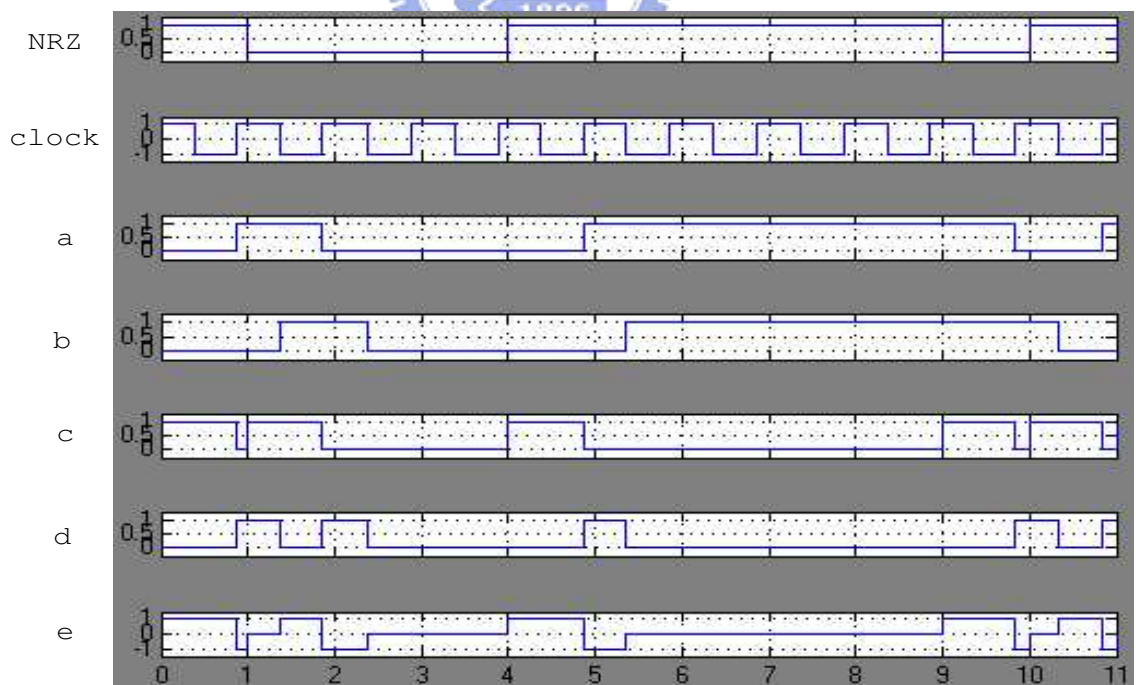


圖 3.4: Hogge PD 在時脈落後時的波形圖

3.2 Hogge相位偵測器改進型的架構及其模擬與討論

以上述 Hogge PD 的觀念，我們也可提出一個輸出能反映相位方向及大小的相位偵測器架構，如圖3.5所示；其中 u1、u2為雙緣觸發且具有重置清除端 R(Reset) 的 D 型正反器，u3為負緣觸發且具有重置清除端 R 的 D 型正反器，u3的輸入端則是固定輸入準位1，而加法器是類比加法器，電阻和電容則是作為高通濾波器之用途。我們將以波形圖3.6和圖3.7來說明此電路的工作情形，其中圖3.6為壓控振盪器時脈領先的波形圖，圖3.7為壓控振盪器時脈落後的波形圖。

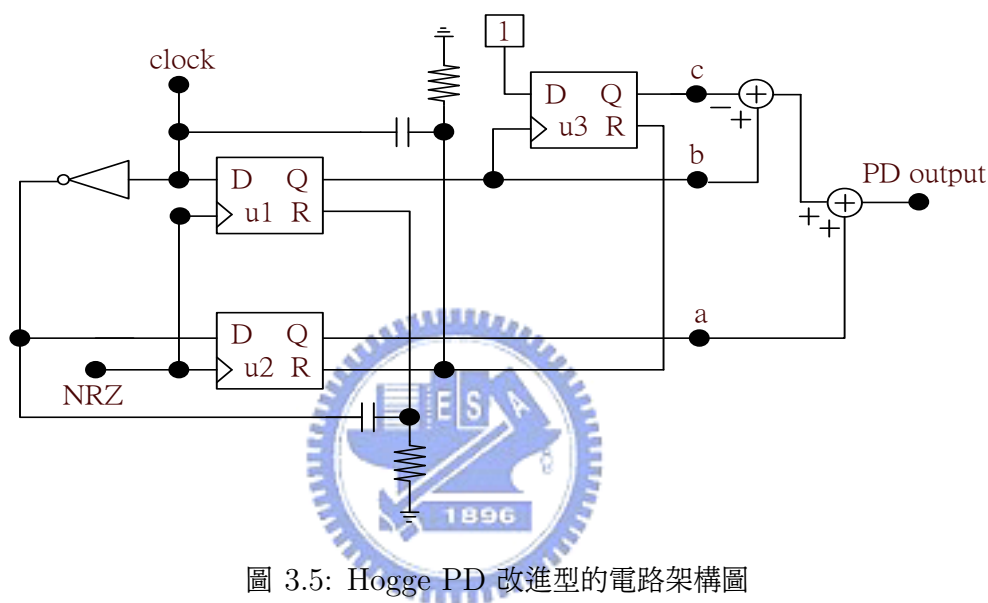


圖 3.5: Hogge PD 改進型的電路架構圖

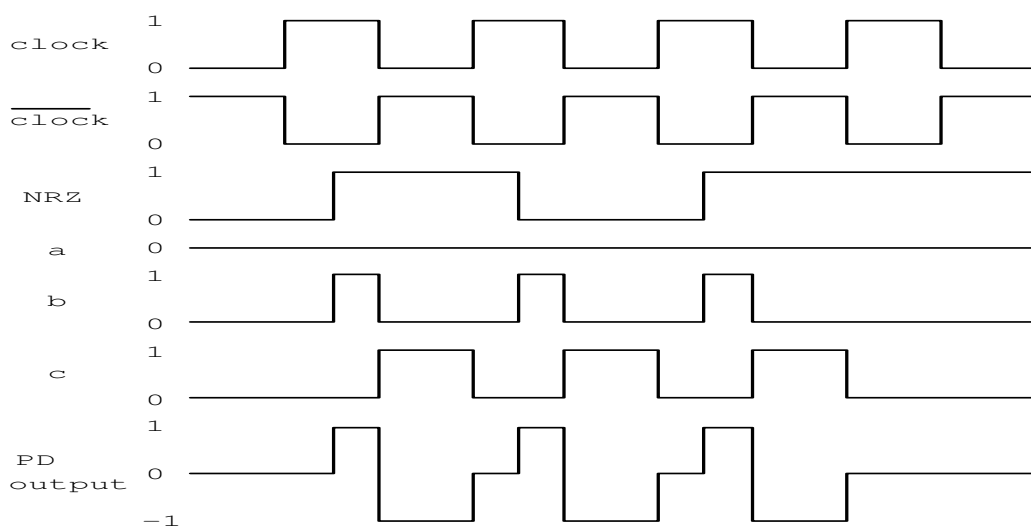


圖 3.6: Hogge PD 改進型在時脈領先時的示意圖

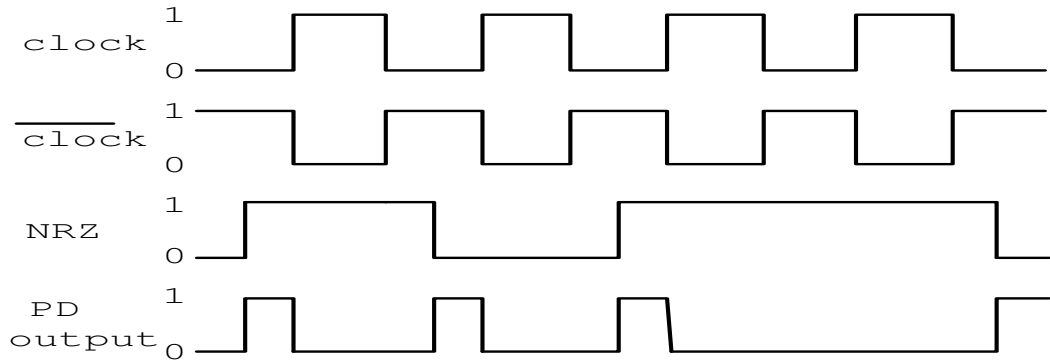


圖 3.7: Hogge PD 改進型在時脈落後時的示意圖

圖 3.6 相位偵測器輸出的正脈衝是由 NRZ 訊號觸發 u_1 來取樣正相時脈的值, 其輸出值為 b , 在藉由此輸出 b 的負緣端來觸發 u_3 使得輸出值 c 為 1; 然而, 反相的時脈訊號將通過一個使用電容及電阻的高通濾波器, 而產生一個寬度細小的脈衝, 藉由此脈衝來重置 u_1 , 使得 b 為 0; 另外, u_3 則是藉由正相時脈通過高通濾波器的狹窄脈衝來重置 u_3 使得 c 為 0; 而其中, b 的寬度等於 NRZ 訊號和壓控振盪器時脈負緣端的相位差, c 值的寬度為壓控振盪器時脈的半週期; 當時脈領先時, 相位偵測器的輸出為 $b-c$, $b-c$ 的寬度等於 NRZ 訊號和壓控振盪器時脈正緣端的相位差, 此相位差就是 NRZ 訊號和壓控振盪器時脈的相位差距。圖 3.7 相位偵測器輸出的正脈衝是由 NRZ 訊號觸發 u_2 來取樣反相時脈的值, 其輸出值為 a , 並藉由正相時脈通過高通濾波器的狹窄脈衝來重置 u_2 使得 a 為 0; 而當時脈落後時, 相位偵測器的輸出即為 a , 其中, a 的寬度等於 NRZ 訊號和壓控振盪器時脈正緣端的相位差, 此相位差就是 NRZ 訊號和壓控振盪器時脈的相位差距。

同樣設壓控振盪器時脈相位為領先或落後 NRZ 訊號相位 135 度, 分別模擬其波形; 其中, 時脈相位領先模擬圖如圖 3.8 所示, 時脈相位落後模擬圖如圖 3.9 所示。

3.3 Hogge 相位偵測器與其改進型之鎖相響應模擬討論

我們將上述二種能反應相位方向及大小的相位偵測器分別放入相同的鎖相迴路架構中, 來模擬其鎖相的響應情形, 並根據響應的情形來說明 Hogge PD 缺點。使用 Hogge PD 的鎖相迴路之 simulink 架構圖如圖 3.10 所示; 使用 Hogge PD 改進型的鎖相迴路之 simulink 架構圖如圖 3.11 所示。另外, 我們建立一個使用 Hogge PD 的鎖相迴路之數學模組 (Model), 以求得整個鎖相迴路的轉移函數, 並利用此轉移函數的步階響應 (Step Response) 和我們用 simulink 模擬出的實際響應互相比較討論。

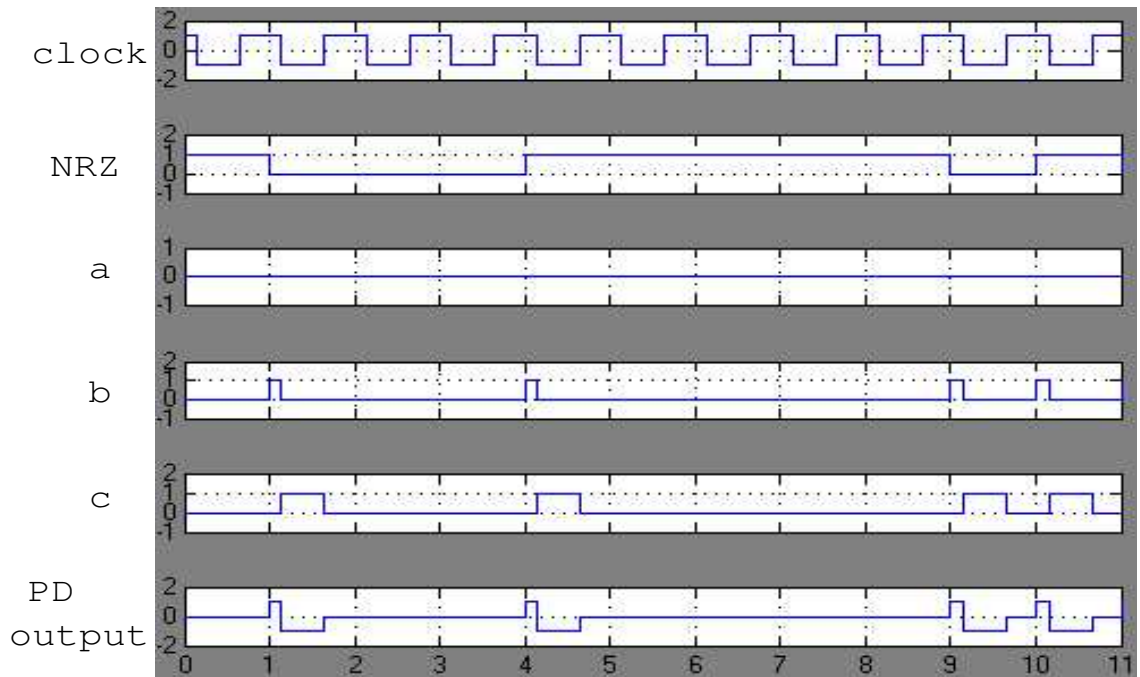


圖 3.8: Hogge PD 改進型在時脈領先時的波形圖

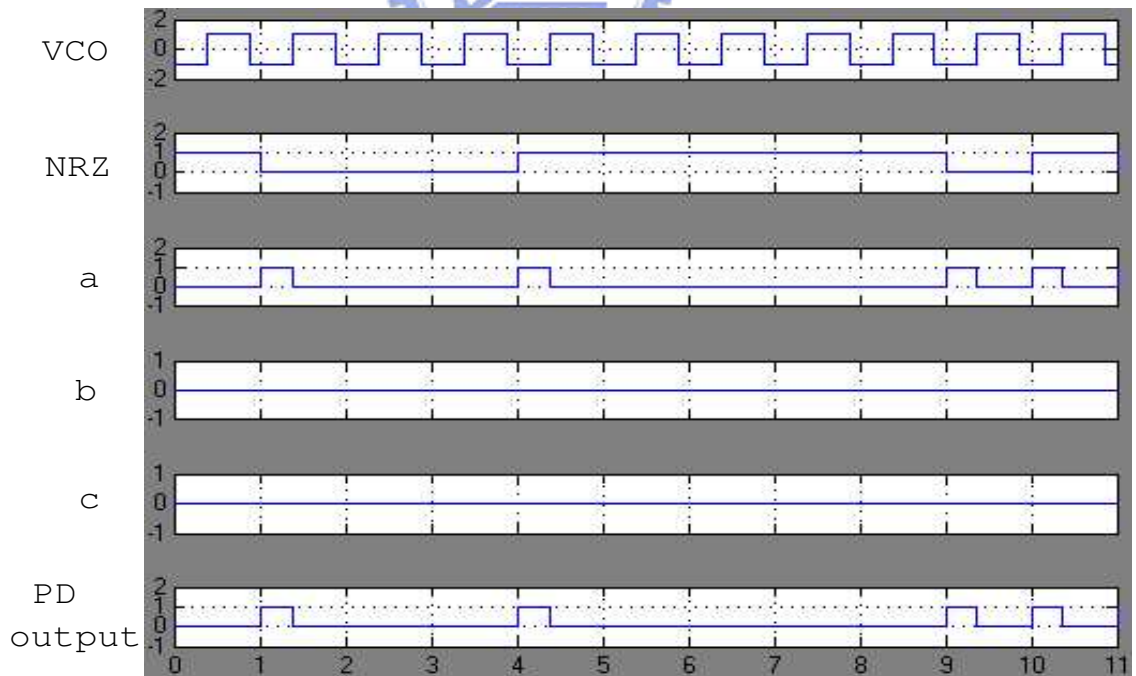


圖 3.9: Hogge PD 改進型在時脈落後時的波形圖

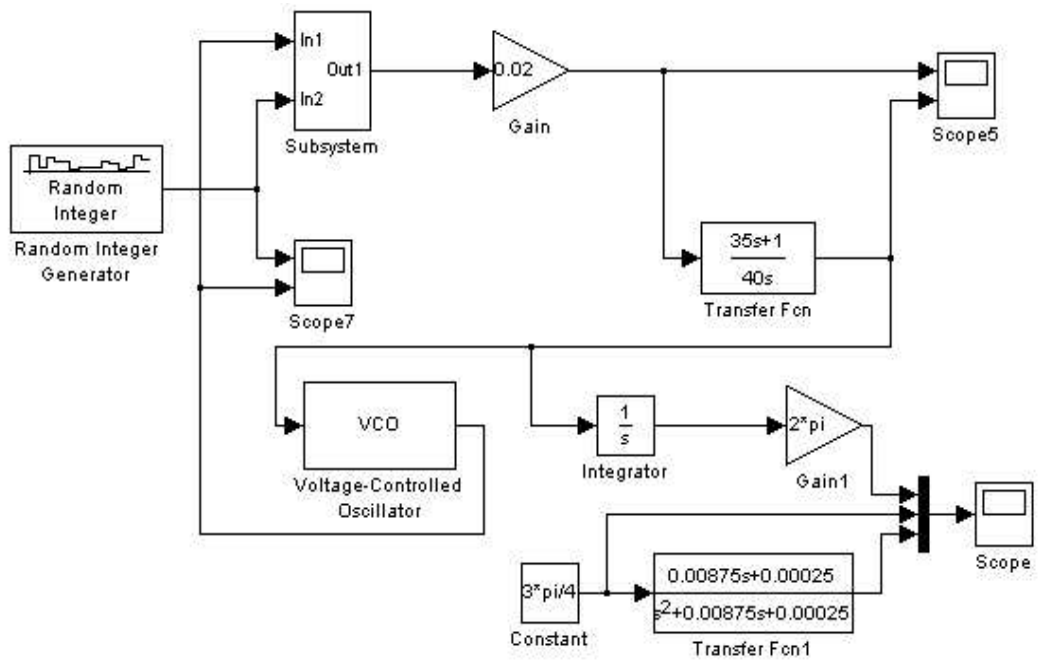


圖 3.10: 使用Hogge PD 的鎖相迴路之 simulink 架構圖

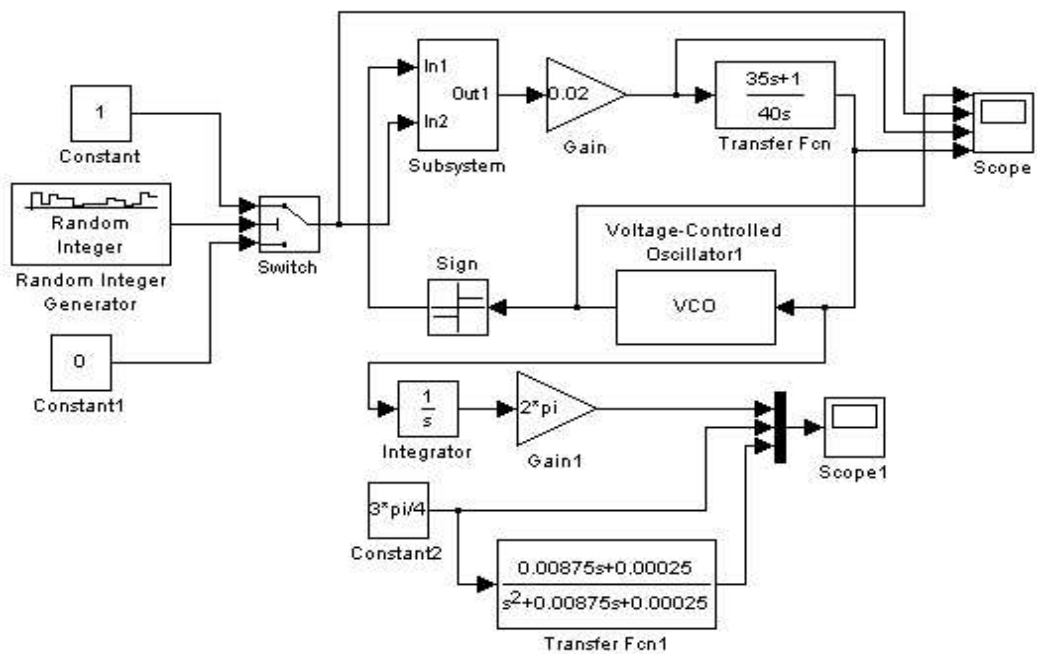


圖 3.11: 使用Hogge PD 改進型的鎖相迴路之 simulink 架構圖

3.3.1 使用 Hogge 相位偵測器的鎖相迴路之模組

我們設壓控振盪器時脈頻率為 ω_i (radians/second), 而相位誤差 $\theta_e = \theta_i - \theta_o$ (radians); 其中, θ_i 為 NRZ 訊號的相位, θ_o 為壓控振盪器時脈的相位。因此, 在時脈每個週期時間 $\frac{2\pi}{\omega_i}$ 內反應相位差距的等效時間 t_p 為

$$t_p = \frac{|\theta_e|}{\omega_i} \quad (3.1)$$

而在每一個週期內的平均誤差電流 I_d 為

$$I_d = \frac{0.5I_p t_p}{\frac{2\pi}{\omega_i}} \quad (3.2)$$

$$= \frac{I_p \theta_e}{4\pi} \quad (3.3)$$

其中, I_p 為充電幫浦的電流值, 壓控振盪器受控電壓則為

$$V_c(s) = I_d(s)Z(s) \quad (3.4)$$

$$= \frac{I_p Z(s) \theta_e(s)}{4\pi} \quad (3.5)$$

在這裡 $I_d(s)$ 是 $i(t)$ 的 Laplace 轉換, 其他符號也是相同定義, 壓控振盪器時脈的相位則為

$$\theta_o(s) = \frac{2\pi K V_c(s)}{s} \quad (3.6)$$

其中, K 為壓控振盪器的增益, 根據這些式子, 我們可推出迴路的轉移函數

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} \quad (3.7)$$

$$= \frac{K I_p Z(s)}{s + K I_p Z(s)} \quad (3.8)$$

我們設迴路濾波器 (Loop Filter) 函數為

$$Z(s) = R + \frac{1}{sC} \quad (3.9)$$

因此, 轉移函數

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (3.10)$$

其中,

$$\omega_n = \sqrt{\frac{K I_p}{2C}} \quad (3.11)$$

$$\xi = \frac{\omega_n R C}{2} \quad (3.12)$$

ω_n 為自然頻率 (Natural Frequency), 而 ξ 是阻尼比 (Damping Ratio), 在本論文中, 我們所設計的 ξ 為0.2767, ω_n 為0.016。

3.3.2 模擬結果與比較討論

我們設定壓控振盪器相位為領先或落後 NRZ 訊號相位 135 度, 因此, 達到鎖相時, 壓控振盪器時脈累積相位應達到 $\frac{3\pi}{4} = 2.355$ 或 $-\frac{3\pi}{4} = -2.355$ 。

其中, Hogge PD 在時脈領先時的鎖相響應模擬圖如圖 3.12 所示, 而時脈落後時的鎖相響應模擬圖如圖 3.13 所示; Hogge PD 改進型在時脈領先時的鎖相響應模擬圖如圖 3.14 所示, 而時脈落後時的鎖相響應模擬圖如圖 3.15 所示, 圖中 model 代表用數學模組求出轉移函數的步階響應波形, 而 actual 則是我們使用 simulink 模擬整個鎖相迴路的實際響應波形。

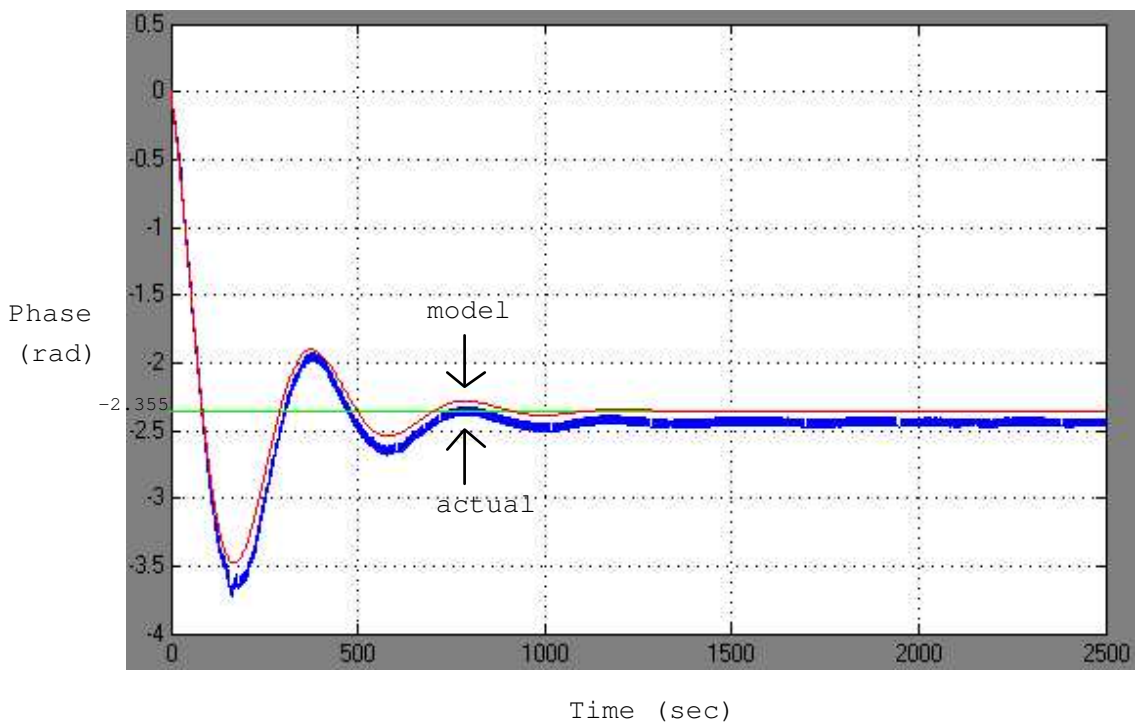


圖 3.12: Hogge PD 在時脈領先時的鎖相響應模擬圖

在實際的響應波形部分, 觀察圖 3.12 及 3.14, 我們可發現 2 張圖的波形相當接近, 但是, 在 Hogge PD 的部分, 其最後相位有一小段誤差而無法完全鎖住, 而改進型架構卻鎖住了; 於是, 我們觀察 Hogge PD 在時脈落後的波形模擬圖 3.16, 可發現在 Hogge PD 中, 在一個週期內壓控振盪器的正時脈寬度並不等於負時脈寬度, 例如圖中正時脈寬度為 0.52 秒而負時脈寬度為 0.48 秒; 其原因在於經由低通濾波積分後的訊號在相位偵測器輸出為正值時, 其波型會上升增加導致壓控振盪器的輸出頻率加快, 因此, 壓控振盪器負時脈寬度就會減少; 相對的, 經由低通濾波積分後的訊號在相位偵測器輸出為負值時, 其波型會下降減少導致壓控振盪器的輸出頻率減慢, 因此, 壓控振盪器正時脈寬度就會增加, 而由圖中 484-485 這段時間的相位偵測器輸出, 其輸出波型正脈衝寬度等於負時脈寬度, 而輸出波型負脈衝寬度等於正時脈寬度, 根據文獻中 Hogge PD 的原理, 在此情形會因為正

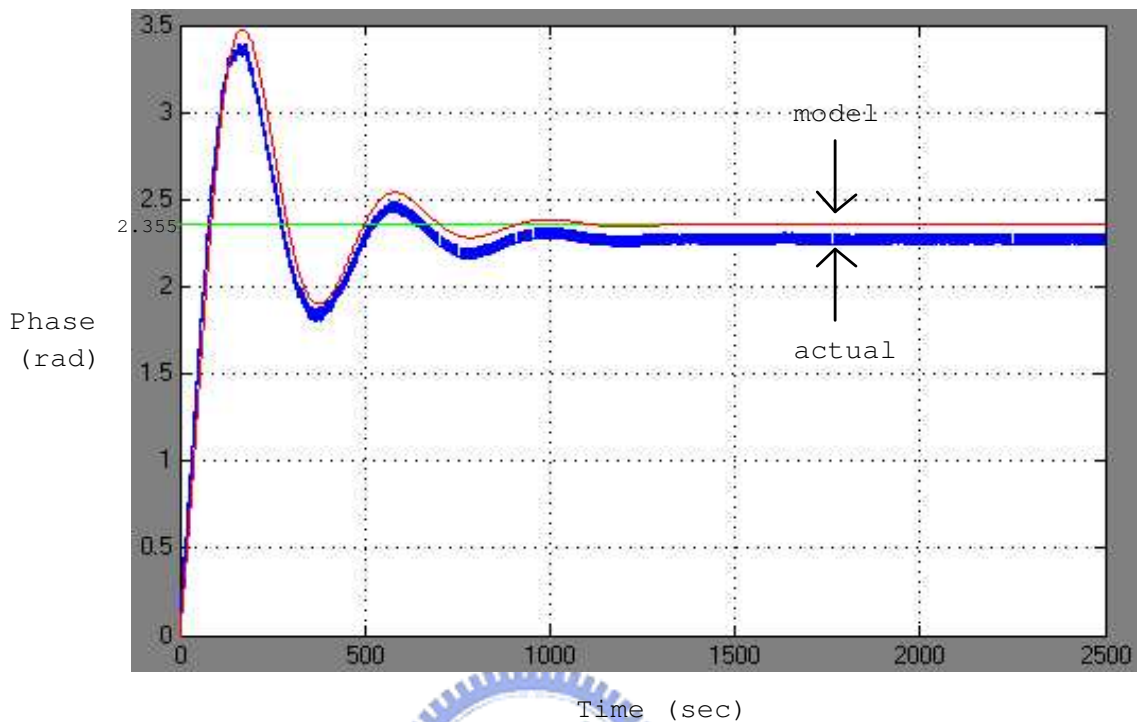


圖 3.13: Hogge PD 在時脈落後時的鎖相響應模擬圖

負時脈寬度相等而有零平均值，但是，由於模擬會有時脈寬度變化的現象，此時則會造成錯誤的負修正值；導致最後相位有一小段誤差而無法完全鎖住。改進型則是使用 NRZ 訊號作為觸發，減少時脈變化對相位偵測器輸出的影響，而改進型的相位偵測器輸出也能在上述時脈寬度變化時，送出正確方向的修正值，不會產生錯誤方向的修正值。另外，觀察波形的抖動現象，可發現改進型的抖動現象也較為不嚴重；這是因為在 Hogge PD 中，不論時脈領先或落後，相位偵測器的輸出都有著三種準位，而改進型雖然在壓控振盪器時脈領先也有著三種準位，但是在壓控振盪器時脈落後時卻只有二種準位，因此，其抖動現象會比 Hogge PD 來的好。

在模組的步階響應波形部分，Hogge PD 的模組步階響應波形和實際響應波形因為有鎖相誤差的關係，所以，會有一小段偏移。而 Hogge PD 改進型因為其工作原理觀念跟 Hogge PD 相近，其模組也會跟 Hogge PD 相近，而由其模組步階響應波形也可看出和實際響應波形很接近。

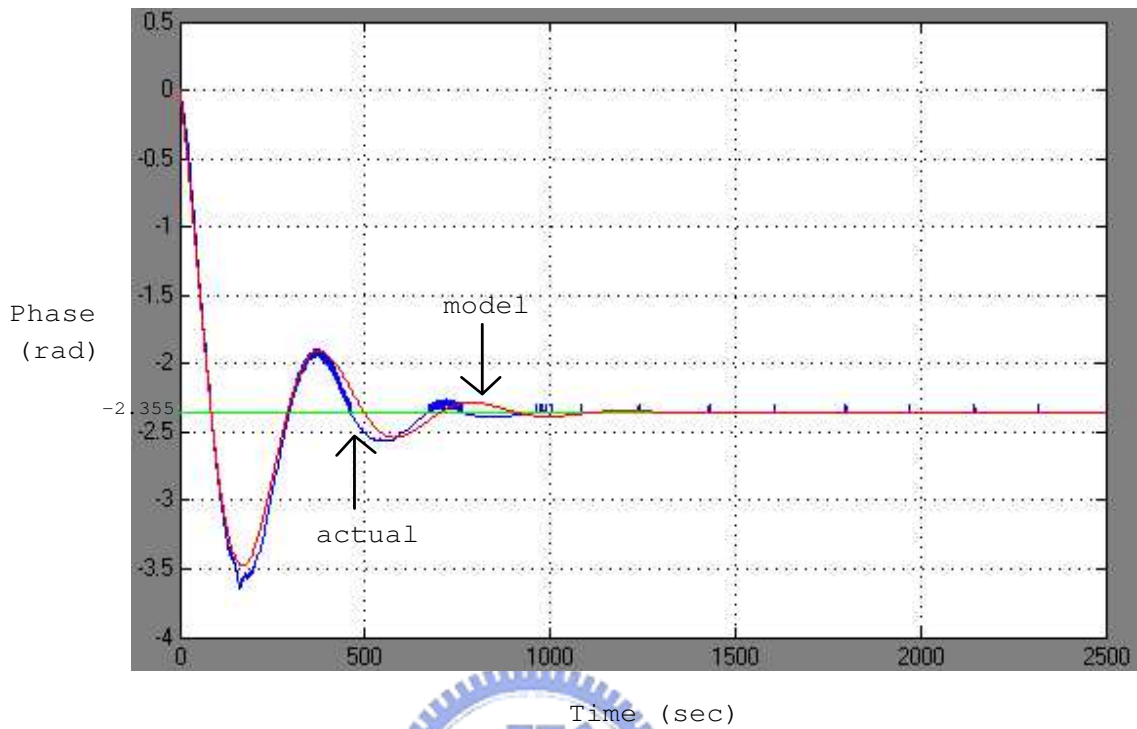


圖 3.14: Hogge PD 改進型在時脈領先時的鎖相響應模擬圖

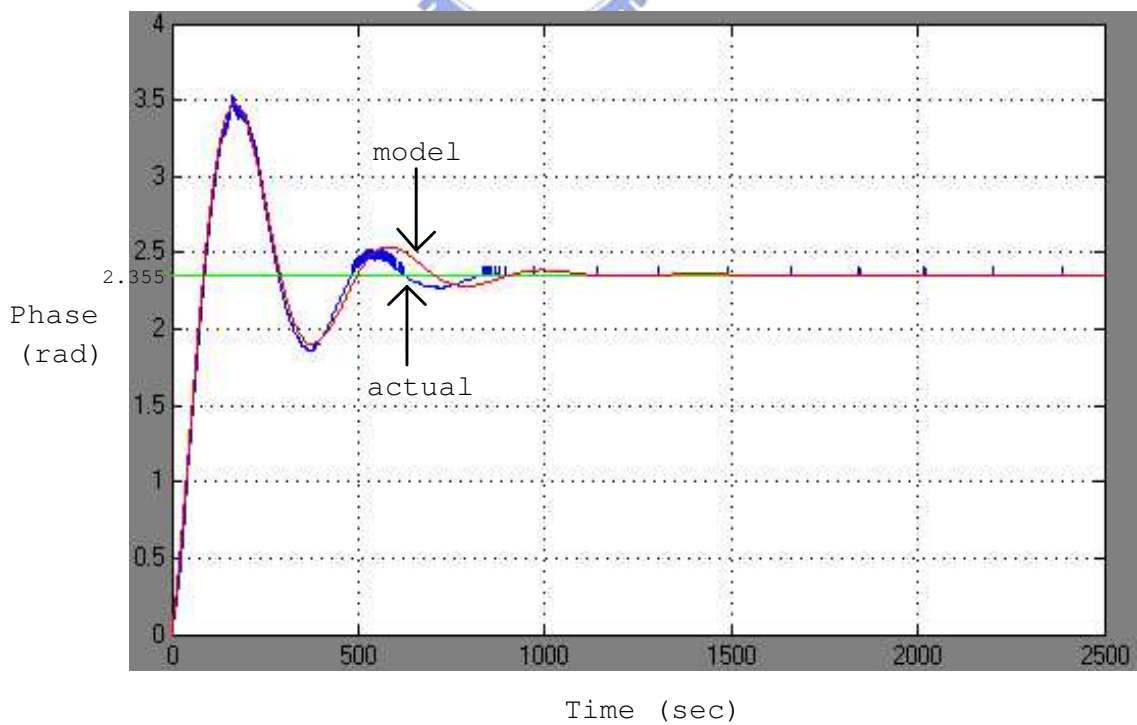


圖 3.15: Hogge PD 改進型在時脈落後時的鎖相響應模擬圖

第 4 章

結合相位偵測器及頻率偵測器之鎖相迴路模擬與比較

在本章裡，先說明在初始頻率不同情況下，相位偵測器必須藉由頻率偵測器來使整個鎖相迴路達到鎖相的目的；接下來，我們將分析比較二種頻率偵測器的工作原理及特性，再使用一個頻率偵測器結合至之前五個相位偵測器的鎖相迴路架構中，來模擬其鎖頻的情形。

4.1 簡介

在前面幾個章節的相位偵測器能達到鎖相的效果是基於 NRZ 訊號和壓控振盪器時脈其頻率都相同的條件下，但是，在真實情況中，往往當一個鎖相迴路開啓時，其振盪器的頻率並不等於 NRZ 輸入訊號的頻率，也就是迴路沒被鎖定，而迴路由未鎖定狀態到鎖定狀態的轉換為一個非線性的現象，因為相位偵測器量測不到不相等的頻率。為了補救這個問題，現代的鎖相迴路除了相位偵測器以外還使用了頻率偵測器，如圖 4.1 所表示；其中的加法器是類比加法器，藉由頻率偵測器來比較壓控振盪器時脈頻率和 NRZ 訊號頻率，當壓控振盪器時脈頻率較快時，則會送出負電壓值，以減慢壓控振盪器時脈的頻率，此輸出量值大約為相位偵測器輸出量值的 3-5 倍，在本論文模擬是訂為 3 倍；相反的，壓控振盪器時脈頻率較慢時，則會送出正電壓值。而相位偵測器則是在頻率偵測器送出正、負電壓修正值時，其輸出將不會送至壓控振盪器，也就是此時期由頻率偵測器的輸出來調整壓控振盪器時脈的頻率；但是當壓控振盪器時脈頻率和 NRZ 訊號頻率差距夠小時，頻率偵測器輸出將不會送至壓控振盪器，此時就由相位偵測器來微調其彼此的相位差使其最後達到鎖相的目的。

4.2 頻率偵測器的分析與模擬

根據上面觀念，我們必須結合頻率偵測器來修正頻率差，在文獻 [7] 是使用 Quadricorrelator 的方法；文獻 [8] 則是使用旋轉頻率偵測器 (Rotational Frequency Detector) 的方法；文獻 [9] 它也是使用旋轉頻率偵測器的觀念，且具有相位偵測器的功能，為一個相位及頻率偵測器 (PFD)；而文獻 [10] 是結合文獻 [9] 和 Alexander PD 使用雙迴路的方法。在本論文中，由於我們要結合之前所討論過的相位偵測器，所以，我們是使用一個典型的四象限旋轉頻率偵測器 (Four-Phase Rotational Frequency Detector) 來作為頻率偵測器使其達到鎖相目的。接下來，我們除了分析旋轉頻

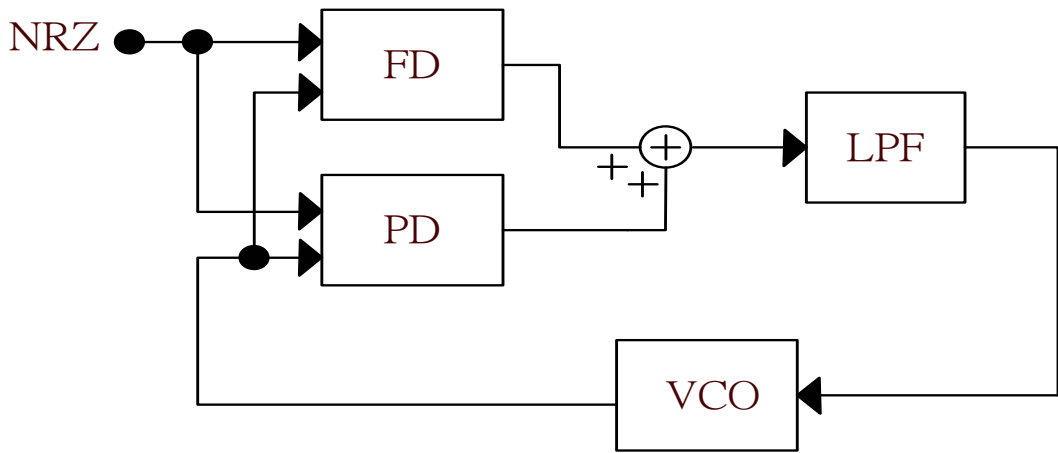


圖 4.1: 使用頻率偵測器的鎖相迴路架構示意圖

率偵測器的工作原理特性外, 也對文獻 [9]作分析與討論, 以了解如何使用旋轉頻率偵測器的觀念來達到相位及頻率偵測器的功能。

4.2.1 旋轉頻率偵測器的分析與模擬

旋轉頻率偵測器其架構如圖 4.2 所示, 其中, D 型正反器 u1、u2、u3、u4 皆為雙緣觸發, u5、u6 則是四輸入的及閘 (And Gate), 訊號 g 則是壓控振盪器時脈延遲 $\frac{1}{4}$ 週期的訊號, 也就是相位落後其 90 度的訊號, 而加法器是類比加法器。

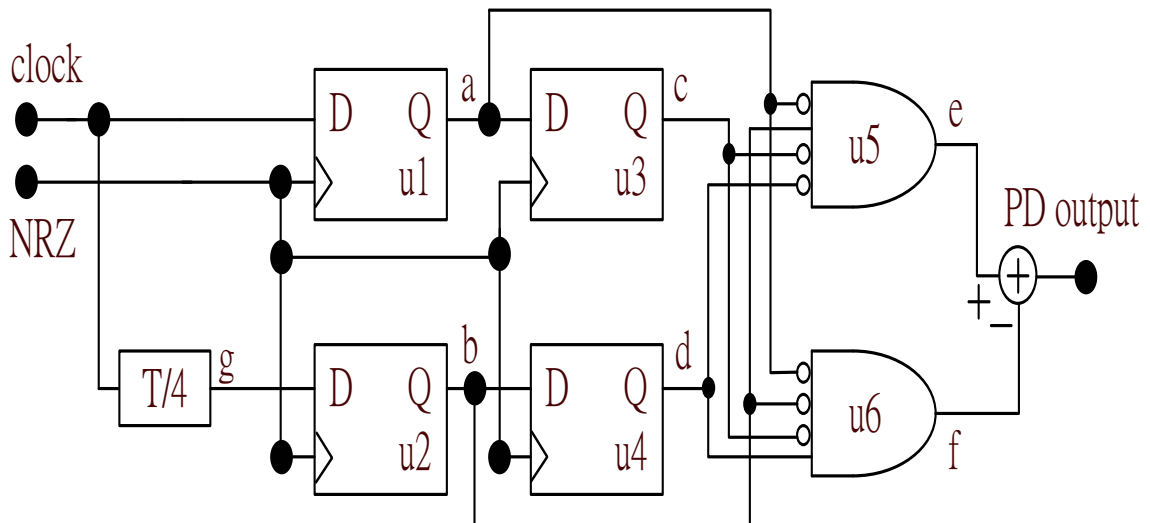


圖 4.2: 旋轉頻率偵測器的電路架構圖

判斷頻率快慢的規則如圖 4.3 所示，圖中的 1 和 0 為邏輯準位；若壓控振盪器時脈頻率較快時，則 (a,b) 狀態的改變將會是順時鐘方向；若壓控振盪器時脈頻率較慢時，則 (a,b) 狀態的改變將會是逆時鐘方向。因此，由圖 4.2 我們可得知當壓控振盪器時脈頻率較快，且 (a,b) 狀態由 (0,1) 轉變成 (0,0) 時，則訊號 f 會有正準位，使得頻率偵測器輸出為負準位，藉此來減慢壓控振盪器的頻率；而當壓控振盪器時脈頻率較慢，且 (a,b) 狀態由 (0,0) 轉變成 (0,1) 時，則訊號 e 會有正準位，使得頻率偵測器輸出為正準位，藉此來加快壓控振盪器的頻率。

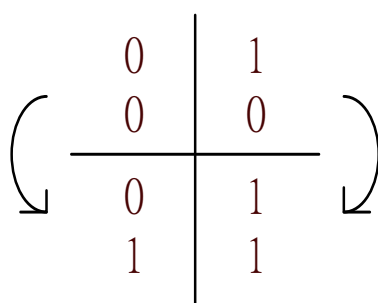


圖 4.3: 旋轉頻率偵測器的狀態規則

以下將分別用時脈波形模擬來驗證其旋轉方向，當壓控振盪器時脈頻率較快時的波形模擬圖如圖 4.4 所示，壓控振盪器時脈頻率較慢時的波形模擬圖如圖 4.5 所示。由圖 4.4，我們可看出狀態是順時鐘方向改變，其中在時間 5 秒時，由於 (a,b,c,d) 的值從 (0,1,1,1) 變成 (0,0,0,1)，所以, f 的值變成 1，因此，頻率偵測器輸出為-1；而在圖 4.5，我們可看出狀態是逆時鐘方向改變，其中在時間 3 秒時，由於 (a,b,c,d) 的值從 (0,0,1,1) 變成 (0,1,0,0)，8 秒時，(a,b,c,d) 的值從 (0,0,1,0) 變成 (0,1,0,0)，所以, e 的值變成 1，因此，頻率偵測器輸出為 1。

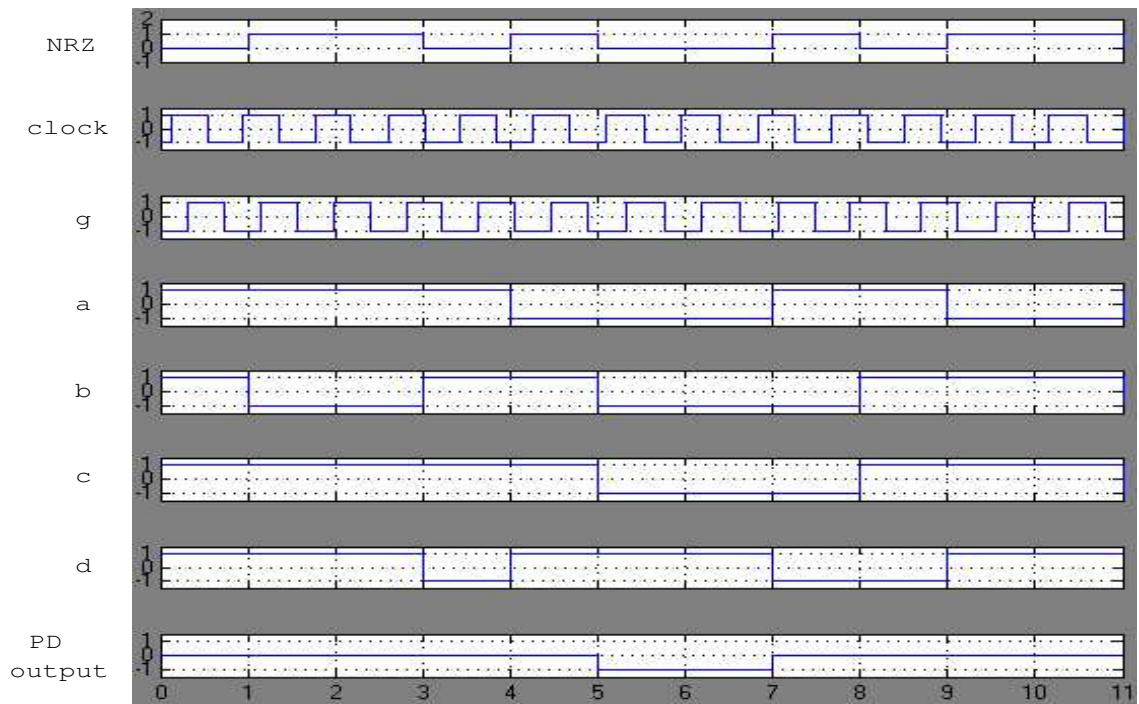


圖 4.4: 旋轉頻率偵測器在時脈頻率較快時的波形圖

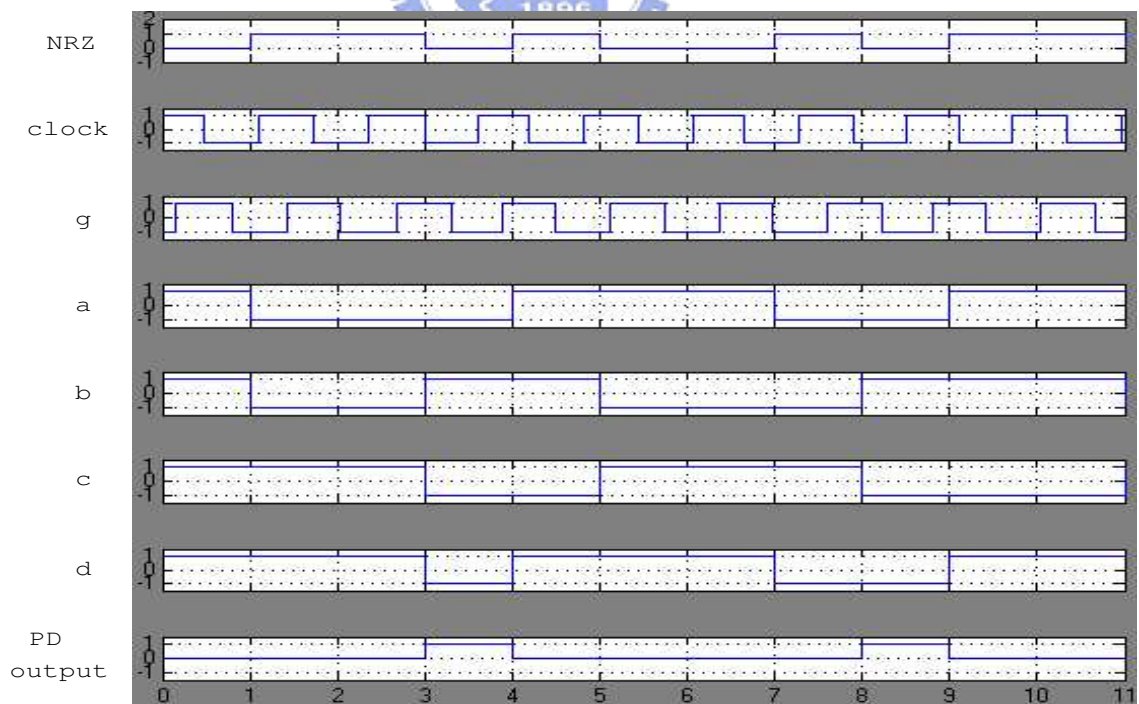


圖 4.5: 旋轉頻率偵測器在時脈頻率較慢時的波形圖

4.2.2 使用旋轉頻率偵測器觀念的相位及頻率偵測器

文獻 [9]的電路架構如圖 4.6所示, 其中, 加法器是類比加法器, PD和 QPD 的電路是相同的取樣與保持單元 (Sample-And-Hold Cell), 其功能是和雙緣觸發的 D 型正反器相同, 也就是當 NRZ 訊號轉變時會觸發 PD 和 QPD, 使其分別取樣壓控振盪器時脈和延遲 90 度相位的壓控振盪器時脈的資料而輸出 Q1 和 Q2; 其中, Q1 送入 FD 的觸發端, Q2 則送至 FD 的輸入端, Q3 為 FD 的輸出, 而整個相位及頻率偵測器的輸出為 $Q1+Q3$ 。FD 的工作規則如表 4.1 所示, 當 Q1 波形為上升緣且 Q2 值為-1 時, 則 Q3 的值轉變為-1; 當 Q1 波形為下降緣且 Q2 值為-1 時, 則 Q3 的值轉變為 1; 若 Q2 值為 1, 則不管 Q1 為上升緣或下降緣, 則 Q3 的值都變為 0。因此, 當頻率差足夠小, 也就是頻率達到鎖定时, Q2 的值會一直維持在 1, 而 Q3 的值會固定為 0。以下將分別用壓控振盪器時脈較快及較慢的模擬圖來說明其電路觀念, 壓控振盪器時脈頻率較快的模擬圖如圖 4.7 所示, 壓控振盪器時脈頻率較慢的模擬圖如圖 4.8 所示。

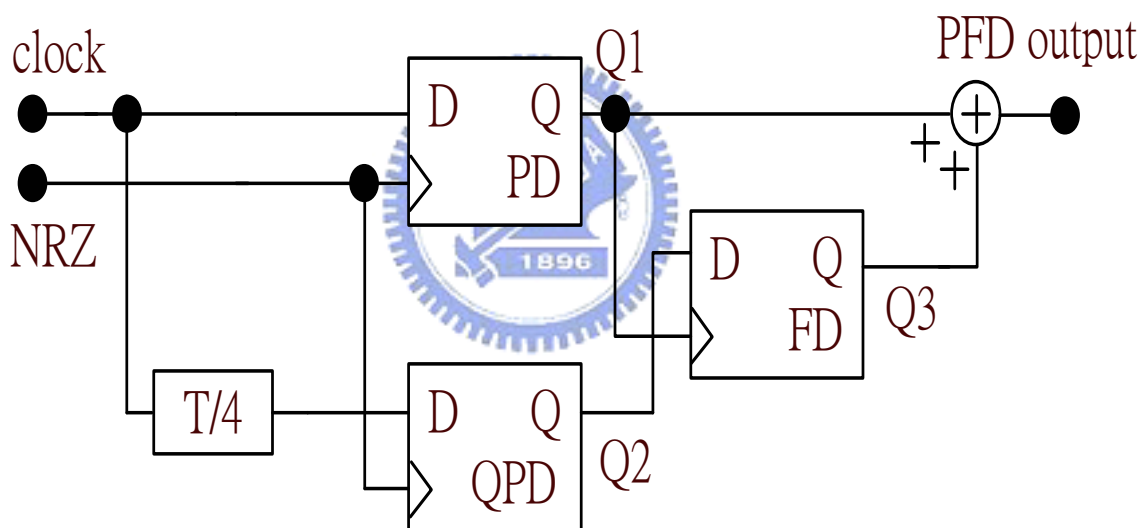


圖 4.6: 相位及頻率偵測器的電路架構圖

	Q1	Q2	Q3
上升或下降緣		1	0
上升緣		-1	-1
下降緣		-1	1

在時脈頻率較快的模擬圖中, 可看出 $(Q1, Q2)$ 的變化為 $(1,0), (1,1), (0,1), (0,0)$ 循環改變, 而時脈頻率較慢的模擬圖中, $(Q1, Q2)$ 的變化則為 $(1,0), (0,0), (0,1), (1,1)$ 循環改變, 這與上一小節旋

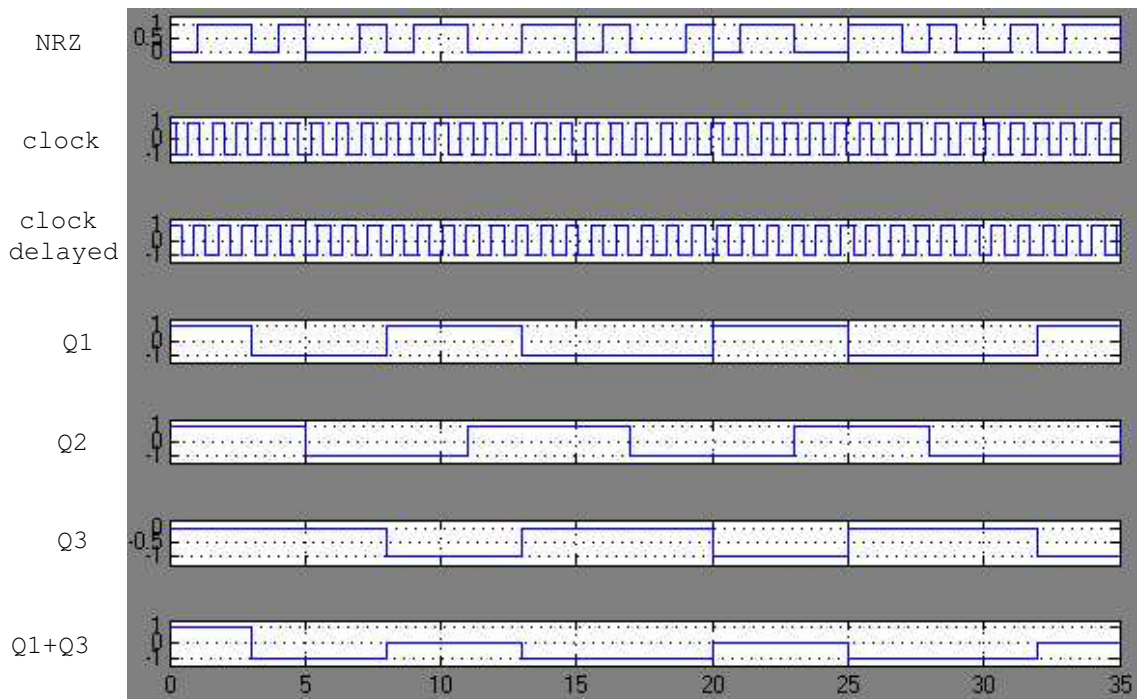


圖 4.7: 相位及頻率偵測器時脈頻率較快的波形圖

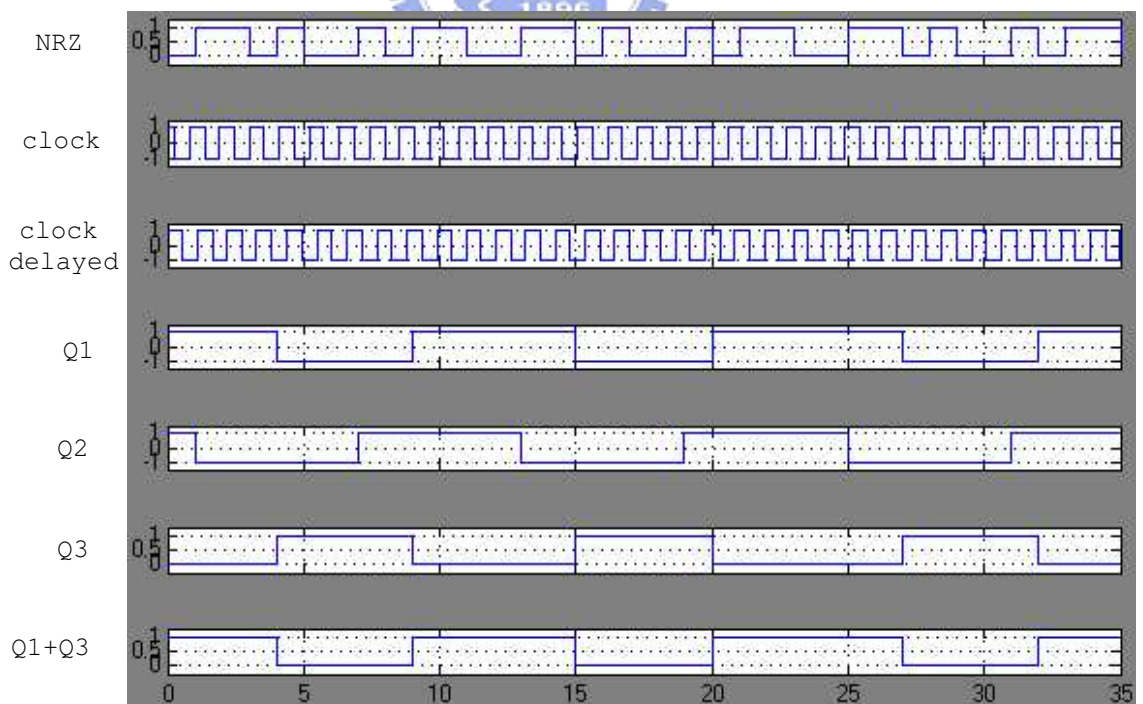


圖 4.8: 相位及頻率偵測器時脈頻率較慢的波形圖

轉頻率偵測器的狀態改變規則相同；而其中 PD 的工作方式也跟我們之前所討論使用 D 型正反器來偵測相位方式一致，也就是當相位落後時，Q1 值為 1，時脈相位領先時，Q1 值為-1，因此，此篇文獻是取用 D 型正反器觀念來作為相位偵測器，而採用旋轉頻率偵測器觀念來作為頻率偵測器，並結合電路達到相位及頻率偵測器的功能。

在時脈頻率較快時，當 Q1 值為 1，代表相位落後，因此相位及頻率偵測器的輸出 $Q1+Q3$ 為 0，而不改變壓控振盪器的時脈頻率；但是，當 Q1 值為-1時，代表相位領先，相位及頻率偵測器的輸出 $Q1+Q3$ 為-1，而減慢壓控振盪器的時脈頻率。在時脈頻率較慢時，當 Q1 值為-1，代表相位領先，因此相位及頻率偵測器的輸出 $Q1+Q3$ 為 0，而不改變壓控振盪器的時脈頻率；但是，當 Q1 值為 1 時，代表相位落後，相位及頻率偵測器的輸出 $Q1+Q3$ 為 1，而加快壓控振盪器的時脈頻率。

然而，此電路與旋轉頻率偵測器比較，它的優點是它不但具有頻率偵測器功能還具備了相位偵測器功能，且其電路結構比旋轉頻率偵測器簡單，所用元件個數比較少；但是，以收斂範圍 (Pull In Range) 來看，由於文獻中實現電路的限制，當 Q1 發生轉變的瞬間，Q2 也同時發生轉變時，則此時 FD 將有無法預期的輸出，而造成錯誤的輸出，因此，文獻中的收斂範圍被限制在當 NRZ 訊號下次轉變時觸發所取樣到的壓控振盪器時脈值，與上一次取樣值的位移差距必須在 $\frac{1}{4}$ 的時脈週期內。



4.3 使用頻率偵測器達到鎖頻的模擬結果

我們將在相同條件下，分別模擬文獻中相位及頻率偵測器以及旋轉頻率偵測器的鎖頻情形，並由模擬結果比較其鎖頻速度與鎖頻範圍，最後再使用旋轉頻率偵測器分別結合到之前五個相位偵測器的鎖相迴路中來模擬鎖頻的情形。

4.3.1 旋轉頻率偵測器與相位及頻率偵測器的鎖頻比較

使用相位及頻率偵測器的鎖相迴路之 simulink 架構圖如圖 4.9 所示，使用旋轉頻率偵測器的鎖相迴路之 simulink 架構圖如圖 4.10 所示。

我們使用時脈分別在 1.1HZ 及 0.9HZ 頻率來模擬其最後鎖頻到 1hz 的現象，其中，由於相位及頻率偵測器的相位偵測器功能是跟 D 型正反器相同，因此，在旋轉頻率偵測器部分我們是搭配使用 D 型正反器來作為相位偵測器，再和相位及頻率偵測器相同充電幫浦電流以及相同低通濾波器和相同壓控振盪器條件下來模擬其鎖頻現象。由於

$$\omega_c = k_c e(t) + \omega_o \quad (4.1)$$

其中， ω_c 為壓控振盪器輸出頻率， k_c 為壓控振盪器增益， $e(t)$ 為壓控振盪器的受控電壓， ω_o 為壓控振盪器的初始頻率。所以，我們可根據這個式子使用 simulink 模擬出鎖頻的現象；相位及頻率偵測器在時脈頻率較快時的鎖頻模擬圖如圖 4.11 所示，在時脈頻率較慢時的鎖頻模擬圖如圖 4.12 所示，旋轉頻

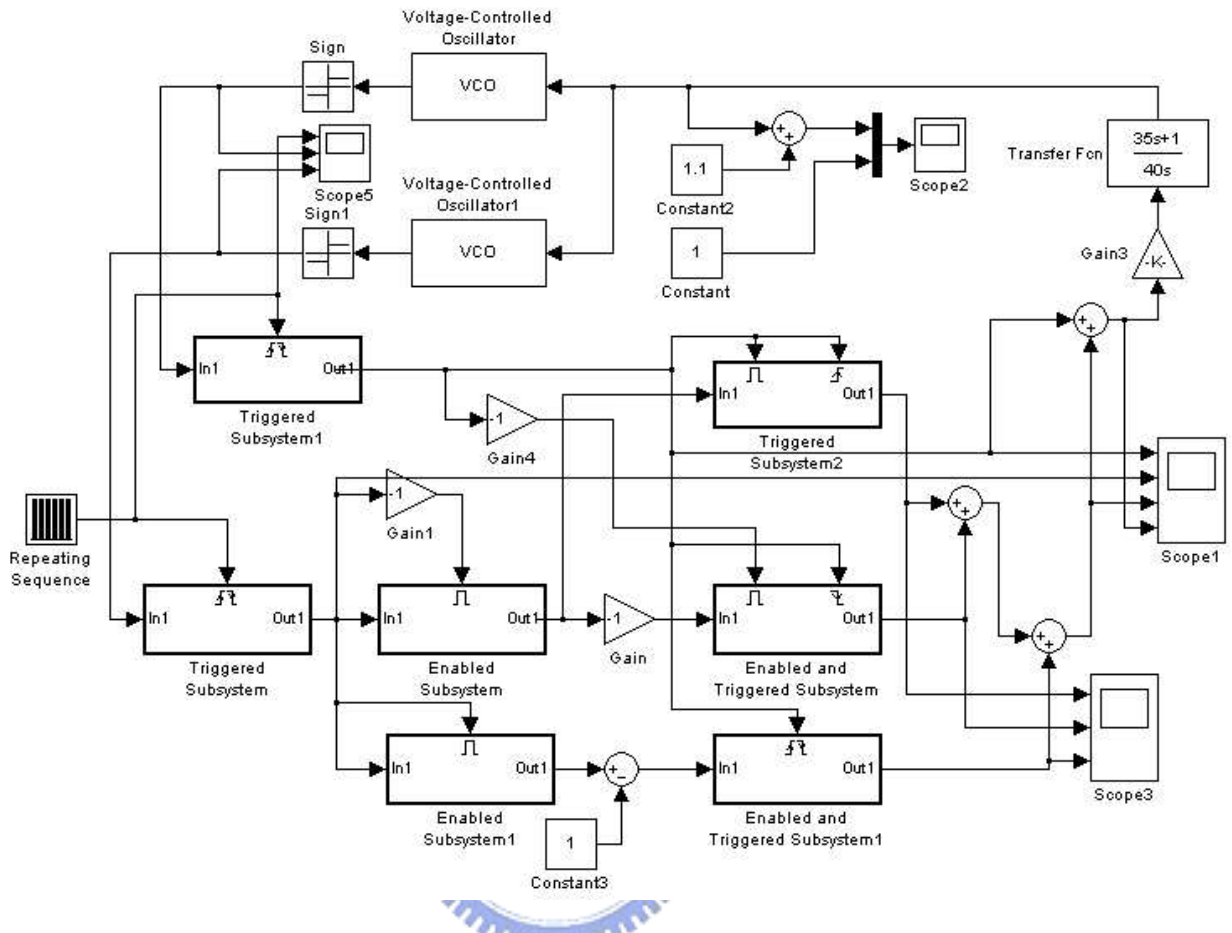


圖 4.9: 使用相位及頻率偵測器的鎖相迴路之simulink 架構圖

率偵測器在時脈頻率較快時的鎖頻模擬圖如圖 4.13 所示，在時脈頻率較慢時的鎖頻模擬圖如圖 4.14 所示。

可發現不管時脈在頻率較快或頻率較慢時，相位及頻率偵測器其鎖頻速度皆會比較快，我們可由相位及頻率偵測器在時脈頻率較快的波形圖圖 4.15，以及旋轉頻率偵測器在時脈頻率較快的波形圖圖 4.16 來說明此情形，由於相位及頻率偵測器在時脈頻率較快時，當相位偵測器輸出反應相位落後時，則相位及頻率偵測器輸出為 0，而不調整壓控振盪器頻率，而當相位偵測器輸出反應相位領先時，則相位及頻率偵測器輸出為 -1，以減慢壓控振盪器頻率，在時脈頻率較慢時，當相位偵測器輸出反應相位領先時，則相位及頻率偵測器輸出為 0，而不調整壓控振盪器頻率，而當相位偵測器輸出反應相位落後時，則相位及頻率偵測器輸出為 1，以加快壓控振盪器頻率，因此從圖我們可看出，其頻率偵測器的輸出會配合相位偵測器的輸出而產生相位及頻率偵測器的輸出修正值，此修正值在每個時脈週期都能正確的修正其頻率差。

我們設計旋轉頻率偵測器結合到鎖相迴路，則是當頻率偵測器送出正、負電壓修正值時，相位偵測器其輸出將不會送至壓控振盪器，然而旋轉頻率偵測器只會在 (0,0)(0,1) 這二種狀態變換時，才

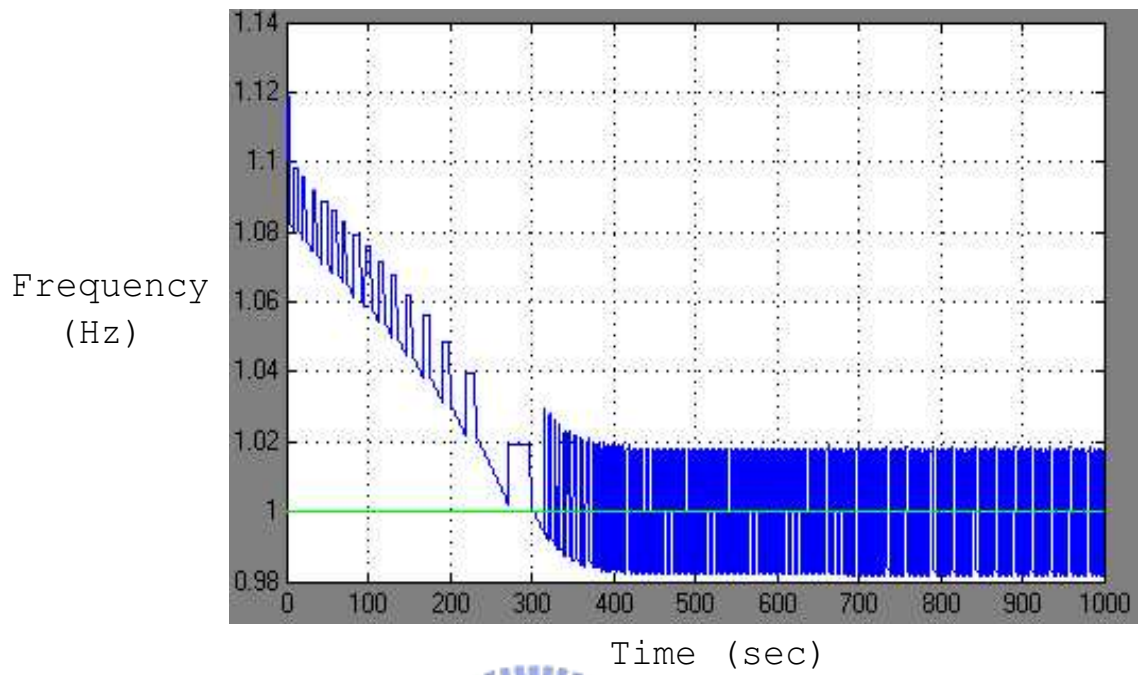


圖 4.11: 相位及頻率偵測器在時脈頻率較快時的鎖頻模擬圖

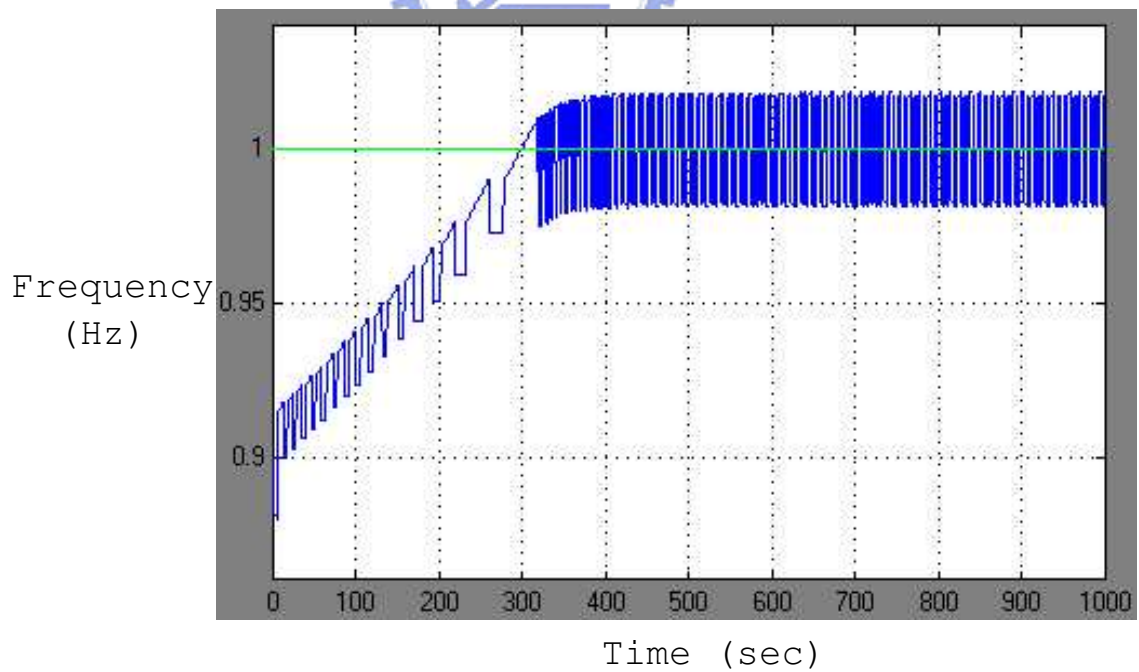


圖 4.12: 相位及頻率偵測器在時脈頻率較慢時的鎖頻模擬圖

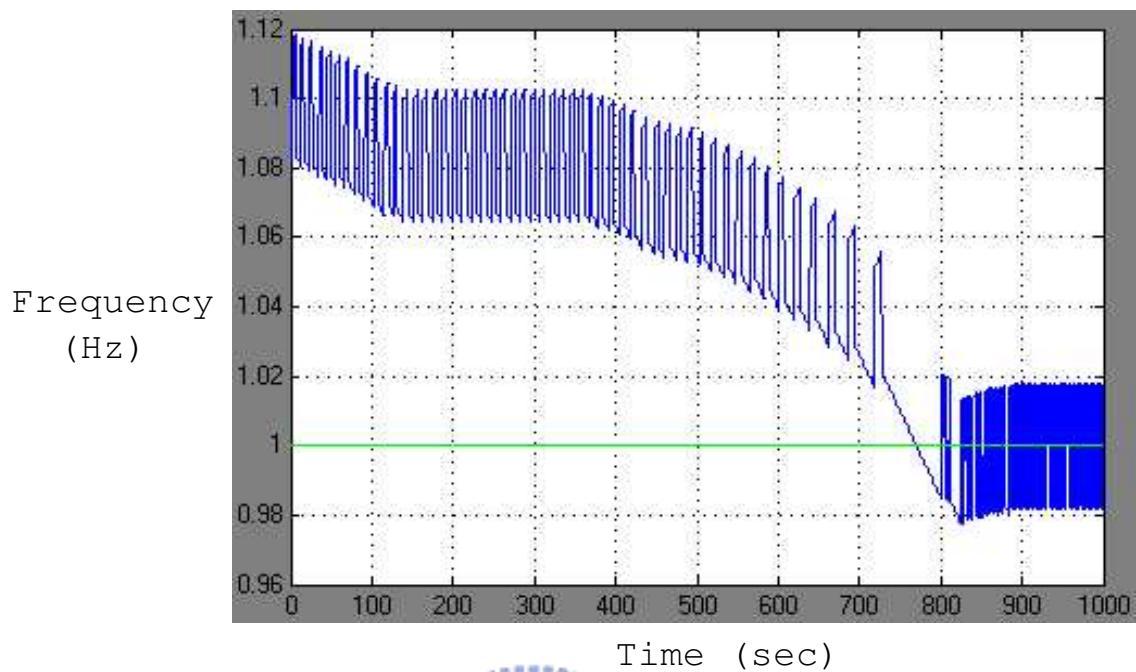


圖 4.13: 旋轉頻率偵測器在時脈頻率較快時的鎖頻模擬圖

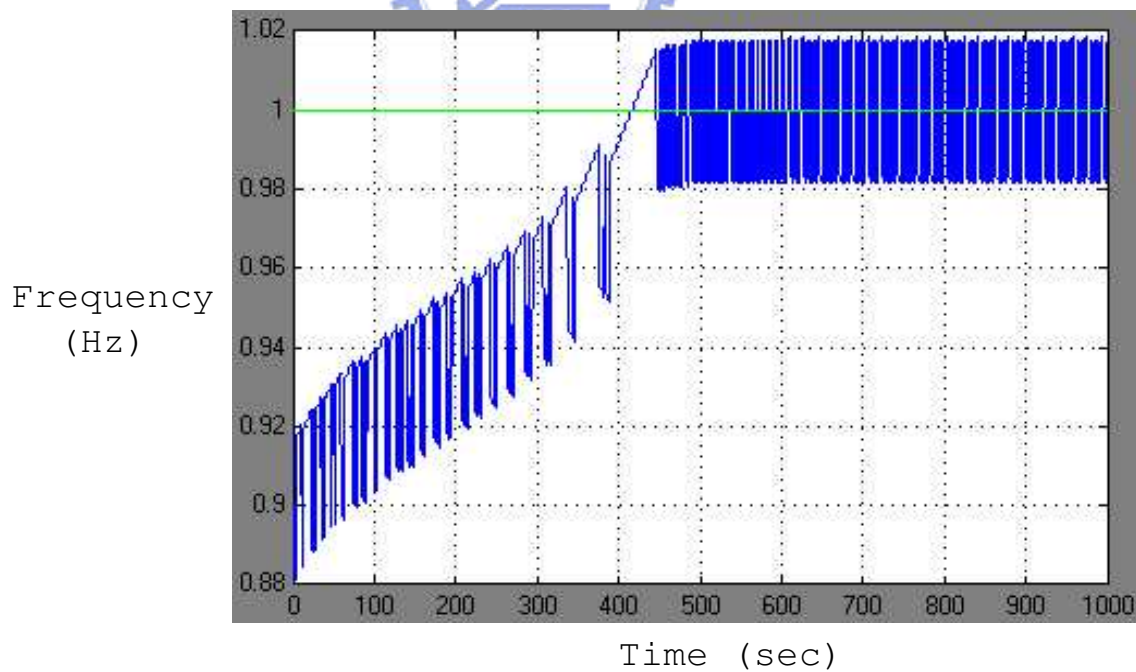


圖 4.14: 旋轉頻率偵測器在時脈頻率較慢時的鎖頻模擬圖

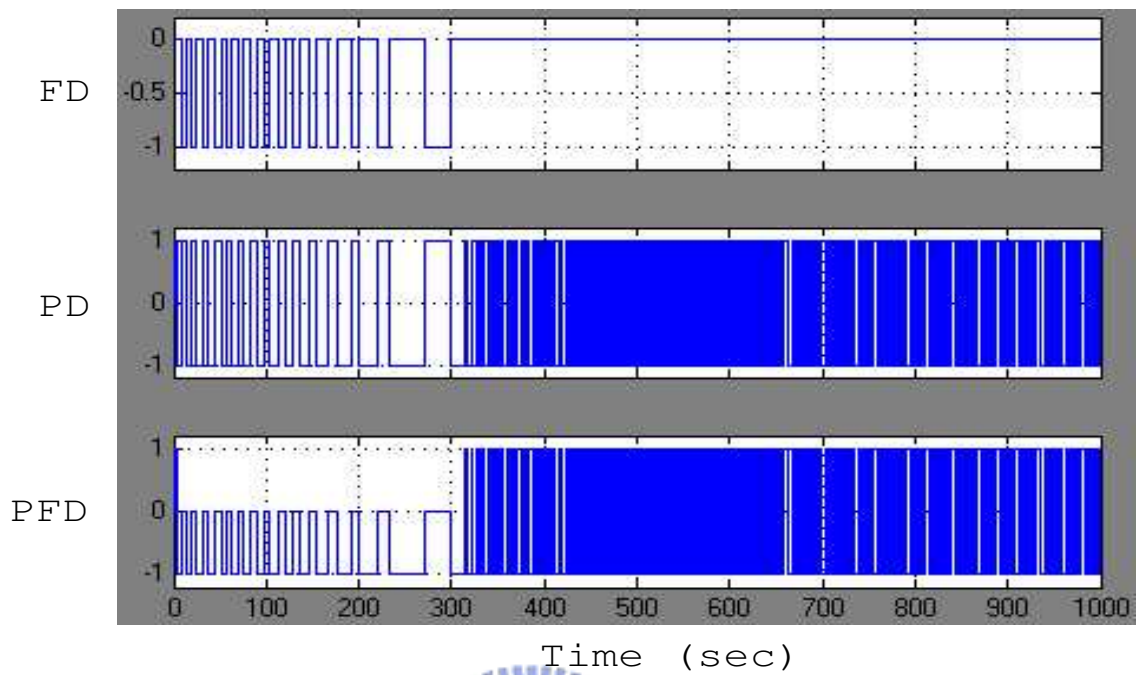


圖 4.15: 相位及頻率偵測器在時脈頻率較快時的波形圖

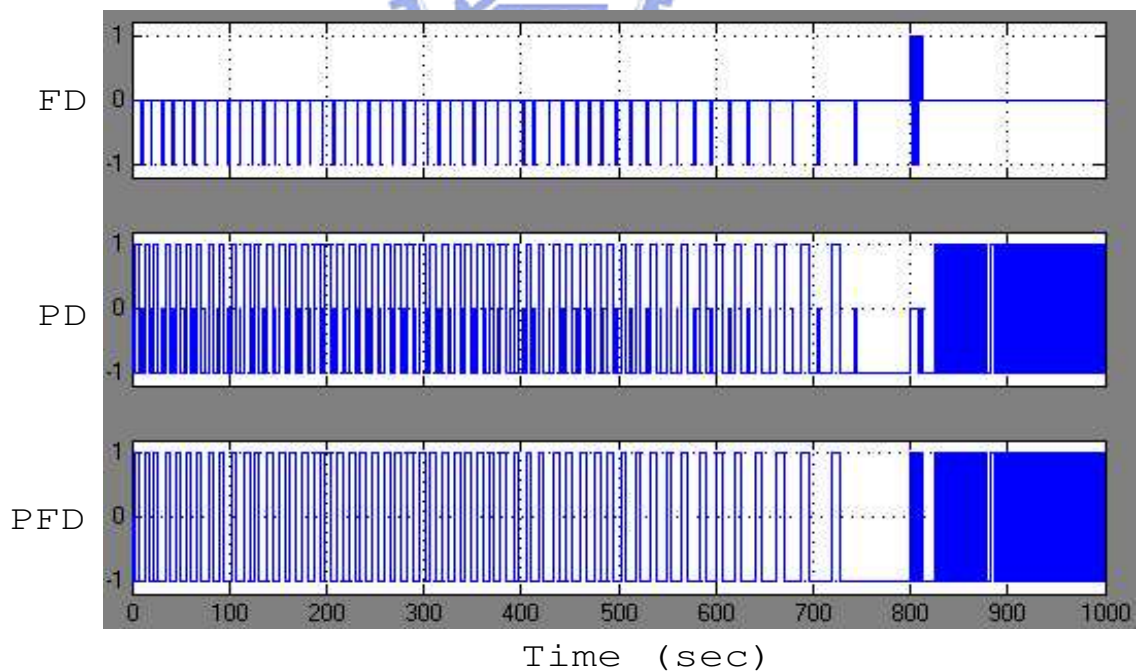


圖 4.16: 旋轉頻率偵測器在時脈頻率較快時的波形圖

4.3.2 使用旋轉頻率偵測器達到鎖頻的模擬結果

我們將分別使用四象限旋轉頻率偵測器來結合到之前五個相位偵測器的鎖相迴路中，來模擬初始頻率不同而能達到頻率鎖定的效果。其中,NRZ 訊號和壓控振盪器時脈的初始時頻率差正負百分之二十, 也就是設 NRZ 訊號為 1HZ, 壓控振盪器時脈分別為 0.8HZ 和 1.2HZ; 而頻率偵測器輸出在充電幫浦電流值為相位偵測器輸出在充電幫浦電流值的 3 倍。D型正反器作為相位偵測器在時脈頻率較快時的鎖頻模擬圖如圖 4.17 所示, 而時脈頻率較慢時的鎖頻模擬圖如圖 4.18 所示;Alexander PD 在時脈頻率較快時的鎖頻模擬圖如圖 4.19 所示, 而時脈頻率較慢時的鎖頻模擬圖如圖 4.20 所示;Alexander PD 改進型在時脈頻率較快時的鎖頻模擬圖如圖 4.21 所示, 而時脈頻率較慢時的鎖頻模擬圖如圖 4.22 所示; Hogge PD 在時脈頻率較快時的鎖頻模擬圖如圖 4.23 所示, 而時脈頻率較慢時的鎖頻模擬圖如圖 4.24 所示;Hogge PD 改進型在時脈頻率較快時的鎖頻模擬圖如圖 4.25 所示, 而時脈頻率較慢時的鎖頻模擬圖如圖 4.26 所示; 以上模擬的結果皆有達到鎖頻。

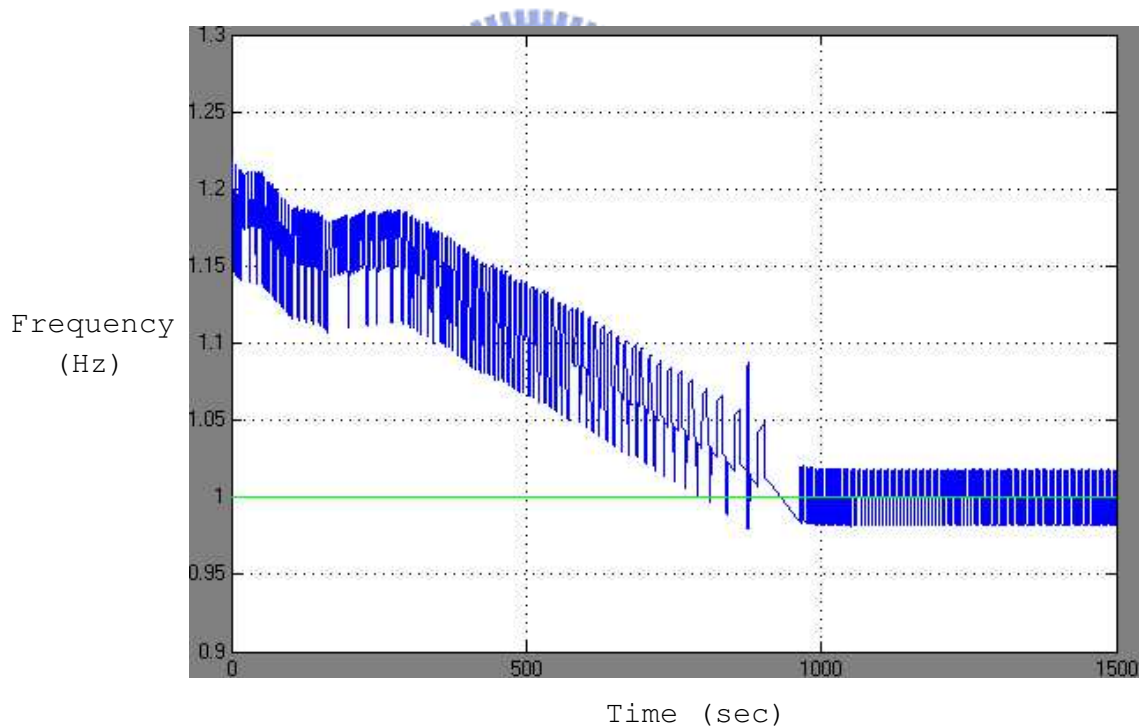


圖 4.17: D型正反器在時脈頻率較快時的鎖頻模擬圖

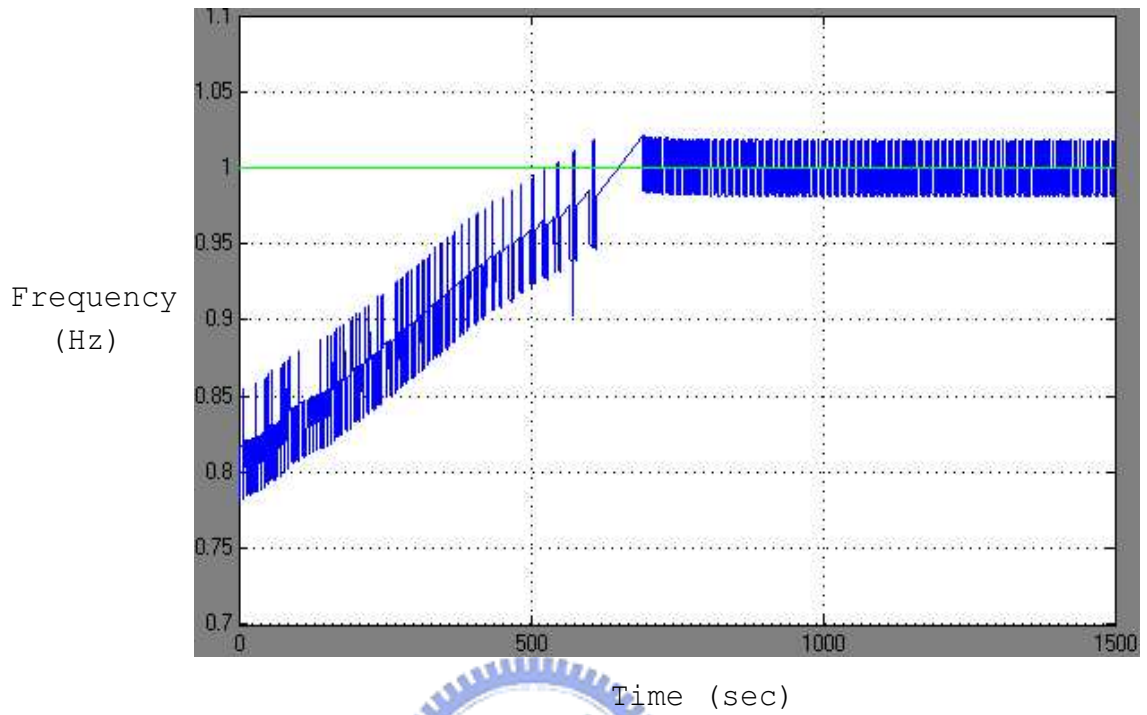


圖 4.18: D型正反器在時脈頻率較慢時的鎖頻模擬圖

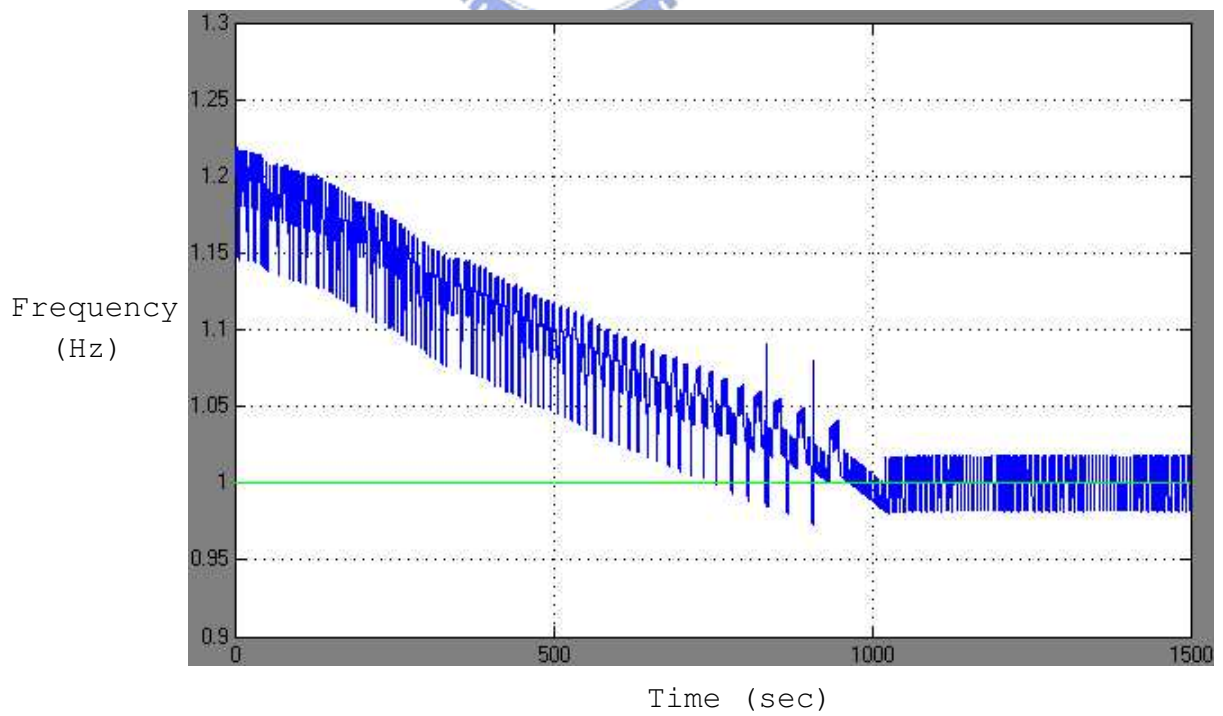


圖 4.19: Alexander PD 在時脈頻率較快時的鎖頻模擬圖

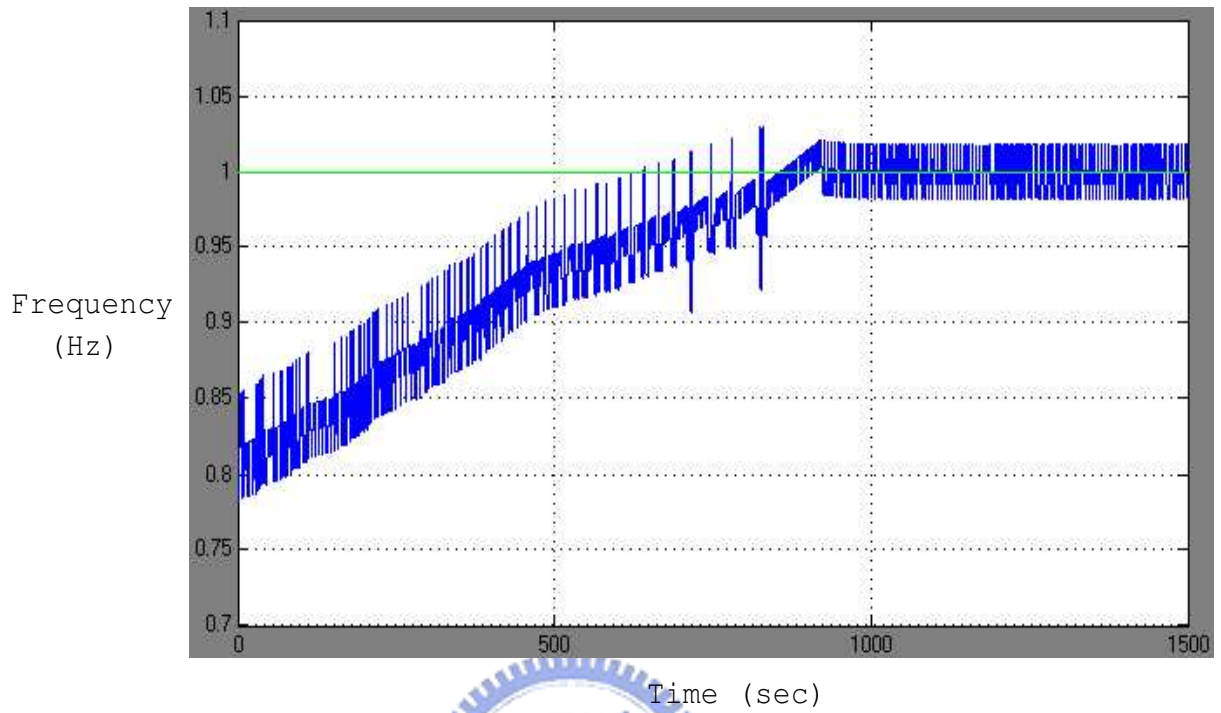


圖 4.20: Alexander PD 在時脈頻率較慢時的鎖頻模擬圖

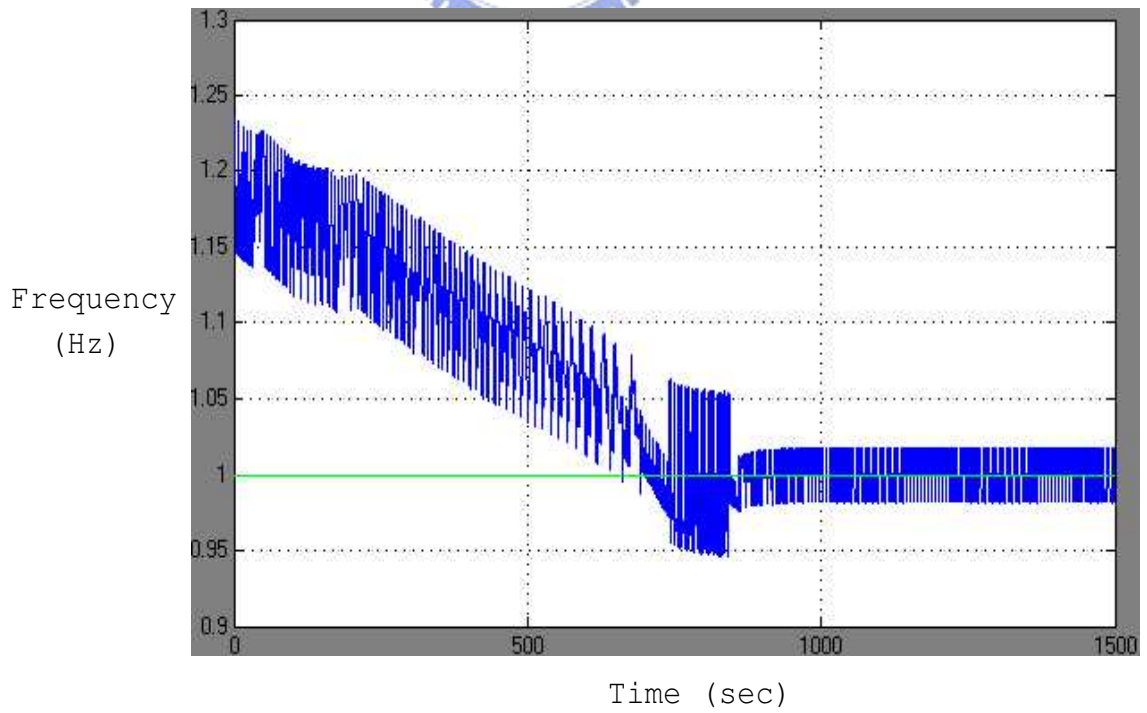


圖 4.21: Alexander PD 改進型在時脈頻率較快時的鎖頻模擬圖

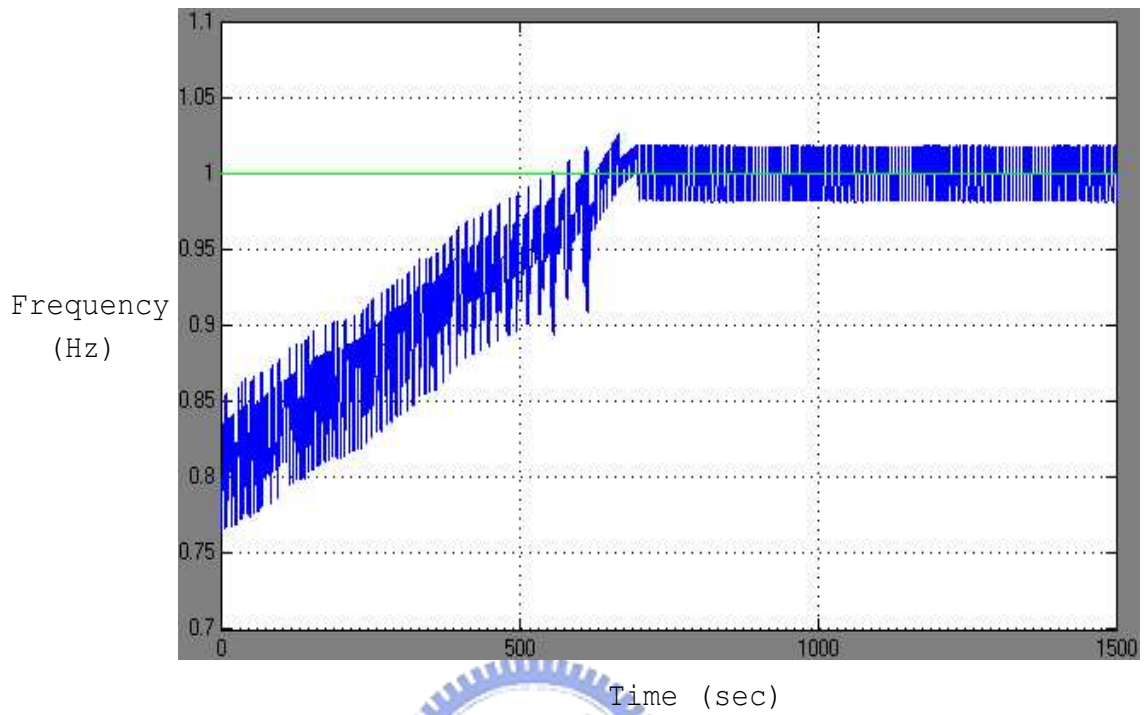


圖 4.22: Alexander PD 改進型在時脈頻率較慢時的鎖頻模擬圖

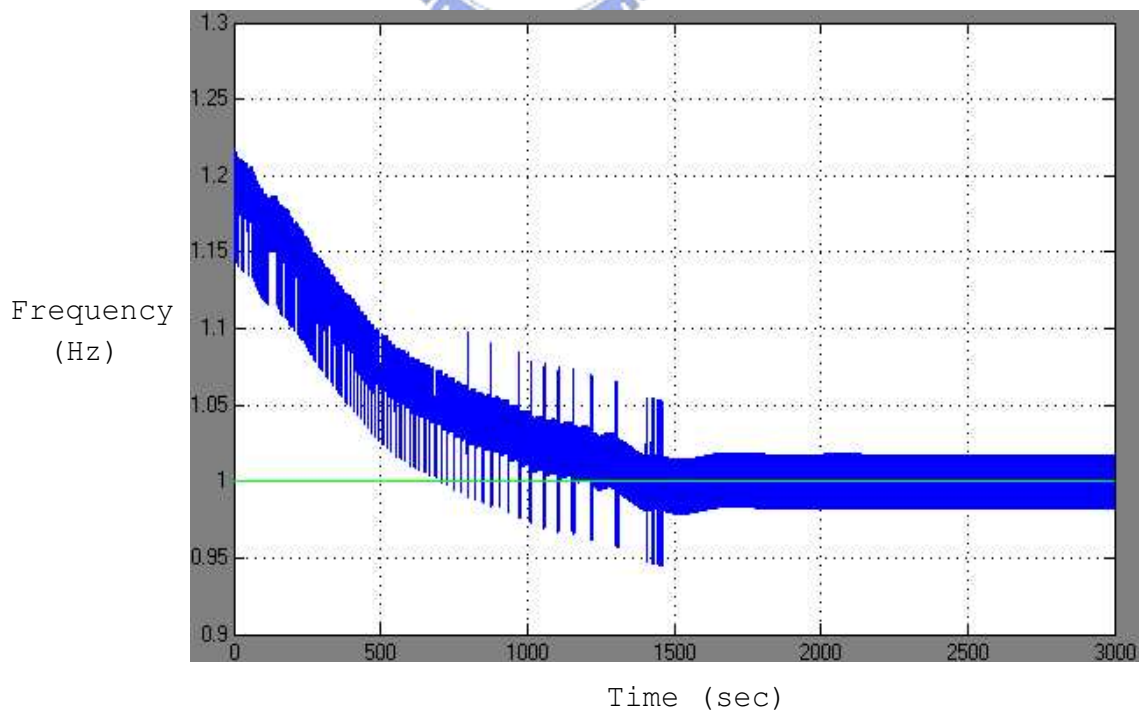


圖 4.23: Hogge PD 在時脈頻率較快時的鎖頻模擬圖

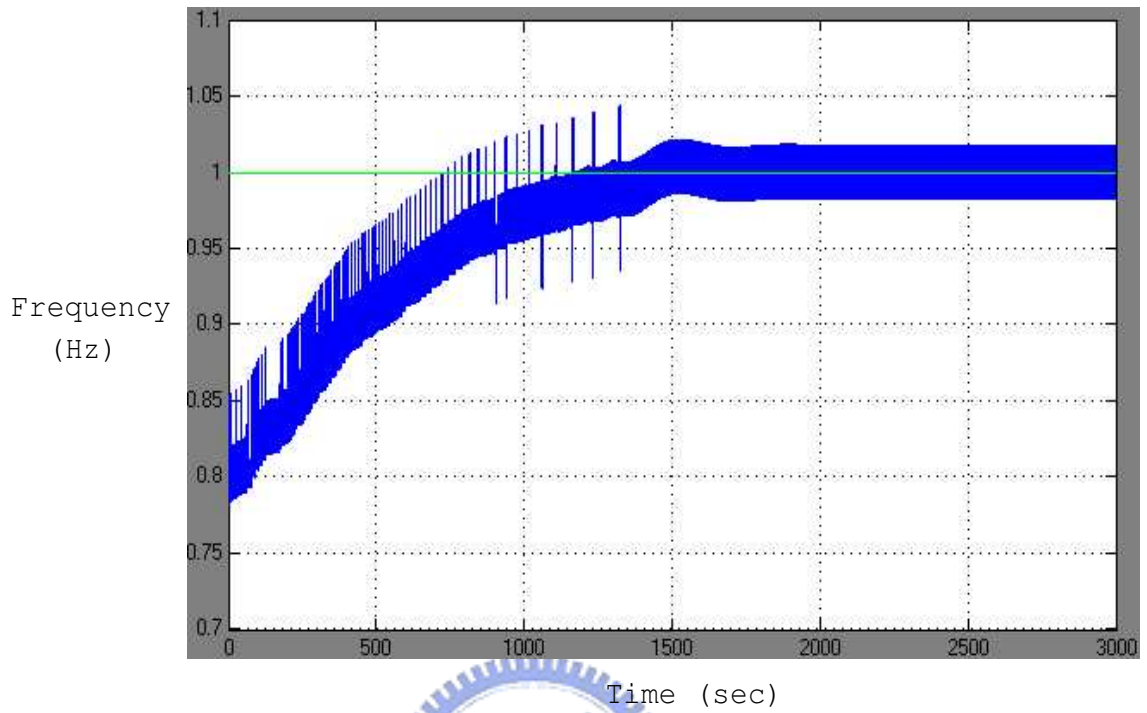


圖 4.24: Hogge PD 在時脈頻率較慢時的鎖頻模擬圖

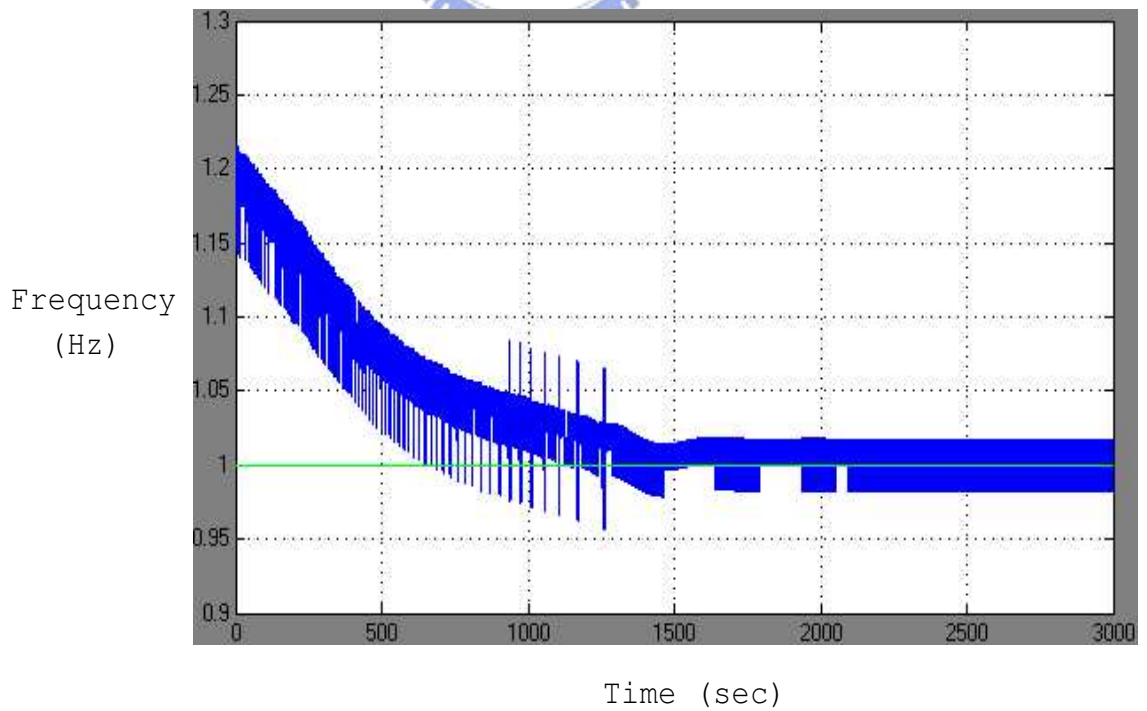


圖 4.25: Hogge PD 改進型在時脈頻率較快時的鎖頻模擬圖

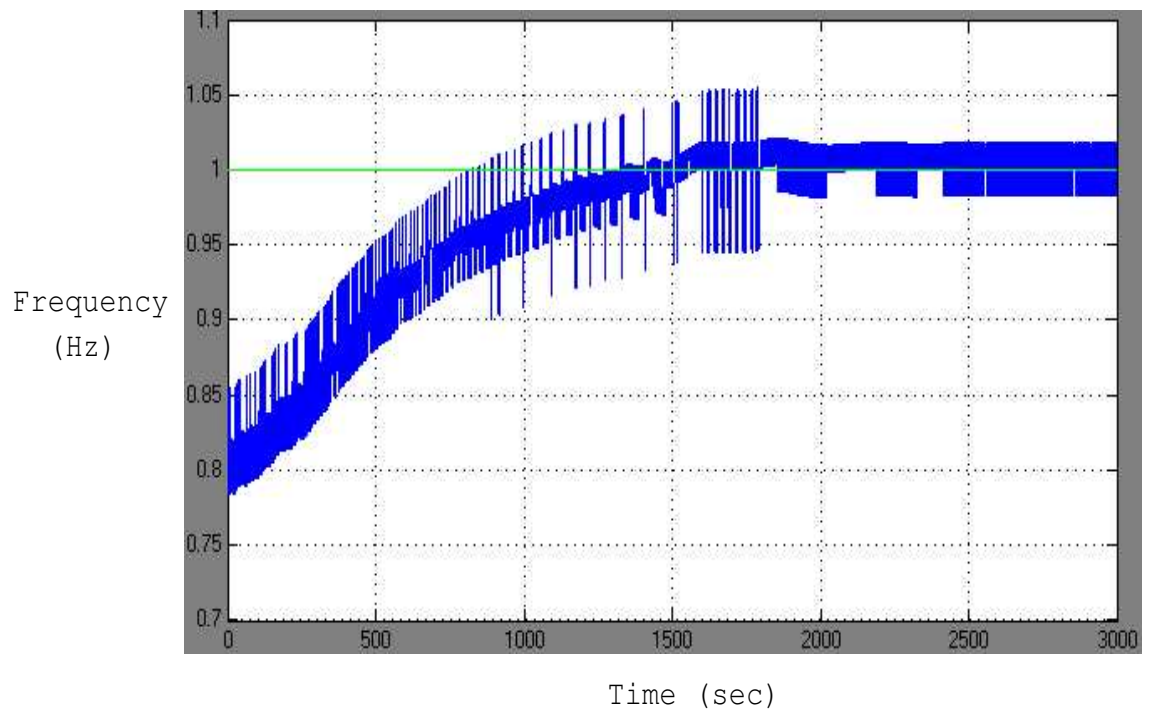


圖 4.26: Hogge PD 改進型在時脈頻率較慢時的鎖頻模擬圖

第 5 章

結論

能反應相位方向及能反應相位方向與大小的相位偵測器現在已普遍使用在各種鎖相迴路的架構中，而彼此也各有優缺點。在本論文中，Hogge PD 雖然能反映相位的方向及大小，但是我們觀察它和 Alexander PD 的模擬其鎖相的響應圖，我們可發現在沒有頻率差且相同相位差下，而 Hogge PD 要達到鎖相是更需要花時間的；其原因在於 Alexander PD 在此週期若偵測落後，則會在整段下週期時間內都送出正準位而提高壓控振盪器時脈的頻率，但是，Hogge PD 則必須藉由產生的正脈衝寬度和作為基準的負脈衝寬度來平均之後的淨值來控制壓控振盪器時脈的頻率，因此，Hogge PD 需要較多時間來達到鎖相；所以，這二種類型的相位偵測器各有其優缺點，該選用哪個就得視其鎖相迴路用途而定。最後，本論文也藉由增加頻率偵測器的方法，使得相位偵測器在初始頻率有差的情形下也能發揮功能使鎖相迴路達到鎖相的目的，不過，能達到鎖相的初始頻率差距範圍就得視所選用的頻率偵測器而定。

參考文獻

- [1] J.D.H. Alexander, "Clock Recovery from Random Binary Data," *Elect. Lett.*, vol. 11, pp. 541-542, Oct. 1975.
- [2] C.R. Hogge, "A Self-Correcting Clock Recovery Circuit," *IEEE J.Lightwave Tech.*, Vol. 3, pp. 1312-1314, Dec. 1985.
- [3] B. Lai and R.C. Walker, "A Monolithic 622 Mb/s Clock Extraction Data Retiming Circuit," in *ISSCC Dig. Tech. Papers*, pp. 144-145, Feb. 1991.
- [4] J. Savoj and B. Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit with a Half Rate Linear Phase Detector," *IEEE J. Solid-State Circuits*, Vol. 36, pp. 761-768, May 2001.
- [5] B. Razavi, *Design of Analog Cmos Integrated Circuits*, McGraw-Hill, 2001.
- [6] A. Rezaee and K. Martin, "A 9-16Gb/s Clock and Data Recovery Circuit with Three-State Phase Detector and Dual-Path Loop Architecture," *29th European Solid-State Circuits Conference*, Estoril, Portugal, pp. 683-686, 16-18 Sept. 2003.
- [7] H. Ransijn and P.O. Connor, "A PLL-Based 2.5 Gb/s Clock and Data Regenerator IC," *IEEE J.Solid-State Circuits*, vol. 26, No. 10, pp. 1345-1353, Oct. 1991.
- [8] L. DeVito, J. Newton, R. Croughwell, J. Bulzacchelli, and F. Benkley, "A 52 MHz and 55 MHz Clock-Recovery PLL," in *ISSCC Dig.Tech.Papers*, pp. 142-143, Feb. 1991.
- [9] A. Pottbacker, U. Langmann, and H.U. Schreiber, "A Si Bipolar Phase and Frequency Detector for Clock Extraction up to 8Gb/s," *IEEE J.Solid-State Circuits*, vol. 27, pp. 1747-1751, Dec. 1992.
- [10] T.S. Chen, Y.B. Luo, and L.R. Huang, "A 10 Gb/s Clock and Data Recovery Circuit with Binary Phase/Frequency Detector using TSMC 0.35um SiGe BiCMOS Process,"

The 2004 IEEE Asia-Pacific Conference, Tainan, Taiwan, vol. 2, pp. 981-984, 6-9 Dec. 2004.

