

國立交通大學

電機與控制工程學系

碩士論文

使用 0.18 um CMOS 實現多頻帶之電壓控  
制環型振盪器



Implementation of a Multi-band Voltage-Controlled  
Ring Oscillator Using 0.18 um CMOS

研究生：鄭國偉

指導教授：鄭木火博士

中華民國九十四年十月

使用 0.18 um CMOS 實現多頻帶之電壓控制環  
型振盪器

Implementation of a Multi-band Voltage-Controlled Ring  
Oscillator Using 0.18 um CMOS

研究生：鄭國偉                      Student：Kuo-Wei Cheng

指導教授：鄭木火                  Advisor：Mu-Huo Cheng



A Thesis

Submitted to Department of Electrical and Control Engineering  
College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements  
for the Degree of Master

in

Electrical and Control Engineering

Oct. 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年十月

# 使用 $0.18\mu m$ CMOS 實現多頻帶之電壓控制環型振盪器

研究生: 鄭國偉

指導教授: 鄭木火博士

國立交通大學電機與控制工程學系

## 摘要

本論文提出一個具有多頻帶的電壓控制環型振盪器 (Voltage-Controlled Ring Oscillator)。一般具有多重路徑 (multiple-pass) 的環型振盪器, 大都是設計在提升振盪器的振盪頻率。本論文利用多重路徑觀念, 設計出可以使其振盪頻率減慢的连接方式。然後再利用 NMOS 作為開關電路, 將加快振盪頻率的多重路徑振盪器電路與減慢振盪頻率的多重路徑振盪器電路結合在一起。由 NMOS 開關的切換去改變電路的连接路徑, 如此可得到更大的頻率調整範圍之振盪電路。由此設計, 每一差動放大級及所需開關共需使用 12 顆 MOS 電晶體, 其中有 8 顆是 NMOS 及 4 顆是 PMOS。本論文並以台灣積體電路製造股份有限公司 (TSMC)  $0.18\mu m$  1P6M CMOS 製程來模擬一含九級差動放大的電壓控制環型振盪器。由後端模擬結果 (Post-Sim) 顯示, 在工作電壓為 1.8V 下, 此振盪器的消耗功率為 91.4 mW, 在中心頻率為 2GHz, 偏移頻率 1MHz 情況下, 相位雜訊為 -115.8 dBc/Hz, 振盪頻率範圍可達到 0.32GHz-1.8GHz, 其輸出的峰對峰 (peak-to-peak) 振幅最小值可至 1.67V。

# Implementation of a Multi-band Voltage-Controlled Ring Oscillator Using $0.18\mu\text{m}$ CMOS

Student: Kuo-Wei Cheng      Advisor: Dr. Mu-Huo Cheng

Institute of Electrical and Control Engineering  
National Chiao-Tung University

## Abstract

This thesis presents a multi-band voltage-controlled ring oscillator via the multiple-pass connection, resulting in a wide range of oscillation frequency. Most multiple-pass ring oscillators are designed to increase the oscillation frequency. In this thesis, we also exploit the concept of multiple-pass to design a multiple-pass ring oscillator which can decrease the oscillation frequency. A connection is designed via the NMOS switch to combine together the two circuits all via the concept of multiple-pass such that a wider range of oscillation frequency can be obtained. Hence, we obtain a voltage-controlled oscillator with two frequency bands which can be easily controlled by the on/off of the NMOS switches. We design a nine-stage ring oscillator; each stage consists of twelve MOS transistors including eight NMOS transistors and four PMOS transistors. This oscillator is simulated using  $0.18\mu\text{m}$ , 1P6M CMOS technology provided by Taiwan Semi-Conductor Manufacturing Company. The post simulation of the design oscillator, under the supply voltage of 1.8 V, shows that the required power is 91.4 mw, the phase noise is -115.8 dBc/Hz at a 1-MHz offset from a 2-GHz center frequency, the frequency tuning range is from 0.32GHz to 1.8GHz, and the minimum peak-to-peak output swing is 1.67V.

# 誌謝

此論文能順利完成，首先要感謝我的指導教授鄭木火教授，在這兩年研究生涯中，不論是在實驗中所學習到的研究方法，或者是待人接物的方法，均使我在生活及學識上獲益良多。因此在本論文付梓之際，對於辛勤傳道授業的老師致上最誠摯的謝意。

在口試期間承蒙張隆國教授、董蘭榮教授和莊正教授撥空指正並提供許多寶貴的意見。在此感謝你們的辛勞。同時感謝畢業學長以及實驗室的所有成員，在課業上的切磋討論及生活上的歡聲笑語，為平靜單調的研究生生活增添不少色彩。

最後要感謝我的雙親及家人，以及我的女友益玟，由於他們的付出和不斷地鼓勵，讓我能無後顧之憂的從事研究，順利完成學業，並且有能力面對下一波的困難與挑戰。



# 目錄

中文摘要	i
英文摘要	ii
誌謝	iii
圖目錄	vi
表目錄	viii
<b>1 緒論</b>	<b>1</b>
1.1 電壓控制振盪器之重要性及其應用	1
1.2 文獻回顧與研究動機	1
1.3 研究目的	2
1.4 論文架構	2
<b>2 環型振盪器電路原理與架構</b>	<b>3</b>
2.1 環型振盪器基本架構	3
2.1.1 單端輸出環型振盪器	3
2.1.2 雙端差動輸出環型振盪器	6
2.2 具多重路徑之環型振盪器架構之探討	12
<b>3 多頻帶環型振盪器電路之設計</b>	<b>17</b>
3.1 減慢振盪頻率的多重路徑環型振盪器	17
3.2 以 MOS 作為開關之分析	18
3.3 利用 NMOS 連接後之電路架構與模擬結果	21



3.4 相位雜訊 . . . . .	25
<b>4 模擬結果與比較</b>	<b>28</b>
4.1 佈局模擬結果與製程變動分析 . . . . .	28
4.2 線性度 . . . . .	30
<b>5 結論</b>	<b>39</b>
5.1 結論 . . . . .	39
<b>參考文獻</b>	<b>40</b>



## 圖目錄

圖 2.1	三級CMOS 反相器之環型振盪器 . . . . .	3
圖 2.2	三級CMOS 反相器之環型振盪器理想輸出波型 . . . . .	4
圖 2.3	傳統五級CMOS 環型振盪器電路 . . . . .	4
圖 2.4	偏斜延遲架構之示意圖 . . . . .	5
圖 2.5	輸入波型的比較 . . . . .	5
圖 2.6	偏斜延遲環型振盪器 . . . . .	6
圖 2.7	使用傳統五級CMOS 環型振盪器輸出波型 . . . . .	6
圖 2.8	具有偏斜延遲架構之振盪器五級輸出波型 . . . . .	7
圖 2.9	差動輸出之環型振盪器架構 . . . . .	7
圖 2.10	具有可變負電阻的差動對 . . . . .	8
圖 2.11	圖2.4的半等效電路 . . . . .	9
圖 2.12	具負電阻振盪器之一級電路 . . . . .	9
圖 2.13	五級架構下控制電壓與頻率關係 . . . . .	10
圖 2.14	在頻率為2.84GHz 時之輸出波型 . . . . .	11
圖 2.15	利用MOS 耦合強度控制頻率之延遲架構 . . . . .	11
圖 2.16	控制電壓與頻率關係 . . . . .	12
圖 2.17	多重路徑架構 . . . . .	13
圖 2.18	多重路徑之狀態圖 . . . . .	13
圖 2.19	架構示意圖 . . . . .	14
圖 2.20	九級多重路徑振盪器之電路示意圖 . . . . .	15
圖 2.21	九級架構控制電壓與頻率關係圖 . . . . .	16
圖 3.1	減速的多重路徑架構 . . . . .	18
圖 3.2	九級減速的多重路徑振盪器電路示意圖 . . . . .	18



圖 3.3 減速的多重路徑振盪器之狀態圖 . . . . .	19
圖 3.4 減速的多重路徑振盪器電路控制電壓與頻率關係 . . . . .	20
圖 3.5 NMOS 開關 . . . . .	20
圖 3.6 CMOS 開關 . . . . .	21
圖 3.7 用以連接之NMOS 開關 . . . . .	22
圖 3.8 以開關連接加速以及減速的多重路徑振盪器 . . . . .	22
圖 3.9 連接之後之電路示意圖 . . . . .	23
圖 3.10 以開關連接後加速的多重路徑振盪器控制電壓與頻率關係 . . . . .	23
圖 3.11 以開關連接後減速的多重路徑振盪器控制電壓與頻率關係 . . . . .	24
圖 3.12 多重路徑架構中心頻率為2.3GHz 時之相位雜訊圖 . . . . .	26
圖 3.13 具有NMOS 開關之多重路徑中心頻率為2GHz 時之相位雜訊圖. . . . .	26
圖 3.14 具有開關之減速多重路徑中心頻率為670MHz 時之相位雜訊圖 . . . . .	27
圖 4.1 電路佈局圖 . . . . .	28
圖 4.2 差動放大一級之佈局圖 . . . . .	29
圖 4.3 在TT 模型下加速多重路徑電路控制電壓與頻率關係 . . . . .	30
圖 4.4 在TT 模型下減速多重路徑架構控制電壓與頻率關係 . . . . .	31
圖 4.5 在FF 模型下加速多重路徑電路控制電壓與頻率關係. . . . .	31
圖 4.6 在FF 模型下減速多重路徑電路控制電壓與頻率關係. . . . .	32
圖 4.7 在SS 模型下加速多重路徑電路控制電壓與頻率關係 . . . . .	32
圖 4.8 在SS 模型下減速多重路徑電路控制電壓與頻率關係 . . . . .	33
圖 4.9 在頻率為1.35GHz 時 TT 模型下加速多重路徑之九級正端輸出波型 . . . . .	33
圖 4.10 加了TSMC 標準 PAD 後之佈局圖 . . . . .	35
圖 4.11 加了PAD 後之輸出波型 . . . . .	35
圖 4.12 TT 模型下加速多重路徑波型之斜率變化 . . . . .	36
圖 4.13 TT 模型下減速多重路徑波型之斜率變化 . . . . .	36
圖 4.14 FF 模型下加速多重路徑波型之斜率變化 . . . . .	37
圖 4.15 FF 模型下減速多重路徑波型之斜率變化 . . . . .	37
圖 4.16 SS 模型下加速多重路徑波型之斜率變化. . . . .	38

圖 4.17 SS 模型下減速多重路徑波型之斜率變化. . . . . 38



## 表目錄

表 2.1 五級架構下控制電壓與頻率表 . . . . .	10
表 2.2 控制電壓與頻率表 . . . . .	12
表 2.3 加速的多重路徑架構控制電壓與頻率表 . . . . .	15
表 3.1 減速的多重路徑架構控制電壓與頻率表 . . . . .	19
表 3.2 開關與連接路徑關係 . . . . .	22
表 3.3 具開關之加速的多重路徑振盪器控制電壓與頻率表 . . . . .	24
表 3.4 具開關之減速的多重路徑振盪器控制電壓與頻率表 . . . . .	25
表 4.1 不同架構下控制電壓與頻率之規格表 . . . . .	34
表 4.2 完整電路之規格列表 . . . . .	34

# 第 1 章

## 緒論

### 1.1 電壓控制振盪器之重要性及其應用

電壓控制振盪器 (Voltage-Controlled Oscillator 簡稱 VCO) 為一種可利用給予控制端不同的電壓而得到不同振盪頻率之電路，電壓控制振盪器的應用非常的廣泛，如微處理器中，或者是用於無限傳輸協定，都可以看到例子。不同的通訊協定如 GSM900、GSM1800、GPS、以及藍芽等等各通訊協定所使用的頻帶也不相同。而鎖相迴路 (PLL) 中時脈的產生也是振盪器重要的應用，若有一較寬頻率調整範圍的振盪器，則可應用的範圍也將變廣，因此發展一具有多頻寬調整範圍的電壓控制振盪器電路使其可應用在不同方面，是一重要研究的課題。

### 1.2 文獻回顧與研究動機

由於振盪器的廣泛應用，與此電路相關之研究文獻很多。除了眾多的論文研究之外，在 Behzad Razavi 書[1] 中的第十四章 Oscillators，除了對振盪器的原理有簡單的說明之外，也針對幾種不同振盪器電路，如電感電容振盪器 (LC Oscillator)、環型振盪器 (Ring Oscillator) 以及鬆弛振盪器 (Relaxation Oscillator) 之原理，架構，性能，及特性有簡單的介紹以及說明描述。這裡使用的是環型振盪器，環型振盪器有分單端輸出與雙端差動輸出兩種，單端輸出的環型振盪器有反相器 (Inverter) 的串接，或者是其變形，偏斜延遲振盪器[2]。雙端差動輸出的環型振盪器，如文獻[3]，利用負電阻的觀念，在兩級串接可達到14GHz-23GHz 的調整範圍。而文獻[4][5]中所利用的則是MOS 耦合強度的大小去控制振盪的頻率。文獻[9][10] 告訴我們使用NMOS 作為開關時的特性以及需要注意考慮的地方。環型振盪器的特性之一是可利用串接級數的不同，得到不同的振盪頻率，同時也可以得到多相位的輸出，除了級數的不同之外，若是可以再加上電壓的控制，就可以根據需求得到所要的頻率。除了架構的不同之外，頻率的控制方式也有所不同，在第二章中對於這幾種不同的振盪器會有簡單的介紹及說明，以往下發展出我們的架構。

### 1.3 研究目的

有別於典型的多重路徑振盪器架構的設計, 加入多重路徑的目的在於使振盪器的頻率提升, 本篇論文是利用其多重路徑觀念, 設計出使得振盪頻率減慢的連接方式, 再利用 NMOS 開關去結合加速的多重路徑架構以及減速的多重路徑架構之振盪器電路。利用開關的切換可以選擇加速多重路徑或是減速多重路徑電路連接方式。本篇論文也就是著重在此, 結合這兩種連接方式, 經由開關以及控制電壓的調整, 就可選擇需要的頻率調整範圍, 達到我們希望有一多頻帶振盪器的目的。

### 1.4 論文架構

本篇論文共分五章來討論, 第一章為緒論, 介紹文獻回顧以及研究的動機。第二章中, 因為此電路架構為振盪器, 所以我們從書 [2]中對於振盪器的振盪原理作簡單的介紹, 並且對於不同架構的環型振盪器做說明, 且利用 SPICE 軟體去模擬實現, 然後選擇出適合的電路, 一步一步往下發展出所要的結果。第三章中, 對於文獻[4] 的架構, 提出一種減速的連接方式, 並且設計 NMOS 開關將兩種不同的振盪器電路連接起來, 去實現我們所要的電路, 同時也呈現相位雜訊的模擬結果。第四章為電路佈局圖以及電路規格表。並針對所設計之九級電路做前置模擬 (Pre-Sim) 和後端模擬 (Post-Sim), 後端模擬包括了 TT、FF、SS 等模型。我們所呈現的模擬結果有加速的多重路徑架構電壓與控制頻率關係、減速的多重路徑架構電壓與控制頻率關係、不同邊際模型下電壓與控制頻率的關係。第五章, 結論, 對於本論文的結果作一說明。

## 第 2 章

# 環型振盪器電路原理與架構

### 2.1 環型振盪器基本架構

環型振盪器 (Ring Oscillator) 其特性之一是可利用串接級數的不同而得到不同的振盪頻率, 像一個環的形狀, 以及由於每一級輸出相位的差異, 也可以利用串接級數的不同去獲得所不同的相位輸出, 若需要多相位的輸出, 則串接的級數就必須增加, 但是振盪頻率則會降低, 一般環型振盪器有分單端輸出以及雙端差動輸出兩種。

#### 2.1.1 單端輸出環型振盪器

單端輸出的環型振盪器其三級架構如圖2.1, X、Y 與 Z 三個點分別為每一級的反相輸出點, 理想的輸出波型圖如圖2.2,  $V_x$ 、 $V_y$  與  $V_z$  分別為圖2.1中的 X、Y 與 Z 三個點的輸出電壓, 所以可以看到波型的變化由  $V_x$  到  $V_y$  經過一個  $T_d$  然後反相180度輸出, 再由  $V_y$  到  $V_z$  再經過一個  $T_d$  然後反相180度輸出, 最後回到  $V_x$ , 如此的循環下去形成震盪。單端輸出的環型振盪器其週期  $T$  為

$$T = \frac{1}{2NT_d} \quad (2.1)$$

其中  $N$  為震盪器的級數,  $T_d$  為每一級放大的延遲時間, 其每一級的輸出相位差則為  $\frac{180^\circ}{N}$ , 也就是震盪器可以產生的輸出相位。

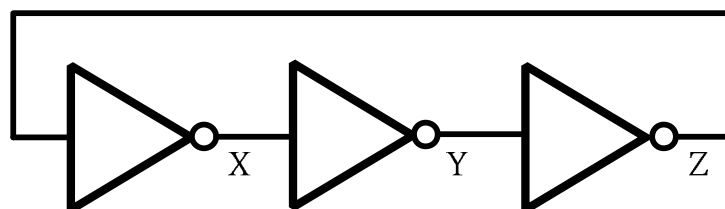


圖 2.1: 三級CMOS 反相器之環型振盪器

下面舉出一單端輸出環形振盪器的實際電路例子, 一般使用五級反相器串接的環型振盪器電路如圖2.3, 可以看到每一級是由一顆 NMOS 以及一顆 PMOS 所組成, 然後由五級串接形成一個

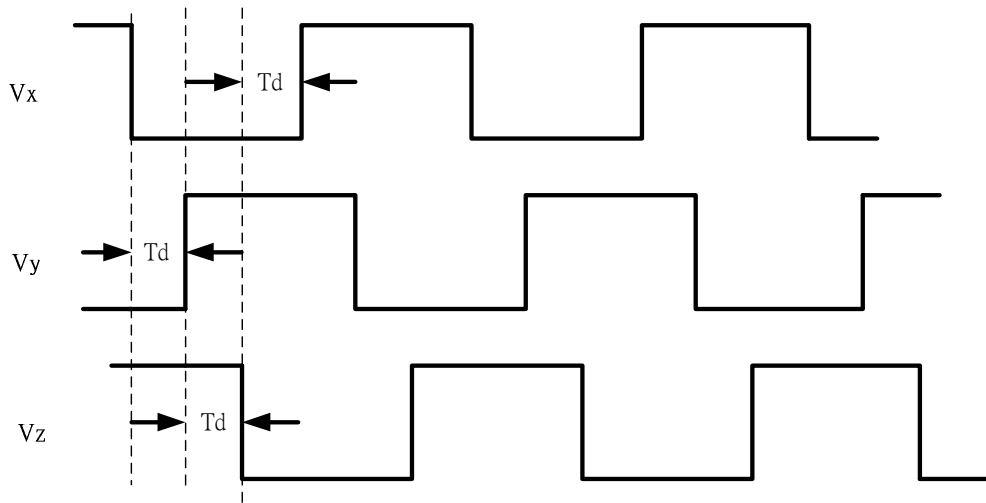


圖 2.2: 三級CMOS 反相器之環型振盪器理想輸出波型

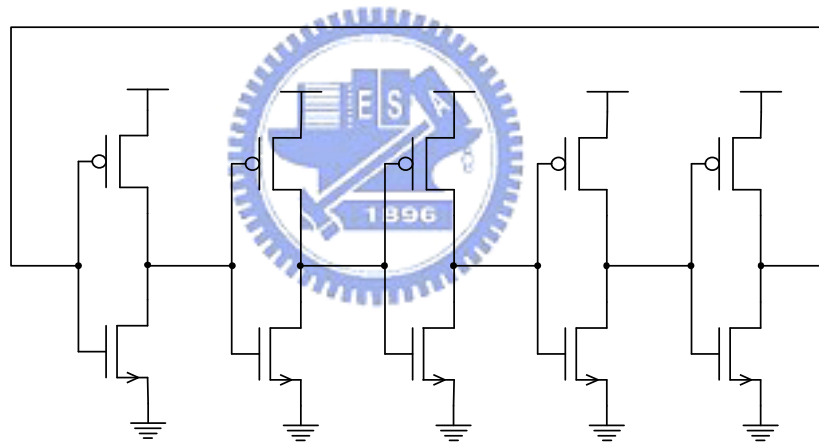


圖 2.3: 傳統五級CMOS 環型振盪器電路

環狀，在傳統上，環型振盪器的振盪頻率取決於每一級的延遲時間 $T_d$ ，若是需要多相位的輸出，則必須要增加振盪器的級數，但是如此一來也會降低振盪器的振盪頻率。所以在文獻[2] 提出了一新的反向器串接的架構，觀念可從圖2.4 看到，也就是在輸入訊號要到達 PMOS 之前，先經過一個偏斜時間延遲，希望讓訊號可以先到達 PMOS，然後再到達 NMOS，也就是訊號到達兩顆電晶體的時間不一致，其波型的比較如圖2.5，從圖中可以看到傳統的震盪器訊號輸入到 NMOS 跟輸入到 PMOS 的時間是同時的，但是利用 Skewed delay 的架構，則是要使輸入到  $V_{in'}$  這點的訊號比輸入到  $V_{in}$  這點的訊號還要提早到達，圖2.6 為 Skewed delay 五級架構的電路圖，利用 Skewed delay 的優點是在不改變電路的架構，僅僅改變電路的接法，就可使得振盪頻率增快，其觀念在於傳統的 CMOS 反相器，若是輸入訊號由高電位到低電位，則 PMOS 開啓，NMOS 關閉，使得輸出訊

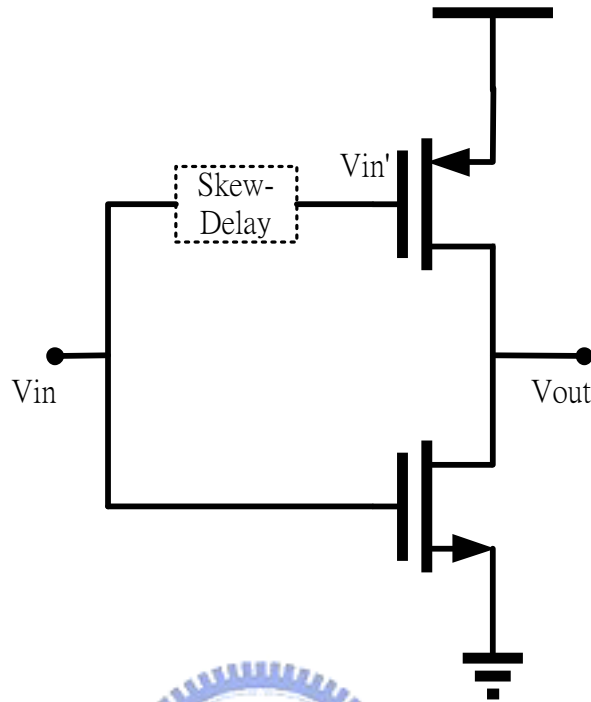


圖 2.4: 偏斜延遲架構之示意圖

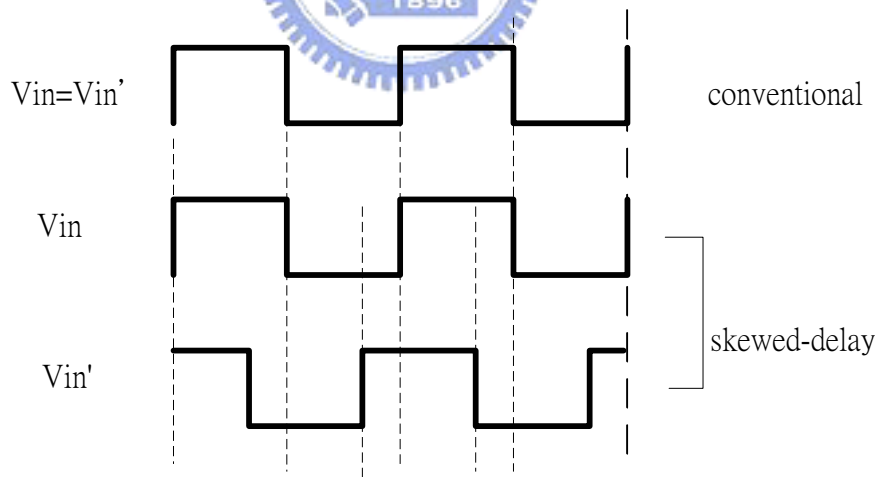


圖 2.5: 輸入波型的比較

號為由低電位至高電位；若是輸入訊號由低電位到高電位，則 PMOS 關閉, NMOS 開啓，使得輸出訊號為由高電位至低電位, NMOS 與 PMOS 的開關動作是同時進行的。而利用偏斜延遲 (Skewed delay) 的架構，是讓要輸入到 PMOS 的訊號比輸入 NMOS 的訊號還要提早到達，提前的去啓動 PMOS (當輸入電位由高低時) 或是關閉 PMOS (當輸入電位由高到低時)，如此可使得電位的轉換時間縮短，而可以增快頻率。在文獻[2]中是以  $0.8\mu m$  5V CMOS 利用 SPICE 去作模擬，在元件



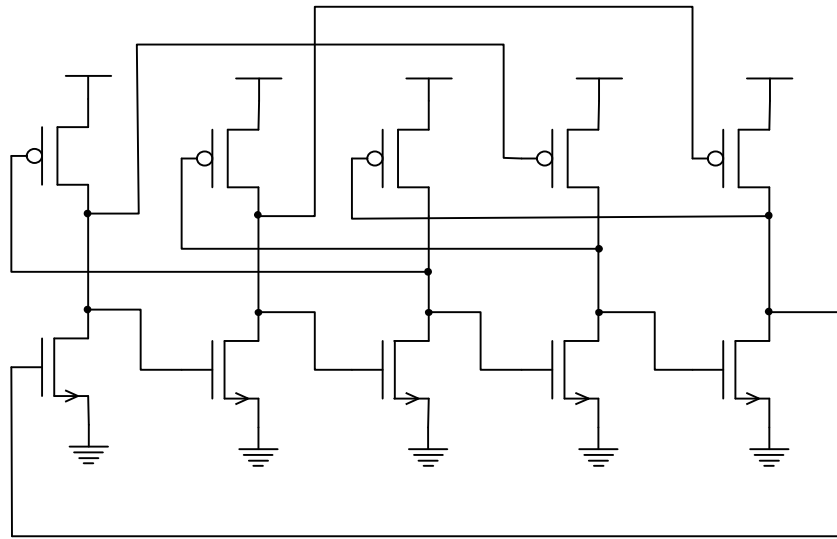


圖 2.6: 偏斜延遲環型振盪器

參數為  $W=10\mu m$ 、 $L=0.8\mu m$ (PMOS),  $W=5\mu m$ 、 $L=0.8\mu m$ (NMOS) 下所得到的模擬結果是使用傳統的五級振盪器振盪頻率為 784MHz, 使用延遲架構的五級振盪器振盪頻率為 1.27GHz, 比傳統的速度增快了約百分之 62。而我們是用 TSMC 0.18  $\mu m$  1P6M CMOS製程, 利用 Hspice 去作模擬, 給定 MOS 的參數,  $W=0.9\mu m$   $L=0.18\mu m$ (PMOS),  $W=0.7\mu m$ 、 $L=0.18\mu m$ (NMOS), 在電源電壓為 1.8V 下, 模擬傳統的五級 CMOS 振盪器, 其振盪頻率為 3.5GHz, 模擬利用延遲架構的振盪器, 其振盪頻率則為 6.8GHz, 速度比傳統的五級振盪器增快了約百分之九十四。輸出的波形如圖 2.7、圖 2.8, 是取 35ns 到 37ns 這一段時間的波形來比較, 從波形圖就可以清楚的看到頻率增加近兩倍。

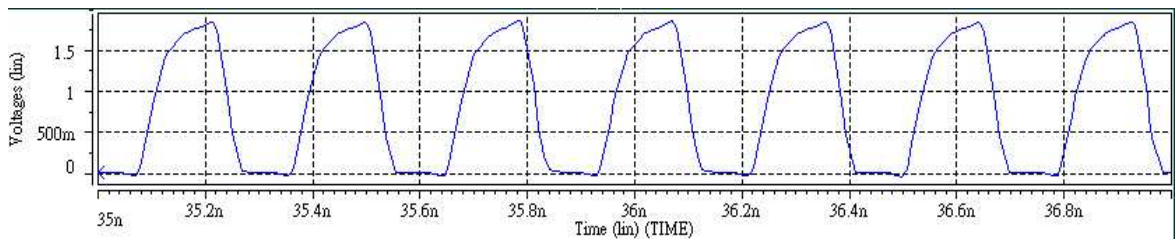


圖 2.7: 使用傳統五級 CMOS 環型振盪器輸出波形

### 2.1.2 雙端差動輸出環型振盪器

雙端差動輸出的環形振盪器, 三級的架構如圖 2.9, 輸出為差動兩端, X 的反相輸出端為 X'、Y 的反相輸出端為 Y' 而 Z 的反相輸出端為 Z', 且差動輸出的環形振盪器其串接的級數, 不像單端輸出的

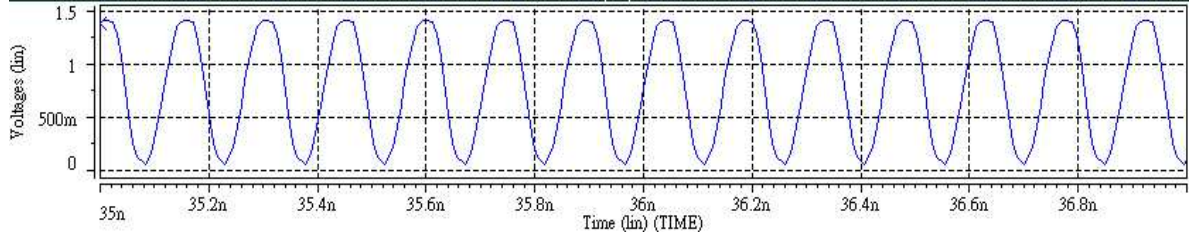


圖 2.8: 具有偏斜延遲架構之振盪器五級輸出波型

環形振盪器，有串接級數必須要單數的限制。本論文所用的也就是差動輸出的架構。在下面也舉出實際的差動輸出振盪器電路來做例子，分別是利用負電阻觀念去控制頻率的差動輸出環形振盪器，利用 MOS 耦合強度控制振盪頻率之環形振盪器以及使用多重路徑架構的環形振盪器。電路也同樣將用 TSMC 0.18  $\mu\text{m}$  1P6M CMOS 製程，然後以 Hspice 去模擬這三種電路，並說明這三種電路的特性，以往下發展出我們所設計的架構。

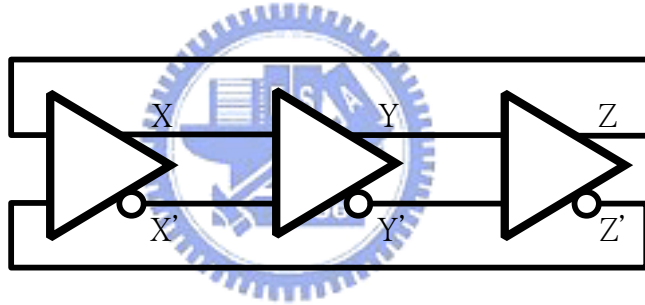


圖 2.9: 差動輸出之環型振盪器架構

具有負電阻的環型振盪器，其負電阻架構電路如圖2.10， $M_1$ 與 $M_2$ 為一差動輸入端，由Vout 兩端看進去， $M_3$ 與 $M_4$ 會形成一電阻值為  $\frac{-2}{g_m}$  的負電阻，而圖2.11是一端的等效半電路，等效電阻值為  $\frac{-1}{g_m}$ ，所以整個電阻負載有  $R_1$ 和 $R_2$ 以及交連耦合對 $M_3$ 與 $M_4$ ，對一個NMOS 來說，處於飽和區時 其電流式為

$$I_D = \frac{1}{2}\mu_n C_{OX} \left(\frac{W}{L}\right) (V_{GS} - V_t)^2 \quad (2.2)$$

其中 $I_D$ 為流經MOS 的汲極電流， $V_t$ 為臨界電壓(threshold voltage)。而 $g_m$ 為

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (2.3)$$

$$= \mu_n C_{OX} \left(\frac{W}{L}\right) (V_{GS} - V_t) \quad (2.4)$$

由 (2.2) 式又可得到

$$\mu_n C_{OX} \left(\frac{W}{L}\right) = \frac{2I_D}{(V_{GS} - V_t)^2} \quad (2.5)$$

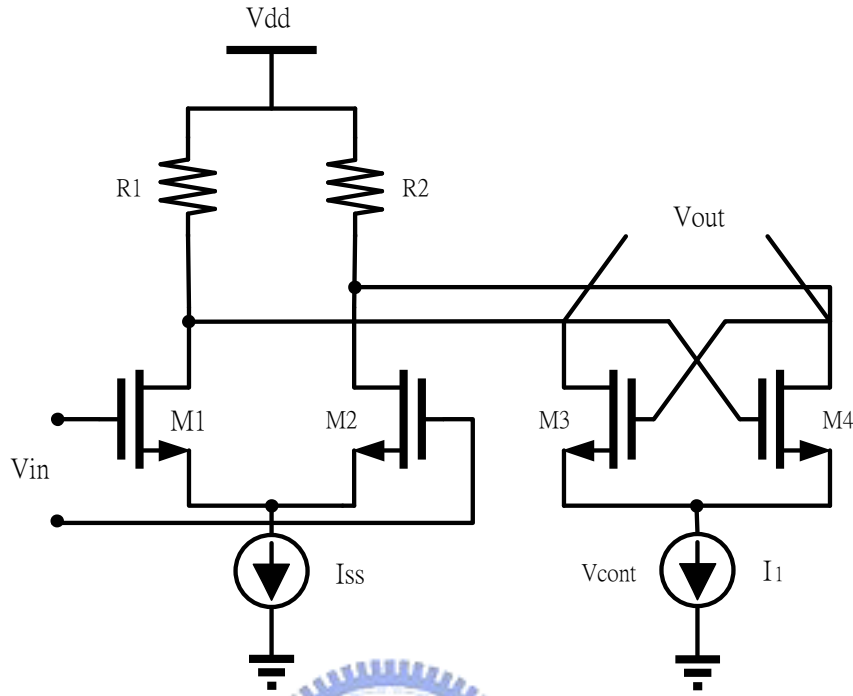


圖 2.10: 具有可變負電阻的差動對

從 (2.5) 式將 (2.4) 式中  $\mu_n C_{OX}(\frac{W}{L})$  以  $\frac{2I_D}{(V_{GS}-V_t)^2}$  代換可得

$$g_m = \frac{2I_D}{V_{GS} - V_t} \quad (2.6)$$

從上述式子我們可以得到當電流  $I_1$  增加時  $g_m$  也會跟著增加, 而從圖2.11得知等效的輸出電阻  $R$  為

$$R = R_P // \frac{-1}{g_{m3,4}} \quad (2.7)$$

$$= \frac{R_P}{1 - g_{m3,4}R_P} \quad (2.8)$$

其中  $R_P = R_1 = R_2$ 。所以當  $I_1$  增加時  $g_m$  值也跟著增加使得等效輸出阻抗  $R$  變大 所以可使得頻率下降, 同理, 若使  $I_1$  變小,  $g_m$  變小, 則頻率增加。

圖2.12為其一級架構, 電晶體  $M_1$  和  $M_2$  為差動輸入對,  $M_3$  和  $M_4$  形成一負電阻, 由  $M_5$  和  $M_6$  的差動對去控制流經  $M_1$ 、 $M_2$ 、 $M_3$  和  $M_4$  的電流, 當  $V_{con2}$  大於  $V_{con1}$ , 流經  $M_3$  和  $M_4$  的電流增加,  $g_m$  變大, 整個等效電阻增加, 振盪的頻率就會降低, 當  $V_{con1}$  大於  $V_{con2}$ , 流經  $M_3$  和  $M_4$  的電流就會減少,  $g_m$  會變小, 整個等效電阻減小, 振盪的頻率就會提高, 所以利用電壓的調整, 可以得到一振盪的範圍。給定 MOS 參數為  $W=10\mu m$ 、 $L=0.18\mu m$ , 利用 TSMC 0.18  $\mu m$  CMOS 1P6M 製程, 在五級串接下模擬控制電壓與頻率關係, 其結果曲線如圖2.13, 表 2.1 則為每一個控制電壓下所得到的振

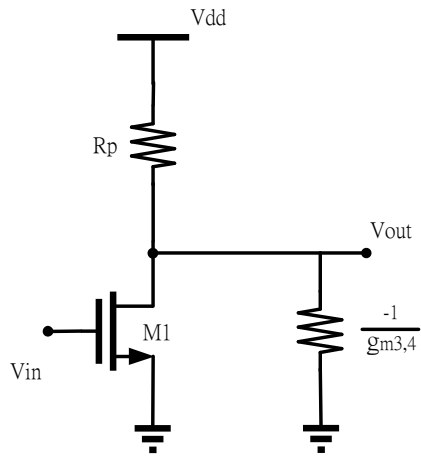


圖 2.11: 圖2.4的半等效電路

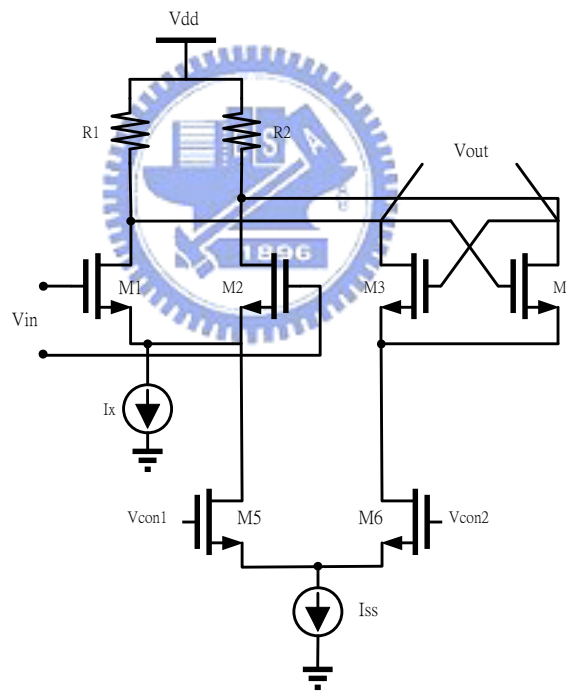


圖 2.12: 具負電阻振盪器之一級電路

盪頻率。控制的兩端為差動輸入，所以橫軸為 $M_7$ 閘極電壓減去 $M_8$ 閘極電壓的值。控制電壓從0.8V-1.2V，得到的控制頻率範圍為0.94GHz-3.74GHz，輸出波形如圖2.14，波形是取35ns 到37ns 這一段時間。

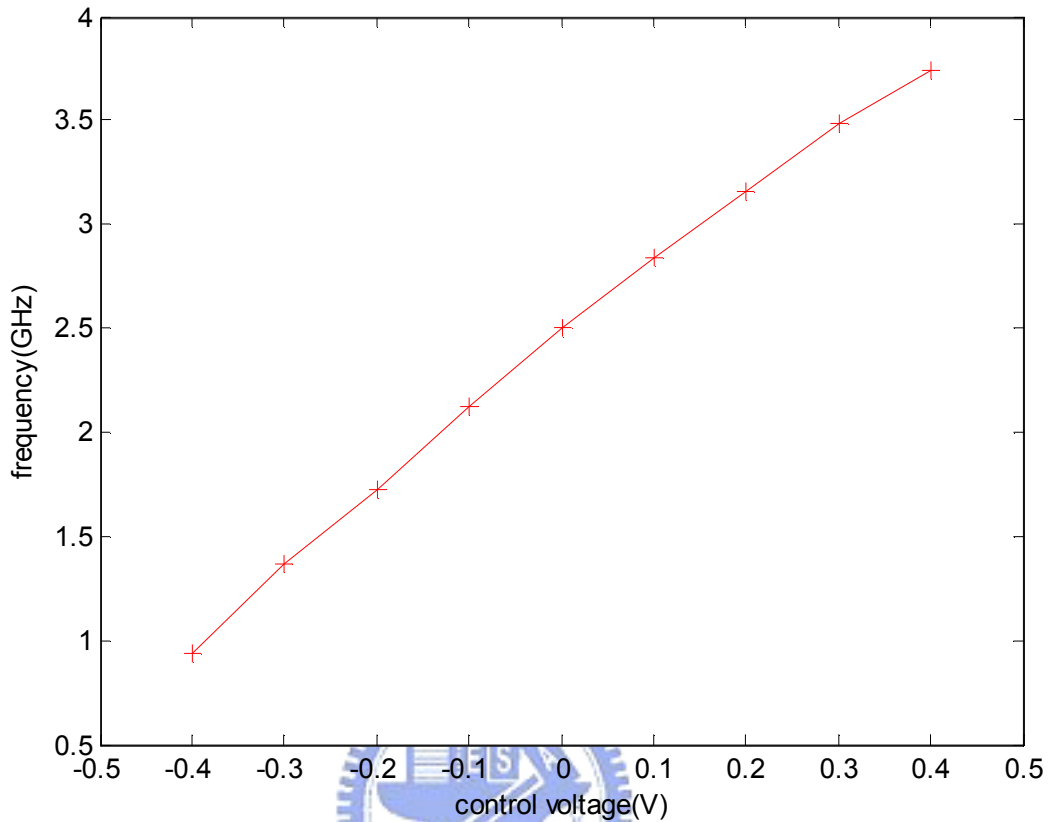


圖 2.13: 五級架構下控制電壓與頻率關係

控制電壓	單位	振盪頻率	單位
-0.4	V	0.94	GHz
-0.3	V	1.36	GHz
-0.2	V	1.72	GHz
-0.1	V	2.12	GHz
0	V	2.5	GHz
0.1	V	2.84	GHz
0.2	V	3.16	GHz
0.3	V	3.48	GHz
0.4	V	3.74	GHz

表 2.1: 五級架構下控制電壓與頻率表

在以上介紹了利用負電阻改變頻率[3]的環型振盪器，這裡再介紹的雙端輸出環型振盪器是利用MOS 耦合強度去控制振盪的頻率[5]，其一級架構如圖2.15， $M_5$ 與 $M_6$ 為差動輸入端，再加入 $M_1$ 和 $M_2$ 組成一CMOS 栓鎖 (Latch)，並由 $M_3$ 與 $M_4$ 控制PMOS 電晶體 $M_1$ 與 $M_2$ 的匝級最大電壓，也控制栓鎖的強弱，因此當Vcontrol 的電壓升高，NMOS 電晶體 $M_3$ 與 $M_4$ 導通的強度增強，栓鎖的強度增加，

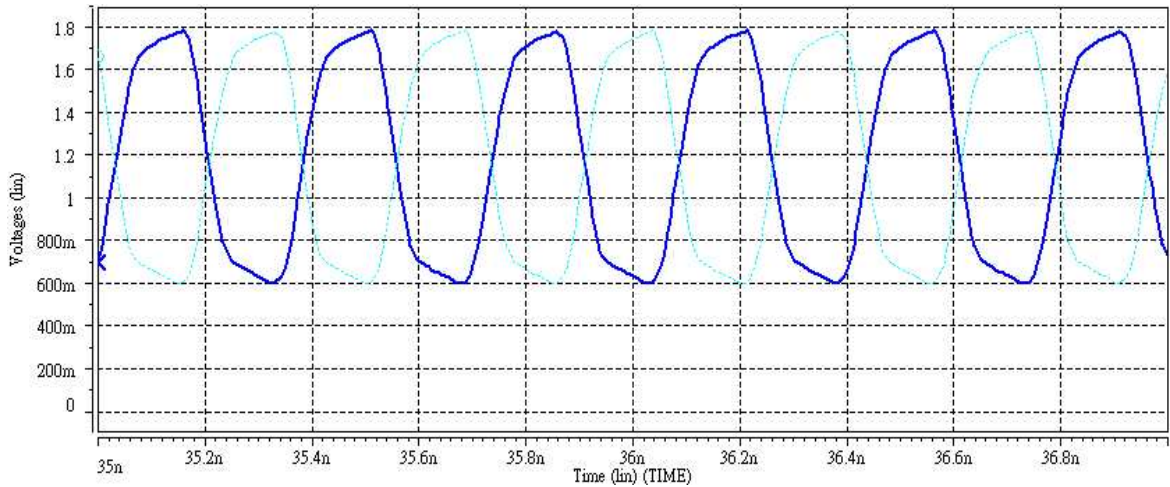


圖 2.14: 在頻率為2.84GHz 時之輸出波型

使得PMOS 負載電晶體輸出電流減少，狀態改變不易，延遲的時間增加，所以頻率下降。當  $V_{control}$  電壓降低時，栓鎖的強度就會變弱，使得 PMOS 負載電晶體輸出電流增加，狀態改變較容易，延遲時間減少，頻率增快。以圖2.15為一級，串接九級時，利用 Hspice 模擬的結果如圖2.16，在控制電壓從0.6V-1.8V 下，每0.1V 作一次模擬，控制振盪頻率範圍可從0.38GHz-2.35GHz，表2.2為每一個控制電壓下的振盪頻率。

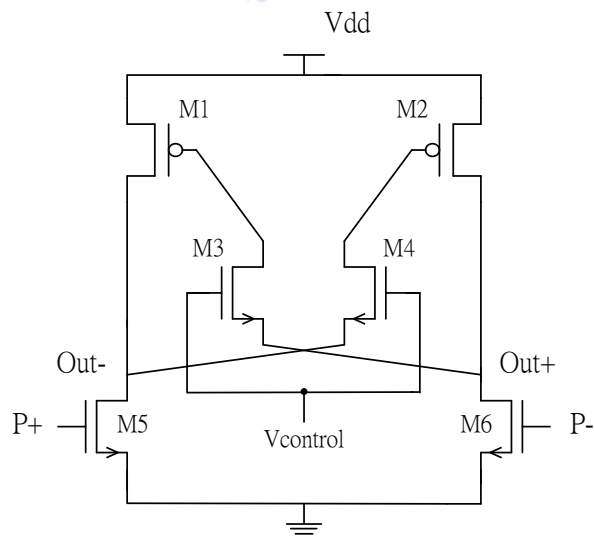


圖 2.15: 利用MOS 耦合強度控制頻率之延遲架構

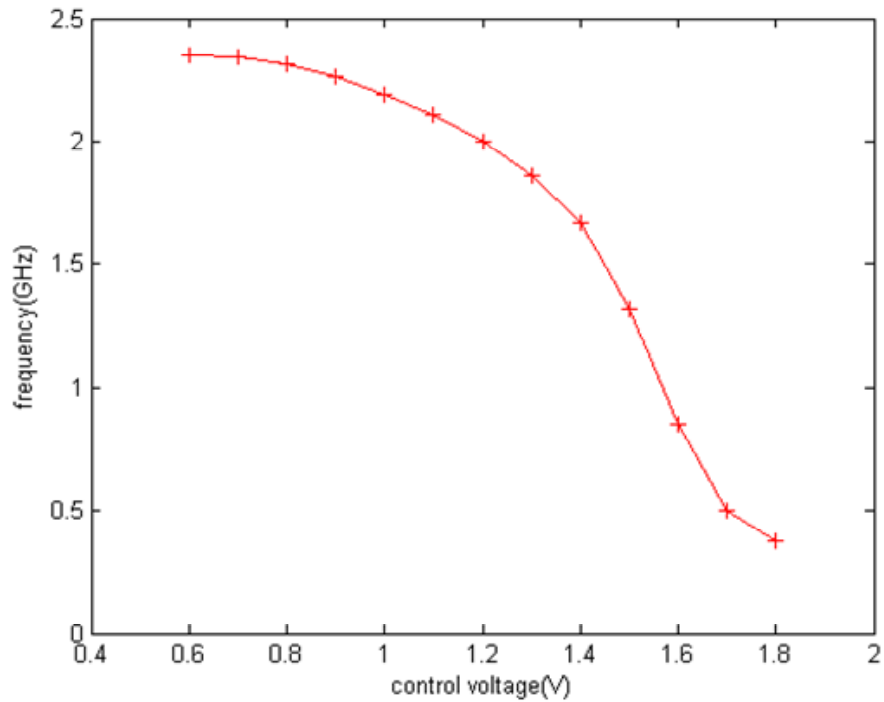


圖 2.16: 控制電壓與頻率關係

控制電壓	單位	振盪頻率	單位
0.6	V	2.35	GHz
0.7	V	2.34	GHz
0.8	V	2.31	GHz
0.9	V	2.26	GHz
1.0	V	2.19	GHz
1.1	V	2.11	GHz
1.2	V	2.00	GHz
1.3	V	1.86	GHz
1.4	V	1.67	GHz
1.5	V	1.32	GHz
1.6	V	0.85	GHz
1.7	V	0.50	GHz
1.8	V	0.38	GHz

表 2.2: 控制電壓與頻率表

## 2.2 具多重路徑之環型振盪器架構之探討

多重路徑的意思在於偏斜路徑[2] 以及正常路徑, 兩種路徑同時存在於同一震盪器之中, 多加入偏斜路徑的目的就是要減少振盪器的延遲時間, 使之短於在震盪器只擁有正常路徑下的延遲時間, 而

得到較高的操作頻率。具多重路徑的環型振盪器電路架構[4]，如圖 2.17。

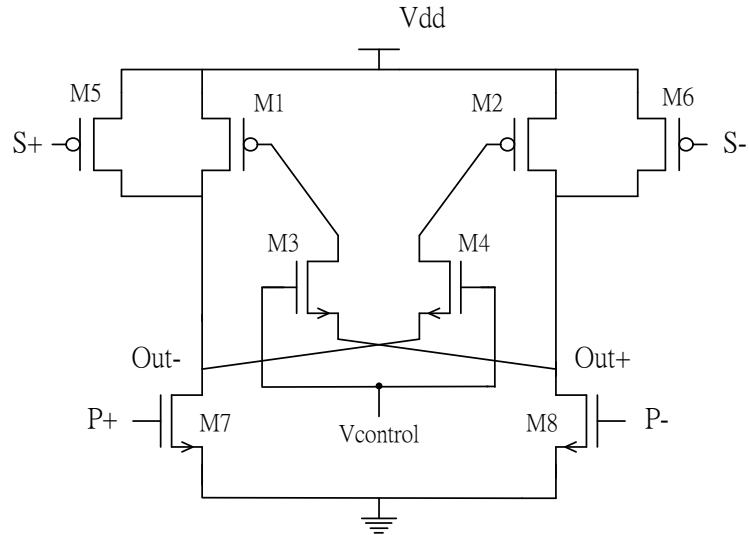


圖 2.17: 多重路徑架構

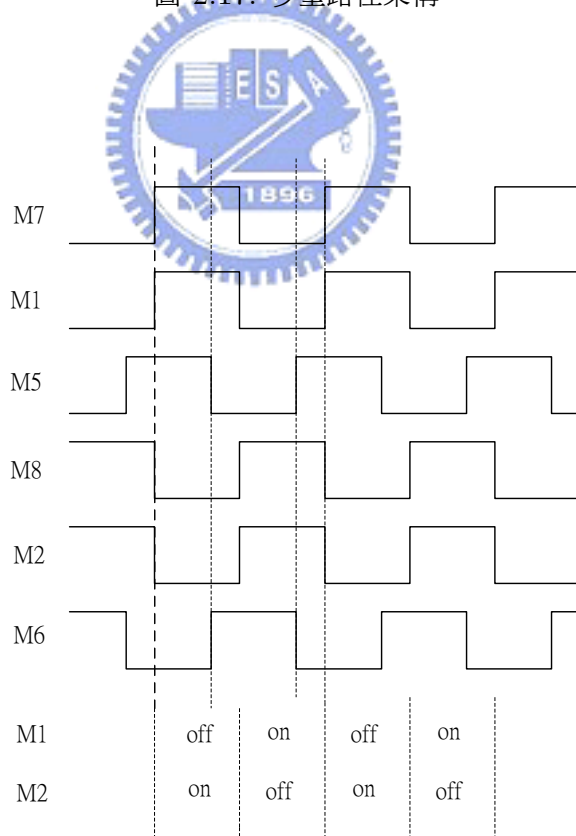


圖 2.18: 多重路徑之狀態圖

與上一節利用 MOS 耦合強度控制的振盪器架構的不同點在於多重路徑的架構多了  $M_5$  以及  $M_6$  這兩顆電晶體作為偏斜延遲(skew-delay) 架構，也就是多了 S+ 以及 S- 這兩個輸入端點，其原理



與偏斜架構類似，也就是在 NMOS( $M_1, M_2$ ) 狀態要改變之前，事先去改變 PMOS ( $M_5$  以及  $M_6$ ) 的狀態，使得之後輸出狀態較易改變，減少延遲時間，而達到增快振盪頻率的結果，其狀態圖如圖 2.18，從圖中可以看到，在知道輸入的波形下  $M_1$  以及  $M_2$  的開關情形，以及 我們希望在  $M_1$  以及  $M_2$  改變狀態之前，就先讓  $M_5$  以及  $M_6$  狀態事先改變，而達到所要的目的。我們以九級的架構去實現電路，架構示意圖如圖 2.19，其中  $N=9, n=8$ ，有  $A_1$  至  $A_9$  九級， $M_1$  至  $M_9$  為正端輸出  $M'_1$  至  $M'_9$  為負端輸出，串接九級之後的電路如圖 2.20，經由 Hspice 模擬，控制電壓由 0.6V-1.8V，每 0.1V 作一次模擬，控制電壓與頻率的模擬結果如圖 2.21，可得到控制的振盪頻率由 1.72GHz-2.54GHz，在上一節無多重路徑的架構下控制電壓為 0.6V 時，振盪的頻率為 2.35GHz，而在多重路徑的架構下控制電壓為 0.6V 時，振盪的頻率為 2.54GHz，比無多重路徑時速度快了約百分之 8。表 2.3 為 0.6V-1.8V 每一個控制電壓下的振盪頻率。

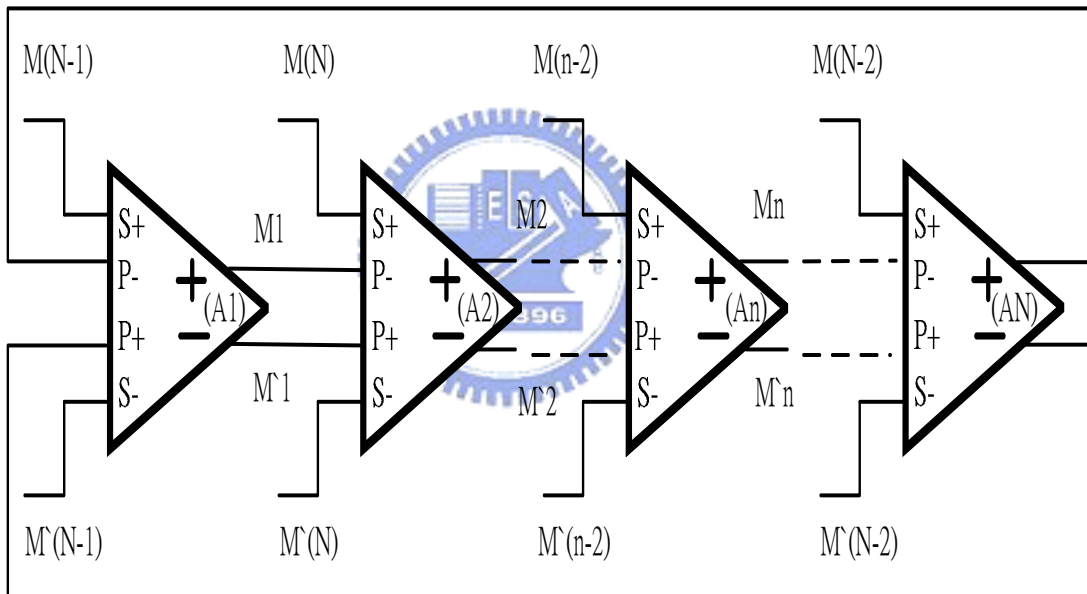


圖 2.19: 架構示意圖

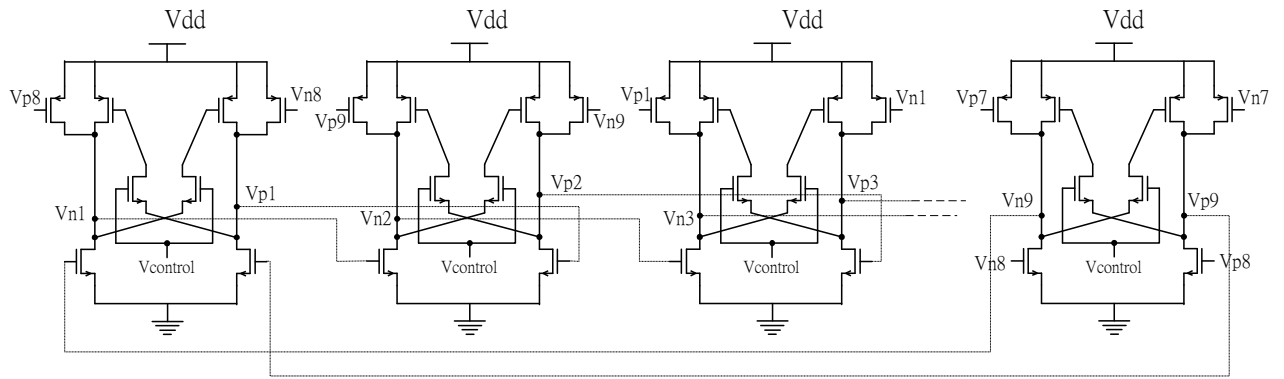


圖 2.20: 九級多重路徑振盪器之電路示意圖



控制電壓	單位	振盪頻率	單位
0.6	V	2.54	GHz
0.7	V	2.54	GHz
0.8	V	2.51	GHz
0.9	V	2.48	GHz
1.0	V	2.37	GHz
1.1	V	2.36	GHz
1.2	V	2.30	GHz
1.3	V	2.19	GHz
1.4	V	2.10	GHz
1.5	V	2.08	GHz
1.6	V	1.94	GHz
1.7	V	1.82	GHz
1.8	V	1.72	GHz

表 2.3: 加速的多重路徑架構控制電壓與頻率表

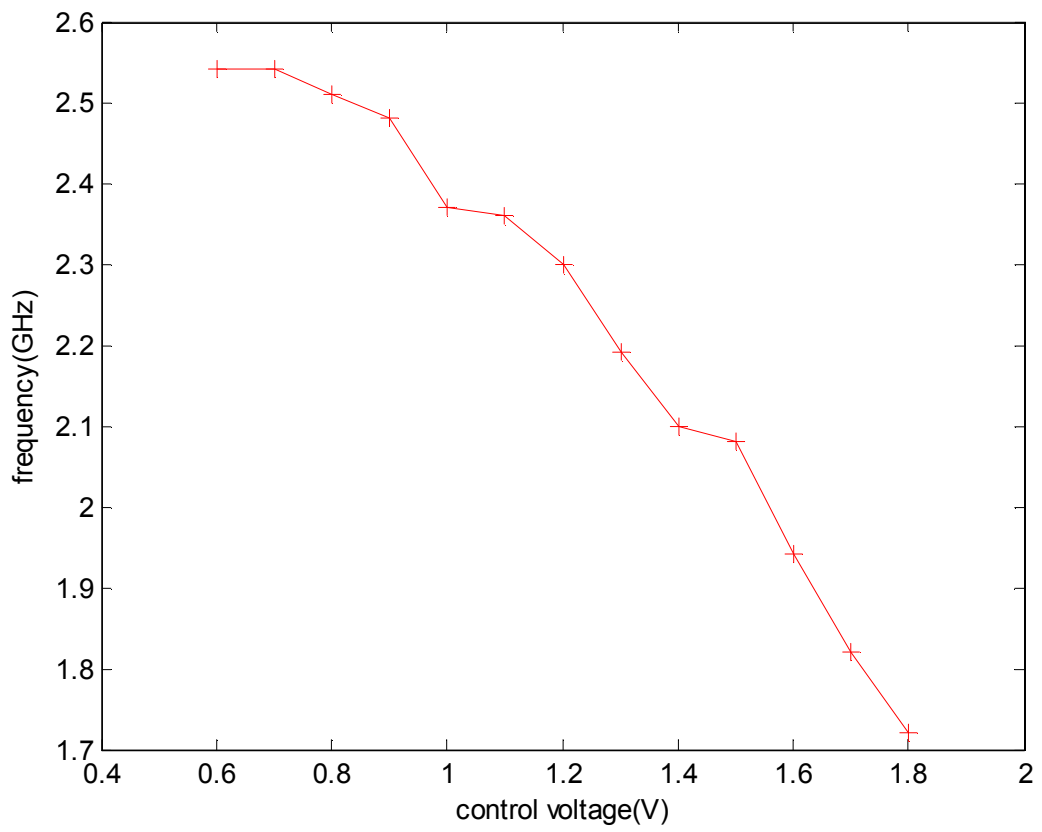


圖 2.21: 九級架構控制電壓與頻率關係圖

## 第 3 章

# 多頻帶環型振盪器電路之設計

### 3.1 減慢振盪頻率的多重路徑環型振盪器

使用多重路徑架構的環型振盪器，一般來說都是希望可以提升振盪的頻率，但是我們利用多重路徑的觀念，也就是在輸入訊號到達 NMOS 之前提前的去改變 PMOS 的狀態，利用這觀念去設計是否可以增加延遲的時間，也就是降低振盪頻率，所以將多重路徑電路的連接方式改變，也就是將多重路徑架構的兩顆電晶體正負端反過來接，試圖去降低電路的振盪頻率，反接的架構如圖3.1，原先多重路徑的 S+ 端要接到輸出的正端，原先的 S-端要接輸出的負端，在這裡將他反過來接，也就是 S+ 端接到輸出的負端，S-端接到輸出的正端，從電路示意圖3.2中可以看到原先多重路徑接輸出正端的點現在改為接在負端，理想的狀態圖，如圖3.3，由圖中看到我們希望在訊號到達 NMOS  $M_7$  以及  $M_8$  時，提前使得 PMOS  $M_5$  以及  $M_6$  改變狀態，所要的目的與加速的多重路徑架構相反，這裡是要使 PMOS 狀態較難改變以達到增加延遲時間，也就是降低振盪頻率的目的。控制電壓與頻率的模擬結果如圖3.5，可以看到在控制電壓從 0.6V-1.8V，控制的頻率範圍從 0.27GHz-1.6GHz。從上一章利用 MOS 耦合強度控制振盪頻率的架構，我們知道在控制電壓為 1.8V 下的振盪頻率是 0.38GHz，而在這裡利用此連接方式同樣在控制電壓 1.8V 下，所得到的控制頻率是 0.27GHz，比較起來振盪頻率減少了約百分之 29。所以經由減速的多重路徑的連接方式，確實可以降低振盪的頻率。表 3.1 則為每一個控制電壓下的振盪頻率。

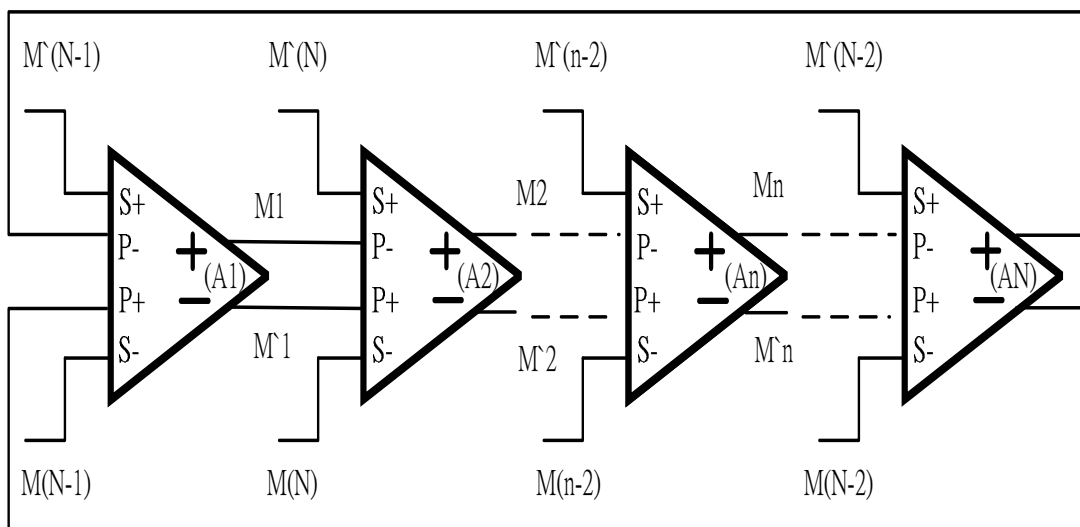


圖 3.1: 減速的多重路徑架構

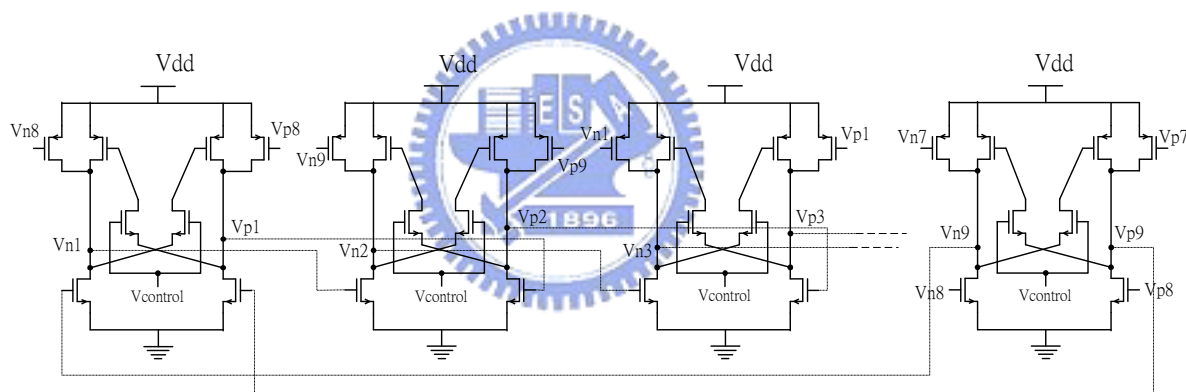


圖 3.2: 九級減速的多重路徑振盪器電路示意圖

### 3.2 以 MOS 作為開關之分析

以 NMOS 作為開關時，如圖3.5，我們希望在導通時汲極跟源極電壓準位相同，也就是在 C 為高電位時 A 與 B 的電壓準位相同，此時

$$V_{DS} = 0 \quad (3.1)$$

給予閘級高電位的電壓，所以

$$V_{DS} < V_{GS} - V_t \quad (3.2)$$

所以我們知道，電晶體此時是操作在三極管區，其電流的關係式 [10]為

$$I_D = \mu_n C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \quad (3.3)$$

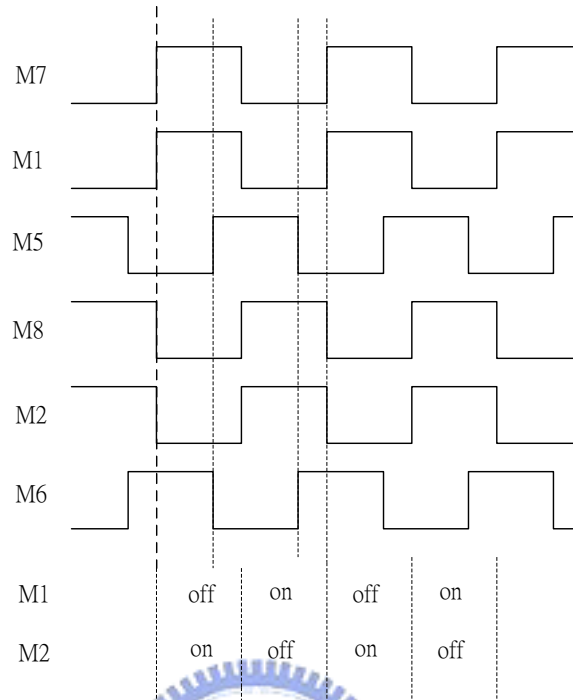


圖 3.3: 減速的多重路徑振盪器之狀態圖

控制電壓	單位	振盪頻率	單位
0.6	V	1.60	GHz
0.7	V	1.59	GHz
0.8	V	1.59	GHz
0.9	V	1.54	GHz
1.0	V	1.48	GHz
1.1	V	1.39	GHz
1.2	V	1.28	GHz
1.3	V	1.1	GHz
1.4	V	0.84	GHz
1.5	V	0.58	GHz
1.6	V	0.41	GHz
1.7	V	0.32	GHz
1.8	V	0.27	GHz

表 3.1: 減速的多重路徑架構控制電壓與頻率表

由於  $V_D$  幾乎與  $V_S$  相同, 所以

$$I_D = \mu_n C_{OX} \left( \frac{W}{L} \right) (V_{GS} - V_T) V_{DS} \quad (3.4)$$

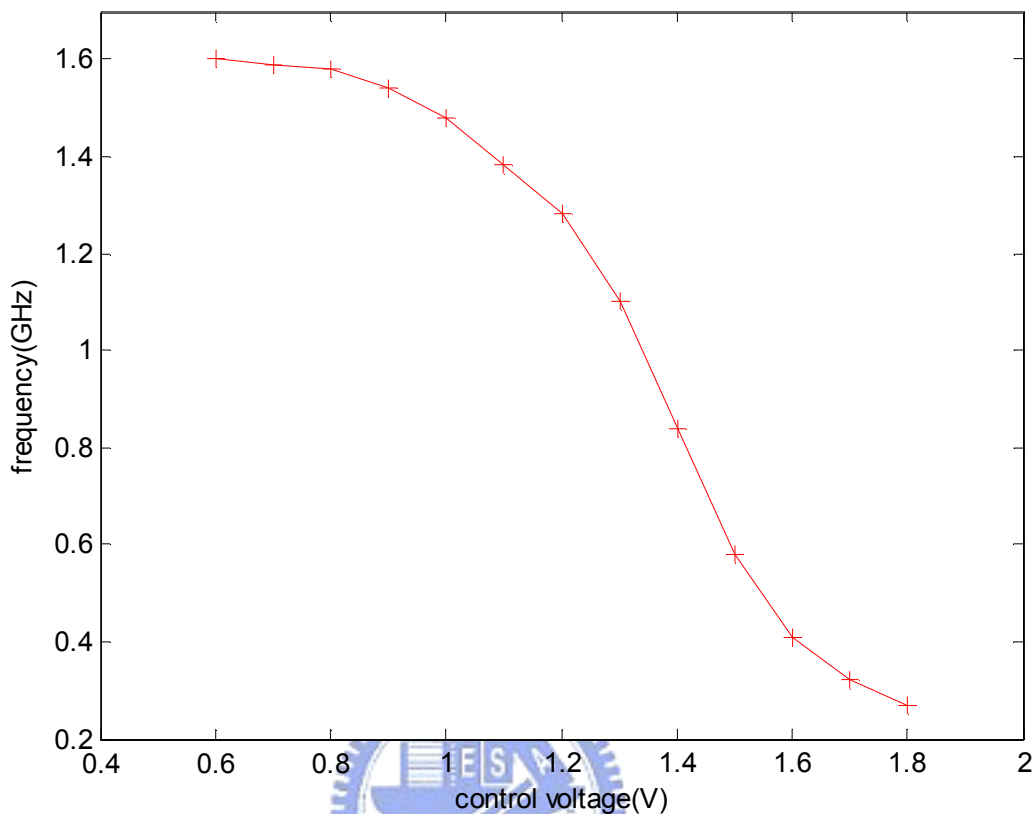


圖 3.4: 減速的多重路徑振盪器電路控制電壓與頻率關係

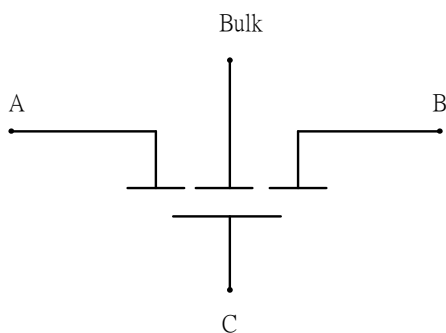


圖 3.5: NMOS 開關

則

$$R_{ON} = \frac{1}{\partial i_D / \partial V_{DS}} = \frac{L}{\mu_n C_{OX} W (V_{GS} - V_T)} \quad (3.5)$$

而當  $V_{GS}$  小於或者是等於  $V_T$  時, NMOS 電晶體則操作在截止區, 此時  $R_{OFF}$  理想上則為無限大, 而 NMOS 本身的電容的效應, 也對電路頻率有些微的影響, 然而其本身  $R_{ON}C$  就決定了 NMOS 取樣的頻率速度。使用 NMOS 作為開關, 其缺點是若要使汲極以及源極達到跟電源電壓一樣的準

位，則控制端閘極的電位，勢必要高於電源電壓。NMOS 開關的某些限制在以 CMOS 開關都可以被解決，CMOS 開關，如圖3.6，CMOS開關為一顆 NMOS 電晶體與一顆 PMOS 電晶體組成，當 C 點為高電位時，NMOS 與 PMOS 皆導通，當 C 點為低電位時，則兩者都截止，使用 CMOS 的好處是，可將汲極與源極電位拉升至與電源電壓同樣的準位，使得 A 點與 B 點但是由於多了一顆 PMOS 電晶體內部電容的影響，會影響振盪的頻率。

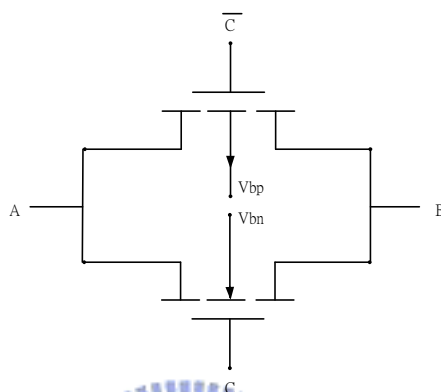


圖 3.6: CMOS 開關

### 3.3 利用 NMOS 連接後之電路架構與模擬結果

既然已經有了增快振盪頻率的多重路徑與減慢振盪頻率的多重路徑兩種電路架構，由於兩者只差在電路的連接方式，所以我們可以設計切換開關將兩種電路結合，設計的開關如圖3.7，從圖中可看到我們設計 A 與 B 兩個控制端，控制以多重路徑或者是反多重路徑的連接方式，當 A 為高電位 B 為低電位，電路為增快振盪頻率的多重路徑連接方式，當 A 為低電位 B 為高電位，電路為減慢振盪頻率的多重路徑連接方式，而 C 端則是接在多重路徑的 S+ 端或者是 S-端，看是以哪種連接方式連接。M(N) 指的是一個差動放大級的輸出正端，M'(N) 為差動級的輸出負端，使用開關結合後之架構圖，如圖3.8，在 S+ 以及 S- 的點皆有開關作為連接。九級電路的示意圖，如圖3.9，從圖中可以看到電路的串接方式。而連接後以增快振盪頻率的多重路徑連接時模擬結果呈現在圖3.10，在控制電壓從 0.6V-1.8V，每 0.1V 模擬一次，控制的頻率範圍從 1.44GHz-2.28GHz。以減速的多重路徑連接時模擬結果呈現在圖3.11，模擬方式與加速多重路徑相同，控制的頻率範圍從 1.44GHz-2.28GHz。從模擬的結果也可以看到在加入了 NMOS 開關之後振盪的頻率有降低的現象。



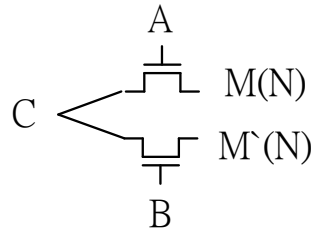


圖 3.7: 用以連接之NMOS 開關

A 電位	B 電位	連接方式
High	Low	加速的多重路徑
Low	High	減速的多重路徑

表 3.2: 開關與連接路徑關係

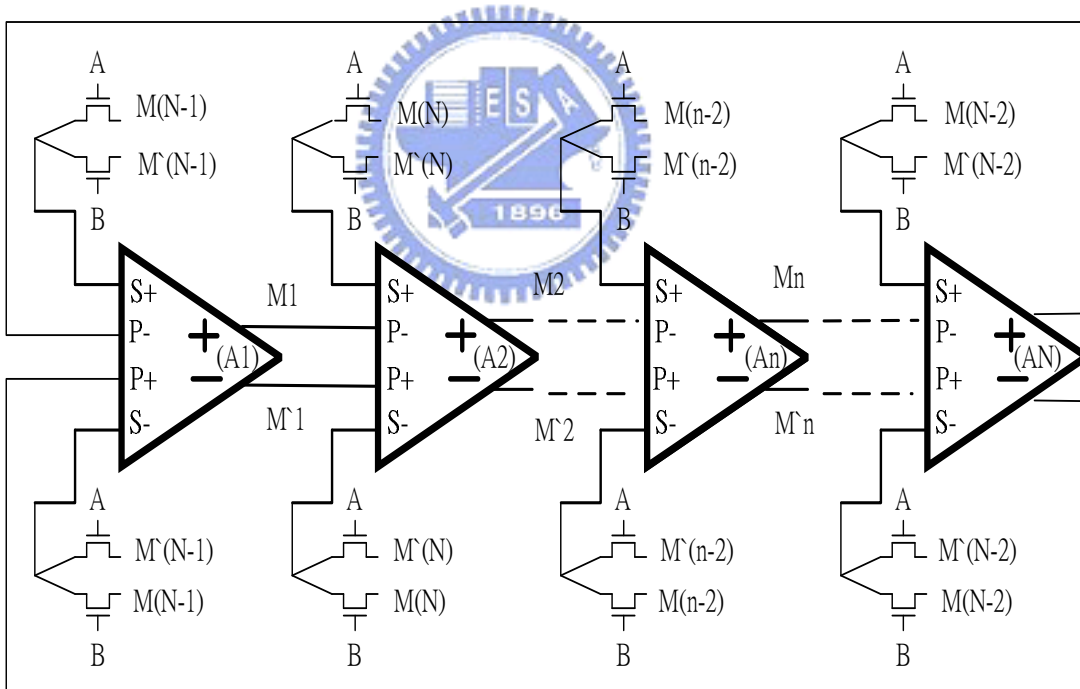


圖 3.8: 以開關連接加速以及減速的多重路徑振盪器

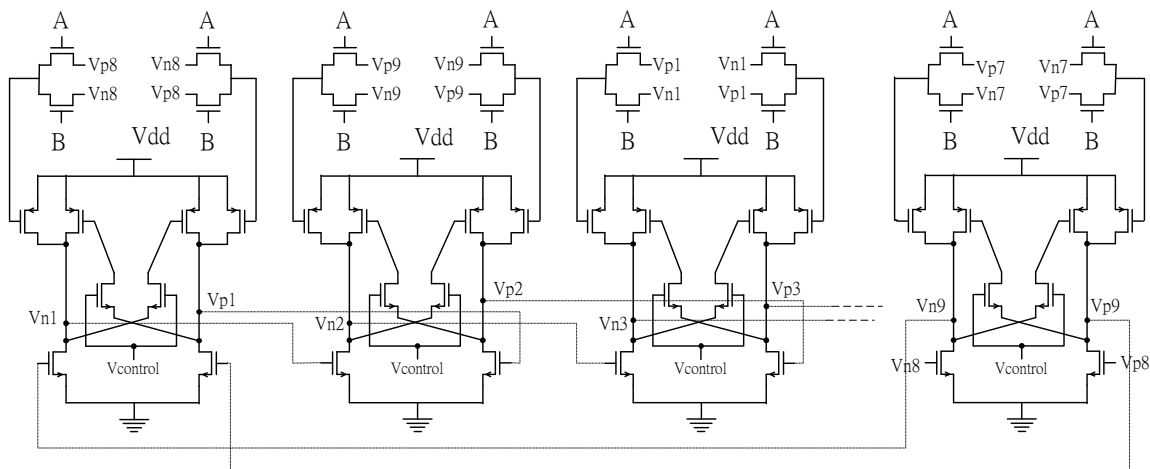


圖 3.9: 連接之後之電路示意圖

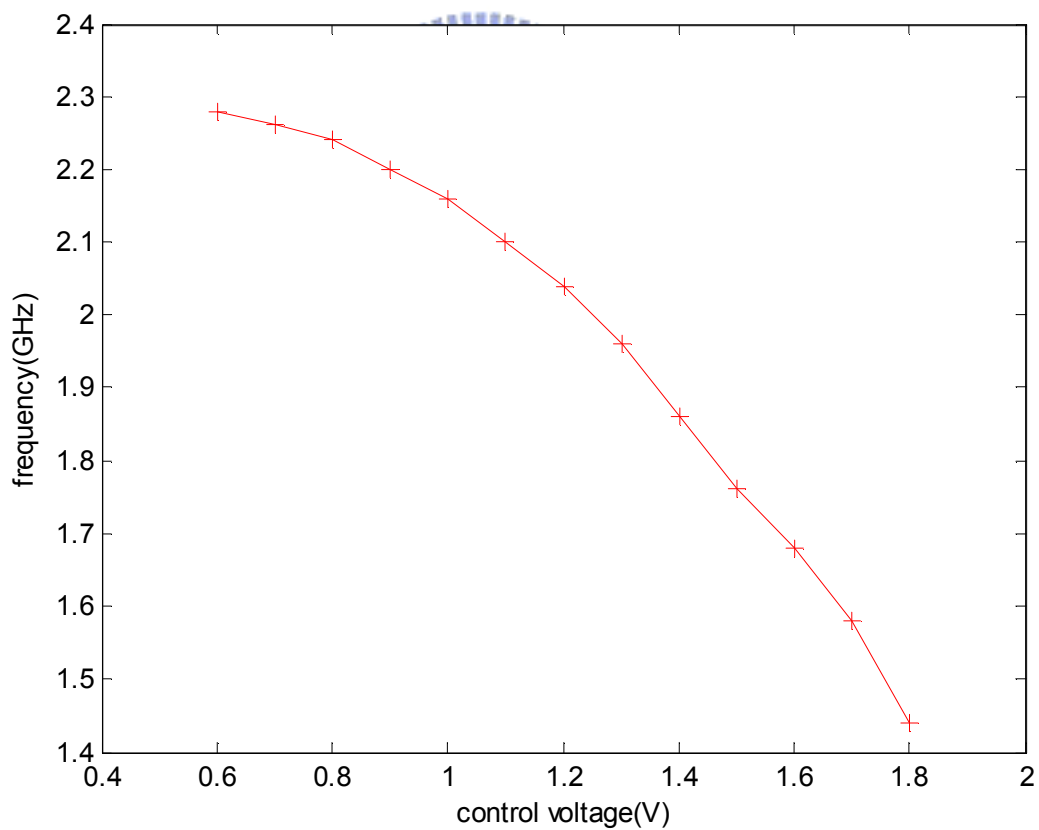


圖 3.10: 以開關連接後加速的多重路徑振盪器控制電壓與頻率關係

控制電壓	單位	振盪頻率	單位
0.6	V	2.28	GHz
0.7	V	2.26	GHz
0.8	V	2.24	GHz
0.9	V	2.2	GHz
1.0	V	2.16	GHz
1.1	V	2.1	GHz
1.2	V	2.04	GHz
1.3	V	1.96	GHz
1.4	V	1.86	GHz
1.5	V	1.76	GHz
1.6	V	1.68	GHz
1.7	V	1.58	GHz
1.8	V	1.44	GHz

表 3.3: 具開關之加速的多重路徑振盪器控制電壓與頻率表

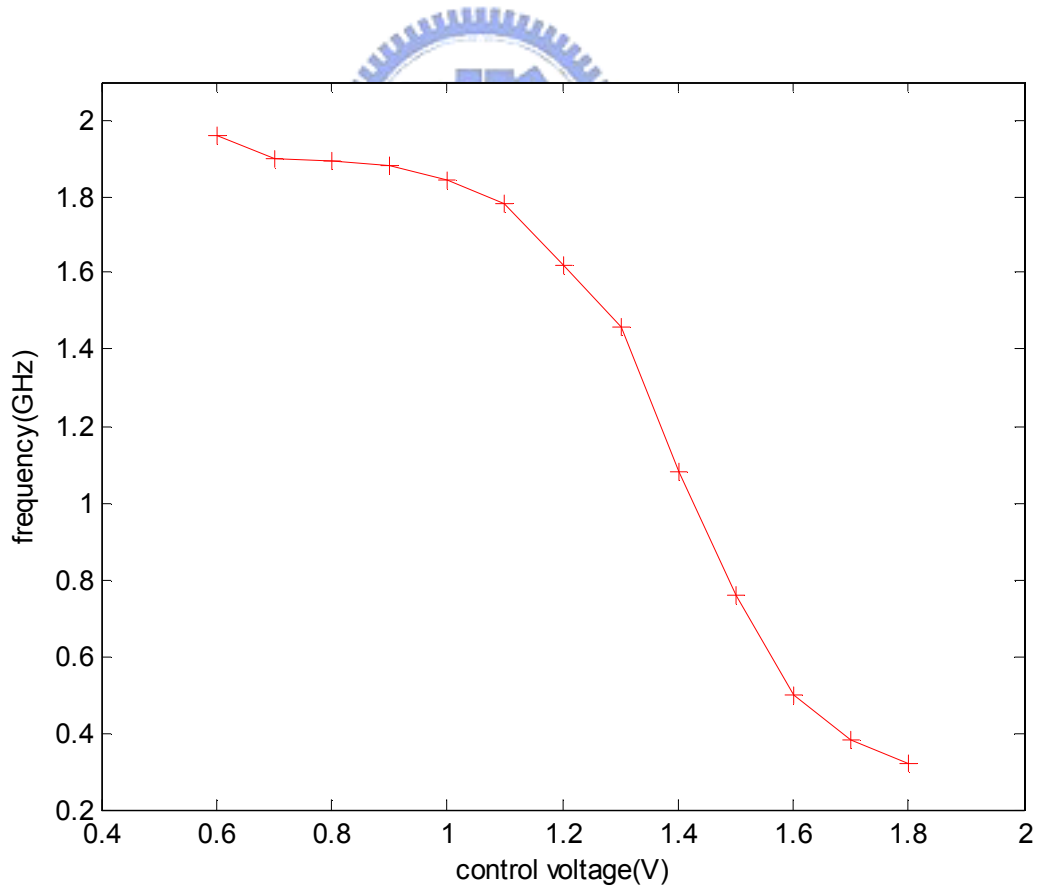


圖 3.11: 以開關連接後減速的多重路徑振盪器控制電壓與頻率關係

控制電壓	單位	振盪頻率	單位
0.6	V	1.96	GHz
0.7	V	1.90	GHz
0.8	V	1.90	GHz
0.9	V	1.88	GHz
1.0	V	1.84	GHz
1.1	V	1.78	GHz
1.2	V	1.62	GHz
1.3	V	1.46	GHz
1.4	V	1.08	GHz
1.5	V	0.76	GHz
1.6	V	0.50	GHz
1.7	V	0.38	GHz
1.8	V	0.32	GHz

表 3.4: 具開關之減速的多重路徑振盪器控制電壓與頻率表

### 3.4 相位雜訊

對於一個理想的正弦振盪器，會產生一理想的輸出波型，

$$s(t) = A \sin(\omega t) \quad (3.6)$$

但是由於相位雜訊的影響，實際上的波型會為

$$s(t) = A \sin(\omega t + \phi(t)) \quad (3.7)$$

其中 $\phi(t)$ 指的就是相位雜訊，相位雜訊的表現對振盪器的表現影響很大，這是很重要的考慮因素，所以在這裡我們直接利用 Spectre RF 軟體去模擬在無 NMOS 開關時增快振盪頻率的多重路徑下的相位雜訊，以及在以 NMOS 開關連接之後增快振盪頻率多重路徑以及減慢振盪頻率多重路徑連接方式的相位雜訊，其結果呈現在圖3.12、圖3.13以及圖3.14。可以看到在加速的多重路徑架構下中心頻率為 2.3GHz 時，偏移頻率 (offset frequency) 為 100kHz 時其相位雜訊為-96.35dBc/Hz，在偏移頻率為 1MHz 時其相位雜訊為-116.3dBc/Hz。而在以 NMOS 開關連接之後，在增快振盪頻率的多重路徑連接方式下，中心頻率為 2GHz，偏移頻率為 100kHz 時其相位雜訊為-95.77dBc/Hz，在偏移頻率為 1MHz 時其相位雜訊為-115.8dBc/Hz。在減慢振盪頻率的多重路徑連接方式下，中心頻率為 0.67GHz，偏移頻率為 100kHz 時，其相位雜訊為-85.46dBc/Hz，在偏移頻率為 1MHz 時，其相位雜訊為-105.5dBc/Hz。

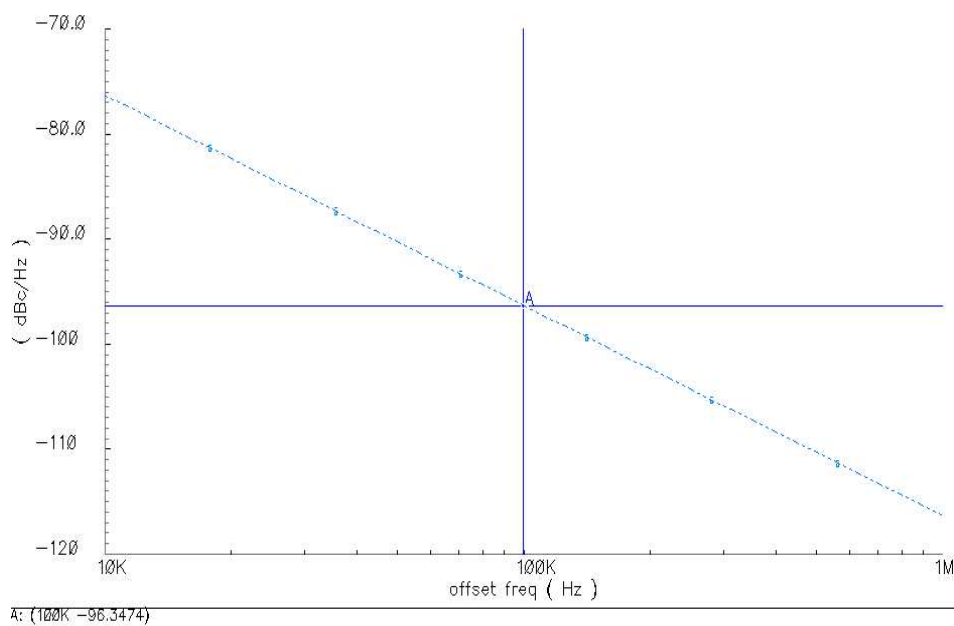


圖 3.12: 多重路徑架構中心頻率為2.3GHz 時之相位雜訊圖

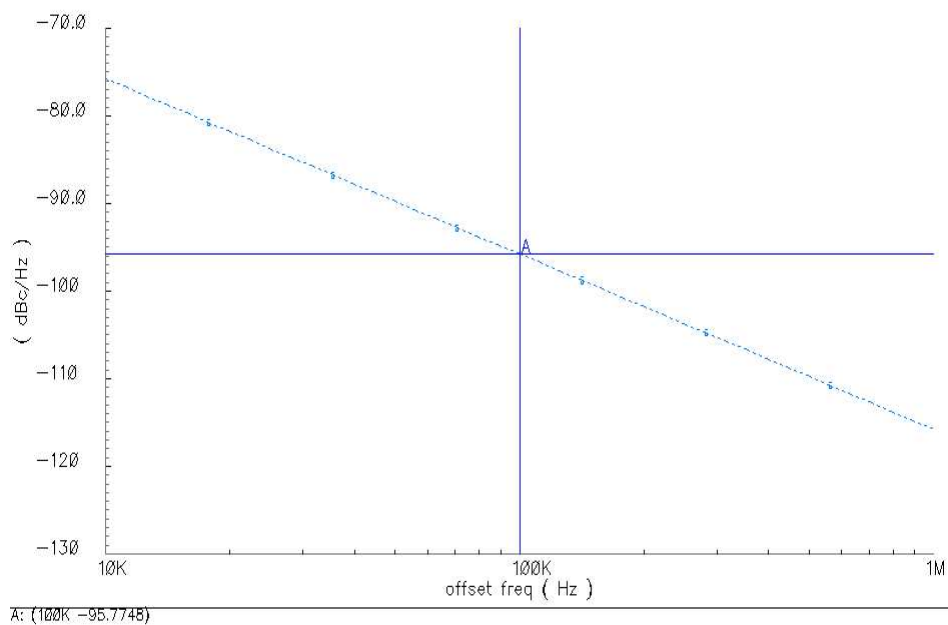


圖 3.13: 具有NMOS 開關之多重路徑中心頻率為2GHz 時之相位雜訊圖

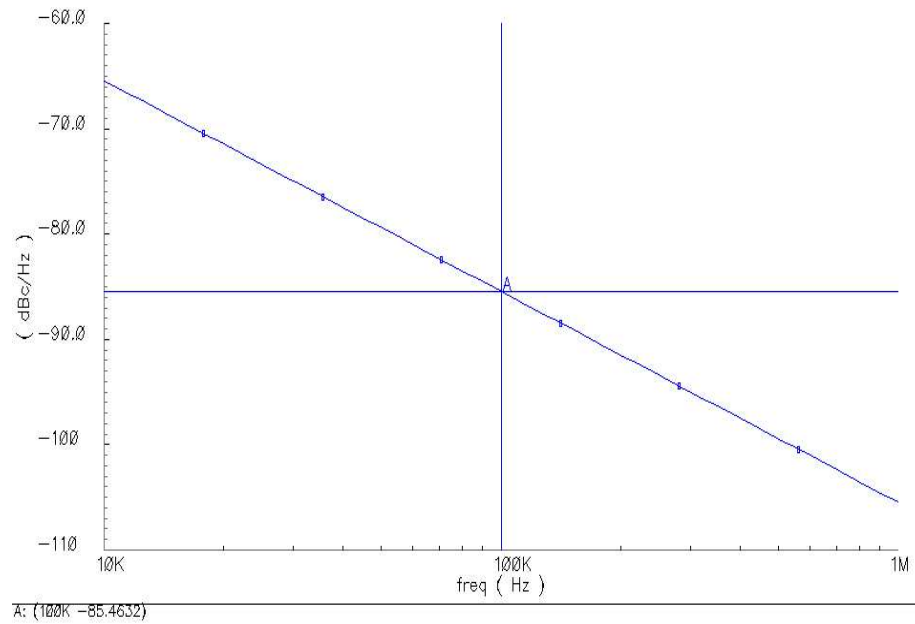


圖 3.14: 具有開關之減速多重路徑中心頻率為670MHz 時之相位雜訊圖

## 第 4 章

### 模擬結果與比較

在模擬中，電路的電路元件均採用 TSMC 0.18  $\mu\text{m}$  1P6M CMOS 製程，圖4.1是電路佈局圖，一共含有九個放大級，此電路所需要的電源電壓是1.8V，核心電路所佔面積約為 226.1 X 112  $\text{mm}^2$ 。在下面則呈現了模擬的結果以及所設計的振盪器規格列表以及線性度。

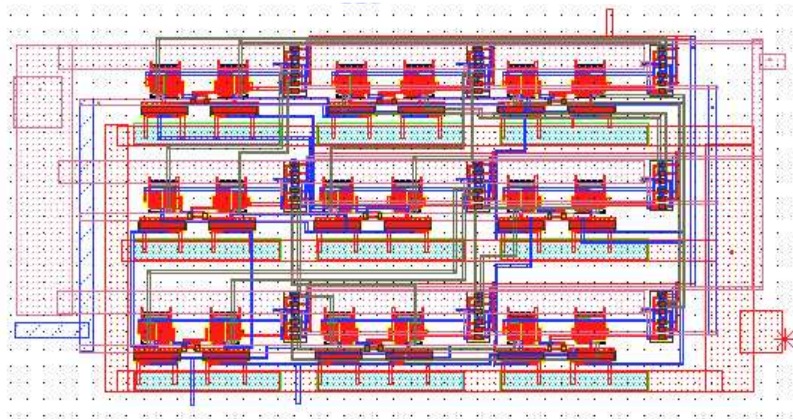


圖 4.1: 電路佈局圖

圖4.2所呈現的是圖4.1中的其中一差動放大級包括開關電路的佈局圖，從圖中可以看到電晶體的排列情形，PMOS部分有四顆電晶體，分別是多重路徑以及作為拴鎖的電晶體各有兩顆，NMOS部分則除了輸入端以外還包括了中間兩顆較小，用來控制震盪頻率的電晶體，而圖中右邊則是開關電路，是利用四顆 NMOS 連接到多重路徑的輸入端，在設計方面考慮到對稱性，所以每一差動級的架構都是如此，然後一級與一級之間的連接方式是以環狀的繞法，以避免會有某些差動級之間的金屬連接線太長而造成在某些差動級的延遲時間較長，同時也不將電晶體靠太近以避免互相影響。

#### 4.1 佈局模擬結果與製程變動分析

電路在設計好之後會送入晶圓廠作成晶片，通常晶片只在晶圓上佔很小的一部分，而同樣的電路在晶圓上的不同地方被製造出來，其效能會不同，所以晶圓廠會提供幾種不同的邊緣模型 (Corner Model)

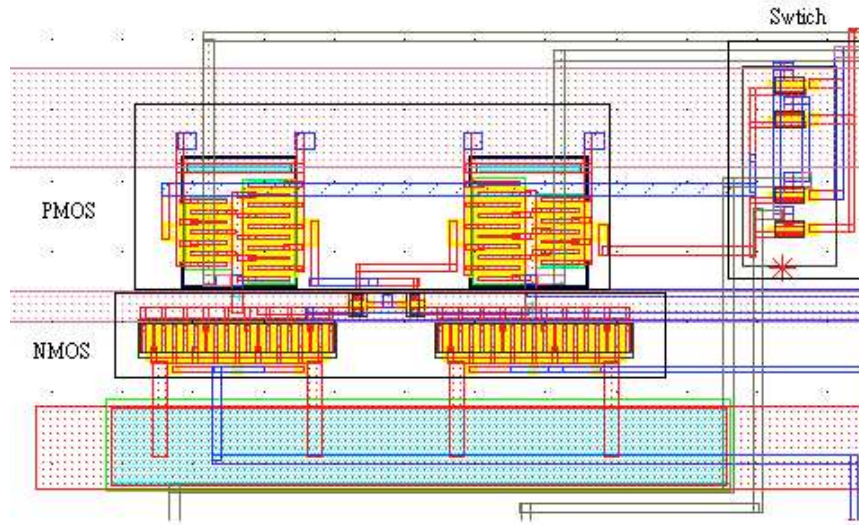


圖 4.2: 差動放大一級之佈局圖

給予設計者去作模擬，以考慮到不同地方被製造出的晶片是否同樣可以正常工作，除了標準的 TT 之模擬結果之外，在這裡我們還使用 FF(Fast NMOS Fast PMOS) 以及 SS(Slow NMOS Slow PMOS) 這兩種極端的情形去作模擬，圖4.3所呈現的是在 TT 模型下以加速的多重路徑連接方式的模擬結果，控制電壓從 0.6V-1.8V，振盪頻率範圍可由 0.96GHz-1.8GHz、圖4.4所呈現的是在 TT 模型下以減速的多重路徑連接方式的模擬結果，控制電壓從 0.6V-1.8V，振盪頻率範圍由 0.32GHz-1.58GHz。比較一下在 TT 模型下後端模擬跟前端模擬的結果，在前端模擬時在控制電壓為 0.6V 時，頻率可以達到 2.28GHz，但是在後端模擬時我們看到同樣在控制電壓 0.6V 下振盪頻率只有 1.8GHz，大約只有前端模擬頻率的百分之七十九，所以佈局的技巧還必須要加強。圖4.5所呈現的是在 FF 模型下以加速的多重路徑連接方式的模擬結果，控制電壓從 0.6V-1.8V，振盪頻率範圍由 1.14GHz-2.1GHz、圖4.6所呈現的是在 FF 模型下以減速的多重路徑連接方式的模擬結果，控制電壓從 0.6V-1.8V，振盪頻率範圍由 0.38GHz-1.82GHz。理論上在 FF 的模型下，模擬出來的振盪頻率應該要比在 TT 下還要快，從結果可以看到，在控制電壓 0.6V 下，頻率可以達到 2.1GHz，而在 TT 下為 1.8GHz，符合我們所預期變快的結果。圖4.7所呈現的是在 SS 模型下以加速的重路徑連接方式的模擬結果，控制電壓從 0.6V-1.8V，振盪頻率範圍由 0.8GHz-1.54GHz、圖4.8所呈現的是在 SS 模型下以減速的多重路徑連接方式的模擬結果，控制電壓從 0.6V-1.8V，振盪頻率範圍由 0.28GHz-1.34GHz。而理論上在 SS 的模型下，模擬出來的振盪頻率應該要比在 TT 下還要來的慢，從結果也可以看到，在控制電壓 0.6V 下，頻率只達到 1.54GHz，而在 TT 下為 1.8GHz，同樣符合我們所預期振盪速度會變慢的結果。表 4.1 則是整理了上述幾種模擬情形的結果，表 4.2 則是所設計的振盪器規格表。之後我們再加上 TSMC 標準 PAD 與沒 PAD 的模擬作比較加了 PAD 之後的面積大小約為 0.271 X 0.409  $mm^2$ 。佈局圖如圖 4.11，圖中一共有七個連接 PAD 的點，各個



PAD 所連接的點已經標示在圖中, 分別是電源電壓接點 VDD、接地點 VSS、控制電壓端點 Vctrl、NMOS開關的兩個切換控制 Vctrla 和 Vctrlb 以及振盪器其中兩端的輸出 Vout1 和 Vout2。圖 4.12 為輸出波型, 可看到有接 PAD 那一級的輸出波型受到 PAD 的電容影響上升速度減慢。

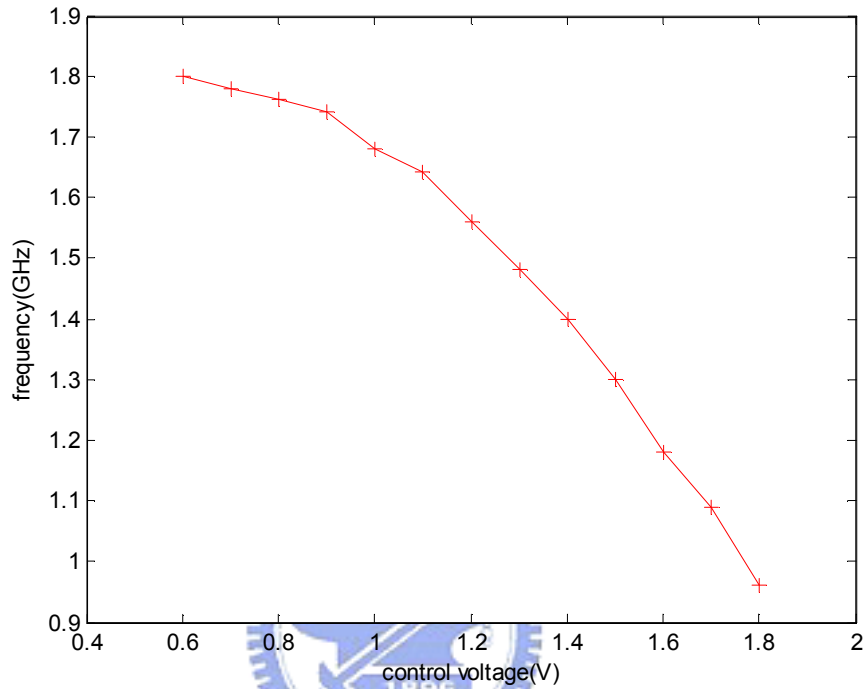


圖 4.3: 在 TT 模型下加速多重路徑電路控制電壓與頻率關係

## 4.2 線性度

在這裡我們也對線性度作分析, 之前的模擬是以電壓間隔為 0.1V 作一次模擬, 可得到不同控制電壓下的振盪頻率, 然後畫成振盪波型。在這裡我們找出每兩個波型中間隔的控制電壓與振盪頻率之斜率, 再將結果畫成圖形, 如此即可看出斜率的變化, 而得知某一範圍中線性度的好壞。橫軸為間隔電壓的中心點, 如 0.6V 和 0.7V 兩點間的斜率, 就取 0.65V 當作 X 軸, Y 軸為兩間隔點的頻率相減再除以間隔電壓 0.1V, 而得到斜率。圖 4.13 至 4.18 就是上節不同模型下波型的斜率變化, 由斜率即可看出線性度的表現。

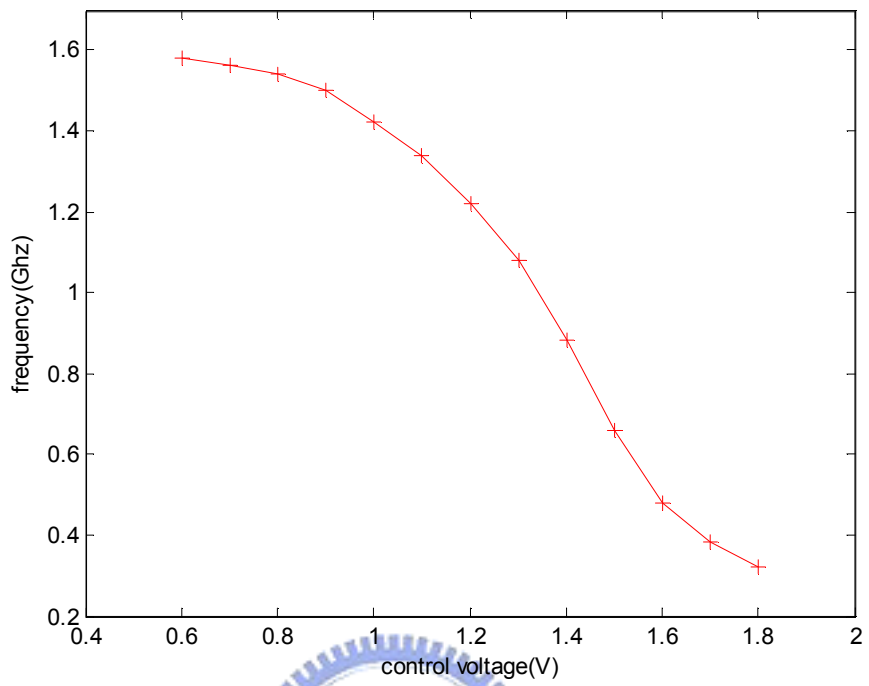


圖 4.4: 在TT 模型下減速多重路徑架構控制電壓與頻率關係

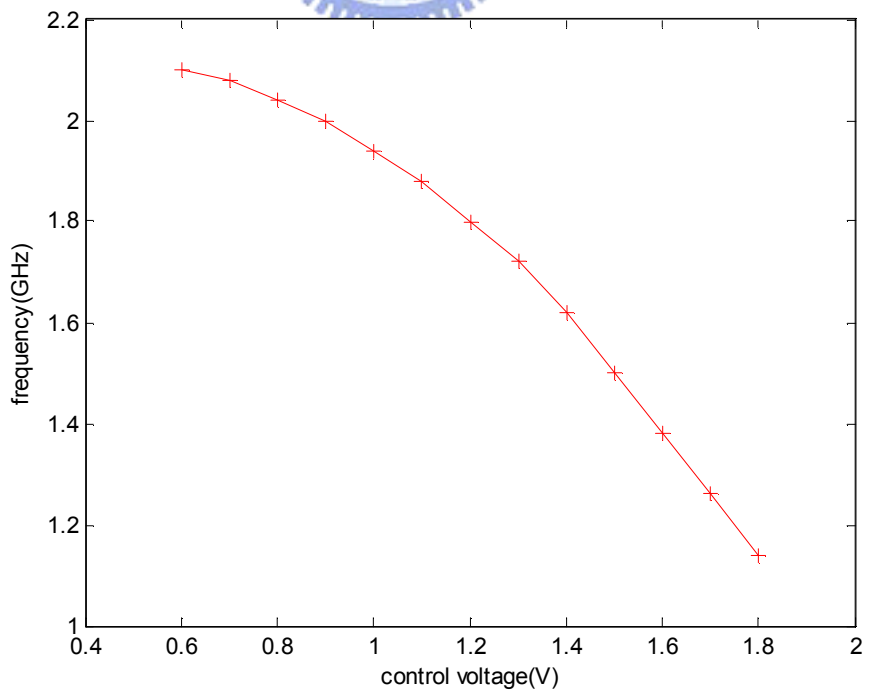


圖 4.5: 在FF 模型下加速多重路徑電路控制電壓與頻率關係

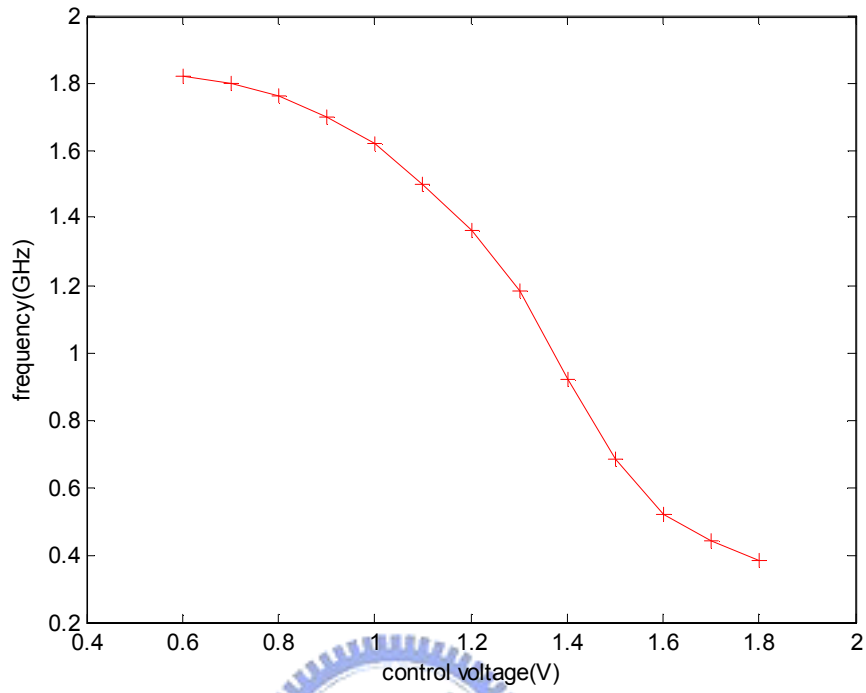


圖 4.6: 在FF 模型下減速多重路徑電路控制電壓與頻率關係

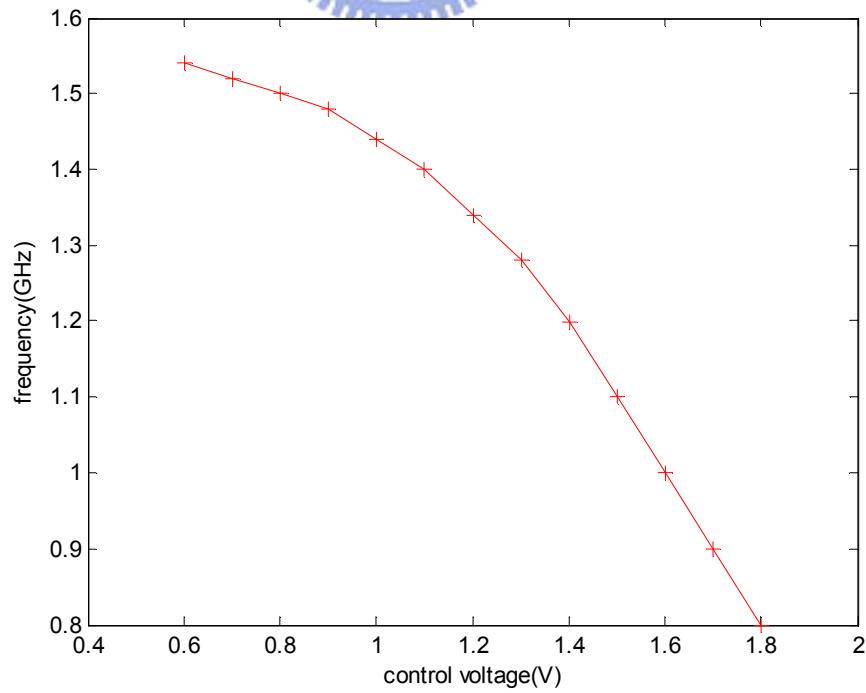


圖 4.7: 在SS 模型下加速多重路徑電路控制電壓與頻率關係

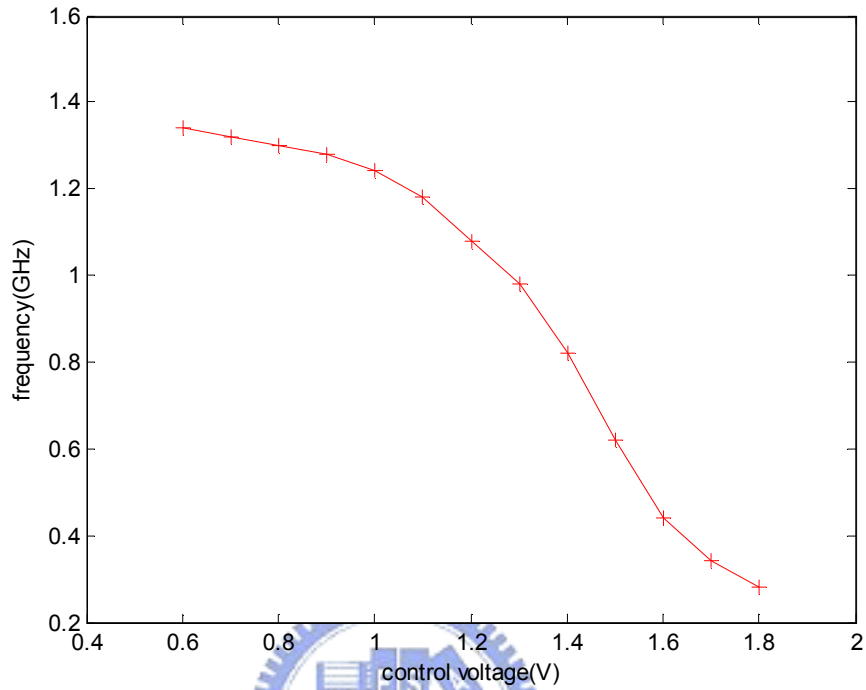


圖 4.8: 在SS 模型下減速多重路徑電路控制電壓與頻率關係

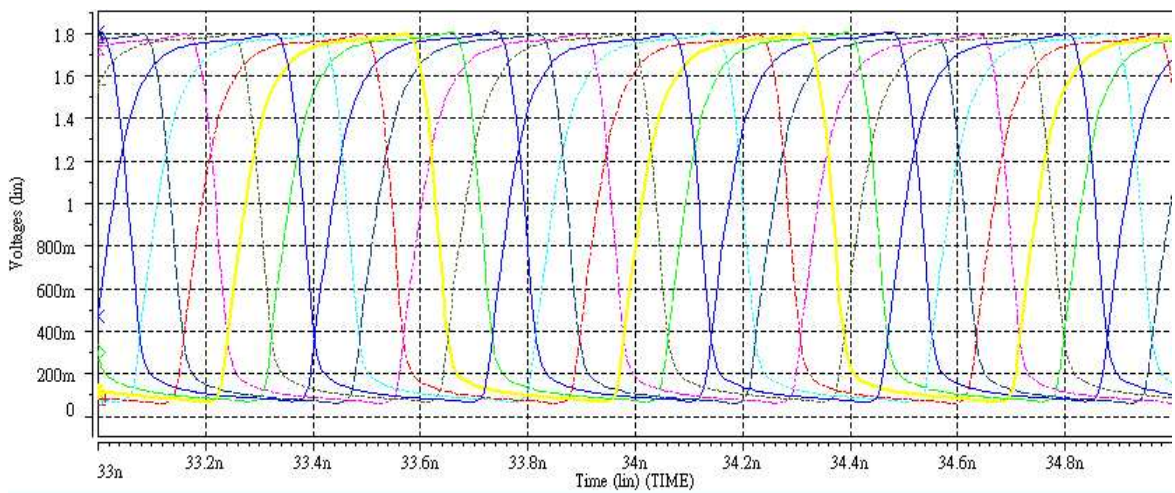


圖 4.9: 在頻率為1.35GHz 時 TT 模型下加速多重路徑之九級正端輸出波形

電路架構	控制電壓	單位	控制頻率範圍	單位
加速之多重路徑電路	0.6-1.8	V	1.72-2.54	GHz
減速之多重路徑電路	0.6-1.8	V	0.27-1.6	GHz
具開關之加速多重路徑電路	0.6-1.8	V	1.44-2.28	GHz
具開關之減速多重路徑電路	0.6-1.8	V	0.32-1.96	GHz
後端模擬 TT 具開關之加速多重路徑	0.6-1.8	V	0.96-1.8	GHz
後端模擬 TT 具開關之減速多重路徑	0.6-1.8	V	0.32-1.58	GHz
後端模擬 FF 具開關之加速多重路徑	0.6-1.8	V	1.14-2.1	GHz
後端模擬 FF 具開關之減速多重路徑	0.6-1.8	V	0.38-1.82	GHz
後端模擬 SS 具開關之加速多重路徑	0.6-1.8	V	0.8-1.54	GHz
後端模擬 SS 具開關之減速多重路徑	0.6-1.8	V	0.28-1.34	GHz

表 4.1: 不同架構下控制電壓與頻率之規格表



參數	數值	單位
輸入電源電壓	1.8	V
電壓控制範圍	0.6-1.8	V
控制頻率範圍	0.32-1.8	GHz
輸出的峰對峰振幅最小值	1.67	V
平均消耗功率	91.4	mW
相位雜訊	-115.8	dBc/Hz

(中心頻率 2GHz, 偏移頻率為 1MHz 情況下)

表 4.2: 完整電路之規格列表

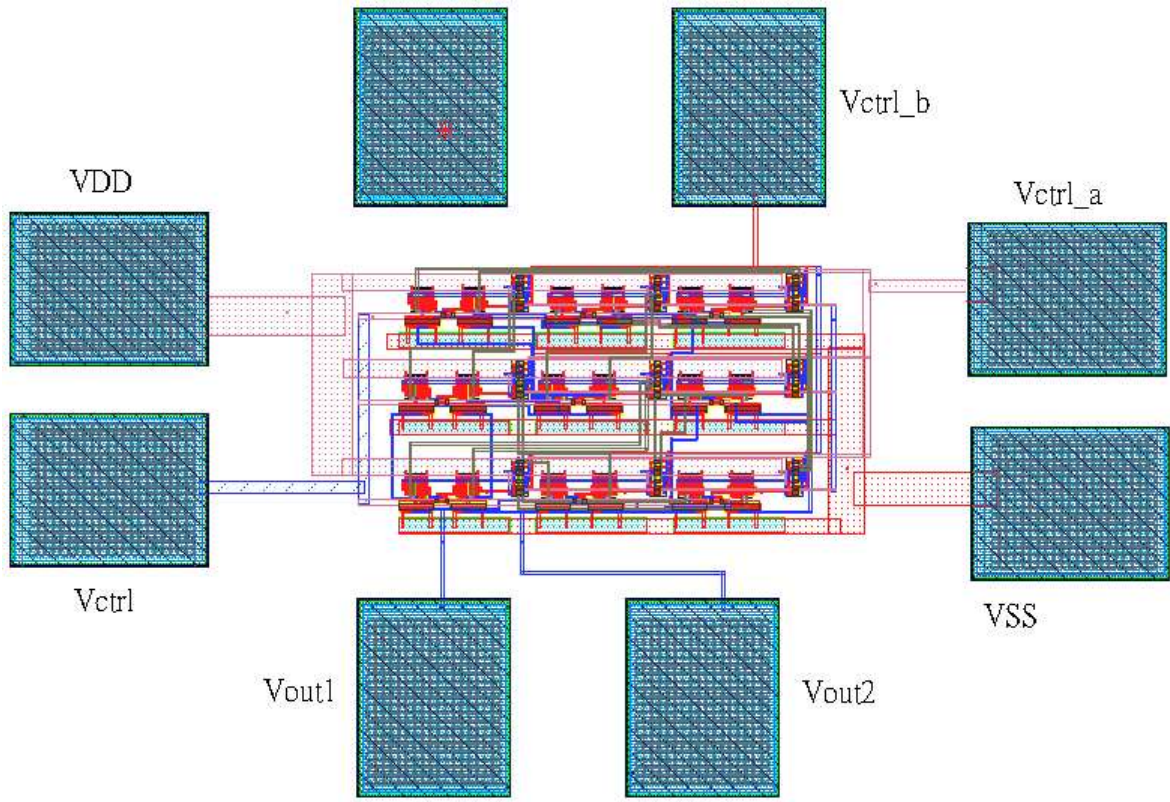


圖 4.10: 加了TSMC 標準 PAD 後之佈局圖

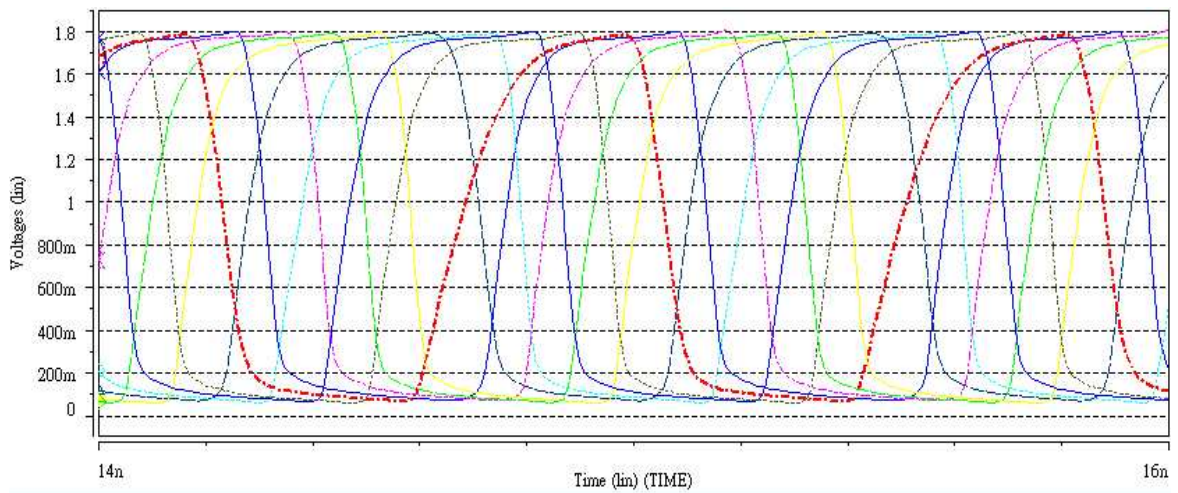


圖 4.11: 加了PAD 後之輸出波型

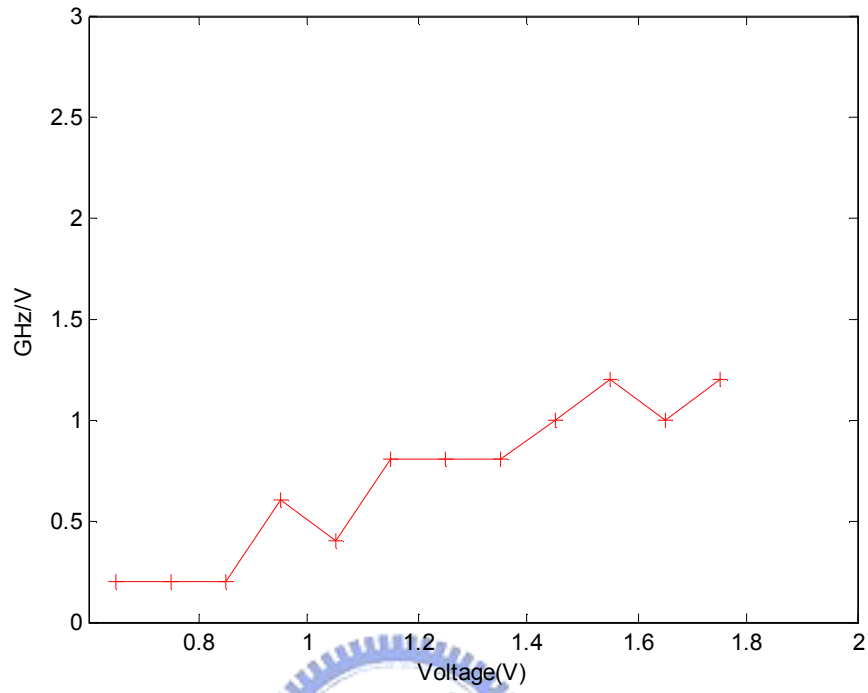


圖 4.12: TT 模型下加速多重路徑波型之斜率變化

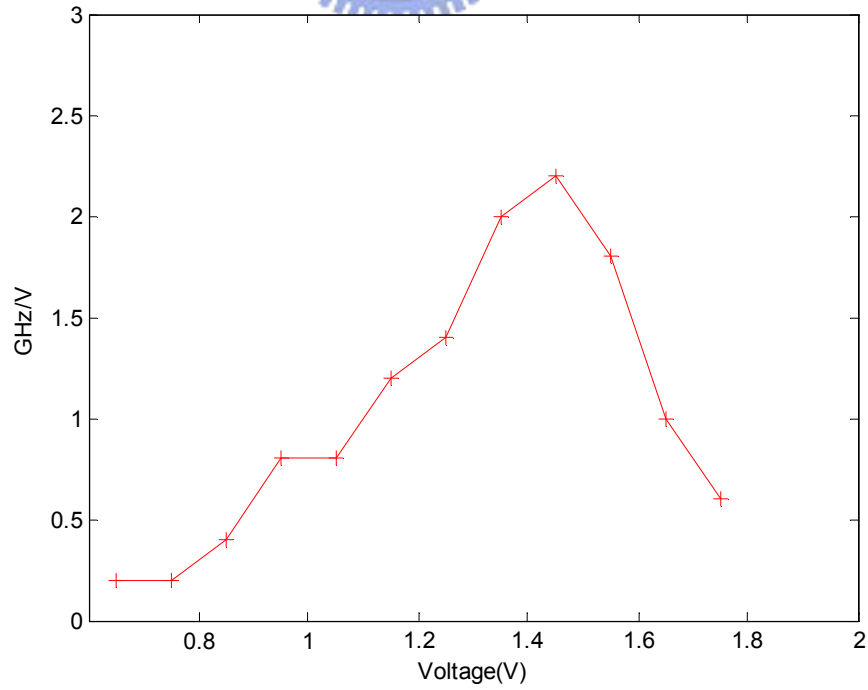


圖 4.13: TT 模型下減速多重路徑波型之斜率變化

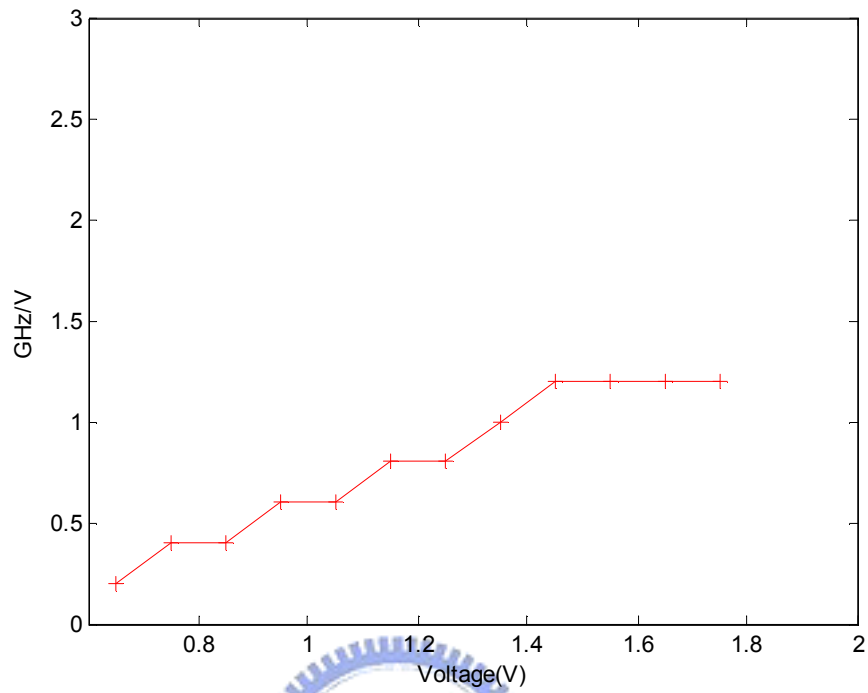


圖 4.14: FF 模型下加速多重路徑波型之斜率變化

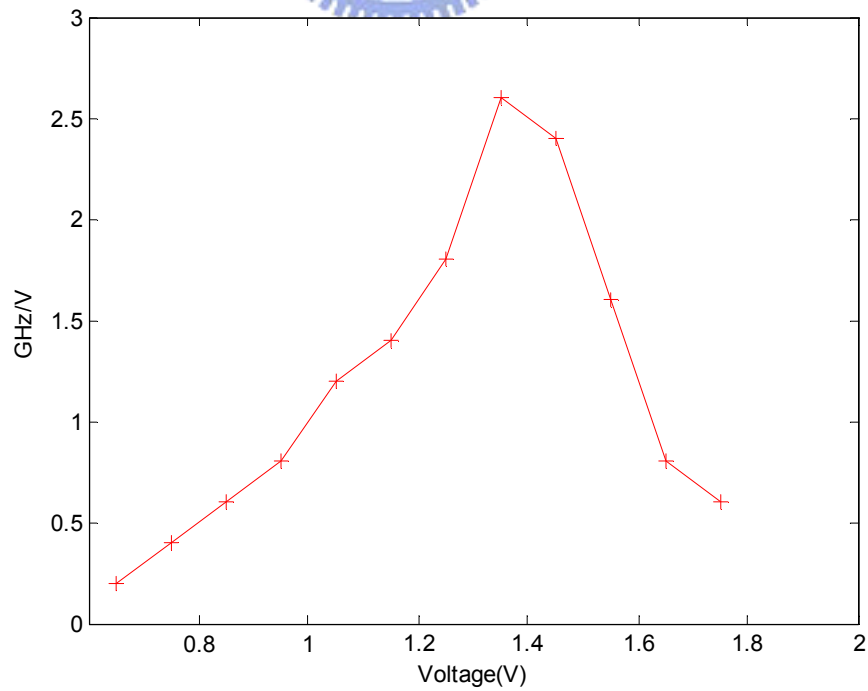


圖 4.15: FF 模型下減速多重路徑波型之斜率變化



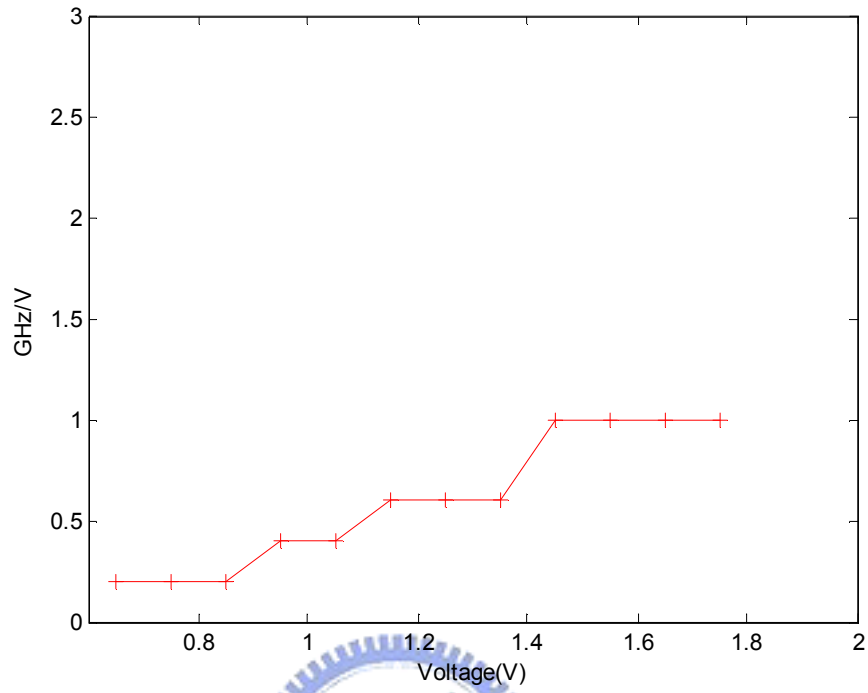


圖 4.16: SS 模型下加速多重路徑波型之斜率變化

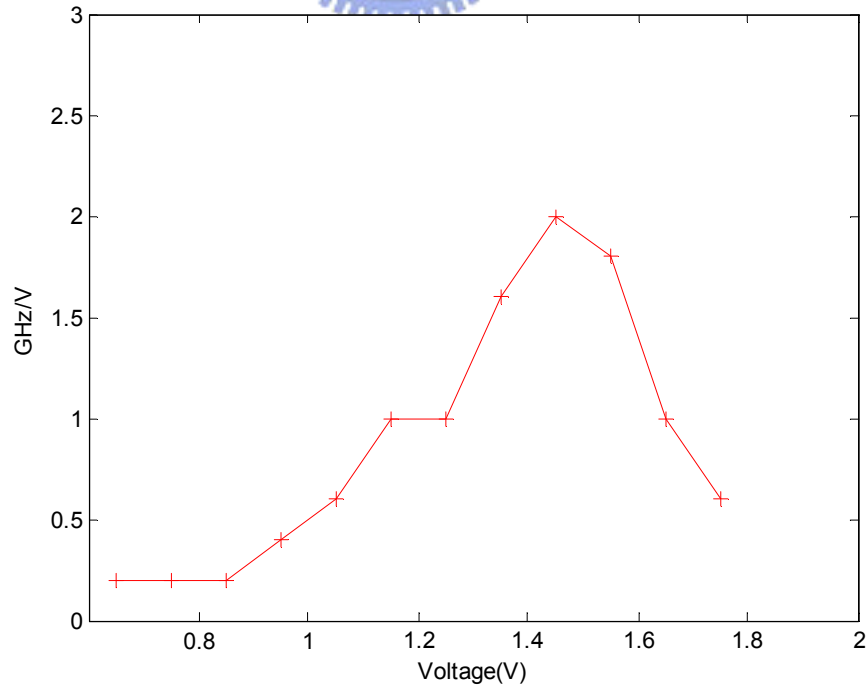


圖 4.17: SS 模型下減速多重路徑波型之斜率變化

## 第 5 章

### 結論

#### 5.1 結論

本論文提出一減速的多重路徑架構，其觀念是由文獻 [4] 中的多重路徑所延伸出來。有別於傳統都利用 MOS 耦合強度控制頻率的環形振盪器(Ring Oscillator)[5]，因多重路徑的加入，提升了各放大級反應的速度，因而提高振盪器的頻率；我們是利用反接的方式，而使各放大級反應的速度降低，因而使振盪器的頻率下降。如此可使得振盪器有更低的振盪頻率。之後再利用NMOS 作為切換開關，將加速與減速的多重路徑電路連接在一起，如此一來經由 NMOS 開關的控制，可先分成二個頻帶；再經由各級放大之延遲時間控制，即可形成兩個頻率調整範圍之電壓控制振盪器，其可以達到較寬的頻率調整範圍。本論文並設計一串接九級的電壓控制振盪器，我們先以 SPICE 軟體模擬其不同控制電壓下的控制振盪頻率，最後再將此電路佈局，做後端模擬。在輸入電源電壓為 1.8V 下，經由前端模擬，此電路在控制電壓為 0.6V-1.8V 時，此電路的控制頻率範圍為 0.32GHz-2.4GHz；由後端模擬，此振盪器之振盪頻率可達到的調整範圍為 0.32GHz-1.8GHz。由此模擬結果可知，由於佈局時所產生的雜散寄生電容的影響，電路的振盪頻率降低。也由於 PAD 的加入會使得波型改變，所以我們也必須設計 buffer 以減少影響。

## 參考文獻

- [1] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, 2001.
- [2] S.-J. Lee, B. Kim, and K. Lee, "A Novel High-speed Ring Oscillator for Multiphase Clock Generation Using Negative Skewed-delay Scheme," *IEEE J. Solid-State Circuits*, vol. 32, pp. 289-291, Feb. 1997.
- [3] A. Ong, S. Benyamin, J. Cancio, V. Conditto, T. Labrie, Q. H. Lee, J. P. Mattia, D. K. Shaeffer, A. Shahani, X. Si, H. Tao, M. Tarsia, W. Wong and M. Xu, "A 40-43-Gb/s clock and data recovery IC with integrated SFI-5 1:16 demultiplexer in SiGe technology," *IEEE J. Solid-State Circuits*, vol. 38, pp. 2155 - 2168, Dec. 2003.
- [4] Y. A. Eken and J. P. Uyemura, "A 5.9-GHz Voltage-Controlled Ring Oscillator in 0.18- $\mu\text{m}$  CMOS," *IEEE J. Solid-State Circuits*, vol. 39, pp. 230-233, Jan. 2004.
- [5] C. H. Park and B. Kim, "A Low-Noise, 900-MHz VCO in 0.6- $\mu\text{m}$  CMOS," *IEEE J. Solid-State Circuits*, vol. 34, pp. 586-590, May 1999.
- [6] P. R. Gray, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, 2001.
- [7] L. Dai and R. Harjani, "Design of Low-Phase-Noise CMOS Ring Oscillators," *IEEE Trans. Circuits Syst. II*, vol.49, pp. 328-338, May 2002.
- [8] A. Hajimiri, S. Limotyrakis, and T. H. Lee, "Jitter and Phase Noise in Ring Oscillators," *IEEE J. Solid-State Circuits*, vol. 34, pp. 790-804, June 1999.
- [9] P.V.A. Mohan, V. Ramachandran and M.N.S. Swamy, *Switched Capacitor Filters*, Prentice Hall ,1995.
- [10] H.O. Johansson and C. Svensson, "Time Resolution of NMOS Sampling Switches Used on Low-Swing Signals," *IEEE J. Solid-State Circuit*, vol. 33, pp. 237-245, Feb. 1998.

- [11] W.S.T. Yan and H.C. Luong, "A 900-MHz CMOS Low-Phase-Noise Voltage-Controlled Ring Oscillator," *IEEE Trans. Circuits Syst. II*, vol. 40, pp. 216-221, Feb. 2001.

