

國立交通大學

電機與控制工程學系

碩士論文

應用於無線感測網路之超低耗能連續近似式

類比數位轉換器之設計



Design of An Ultra-low Power Successive
Approximation Analog-to-Digital Converter for
Wireless Sensor Networks

研究生：李國銘

指導教授：洪浩喬 教授

中華民國九十五年七月

應用於無線感測網路之超低耗能連續近似式
類比數位轉換器之設計

Design of An Ultra-low Power Successive
Approximation Analog-to-Digital Converter for
Wireless Sensor Networks

研究生：李國銘

Student : Guo-Ming Lee

指導教授：洪浩喬

Advisor : Hao-Chiao Hong

國立交通大學 電機資訊學院
電機與控制工程學系



碩士論文

A Thesis

Submitted to Department of Electrical and Control Engineering College
of Electrical Engineering and Computer Science

National Chiao-Tung University

In Partial Fulfillment of the Requirements

for the Degree of

Master

In

Electrical and Control Engineering

July 2006

Hsinchu, Taiwan, R.O.C

中華民國九十五年七月

應用於無線感測網路之超低耗能連續近似式 類比數位轉換器之設計

研究生：李國銘

指導教授：洪浩喬 博士

國立交通大學電機與控制工程學系碩士班

摘要

隨著製程及設計技術的進步，在電路速度方面已有顯著的提升，例如電腦中央處理器(CPU)之操作已達到 3GHz 以上。然而，對於可攜式裝置、感測器及生物應用來說，操作時間的長短卻遠比速度的快慢來得重要，例如以野生動物偵搜應用，由於其更換電池不易，故需以低耗能之設計來加長操作時間。

本論文提出利用 0.18 微米互補式金氧半製程實現一應用於無線感測網路之 0.9 伏特及 8 位元超低耗能連續近似式類比數位轉換器，此類比數位轉換器結合了靴帶式(Bootstrapping)及接地式開關(Grounded-switches)的技巧來減少功率消耗。在低供應電壓下，為了改善訊號雜訊比值，故提出一個有軌對軌輸入的比較器來使類比數位轉換器有軌對軌的輸入。量測結果呈現在輸出頻率為 144KS/s 時，此連續近似式類比數位轉換器有著軌對軌(Rail-to-rail)的輸入及其訊號對雜訊諧波比為 46.67dB，且有效解析度頻寬可以到達奈奎斯頻率(72KHz)，而此類比數位轉換器之功率消耗只有 2.16 μ W，此時之 FOM (Figure of merit)可達 0.08pJ/conversion-step，此數值比我們所知文獻之 FOM 好上 22 倍之多，為目前最低之 FOM。


Design of An Ultra-low Power Successive Approximation Analog-to-Digital Converter for Wireless Sensor Networks

Student : Guo-Ming Lee

Advisor : Dr. Hao-Chiao Hong

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract



Following the progress of fabrication process and design skills, the circuit speed has been remarkably promoted. For instance, the center processor unit (CPU) can be operated above 3GHz. For energy-limited applications such as the portable amusement, sensors, and biometrics, a longer operation time is the major concern rather than the speed. For instance, an animal tracking system is expected to sustain for several years as a result of being hard to replace the battery.

This paper presents a 0.9V, 8-bit ultra low power successive approximation analog-to-digital converter for wireless sensor networks in 0.18 μ m 1P6M CMOS process. The analog-to-digital converter utilizes both bootstrapping and grounded-switches techniques to save the power consumption. A comparator with a rail-to-rail input range is proposed to make the input range of the ADC also rail-to-rail. Measurement results show that under an output rate of 144KS/s,

the SA ADC has a rail-to-rail input range and a peak signal-to-noise-distortion ratio (SNDR) of 46.67dB with an effective resolution bandwidth (ERBW) up to the Nyquist frequency (72KHz). Its power consumption is as low as 2.16 μ W corresponding to a figure of merit (FOM) of as low as 0.08pJ/conversion-step. The FOM is 22 times better than the best one of the state-of-the-art works as far as we know.



誌謝

本論文得以順利完成，最主要感謝的是我的指導教授 洪浩喬老師，真的很慶幸能找到洪老師當我的指導教授，老師能一針見血地指出我的缺點，且也教導我學業上豐富的知識。在碩士生涯中，覺得收穫良多，不僅學習到做研究的態度及方法，同時也學習到許多做事應有的態度及精神，謝謝老師在碩士生涯所給予的指導。謝謝您，老師！

感謝各位口試委員給予我論文上的指導與建議，口試委員們能指出我平常沒有注意到的地方，讓我的思考能更加周全，且讓我的論文更完整。

感謝實驗室博班聖泉學長在研究上給予的指導及建議；還有和我一起為畢業而奮戰的皇承學長及同窗孟軒、鼎鈞、宏慶，這段時間真的蠻辛苦的，感謝你們的陪伴以及給予的幫助；感謝學弟們芳毅、振綱、榮洲，謝謝你們平時的關懷和幫忙，非常感謝你們。

感謝我的父母、大哥，一直以來總是給予我最大的支持，在我低落、灰心的時候，給予我鼓勵。每次我說：「或許可能要多讀一年」，但你們不僅沒有責備，取而代之的是無限的鼓勵及安慰，始終給予我信心，讓我能以你們的支持為後盾，無後顧之憂的往前邁進，專心於研究，順利完成論文。

最後，感謝所以關心我、愛護我及曾經幫助過我的人，因為有你們的加油、支持及幫助，才能有現在的我，也誠心地祝福你們有美好的未來。僅將此論文獻給大家，謝謝大家對我的各項幫助。

李國銘 謹識

中華民國九十五年七月

新竹 交大

目錄

中文摘要	i
英文摘要	ii
誌謝	iv
目錄	v
圖目錄	vii
表目錄	ix
第一章 緒論	1
1.1 研究背景	1
1.2 研究動機與目的	1
1.3 論文章節組織及研究方法	4
第二章 類比數位轉換器簡介	5
2.1 積分式類比數位轉換器(Integrating ADC)	5
2.2 Sigma-delta類比數位轉換器	8
2.3 連續近似式類比數位轉換器(SA ADC)	9
2.4 循環式類比數位轉換器(Cyclic ADC)	10
2.5 管線式類比數位轉換器(Pipelined ADC)	11
2.6 快閃式類比數位轉換器(Flash ADC)	12
2.7 兩階式類比數位轉換器(Two-step ADC)	12
2.8 Time-interleaved類比數位轉換器	13
2.9 低功耗類比數位轉換器選擇	14
第三章 超低功率連續近似式類比數位轉換器設計	16
3.1 低供應電壓問題	17
3.1.1 Switched-opamp技巧	18
3.1.2 Bootstrapping技巧	21
3.1.3 Grounded-switches技巧[8]	22
3.2 提出之SA ADC [Similar to [8]]	23
3.3.1 取樣保持電路(S/H)	25

3.3.2	數位類比轉換器(DAC)	26
3.3.3	比較器	28
3.2.1.1	電流模式之比較器(Current mode comparator)	28
3.2.1.2	Bulk driven架構之比較器	29
3.2.1.3	輸入同時連接P及N型差動對之比較器	30
3.2.1.4	提出之比較器	31
3.3.4	連續近似暫存器(SAR)	34
3.3	ADC佈局圖	36
第四章	模擬與驗證	38
4.1	靜態參數	38
4.2	動態參數	39
4.3	功率消耗	42
4.4	ADC模擬結果與比較	44
第五章	量測結果	46
5.1	量測環境設定	46
5.2	供應電壓為 1V之量測結果	48
5.2.1	靜態參數	48
5.2.2	動態參數	49
5.2.3	功率消耗	54
5.3	供應電壓為 0.9V之量測結果	55
5.3.1	靜態參數	55
5.3.2	動態參數	56
5.3.3	功率消耗	60
5.4	供應電壓為 0.85V之量測結果	60
5.4.1	靜態參數	61
5.4.2	動態參數	62
5.4.3	功率消耗	65
5.5	量測結果與比較	65
第六章	結論與未來發展	67
附錄 A		68
附錄 B		72
參考文獻		74

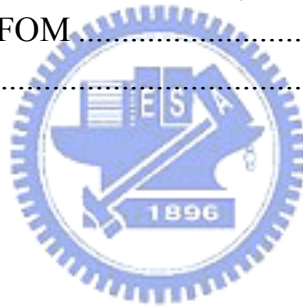
圖目錄

圖 1-1	超低耗能無線微感測模組系統架構[1]	3
圖 2-1	雙斜率類比數位轉換器[3]	6
圖 2-2	雙斜率類比數位轉換器操作[3]	7
圖 2-3	Sigma-delta類比數位轉換器	8
圖 2-4	傳統之連續近似式類比數位轉換器[3]	10
圖 2-5	循環式類比數位轉換器[4]	10
圖 2-6	管線式類比數位轉換器[5]	11
圖 2-7	快閃式類比數位轉換器	12
圖 2-8	兩階式類比數位轉換器[5]	13
圖 2-9	Time-interleaved類比數位轉換器[2]	14
圖 3-1	(a) 高供應電壓 (b) 低供應電壓	18
圖 3-2	標準之非反相SC積分器[28]	19
圖 3-3	Switched-opamp實現之積分器[28]	20
圖 3-4	使用Switched-opamp來取代傳統開關之架構[29]	21
圖 3-5	Bootstrapping技巧概念圖	21
圖 3-6	使用Bootstrapping技巧之NMOS	22
圖 3-7	使用Grounded-switches技巧之SA ADC[8]	23
圖 3-8	提出之SA ADC	24
圖 3-9	SA ADC區塊圖	24
圖 3-10	S/H電路	25
圖 3-11	Bootstrapping技巧與傳統傳輸閘形成S/H之功率比較圖	26
圖 3-12	電容陣列佈局	27
圖 3-13	電流模式之比較器[9]	29
圖 3-14	Bulk driven架構	30
圖 3-15	輸入同時連接P及N型差動對架構	30
圖 3-16	提出之比較器	31
圖 3-17	共模輸入對P型及N型電流源之關係圖	32
圖 3-18	比較器之模擬	33
圖 3-19	比較器之功率消耗	33
圖 3-20	連續近似暫存器架構	35
圖 3-21	區塊(block)接腳圖	35
圖 3-22	SAR模擬圖	36
圖 3-23	SA ADC佈局圖	36
圖 4-1	DNL	38
圖 4-2	INL	39

圖 4-3	TT, 1v, 25°C 時之頻譜分析圖.....	40
圖 4-4	不同輸入頻率與SNDR的關係.....	41
圖 4-5	在不同之輸入振幅下，不同輸入頻率與SNDR的關係.....	42
圖 4-6	ADC各部分電壓所消耗之功率.....	43
圖 4-7	ADC整體所消耗的功率.....	44
圖 5-1	晶片圖.....	46
圖 5-2	量測環境.....	47
圖 5-3	待測物(DUT).....	47
圖 5-4	DNL(供應電壓為 1V).....	48
圖 5-5	INL(供應電壓為 1V).....	49
圖 5-6	頻譜圖(供應電壓為 1V).....	50
圖 5-7	不同輸入頻率與SNDR及SFDR的關係(時脈頻率為 1MHz，供應電壓為 1V).....	51
圖 5-8	不同輸入頻率與SNDR及SFDR的關係(時脈頻率為 2MHz，供應電壓為 1V).....	51
圖 5-9	不同輸入頻率與SNDR及SFDR的關係(時脈頻率為 3MHz，供應電壓為 1V).....	52
圖 5-10	不同輸入振幅情況下，不同輸入頻率與SNDR的關係(供應電壓為 1V).....	53
圖 5-11	不同輸入振幅與SNDR及SFDR的關係(供應電壓為 1V).....	53
圖 5-12	不同時脈頻率與SNDR的關係(供應電壓為 1V).....	54
圖 5-13	DNL(供應電壓為 0.9V).....	55
圖 5-14	INL(供應電壓為 0.9V).....	56
圖 5-15	頻譜圖(供應電壓為 0.9V).....	57
圖 5-16	不同輸入頻率與SNDR及SFDR的關係(供應電壓為 0.9V).....	58
圖 5-17	不同輸入振幅情況下，不同輸入頻率與SNDR的關係(供應電壓為 0.9V).....	58
圖 5-18	不同輸入振幅與SNDR及SFDR的關係(供應電壓為 0.9V).....	59
圖 5-19	不同時脈頻率與SNDR的關係(供應電壓為 0.9V).....	60
圖 5-20	DNL(供應電壓為 0.85V).....	61
圖 5-21	INL(供應電壓為 0.85V).....	62
圖 5-22	頻譜圖(供應電壓為 0.85V).....	63
圖 5-23	不同之輸入頻率與SNDR及SFDR的關係(供應電壓為 0.85V).....	63
圖 5-24	不同輸入振幅與SNDR及SFDR的關係(供應電壓為 0.85V).....	64
圖 5-25	不同時脈頻率與SNDR的關係(供應電壓為 0.85V).....	65

表目錄

表 1-1	ADC規格.....	3
表 2-1	類比數位轉換器種類[2].....	5
表 3-1	連續近似暫存器操作.....	34
表 3-2	多工器之運作.....	35
表 3-3	ADC各部分之面積.....	37
表 4-1	角模擬.....	40
表 4-2	不同輸入頻率之SNDR.....	41
表 4-3	ADC各部分電壓所消耗之平均功率.....	44
表 4-4	ADC模擬結果.....	45
表 4-5	Benchmark.....	45
表 5-1	功率消耗(供應電壓為 1V).....	54
表 5-2	功率消耗(供應電壓為 0.9V).....	60
表 5-3	功率消耗(供應電壓為 0.85V).....	65
表 5-4	量測數據之FOM.....	66
表 5-5	Benchmark.....	66



第一章 緒論

1.1 研究背景

隨著科技資訊不斷地進步，許多傳統的物品已漸漸走向數位化，例如傳統錄音帶、放影帶已漸漸被光碟取代；體溫計、體重計也漸漸從類比的模式轉變成數位模式；而數位相機也漸漸取代了傳統相機。原因在於數位化可以獲得較多的好處，例如可提升精密度，即在相同的體積下可儲存較多的資訊，且有較好的雜訊抵抗能力，及可處理較複雜的運算等。是故造成現今數位電子產品的爆發性成長。然而自然界的訊號乃是以類比的型態存在，為了使其能以數位的方式加以處理，因此類比數位轉換器便成為不可或缺的橋樑。



1.2 研究動機與目的

近年來，隨著微機電技術的進步與無線傳輸技術的發展，無線感測網路(Wireless Sensor Networks)的應用範圍越來越廣泛，許多國內外的研究機構與廠商紛紛投入發展行列，再加上產、官、學對系統晶片(System-on-Chip)之開發與應用寄予厚望，因此這些領域之相互結合乃是大勢所趨。

由於感測器主要由電池供電，因此感測器本身能夠攜帶的電源十分有限，再加上更換感測器時耗費的成本，甚至在某些環境下，例如戰場，感測器的更換並不容易，故在無線網路的架構之下，感測器主要以省電、價格低廉、體積小、且具有感應環境裝置為目標。在我們國科會總計畫的目標即是針對無線感測網路，發展與製作出一超低耗能無線微感測模組(Ultra low power wireless micro sensing module)。

超低耗能無線微感測模組其應用與系統架構如圖 1-1 所示。在感測環境中，除了可以是居家環境、農田、草坪、建築物、森林、溪流等與生活息息相關的地區，也可能是危險的戰場、海洋深處、未知的太空以及酸性與鹼性的化學環境等，但不論引發受測環境變化的因素為何，對於受測環境的改變都可歸類於化學、物理或是機械特性變化。然而對於不同的待測環境變化都應使用相對應的感測器，才能有效的進行感測與監控。因此在超低耗能無線微感測模組中，直接接觸受測體的將是針對所需而設計與製作之微感測器（Micro Sensor），利用微機電技術（MEMS Technology）所製作之微感測器將具有積體化與低耗能化的特性。針對此微感測器，依據其個別感測特性，設計其所需之混和訊號感測電路（Mixed Mode Sensing Circuit），方可將感測量轉化成電訊號。其次是將此電訊號經由一超低耗能的類比數位轉換器（Ultra Low Power ADC），轉換成數位訊號以利後端處理，最後再經由一射頻技術(RF Technology)所設計與製作之無線訊號傳輸接收電路與天線（RF Transceiver Circuit 與 Antenna），將感測結果傳輸出去。顯而易見的，這些電路將可以半導體製程技術達到積體化與無線化的需求，再經由適當的設計，將可達到低耗能化的需求。有別於常見的感測系統，超低耗能無線微感測模組更具有微機電技術所設計與製作之微型能量產生器（Micro Power Generator）或是一附屬的電源供應（Aux Power Supply）部分，再配合上一電源管理電路（Power Manage Circuit），將提供前述各項電路源源不絕的電源，使得超低耗能無線微感測模組具有長時間化與無線化的效能。

Ultra Low Power Wireless Micro Sensing Module

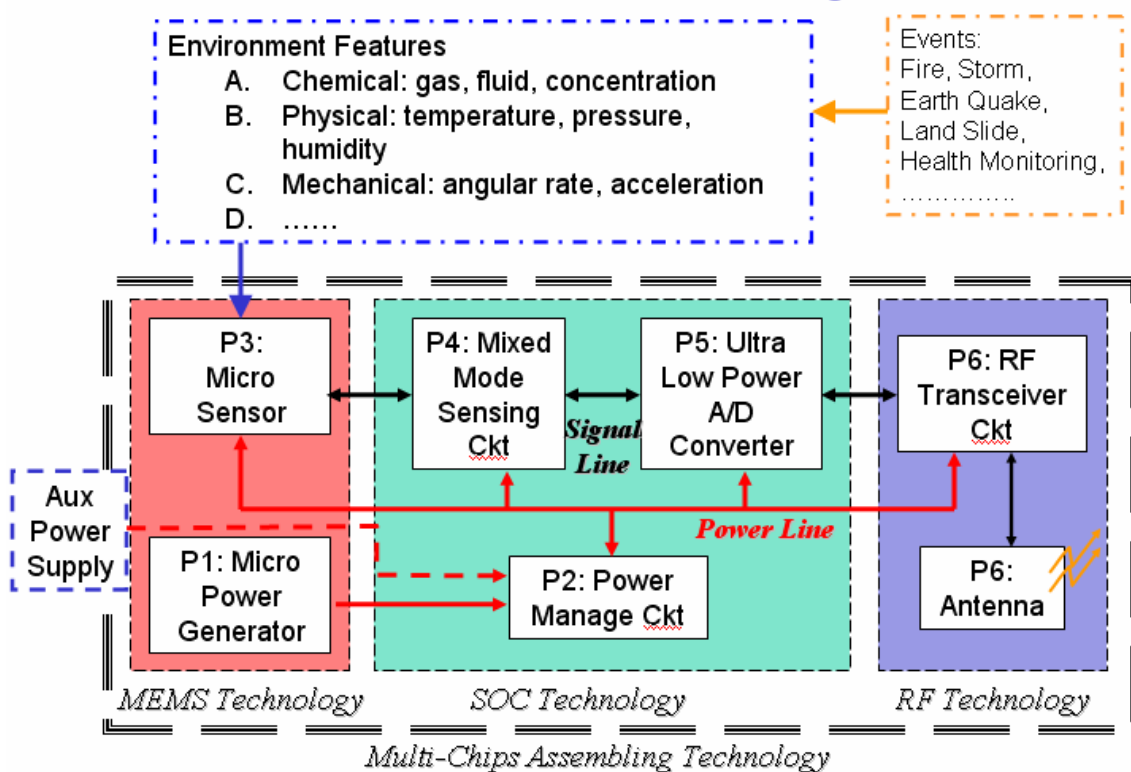


圖 1-1 超低耗能無線微感測模組系統架構[1]

類比數位轉換器對總計畫-超低耗能無線微感測模組而言，是一個關鍵性電路，整個感測系統的精確度主要由本類比數位轉換器所決定，再加上感測得到的類比訊號相當微弱，易受外界環境雜訊甚至於訊號耦合的干擾，使得此類比電路成為系統上最為脆弱的部份之一。本論文主要在設計一個超低耗能的類比數位轉換器，依據總計畫的需求，我們需要一個如下表 1-1 所示規格的類比數位轉換器[1]。

表 1-1 ADC 規格

Supply voltage	< 1V
Sampling rate	> 100KHz
Input swing	Rail-to-rail
Resolution	8bit
Power dissipation	< 30 μ W

1.3 論文章節組織及研究方法

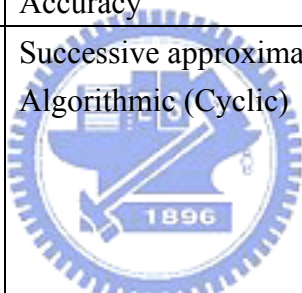
本論文共分為六章，第一章闡述本論文研究背景、研究動機與目的，以及研究方法；第二章對各種類比數位轉換器的架構做簡單的介紹與分析；第三章分析超低功率連續近似式類比數位轉換器之設計及架構；第四章為設計之模擬及驗證；第五章為晶片量測結果；第六章為結論及未來展望。

本論文所設計之類比數位轉換器是利用 $0.18\mu\text{m}$ CMOS 1P6M 製程來完成晶片的實現。在所需類比數位轉換器中，著重在低功率的實現，為達到低功率設計，首先從架構層面來看，由分析各種類比數位轉換器架構的耗能表現，再藉此挑選出最合適的架構；再從電路層面來看，由於降低供應電壓通常是最快速降低整體耗能的方法，故降低供應電壓來達到我們低耗能的需求；最後從電晶體層面來看，由於數位電路的功率消耗與其負載電容成正比關係，故盡可能的降低數位電路的電晶體大小以減少負載電容，來降低功率消耗。

第二章 類比數位轉換器簡介

隨著各種不同領域的應用，各式各樣不同特性的類比數位轉換器持續地被發展及研究，而設計類比數位轉換器主要的目標有三大方向，即高速、低耗能與高解析度，能在三者之間都有良好的表現才算是一顆高效能的類比數位轉換器，但要能同時達到這三個要求並不容易，故針對其應用會有不同架構及特性的類比數位轉換器產生。類比數位轉換器架構種類繁多，但大致上可就速度來分成三類，如表 2-1 所示。

表 2-1 類比數位轉換器種類[2]

Low-to-Medium Speed, High Accuracy	Medium Speed, Medium Accuracy	High Speed, Low-to-Medium Accuracy
Integrating Oversampling	Successive approximation Algorithmic (Cyclic) 	Flash Two-step Interpolating Folding Pipelined Time-interleaved

2.1 積分式類比數位轉換器(Integrating ADC)

一般常見的積分式類比數位轉換器為雙斜率積分式類比數位轉換器 (Dual-slope ADC)，顧名思義即是轉換過程中使用兩條不同斜率來完成一次轉換，其一般架構通常如圖 2-1 [3]。其架構主要包含一個積分器，一個比較器，一個控制邏輯電路及一個計數器。

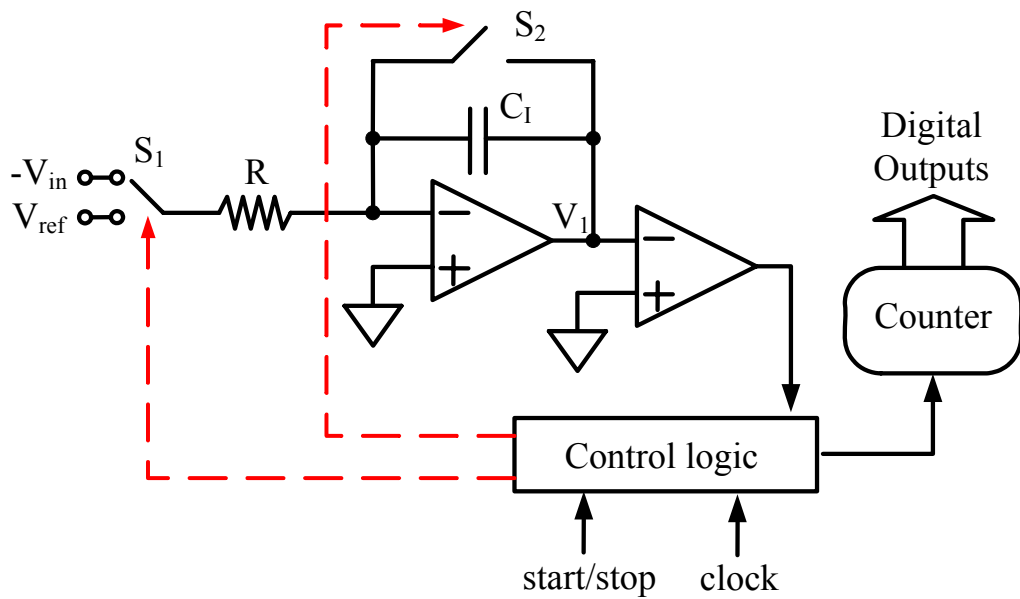


圖 2-1 雙斜率類比數位轉換器[3]

對於此雙斜率積分式類比數位轉換器之操作方式主要分成如下三個步驟。

- 重置期間：將 S_2 接上(turn on)，此即是將積分器的輸出設定為零。
- 輸入電壓積分期間：將 S_2 斷開(turn off)，且將 S_1 接至 $-V_{in}$ ，此時積分器開始動作，由於負回授造成虛擬接地，故在電阻 R 會有一電流 V_{in}/R 從積分器輸入端流入 $-V_{in}$ 端，此時積分器輸出 V_1 將以 V_{in}/RC 之斜率逐漸地上升，不同的輸入值將會導致不同的斜率，如圖 2-2 所示。而在此期間使用一固定時間 T_1 ，而此 T_1 的大小取決於ADC的解析度，例如要達到一 N 位元之類比數位轉換器，則在 T_1 期間計數器至少必須要數 2^N 次，即 $T_1=2^N * T$ ，其中 T 為計數器之時脈週期，此期間完成之後積分器之輸出將達到一峰值 V_{peak} ，其值如(2.1)所示。

$$V_{peak} = \frac{V_{in}}{RC} * T_1 \quad (2.1)$$

- 參考電壓積分期間：此時將 S_1 接至 V_{ref} ，此時電阻 R 將會有一電流 V_{ref}/R 流入積分器輸入端，此時積分器輸出 V_1 將以 V_{ref}/RC 之斜率下降，如圖 2-2 所示。在此期間計數器會一直數到積分器之輸出小於

零時才會停止，而在此期間所花的時間為 T_2 ，此 T_2 會由於輸入之不同而有所改變， V_{in} 愈大，則 T_2 會較長，然而由圖 2-2，我們可以發現其關係式(2.2)。

$$V_{peak} = \frac{V_{ref}}{RC} * T_2 \quad (2.2)$$

由(2.1)及(2.2)之關係可得(2.3)，再藉由 T 與 n 成正比，產生(2.4)，其中 n_{ref} 代表 2^N ， N 為ADC的解析度，而 n 代表數位輸出值。由(2.4)可以發現此雙斜率類比數位轉換器之效能與 R 及 C 值無關，故可以達到較高的精準度。

$$\frac{T_2}{T_1} = \frac{V_{in}}{V_{ref}} \quad (2.3)$$

$$\frac{n}{n_{ref}} = \frac{V_{in}}{V_{ref}} \quad (2.4)$$

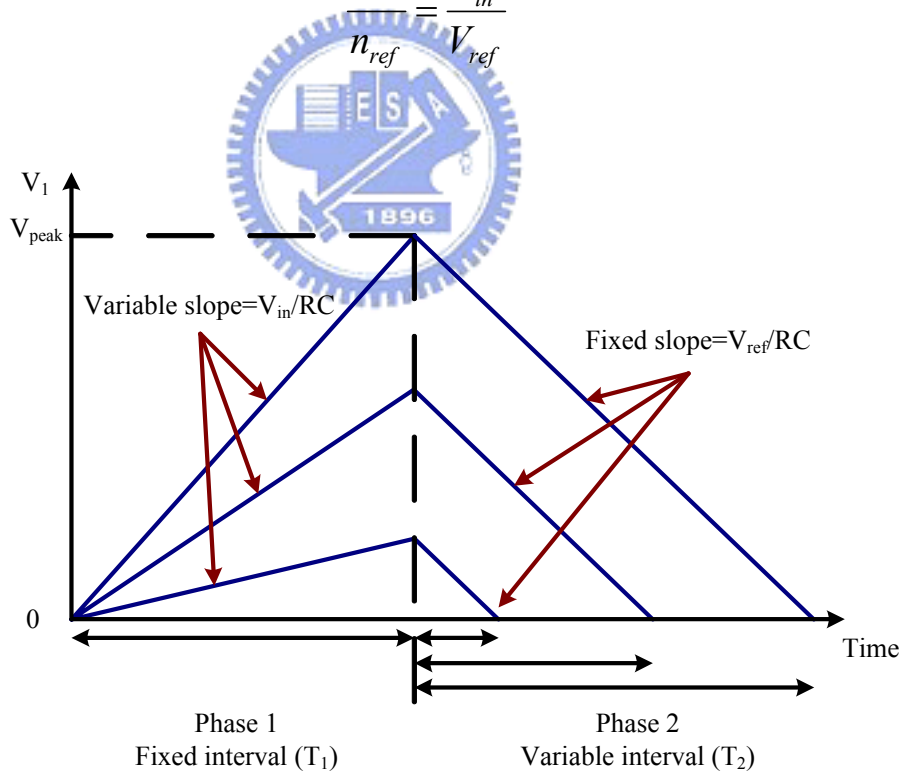


圖 2-2 雙斜率類比數位轉換器操作[3]

2.2 Sigma-delta 類比數位轉換器

圖 2-3 為 Sigma-delta 類比數位轉換器，Sigma-delta 類比數位轉換器主要的特色在於使用超頻取樣(Oversampling)及雜訊整形(Noise shaping)的技巧來得到較高的訊號雜訊比(Signal-to-noise ratio, SNR)。

超頻取樣的技巧乃是利用增加取樣頻率來換取較高的 SNR，假設量化雜訊(Quantization noise)是在取樣頻譜中是均勻分佈(Uniform distribution)，所以它的平均值是零，故被稱為白色雜訊(White noise)，若我們所需要的頻寬不變時，當取樣頻率愈大，則其量化雜訊將會減少，因此可以提高 SNR。

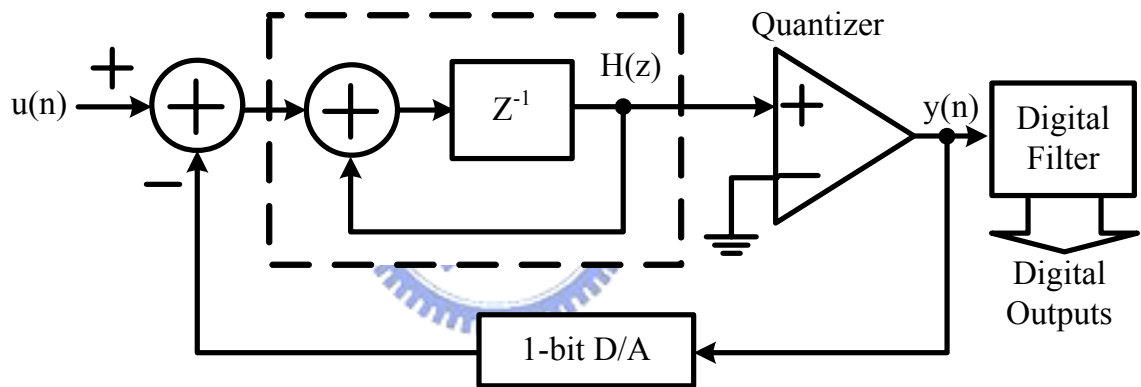


圖2-3 Sigma-delta類比數位轉換器

雜訊整形的技巧乃藉由回授(Feedback)的使用而將雜訊(Noise)移到高頻的地方，理論上來說，利用一階之Sigma-delta調變器，當超頻取樣頻率(Oversampling rate, OSR)增加一倍時可增加約 9dB之SNR，即增加 1.5bit之解析度；而若利用二階之Sigma-delta調變器，則可增加約 15dB之SNR，即增加 2.5bit之解析度，如(2.5)及(2.6)[2]，其中N指使用N-bit之量化器，且愈高階的Sigma-delta類比數位轉換器，其雜訊整形的程度也就愈好，但所耗的成本及功率也會相對的增加。

$$\text{SNR}_{1^{\text{st-order,max}}} = 6.02N + 1.76 - 5.17 + 30\log(\text{OSR}) \quad (2.5)$$

$$\text{SNR}_{2^{\text{nd-order,max}}} = 6.02N + 1.76 - 12.9 + 50\log(\text{OSR}) \quad (2.6)$$

2.3 連續近似式類比數位轉換器(SA ADC)

連續近似式類比數位轉換器主要的構成元件為一個比較器，一個多位元輸入的數位類比轉換器(Digital-to-Analog Converter, DAC)，及一個連續近似暫存器(Successive approximation register, SAR)，圖 2-4 為傳統的連續近似式類比數位轉換器架構。此架構的轉換原理主要是使用二進位搜尋演算法(binary search algorithm)的觀念，其操作方式主要分成三個部分，分別是取樣模式、保持模式及電荷重新分佈模式。

- 取樣模式：將 Sb 接至 V_{in} ，而電容下方的開關全切換至 Sb ，同時接上 Sa 。
- 保持模式：先將 Sa 打開，接著將 Sb 接至參考電壓(即 V_{ref})，而電容下端的的多工器全接到地，如此保持模式完成。
- 電荷重新分佈模式：此模式是根據輸入而切換電容下端的的多工器，一開始先將最大電容值下端的的多工器先接至 V_{ref} ，由電荷重新分佈原理，可以得到其 $V_A = V_{ref}/2$ ，再藉由比較器比較 V_{in} 及 $V_{ref}/2$ 之大小，依據比較器的輸出而決定控制多工器的訊號，依此類推比較到最後一個位元，接著我們就可以從 SAR 得到我們所需要的輸出，如此才算完成一次轉換。

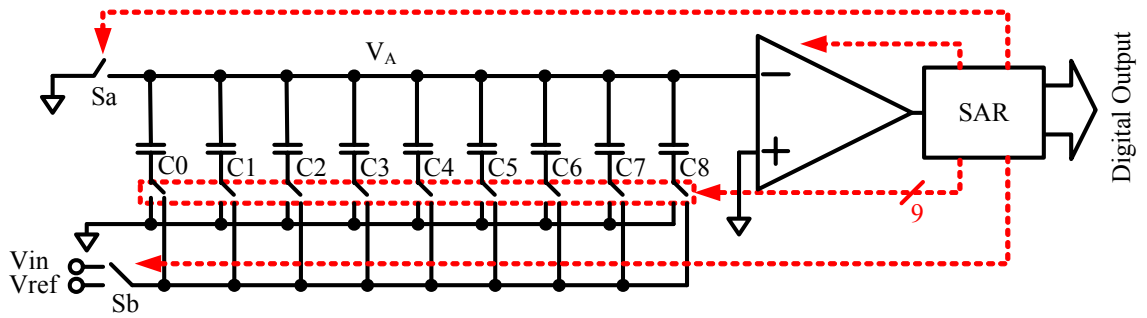


圖 2-4 傳統之連續近似式類比數位轉換器[3]

2.4 循環式類比數位轉換器(Cyclic ADC)

循環式類比數位轉換器(Cyclic ADC)的工作原理與管線式類比數位轉換器相同。然而循環式類比數位轉換器利用相同的硬體，但是使用不同的時脈來轉出各個位元，藉此來節省硬體。管線式類比數位轉換器則是類似利用多個循環式類比數位轉換器在運作，因此可同時轉換各個位元，故轉換速率較高但硬體也較大。下圖 2-5 所示的是一個每次轉換出一位元的循環式類比數位轉換器。因此，對於舉例的循環式類比數位轉換器而言，一個八位元的輸出規格則需要八個時脈來完成轉換。

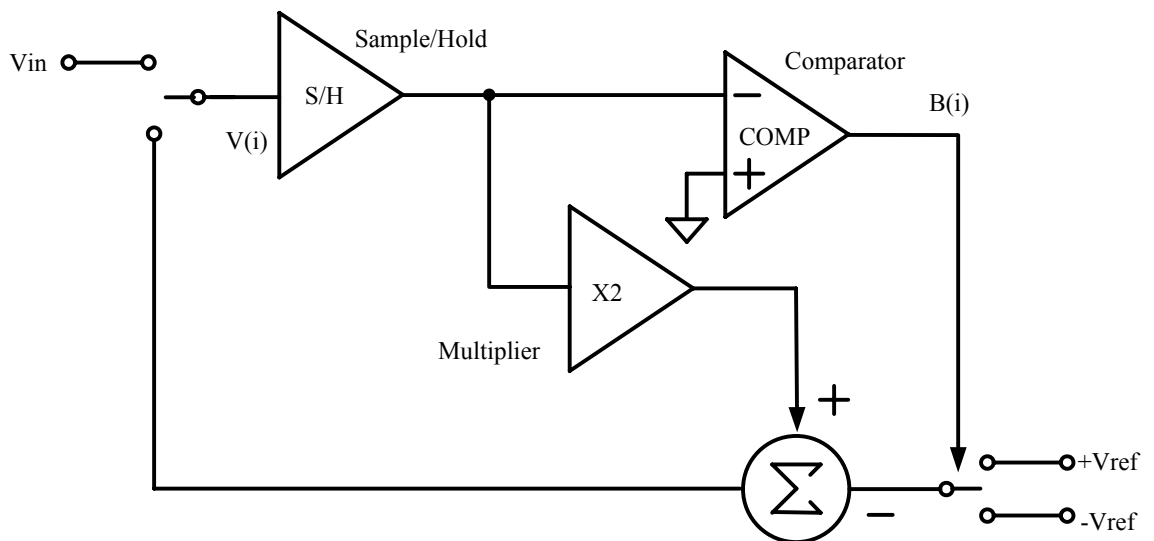


圖 2-5 循環式類比數位轉換器[4]

2.5 管線式類比數位轉換器(Pipelined ADC)

圖 2-6 為管線式類比數位轉換器架構，每一級都使用 S/H 去保持前一級的殘餘量(residue)，再將此殘餘量輸入一個低解析度 sub-ADC 去產生數位輸出，接著將此數位輸出經由 sub-DAC 去轉變為類比訊號，再把此類比訊號與此級的輸入相減所得到的殘餘量經由放大器傳送給下一級，最後將各級的數位輸出經數位校正邏輯(digital error correction logic)後產生整個類比數位轉換器的數位輸出。

管線式類比數位轉換器的好處在於對面積、速度、解析度、功率消耗提供一個最理想的平衡，對於大部分的資料轉換器製造商和設計者而言，它已經變的越來越有吸引力。

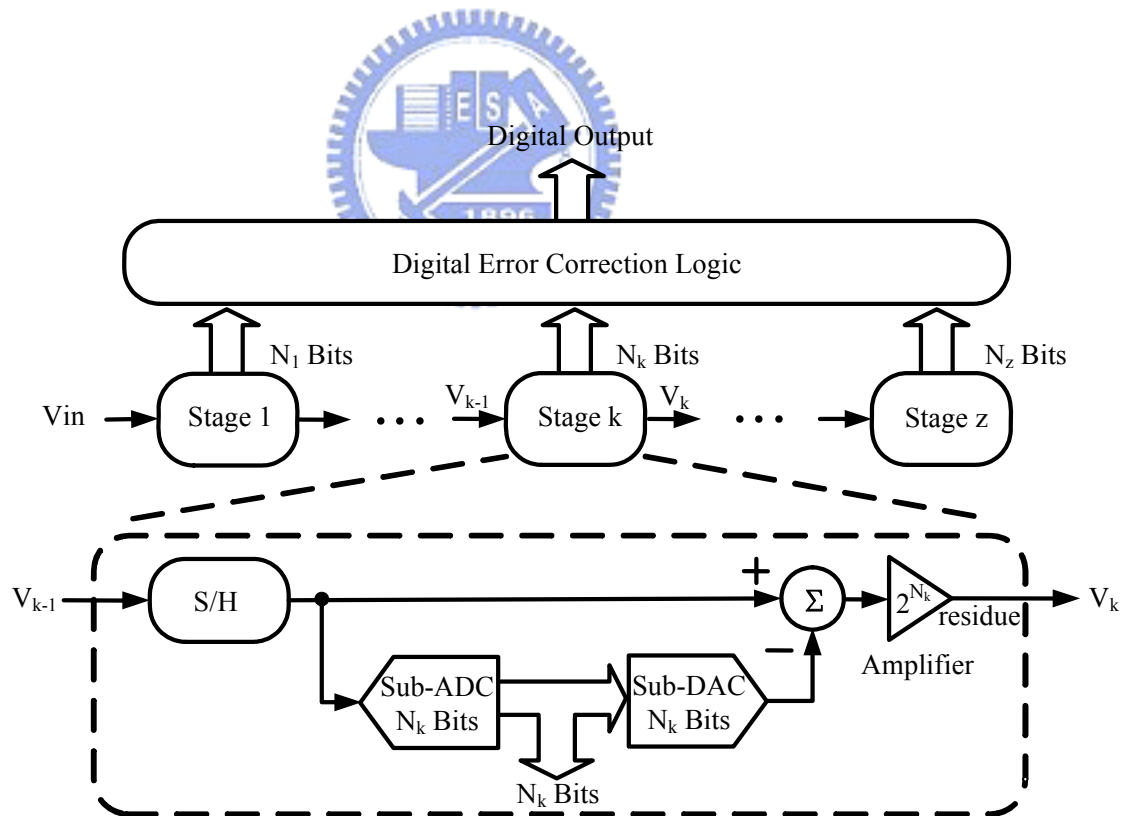


圖 2-6 管線式類比數位轉換器[5]

2.6 快閃式類比數位轉換器(Flash ADC)

圖 2-7 是快閃式類比數位轉換器的架構，對於一個N位元的快閃式類比數位轉換器而言，需要 2^N-1 個比較器，除此之外還需要一個包含 2^N 個電阻的電阻分壓器產生所需的參考電壓，而輸入電壓同時輸入與不同的參考電壓做比較，每個比較器的參考電壓比它的下一級高出一個最小位元(LSB) 刻度。此種型態之ADC主要運用在非常高速的時候，然而其隨著解析度愈高，所需消耗的硬體會成指數的關係成長。

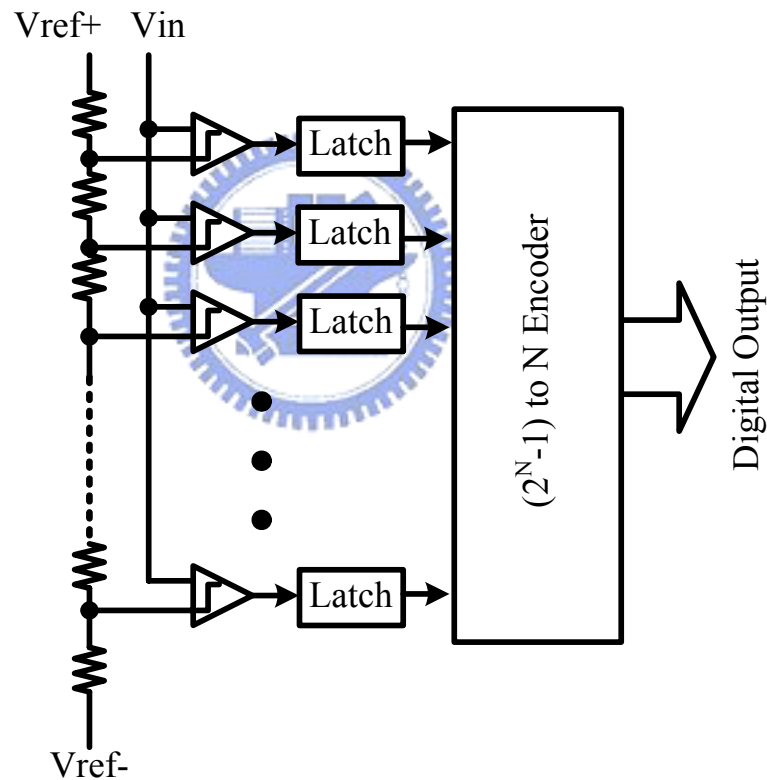


圖 2-7 快閃式類比數位轉換器

2.7 兩階式類比數位轉換器(Two-step ADC)

兩階式類比數位轉換器又稱 Subranging 類比數位轉換器，其架構如圖 2-8 所示，由於快閃式類比數位轉換器在實現較高的解析度時，所需要的硬

體如比較器及 Latch，都是以指數的關係增加，若轉換成兩階式類比數位轉換器則可省下相當多的硬體，因其相當於使用了兩級的快閃式類比數位轉換器，將第一級轉換器之輸出提供給第二級使用，再將兩級轉換器的轉換輸出做結合而得到數位輸出。

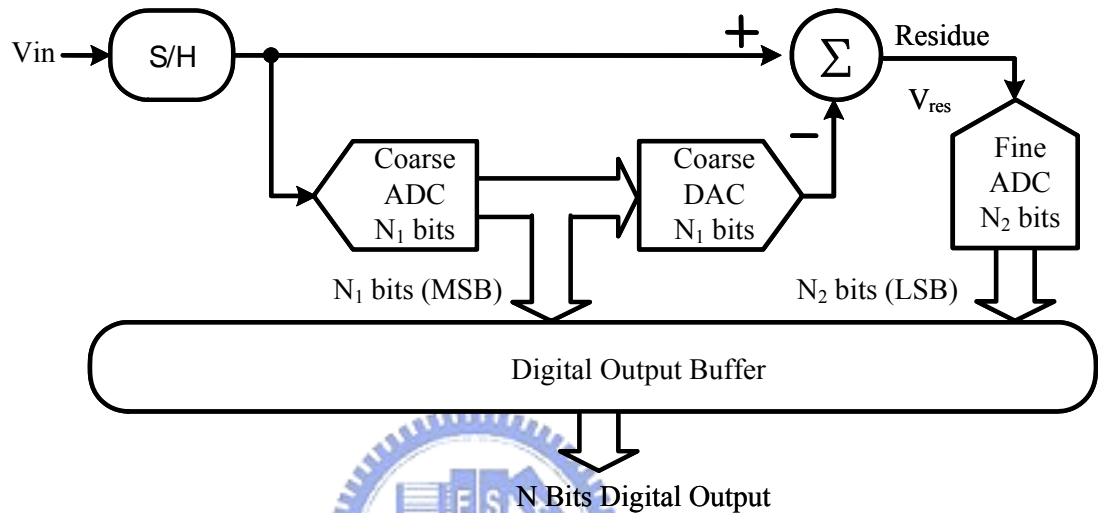


圖 2-8 兩階式類比數位轉換器[5]

2.8 Time-interleaved 類比數位轉換器

此種類比數位轉換器主要是將多個類比數位轉換器同時操作以達到高速的技巧，圖 2-9 為 n-channel 類比數位轉換器， T_0 為 T_1 至 T_n 的 n 倍，假設使用單一個 ADC 可以達到 1GHz 之取樣頻率，而將此 ADC 套入在圖 2-9 中，理想上將可使其取樣頻率達到 nGHz，故此架構乃是採用較多的硬體來換取速度。

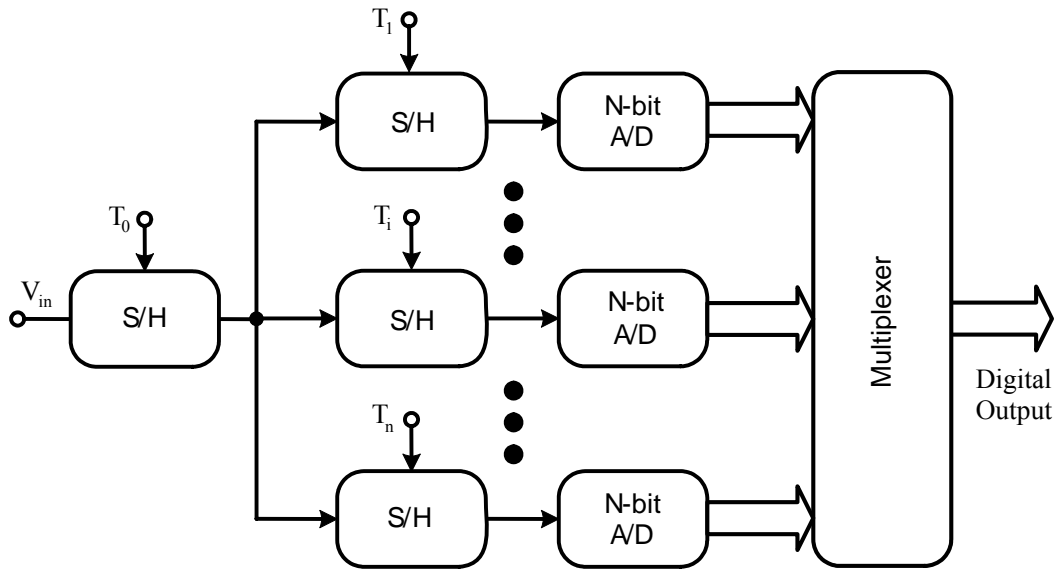


圖 2-9 Time-interleaved類比數位轉換器[2]

2.9 低耗能類比數位轉換器選擇

一般來說，類比數位轉換器整體所耗的功率主要取決於運算放大器 (Opamp) 或比較器所消耗之功率，而 Opamp 和比較器的負載電容值會影響其功率消耗。對於比較器而言，其後端主要為數位電路，故負載電容較小，在此我們模擬一個反相器的輸入電容，發現其值大約為 2fF 左右；而對於 Opamp 而言，若要形成積分器或是 Switched capacitor 電路，則需要電容來形成負回授，然而此電容也為 Opamp 之負載電容來源之一，若使用 MiM 電容來實現此電容，由於受 Design rule 限制，可以發現其值最小約為 20fF，故比較器和 Opamp 的負載至少就差了 10 倍左右，由於 $\omega_0 = \frac{g_m}{C_L}$ ，其中 ω_0 指單一增益頻寬 (unity-gain bandwidth)， g_m 為 $\sqrt{2I_D \cdot \mu \cdot C_{ox} \cdot \frac{W}{L}}$ ，故在相同的單一增益頻寬及 $\mu C_{ox} (W/L)$ 假設之下，其 I_D 與 C_L^2 成正比，故對於 Opamp 及比較器，理論上電流就差了 100 倍，因此就一般而言，其比較器的功率遠小於 Opamp 所消耗的功率。而從 [6] 中，我們可以發現

$$\omega_0 \cong 5\omega_c \quad (2.7)$$

其中 ω_c 指時脈頻率，故可知時脈頻率愈大時，其所需要的單一增益頻寬也要愈大，也會使得功率更大。

從以上所述的類比數位轉換器架構而言，首先觀察Opamp及比較器的數目，再大約估計其所需要的時脈頻率，發現連續近似式類比數位轉換器之架構主要只有使用一個比較器且時脈頻率也不大，故從架構上而言，其連續近似式類比數位轉換器為最省電的架構。再藉由從IEEE尋找功率小於1mW之類比數位轉換器論文[7] -[16]，發現耗能最低的乃為連續近似式類比數位轉換器，且在這些1mW以下之類比數位轉換器也以連續近似式類比數位轉換器為居多。因此藉由架構上的分析及查詢IEEE論文均顯示連續近似式類比數位轉換器可達到低耗能的需求。

由於總計畫給我們的規格需滿足表 1-1，即是要製作一個供應電壓小於1V，取樣速率大於100KHz且功率消耗小於30 μ W之類比數位轉換器，故在此我們使用連續近似式類比數位轉換器來完成所需的低耗能類比數位轉換器。

由於供應電壓愈低，其電路之設計愈為困難，故在設計時，暫定供應電壓為1V來設計所需之類比數位轉換器。

第三章 超低功率連續近似式類比數位轉換器 設計

從第二章，藉由類比數位轉換器架構上分析及搜尋IEEE論文中，發現在中解析度(7~8bits)的設計採用連續近似式類比數位轉換器，乃是最省電的架構，故連續近似式類比數位轉換器便成為我們首選的架構。然而，由於電池供應整個系統之能量，而電池的能量又有其限制的，是故必須著重在低功率方面的實現。以連續近似式類比數位轉換器的架構上而言，有類比電路及數位電路：對數位電路來說，功率消耗[3]可被表示為

$$P_{digital}=fCV^2 \quad (3.1)$$

其中 V 是供應電壓， C 是負載電容值， f 是時脈頻率，而在此式中，影響功率較大的參數乃是供應電壓，故降低供應電壓是最有效達到降低數位電路功率的方法；再以類比電路來說，例如運算放大器、比較器、電阻鍵、偏壓電路，其主要都有靜態偏壓電流，從 $P=IV$ 中可知，對於同等電流的來說，較小的 V 值將可以導致較小的功率消耗，是故對於一般的類比電路而言，藉由降低供應電壓來減少功率消耗也是較有效率的方法，因此需將整個系統操作在低供應電壓中。

在國科會總計畫之中，由於要實現一個超低耗能無線微感測模組，其電源乃是來自於電池，而在晶片中所需要的供應電壓由電源管理 (Power management) 來提供，若將類比電路和數位電路是供應電壓設定不一樣的話，電源管理(Power management) 則需要額外的電路來產生不同的供應電壓，此舉將會導致額外的功率消耗，故我們必須將類比及數位電路之供應電壓統一，因此暫定供應電壓為 1V。此供應電壓的設定對於數位電路的操作並無太大的影響，但對於類比電路來說，當供應電壓太低時，則會有某

些條件上的限制，然而我們所需要的 ADC 就剛好存在由於操作在低供應電壓所帶來的限制。

3.1 低供應電壓問題

為了達到低耗能的效果，故將系統操作在低電壓中，而在此低供應電壓之中，其臨界電壓(threshold voltage)並不會隨供應電壓降低而變小，然而此現象將會對類比電路造成某些影響[17]，例如對於一個傳統的類比開關，假設此類比開關是用基本的傳輸閘(transmission gate, TG)來實現，若此開關是要傳送一個類比訊號輸入，則在傳送低電位(即 0 至 $V_{DD}-V_{tn}$)時主要由靠NMOS導通來傳輸，而在高電位的部分(即 $|V_{tp}|$ 至 V_{DD})主要由靠PMOS導通來傳輸，對於一個高供應電壓系統而言，類比開關之輸入與導通性的關係如圖 3-1(a)，我們可發現PMOS及NMOS的導通區域將會重疊，故在高供應電壓系統之下，若使用傳輸閘來當類比開關，其開關的輸入是可以從 0 至 V_{DD} 的所有範圍。

但若類比電路剛好操作在 NMOS 及 PMOS 均為不導通的狀態，如圖 3-1(b)，即當類比輸入大於 $V_{DD}-V_{tn}$ ，但小於 $|V_{tp}|$ ，即 $|V_{tp}| > V_{in} > V_{DD}-V_{tn}$ ，由此我們可以推導出

$$|V_{tp}| + V_{tn} > V_{DD} \quad (3.2)$$

當滿足(3.2)時，在此 V_{DD} 過低的狀態下，NMOS 和 PMOS 均不會導通，即是對一個類比輸入來說，使用一個傳統的開關，其輸入端訊號將在某一範圍將會有 dead zone，使得類比開關無法傳送軌對軌的類比輸入訊號，故將會嚴重的影響到整體電路的效能，而對於我們的設計之中，剛好存在此一問題。

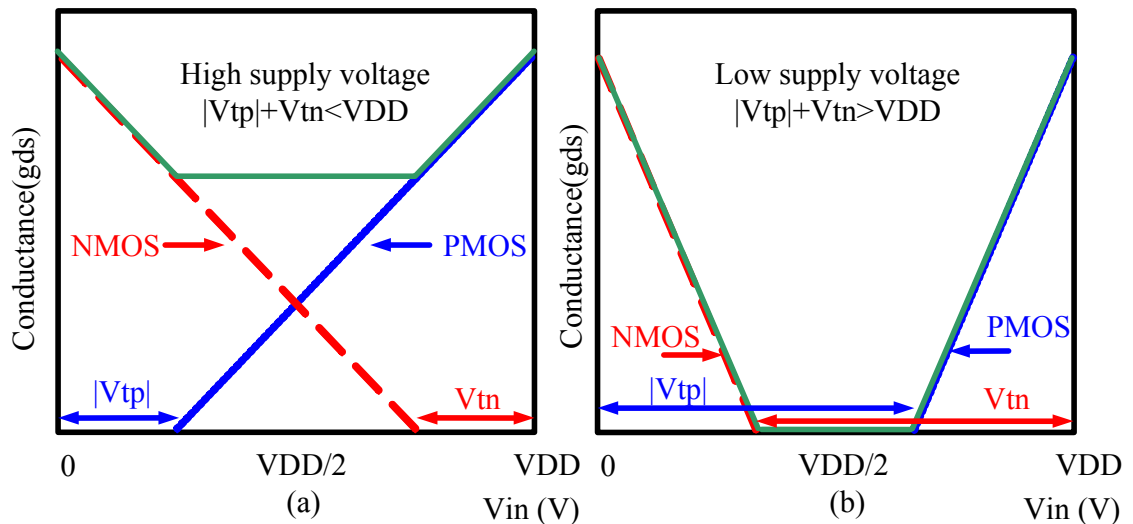


圖 3-1 (a) 高供應電壓 (b) 低供應電壓

由於低供應電壓所造成的問題導致傳統的類比開關不適用，從(3.2)中可知，若要解決此問題，直覺上便是增加 VDD 或是降低臨界電壓(threshold voltage)，然而增加 VDD 將造成較高的功率消耗；而降低臨界電壓則必須使用到低電壓製程(low- V_t process)[18]，但此舉將會增加製程的複雜度及帶來高成本，而且也會造成較大的漏電流(leakage current)，故在此我們不使用低電壓製程。然而若不使用特殊製程來解決此一問題，則必須要藉由電路技巧來克服此一問題，在目前主要有以下幾種解決方法：

- 開關放大器技巧(Switched-opamp technique)[19] -[26]
- 拔靴法(Bootstrapping technique)[27] -[28]
- Grounded-switches技巧[8]

3.1.1 Switched-opamp 技巧

Switched-opamp的技巧主要由開關電容(Switched-capacitor, SC)的技巧所衍生而來，圖 3-2 為一個標準的非反相式SC積分器(Standard noninverting switched-capacitor integrator)，若此積分器要操作在低供應電壓，則會面臨

到低供應電壓所帶來的限制。從圖 3-2 中可發現第一個Opamp後面緊接著一個類比開關，由於Opamp之輸出範圍容易涵蓋VDD/2 附近，甚至有些Opamp有著軌對軌之輸出，導致在其後所接之類比開關也需要有傳輸軌對軌輸入的能力，然而就先前所述之低供應電壓的問題，Opamp之後的類比開關將會無法正確的把訊號傳至後端，而Switched-Opamp的技巧就被使用來解決此一問題。Switched-opamp的技巧即是將Opamp與其輸出端所接之類比開關整合在一起，則此Opamp就不需要經由類比開關而能將輸出訊號傳至後端，解決了操作在低供應電壓的問題。圖 3-3 為使用Switched-opamp技巧來實現的積分器，其將圖 3-2 之中有問題的 S_1 整合在Opamp之中，讓此Opamp有著ON及OFF的功能，此即為Switched-opamp的技巧，藉由此來解決低供應電壓所帶來之問題。

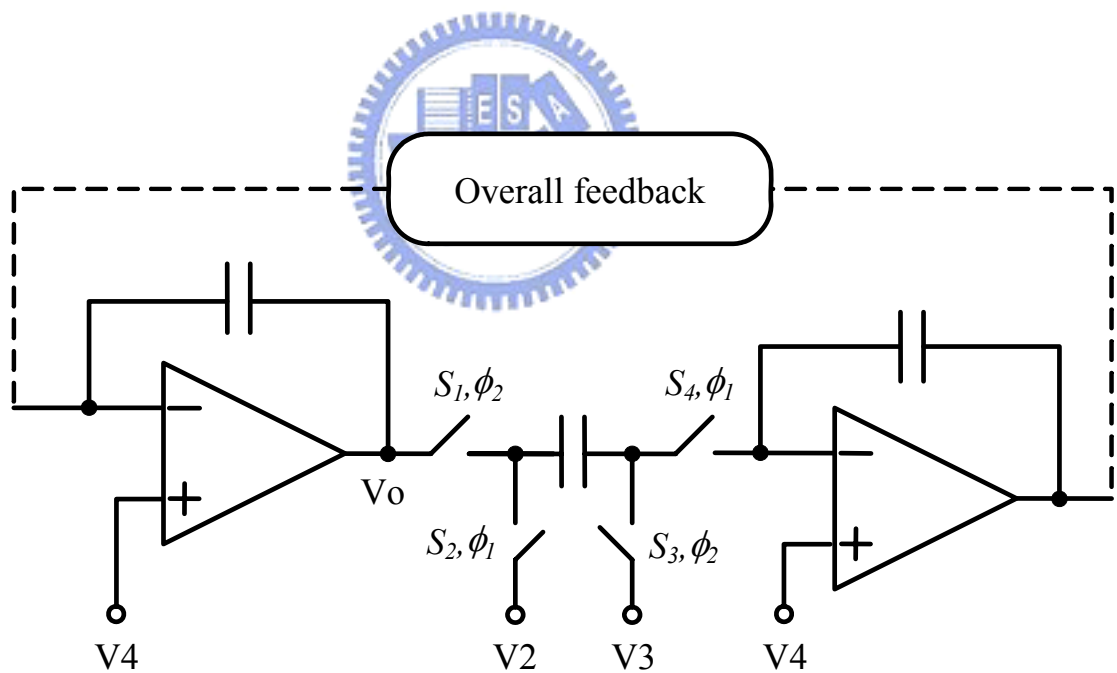


圖 3-2 標準之非反相SC積分器[25]

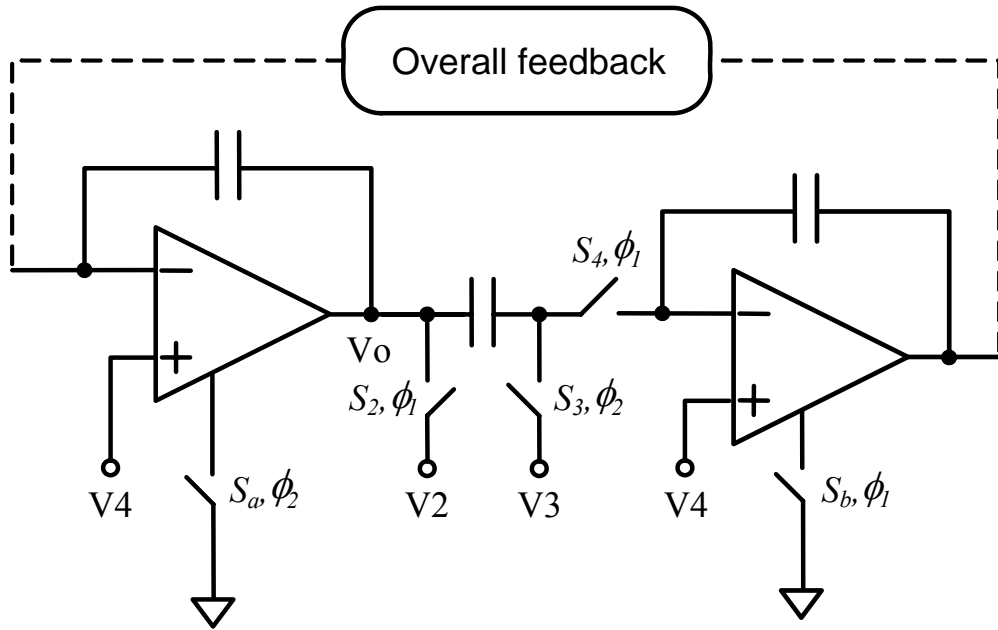


圖 3-3 Switched-opamp實現之積分器[25]

然而 Switched-opamp 的技巧也被使用在原本架構上不是 Opamp 搭配 Switch 來做整合的情形之下，如圖 3-4，在 S/H 電路部分，使用 Switched-opamp 來實現一個類比開關。對於高供應電壓之下，使用傳統的開關可使輸入達到軌對軌的效果，但在此為操作在低供應電壓之下，如先前所述，低供應電壓無法使傳統的類比開關輸入有軌對軌的效果，因此可使用一有軌對軌輸入之 Opamp 來使其輸入能有軌對軌的範圍，再經由 Switch-opamp 的技巧將 Opamp 與 Switch 做整合成為一 Switched-opamp 的電路來取代原先的傳統開關。然而用 Switched-opamp 的電路來取代一個傳統的類比開關，雖然可獲得軌對軌的輸入，但其也增加了功率消耗。

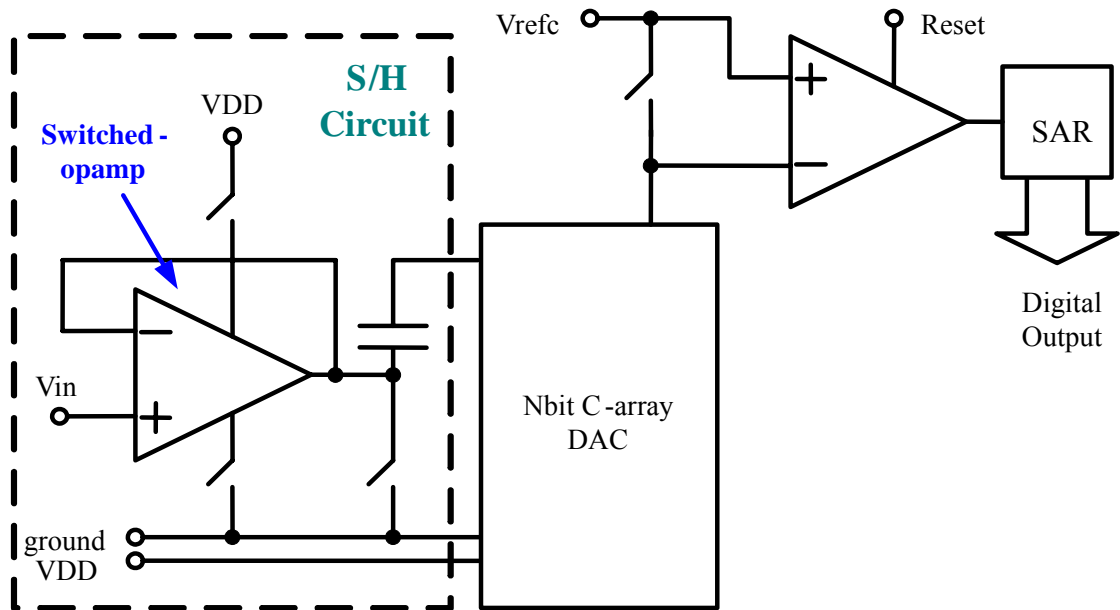


圖 3-4 使用 Switched-opamp 來取代傳統開關之架構[26]

3.1.2 Bootstrapping 技巧

由於低供應電壓所帶來的問題，導致使用 TG 當 switch 的方法會使輸入訊號在 $VDD/2$ 附近的區域將會有 dead zone，Bootstrapping 技巧主要的原理就是把電壓升高，產生一個比 VDD 還要高的電位來使用，如圖 3-5 所示，理想上可將 0 與 VDD 的訊號經過 boosted clock driver 來產生 0 與 $2VDD$ 的輸出，再將此輸出接至 NMOS 的 gate 端。以一個用 NMOS 來當 switch 為例，將此經過 boosted clock driver 的訊號置入 NMOS 的 gate 端，如圖 3-6，當 V_{in} 為 VDD 時，可發現其導通的範圍會增加，藉此來克服低供應電壓的問題，但此種方法比一般的開關來的複雜，故會增加電路複雜度及耗能。

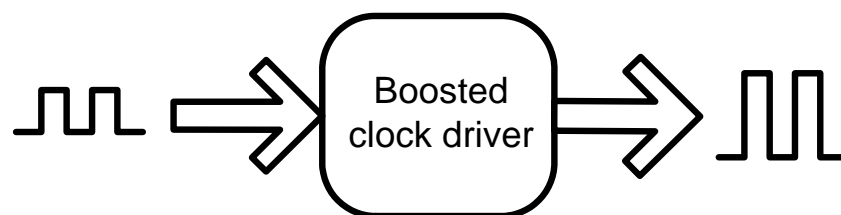


圖 3-5 Bootstrapping 技巧概念圖

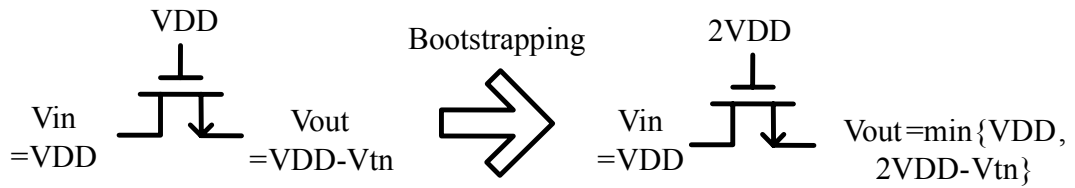


圖 3-6 使用 Bootstrapping 技巧之 NMOS

3.1.3 Grounded-switches技巧[8]

對於傳統之 SA ADC 如第二章圖 2-4 所示，為了避免開關 S_a 造成漏電流的問題，故需將類比地端(Analog ground)接至 $VDD/2$ 處，然而由於整個系統需操作在低供應電壓之中，即是 $|V_{tp}| + V_{tn} > VDD$ ，故將發生如先前所述之低供應電壓問題。在低供應電壓時，開關之輸入主要只能操作在接近 VDD 或是 VSS ，由於這些需求並無法同時達成，故傳統的 SA ADC 架構在此不適用。

在[8] 中提出了使用 Grounded-switches 的技巧來改善傳統 SA ADC 架構操作在低供應電壓下的問題，藉由將傳統的 SA ADC 架構做些改變，把輸入訊號由比較器負端移至比較器正端，即是將輸入訊號與 DAC 分開。圖 3-7 為改變後的架構，經由此改變可以發現在 DAC 端只有 V_{ref} 及 VSS 的輸入，對於操作在低供應電壓之下，此舉是非常有利的，故在 DAC 端的類比開關不會有低供應電壓的問題。而此架構在比較器的正端，即 S/H 電路，由於其連結了輸入訊號，故輸入訊號在接近 $VDD/2$ 處，將導致低供應電壓問題，因此在[8] 中使用了 time-interleave 的方法來改善問題，但其輸入訊號範圍仍然受限。

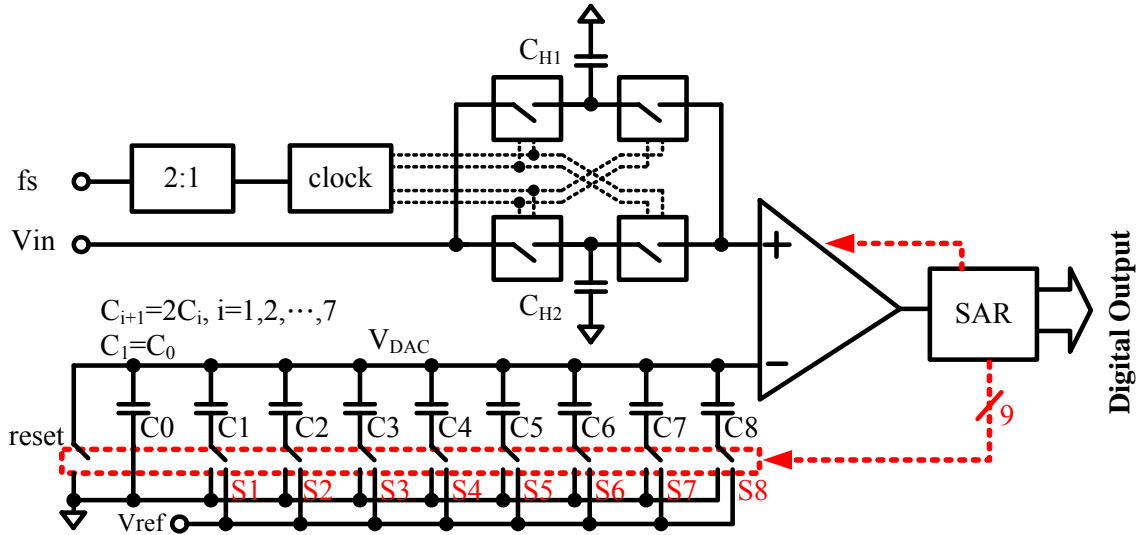


圖 3-7 使用 Grounded-switches 技巧之 SA ADC [8]

3.2 提出之 SA ADC [Similar to [8]]

對於傳統之 SA ADC 而言，如圖 2-4 所示，由於整個系統需操作在低供應電壓之中，若要有軌對軌的輸入訊號時，傳統的開關將會造成問題，然而觀察此傳統 SA ADC 架構可以發現，需要傳輸軌對軌的輸入訊號之類比開關總共有十個，故我們需對此十個類比開關做處理。我們以 bootstrapped switch 來取代此十個類比開關，以解決低供應電壓所帶來的問題，然而此舉雖然解決了低供應電壓的問題，但卻帶來了較高的電路複雜度及較高的耗能。

此傳統的 SA ADC 架構還存在另一問題，即是由於當此架構操作在保持模式的時候，我們可以得到 $V_A = -V_{in}$ ，故當 V_{in} 愈大時其 V_A 則會得到愈大的負值，倘若比較器負端電壓 V_A 負值過大，而開關 S_a 又使用一般之 TG 來實現的話，將會造成開關 S_a 的部分會有漏電流現象發生，然而為了避免開關 S_a 發生漏電流的情況，於是我們採用了 [8] 所提出的 grounded-switches 的技巧去改變其架構以避免此問題，此舉雖解決了 S_a 漏電流的問題及將大部分的開關均接至高電位及低電位，但 grounded-switches 架構所帶來的問題即是有輸

入範圍上的限制，無法滿足我們所需求的軌對軌輸入功能，是故我們將輸入端的switch改成使用bootstrapped switch來取代傳統TG所構成的switch，圖3-8 為我們提出之SA ADC架構。

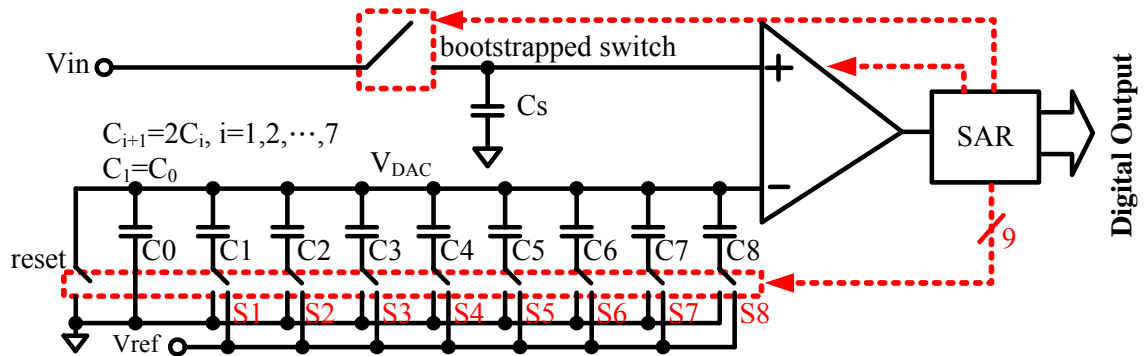


圖 3-8 提出之 SA ADC

此架構主要分成四個部分，即是取樣保持電路(sample and hold circuit, S/H)、Digital-to-Analog Converter (DAC)、比較器、連續暫存器(SAR)，如圖 3-9。然而此架構和傳統的 SA ADC 架構的操作原理大致相同，此 SA ADC 的操作主要分成兩個部分

1. 對 S/H 做取樣模式，且同時對 DAC 進行重置
2. 對 S/H 做保持模式，且對 DAC 做電荷重新分佈模式。

故共需九個循環來完成一次轉換。

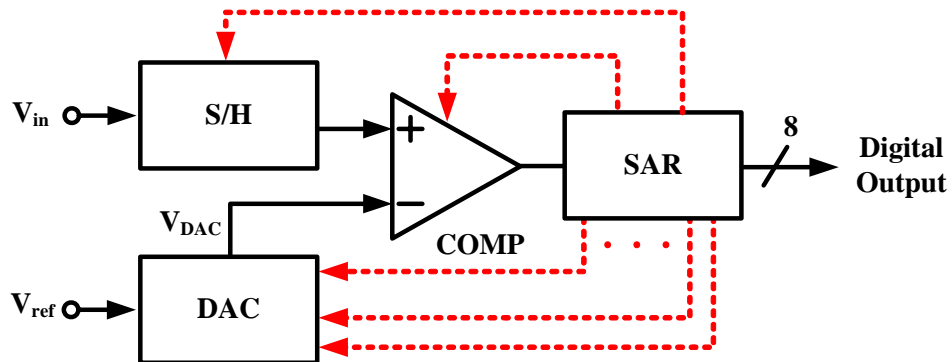


圖 3-9 SA ADC 區塊圖

3.3.1 取樣保持電路(S/H)

由於低供應電壓的問題所導致類比開關將在 $VDD/2$ 附近處產生 dead zone，在此我們採用 bootstrapping 的技巧來克服。圖 3-10 為我們的取樣保持電路，架構主要由一簡單的傳輸閘及電容 C_s 所構成，而 boosted clock driver 主要的目的是將 N 型電晶體 $N3$ 的閘極電壓升至較高的電位，讓其導通性好，由我們所使用的架構來分析，可將 N 型電晶體 $N3$ 的閘極電位提升至 $2VDD-V_{tn}$ ，然而 $N3$ 只能容許輸入在 0 至 $2(VDD-V_{tn})$ 之間的電壓導通，故再加一 P 型電晶體 $P2$ 去提高當 V_{in} 在接近 VDD 時的導通性。

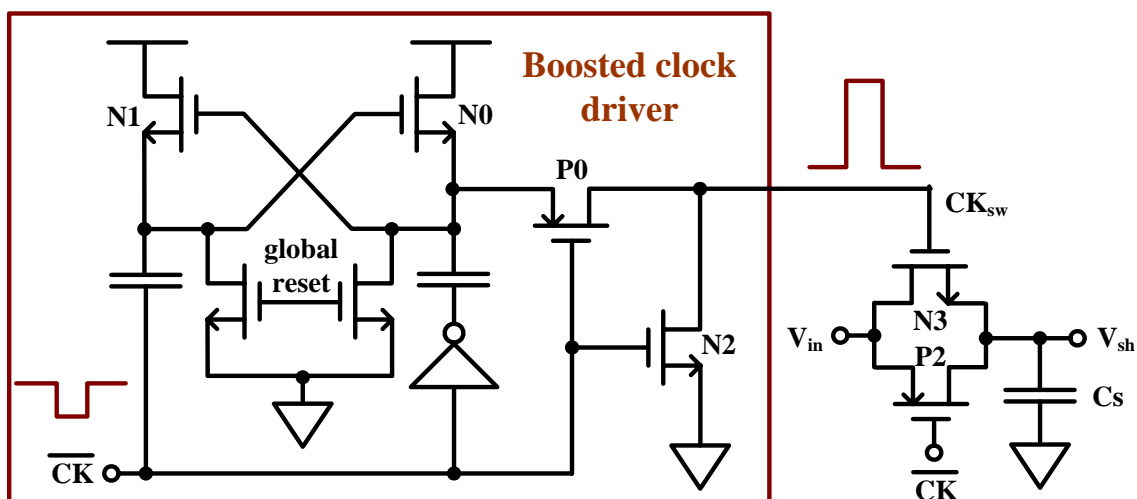


圖 3-10 S/H 電路

下圖 3-11 為使用圖 3-10 bootstrapping 技巧的 S/H 電路架構與使用傳統傳輸閘之 S/H 電路用 HSPICE 模擬來做耗能比較，可明顯的發現使用 bootstrapping 技巧所完成的 S/H 電路明顯比使用傳統傳輸閘所完成的 S/H 電路所消耗的功率來得多，故除了必要，否則應盡量避免 bootstrapping 技巧的使用。

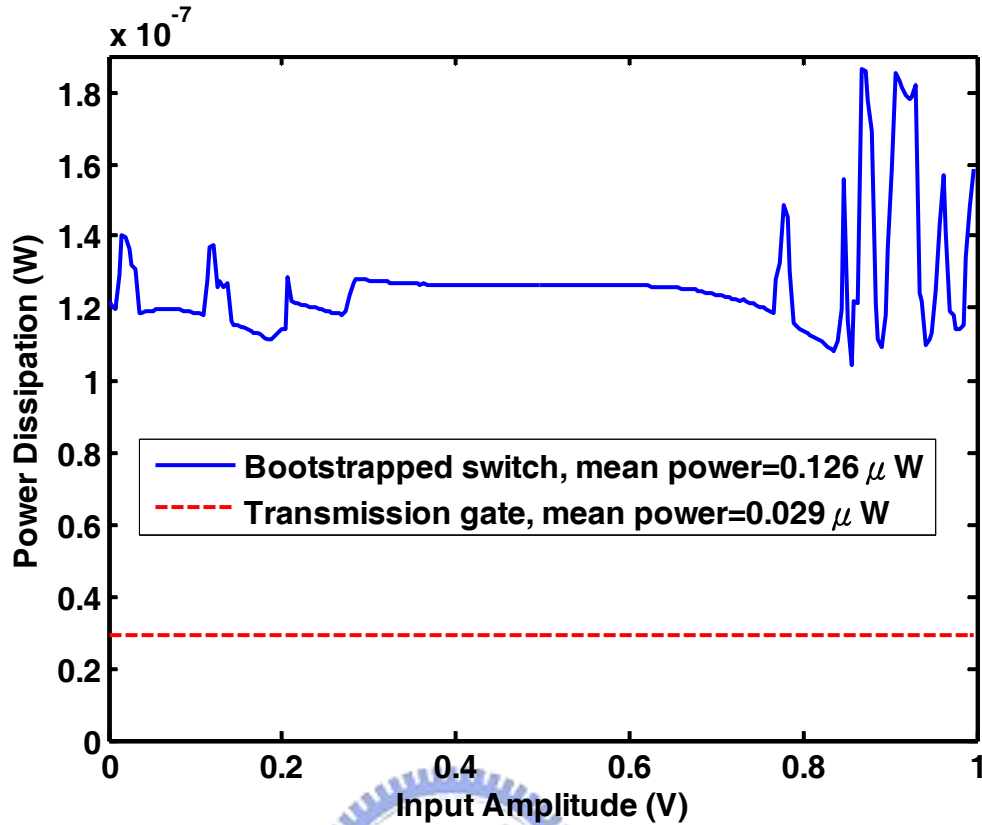


圖 3-11 Bootstrapping 技巧與傳統傳輸閘形成 S/H 之功率比較圖

3.3.2 數位類比轉換器(DAC)

在此處的數位類比轉換器主要是由加權二進位電容(binary-weighted capacitor)陣列所形成，DAC的輸入主要是藉由連續近似暫存器所發出的一些控制線來控制電容的底端接地或者是接參考電壓，使用電荷重新分佈(charge redistribution)原理來產生 V_{DAC} 電壓，即DAC的輸出電壓，藉由比較 V_{in} 取樣保持後的值與 V_{DAC} 的大小來決定決定比較器的輸出，將比較器的輸出送入連續近似暫存器後產生新的控制訊號來控制DAC。

為了能得到較小的功率消耗，故在此推算其數位類比轉換器功率消耗之式子，在 DAC 部分之操作主要有重置模式及電荷重新分佈模式，當在重置模式時，主要是將電容兩端接至地；而在電荷重新分佈模式時，其 DAC 的輸出點是浮接狀態，故 DAC 部分無靜態功率之消耗，因此在此處其數位類比轉換器之功率主要由暫態功率所決定，藉由推導(如附錄 A)可產生下式

$$P_{vref} = \frac{1}{9} f_{clk} C V_{ref}^2 \left\{ \frac{2^8 - 1}{2^8} + \sum_{i=1}^7 \left[\left(\frac{1}{2^i} + \sum_{j=0}^{i-1} \frac{D_{9-j}}{2^j} \right) \left(-\frac{1}{2^{i+1}} + \frac{D_{9-i}}{2^i} \right) \right] - \left(\frac{1}{2^8} + \sum_{k=0}^6 \frac{D_{8-k}}{2^{k+1}} \right)^2 \right\} \quad (3.3)$$

where $\left\{ \begin{array}{l} C \text{ is the total capacitance of the DAC,} \\ f_{clk} \text{ is the clock frequency,} \\ D_1 \text{ to } D_8 \text{ are the digital outputs of the DAC,} \\ D_9 \text{ is defined as zero.} \end{array} \right.$

藉由(3.3)，我們可以知道當 C 值愈小，所消耗的功率就會愈小，而單位電容值必須依據熱雜訊(thermal noise)的分析及製程因素所決定，藉由我們分析熱雜訊的結果，如附錄 B，可發現最小的電容值只需大於 4.3aF 即可，但因為此值太小，受限於製程因素，因此無法實現。因此我們依據佈局(layout)的因素，且考慮尖端放電及佈局規則(Design rule)來決定 C 值，最後所決定的 C 值約為 24fF。

	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
	A	A	B	B	B	B	B	A	A	B	B	B	B	B	A	A	
	A	A	B	B	B	B	B	A	A	B	B	B	B	B	A	A	
	A	A	B	B	C	C	C			C	C	C	B	B	A	A	
	A	A	B	B	C	C	C	E		E	C	C	C	B	B	A	A
	A	A	B	B	C	C	D	D	F	D	D	C	C	B	B	A	A
	A	A	A	A		E	D	D	H	D	D	E		A	A	A	A
						F	G	I	G	F							
	A	A	A	A		E	D	D		D	D	E		A	A	A	A
	A	A	B	B	C	C	D	D	F	D	D	C	C	B	B	A	A
	A	A	B	B	C	C	C	E		E	C	C	C	B	B	A	A
	A	A	B	B	C	C	C				C	C	C	B	B	A	A
	A	A	B	B	B	B	B	A		A	B	B	B	B	B	A	A
	A	A	B	B	B	B	B	A		A	B	B	B	B	B	A	A
	A	A	A	A	A	A	A	A		A	A	A	A	A	A	A	A
	A	A	A	A	A	A	A	A		A	A	A	A	A	A	A	A

圖 3-12 電容陣列佈局

以整個 SA ADC 來說，DAC 部分是最敏感的，整個 ADC 的解析度受到電容與電容之間的比值影響很大，再加上其最小的電容值很小，故容易受到其他非理想效應的影響，因此在佈局方面需十分小心。在佈局方面必須要盡可能的讓其電容與電容之間較為匹配，由於匹配的考量，二進位加權電容陣列使用了多個單位電容來實現，且在排列方面也使用 common-centroid 的方式來擺放電容，如圖 3-12，盡可能的讓其 X、Y 軸均對稱來達到更好的電容匹配，最後在電容陣列的外圍使用了 dummy 電容來使匹配更好。

3.3.3 比較器

傳統上，一般的比較器通常使用一對差動對(differential pair)當做輸入級，但由於我們希望能有較好的 SNR 及對雜訊的容忍力能較高，故需要一個軌對軌(rail-to-rail)輸入振幅的比較器，因此一般的比較器不適用，然而能滿足此需求之比較器，一般有以下幾種方法：

- 電流模式之比較器(Current mode comparator)
- Bulk driven 架構之比較器
- 輸入同時連接 P 及 N 型差動對之比較器

3.2.1.1 電流模式之比較器(Current mode comparator)

圖 3-13 為電流模式比較器之架構，在節點 A 與 B 有著較低的輸入阻抗，就其大訊號分析，節點 A 與 B 之靜止(quiescent)電壓 V_Q 為 $V_{DD}-V_{GS2}$ ，因此 i_1 及 i_2 分別為 $(V_A-V_Q)/R$ 及 $(V_B-V_Q)/R$ ，此架構乃藉由比較 i_1 及 i_2 的不同而得到比較器的輸出，因此 V_A 及 V_B 端將會有電流的流動，對於非固定電壓源的輸入，將會造成輸入端電位的變化，而就本文所提出的 SA ADC 架構，比較器的輸入乃為 DAC 的輸出及 S/H 的輸出，其主要均是依靠電容存值來提供比較器的輸

入，因此將會導致輸入端電位變化而造成精確度的下降，故電流模式之比較器不適用於本文所提出的SA ADC架構。

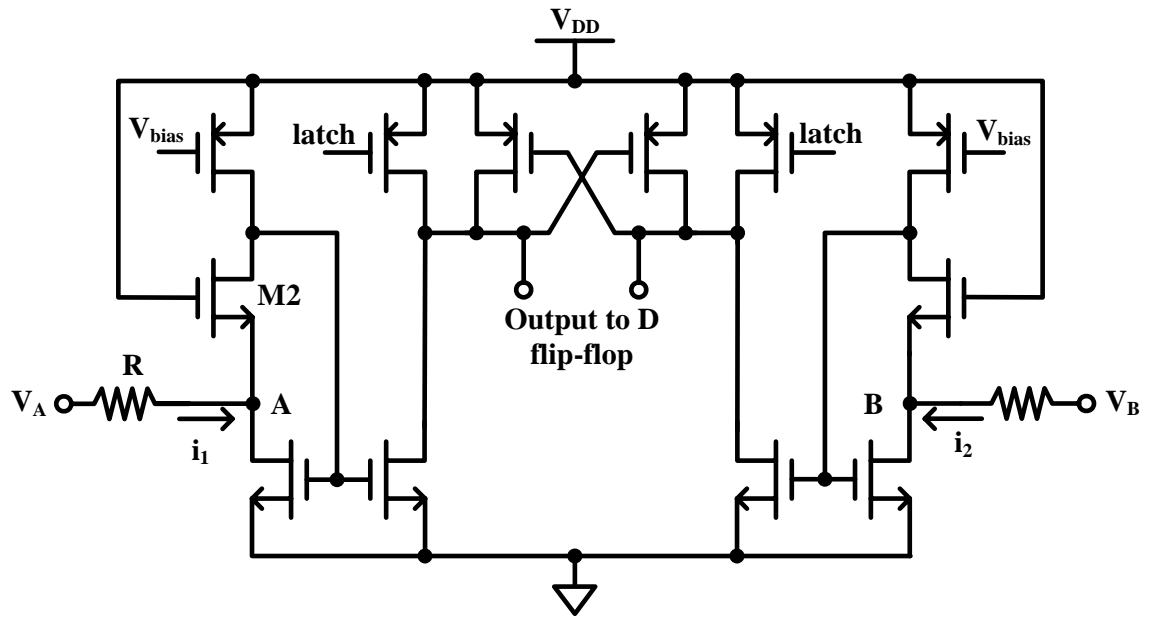


圖 3-13 電流模式之比較器[9]

3.2.1.2 Bulk driven 架構之比較器

Bulk driven的架構主要如圖 3-14，從圖中可以發現其輸入電壓是直接灌入至bulk端，由[29] [30] 可知使用bulk-driven架構適合操作於低供應電壓且有軌對軌的輸入，對於PMOS來說，其 V_{tp} 與bulk電壓的關係式為

$$|V_{tp}| = |V_{t0}| + \gamma(\sqrt{2\phi_F - V_{BS}} - \sqrt{2\phi_F}) \quad (3.4)$$

其中 V_{t0} 為無body effect時之臨界電壓。從圖 3-14 中，其M1、M2主要的不同在於bulk端的輸入電壓，而 V_{tp} 會隨著bulk電位而改變，藉由改變 V_{tp} 可以得到不同的電流值，藉此達到比較的效用。但對於PMOS來說，其源極與汲極對於bulk端存在著pn界面，由於我們需要軌對軌的輸入，故可能會造成pn界面漏電流的發生，因此會存在改變輸入電壓的危險性，對於我們的設計來說，也不大合適。

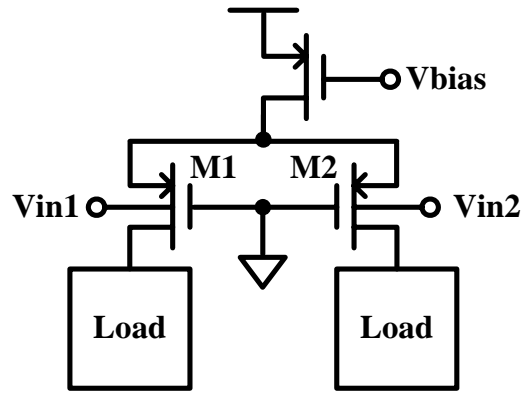


圖 3-14 Bulk driven 架構

3.2.1.3 輸入同時連接P及N型差動對之比較器

常見的比較器僅使用單一個差動對(differential pair)來當輸入級，故共模範圍就被限制住了，為了擴展輸入的共模範圍，[31] [32] 採用了將輸入同時連接P及N型的差動對使輸入有軌對軌的能力，如圖 3-15 所示。輸入同時連接P及N型差動對其操作將分成三部分。當共模輸入較低時，其只有P型差動對操作；在共模輸入較高時，只有N型差動對操作；然而共模輸入介於兩者之間時，P型及N型差動對將同時操作，則其 g_m 將會比單一差動對操作還高。對於Opamp的設計來說，一個較穩定的 g_m 可得到較穩定的開迴路增益(open loop gain)及單一增益頻率(unity-gain frequency)，故需額外的電路來維持 g_m 穩定；然而對於比較器來說，只需把兩個不同的輸入比較出來即可，故可省略掉使 g_m 穩定的電路。

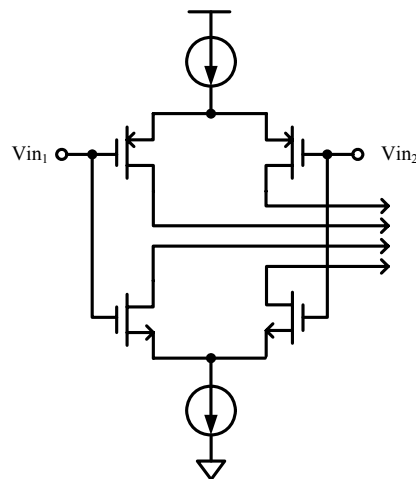


圖 3-15 輸入同時連接 P 及 N 型差動對架構

3.2.1.4 提出之比較器

就上述的方法均是可以達到軌對軌輸入範圍之比較器，然而由於所提出的SA ADC架構中，對於比較器的輸入端是由電容存值給予比較器輸入，為了維持其精準確，故需要有高輸入阻抗。對於電流模式之比較器的輸入端為低阻抗，故將影響輸入端電壓位準的改變；而bulk driven架構之比較器，其藉由提供MOS之bulk端電位去產生不同的threshold voltage，進而產生不同的電流來做比較，然而bulk端對於drain端及source端在 1V的輸入範圍下，將可能會造成pn界面的漏電流而導致輸入端的電位改變，故在此我們採用輸入端同時連接P及N型的差動對來實現軌對軌的輸入，在此僅作為比較器之用，故不採用額外的電路來使其 g_m 穩定，也可減少功率消耗。

接著在 N 型的差動對使用電流鏡負載，藉此將電流彙整起來，再使用正回授(positive feedback)加大其增益，使其能比較更小的電流差距，但缺點在於會有比較嚴重的磁滯(hysteresis)現象，故再加 reset MOS (N3、N5)來減低磁滯的影響，而最後再加一反向器將訊號拉至數位訊號位準，其架構如圖 3-16 所示。

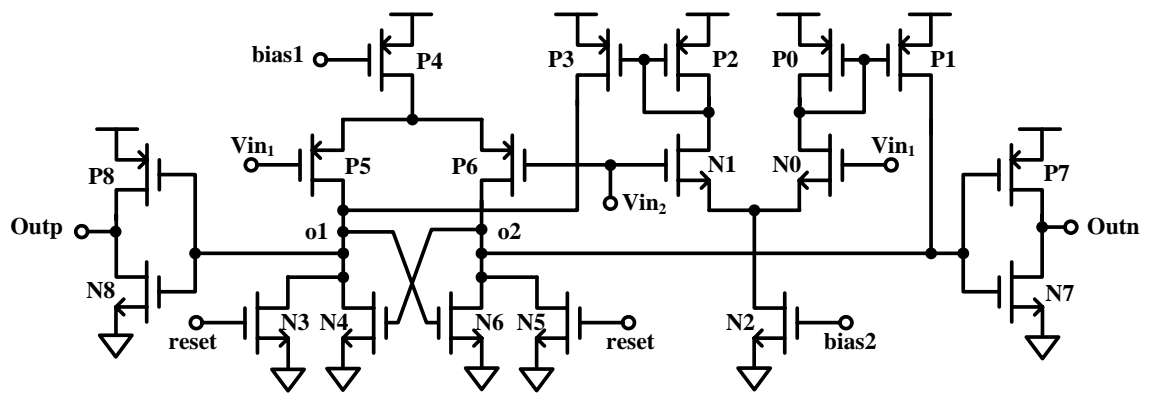


圖 3-16 提出之比較器

此架構當 V_{in} 在 0 至 $V_{DD}/2$ 時主要由P型差動對操作，而當 V_{in} 在 $V_{DD}/2$

至 V_{DD} 時主要由 N 型差動對操作，然而由於供應電壓過低，因此將使得輸入在 $V_{DD}/2$ 附近時會有一地帶造成 PMOS 及 NMOS 之均脫離飽和區，然而又由於 N 型差動對有 Body effect，故使得共模輸入在較高的範圍，即 N 型差動對操作範圍中，也都瀕臨在飽和區與 Sub-threshold 區之間，然而由 [33] 可知，在次臨界 (Sub-threshold) 區域仍有其電流存在，其電流公式為

$$i_D \cong \frac{W}{L} I_{D0} \exp\left(\frac{V_{GS}}{n(kT/q)}\right) \quad (3.5)$$

其中 n 為 Sub-threshold slope factor，而 I_{D0} 為 Process-dependent parameter，且與 V_{SB} 及 V_T 有關。因此在設計之中，當輸入在 $V_{DD}/2$ 附近時，將使得 PMOS 及 NMOS 差動對同時提供 Sub-threshold 電流來維持比較器之操作，經由 HSPICE 的模擬驗證，如此的設計是適當的，如圖 3-17。

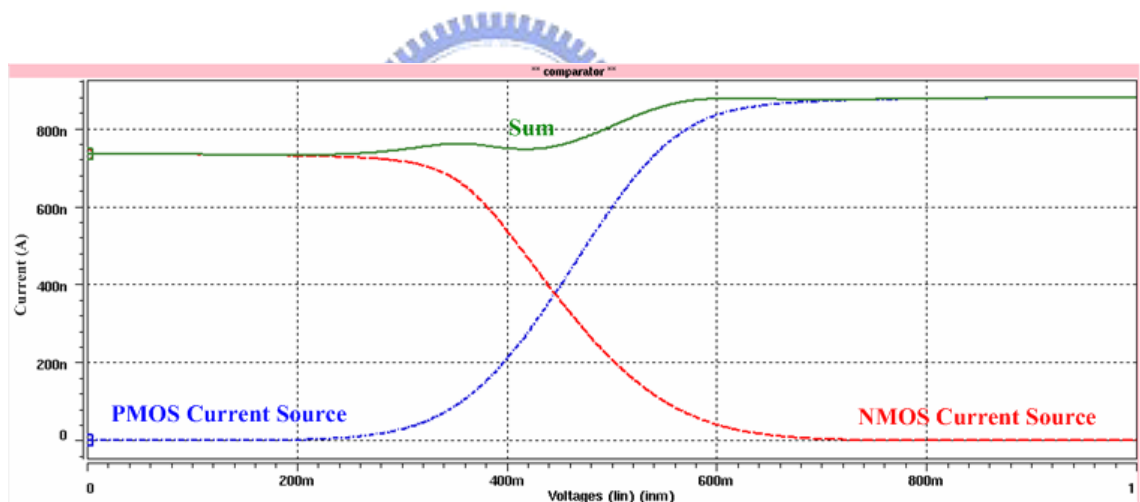


圖 3-17 共模輸入對 P 型及 N 型電流源之關係圖

圖 3-18 為 V_{in} 在不同的共模範圍所做之模擬，可發現第一張圖其所拉開的高度較其餘來的小，乃是因為當輸入都很低時，因為只有 P 型電流源提供電流，故其 o1、o2 所拉開的範圍會被 P 型電流源及 P 型差動對所限制住，然而此情況對於設計來說並無影響，因其比較器最後有加一反向器可將其拉至數位位準。

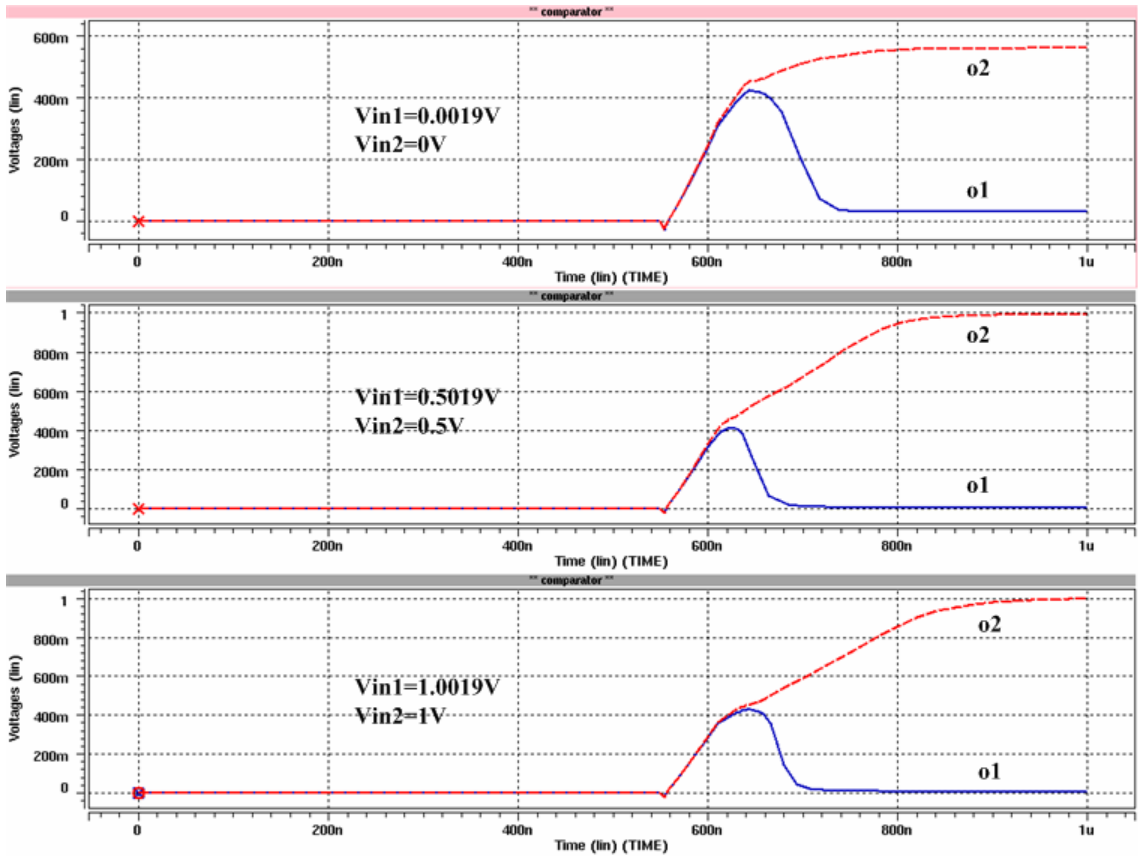


圖 3-18 比較器之模擬

圖 3-19 為共模輸入對比較器功率消耗模擬圖，此圖所模擬的功率消耗除包含比較器功率，也包含了比較器所需偏壓電路的功率消耗。

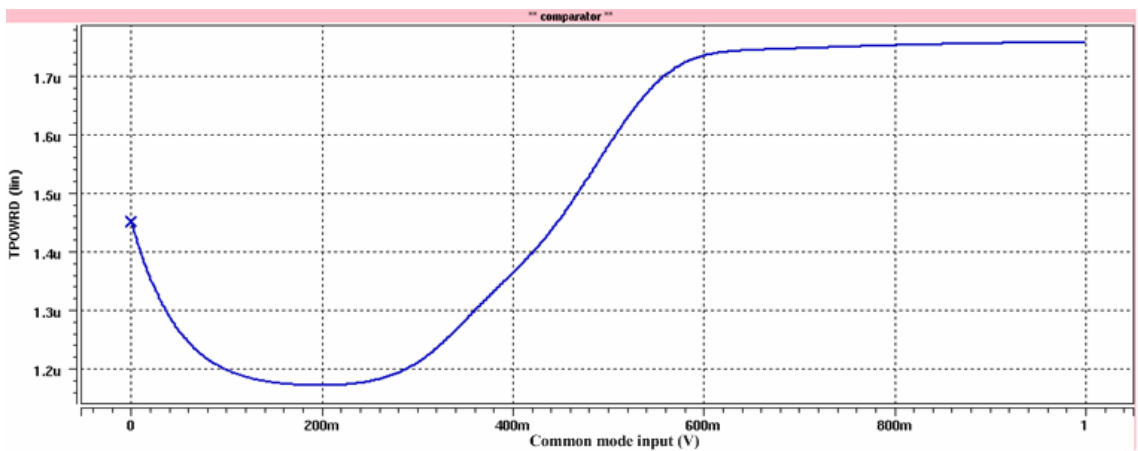


圖 3-19 比較器之功率消耗

對於比較器偏移量(offset)電壓是直接加在整個 ADC 的偏移量上，而此比較器之偏移量主要由差分對(differential pair)間之不對稱所造成的，但為了低功率考量，故在此我們不使用任何偏移消除的技術(offset cancellation technique)。

3.3.4 連續近似暫存器(SAR)

連續近似暫存器乃使用CMOS邏輯電路來完成，其原理似一個簡單的移位暫存器，但是跟移位暫存器不同之處在於多加一些邏輯電路及多工器去得到我們所需要的操作。由於我們要實現一個 8 位元的ADC，故最少必須要有八次循環來解出 8 位元。但因操作時其DAC部分會有瞬間功率的消耗而導致DAC輸出端(即 V_{DAC})有瞬間電流的流動，因此 V_{DAC} 會有微小的電壓變化；又因必須對輸入訊號做取樣，故多加一次循環來做這些動作，故我們使用九次循環來完成一次轉換，表 3-1 為DAC部分中的電容下端控制線操作表格，其與[34] 相似。故整個連續近似式類比數位轉換器總共需九個步驟，第一步先做取樣模式，同時也對DAC部分做重置動作，而第二步至第九步做保持模式，且依序解出最高位元至最低位元。

表 3-1 連續近似暫存器操作

Cycle	DAC switch control signal								Comp
	S8	S7	S6	S5	S4	S3	S2	S1	
1	0	0	0	0	0	0	0	0	-
2	1	0	0	0	0	0	0	0	D ₇
3	D ₇	1	0	0	0	0	0	0	D ₆
4	D ₇	D ₆	1	0	0	0	0	0	D ₅
5	D ₇	D ₆	D ₅	1	0	0	0	0	D ₄
6	D ₇	D ₆	D ₅	D ₄	1	0	0	0	D ₃
7	D ₇	D ₆	D ₅	D ₄	D ₃	1	0	0	D ₂
8	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	1	0	D ₁
9	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	1	D ₀

圖 3-20 為連續近似暫存器架構圖，其動作原理即是一開始先啟動整個系統之重置訊號(global reset)，接著內部的重置訊號(i_reset)產生，將所有的連續近似暫存器的值設為零，接著再使用一些邏輯電路及多工器產生如表 3-1 的運作，圖 3-21 為圖 3-20 中每一個區塊(block)的接腳，然而在圖 3-21 之多工器之運作有三種模式，即右移、將比較器的輸出值儲存及將記憶目前暫存器的值，其功能的切換由 a 及 b 值所決定，如表 3-2 所示。

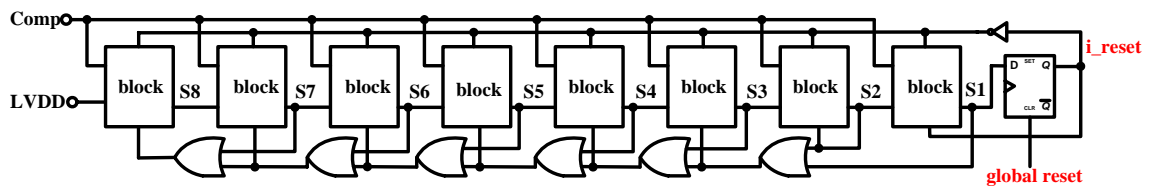


圖 3-20 連續近似暫存器架構

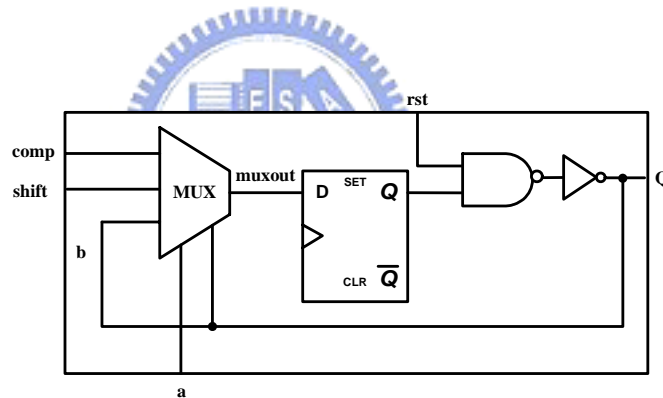


圖 3-21 區塊(block)接腳圖

表 3-2 多工器之運作

a	b	Function
0	0	shift
0	1	Comp
1	x	Memory b

圖 3-22 為模擬 SAR，在第一次轉換，我們假設比較器所得到的輸出均為 0，而在第二次轉換則假設比較器的輸出均為 1，即可得到圖 3-22。

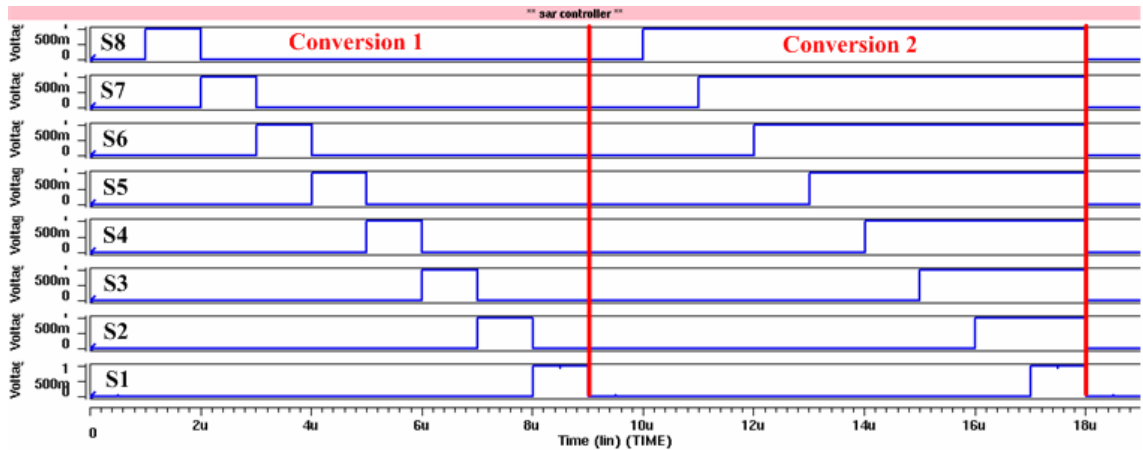


圖 3-22 SAR 模擬圖

3.3 ADC 佈局圖

此次提出的SA ADC使用 0.18 μ m 1P6M CMOS製程來實現，圖 3-23 為 ADC 電路佈局圖，整個晶片(包含PAD)的面積為 1.03 x 0.70mm²，而其各部分的面積列於表 3-3 中，此ADC之active area約為 0.062mm²。

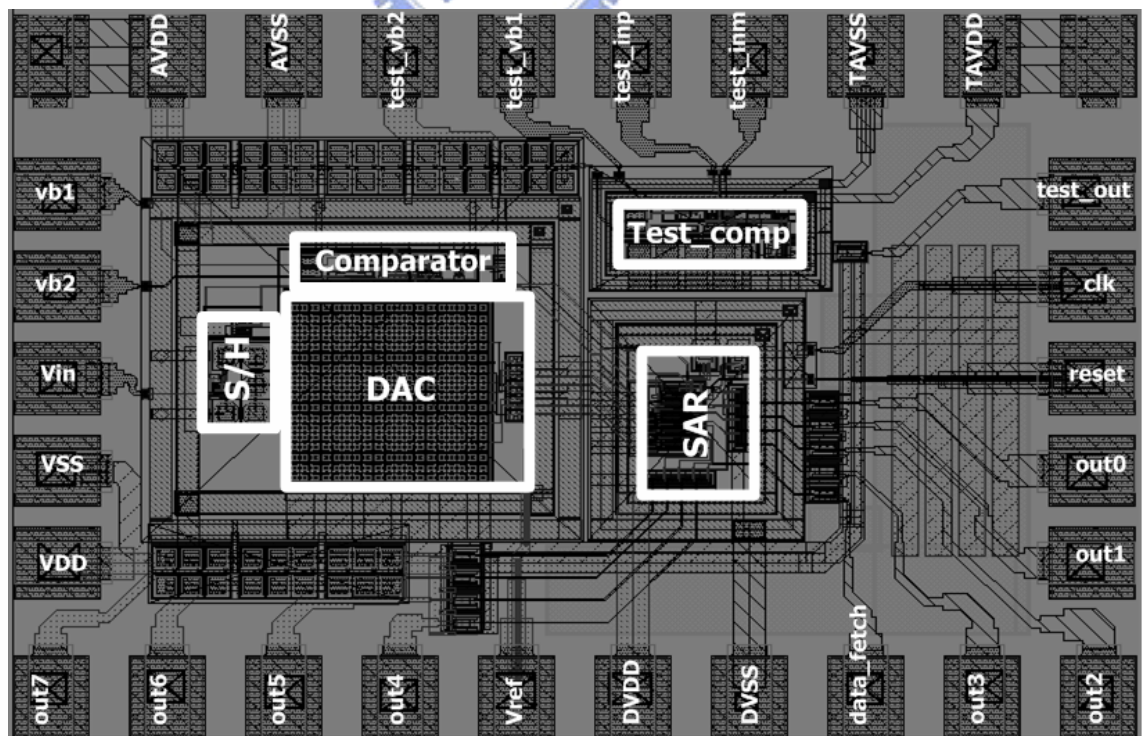


圖 3-23 SA ADC 佈局圖

表 3-3 ADC 各部分之面積

Component	Area($\mu\text{m} \times \mu\text{m}$)
S/H	57 x 105
Comparator	190 x 25
DAC	215 x 186
SAR	90 x 124
Total active area	61885



第四章 模擬與驗證

在本章將呈現對整個晶片 Post-Simulation 之結果。

4.1 靜態參數

圖 4-1 為依據我們設計的架構所模擬出來的微分非線性(Differential nonlinearity, DNL)，從模擬所得到的 DNL 為 0.18/-0.34LSB。而圖 4-2 為積分非線性(Integral nonlinear, INL)，由模擬所得到的 INL 為 0.28/-0.30LSB。

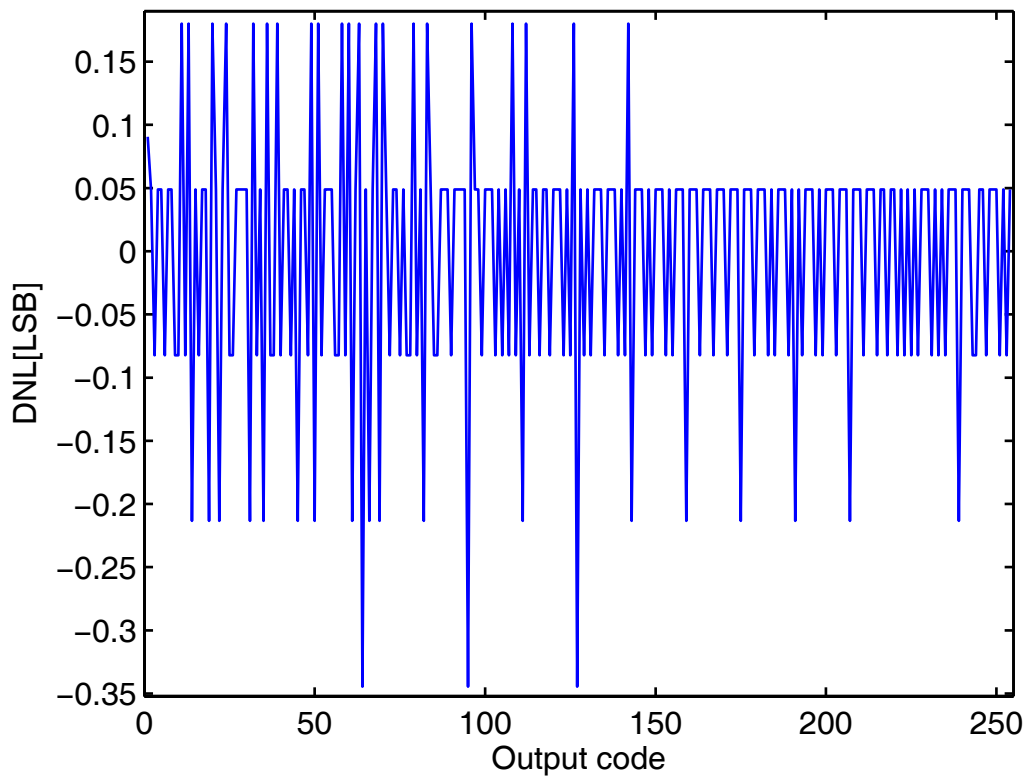


圖 4-1 DNL

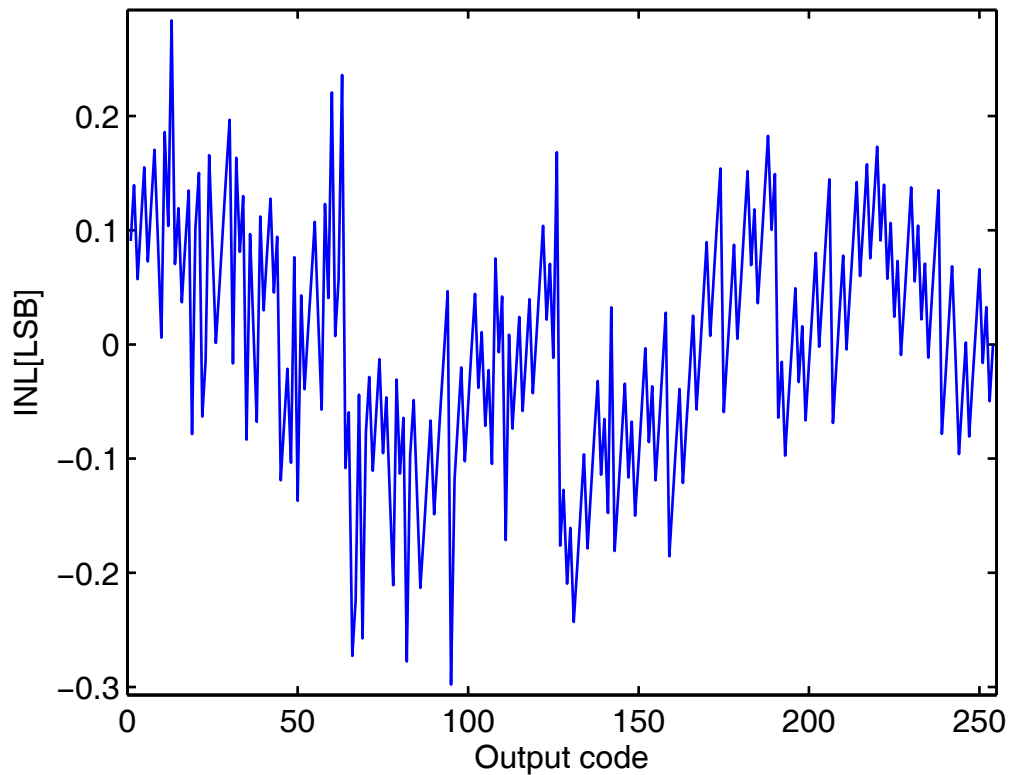


圖 4-2 INL

4.2 動態參數

圖 4-3 為在 TT, 1v, 25°C 時，輸入約為 -1dBFS, 1KHz 正弦波訊號時的頻譜分析圖，由此模擬我們可以計算出訊號對雜訊諧波比(Signal to noise and distortion ratio, SNDR)為 48.4732dB，因此可以計算出有效位元(Effective number of bits, ENOB)約為 7.7597 位元。接著我們模擬在不同情況下所得到之分析，表 4-1 為角模擬(Corner simulation)的結果。

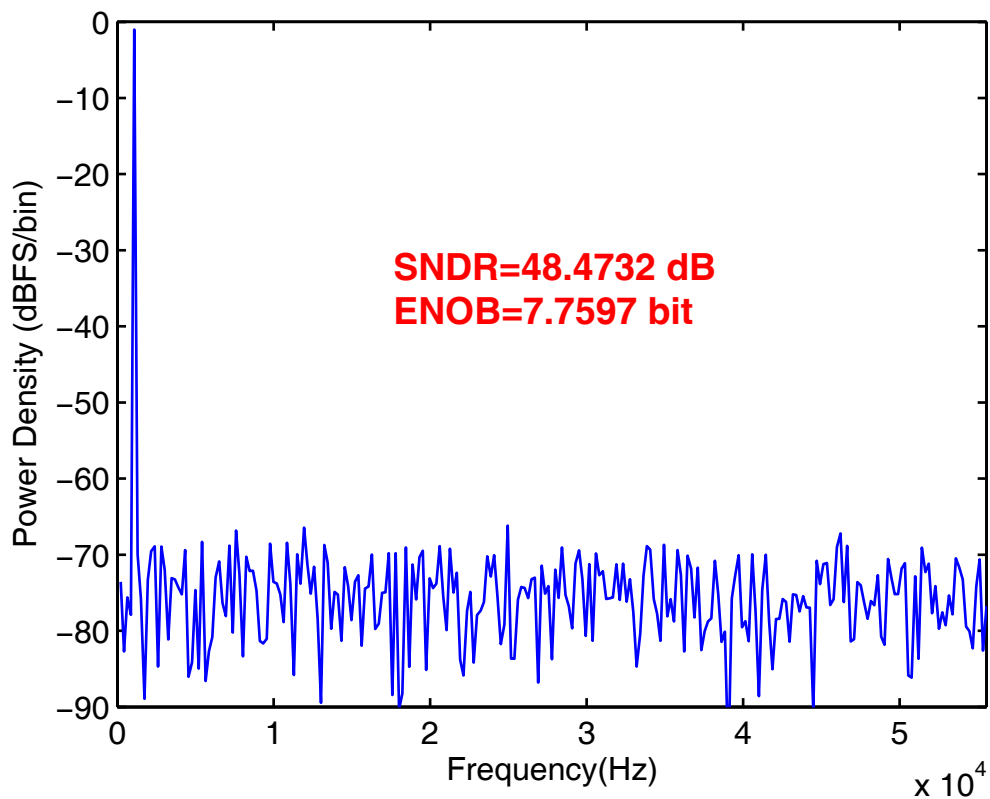


圖 4-3 TT, 1V, 25°C 時之頻譜分析圖

表 4-1 角模擬

Process corner	SNDR(dB)	ENOB(bit)
TT, 1V, 25°C	48.4732	7.7597
FF, 1V, 25°C	48.3966	7.7469
FS, 1V, 25°C	48.6815	7.7943
SF, 1V, 25°C	45.3432	7.2397
SS, 1V, 25°C	48.5984	7.7805
SS, 0.9V, 125°C	48.6741	7.7930
FF, 1.1V, -40°C	48.3658	7.7418
SS, 0.9V, 125°C, R+10%	48.7075	7.7986
FF, 1.1V, -40°C, R-10%	48.3872	7.7454
SS, 0.9V, 125°C, FF_MiM	48.4989	7.7639
FF, 1.1V, -40°C, FF_MiM	48.0518	7.6897

表 4-2 為不同之輸入頻率對 SNDR 的模擬，用此數據作圖 4-4，從觀察可發現在高頻時其 SNDR 仍為良好，故此設計其有效解析度頻寬(Effective

resolution bandwidth, ERBW)可達到 Nyquist frequency。圖 4-5 為在不同之輸入振幅下，不同輸入頻率對 SNDR 作圖，由此圖中可發現雖然是在不同的輸入振幅下，但其 SNDR 在輸入頻率高的地方均無衰減的現象。

表 4-2 不同輸入頻率之 SNDR

Fin (Hz)	SNDR (dB)	ENOB (bit)
10k	48.3060	7.7319
20k	48.4270	7.7520
30k	48.3851	7.7450
40k	48.4192	7.7507
50k	48.4821	7.7611
55k	48.5070	7.7653

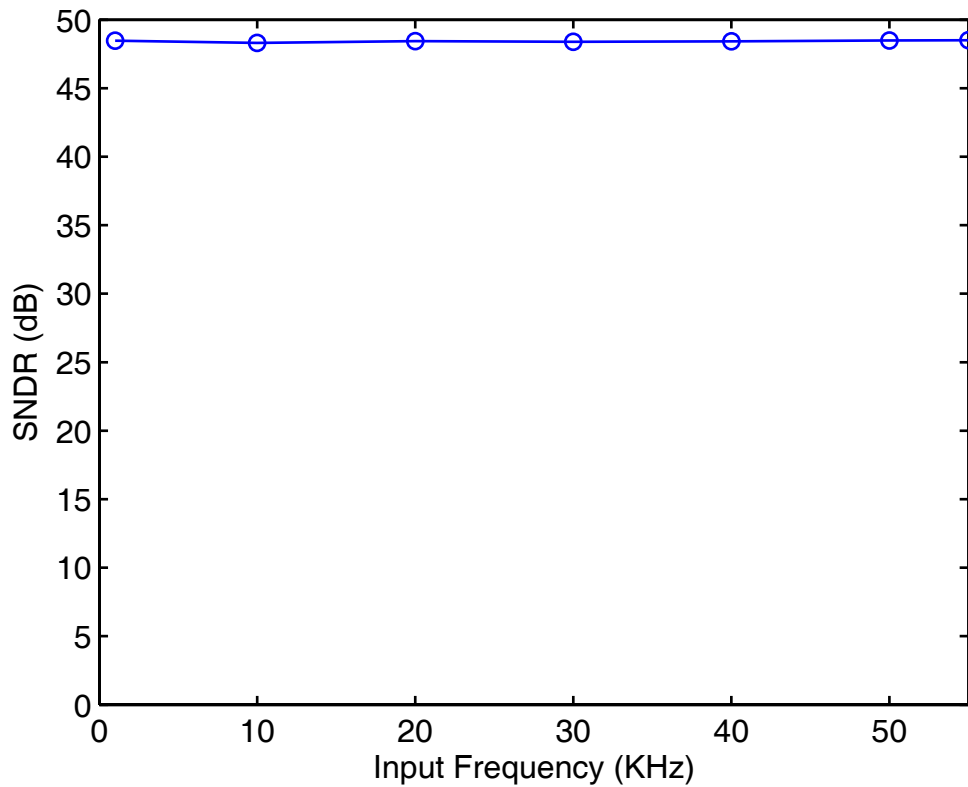


圖 4-4 不同輸入頻率與 SNDR 的關係

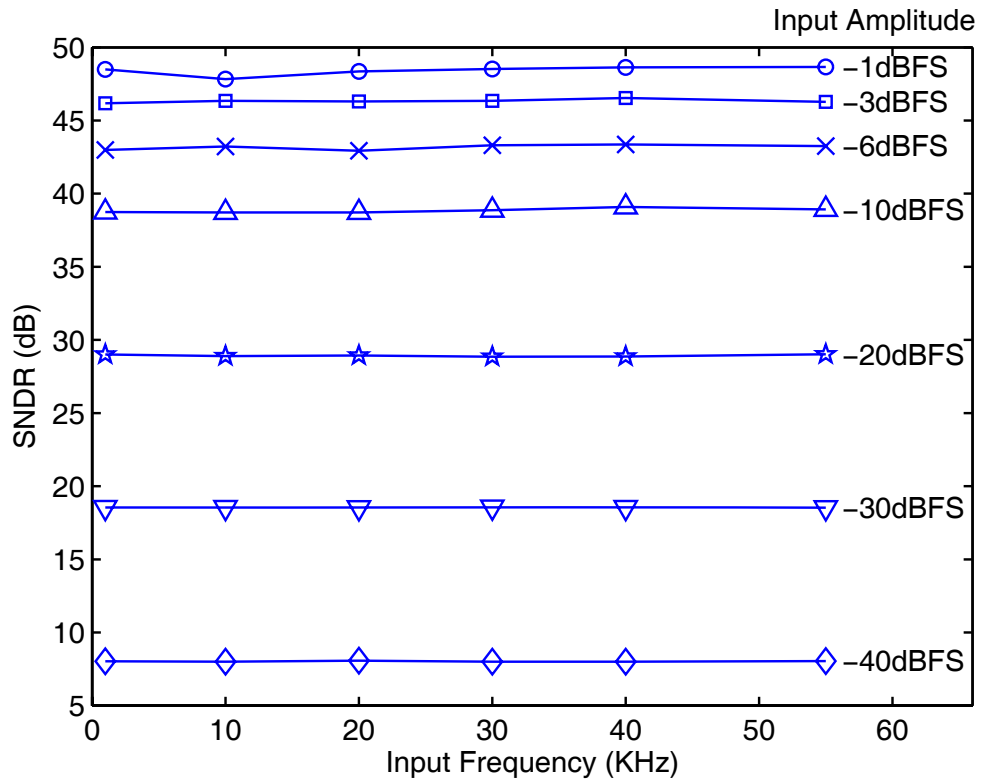


圖 4-5 在不同之輸入振幅下，不同輸入頻率與 SNDR 的關係

4.3 功率消耗

HSPICE 模擬功率消耗主要有兩種：一是使用 RMS 的方法計算功率消耗，另外一種為使用平均的方式來計算功率消耗。而在超低耗能的設計中，因為功率相當小，再加上供應電壓與地之間除了有穩定電源所設計的 decoupling 電容，且也存在著 PAD 與 PAD 之間的電容，外加一些雜散電容，由於電容乃為儲能元件，故會提供給 ADC 功率，因此瞬間功率部分由供應電壓與地之間的電容所供給；且再加上量測儀器在量測功率時，乃是週期性取點，故使用平均功率的方式來模擬功率消耗較為合理。

圖 4-6 為模擬出來各部分電壓所消耗的功率，從圖中可發現類比部分所消耗的功率較大，而在此由於 V_{in} 所消耗的功率太小，故不考慮。圖 4-7 為 ADC 總消耗功率，計算其輸出碼從 0 至 255 所消耗之功率取其平均，發現平均功率為 $3.08\mu\text{W}$ 。表 4-3 為各部分電壓所耗之平均功率表，而在此我們

將各個部分的電流源均當成是獨立電流源，但若將 $AVDD$ 、 $DVDD$ 及 $Vref$ 電流源接在一塊，將會使其功率消耗更低。

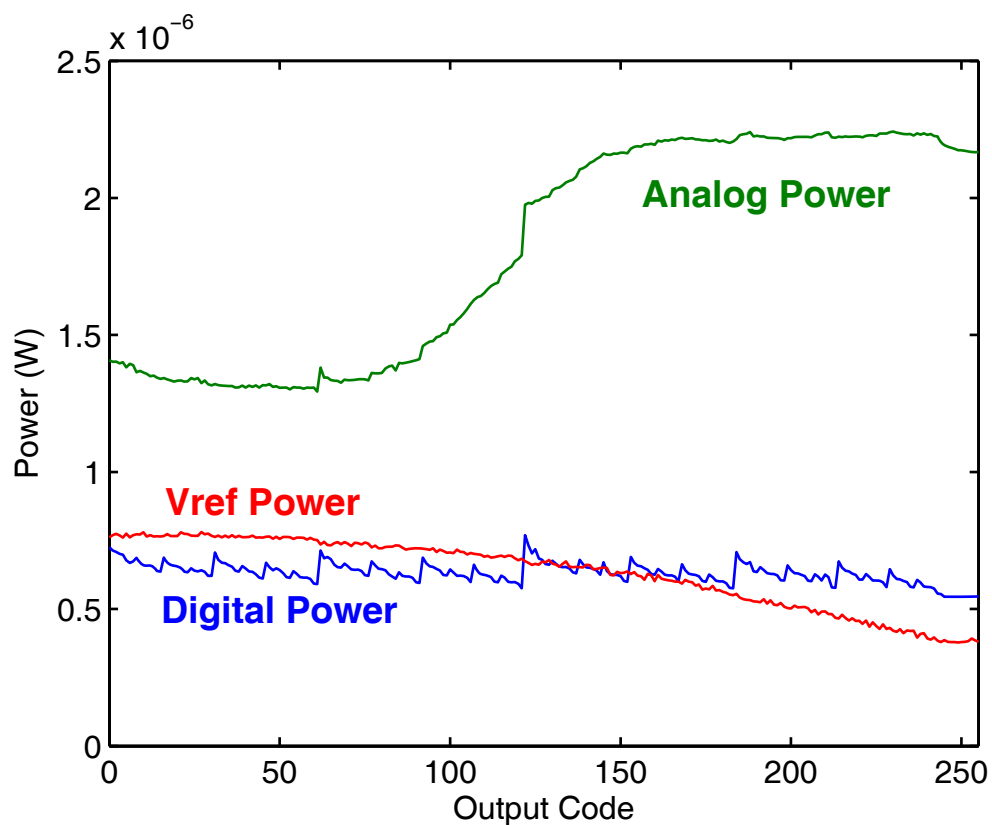


圖 4-6 ADC 各部分電壓所消耗之功率

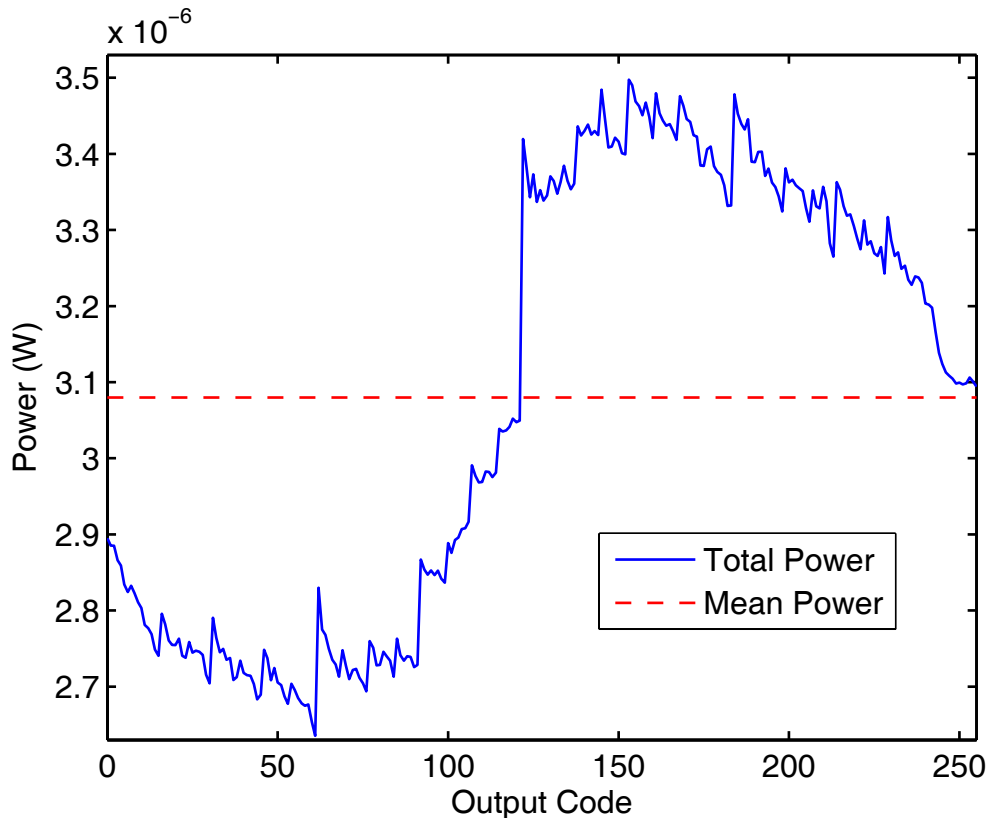


圖 4-7 ADC 整體所消耗的功率

表 4-3 ADC 各部分電壓所消耗之平均功率

	Mean power (μW)
P(AVDD)	1.82
P(DVDD)	0.63
P(Vref)	0.63
Total power	3.08

4.4 ADC 模擬結果與比較

表 4-4 為 ADC 之模擬結果摘要，用此數據來與一些 IEEE 論文做比較 [7] [8] [9] [35] [36]。就比較 ADC 而言，一個重要的參數 FOM (Figure of merit) 被使用來評估 ADC 之好壞，考量到解析度，頻率及功率消耗，FOM 之式子 [37] [38] 為

$$FOM = \frac{Power}{2^{ENOB,DC} \cdot 2 \cdot ERBW} \quad (4.1)$$

其中 ENOB,DC 為當其輸入訊號在接近 DC 時所量得之 ENOB，而 ERBW 為其-3db 頻率。表 4-5 為 ADC 效能與先前之文獻做比較，可發現此 ADC 的 FOM 為最小，其值為 0.13pJ/conv.step，。

表 4- 4 ADC 模擬結果

Parameters	Result
Supply voltage	1V
Clock rate	1MHz
Sampling rate	111KS/s
Effective resolution bandwidth	55KHz
Input signal swing	Rail-to-rail
SNDR @ fin=1KHz	48.47dB
ENOB @ fin=1KHz	7.76 bit
Power dissipation	3.08μW
Process	0.18μm CMOS (1P6M)

表 4- 5 Benchmark

	[7]	[8]	[9]	[35]	[36]	This work
Technology	0.25μm CMOS	0.18μm CMOS	1.2μm CMOS	0.5μm SOS	3μm CMOS	0.18μm CMOS
Power supply	1	0.5	1	3.3	5	1
ENOB,DC	7.9	6.9	7.9	7.92	7.85	7.76
ERBW(Hz)	3K	2K	5K	N/A	N/A	55K
$\frac{\text{Input swing}}{\text{Power supply}}$	1	0.25	0.85	0.64	0.6	1
Sampling rate (Hz)	100K	4.1K	50K	1.23M	1.3M	111K
Power dissipation (W)	3.1μ	0.85μ	0.34m	1.5m	70m	3.08μ
FOM (pJ/conv.step)	2.16	1.78	142.34	5.04*	233.38*	0.13
ENOB (bit) @ Nyquist frequency	4.5	4.86	N/A	N/A	N/A	7.77

* 假設其 ERBWs 均為 Nyquist frequency

第五章 量測結果

圖 5-1 為使用 0.18 μm CMOS 製程下線回來的晶片圖。

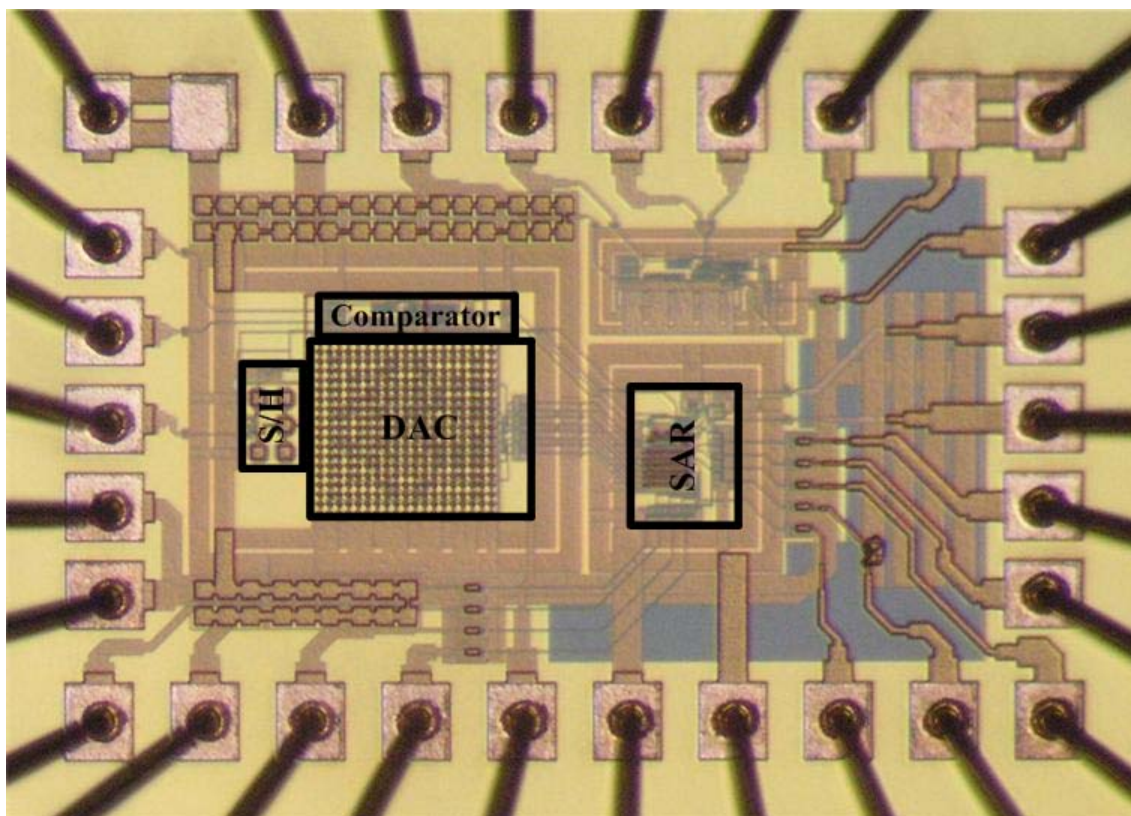


圖 5-1 晶片圖

5.1 量測環境設定

圖 5-2 為量測環境設定，而圖 5-3 為圖 5-2 中的待測物(DUT)，待測物的輸入訊號由 Agilent 33250A 80MHz Function/Arbitrary Waveform Generator 所提供，而時脈訊號由 Agilent 33220A 20MHz Function/Arbitrary Waveform Generator 所提供，供應電壓及參考電壓由 Keithley 2400 Source Meter 及 Agilent E3610A Power Supply 所供給，而類比數位轉換器的輸出使用 Agilent 16702B Logic Analysis System 將值取出做分析。此外使用 Agilent 34401A Digital Multimeter 來量測內部偏壓點，而 Audio precision 及 Agilent

54832D 1GHz Mixed-signal Oscilloscope 為量測中偵錯用。



圖 5-2 量測環境

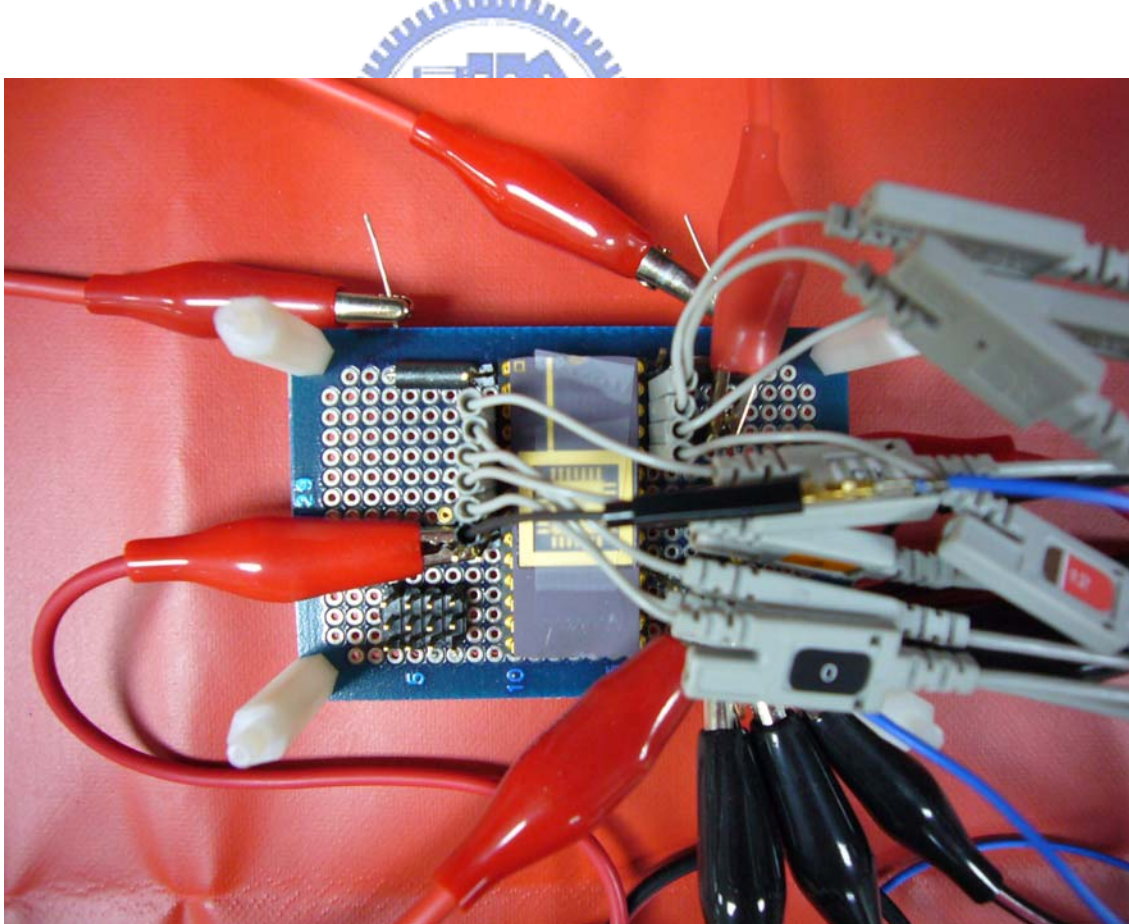


圖 5-3 待測物(DUT)

5.2 供應電壓為 1V 之量測結果

由以上之環境設定，當將供應電壓及參考電壓設定為 1V 時，可得以下之量測結果。

5.2.1 靜態參數

由我們所量測出來的數據所得到的 DNL、INL 分別呈現在圖 5-4 及圖 5-5，從圖 5-4 中可觀察到 DNL 在 0.31/-0.95 LSB 之間，而從圖 5-5 可觀察到 INL 在 0.70/-1.00 LSB 之間。

從圖 5-5 中可發現在最後面的輸出碼之 INL 一直往下掉，表示在最後面的輸出碼可能不能用。目前猜想可能是因為輸入在接近 1V 時，其比較器的 N 型差動對造成問題。

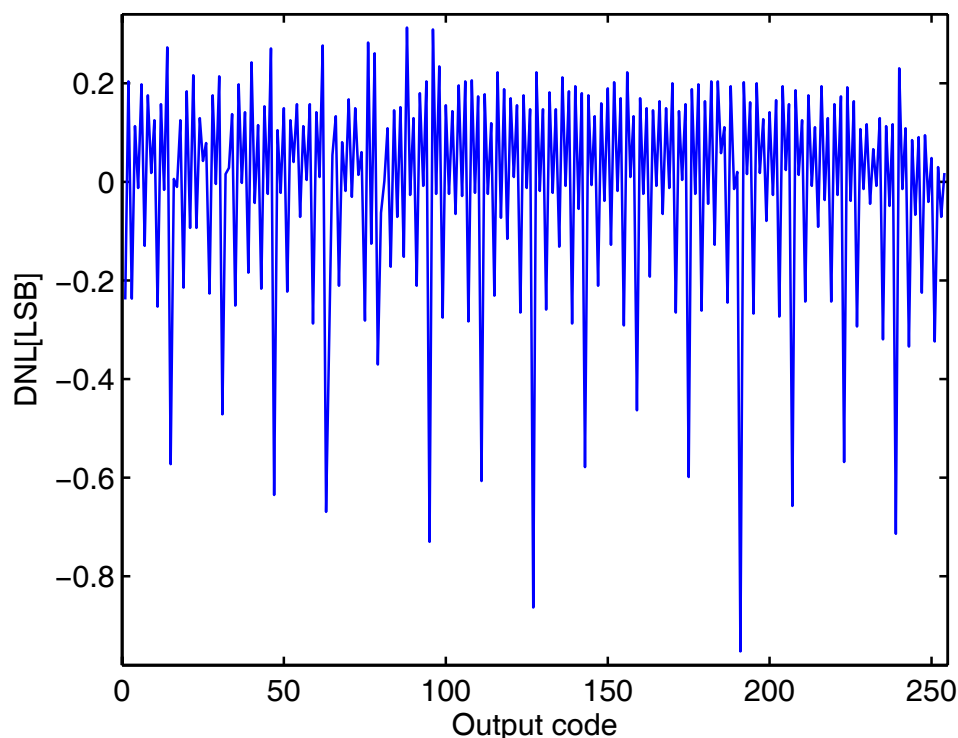


圖 5-4 DNL(供應電壓為 1V)

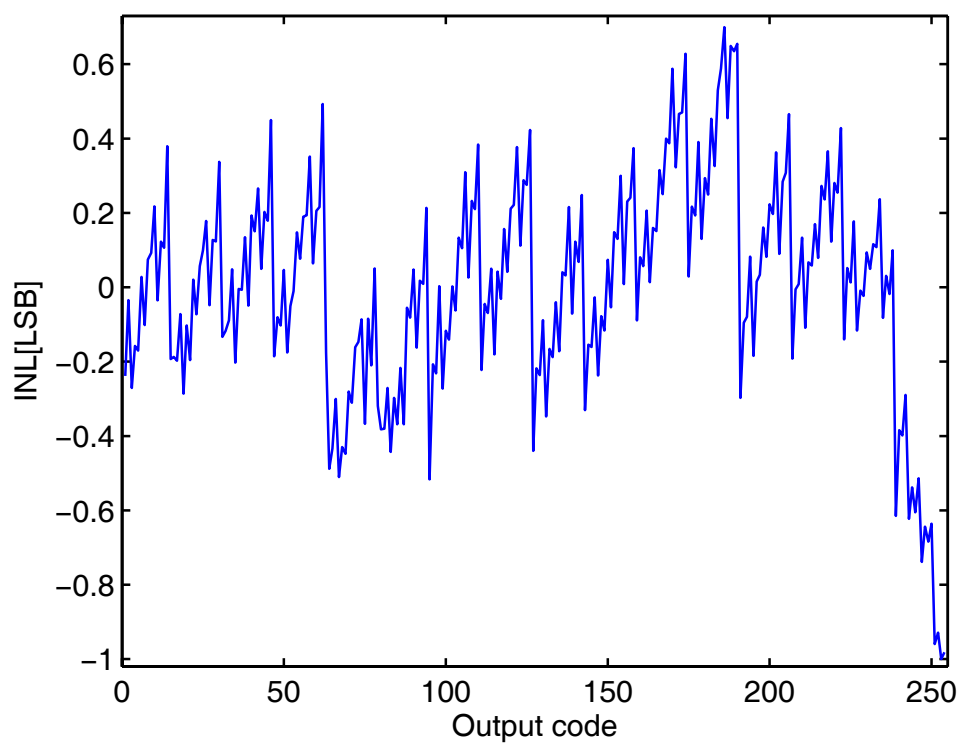


圖 5-5 INL(供應電壓為 1V)

5.2.2 動態參數

圖 5-6 為當時脈頻率在 1MHz，輸入頻率接近 1KHz，點數取 2^{17} 點時之頻譜圖，經由計算可得此時之 SFDR 約為 62.13dB，SNDR 約為 46.25dB，ENOB 約為 7.39bit。而在本章量測動態參數的部分，為了避免種種因素可能造成 Spectral leakage 的問題，故均使用了 blackman window。

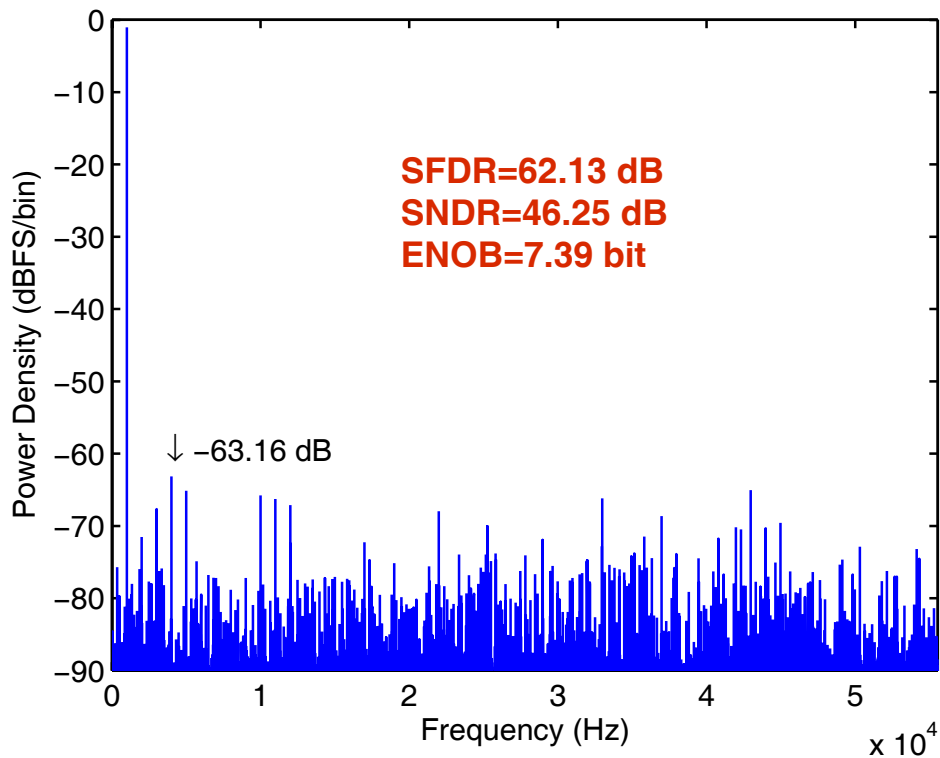


圖 5-6 頻譜圖(供應電壓為 1V)

圖 5-7 為在不同之輸入頻率對 SNDR 及 SFDR 作圖，從此圖可觀察到輸入頻率在高頻時並沒有下降的跡象，即是 ERBW 可達 Nyquist frequency。然而圖 5-8 及圖 5-9 分別為時脈頻率在 2MHz 及 3MHz 時，不同輸入頻率對 SNDR 及 SFDR 作圖。從此二圖可發現時脈頻率在 2MHz 時，ERBW 仍可達至 Nyquist frequency，但時脈頻率在 3M 時，當輸入頻率較高時就有衰減的現象。

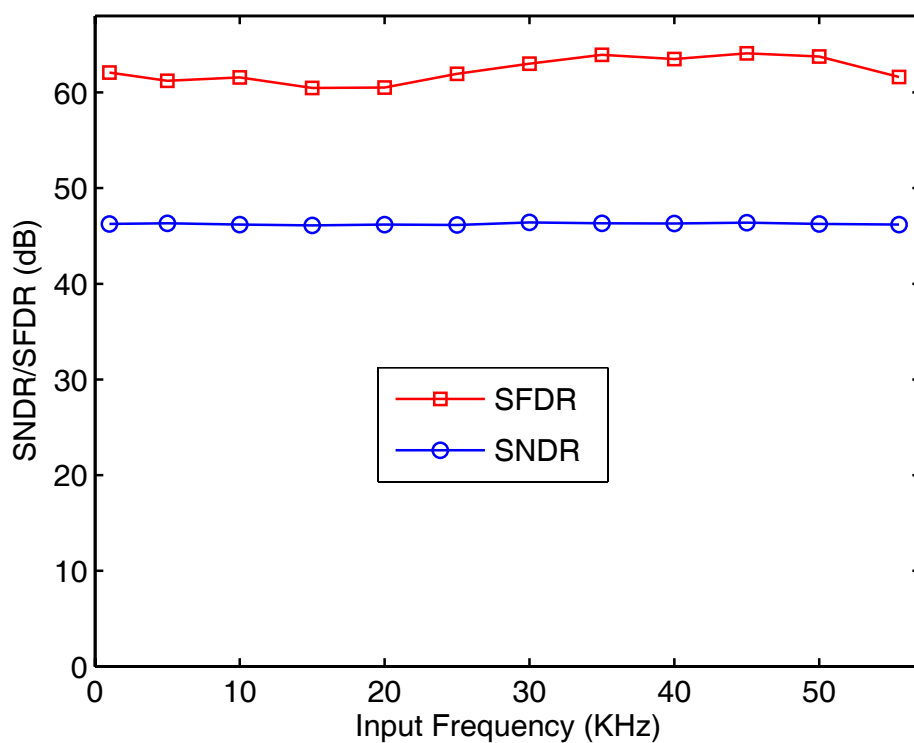


圖 5-7 不同輸入頻率與 SNDR 及 SFDR 的關係(時脈頻率為 1MHz，供應電壓為 1V)

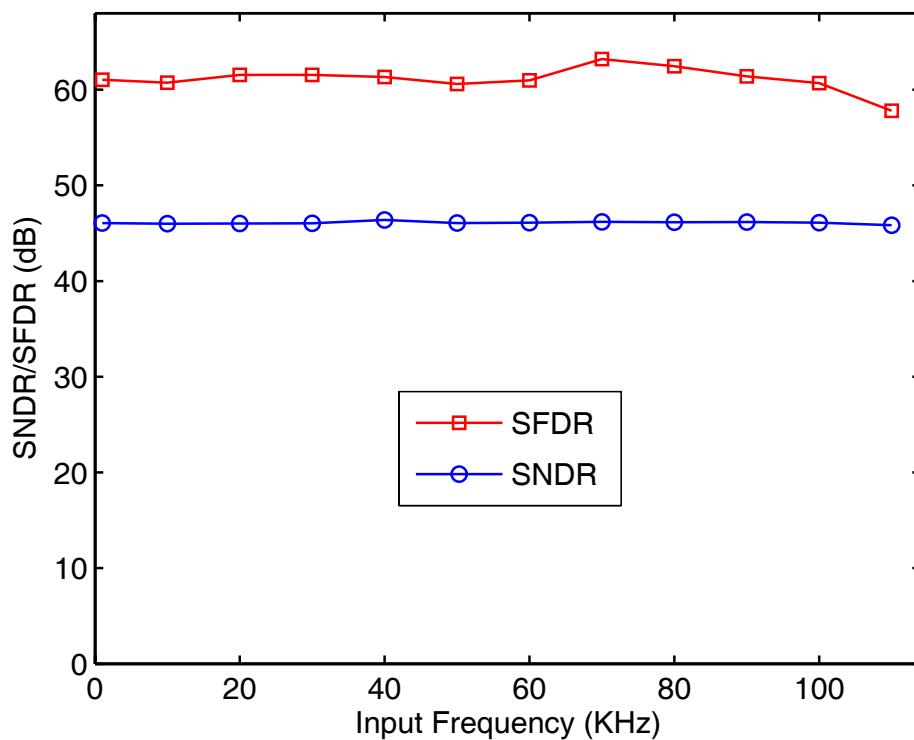


圖 5-8 不同輸入頻率與 SNDR 及 SFDR 的關係(時脈頻率為 2MHz，供應電壓為 1V)

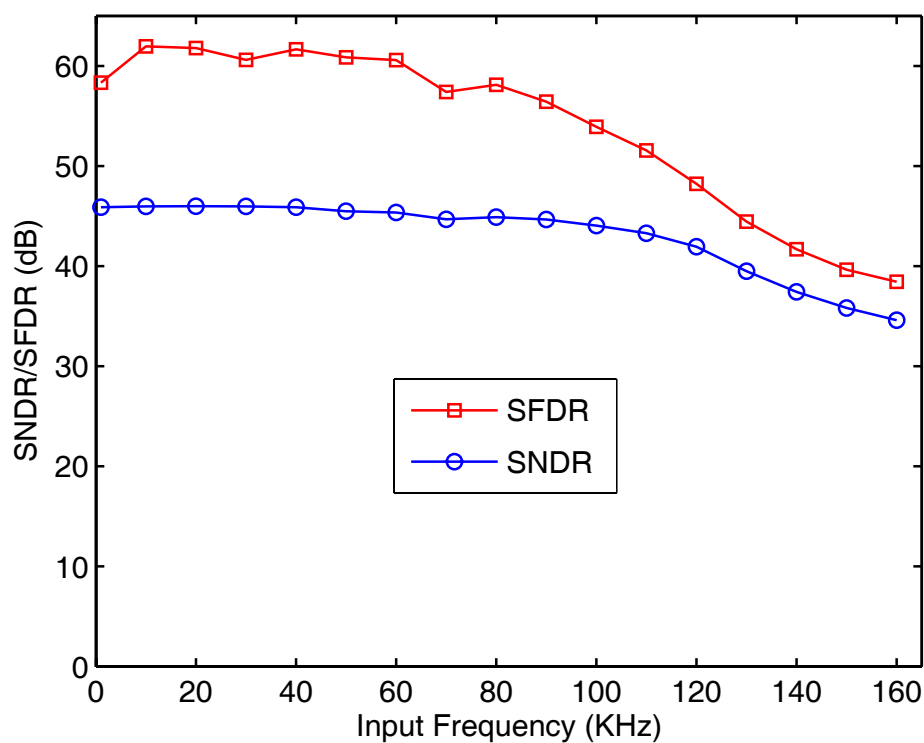


圖 5-9 不同輸入頻率與 SNDR 及 SFDR 的關係(時脈頻率為 3MHz, 供應電壓為 1V)

圖 5-10 即是在不同輸入振幅情況下，不同的輸入頻率對 SNDR 作圖，從圖中可觀察到在不同輸入振幅情況下，其輸入頻率在高頻時也沒有衰減的現象。而圖 5-11 為改變輸入振幅對 SNDR 及 SFDR 作圖，從此圖可發現除了輸入振幅在接近 0dBFS 的地方外，其餘部分說明了 SNDR 和輸入振幅的關係非常的線性。

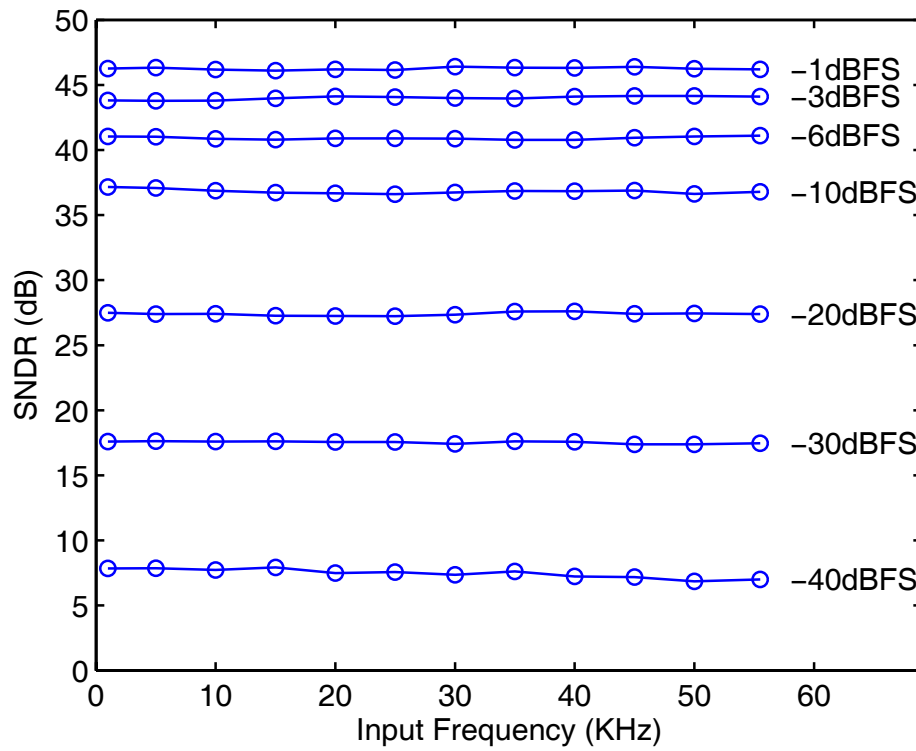


圖 5-10 不同輸入振幅情況下，不同輸入頻率與 SNDR 的關係(供應電壓為 1V)

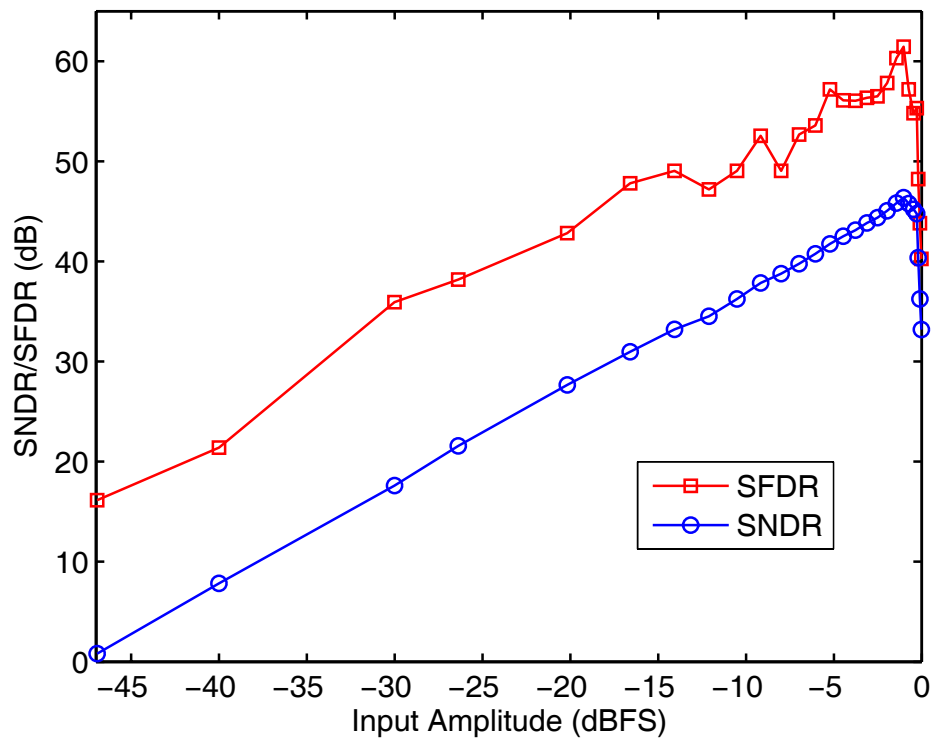


圖 5-11 不同輸入振幅與 SNDR 及 SFDR 的關係(供應電壓為 1V)

圖 5-12 將輸入頻率固定在約為 1KHz 處，而隨著時脈頻率的增加，其 SNDR 有衰減的現象，從圖中可發現當時脈頻率在 4MHz 以內都有不錯的 SNDR 表現。

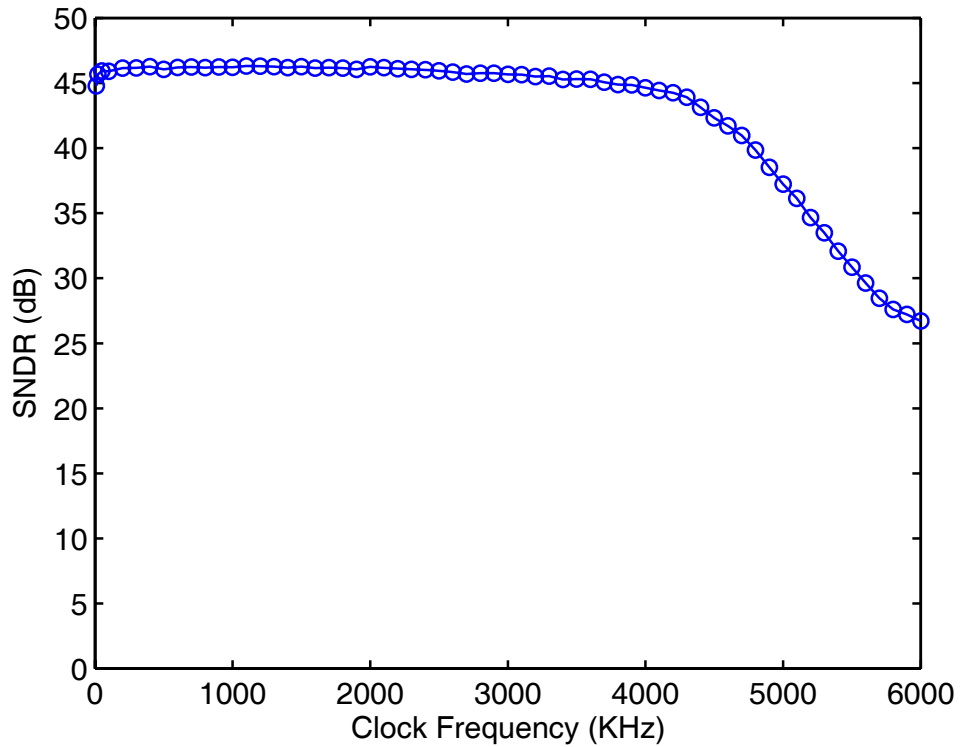


圖 5-12 不同時脈頻率與 SNDR 的關係(供應電壓為 1V)

5.2.3 功率消耗

以上的量測結果，當環境設定供應電壓及參考電壓為 1V，輸入頻率為 1KHz 時之功率量測如下表 5-1。

表 5-1 功率消耗(供應電壓為 1V)

	P(AVDD) (μ w)	P(DVDD) (μ w)	P(Vref) (μ w)	Total Power (μ w)
Clock=1MHz	1.76	1.00	0.46	3.22
Clock=2MHz	1.94	1.67	0.92	4.53
Clock=3MHz	2.08	2.34	1.40	5.82

5.3 供應電壓為 0.9V 之量測結果

此次設計發現在供應電壓在 0.9V 時，且當時脈頻率在 1.3MHz 時有較佳的 FOM 值，故在此顯示其相關參數。

5.3.1 靜態參數

當供應電壓在 0.9V 時，其 DNL 及 INL 分別為圖 5-13 與圖 5-14，從圖 5-13 可觀察到其 DNL 在 0.53/-0.97LSB 之間；而從圖 5-14 中可觀察到 INL 在 0.65/-0.86LSB 之間。

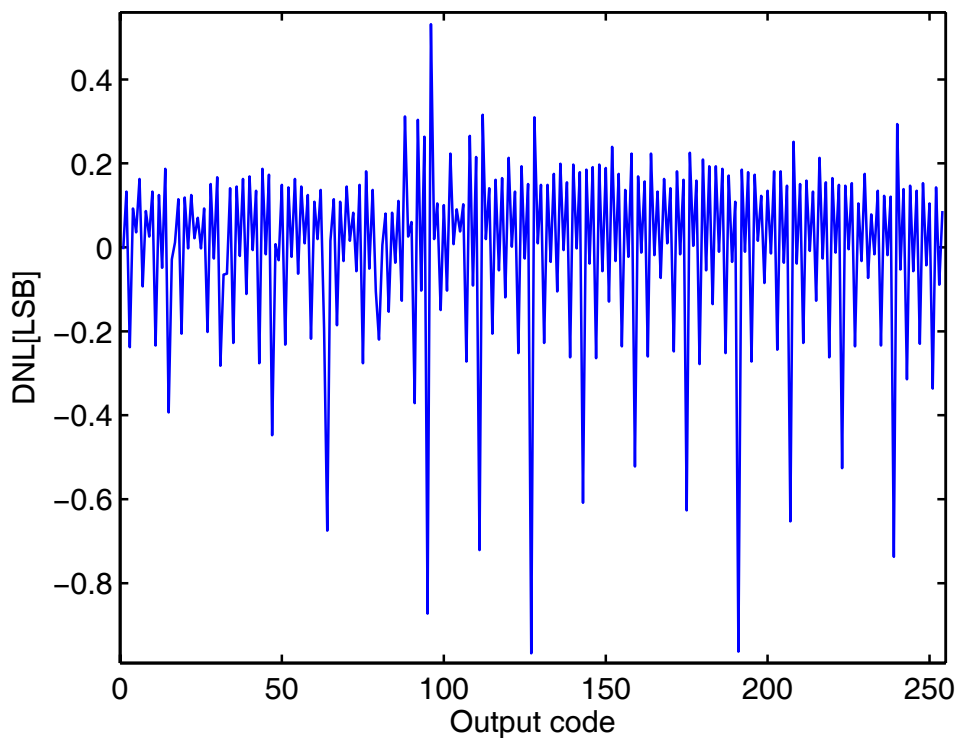


圖 5-13 DNL(供應電壓為 0.9V)

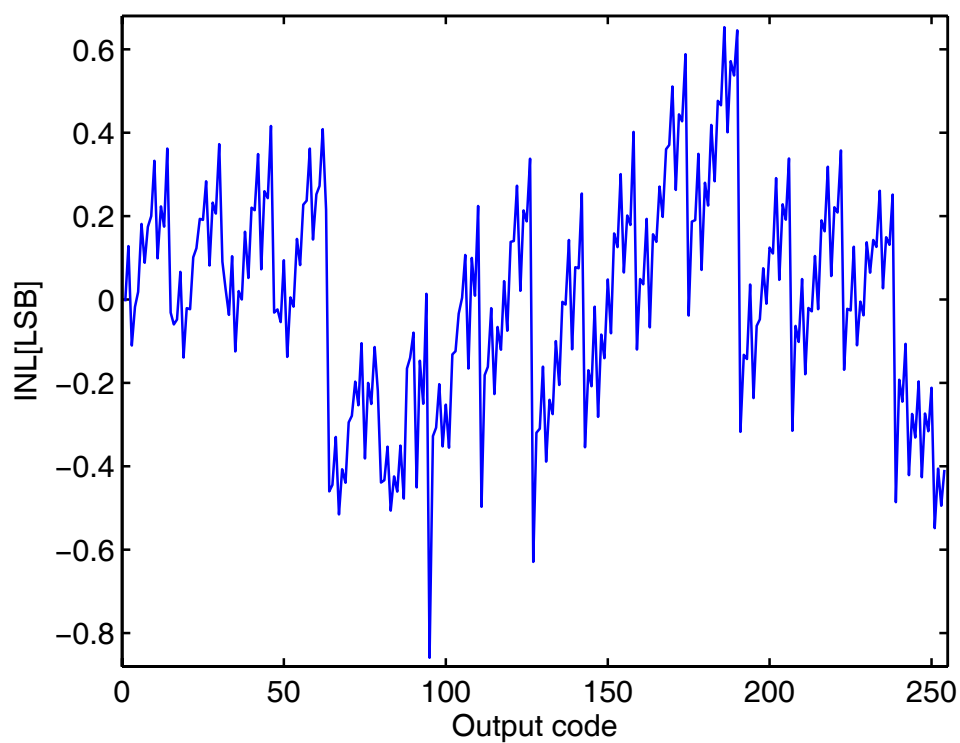


圖 5-14 INL(供應電壓為 0.9V)

5.3.2 動態參數

圖 5-15 為當時脈頻率在 1.3MHz，輸入頻率接近 1KHz，點數取 2^{17} 點時之頻譜圖，經計算可得到 SFDR 約為 57.94dB，SNDR 約為 46.67dB，ENOB 約為 7.46bit。

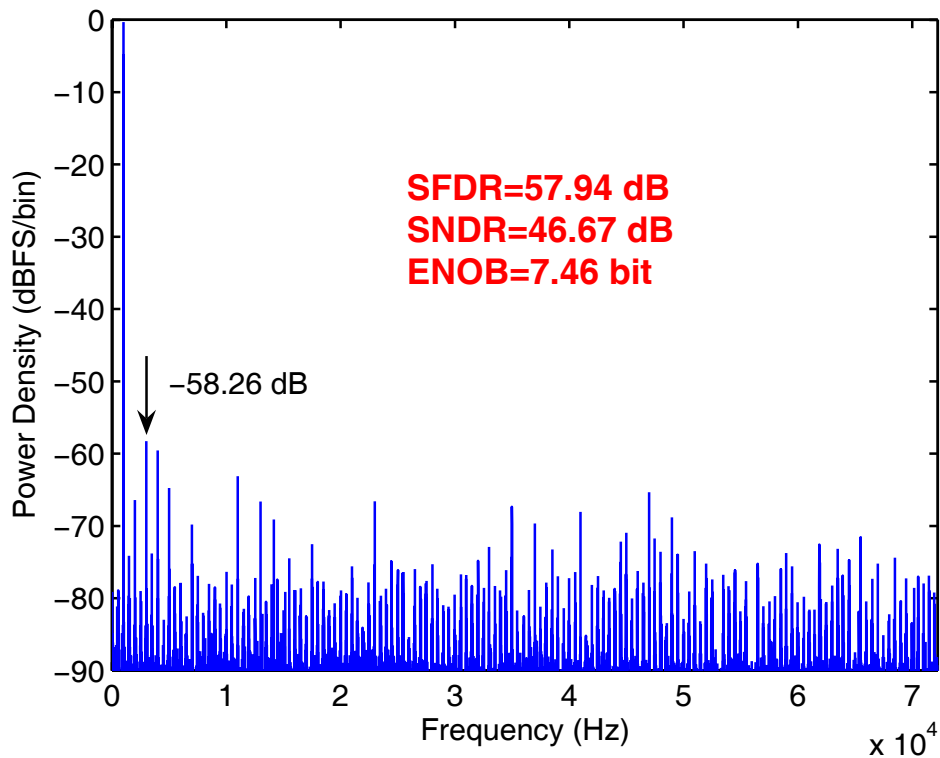


圖 5-15 頻譜圖(供應電壓為 0.9V)

圖 5-16 為不同輸入頻率與 SNDR 及 SFDR 的關係，從圖中可發現供應電壓在 0.9V，時脈頻率在 1.3MHz 的情況下，其 ERBW 仍能達到 Nyquist frequency。而圖 5-17 為在不同的輸入振幅情況下，不同的輸入頻率對 SNDR 作圖，從圖中可觀察到當輸入振幅在 -0.3dBFS 時，雖然其輸入頻率在 Nyquist frequency 處的 SNDR 有下降一些，但 SNDR 仍有不錯的值。而在其餘的輸入振幅情況下，輸入頻率在高頻時均沒有衰減的現象

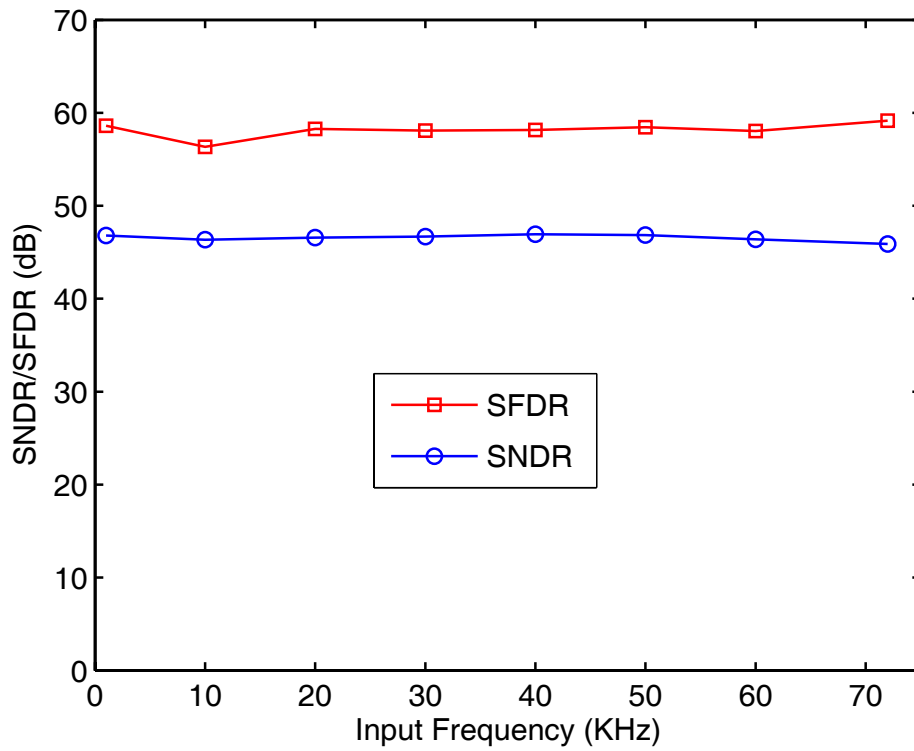


圖 5-16 不同輸入頻率與 SNDR 及 SFDR 的關係(供應電壓為 0.9V)

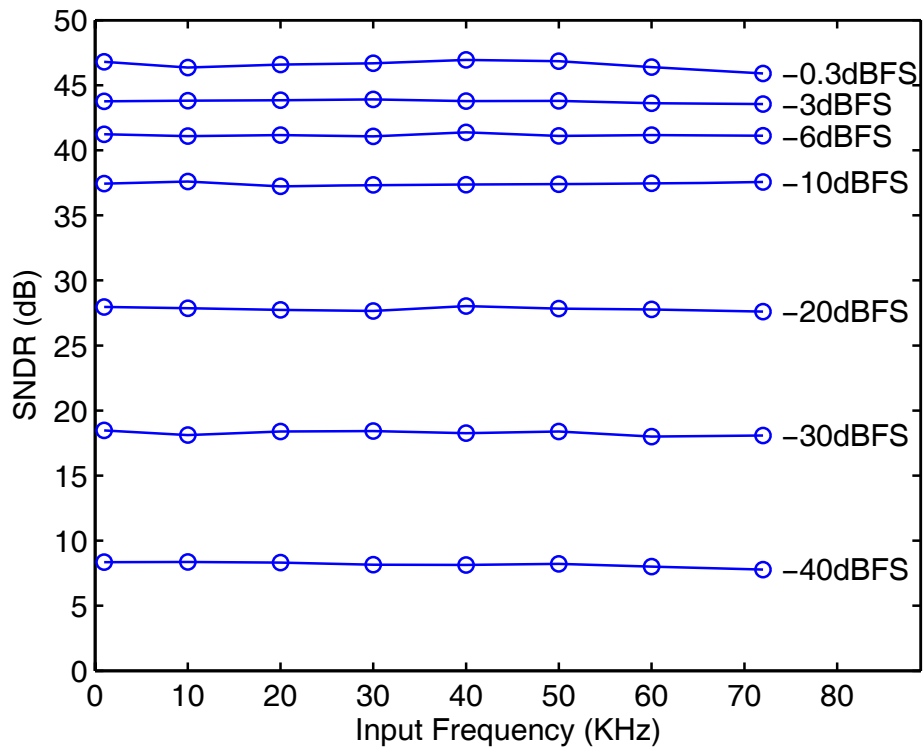


圖 5-17 不同輸入振幅情況下，不同輸入頻率與 SNDR 的關係(供應電壓為 0.9V)

圖 5-18 為不同輸入振幅對 SNDR 及 SFDR 作圖，從圖中可發現除了輸入振幅在接近 0dBFS 的地方外，其餘部分說明了 SNDR 和輸入振幅的關係非常的線性。圖 5-19 設定輸入頻率約在 1KHz 時，不同時脈頻率對 SNDR 的關係，從圖中可發現時脈頻率在 2.3MHz 以內都有不錯的 SNDR 表現。

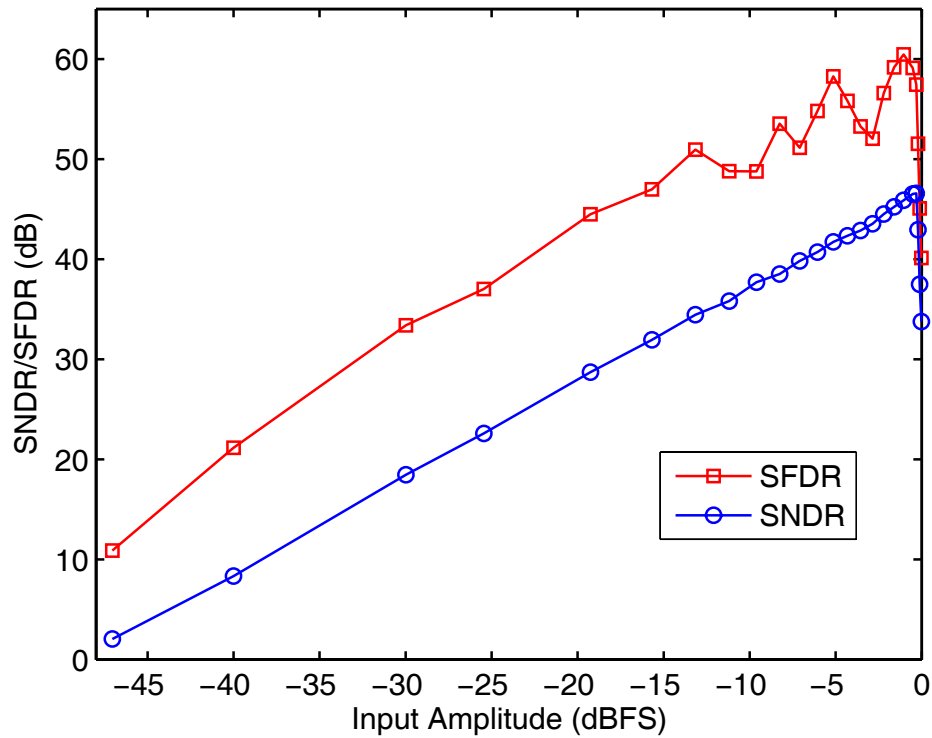


圖 5-18 不同輸入振幅與 SNDR 及 SFDR 的關係(供應電壓為 0.9V)

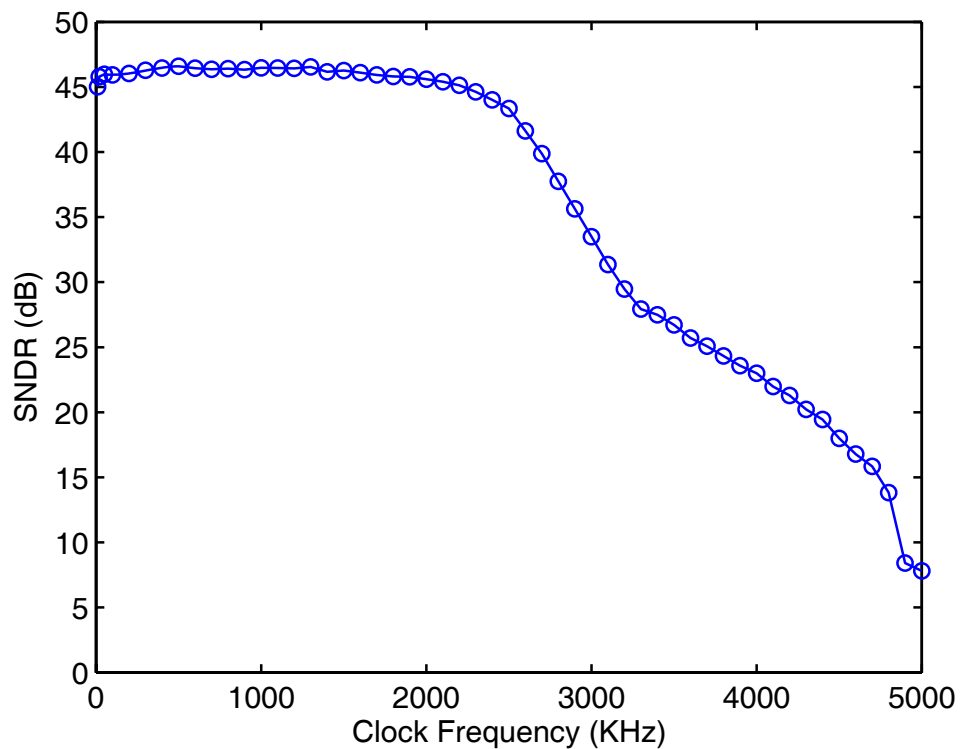


圖 5-19 不同時脈頻率與 SNDR 的關係(供應電壓為 0.9V)

5.3.3 功率消耗

當供應電壓為 0.9V 時，且設定時脈頻率在 1.3MHz 的時候，可量得的功率消耗如表 5-2，其總消耗功率約為 2.16 μ W。

表 5-2 功率消耗(供應電壓為 0.9V)

	P(AVDD) (μ w)	P(DVDD) (μ w)	P(Vref) (μ w)	Total Power (μ w)
Clock=1.3MHz	0.82	0.87	0.47	2.16

5.4 供應電壓為 0.85V 之量測結果

在此次量測中，當晶片在操作在 0.85V 時，乃能正常動作，且也有不錯的表現，以下將呈現其相關參數。

5.4.1 靜態參數

圖 5-20 及圖 5-21 分別 DNL 及 INL 的圖形，可發現 DNL 為 0.49/-0.98 LSB，INL 為 0.65/-0.93 LSB。

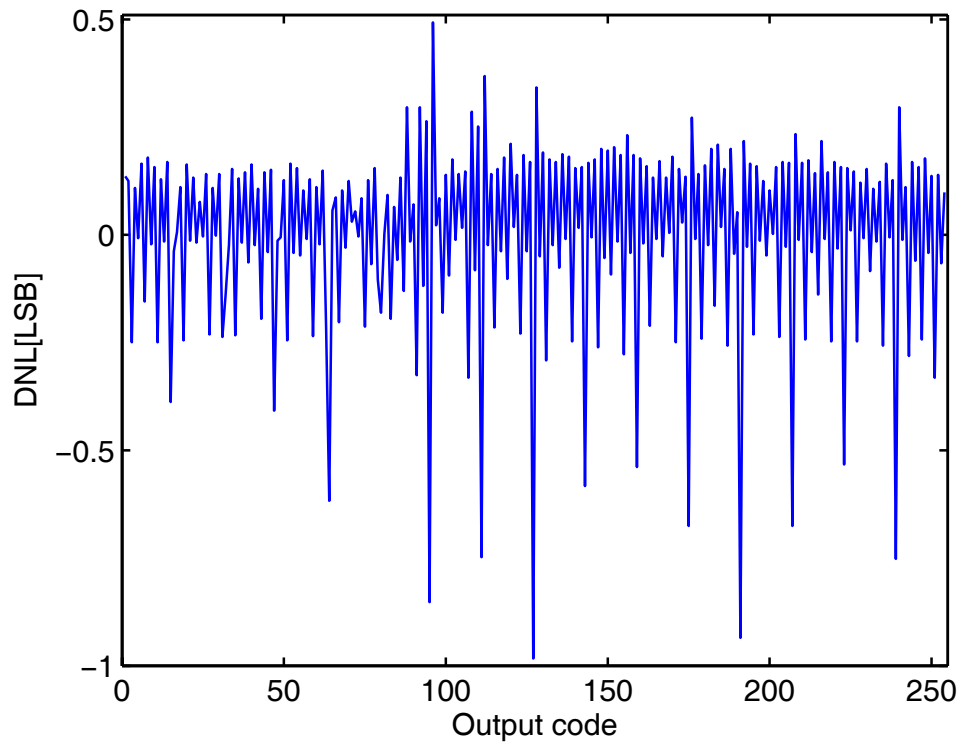


圖 5-20 DNL(供應電壓為 0.85V)

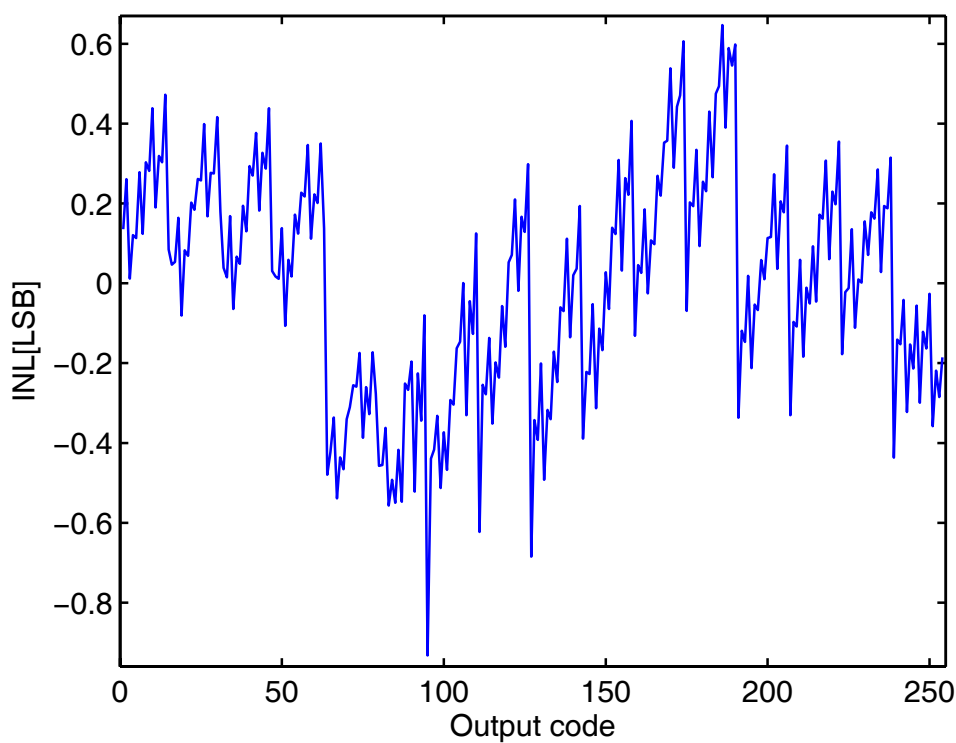


圖 5-21 INL(供應電壓為 0.85V)

5.4.2 動態參數

圖 5-22 為當時脈頻率在 1MHz，輸入頻率接近 1KHz，點數取 2^{17} 點時之頻譜圖，經由計算可得其 SFDR 為 58.64dB，SNDR 為 46.47dB，ENOB 為 7.43bit。圖 5-23 為不同輸入頻率對 SFDR 及 SNDR 作圖，可發現輸入頻率在高頻有明顯衰減的現象。

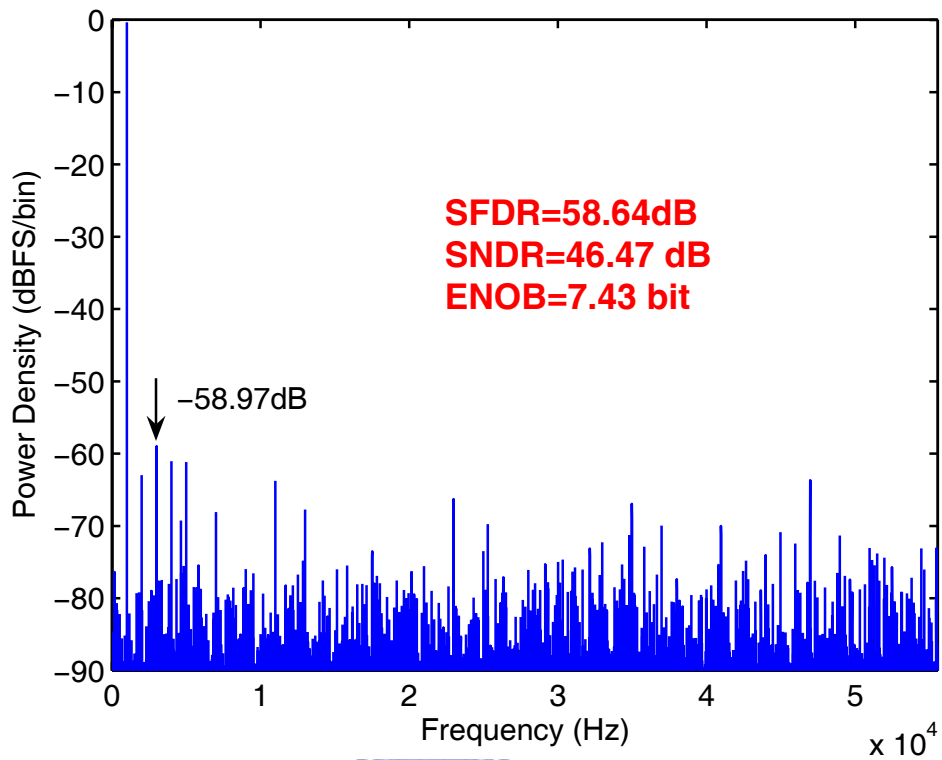


圖 5-22 頻譜圖(供應電壓為 0.85V)

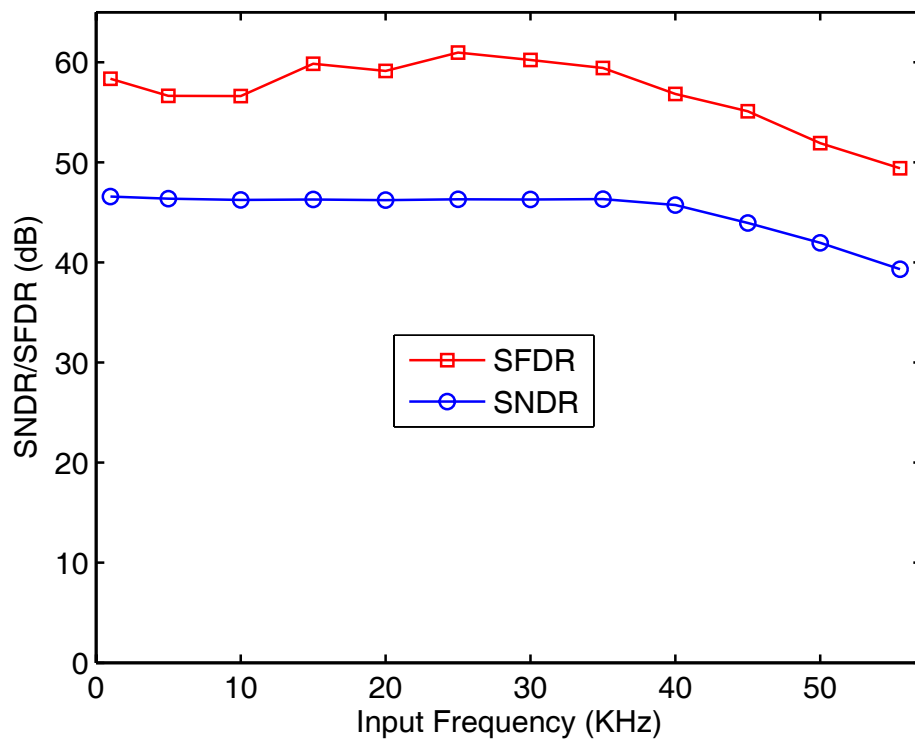


圖 5-23 不同之輸入頻率與 SNDR 及 SFDR 的關係(供應電壓為 0.85V)

圖 5-24 為不同輸入振幅對 SNDR 及 SFDR 作圖，從圖中可發現除了輸入振幅在接近 0dBFS 的地方外，其餘部分說明了 SNDR 和輸入振幅的關係非常的線性。圖 5-25 為設定輸入頻率約在 1KHz 時，不同時脈頻率對 SNDR 的關係圖，從圖中可發現時脈頻率在 1.5MHz 以內都有不錯的 SNDR 表現。

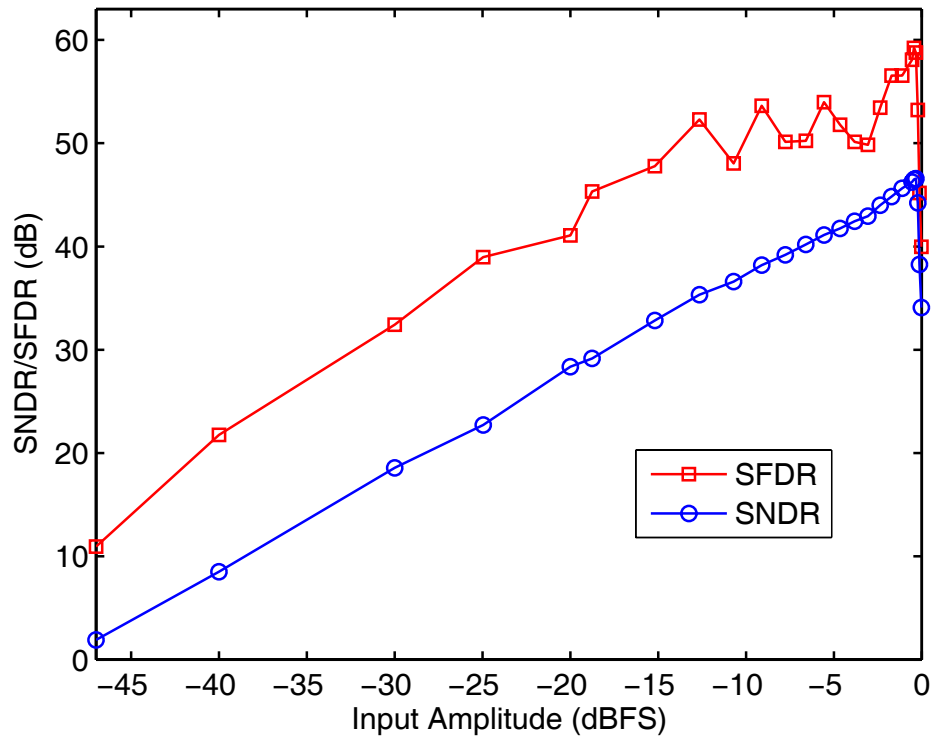


圖 5-24 不同輸入振幅與 SNDR 及 SFDR 的關係(供應電壓為 0.85V)

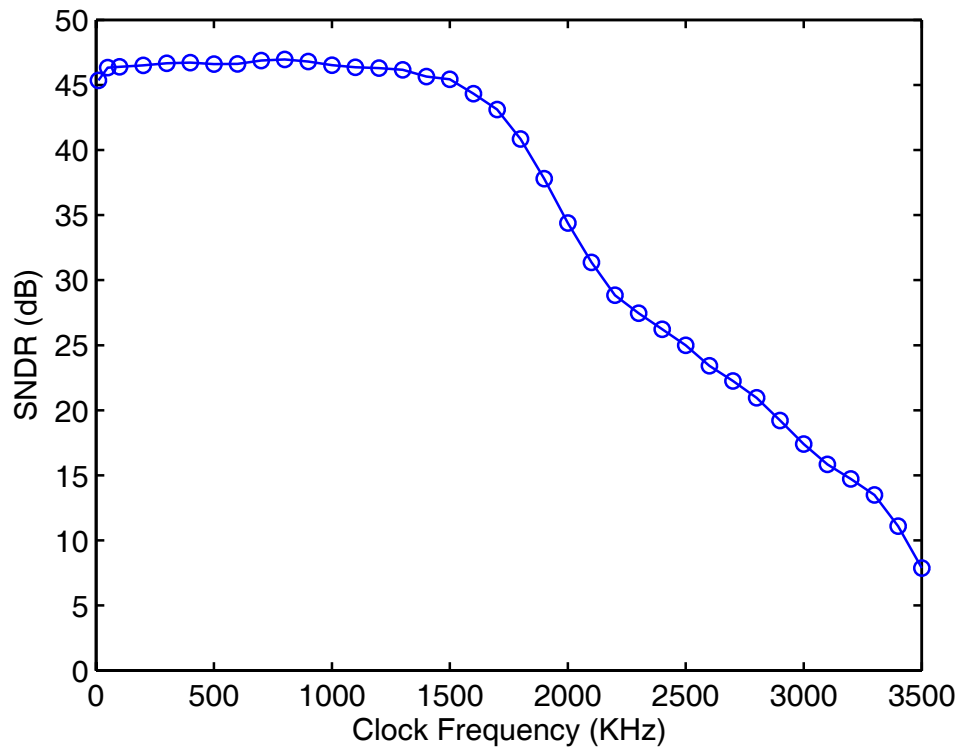


圖 5-25 不同時脈頻率與 SNDR 的關係(供應電壓為 0.85V)

5.4.3 功率消耗

表 5-3 為供應電壓為 0.85V 時，時脈在 1MHz 時的功率消耗。在此條件下其總功率消耗約為 1.42 μ W。

表 5-3 功率消耗(供應電壓為 0.85V)

	P(AVDD) (μ w)	P(DVDD) (μ w)	P(Vref) (μ w)	Total Power (μ w)
Clock=1MHz	0.49	0.61	0.32	1.42

5.5 量測結果與比較

從量測到的數據，我們針對計算 FOM 所需求的參數產生表 5-4，從此表可發現當供應電壓在 0.9V，且時脈頻率在 1.3MHz 時，ERBW 可達 Nyquist frequency，而 FOM 為 0.08 pJ/conversion-step。表 5-5 為本次設計與先前之

文獻做比較，從表中可發現本論文之 ADC 有著最低的 FOM，比先前之文獻好上 22 倍之多，為目前我們已知最低之 FOM。

表 5-4 量測數據之 FOM

Supply voltage (V)	1	1	1	0.9	0.85
Clock (Hz)	1M	2M	3M	1.3M	1M
ERBW (Hz)	55.5K	110K	110K	72K	45K
ENOB _{DC} (bit)	7.42	7.41	7.35	7.50	7.45
Power dissipation (μ W)	3.22	4.53	5.82	2.16	1.42
FOM(pJ/conv.step)	0.17	0.12	0.16	0.08	0.09

表 5-5 Benchmark

	[7]	[8]	[9]	[35]	[36]	This work
Technology	0.25 μ m CMOS	0.18 μ m CMOS	1.2 μ m CMOS	0.5 μ m SOS	3 μ m CMOS	0.18 μ m CMOS
Power supply	1	0.5	1	3.3	5	0.9
ENOB _{DC}	7.9	6.9	7.9	7.92	7.85	7.50
ERBW(Hz)	3K	2K	5K	N/A	N/A	72K
$\frac{\text{Input swing}}{\text{Power supply}}$	1	0.25	0.85	0.64	0.6	1
Sampling rate (Hz)	100K	4.1K	50K	1.23M	1.3M	144K
Power dissipation (W)	3.1 μ	0.85 μ	0.34m	1.5m	70m	2.16 μ
FOM (pJ/conv.step)	2.16	1.78	142.34	5.04*	233.38*	0.08
ENOB (bit) @ Nyquist frequency	4.5	4.86	N/A	N/A	N/A	7.33

* 假設其 ERBW 均為 Nyquist frequency

第六章 結論與未來發展

本論文提出一個 0.9V, 8bit, 2.16 μ W 之 SA ADC 設計，量測結果顯示在輸出頻率為 144KS/s 時，此 SA ADC 有著軌對軌的輸入，SNDR 為 46.67dB，ERBW 可達到輸出頻率的一半，其 FOM 可達 0.08pJ/conversion-step，此值比先前之文獻好上 22 倍之多，為目前我們已知最低之 FOM。而在量測中發現此設計在 0.85V 仍可正常操作。

由於對應用於無線感測網路來說，需要大量的感測器，以便蒐集到更多更正確的資訊，而此次設計的類比數位轉換器，只是無線感測模組的一小部分，而對類比設計來說，測試的成本非常昂貴，故未來可考慮將自我可測試(BIST)電路加入，以減少測試成本。



附錄 A

從圖 3-8 所提出的 SA ADC 架構中，根據操作原理來計算 DAC 部分所消耗的功率，從 DAC 端可發現有兩個電流源，即地和 V_{ref} ，則其所消耗的功率即為電流再乘上 V_{ref} ，由於提出的 SA ADC 架構有 9 次循環，在此必須對此 9 次循環做功率的計算。在此先定義 D_i 為控制開關 S_i 接 V_{ref} 或地的控制訊號， V_{daci} 為第 i 次循環時其 DAC 的輸出電壓。

(1) 第一步為對 DAC 做重置動作，故 $P_1=0$ 。

(2) 設定 D_8 控制 S_8 接至 V_{ref} ，則 $V_{dac8} = \frac{C_8 V_{ref}}{C_{total}}$ ，故功率為

$$P_2 = IV_{ref} = \frac{C_8((V_{ref} - V_{dac8}) - 0)}{t} V_{ref} = fC_8 V_{ref} (V_{ref} - V_{dac8})$$

(3) 設定 D_7 控制 S_7 接至 V_{ref} ，則 $V_{dac7} = \frac{C_7 V_{ref} + D_8 C_8}{C_{total}}$ 故功率

$$P_3 = IV_{ref} = \left(\frac{C_7((V_{ref} - V_{dac7}) - (0 - V_{dac8}))}{t} - \frac{D_8 C_8((V_{dac7} - V_{ref}) - (V_{dac8} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_7(V_{ref} - V_{dac7} + V_{dac8}) - D_8 C_8 (V_{dac7} - V_{dac8}))$$

(4) 設定 D_6 控制 S_6 接至 V_{ref} ，則 $V_{dac6} = \frac{C_6 V_{ref} + \sum_{i=7}^8 D_i C_i}{C_{total}}$ ，故功率

$$P_4 = IV_{ref} = \left(\frac{C_6((V_{ref} - V_{dac6}) - (0 - V_{dac7}))}{t} - \frac{\sum_{i=7}^8 D_i C_i ((V_{dac6} - V_{ref}) - (V_{dac7} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_6(V_{ref} - V_{dac6} + V_{dac7}) - \sum_{i=7}^8 D_i C_i (V_{dac6} - V_{dac7}))$$

(5) 設定 D_5 控制 S_5 接至 V_{ref} ，則 $V_{dac5} = \frac{C_5 V_{ref} + \sum_{i=6}^8 D_i C_i}{C_{total}}$ ，故功率

$$P_5 = IV_{ref} = \left(\frac{C_5((V_{ref} - V_{dac5}) - (0 - V_{dac6}))}{t} - \frac{\sum_{i=6}^8 D_i C_i ((V_{dac5} - V_{ref}) - (V_{dac6} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_5(V_{ref} - V_{dac5} + V_{dac6}) - \sum_{i=6}^8 D_i C_i (V_{dac5} - V_{dac6}))$$

(6) 設定 D_4 控制 S_4 接至 V_{ref} ，則 $V_{dac4} = \frac{C_4 V_{ref} + \sum_{i=5}^8 D_i C_i}{C_{total}}$ ，故功率

$$P_6 = IV_{ref} = \left(\frac{C_4((V_{ref} - V_{dac4}) - (0 - V_{dac5}))}{t} - \frac{\sum_{i=5}^8 D_i C_i ((V_{dac4} - V_{ref}) - (V_{dac5} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_4(V_{ref} - V_{dac4} + V_{dac5}) - \sum_{i=5}^8 D_i C_i (V_{dac4} - V_{dac5}))$$

(7) 設定 D_3 控制 S_3 接至 V_{ref} ，則 $V_{dac3} = \frac{C_3 V_{ref} + \sum_{i=4}^8 D_i C_i}{C_{total}}$ ，故功率

$$P_7 = IV_{ref} = \left(\frac{C_3((V_{ref} - V_{dac3}) - (0 - V_{dac4}))}{t} - \frac{\sum_{i=4}^8 D_i C_i ((V_{dac3} - V_{ref}) - (V_{dac4} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_3(V_{ref} - V_{dac3} + V_{dac4}) - \sum_{i=4}^8 D_i C_i (V_{dac3} - V_{dac4}))$$

(8) 設定 D_2 控制 S_2 接至 V_{ref} ，則 $V_{dac2} = \frac{C_2 V_{ref} + \sum_{i=3}^8 D_i C_i}{C_{total}}$ ，故功率

$$P_8 = IV_{ref} = \left(\frac{C_2((V_{ref} - V_{dac2}) - (0 - V_{dac3}))}{t} - \frac{\sum_{i=3}^8 D_i C_i ((V_{dac2} - V_{ref}) - (V_{dac3} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_2(V_{ref} - V_{dac2} + V_{dac3}) - \sum_{i=3}^8 D_i C_i (V_{dac2} - V_{dac3}))$$

(9) 設定 D_1 控制 S_1 接至 V_{ref} ，則 $V_{dac1} = \frac{C_1 V_{ref} + \sum_{i=2}^8 D_i C_i}{C_{total}}$ ，故功率

$$P_9 = IV_{ref} = \left(\frac{C_1((V_{ref} - V_{dac1}) - (0 - V_{dac2}))}{t} - \frac{\sum_{i=2}^8 D_i C_i ((V_{dac1} - V_{ref}) - (V_{dac2} - V_{ref}))}{t} \right) V_{ref}$$

$$= fV_{ref} (C_1(V_{ref} - V_{dac1} + V_{dac2}) - \sum_{i=2}^8 D_i C_i (V_{dac1} - V_{dac2}))$$

將 P_1 至 P_9 的功率相加後做整合可得

$$P_{sum} = \sum_{i=1}^9 P_i = fV_{ref} * \left\{ \begin{array}{l} V_{ref} \left(\sum_{n=1}^8 C_n \right) + \\ V_{dac8} (-C_8 + C_7 + D_8 C_8) + \\ V_{dac7} (-C_7 - S_8 C_8 + C_6 + \sum_{n=7}^8 D_n C_n) + \\ V_{dac6} (-C_6 - \sum_{m=7}^8 D_m C_m + C_5 + \sum_{n=6}^8 D_n C_n) + \\ V_{dac5} (-C_5 - \sum_{m=6}^8 D_m C_m + C_4 + \sum_{n=5}^8 D_n C_n) + \\ V_{dac4} (-C_4 - \sum_{m=5}^8 D_m C_m + C_3 + \sum_{n=4}^8 D_n C_n) + \\ V_{dac3} (-C_3 - \sum_{m=4}^8 D_m C_m + C_2 + \sum_{n=3}^8 D_n C_n) + \\ V_{dac2} (-C_2 - \sum_{m=3}^8 D_m C_m + C_1 + \sum_{n=2}^8 D_n C_n) + \\ V_{dac1} (-C_1 - \sum_{m=2}^8 D_m C_m) \end{array} \right\}$$

在此假設 $C_{total}=C$ ，而 $C_i = \frac{C}{2^{9-i}}$ ， i 從 1 至 8， $C_0=C_1 = \frac{C}{256}$ ，將式子再重新整理
可得

$$P_{sum} = \sum_{i=1}^9 P_i = fV_{ref} * \left\{ \begin{aligned} &(1)\left(\frac{255}{256}\right) + \\ &\left(\frac{1}{2}\right)\left(-\frac{1}{4} + \frac{D_8}{2}\right) + \\ &\left(\frac{1}{2^2} + \frac{D_8}{2}\right)\left(-\frac{1}{2^3} + \frac{D_7}{2^2}\right) + \\ &\left(\frac{1}{2^3} + \frac{D_7}{2^2} + \frac{D_8}{2}\right)\left(-\frac{1}{2^4} + \frac{D_6}{2^3}\right) + \\ &\left(\frac{1}{2^4} + \frac{D_6}{2^3} + \frac{D_7}{2^2} + \frac{D_8}{2}\right)\left(-\frac{1}{2^5} + \frac{D_5}{2^4}\right) + \\ &\left(\frac{1}{2^5} + \frac{D_5}{2^4} + \frac{D_6}{2^3} + \frac{D_7}{2^2} + \frac{D_8}{2}\right)\left(-\frac{1}{2^6} + \frac{D_4}{2^5}\right) + \\ &\left(\frac{1}{2^6} + \frac{D_4}{2^5} + \frac{D_5}{2^4} + \frac{D_6}{2^3} + \frac{D_7}{2^2} + \frac{D_8}{2}\right)\left(-\frac{1}{2^7} + \frac{D_3}{2^6}\right) + \\ &\left(\frac{1}{2^7} + \frac{D_3}{2^6} + \frac{D_4}{2^5} + \frac{D_5}{2^4} + \frac{D_6}{2^3} + \frac{D_7}{2^2} + \frac{D_8}{2}\right)\left(-\frac{1}{2^8} + \frac{D_2}{2^7}\right) + \\ &(-1)\left(\frac{1}{2^8} + \frac{D_2}{2^7} + \frac{D_3}{2^6} + \frac{D_4}{2^5} + \frac{D_5}{2^4} + \frac{D_6}{2^3} + \frac{D_7}{2^2} + \frac{D_8}{2}\right)^2 \end{aligned} \right\}$$

從以上推導可將其整合成一式子

$$P_{sum} = fCV_{ref}^2 \left\{ \frac{2^8 - 1}{2^8} + \sum_{i=1}^7 \left[\left(\frac{1}{2^i} + \sum_{j=0}^{i-1} \frac{D_{9-j}}{2^j} \right) \left(-\frac{1}{2^{i+1}} + \frac{D_{9-i}}{2^i} \right) \right] - \left(\frac{1}{2^8} + \sum_{k=0}^6 \frac{D_{8-k}}{2^{k+1}} \right)^2 \right\}$$

其中 f 為時脈頻率， D_0 至 D_8 為數位輸入， D_9 定義為0來使式子更容易整合。由於因為每次轉換需9次循環，故 P_{sum} 需除以9則是完成一次轉換中DAC所耗的功率，即可產生(3.3)。

附錄 B

在提出之SA ADC架構中的DAC端，就我們的SAR操作方式，一開始先控制 S_8 將至 V_{ref} ，由於在電容陣列的下端不是連接 V_{ref} ，就是連接地，故我們可以將電路化簡得圖B-1。從圖中可發現從電容下端接 V_{ref} 或地，將其分成兩邊，由於熱雜訊(thermal noise)為交流訊號，故直流訊號對交流訊號來說乃屬接地，因此再將其電路合併為一，可得合併後的C值為 $C_a = \frac{C_1 * C_2}{C_1 + C_2} = 64Cu$ ，而此時熱雜訊對於其 V_{DAC} 端點之電位影響需小於 $\frac{1}{2}V_{LSB}$ 才能正確解出 8bit的解析度，故可得 $\sqrt{\frac{KT}{C_a}} < \frac{1}{2}V_{LSB}$ ，其中 V_{LSB} 為 $\frac{1}{2^8}$ ，藉由其推導可知 Cu 需大於 4.3aF。

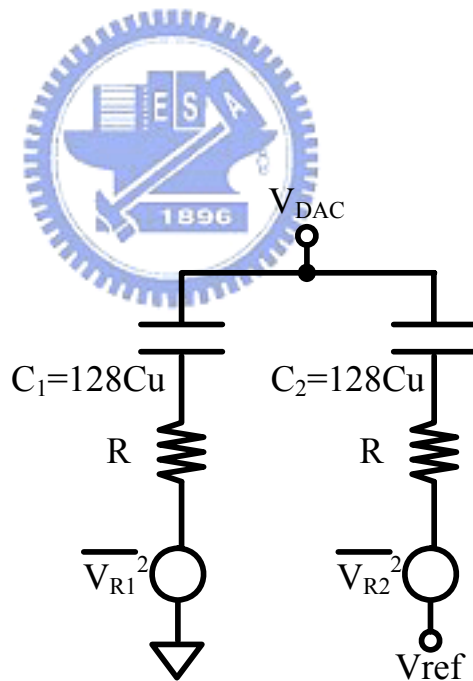


圖 B-1 當 MSB bit 設為 1 時之熱雜訊影響

接著控制 S_7 接至 V_{ref} 時，其 S_8 可能會接 0 或是 V_{ref} ，但將 C_1 及 C_2 並聯後的 C_a 值均是為 $48Cu$ ，假設得圖B-2，而在此時 V_{DAC} 只需有 7bit的解析度即可，故可得 Cu 需大於 3.2aF。

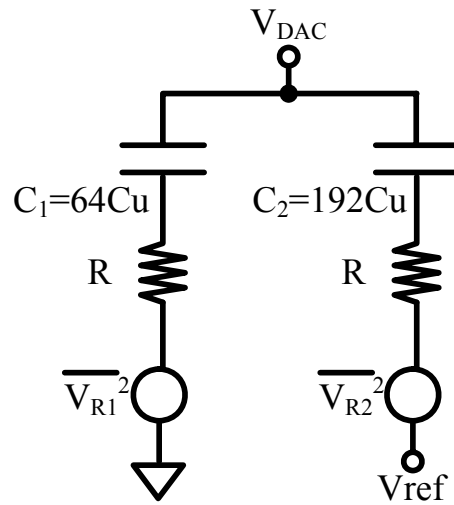


圖 B-2 當(MSB-1) bit 設為 1 時之熱雜訊影響

循環愈往後推，其 V_{DAC} 所需的解析度就會愈來愈小，對於 $\sqrt{\frac{KT}{Ca}} < \frac{1}{2}V_{LSB}$ ，往後推一次循環， V_{LSB} 變為原來的 2 倍，而最小 Ca 值將受 V_{LSB} 影響而縮小 4 倍，而 $Ca = \frac{C_1 * C_2}{C_1 + C_2}$ ，對於兩個循環之間，其 Ca 的差距將不會差至 4 倍之多，故對 Cu 值的限制，主要在 MSB 位元設為 1 時之 Cu 值的限制，即是 Cu 值需大於 4.3aF，然而就 0.18 μ m CMOS 1P6M 製程來說，根據佈局規則(Design Rule)，使用 M5 及 M6 所形成之 CTM 電容最小約為 20fF，發現熱雜訊的影響遠小於此值，故可忽略熱雜訊所造成的影響。

參考文獻

- [1] J. C. Chiou, C. C. Su, H. C. Hong, K. H. Chen, and Y. Chiou, NSC-94-2215-E-009-056: The design and fabrication of an ultra low power micro-sensing module for wireless sensor networks. Supported by NSC, Taiwan, R.O.C., 2004.
- [2] David A. Johns, and Ken Martin, “*Analog Integrated Circuit Design*,” John Wiley & Sons, Inc., 1997
- [3] A. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th Ed., Oxford University Press, 1998.
- [4] S. Y. Chin and C. Y. Wu, “A CMOS ratio-independent and gain-insensitive algorithmic analog-to-digital converter,” *IEEE J. Solid-State Circuits*, vol. 31, no. 8, August 1996.
- [5] Jian-Ming Wu, “A power-efficiency CMOS analog-to-digital converter design for ultra-wideband wireless applications,” National Chiao Tung University, Master thesis, 2005.
- [6] Roubik Gregorian and Gabor Temes, “*Analog MOS Integrated Circuits for Signal Processing*,” John Wiley & Sons, Inc., 1986.
- [7] M. D. Scott, B. E. Boser, K. S. J. Pister, “An ultralow-energy ADC for smart dust,” *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1123-1129, July 2003.
- [8] Sauerbrey J., Schmitt-Landsiedel D. & Thewes R., “A 0.5-V 1- μ W successive approximation ADC,” *IEEE J. Solid-State Circuits* 38(7), 1261- 1265, 2003.
- [9] S. Morteza pour and E. K. F. Lee, “A 1-V, 8-Bit Successive Approximation ADC in Standard CMOS Process,” *IEEE J. Solid-State Circuits*, vol. 35, no. 4, pp. 642-646, April 2000.
- [10] H. P. Le, J. Singh, L. Hiremath, V. Mallapur and A. Stojcevski, “Ultra-low-power variable-resolution successive approximation ADC for biomedical application,” *Electronics Letters*, vol. 41, no. 11, May 2005.
- [11] F. Gerfers and Y. Manoli, “A design strategy for low-voltage low-power continuous-time $\Sigma\Delta$ A/D Converter,” DATE’01, March 2001.
- [12] Hwang-Cherng Chow, Bo-Wei Chen, Hsiao-Chen Chen and Wu-Shiung Feng, “A 1.8V, 0.3mW, 10-Bit SA-ADC with new self-timed timing control for biomedical applications,” *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 736-739, May 2005.
- [13] Z. Zhou, B. Pain, and E. R. Fossum, “CMOS active pixel sensor with on-chip successive approximation analog-to-digital converter,” *IEEE Transactions on Electron Devices*, vol. 44, no. 10, pp. 1759-1763, Oct. 1997.
- [14] H. Y. Yang and R. Sarpeshkar, “A time-based energy-efficient analog-to-digital converter,” *IEEE J. Solid-State Circuits*, vol. 40, no. 8, August 2005.
- [15] V. Peluso, P. Vancorenland, A. M. Marques, M. S. J. Steyaert, and W. Sansen, “A 900-mV low-power $\Delta\Sigma$ A/D converter with 77-dB dynamic range,” *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 1887-1897, December 1998.

- [16] V. Peluso, M. S. J. Steyaert, and W. Sansen, "A 1.5-V—100- μ W $\Delta\Sigma$ modulator with 12-b dynamic range using the switched-opamp technique," *IEEE J. Solid-State Circuits*, vol. 32, no. 7, pp. 943-952, July 1997.
- [17] R. Castello, F. Montecchi, F. Rezzi, and A. Baschiroto, "Low-voltage analog filters," *IEEE Transactions on Circuits and Systems-I: Fundamental theory and applications*, vol. 42, no. 11, November 1995.
- [18] Y. Matsuya and J. Yamada, "1 V power supply, low-power consumption A/D conversion technique with swing-suppression noise shaping," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, December 1994.
- [19] J. Crols and M. Steyaert, "Switched-opamp: An approach to realize full CMOS switched-capacitor circuits at very low power supply voltages," *IEEE J. Solid-State Circuits*, vol. 29, no. 8, pp. 936-942, August 1994.
- [20] M. Waltari and K. A. I. Halonen, "1-V 9-Bit Pipelined Switched-Opamp ADC," *IEEE J. Solid-State Circuits*, vol. 36, no. 1, January 2001.
- [21] J. Sauerbrey, T. Tille, D. Schmitt-Landsiedel, and R. Thewes, "A 0.7-V MOSFET-only switched-opamp $\Delta\Sigma$ modulator," in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Paper*, pp. 310-311, 2002.
- [22] M. R. Nabavi and R. Lotfi, "Switched-opamp technique for 1-V 12-bit pipelined ADC," *2005 48th Midwest Symposium on Circuits and Systems*, vol. 1, pp. 851-854, Aug. 2005.
- [23] Hsin-Hung Ou and Bin-Da Liu, "A 1-v, 9-bit, 2.5-MSample/s pipelined ADC with merged switched-opamp and opamp-sharing techniques," *IEEE International Symposium on Circuits and Systems*, vol. 3, pp. 1972-1975, May 2005.
- [24] B. Vaz, J. Goes, and N. Paulino, "A 1.5-V 10-b 50MS/s time-interleaved switched-opamp pipeline CMOS ADC with high energy efficiency," *2004 Symposium on VLSI Circuits Digest of Technical Paper*, pp. 432-435, June 2004.
- [25] A. Baschiroto and R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1979-1986, Dec. 1997.
- [26] T. Yoshida, M. Akagi, M. Sasaki, and A. Iwata, "A 1V supply successive approximation ADC with rail-to-rail input voltage range," *IEEE International Symposium on Circuits and Systems (ISCAS)*, Vol. 1, pp. 192-195, May 2005
- [27] T. B. Cho and P. R. Gray, "A 10 b, 20 Msample/s, 35mW pipeline A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 3, March 1995.
- [28] S. Rabbii and B. A. Wooley, "A 1.8-V digital-audio sigma-delta modulator in 0.8- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 32, no. 6, June 1997.
- [29] B. J. Blalock, P. E. Allen, and G. A. Rincon-Mora, "Designing 1-V op amps using standard digital CMOS technology," *IEEE Transactions on Circuits and Systems — II*, vol. 45, no. 7, July 1998.
- [30] L. H. de Carvalho Ferreira and T. C. Pimenta, "An ultra low-voltage CMOS OTA Miller with rail-to-rail operation," in *Proceedings of the 16th International Conference on Microelectronics*, pp. 223-226, Dec. 2004.
- [31] A. L. Coban and P. E. Allen, "A 1.75V rail-to-rail CMOS op amp," *IEEE Int. Symp.*

Circuits and Systems, pp. 497-500, 1994.

- [32] R. Hogervorst, R. J. Wiegerink, P. A.L de Jong, J. Fonderie, R. F. Wassenaar, and J. H. Huijsing, "CMOS low-voltage operational amplifiers with constant-gm rail-to-rail input stage," *IEEE International Symposium on Circuits and Systems*, vol. 6, pp. 2876-2879, May 1992.
- [33] Phillip E. Allen ,and Douglas R. Holberg, "*CMOS Analog Circuit Design*,"New York Oxford, Second Edition, 2002
- [34] A. Rossi and G. Fucili, "Nonredundant successive approximation register for A/D converters," *Electronics letters*, vol. 32, no. 12, June 1996.
- [35] E. Culurciello and A. Andreou, "An 8-bit, 1mW successive approximation ADC in SOI CMOS," *Proceedings of the 2003 IEEE International Symposium on Circuits and Systems, (ISCAS 2003)*, vol. 1, pp. 301-304, June 2003.
- [36] K. Hadidi, V. S. Tso, and G. C. Temes, "An 8-b 1.3-MHz successive approximation A/D converter," *IEEE J. Solid-State Circuits*, vol. 25, no. 3, pp. 880-885, June 1990.
- [37] X. Jiang, Z. Wang, and M. F. Chang, "A 2GS/s 6b ADC in 0.18 μ m CMOS," *IEEE International Solid-State Circuits Conference*, pp. 322-323, Feb. 2003.
- [38] C. Sandner, M. Clara, A. Santner, T. Hartig, and F. Kuttner, "A 6bit, 1.2GSps Low-Power Flash-ADC in 0.13- μ m Digital CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1499-1505, July 2005.

