

國立交通大學

電信工程學系

碩士論文

高速除頻電路與正交相位振盪器
之設計



Design and Implementation of High Speed
Frequency Dividers and Quadrature VCOs

研究生：張宇文

指導教授：孟慶宗教授

中華民國九十四年七月

高速除頻電路與正交相位振盪器之設計
Design and Implementation of High Speed
Frequency Dividers and Quadrature VCOs

研究生：張宇文

Student: Yu-Wen Chang

指導教授：孟慶宗 博士 Advisor: Dr. Chin Chun Meng

國立交通大學

電信工程系碩士班



Submitted to Institute of Communication Engineering
College of Electric Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

June 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

中文摘要

本論文實作部分包含高速除頻電路與正交相位振盪器的設計。利用 GCT 2.0 μm InGap/GaAs HBT 及 TSMC 0.35 μm SiGe BiCMOS 之製程，在除頻電路方面實現了：(1)可操作在2~7.4GHz 的靜態除頻電路；(2)可操作在2~11GHz 的動態除頻電路；(3)可操作在6~9.7GHz 的超動態除頻電路；(4)可操作在9.636~10.246GHz 的注鎖型除頻電路；(5)可操作在7~27GHz 的回復型除頻電路；(6)可操作0.25~3.8GHz 的 $\div 4/5$ 電路；以上電路除了頻率不同外還有個別的優缺點，可依系統的需求選擇使用，詳細的說明將在本文中深入探討。在正交相位振盪器方面，實現了疊接耦合式和二階諧波耦合的架構，兩架構的相位雜訊和相位誤差互有優劣，可依收發機的規格要求擇優使用。此外在振盪器的設計上也提出了新的架構，預期會有不錯的電路特性表現。

Abstract

This thesis presents the design of high speed frequency dividers and quadrature voltage controlled oscillators. First, we use GCT 2.0 μm InGap/GaAs HBT and TSMC 0.35 μm SiGe BiCMOS processes to implement the two kinds of circuits. In frequency divider circuits, have implemented several structures as follow : (1)Static frequency divider can operate from 2 to 7.4GHz. (2)Dynamic frequency divider can operate from 2 to 11GHz. (3)Superdynamic frequency divider can operate from 6 to 9.7GHz. (4)Injection locked frequency divider can operate from 9.636 to 10.246GHz. (5)Regenerative frequency divider can operate from 7 to 27GHz, and (6)Dual modulus frequency divider($\div 4/5$) can operate from 0.25 to 3.8GHz. Those circuits have particular characteristics and can be chosen to fit the specs of the system. The detail expansions will be discussed in the following chapters. Also, the realization of top-series and superharmonic coupling quadrature VCOs are shown in this thesis. One has a better phase noise than the other, but a worse phase error than

the other. Each topology can be used in a transceiver that has different requirements of phase noise and phase error. Finally, a new structure of VCO is presented. Depending on the theories and simulations, the performance of the circuit might be better than the others.



誌謝

這是在作夢嗎？我竟然從夢寐以求的交通大學電信所畢業了！從前只要一經過交大門口，就會覺得那是創造無限可能的知識聖地，可能得下輩子才能有幸邁入此莊園，想不到現在我已完成這本論文準備踏出校園。

首先非常感謝指導教授孟慶宗老師，從大學時就深切感受到老師教學的熱忱與用心，再經過這兩年來的耳濡目染、春風化育之下，不但完成了實作與理論兼備的論文，也學習到如何面對問題、提出適當的對策。在這段期間，老師就像風霧中的明燈引領著我們團隊，在此獻上最高的敬意。在校園的最後一役”畢業口試”中，很榮幸能邀請到詹益仁教授、郭仁財教授以及林宗賢教授，在百忙之中還能撥空參加我的口試，並給予很多寶貴的意見讓論文更為完善。各位教授提攜學生的心意沒齒難忘。

接下來要感謝的是918實驗室的諸公們。宗翰大師兄為實驗室開疆拓土，讓我們有舒適的空間可以做研究；珍儀學姊提供我們”小美的媽”養顏逸品，讓我們有好氣色；最嚴重的就是聖哲啦，如果沒有他的LVS這本論文就會一堆Open Short電路啦！；還有同梯的戰友們：Mixer魔人澤宏、Marchand魔人智凱，沒有你們的扶持就無法熬到此時此刻；學弟們：家宏、英杰、樺興、勝文，一起打造輝煌的918王朝吧。

最後感謝我的父親、母親、妹妹、阿伯以及關心我的鄉親父老，我把這本畢業論文的榮耀獻給大家，您的支持是我前進的動力泉源。

目錄

摘要 (中文)	i
摘要 (英文)	ii
致謝	iii
目錄	iv
圖目錄	vii
表目錄	xiii
第一章 緒論	1
1.1 前言	2
1.2 論文簡介	2
第二章 高速除頻電路	3
2.1 前言	4
2.2 基本 PLL 運作概念	4
2.2.1 PLL 在接收機上的運用	6
2.2.2 PLL 的 Building Blocks 及基本運作模式	7
2.3 RF 系統中 Synthesizer 的架構	8
2.3.1 Integer-N 的 Synthesizer	8
2.3.2 Fractional-N 的 Synthesizer	9
2.4 除 N/N+1 prescaler 之設計	10
2.4.1 除 2 除 3 雙模除頻器	10
2.4.2 Swallow Counter 之設計	14
2.4.3 同步雙模除頻器與非同步單模除頻器的結合	15
2.4.4 Multi-Modulus prescaler 之設計	17
2.4.5 兩 dual-modulus 除頻器之結合	18
2.5 實作一，4/5 Dual-Modulus Prescaler (GaAs HBT 2 μ m)	20
2.5.1 研究動機	20
2.5.2 架構介紹	20
2.5.3 預計規格列表	23
2.5.4 實測結果	23
2.5.5 結論與討論	26
2.6 高速除二電路的運用與原理	27
2.6.1 除 2 電路架構簡介	27

2.6.2 Emitter-Coupled Inverter 之電路特性.....	29
2.6.3 ECL 之週邊電路.....	31
2.7實作二，Static Frequency Divider (GaAs HBT 2 μ m).....	34
2.7.1 研究動機.....	34
2.7.2 架構介紹.....	34
2.7.3 預計規格列表.....	36
2.7.4 實測結果.....	37
2.7.5 結論與討論.....	39
2.8實作三，Dynamic Frequency Divider (GaAs HBT 2 μ m).....	40
2.8.1 研究動機.....	40
2.8.2 架構介紹.....	40
2.8.3 預計規格列表.....	45
2.8.4 實測結果.....	45
2.8.5 結論與討論.....	46
2.9實作四，Superdynamic Frequency Divider (GaAs HBT 2 μ m).....	47
2.9.1 架構介紹.....	47
2.9.2 預計規格列表.....	48
2.9.3 實測結果.....	49
2.9.4 結論與討論.....	50
2.10實作五，Injection-locked Frequency Divider (GaAs HBT 2 μ m).....	51
2.10.1 研究動機.....	51
2.10.2 架構介紹.....	51
2.10.3 預計規格列表.....	56
2.10.4 實測結果.....	56
2.10.5 結論與討論.....	58
2.11實作六，Regenerative Frequency Divider (GaAs HBT 2 μ m).....	60
2.11.1 研究動機.....	60
2.11.2 架構介紹.....	60
2.11.3 預計規格列表.....	63
2.11.4 實測結果.....	64
2.11.5 結論與討論.....	65
2.12實作七，Regenerative Frequency Divider (SiGe HBT 0.35 μ m).....	67
2.12.1 預計規格列表.....	67
2.12.2 實測結果.....	68
2.12.3 結論與討論.....	70

2.13 實作除二電路之特性比較.....	71
第三章 耦合電感壓控振盪器.....	72
3.1 前言.....	73
3.2 基本原理及電路架構.....	73
3.2.1 基本原理.....	73
3.2.2 被動阻抗轉換.....	77
3.2.3 LC-tank 之等效電路.....	80
3.3 LC 壓控振盪器之設計參數最佳化.....	80
3.3.1 LC 以及電晶體之選用條件.....	80
3.4 Phase Noise.....	81
3.4.1 何謂 Phase Noise.....	81
3.4.2 Q 值對 Phase Noise 的影響.....	83
3.4.3 Phase Noise 在 VCO 的產生機制.....	85
3.4.3 VCO 的偏壓電流對 Phase Noise 的影響.....	89
3.5 Pulling 及 Pushing 現象.....	91
3.6 差動 Bipolar LC Oscillator.....	92
3.7 實作一，Voltage-Controlled Oscillator with Differential Excitation Trifilar (SiGe HBT 0.35 μ m).....	95
3.7.1 研究動機.....	95
3.7.2 架構介紹.....	95
3.7.3 預計規格列表.....	103
3.8 實作二，Trifilar Based Voltage-Controlled Oscillator (SiGe HBT 0.35 μ m).....	104
3.8.1 預計規格列表.....	104
第四章 正交相位壓控振盪器.....	105
4.1 前言.....	106
4.2 Homodyne Receivers.....	106
4.2.1 Homodyne 接收機的特性簡介.....	106
4.2.2 以 Homodyne 為基礎的 Image-reject 接收機.....	111
4.3 如何產生正交相位訊號.....	114
4.3.1 一般傳統的正交相位產生方法.....	114
4.3.2 利用 VCO 耦合產生正交相位的 LO.....	117
(1) Parallel QVCO.....	117
(2) Parallel with phase shift QVCO.....	121
(3) Top-Series Quadrature VCO.....	123
(4) Bottom-Series Quadrature VCO.....	132
(5) Superharmonic Coupling QVCO.....	133
4.4 實作一，Quadrature VCO Using Top-Series Coupling Structure (GaAs HBT	

2 μm).....	128
4.4.1 預計規格列表.....	129
4.4.2 實測結果.....	130
4.4.3 結論與討論.....	131
4.5 實作二，Quadrature VCO Using Superharmonic Coupling (GaAs HBT	
2 μm).....	134
4.5.1 預計規格列表.....	137
4.5.2 實測結果.....	137
4.5.3 結論與討論.....	138
4.6 實作三，Quadrature VCO Using Superharmonic Coupling (SiGe HBT	
0.35 μm).....	140
4.6.1 預計規格列表.....	141
4.6.2 實測結果.....	142
4.6.3 結論與討論.....	143
第五章 結論.....	146
參考文獻.....	149



圖目錄

圖 2.1	Synthesizer 在收發機上的應用.....	5
圖 2.2	Spur 對接收訊號的影響.....	5
圖 2.3	Locking time 意示圖.....	6
圖 2.4	改變輸出頻率來修正相位差.....	7
圖 2.5	基本的 PLL 架構.....	8
圖 2.6	Integer-N Synthesizer.....	8
圖 2.7	Fractional-N 的產生方式.....	9
圖 2.8	Fractional-N Synthesizer.....	10
圖 2.9	Example of Fractional-N Synthesizer.....	10
圖 2.10	除 3 邏輯電路圖.....	11
圖 2.11	除 2 除 3 之電路圖.....	13
圖 2.12	除 2 除 3 電路之時變圖.....	13
圖 2.13	不同接線設計的除 2 除 3 電路.....	14
圖 2.14	新式除 2 除 3 電路之時變圖.....	14
圖 2.15	除 16~31 邏輯電路圖.....	15
圖 2.16	除 16~31 電路之時變圖.....	15
圖 2.17	除 15 除 16 邏輯電路圖.....	16
圖 2.18	除 15 除 16 電路之時變圖.....	16
圖 2.19	除 64~79 邏輯電路圖.....	17
圖 2.20	除 64~79 電路之時變圖.....	18
圖 2.21	$\div 2/3$ 電路(不用(0,0)狀態).....	18

圖 2.22	$\div 2/3$ 電路之時變圖.....	19
圖 2.23	$\div 4/5$ 電路.....	19
圖 2.24	$\div 4/5$ 電路 $\div 4/5$ 電路之時變圖.....	19
圖 2.25	$\div 22/23$ 邏輯電路圖.....	19
圖 2.26	$\div 22/23$ 電路之時變圖.....	19
圖 2.27	$\div 4/5$ 邏輯電路圖.....	20
圖 2.28	併入NAND gate的 $\div 4/5$ 電路.....	21
圖 2.29	併入NAND gate的DFF.....	21
圖 2.30	前置輸入級電路.....	22
圖 2.31	輸出緩衝級電路.....	23
圖 2.32	除2電路在Synthesizer上的運用.....	27
圖 2.33	D-latch組成的DFF.....	28
圖 2.34	單一D-latch的電路圖.....	28
圖 2.35	實際使用的D-latch電路圖.....	29
圖 2.36	模擬ECL Inverter特性的電路圖.....	30
圖 2.37	ECL Inverter的輸出變化圖.....	30
圖 2.38	電流源電路圖.....	32
圖 2.39	Emitter Follower電路圖.....	32
圖 2.40	差動的clock產生器.....	33
圖 2.41	差動的ECL Inverter.....	33
圖 2.42	Divide-by-2 black diagram.....	34
圖 2.43	D-Latch Schematic.....	35
圖 2.44	動態除頻電路之示意圖.....	40
圖 2.45	Differential Clock的產生方式.....	41
圖 2.46	Static DFF.....	42
圖 2.47	Dynamic DFF.....	42

圖 2.48 動態除頻器的小訊號等效電路 (a) clock = high (b) clock = low.....	43
圖 2.49 Static與Dynamic的timing diagram.....	44
圖 2.50 Super-dynamic D-FF circuit.....	48
圖 2.51 Super-dynamic output waveform.....	48
圖 2.52 Free running VCO.....	52
圖 2.53 Injection-locked VCO.....	52
圖 2.54 $\div 2$ 後的noise transfer function. Emitter Follower電路圖.....	53
圖 2.55 ILFD之電路圖.....	54
圖 2.56 直耦合電感之layout圖.....	55
圖 2.57 RFD之Block Diagram.....	61
圖 2.58 RFD的低頻操作限制.....	61
圖 2.59 RFD之input buffer及核心電路圖.....	62
圖 2.60 Cherry-Hooper Amplifier之impedance mismatch.....	62
圖 2.61 Inductor peaking之輸出緩衝級.....	67
圖 3.1 回授電路之示意圖.....	73
圖 3.2 振盪器之極點在複數平面上的變動.....	74
圖 3.3 振盪器之 Nyquist Plot.....	75
圖 3.4 振盪器之 one port 反射系統.....	76
圖 3.5 圖 3.4 之訊號流動圖.....	76
圖 3.6 振盪器之 one port 負電阻系統.....	77
圖 3.7 串聯 RC 與並聯 RC 之轉換.....	78
圖 3.8 串聯 LR 與並聯 LR 之轉換.....	79
圖 3.9 電容式阻抗轉換電路.....	79
圖 3.10 電感式阻抗轉換電路.....	79
圖 3.11 LC-tank 之等效電路轉換.....	80
圖 3.12 VCO 輸出的理想及實際頻譜.....	82

圖 3.13	Phase Noise 的計算方法.....	82
圖 3.14	裙擺效應對鄰近接收訊號的影響.....	83
圖 3.15	裙擺效應對 QPSK 的影響.....	83
圖 3.16	LC-tank 之 band-pass 效應.....	84
圖 3.17	LC-tank 開迴路之電路圖.....	84
圖 3.18	Q=50 與 Q=10 之 LC-tank 相位變化圖.....	85
圖 3.19	Noise 由閉迴路的一點注入.....	85
圖 3.20	3-12 式在頻譜上的響應.....	86
圖 3.21	Leeson's equation 在頻譜上的響應.....	87
圖 3.22	Noise 由 V_{tune} 端注入.....	88
圖 3.23	弦波 Noise 由 V_{tune} 端注入在頻譜上的效應.....	88
圖 3.24	將數個 VCO 的輸出加總.....	90
圖 3.25	VCO 之 Injection Pulling 現象.....	91
圖 3.26	高功率干擾對 VCO 的影響路徑.....	91
圖 3.27	單一 transistor 之 VCO 接線圖.....	93
圖 3.28	圖 3.27 之改進 VCO 電路.....	93
圖 3.29	Colpitts 與 Hartley 之 VCO 架構圖.....	93
圖 3.30	利用 active buffer 產生阻抗轉換.....	94
圖 3.31	差動 LC 振盪器.....	94
圖 3.32	利用 cross-coupled pair 產生負電阻.....	94
圖 3.33	直接回授架構.....	96
圖 3.34	電容耦合回授.....	96
圖 3.35	電感耦合回授.....	97
圖 3.36	Varactor 偏壓電路及回授電路之結合.....	98
圖 3.37	Colpitts VCO.....	99
圖 3.38	Hartley VCO.....	99

圖 3.39 利用 transformer 作阻抗轉換.....	99
圖 3.40 圖 3.39 之等效電路.....	99
圖 3.41 本實作之完整 VCO 電路圖.....	100
圖 3.42 1-to-2 transformer 示意圖.....	100
圖 3.43 Trifilar 在實際電路使用之範例.....	100
圖 3.44 Trifilar 之繞線方法.....	101
圖 3.45 利用 Center-tape 來實現 Differential Trifilar.....	101
圖 4.1 Homodyne Receiver	107
圖 4.2 AM 訊號經 Homodyne 接收機之降頻響應.....	107
圖 4.3 FM 訊號經 Homodyne 接收機之降頻響應.....	107
圖 4.4 正交相位接收機.....	107
圖 4.5 FM 訊號經正交相位接收機之降頻響應.....	108
圖 4.6 LO 訊號造成的 Self-mixing.....	108
圖 4.7 RF 訊號造成的 Self-mixing.....	109
圖 4.8 I/Q mismatch 在收發機上的影響.....	109
圖 4.9 I/Q mismatch 對訊號座標圖產生的影響.....	110
圖 4.10 Even-order distortion.....	111
圖 4.11 Hartley 接收機中頻譜的變化.....	112
圖 4.12 Phase shifter 在頻譜上的響應.....	113
圖 4.13 利用被動元件產生 90 度相位差.....	113
圖 4.14 Weaver 接收機中頻譜的變化.....	114
圖 4.15 利用 $\div 2$ 電路產生 I/Q 訊號.....	115
圖 4.16 利用 Poly-phase Filter 產生 I/Q 訊號.....	116
圖 4.17 正交相位振盪器之接線方式.....	116
圖 4.18 N 級的 Ring Oscillator.....	116
圖 4.19 Parallel QVCO.....	117

圖 4.20	PQVCO 之電流與電壓相位圖.....	118
圖 4.21	PQvco 的線性模型.....	118
圖 4.22	Parallel QVCO 之四種操作狀態.....	120
圖 4.23	流進 LC-tank 的電流量表.....	120
圖 4.24	PQVCO with Phase Shifter 之線性模型.....	122
圖 4.25	兩種 Phase Shifter 之電路圖.....	122
圖 4.26	Top-Series QVCO.....	123
圖 4.27	Top-Series QVCO 之等效半電路.....	124
圖 4.28	Top-Series QVCO 之四種操作狀態.....	125
圖 4.29	流進 LC-tank 的電流量表.....	125
圖 4.30	圖 4.23c 的雜訊源以及流進 LC-tank 的電流量表.....	127
圖 4.31	在圖 4.28b、d 的雜訊源以及流進 LC-tank 的電流量表.....	127
圖 4.32	Top-series QVCO 之電路圖.....	128
圖 4.33	Symmetric Transformer 之 Layout.....	129
圖 4.34	Fitted model.....	129
圖 4.35	Transformer 之量測結果.....	129
圖 4.36	Bottom-series QVCO 之電路圖.....	132
圖 4.37	Superharmonic coupling QVCO 之示意圖.....	134
圖 4.38	Superharmonic coupling QVCO 之電路圖.....	135
圖 4.39	Symmetric Transformer Layout.....	135
圖 4.40	(a)VCO without current source filter (b)VCO with current source filter.....	136
圖 4.41	Superharmonic coupling QVCO 之電路圖.....	140

表目錄

表 2.1 DFF 的激發表.....	11
表 2.2 除 3 電路中 DFF 的狀態變換	12
表 2.3 除 3 電路的 K-Map	12
表 2.4 實作除二電路之比較.....	71
表 4.1 實作正交相位振盪器之比較.....	145



第一章

緒論



1.1 前言

電子通信時代起始於1844年，摩斯發明了有線電報後人類才得以作長距離的訊息傳收。到了1859年，馬可尼發展出無線電報，成為無線電通訊的先驅。數十年後，貝爾更近一步的發明電話，將聲波轉換成電流變化在藉由電線傳遞。現在的很普及的手機，不過是藉無線電傳送電話的訊號。電晶體發明後，無線通訊更是一日千里，加上電腦技術進步、衛星與光纖的運用，造成目前當紅的無線通訊產業。無線通訊的前端電路是整個系統電路的瓶頸，必須將基頻訊號加以調變發射到接收端，期間還必須抗拒環境的各種干擾，最後還得接收放大極小的接收訊號，以供基頻電路處理。前端的電路設計必須考慮更多的設計因素，不同於類比電路設計，即使作了 Layout 上寄生效應的粹取，並不能保證電路的正成運作。在電晶體的 fitting model 上，如果只單純 fit IV curve 不足以運用在 RF 設計，電路的頻率越高越需要複雜的等效電路來描述電晶體特性，設計困難度便提升數倍。甚至在訊號的走線、電容電感的模擬都須經過 EM Tool 的估測，以免高頻訊號耦合發散到基板或其他介質中。

1.2 論文簡介

本論文分為五個章節，第一章節為序論，說明無線通訊的發展與前端電路的設計觀念；第二章將介紹各種高速除頻電路的架構以及運用的時機；第三章介紹振盪器的基礎理論和創新的振盪器結構；第四章介紹正交訊號的用途並比較各架構的正交相位振盪器的優缺點。第二到第四章除了理論上的說明外，還有實作的量測結果以作驗證。第五章則對上述的實作電路作一總結。

第二章

高速除頻電路



2.1 前言

RF接收機中所用到的VCO通常會嵌入在頻率合成器中，使輸出頻率更為準確。頻率合成器如果單用類比方式來實現，可分為integer-N和fractional-N架構，Building Block中皆需要除頻器(Prescaler或Frequency Divider)來將VCO振出的訊號降至低頻，與石英振盪器或其他準確度高的振盪訊號作相位比較。除頻器的電路設計概念可依照除數的多寡作區分：(1)如果要實現高除數的除頻器，需用數位電路上常見的counter設計方式，利用數個D-type Flip-Flop(DFF)做邏輯的推算，就可以知道各DFF的接線方式。(2)如果除數低(指除二電路)，在電路上的設計方式就有很多：像是Static、Dynamic、Superdynamic、Injection Locked、Regenerative等架構，不同架構有個別的優缺點，可依系統需求擇一使用。本章的內容將探討上述的各種除頻器，在理論和實作上都有縝密的說明，提供本實驗室充足的電路量測資料，將來可以運用在頻率合成器中。

2.2 基本PLL運作概念

2.2.1 PLL在收發機上的應用

在RF接收機上振盪器的頻率必須很穩定，並且能夠小量而精準的跳頻，因為在一般的無線通訊系統會要求振盪頻率移動數十kHz來作接傳訊號的頻段切換，所以必須借重Synthesizer來完成符合系統要求的跳頻動作，架構如圖2.1所示。

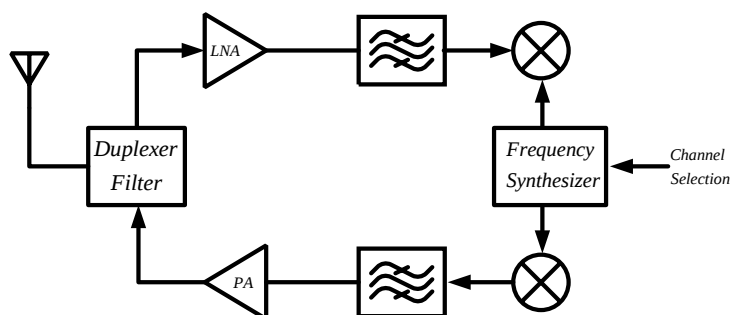


圖2.1 Synthesizer在收發機上的應用

除了上述的要求外，Synthesizer還需要考慮phase noise、spur (sideband)以及locking time (鎖定時間)，這些因素都會影響接收機的特性。通常單獨的VCO輸出訊號不會有spur產生，不過置入到Synthesizer後就會有spur出現。Spur對接收訊號的影響可以由圖2.2來說明，當synthesizer的輸出除了 ω_{LO} 外還有spur在 ω_S ，且接收的訊號除了 ω_0 還有干擾源 ω_{int} ，加上 $\omega_S - \omega_{LO} = \omega_{int} - \omega_0$ 關係成立，在 ω_{LO} 把 ω_0 的訊號降到IF band(ω_{IF})的同時 ω_S 也把干擾源 ω_{int} 降到 ω_{IF} ，造成訊號的損毀。一般的系統會要求spur要比carrier低60dB，不然就是將 $\omega_S - \omega_{LO}$ 的間隔變大，讓 ω_{int} 的干擾源可以用duplexer或bandpass filter來抑制。

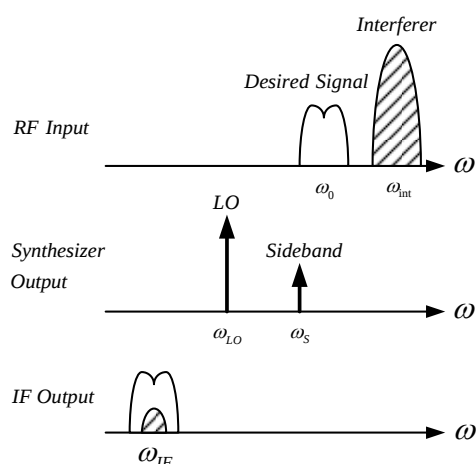


圖2.2 Spur對接收訊號的影響

Locking time對synthesizer也是一個重要的參數，當channel選擇

電路(圖2.1)要求synthesizer跳頻到另一個channel，synthesizer需要一定的時間將輸出頻率調整到該channel上(圖2.3)，locking time就是定義要花多少時間才能獲得穩定輸出，在fast frequency-hopped spread-spectrum system此參數尤其重要。依照RF系統的不同，對locking time的要求從數十ms到數十 μ s不等。

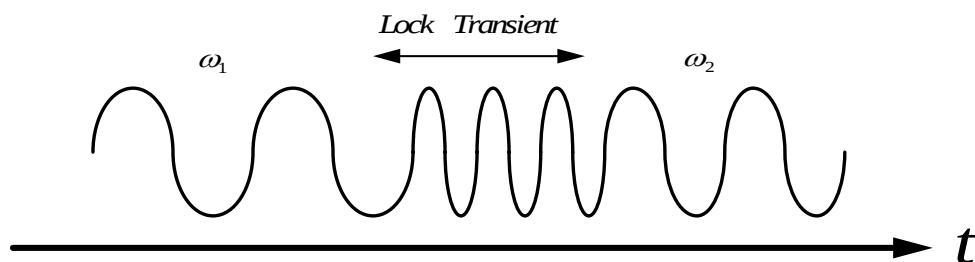


圖2.3 Locking time示意圖

2.2.2 PLL的Building Blocks及基本運作模式

一個理想的VCO可以用 $\omega_{out} = \omega_{FR} + K_{VCO} V_{cont}$ 來表示其輸出頻率的變化，在time domain上則是用 $y(t) = A_c \cos \left[\omega_{FR} t + K_{VCO} \int_{-\infty}^t V_{cont}(t) dt \right]$ 表示。

在研讀PLL時通常視VCO為linear且time-invariant的系統，輸入訊號

V_{cont} 會產生相位輸出 $\phi_{out} = K_{VCO} \int_{-\infty}^t V_{cont}(t) dt$ ，在frequency domain上的輸入

輸出轉移函數為： $\frac{\Phi_{out}}{V_{cont}}(s) = \frac{K_{VCO}}{s}$ 。由此可知要改變輸出訊號的相位必須先改變輸出訊號的頻率進而積分成相位。

以圖2.4為例：在 $t < t_0$ 時振盪頻率和參考頻率間有些許相位差，為了減少該相位差，在 $t = t_0$ 時 V_{cont} 增加 ΔV 讓振盪頻率上升，振盪頻率的相位累積就會比參考頻率快。當相位誤差降到零， V_{cont} 會降回到原

值，此時振盪訊號與參考訊號的頻率會相同而相位誤差等於零。經過以上的說明可以知道VCO的輸出相位不能單由目前的 V_{cont} 值來決定，必須觀察一段 V_{cont} 對時間的變化才能知道。

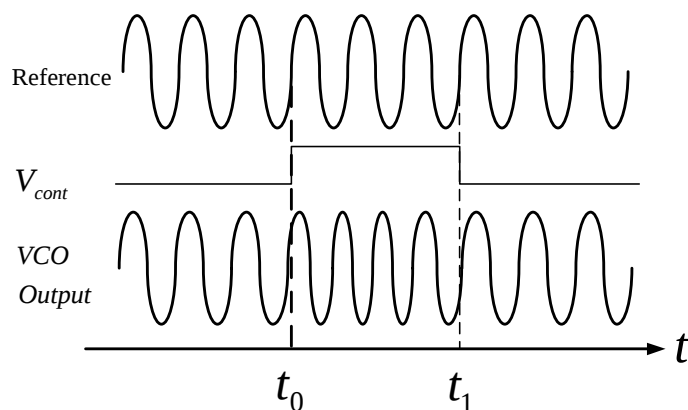


圖2.4 改變輸出頻率來修正相位差

一個理想的phase detector(相位偵測器)可以將兩個周期訊號的相位差轉換成dc值輸出： $V_{out} = K_{PD}\Delta\phi$ ， V_{out} 為輸出電壓； K_{PD} 為phase detector的增益(V/rad)， $\Delta\phi$ 為兩周期訊號的相位差。

鎖相迴路是以phase error為比較基礎的回授系統(圖2.5)，它包含一個phase detector、low-pass filter以及VCO。Phase detector是一個誤差放大器，讓 $x(t)$ 和 $y(t)$ 間的phase error($\Delta\phi$)在很小了時候就可被偵測出。當 $\Delta\phi$ 不再隨時間變化，此時就可以稱之鎖定狀態(locked)。

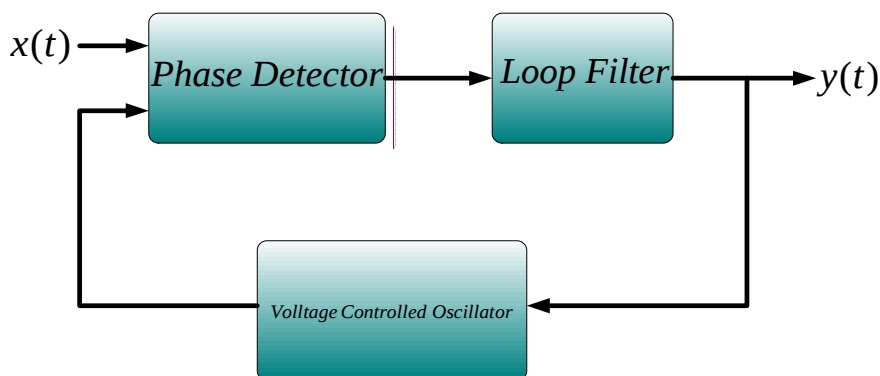
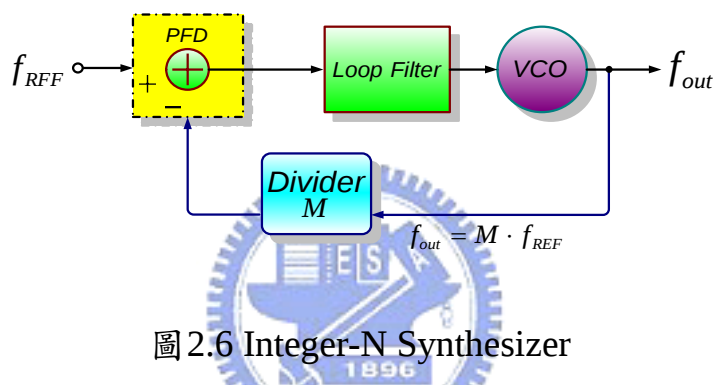


圖2.5 基本的PLL架構

在locked的情況下，所有的訊號在迴路中都達到穩態(steady state)。PLL的鎖定步驟如下：phase detector輸出正比於phase error($\Delta\phi$)的dc值，low-pass filter則是將phase detector的高頻訊號濾掉，將dc訊號傳送到VCO的頻率控制端，調整輸出頻率的高低。

2.3 RF系統中Synthesizer的架構

2.3.1 Integer-N的Synthesizer



此架構的頻率輸出可用 $f_{out} = f_0 + kf_{ch}$ 來表示， f_0 是第一個channel的頻率， f_{ch} 是下一個channel間距。此跳頻方法需用到可調除數的除頻器。由圖2.6可以產生 $f_{out} = Mf_{REF}$ 的倍頻效果，而M可由最小值 M_L 每次增加一，一直到最大值 M_H 。接下來就可以藉上述的兩個等式來決定channel的間隔：

假設最低的channel (M_L) 在 f_0 ($k=0$) $\rightarrow f_{out1} = f_0 + kf_{ch} = f_0 = M_L f_{REF}$ ，而第二channel (M_L+1) 在 $f_0 + f_{ch}$ ($k=1$) $\rightarrow f_{out2} = f_0 + f_{ch} = (M_L+1)f_{REF}$ ，所以channel space就等於 $f_{out1} - f_{out2} = f_{REF} \rightarrow$ 參考頻率就是channel space。

此架構的缺點就是有 resolution 和 bandwidth 的 trade-off：高

resolution 需要低的 f_{REF} ，可是要高的 bandwidth 卻需要高的 f_{REF} 。Fractional-N 的架構就是為了改善此缺點而設計出的。

2.3.2 Fractional-N 的 Synthesizer

在 integer-N 的 synthesizer 中 channel spacer 就等於參考頻率，造成 loop bandwidth 很小，如果改用 fractional-N 就可以讓輸出頻率的變動大小是參考頻率的分數，因此參考頻率可以設計的比 channel space 大，loop bandwidth 隨之提高而且不會對 resolution 產生影響。接下來用圖 2.7 來說明 fractional-N 的產生方法： $x(t)$ 是一個頻率為 f 的訊號， $y(t)$ 則是將 $x(t)$ 每隔 T_b 就把一個 pulse 移除，所以 $y(t)$ 在每個 T_b 間會有 $f \times T_b - 1$ 個 pulse，可以把它的頻率視為 $f - \frac{1}{T_b}$ 。藉由改變 T_b 就可讓輸出頻率作小步階移動。

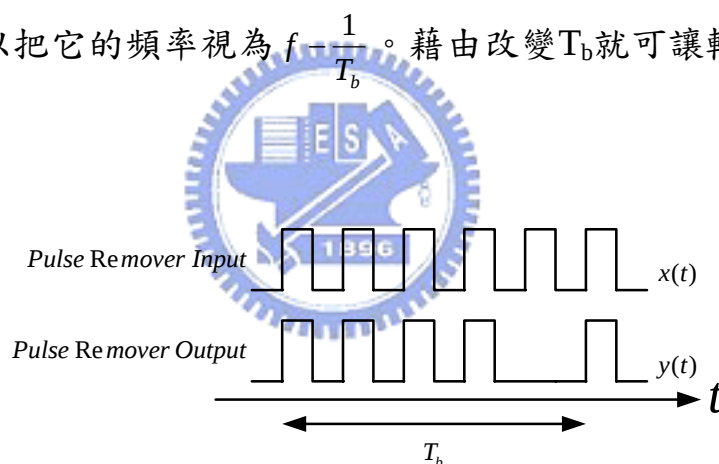


圖 2.7 Fractional-N 的產生方式

目前廣泛使用的 fractional-N 架構多用 dual-modulus prescaler 來設計(圖 2.8)，其概念也是在固定週期下移除一個 pulse 來改變平均的除數。如果 modulus control 的輸入設定是：除頻器經過 A 個除 N 輸出後將除數變成 $N+1$ 再維持 B 個輸出，隨即又將除數重設為 N，依此循環下去。最終可得平均除數為 $\frac{A \times N + B \times (N + 1)}{A + B}$ ，選取適當的 A、B 及 N 值後就可以設計出所需的分數型除數。

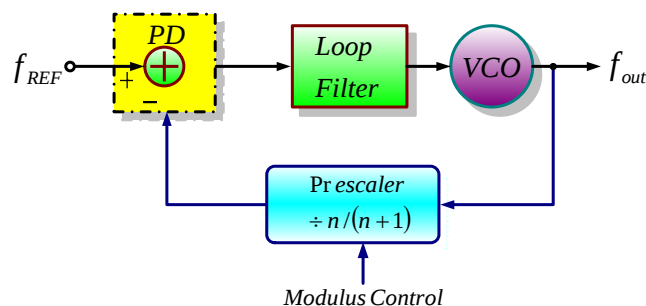


圖2.8 Fractional-N Synthesizer

以下舉個簡例，設定 $f_{REF} = 1\text{MHz}$ 、 $N = 10$ ，圖2.9選擇 $A=9$ 、 $B=1$ ，也就是經過9個除10的輸出後Modulus Control作改變，讓除數變為11所以除頻比例為： $\frac{9 \times 10 + 1(10 + 1)}{9 + 1} = 10.1$ ，得到輸出的頻率為10.1MHz。

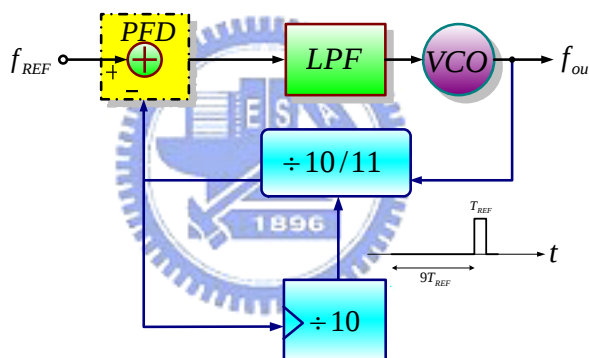


圖2.9 Example of Fractional-N Synthesizer

2.4 除N/N+1 prescaler之設計

2.4.1 除2除3雙模除頻器

大多數的鎖相頻率合成器都會用到高速雙模除頻器，此電路可用一個控制訊號來改變除數大小。除2除3電路最為廣泛使用(圖2.10)，由於 $\div 2/3$ 是最小的雙模除數，它使用最少的邏輯電路來實現，在速度的表現上一定比除3除4或其他更高除數的除頻電路來的快。一個

D-type的flip-flop(DFF)可以提供2個time delay，所以實現除2除3電路需要兩個D-type的flip-flop來提供3個以上的time delay，除3的功能才能達到。圖2.10電路經常可以在paper上看到，接下來將討論如何用邏輯電路來實現。

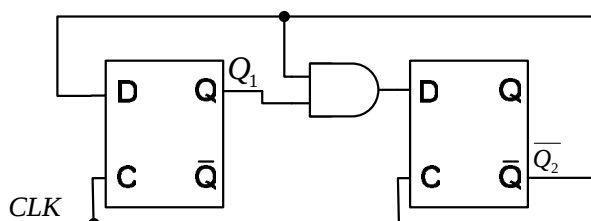


圖2.10 除3邏輯電路圖

表2.1是DFF的excitation table，用來說明：D代表DFF輸入端的暫存訊號，Transition代表經過一個clk驅動DFF後的輸出訊號變動。由表可知DFF每經過一次clk驅動，就會把D端的訊號傳送到Q端。

Transition	D
0 → 0	0
0 → 1	1
1 → 0	0
1 → 1	1

表2.1 DFF的激發表

知道DFF的操作模式後就可以訂出2-bit counter的state table(表2.2)。兩個DFF的輸出可以提供4個state，分別是 $(Q_1, Q_2) = (0,0)$ 、 $(0,1)$ 、 $(1,0)$ 、 $(1,1)$ ，4個state可認選3個來使用，所以先不用 $(1,0)$ 來設計。表2.2就是推得的3-bit counter之state table。接著利用此表在K-Map上做邏輯的化簡(表2.3)，得 $D_1 = \overline{Q_2}$ 和 $D_2 = \overline{Q_2} \cdot Q_1$ 。除3電路的接線就是把第二個DFF的 $\overline{Q_2}$ 輸出接腳接到第一個DFF的輸入端 D_1 ，再把 $\overline{Q_2}$ 和 Q_1 輸入

到2 input的AND gate後驅動 D_2 。

Present State	Next State	Synchronous Input
Q_2Q_1	Q_2Q_1	D_2D_1
00	01	01
01	11	11
11	00	00

表2.2 除3電路中DFF的狀態變換

$$D_1 = \overline{Q_2}$$

	Q_1	0	1
Q_2			
0		1	1
1		x	0

$$D_2 = \overline{Q_2} \cdot Q_1$$

	Q_1	0	1
Q_2			
0		0	1
1		x	0

表2.3 除3電路之K-Map

從除3的電路要產生除2的效果，就是先在電路上找到一個除2的 loop，在其他的路徑加上一個OR gate把除三的訊號隔絕掉(圖2.11)，除二除三電路就此產生。圖2.12是該電路的timing diagram：modulus

control (MC)訊號為high時除二；MC為low時除三。

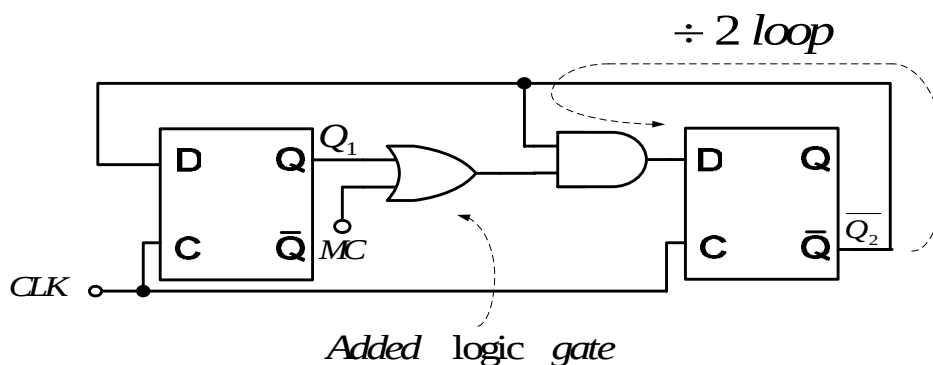
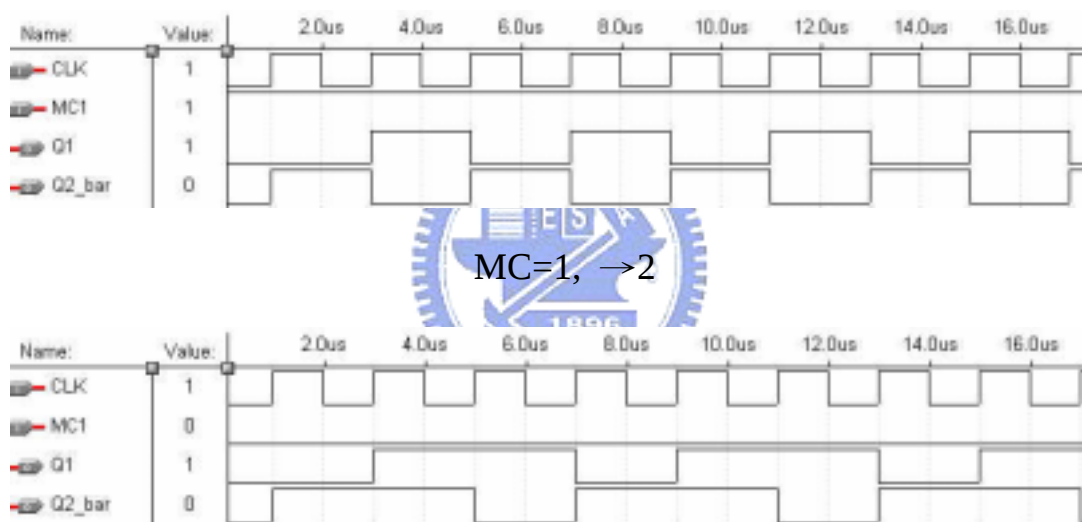


圖2.11 除2除3邏輯電路圖



MC=0, →3

圖2.12 除2除3電路之時變圖

上述的除二除三電路並非唯一的接法，主因就是可以選擇其他不用的(Q_1, Q_2) state。例如不使用(Q_1, Q_2)=(1,1) state，一樣可以設計出除2除3電路(圖2.13)，甚至此接法還可省去一個or gate的使用(相較於圖2.11)，減少整個電路的gate delay使電路速度提升。

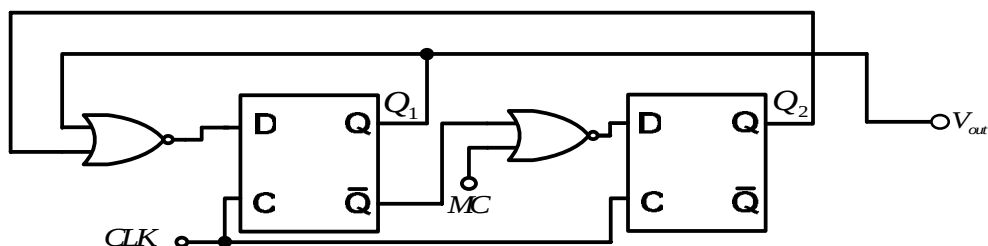


圖2.13 不同接線設計的除2除3電路

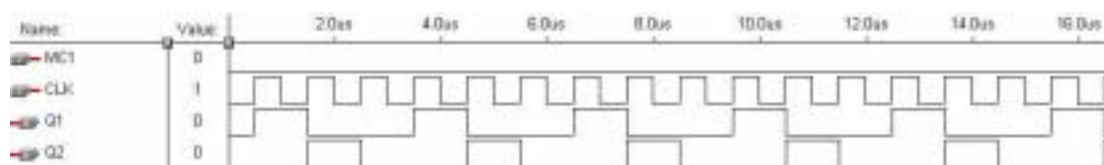


圖2.14 新式除2除3電路之時變圖

dual-modulus的兩個除數之可操作頻率不會一樣，以 $\div 2/3$ 為例， $\div 2$ 可操作的頻段會比 $\div 3$ 高。因為 $\div 3$ 比 $\div 2$ 多經過一個AND gate delay，且該delay需比一個clk transition還快，當clk的transition比AND gate delay還快，就不會有 $\div 3$ 的效果。

2.4.2 Swallow Counter之設計

此除頻器是用數個dual modulus prescaler作非同步的串接，設計MC的產生時間來改變整體的除數。以圖2.15為例，4個 $2/3$ 的prescaler作非同步串接，最少的除是就是 $2^4=16$ 。在 MC_1 的控制方面，在 $(Q_2, Q_3, Q_4)=(1, 1, 1)$ 時設定為3，在timing diagram上就可看到 f_2 在 $Q_2 \sim Q_3$ 接輸出1時產生3的動作。同理， MC_2 就設定在 Q_3 、 Q_4 為1時3，可以在timing diagram上看到此現象。此電路架構可提供的除數為：

$$N = 16 + MC_1 + 2 \cdot MC_2 + 4 \cdot MC_3 + 8 \cdot MC_4。$$

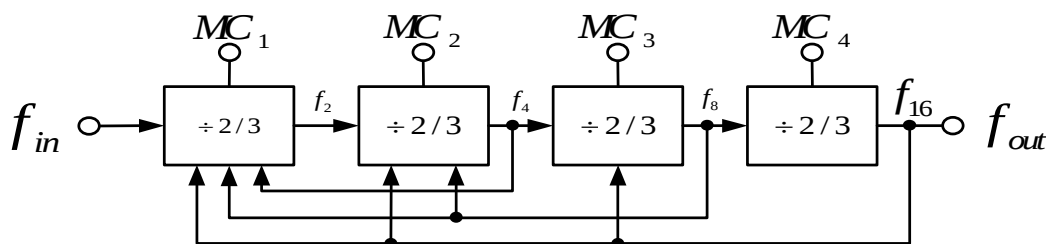


圖2.15 除16~31邏輯電路圖



圖2.16 除16~31電路之時變圖

2.4.3 同步雙模除頻器與非同步單模除頻器的結合

如果系統需要更高得除數，可將高速的雙模除頻器與非同步除頻器作結合。設計時不會一次將雙模除頻電路的除數設定的太大，除數一大gate delay就會大幅增加，操作頻率就快不起來。通常會用除2除3或除4除5作高除數除頻電路的核心，之後再用非同步的除2電路把除數增加。此做法可避免最高操作頻率變低，之後送到非同步除2電路的頻率已經不會很高，可將除2電路的電流降低到可用範圍，整體的功率消耗可以大幅降低。

圖2.17就是一個除15除16的例子，利用一個 $\div 3/4$ 電路加上兩個串接的除2電路來實現。 Q_3 、 Q_4 會提供四個暫態： $(0,0)$ 、 $(0,1)$ 、 $(1,0)$ 、 $(1,1)$ ，將其中的三個暫態維持在除四，而剩下的一個暫態透過邏輯閘運算後，將除頻器的模數改為除三，整體的除數就是： $4+4+4+3=15$ 。本範例就是設定 $(Q_3, Q_4)=(1,1)$ 時，將模數定為3(圖2.18)。如果要得到除16，跟之前提的方法一樣，先找到除16的訊號傳輸路徑，再把造成除

15的路徑用一個OR gate把它disable掉。

在設計此類電路時必須特別留意DFF以外的邏輯閘產生的delay，如果沒有足夠時間讓MC產生正確的logic value，除三的效果就不一定能實現。從此電路的timing diagram可以看出，當 $(\overline{Q_3}, \overline{Q_4}) = (0,0)$ 時會有3個clk pulses的時間讓 G_2 的輸出達到穩定的logic value，所以在高速操作下可以減輕 $G_1 \sim G_3$ 的gate delay對除數正確性的影響。如果設計不良， G_2 只會有一個clk pulse的時間完成正確的logic value，除數的正確性就變的非常不穩定。

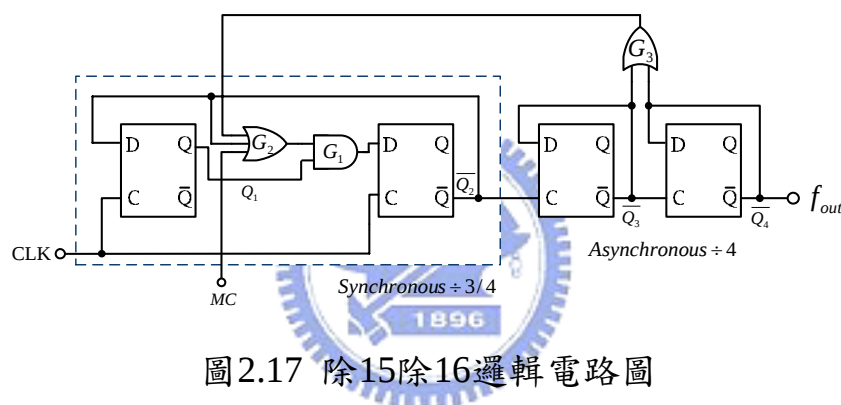


圖2.17 除15除16邏輯電路圖

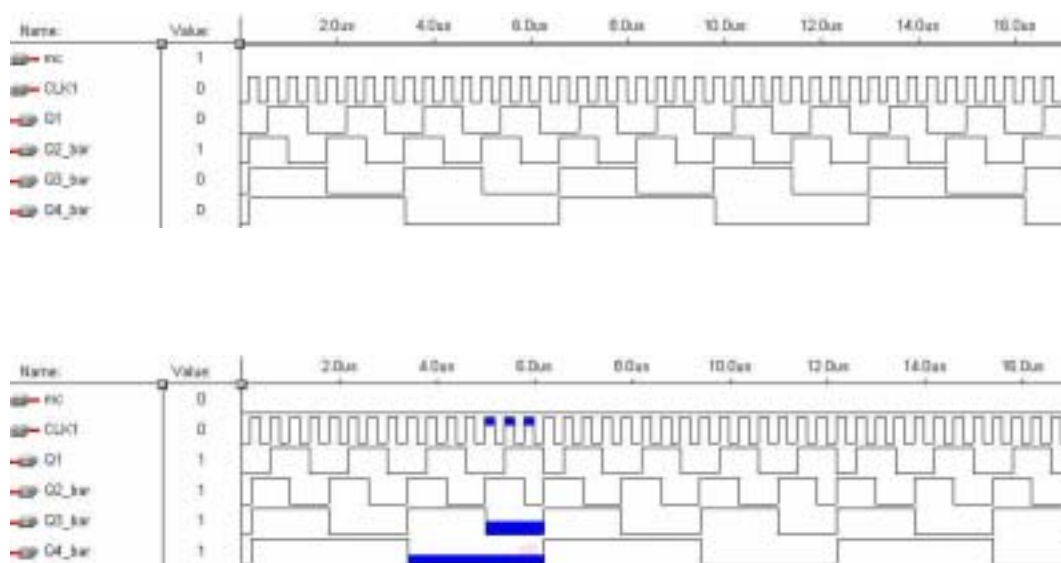


圖2.18 除15除16電路之時變圖

2.4.4 Multi-Modulus prescaler之設計

在通訊系統上需要prescaler的除數能夠更多，以提供更多的channel數讓系統選用。圖2.19的除頻電路就是普遍運用在synthesizer上的prescaler架構。其中包含一個同步的高速 $\div 4/5$ 電路，VCO的訊號由 f_{in} 輸入到電路中， f_4 就可得到4或5的訊號。 F_4 經過4個非同步的2電路可產生 $2^4=16$ 的除數，所以目前在 f_{out} 已產生 $16 \times 4 = 64$ 的除數。接下來討論4/5的MC產生的方式，當 $D_0=1$ ，MC會在 $(Q_7, Q_6, Q_5, Q_4)=(1, 1, 1, 0)$ 時送出 $\div 5$ 訊號(其實也可以在 $(1, 1, 1, 1)$ 時送出，只是此接法可以減少DFF輸出的loading)，整體除數上多除1。一樣的，在 $D_1=1$ 時且 $(Q_7, Q_6, Q_5)=(1, 1, 0)$ 會送出 $\div 5$ 。由於 F_8 又經過DFF₄的一個clock delay，所以會有兩次5的MC產生，在整體除數上多除了2個。 D_2 和 D_3 的產生原理也是相同的，最後的除數就可達到 $N = 64 + D_0 \times 1 + D_1 \times 2 + D_2 \times 4 + D_3 \times 8$ ，一共可提供64~79個除數。

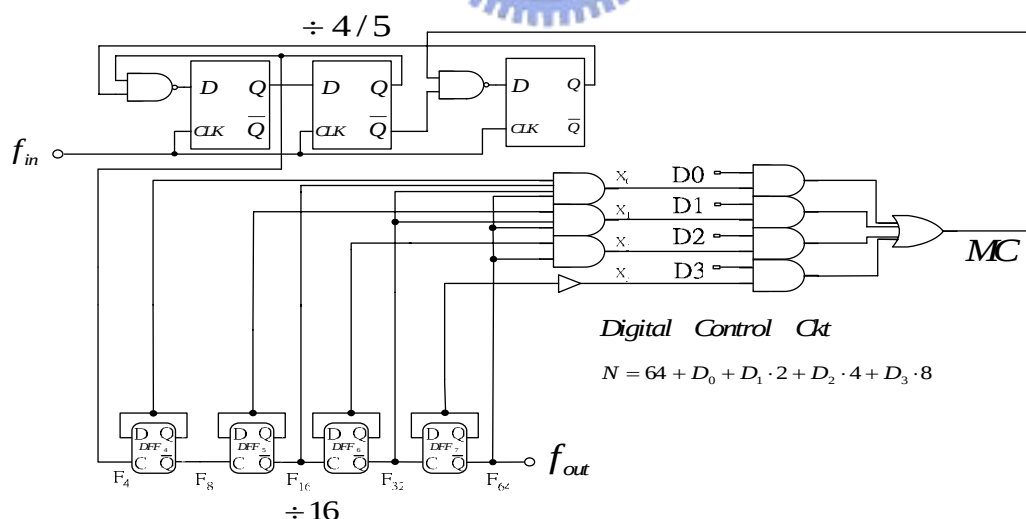


圖2.19 除64~79邏輯電路圖

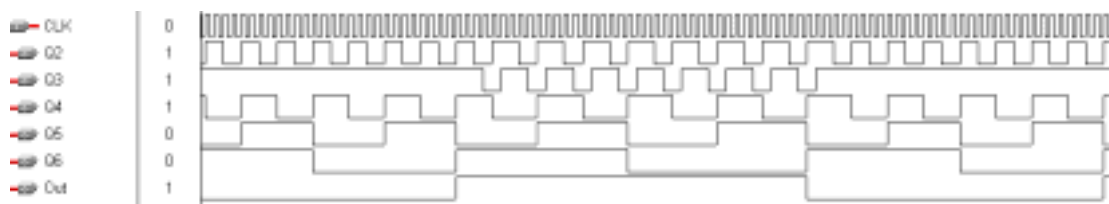
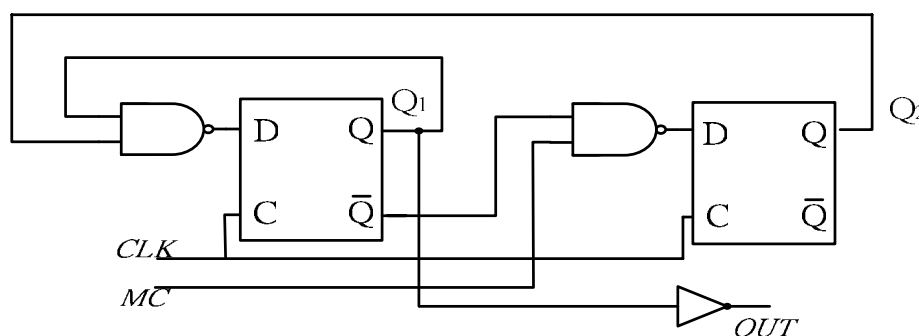


圖2.20 除64~79電路之時變圖

2.4.5 兩dual-modulus除頻器之結合

2.4.3、2.4.4的電路架構都是用一個同步高速dual-modulus除頻器和非同步的 $\div 2$ 電路組成所需的除數。如果直接使用兩個dual-modulus的除頻器作非同步串接，也是可以設計出高除數且速度較快的dual-modulus的prescaler。

圖2.25就是用一個 $\div 2/3$ 和一個 $\div 4/5$ 的除頻器作非同步串接，加上一個 $\div 2$ 和一些logic gate後就可以達成 $\div 22/23$ 。這次 $\div 2/3$ 的邏輯接線是不用“(Q₂, Q₁)=00” state後推演出來的(圖2.21、圖2.22)。而 $\div 4/5$ 是不用“(Q₃, Q₂, Q₁)=(0,0,0)、(0,1,0)、(1,0,1)” state(圖2.23、圖2.24)。 $\div 2/3$ 和 $\div 4/5$ 的MC是由f_{out}控制，所以f_{out}只要有1 $\rightarrow$ 0或0 $\rightarrow$ 1的變化，它們的MC就變化一次。 $\div 4/5$ 電路之後還接一個 $\div 2$ 電路，是讓MC的變化頻率是f_{out}的二分之一，所以形成整體的除頻數為： $2 \times 4 + 3 \times 5 = 23 @ MC=1$ ； $2 \times 5 + 3 \times 4 = 22 @ MC=0$ 。

圖2.21 $\div 2/3$ 電路(不用(0,0)狀態)

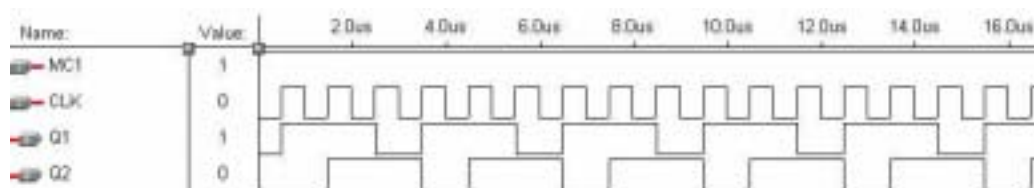


圖2.22 ÷2/3電路之時變圖

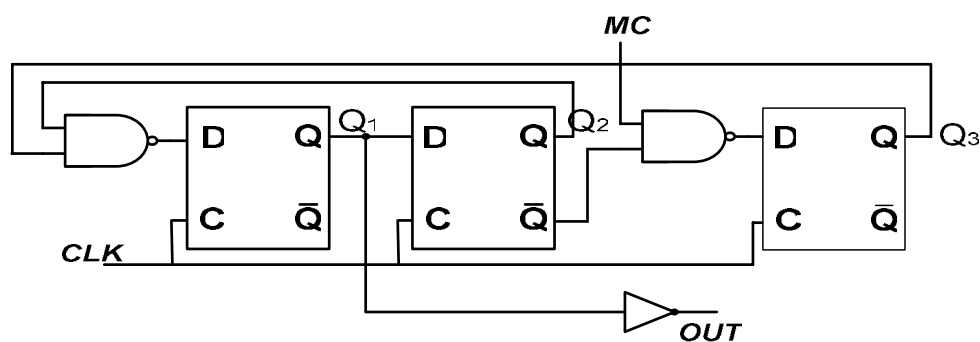


圖2.23 ÷4/5電路

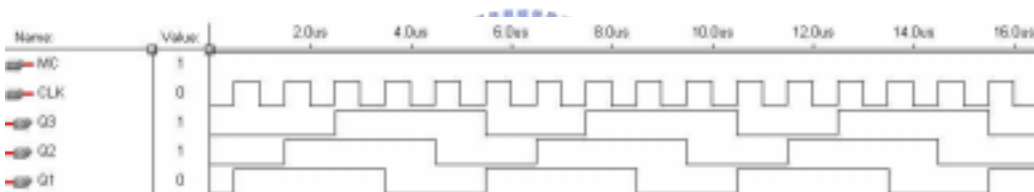


圖2.24 ÷4/5電路之時變圖

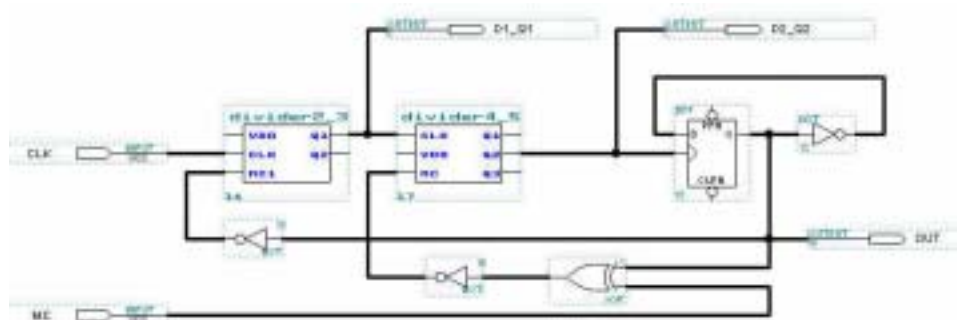


圖2.25 ÷22/23邏輯電路圖

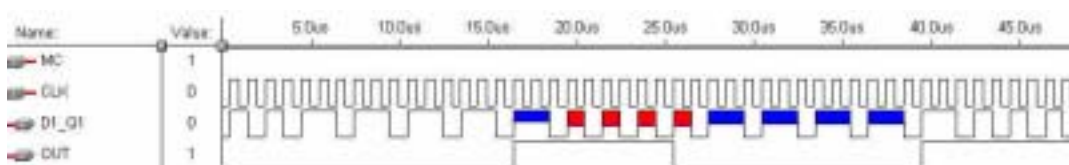


圖2.26 ÷22/23電路之時變圖

2.5 實作一， $\div 4/5$ Dual-Modulus Prescaler (GaAs HBT)

2.5.1 研究動機

雙模數的前置除頻器目前已廣泛的利用在頻率合成器中，此種除頻器具有兩種可選擇的除數，且被利用來增加可程式化除頻器的除頻範圍。為了運用在fractional-N的Synthesizer上，兩個除數的差必須設定為1，即除數必須為P及P+1。

2.5.2 架構簡介

目前常見的雙模數除頻器之電路架構如圖2.27所示，由於此電路除了D-type Flip-Flop之外，必須另加兩個NAND邏輯閘，不但增加額外的功率消耗，也增加了晶片的面積，更嚴重的是降低電路的最高工作速度。為了改善以上的缺點，本次設計的雙模除頻器將外接的NAND邏輯閘併入D-type flip-flop的電路中，如圖2.28所示，不但可以降低直流功率，更可提升電路的速度。

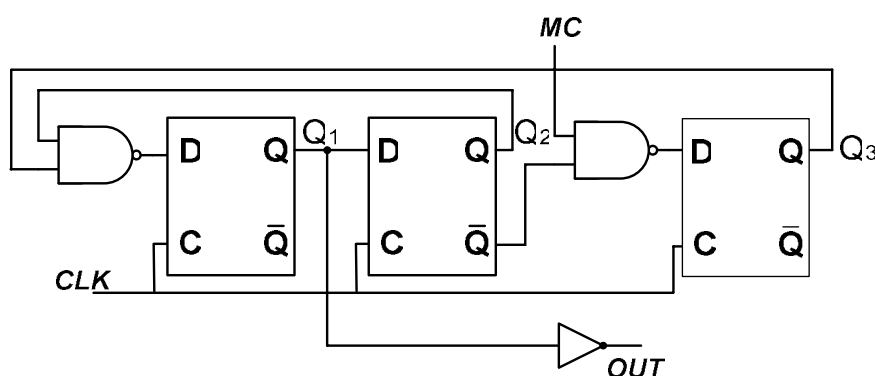


圖2.27 $\div 4/5$ 邏輯電路圖

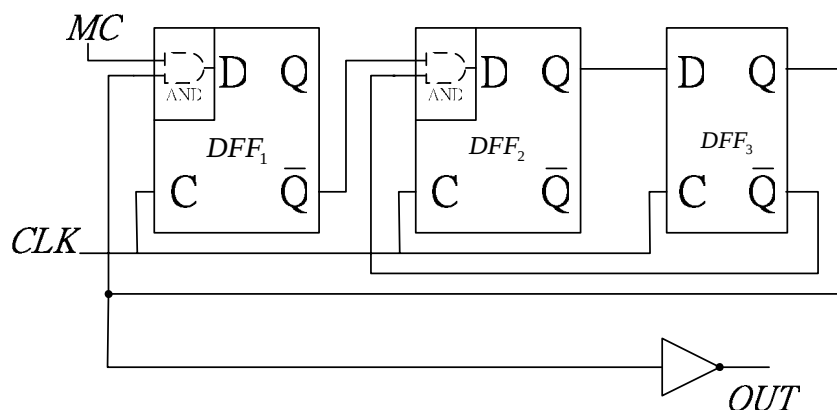


圖2.28 併入NAND gate的÷4/5電路

其中整合之後的D-type Flip-Flop電路如圖2.29所示，此DFF為全差動操作的電路，可以有效的降低外界雜訊及直流電壓不穩定的干擾，且為了能在高輸入頻率時亦可正常工作。由於選用CML (Current-mode Logic)的訊號存取方式，只須非常小的電壓變化，即可判別出邏輯。

此DFF在每個D型存鎖器(d-latch)之間都加上一組Emitter Follower，不但提供一個高阻抗的負載，更可增加fan-out的數目，且由於邏輯使用的電流不須外流，故更可提高電路的工作頻率。

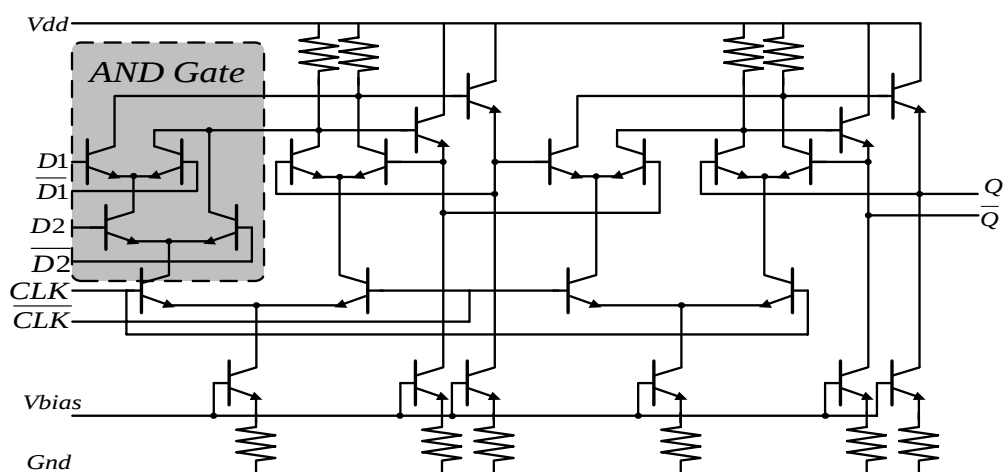


圖2.29 併入NAND gate的DFF

本電路，總共可分為三大部分，分別為：

前置輸入級：

將單端輸入之信號，轉為差動模的信號以提供全差動的電路(DFF)使用。並在輸入端作 50Ω 的阻抗匹配，可以有效隔絕儀器端或是對前端電路的影響。電路如圖2.30所示。

雙模除頻器：

主要電路部分如圖2.29所示，其中當 $MC=1$ 的時候，信號會在高準位($D=1$)延遲三次之後才變號至低準位($D=0$)再延遲兩次，即為除5之動作。而當 $MC=0$ 時，則 DFF_1 無作用，只剩 DFF_2 及 DFF_3 作用，信號在高準位延遲兩次後變號至低準位再延遲兩次，即為除4之動作。

輸出緩衝級：

因為使用CML的邏輯閘，若下級電路的負載較小，會吃掉許多電流，而使邏輯準位不正確，為了避免此一狀況的發生，我們在輸出端加上一組輸出緩衝級，不但可正確的傳出電壓準位，更可將信號放大。(圖2.31)

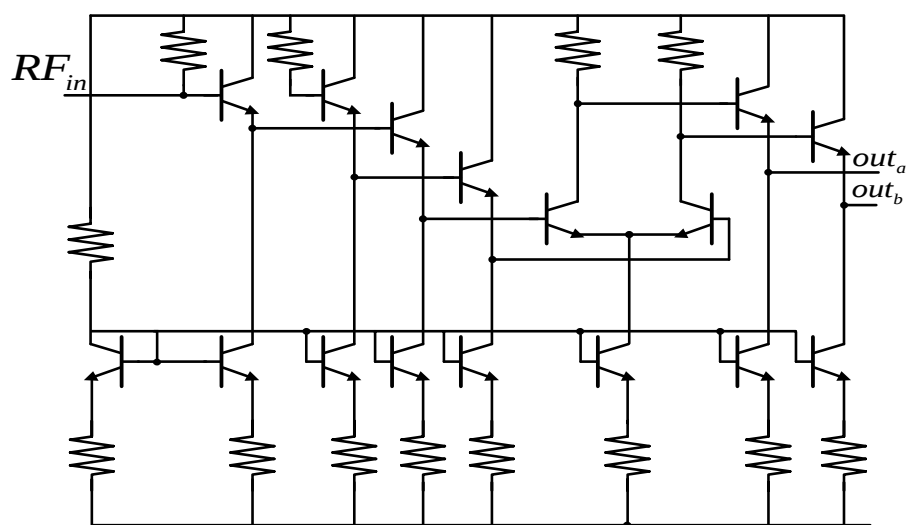


圖2.30 前置輸入級電路

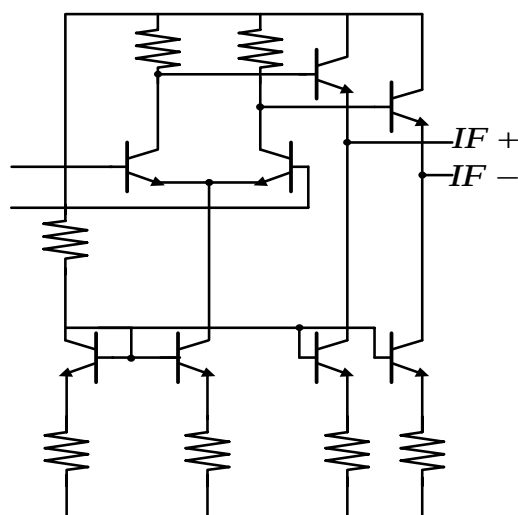


圖2.31 輸出緩衝級電路

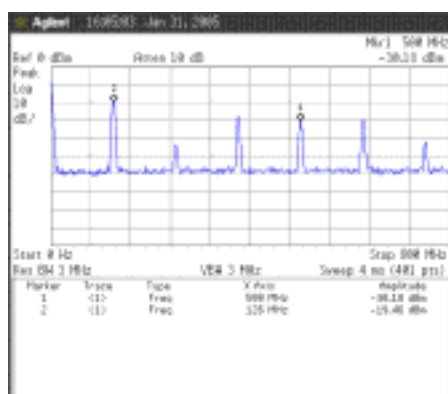
2.5.3 預計規格列表

Item	Spec
Supply Voltage	5 V
Supply Current	32 mA
Supply Power	75 mW
Operation Range	0.4~12GHz
RF Output Power	-2 dBm for differential output
Die size	1000 um × 1000 um

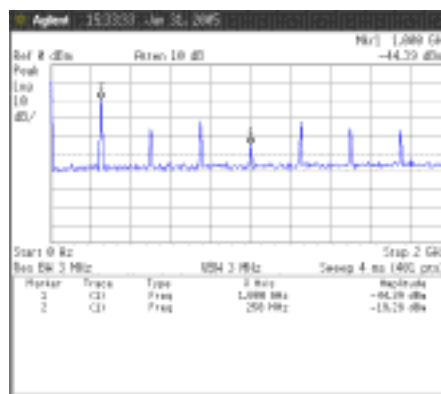
2.5.4 實測結果

1. 可除4頻率範圍頻譜圖

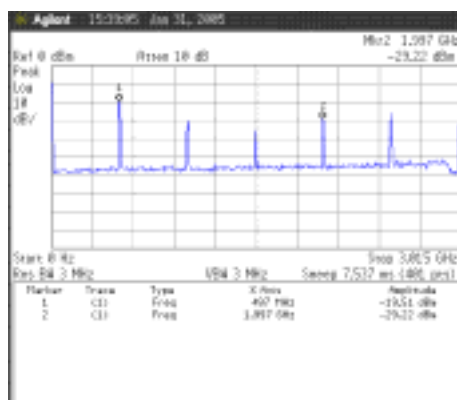
輸入頻率為0.5GHz時，
輸出0.125GHz：



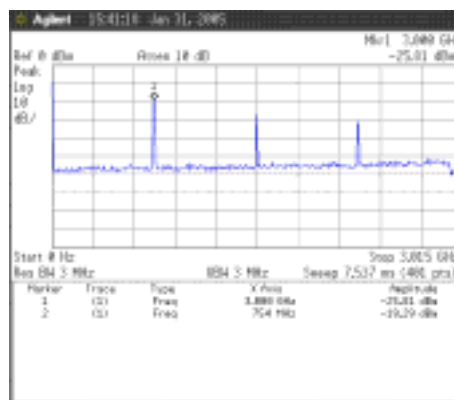
輸入頻率為1GHz時，
輸出0.25GHz：



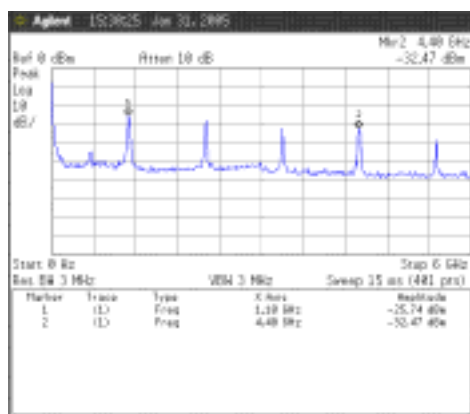
輸入頻率為2GHz時，
輸出0.5GHz：



輸入頻率為3GHz時，
輸出0.75GHz：

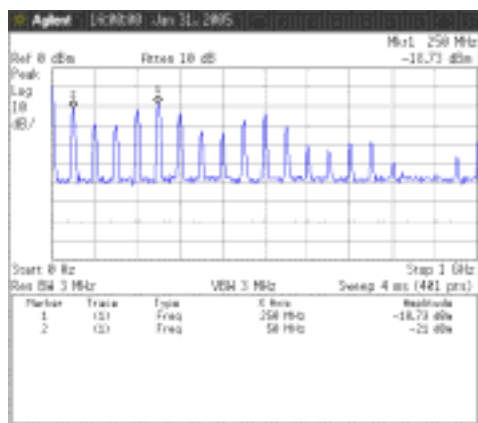


輸入頻率為4.4GHz時，輸出1.1GHz：

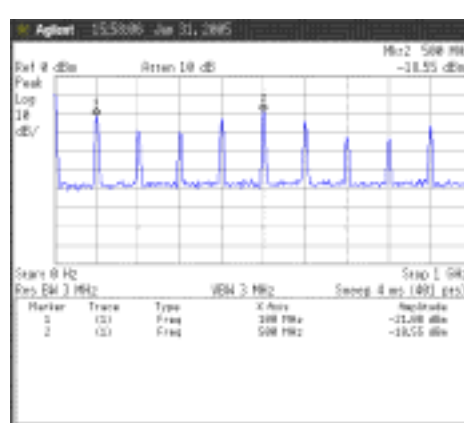


2. 可除5頻率範圍頻譜圖

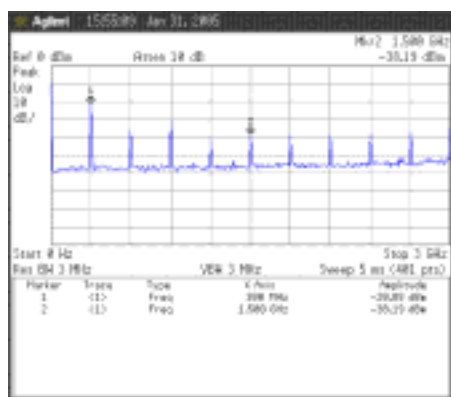
輸入頻率為0.25GHz時，
輸出0.05GHz：



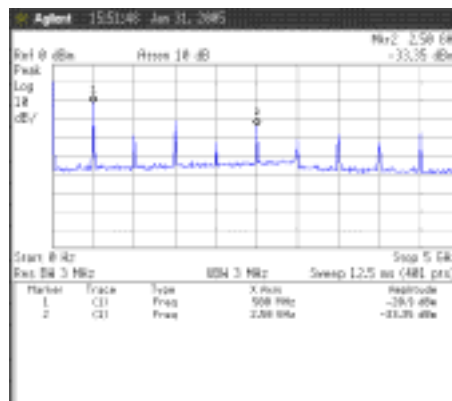
輸入頻率為0.5GHz時，
輸出0.1GHz：



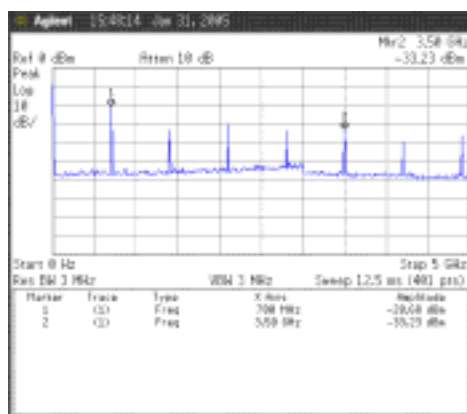
輸入頻率為1.5GHz時，
輸出0.3GHz：



輸入頻率為2.5GHz時，
輸出0.5GHz：

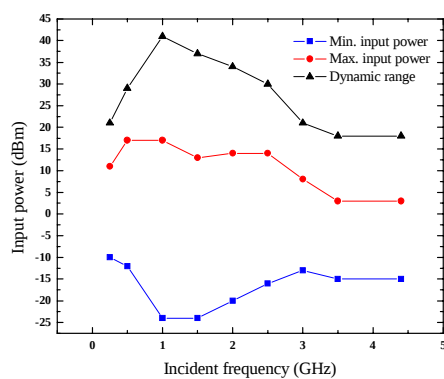


輸入頻率為3.5GHz時，輸出0.7GHz：

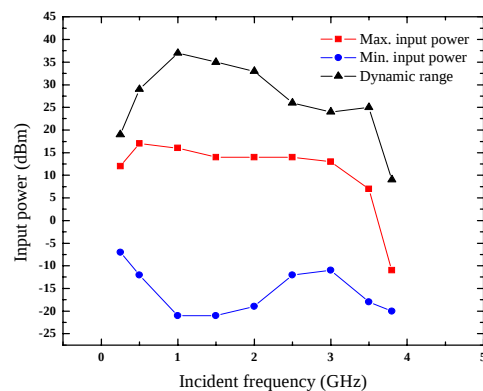


3. Sensitivity:

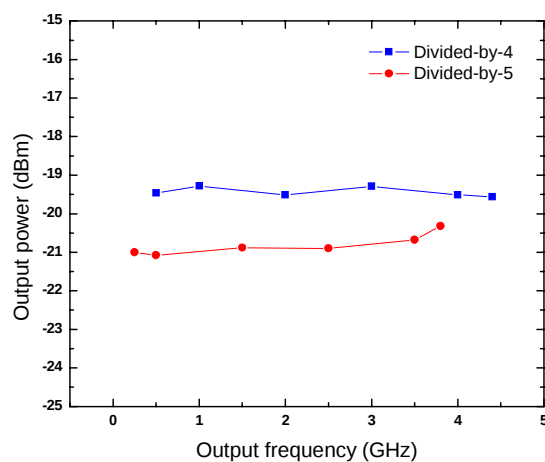
除4：



除5：

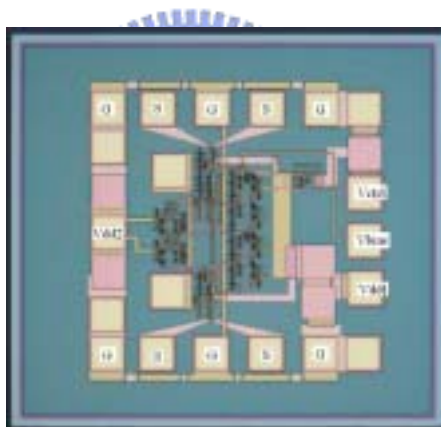


4. output power :



2.5.5 結論與討論

1. Die Photo



2. Chip performance summary

Item	Measurement
Core Supply Voltage	5 V
Core Supply Current	33 mA
Output buffer supply voltage	5V
Output buffer supply current	6.5mA
Total Supply Power	202.3 mW
Functional frequency range	0.5~4.4 GHz for /4 0.25~3.8 GHz for /5
RF output Power	~ -19dBm for /4 ~ -21dBm for /5
Die size	1000 um × 1000 um

本次實作的電路從0.5~3.8GHz確實有雙模除頻的功能，功率消耗與模擬時相當。除4功能的最高操作頻段較除5高，主要還是因為除5需要用到3個DFF做邏輯的運算，雖然併入NAND gate後可以減緩該效應，不過量測時還是觀察到其間的差距。此外，模擬時可達到的最高操作頻率(12GHz)顯然比實際量測值(4.4GHz)高出許多，可能原因是device的model沒能準確的預估出高頻操作時所出現的寄生效應，所以在模擬電路時會在較理想的情況下模擬出較高的操作頻段。由量測結果可看出在可操作頻段的sensitivity趨勢與模擬相近，更可確認device model在高頻時不盡準確。

2.6 高速除二電路的運用與原理

2.6.1 除2電路架構簡介

$\div 2$ 電路廣泛運用在正交相位訊號的產生以及Synthesizer中。由於 $\div 2$ 的速度比其他除數的除頻器還要快，所以被用來接在synthesizer 的VCO之後，將頻率降到programmable divider(可程式除頻器)可用的範圍(圖2.32)。不過加入 $\div 2$ 電路到synthesizer後， f_{REF} 必須變為原來沒加 $\div 2$ 電路的一半，以維持同樣的解析度，Synthesizer的loop bandwidth就變小。

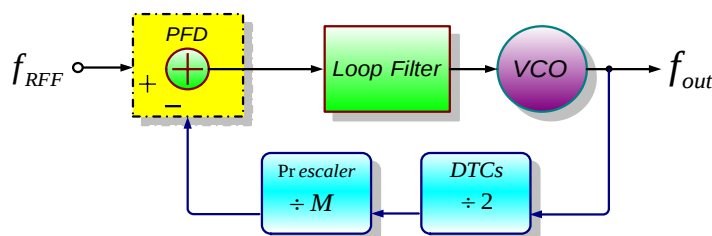


圖2.32 除2電路在Synthesizer上的運用

簡單的來說， $\div 2$ 電路就是將兩的D-type的latch作負回授(圖

2.33)，也就是將D-type的Flop-Flip的 $\bar{Q}$ 接回D，訊號由CK端輸入。為了達到最高的運作速度，必須採用最快速的電路架構：在BJT上稱為ECL(emitter coupling logic)或在MOS上稱為CML(current mode logic)。在ECL架構下實現出來的latch電路是由一組differential pair加上regenerative pair形成(圖2.34)，而驅動該電路需要用一組differential的clock訊號。單一D-latch的運作過程如下：當CLK為high時，訊號由D端讀入differential pair中，此時的regenerative pair處於off狀態；當CLK為low時，differential pair停止讀取動作，regenerative pair開始將訊號鎖在該cross-coupled的latch架構中。雖然用ECL實現出的latch可以高速操作，相對的功率消耗也相當可觀。

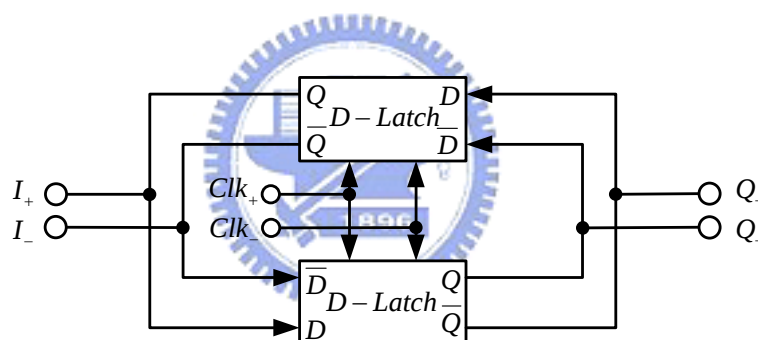


圖2.33 D-latch組成的DFF

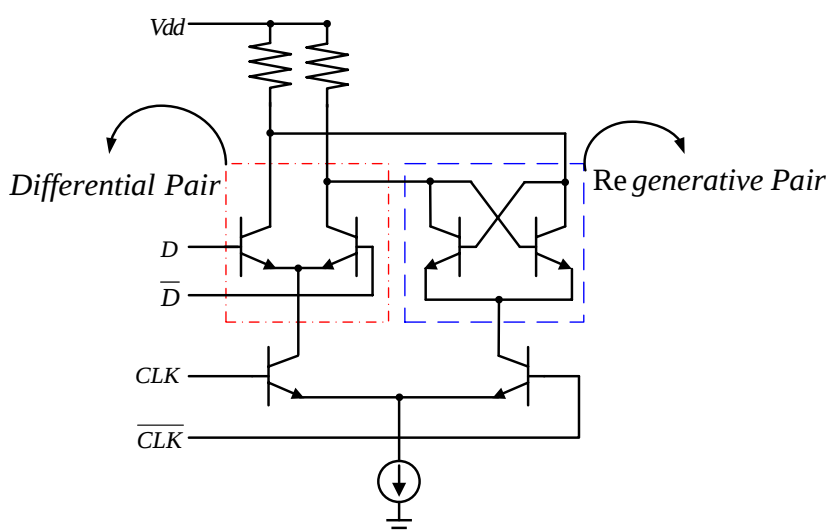


圖2.34 單一D-latch的電路圖

圖2.34在使用上會發生一些問題，當輸出訊號的swing很大時，會造成Regenerative pair的電晶體變成saturation，訊號就無法鎖住，因此在cross-coupled的路徑上加上一組emitter follower，讓Qr1和Qr2不會發生saturate的現象。”實作一”和接下來的實作都是用此架構來實現ECL的核心電路。

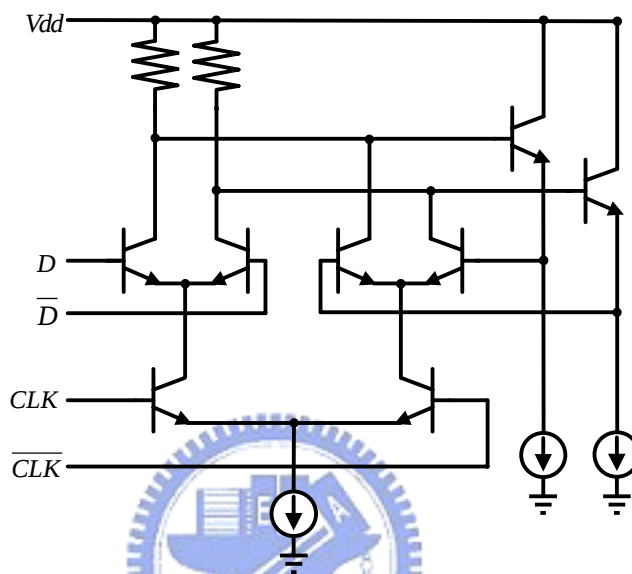


圖2.35 實際使用的D-latch電路圖

2.6.2 Emitter-Coupled Inverter之電路特性

ECL的核心其實就是一個Differential放大器，只是現在不是用來產生高增益。圖2.36是利用GaAs HBT的device model來模擬實際上的ECL電路特性，其中Differential輸入的一端掛上 $V_{ref}=2.5V$ ，對 V_{in} 作掃電壓的動作。經過模擬後可以畫出out1和out2的變化圖2.37，圖中可見logic level high等於 $V_{dd}=5V$ ，而logic level low等於 $V_{dd}-R_c I_{ee}$ ， R_c 是掛在輸出端的電阻； I_{ee} 是ECL的current source提供的電流大小。在此模擬下使用 $R_c=50$ 、 $I_{ee}=1mA$ ，所以在圖2.37可看出電路的輸出 $swing=R_c I_{ee}=50mV$ ，輸出訊號的大小只跟 R_c 與 I_{ee} 有關。此外， V_{in} 只須變化340mV就可以做出logic level的判斷，相對於MOS inverter小

了很多，所以在速度上HBT的表現較佳。

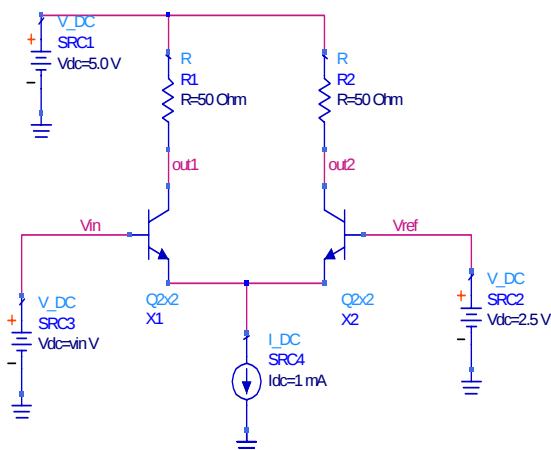


圖2.36 模擬ECL Inverter特性的電路圖

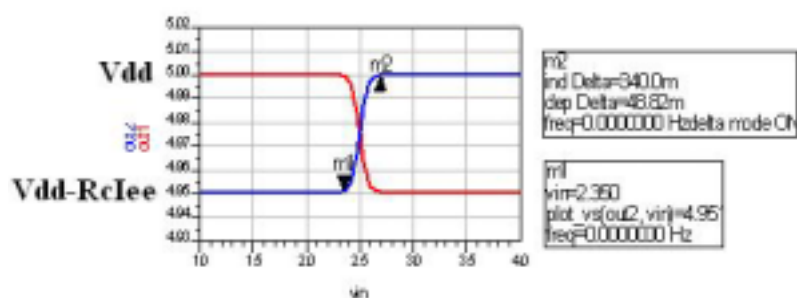


圖2.37 ECL Inverter的輸出變化圖

ECL的最大增益如下：

$$A_{v1} = \left. \frac{\partial V_{out1}}{\partial V_{in}} \right|_{V_{in}=V_{ref}},$$

$$V_{out1} = V_{cc} - R_c I_{c1} = V_{cc} - R_c \frac{\exp\left(\frac{V_{in} - V_{ref}}{V_T}\right)}{1 + \exp\left(\frac{V_{in} - V_{ref}}{V_T}\right)}$$

$$A_{v1} = -R_c I_{ee} \cdot \left(\frac{\frac{1}{V_T} \exp\left(\frac{V_{in} - V_{ref}}{V_T}\right)}{1 + \exp\left(\frac{V_{in} - V_{ref}}{V_T}\right)} - \frac{\exp\left(\frac{V_{in} - V_{ref}}{V_T}\right)}{\left(1 + \exp\left(\frac{V_{in} - V_{ref}}{V_T}\right)\right)^2} \cdot \frac{1}{V_T} \exp\left(\frac{V_{in} - V_{ref}}{V_T}\right) \right),$$

$$\text{且 } V_{in} = V_{ref}, \quad A_{v1} = -\frac{R_c I_{ee}}{V_T} \left(\frac{1}{2} - \frac{1}{(2)^2} \right) = \frac{-R_c I_{ee}}{4V_T} = -\frac{\text{Output Swing}}{4V_T},$$

當 $|V_{in} - V_{ref}|$ 大於 $4V_T$ ，ECL 就可提供大於一的增益，logic level 就可以儲存在該 logic gate 中。而最小的 Swing 必須大於 $3V_T$ ， A_{v1} 才能大於一，不過通常在設計時會取 $5V_T$ 左右，以免受 noise 干擾後造成 logic level 錯誤。

HBT 的 r_e 對 A_{v1} 也會造成影響，因為 r_e 就像是 series-series 或是 emitter degeneration 架構，會使增益下降，輸入訊號必須產更大的 Swing 來確保 full swithing。通常會設計 $r_e \cdot I_{ee} \leq V_T$ 降低 r_e 對電路的影響，不過會有以下的 trade-off：(1) 如果降低 I_{ee} ，為了維持相同的 Output swing， R_c 必須變大，RC time constant 也就跟著上升，造成速度下降。(2) 如果想把 r_e 變小，必須使用較大電晶體，但是寄生電容也會因此變大，電路速度還是受限。

2.6.3 ECL 之週邊電路

(1) Current Source：

加上 R_1 和 R_2 電阻後可以讓 I_1 和 I_2 比較不受 V_{BE} mismatch 影響，不過會造成 200~400mV 的電壓降。如果對 I_1 和 I_2 的比例特別注重，可以調整 Q_1 和 Q_2 的電晶體大小。更重要的保持 Q_1 和 Q_2 一直在 active 狀態，不然 CB 間的接面會產生大電容，使電路速度大幅降低。

$$I_1 \approx \frac{V_{B1} - V_{BE1}}{R_1}, \quad I_2 \approx \frac{V_{B1} - V_{BE2}}{R_2}.$$

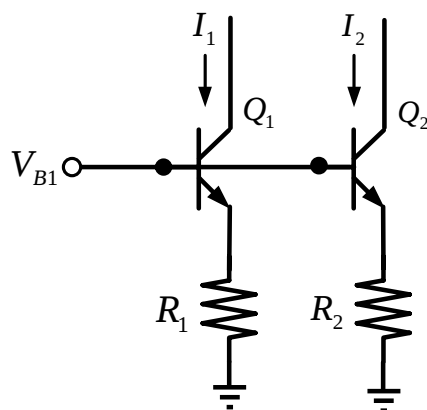


圖2.38 電流源電路圖

(2) Emitter Follower :

提供 V_{BE} 的level shift以及足夠的驅動電流。

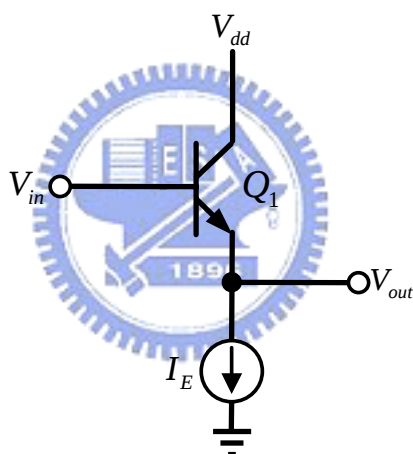


圖2.39 Emitter Follower電路圖

(3) Differential clock產生方式：

在高頻操作的狀態下要產生一個balance的clock訊號並不容易。訊號產生器或是外接的Resonator都是sigle-ended的，要用電路的方法來產生differentail的輸出(圖2.40)就會在phase與amplitude上造成imbalance。如果沒有辦法產生balance的clock，要利用÷2電路來產生quadrature訊號，I、Q就會有大的phase error。

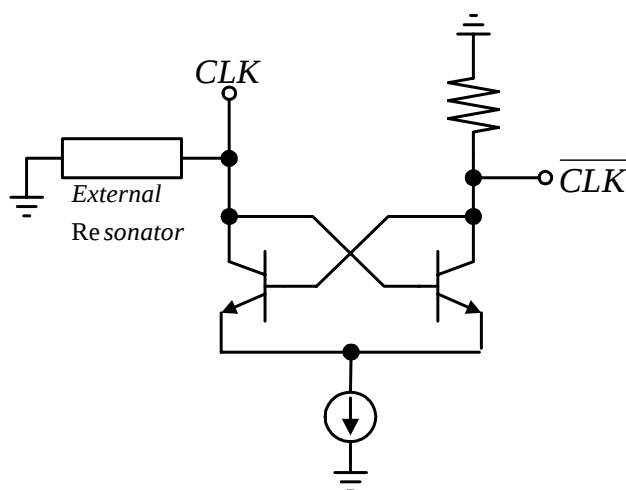


圖2.40 差動的clock產生器

(4) ECL 電路的設計模式：(以圖2.41來說明)

(4.1) 給定一個output swing, $I_{ee}R_c$ 就可以確定。為了加快電路的速度，必須讓 R_c 變小，因此 I_{ee} 必須調大。

(4.2) 通常 I_{ee} 會選在離 $f_{T,max}$ 稍低的值，在不發生high-level injection的情況下，讓電路速度維持在極值。

(4.3) I_F 的設計是依據fan-out的多少，最多約為 I_{ee} ，不過通常比較少一點，大概用 $1/2I_{ee}$ 就足夠。最終還需要用模擬軟體來驗證是否設計妥當。

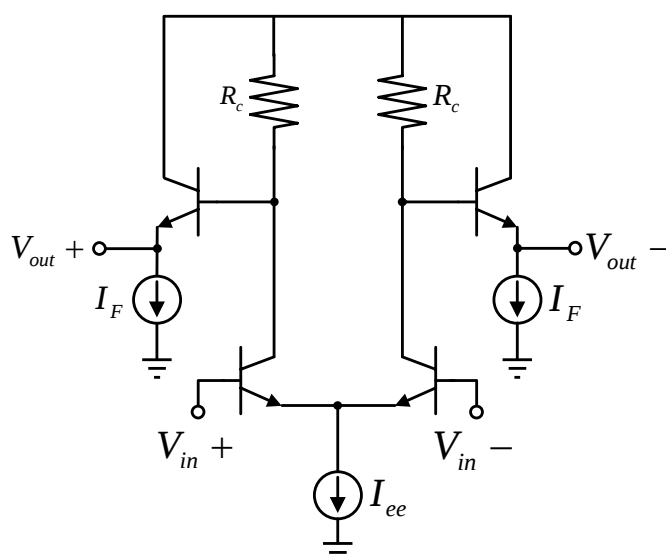


圖2.41 差動的ECL Inverter

2.7 實作二，Static Frequency Divider (GaAs HBT)

2.7.1 研究動機

當Master-slave D-flip-flops以2位元頻率操作時，可依其特性的好壞來評估將來可能設計出數位電路的速度特性。因此本次實作主要利用GaAs高速元件的特性：較高的電子移動及較短的傳輸時間，設計出除二電路來測試GaAs製成下可達到最高除頻範圍。

2.7.2 架構簡介

此晶片電路包含三個部分，包括single to differential輸入級，ECL除二電路，及輸出緩衝級。整體架構上是使用差動信號來操作，提高抗雜訊的能力且使用一個簡單的偏壓網路來產生整個電路所需要的偏壓。如下圖示：

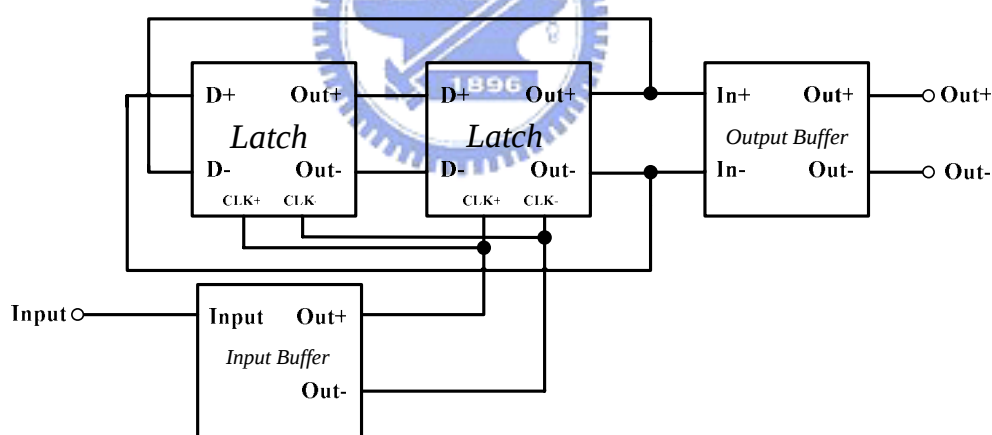


圖2.42 Divide-by-2 block diagram

(1) Input buffer stage :

使用的輸入級具有單端輸入轉差動輸出之功能，且能有效隔絕在量測時的儀器端或是實際在電路上的VCO對除二電路之干擾。此外，也能達成input matching (50Ω)的效果。

(2) 除二電路：

為了高速考量，採用emitter coupled logic (ECL)主從式正反器組成除二電路以達高速之要求。此除二電路乃由兩級D型存鎖器(d-latch)所組成；每一級電路均由一差動放大器與一存鎖電路組成，利用電流切換方式切換電流。當CLK信號觸發第一個latch時，將信號讀入latch；在CLK=low時，讀入的訊號會鎖在第一個latch中；下一個CLK信號產生後上述的步驟會再次發生在第二級的latch中，並且將訊號反向送回第一級的latch，因此每隔一個CLK輸出端才反相，頻率為CLK之一半，此即為除二電路之原理。此外，為了提升differential pair與regenerative pair的讀寫速度，在訊號輸入端(D)與regenerative pair的feedback入徑上多加一組emitter follower，如下圖所示的input端emitter follower和output emitter follower，可讓電路運作更快。

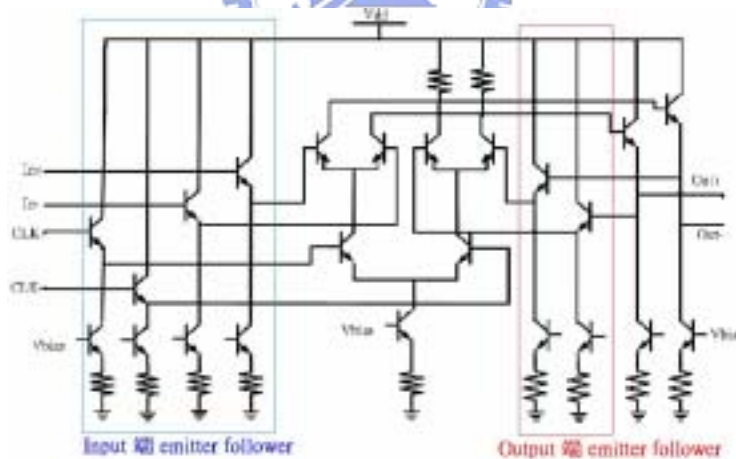


圖2.43 D-Latch Schematic

(3) Output Buffer Stage：

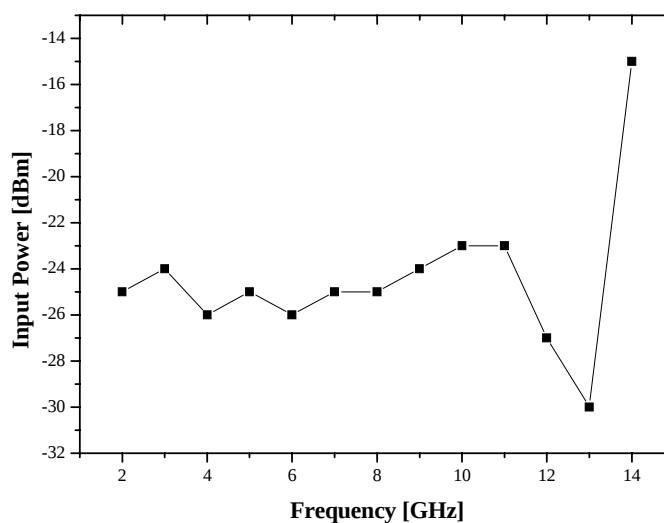
除法器之輸出端也是很容易受一下級影響，直流位準及阻抗匹配也不容易達成；因此要有一個良好的輸出緩衝級才能有效的達成完整的電路。所以本電路選用一差動對及emitter follower（ECL中較

好的輸出介面電路) 組成輸出緩衝級，且可藉改變輸出級的電流來達到Output Matching的效果。用高電流來產生低等效組抗，讓大部分的輸出訊號能被50歐姆load接收。

2.7.3 預計規格列表

Item	Spec
Supply Voltage (core)	5 V
Supply Current (core)	13 mA
Supply Current (input buffer)	7.37 mA
Supply Current (output buffer)	12.3 mA
Supply Power	163 mW
Operational Frequency	2GHz ~ 10GHz
Output Power	5GHz : -1.763dBm 2.6GHz : -1.933dBm 1.2GHz : -0.174dBm
Die size	1mm × 1mm

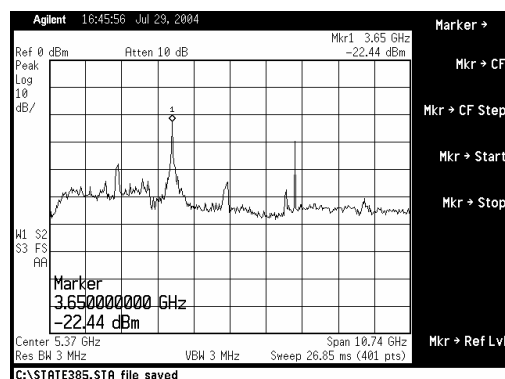
Sensitivity



上的量測沒有 oscilloscope 的量測圖形。

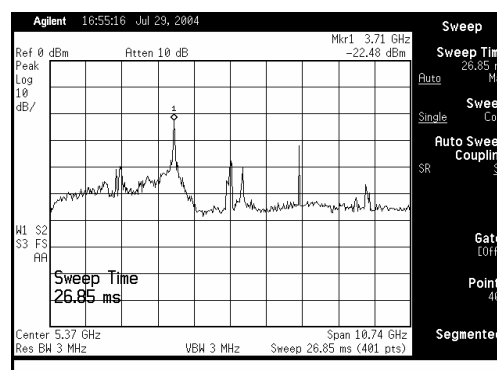
(4) @ input freq. 7.3GHz :

output freq. 3.65GHz, -22dBm

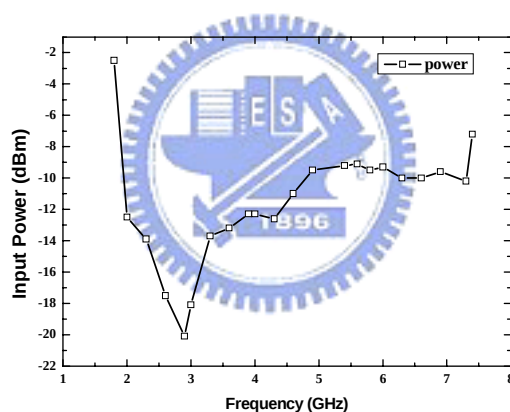


(5) @ input freq. 7.4GHz :

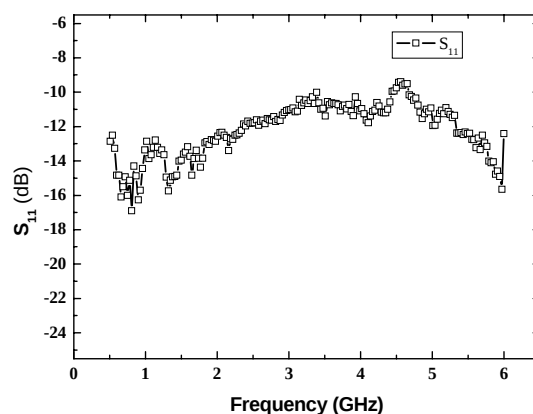
output freq. 3.71GHz, -22dBm



(6) Input sensitivity characteristic of the prescaler.

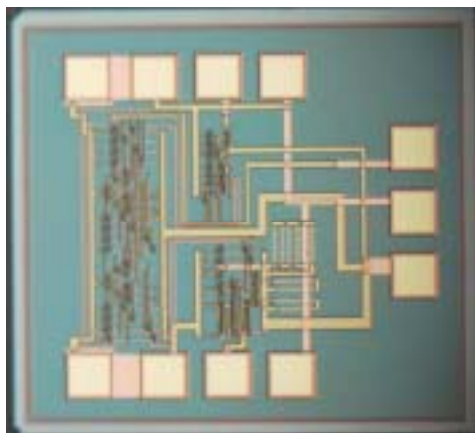


(7) Input matching performance :



2.7.5 結論與討論

(1) Die photo



(2) chip performance

Item	Measurement
Supply Voltage	5 V
Supply Current	31.7 mA
Core Current	12.12mA
Supply Power	158.5 mW
Operational Frequency	2GHz ~ 7.4GHz
Die size	1mm × 1mm

本次實作結果在DC及matching方面與模擬一至，唯最高操作頻率沒達到模擬預期的10GHz，可能是寄生的效應在模擬時沒有完全估算到。從量測的sensitivity圖形可看出在input端和回授端各多加入一組emitter follower確實可將電路的操作頻率往高頻撐，即使頻率超過最sensitive的頻率，最小輸入訊號不會一下子暴增，在輸入-10dBm的情況下還可操作到7.4GHz，這次的結果可作為GaAs製程下高速電路的操作頻率指標。

2.8 實作三，Dynamic Frequency Divider (GaAs HBT)

2.8.1 研究動機

除法器中最廣為使用的是以Static D-FF為building block組成的除法器，但是其在高頻時操作會受限於元件的物理特性($f_{\max}$)而無法操作；所以針對此點，我們選用了Dynamic D-FF架構，以求達到較高頻的操作範圍。近年來光纖通訊也開始蓬勃發展，其關鍵的building block：MUX，DEMUX就是利用D-FF組成，所以設計出高速的D-FF光纖通訊的頻率可再提升。

2.8.2 架構簡介

一般Divide-by-two電路包含三個部分(圖2.39)，包括：(1) single to differential的clock buffer，(2) ECL除二電路，且使用Static的Flip-Flop來實現。(3)最後是輸出緩衝級，以提升驅動負載的能力。整體架構皆使用差動信號來操作，提高抗雜訊的能力且使用一個簡單健全的偏壓網路來產生整個電路所需要的偏壓。

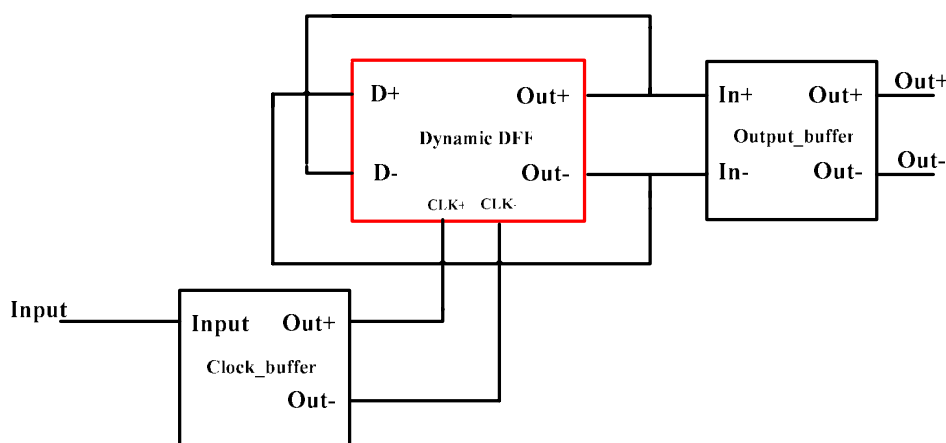


圖2.44 動態除頻電路之示意圖

這次的實作中，在clock buffer上做了改變並在核心電路的D-FF部分改採Dynamic的電路架構。

(1) Clock buffer stage :

傳統的clock buffer的輸出在高頻時要維持 180° 的相位差和相同振幅大小並不容易，通常得加入peaking電感讓buffer的操作頻率撐到高频，不過晶片面積及電感的自振頻率還是造成設計上的限制；如果要藉rate-race來產生differential訊號，會浪費更大量的晶片面積。因此，這次電路直接將single-ended的輸入訊號灌入 V_{in}^+ ，而 V_{in}^- 則是用電容(Cap1)串接到地(圖2.40)。藉著輸入偏壓電路(Node A)提供AC coupling的路徑使differential的操作仍可行。在input matching方面可調整input network中的 $R_{m1} \sim R_{m3}$ 電阻來獲得所需的 S_{11} 值。

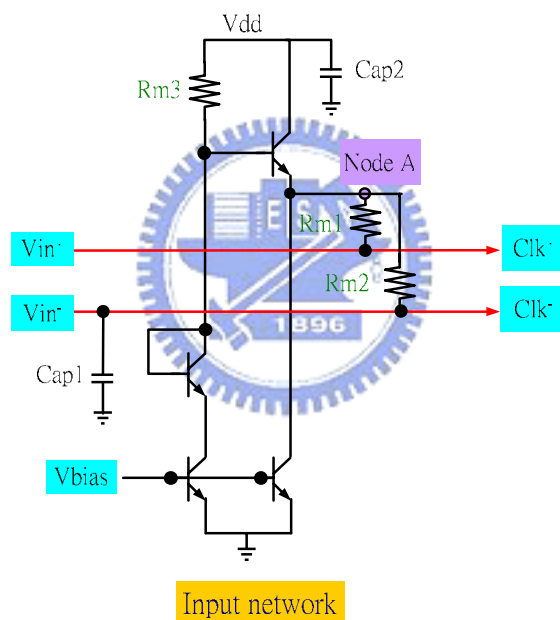


圖2.45 Differential Clock的產生方式

(2) 除二電路：

為了高速考量，所以由emitter coupled logic(ECL)主從式正反器組成除二電路以達高速之要求。此除二電路由兩級D型存鎖器(d-latch)所組成，且利用Dynamic的架構來實現。傳統的master-slave D-FF(圖2.46)是將各級latch的電流源各自獨立。用bipolar來實現除二電路的

話，通常只能工作到四分之一至三分之一的 $f_{\max}$ 頻率，如過我們希望將除二 IC運用到optical fiber系統中，必須有 $f_{\max}$ 上百GHz的元件才有可能達到數十Gb/s的性能。就目前的IC技術來講，能達到如此高速的元件的價格都相當高，使商業產品的成本大幅上升。

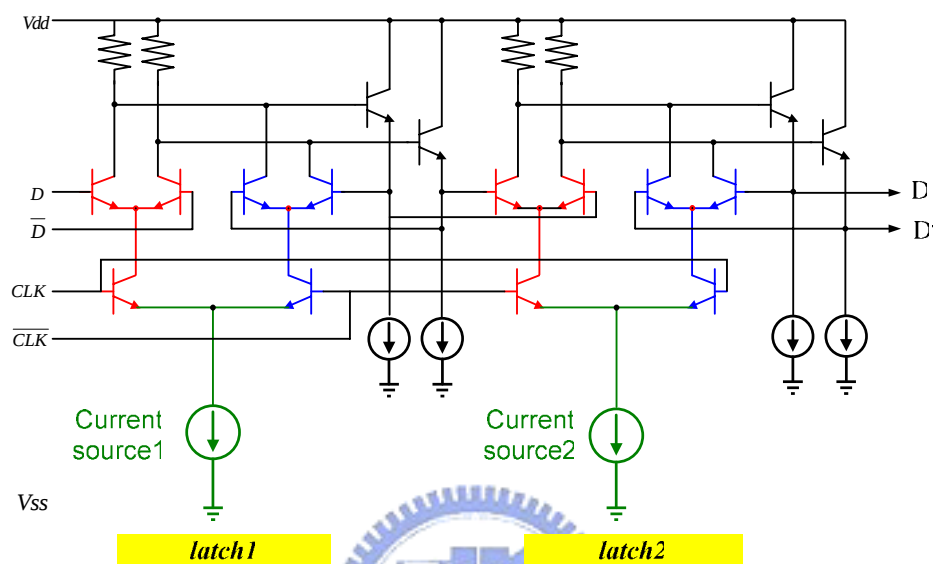


圖2.46 Static DFF

如果使用dynamic的D-FF(圖2.47)，該結構有以下特性：一、read和latch的bias電流路徑分開。二、讓latch的電流比read的小。

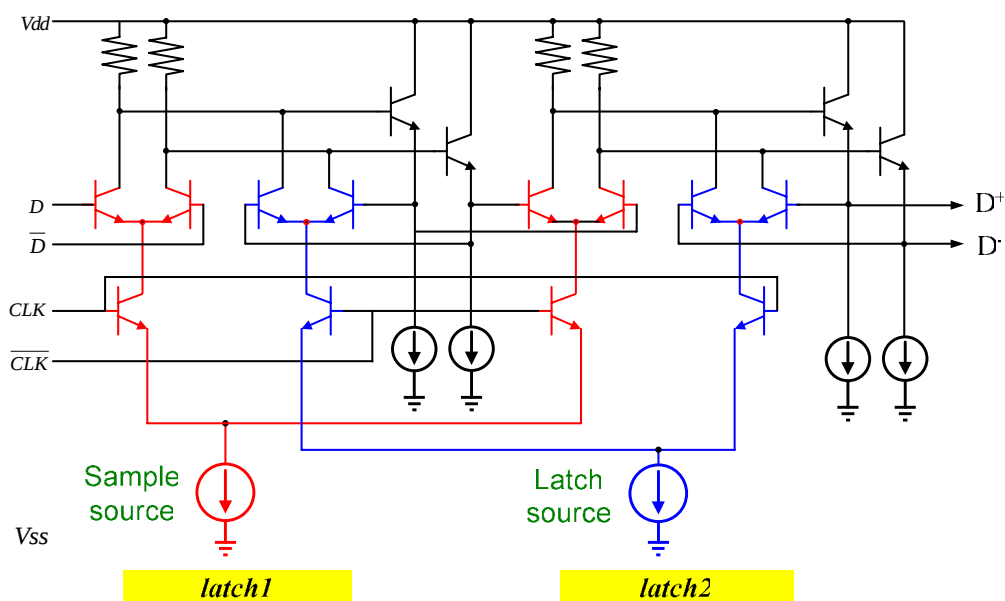


圖2.47 Dynamic DFF

dynamic能比static快的原因如下：

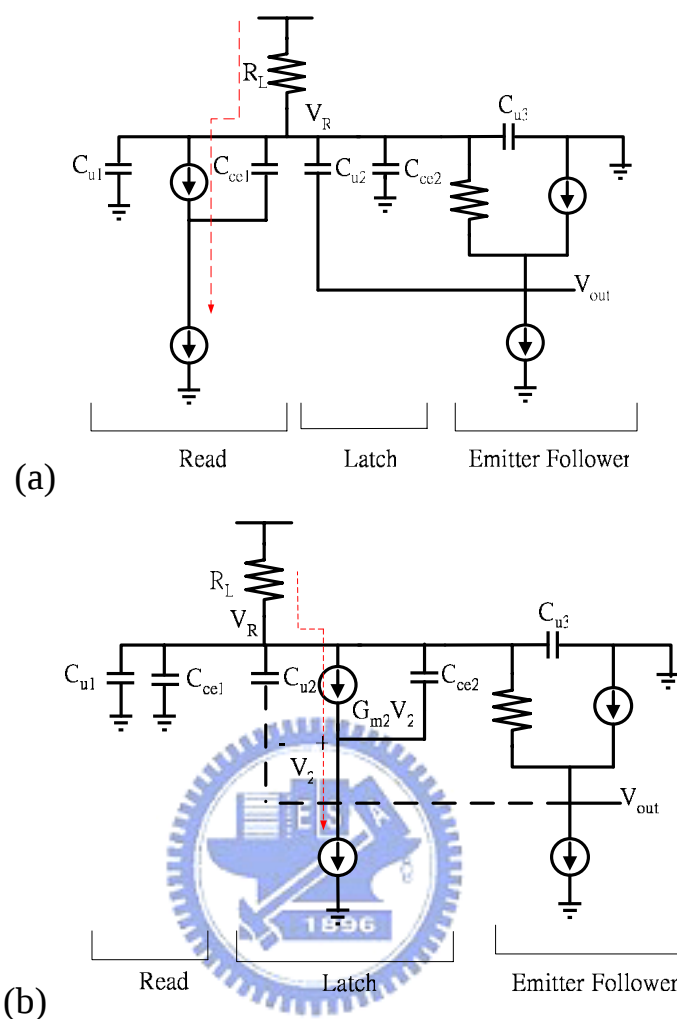


圖2.48 動態除頻器的小訊號等效電路 (a) clock = high (b) clock = low

由小訊號電路(圖 2.48)可知clock等於high以及clock等於low的 RC time constant以及 V_R 的time domain的response：

@ clock=high

$$\tau_{high} = R_L (C_{\mu 1} + C_{ce1} + 2C_{\mu 2} + C_{ce2} + C_{\mu 3})$$

$$V_{Rh}(t) = R_L I_1 (1 - \exp(-t / \tau_{high}))$$

@ clock=low

$$\tau_{low} = \frac{R_L}{1 - G_{m2} R_L} (C_{\mu 1} + C_{ce1} + 2C_{\mu 2} + C_{ce2} + C_{\mu 3})$$

$$V_{Rl}(t) = V_{\alpha}(\exp(-t / \tau_{low}))$$

而 τ_{low} 式中的 G_{m2} 是因為latch-part的正回授所造成。如果 $G_{m2}R_L$ 大於一， $V_{Rl}(t)$ 會快速的達到 V_{α} ；如果 $G_{m2}R_L$ 小於一，則 $V_{Rl}(t)$ 小於 V_{α} ；這表示latch-part不能維持住data。所以我們只要把latch-part的 G_{m2} 的調到比static的D-FF小， τ_{low} 就能比static的小，dynamic的D-FF的切換速度就能比static的快。

如果不用上述的小訊號來分析Static與Dynamic速度上的差異，藉由timing diagram(圖2.49)的變化也可以說明Dynamic速度快的原因。因為Static在read及latch的電流大小一樣，所以造成的output swing都是 $I_{read} \times R_L$ ，相對的在Dynamic架構下latch的電流比read小，所以在latch時output swing會減小到 $I_{latch} \times R_L$ ，所以訊號由low轉high所需的時間相對變小，即使latch時的slew rate比較低，在適當的設計下Dynamic就可以比Static快上 Δt 。

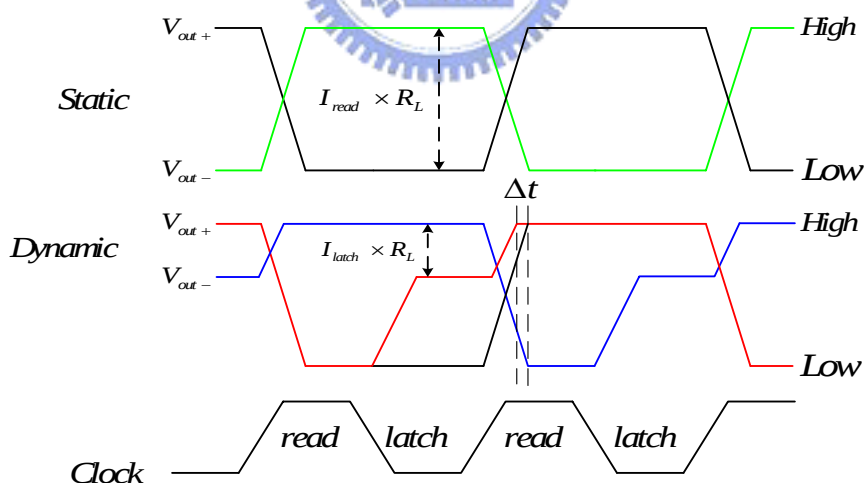


圖2.49 Static與Dynamic的timing diagram

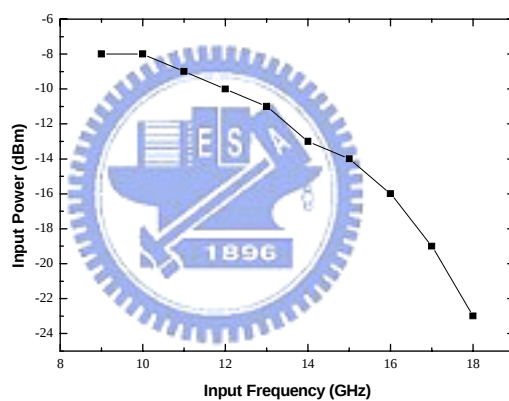
(3) Output Buffer Stage :

Output buffer的架構與用途和”實作二”一樣。

2.8.3 預計規格列表

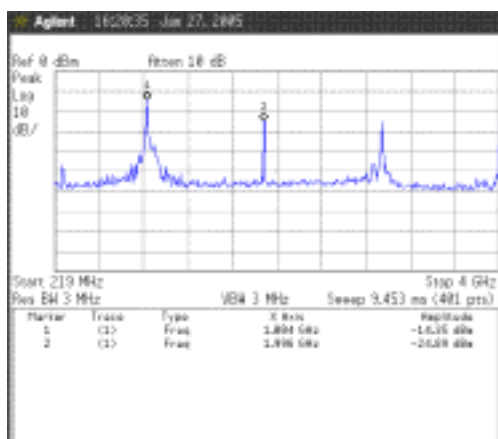
Item	Spec
Supply Voltage	5 V
Current of Dynamic D-FF core	13.1 mA
Current of Input Network& Output buffer	21.52 mA
Supply Power	~ 173.1 mW
Operating frequency range	9GHz~18GHz
Die size	1000 um × 1000 um

Sensitivity

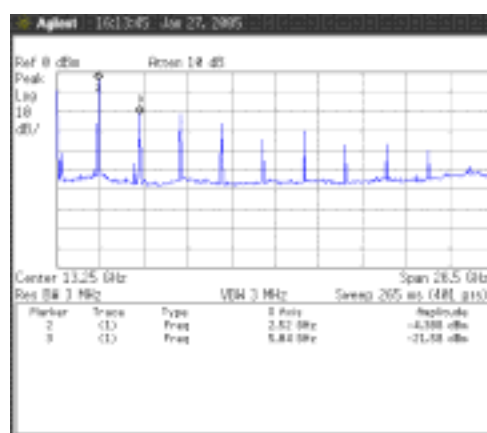


2.8.4 實測結果

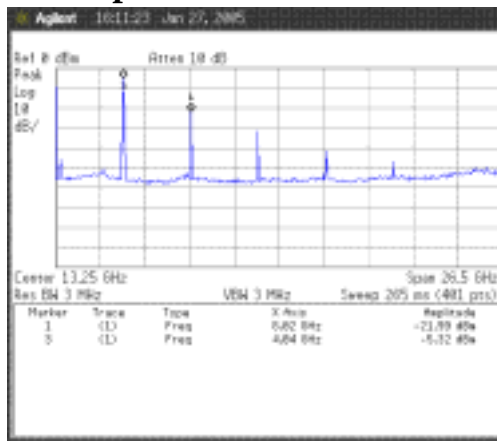
(1) output 1GHz
when input 2GHz:



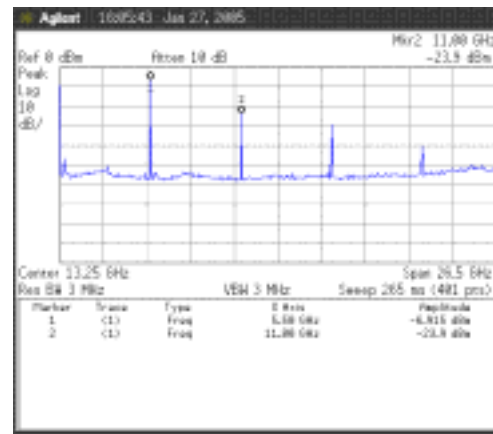
(2) output 2.5GHz
when input 5GHz:



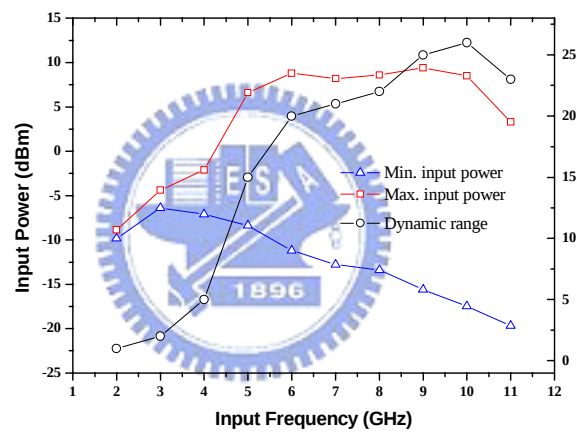
(3) output 4GHz
when input 8GHz



(4) output 5.5GHz
when input 11GHz

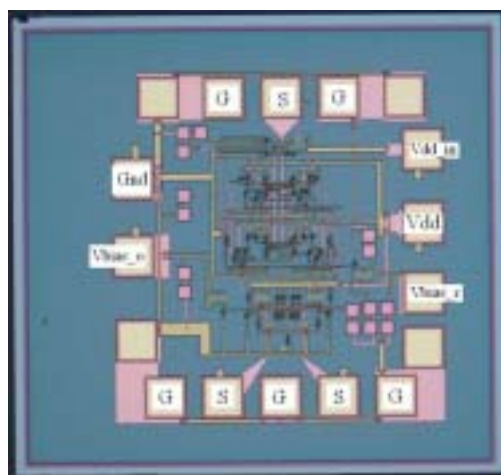


(5) Sensitivity :



2.8.5 結論與討論

(1) Die photo



(2) chip performance

Item	Measurement
Supply Voltage	5 V
Input buffer Current	3.4 mA
Core & Output buffer Current	24.7mA
Core bias current	0.74mA
Output buffer bias current	0.98mA
Total Supply Power	149.1 mW
Operational Frequency	2GHz ~ 11GHz
Die size	1mm × 1mm

這次所使用的動態架構確實比之前下線的靜態架構更能在高頻運作，靜態的最高操作頻率約7GHz，而動態的最高操作頻率可達11GHz，在不增加功率消耗的前提下提升了約48.6%的操作頻段。從模擬中預測的操作頻率比實際上量測的更高，可能是GCT所提供的元件model在高頻時有部分寄生效應沒估算到，且沒有提供post-layout simulation的功能，這些寄生效應在高頻時格外明顯，所以電路在量測時並沒能與模擬一致，但sensitivity的趨勢相近。

2.9 實作四，Superdynamic Frequency Divider (GaAs HBT)

2.9.1 架構簡介

這次設計的D-FF採用Super-dynamic架構。Super-dynamic是利用dynamic的結構在regenerative pair再疊加上一組Emitter-coupled negative feedback pair(ECNFP)(圖2.50)，所以這結構仍保有dynamic的特性，在速度上可以更加提升。

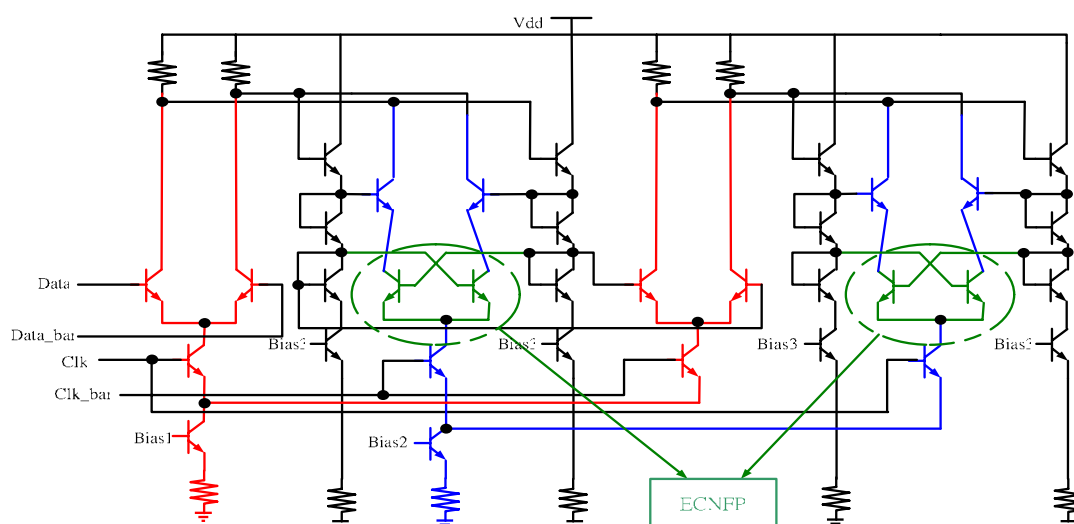


圖 2.50 Super-dynamic D-FF circuit

當super-dynamic D-FF運做在低頻(clock=1GHz; Data=500MHz)時，其輸出波型如圖2.51。在每次read和latch的過程中只在read 和 latch的一開始，輸出的data會有一小段時間將輸入的data正確的表示出來(correct data information)，之後complementary的輸出電壓會因 ECNFP 的作用強迫相等(equalized by ECNFP)，而平衡在原來 Dynamic輸出振幅的中間位置。Super-dynamic D-FF就是利用此特性來實現，當clock的輸入頻率很高時，讓ECNFP造成的水平電壓準位持續的時間幾乎為零，DFF的特性就會出現。同時ECNFP減小了有效的logic swing而不會降低slew rate，使操作頻率更加提升。

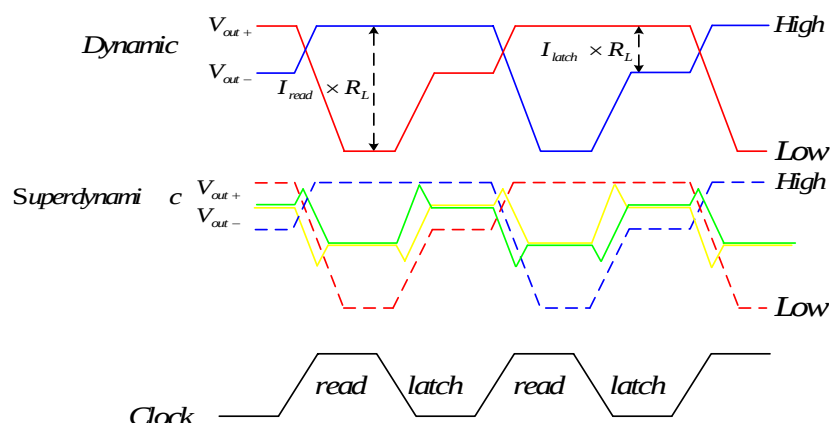
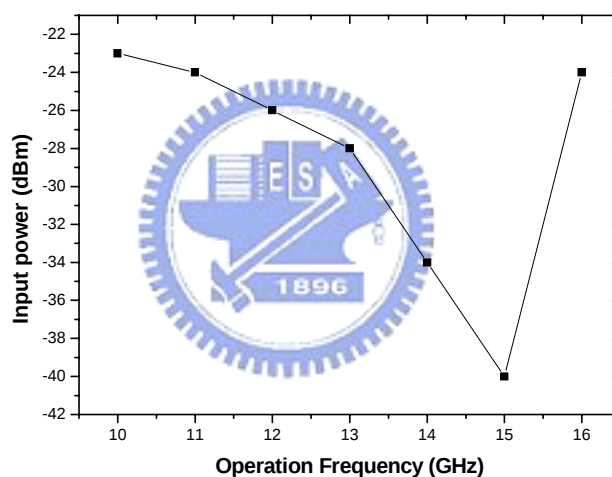


圖 2.51 Super-dynamic output waveform

2.9.2 預計規格列表

Item	Spec
Supply Voltage (core)	5 V
Supply Current (core)	5.88 mA
Supply Current (input buffer)	11 mA
Supply Current (output buffer)	13.7 mA
Supply Power	152.9 mW
Operational Frequency	10GHz ~ 16GHz
Die size	1mm × 1mm

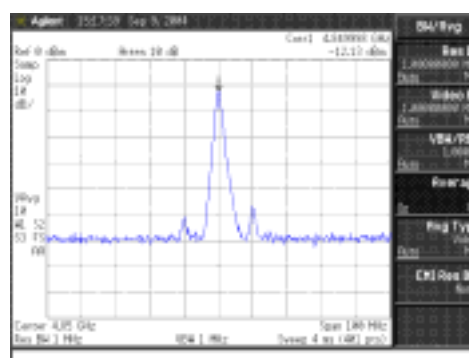
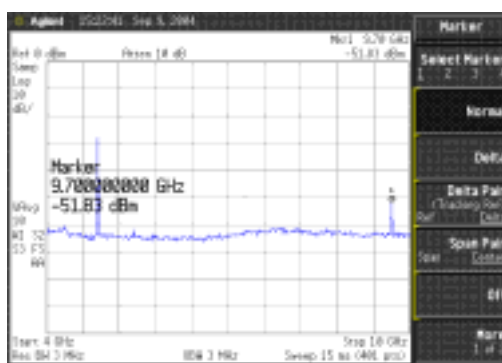
Sensitivity:

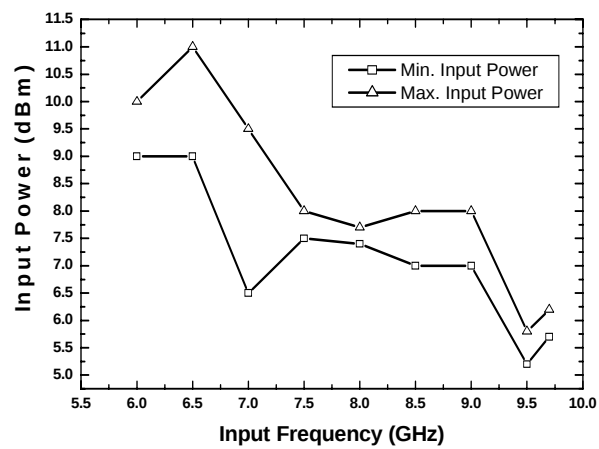


2.9.3 實測結果

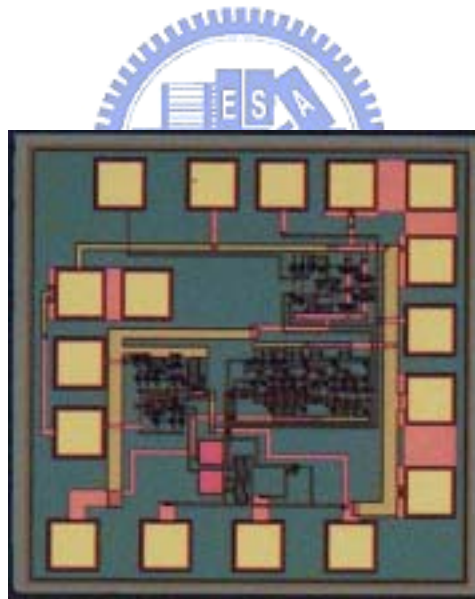
(1) @ Input 9.7GHz Spectrum analyzer :

Output peak @4.85GHz, -12.13dBm :



(2) *Input sensitivity characteristic of the prescaler :*

2.9.4 結論與討論

(1) *Die photo :*(2) *Chip performance :*

Item	Measurement
Supply Voltage	5 V
Supply Current	31.5 mA
Supply Power	157.5 mW
Operational Frequency	6GHz ~ 9.7GHz
Die size	1mm × 1mm

本次實作結果在DC方面與模擬一致，唯最高操作頻率沒達到模擬預期的16GHz，可能是寄生的效應在模擬時沒有完全估算到。從這次的量測結果與上次下線的static frequency divider作比較，這次的最高操作頻率確實比上次高31%，不過也喪失了部分低頻操作的能力，必須高於6GHz才能除頻。Super-dynamic的電路架構原先是用於CMOS，好處是可以將MOS的output swing減小，以增加操作頻率，但是HBT的電路特性output swing原本就不大，如果要看到super-dynamic的特性勢必要加大input power讓output swing大一些。由sensitivity圖形可看出這次的input power必須大於6dBm，在dynamic range的表現上不利於除頻使用。

2.10 實作五，Injection-locked Frequency Divider (GaAs HBT)



2.10.1 研究動機

這次的除頻電路不用傳統的Master-Slave的DFF，而是用VCO作為核心電路。以往除頻器在高頻操作所消耗的功率占PLL總功率的絕大部分，因此這次嘗試用VCO的Injection-locked的特性，加上VCO本身的消耗的功率就比digital frequency divider、regenerative frequency divider小，我們即可設計一個高頻低功率消耗的除頻器在設計VCO上。在VCO的設計上利用Emitter coupled pair with cross feedback的架構，並利用”耦合電感”作回授來提升VCO的振幅。

2.10.2 架構簡介

Injection-locked frequency dividers (ILFD)是注入一輸入訊號到VCO，將VCO與輸入同步化。依據注入訊號與VCO的輸出訊號的頻

率比例，可分為三類 injection-locked oscillator(ILO)：

(1)first-harmonic，輸入訊號頻率的基頻與VCO振盪頻率相同。

(2)subharmonic，輸入訊號頻率是VCO振頻率的分數。(3)superharmonic。輸入訊號頻率是VCO震盪頻率倍數。這次是利用superharmonic的ILO來實現ILFD。

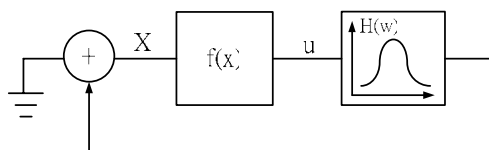


圖2.52 Free running VCO

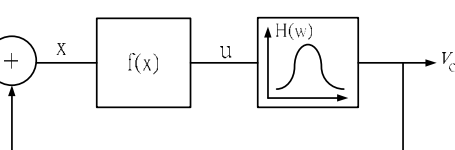


圖2.53 Injection-locked VCO

圖2.52表示free running LC oscillator的模組示意圖。 $f(x)$ 代表整的LC oscillator 的非線性效應； $H(\omega)$ 表示選頻區塊(LC resonator)；而我們所需的ILFD就是利用原先oscillator架構再注入一輸入訊號 V_i (圖2.53)。由於使用VCO的關係，ILFD仍得符合unity loop gain和zero phase excess以維持震盪，如果以上任一條件失效，ILFD也無法運作。

當ILFD運作在除二的工作條件下，假設 $f(x)$ 是三階多項式($f(x)=a_0+a_1x+a_2x^2+a_3x^3$)，輸入訊號： $v_i(t)=V_i\cos(\omega_i t+\phi)$ ， ϕ 是輸入與輸出的phase差；輸出訊號： $v_o(t)=V_o\cos(\omega_o t)$ ； $u(t)=f(x(t))=f(v_o(t)+v_i(t))$ ；

$$H(\omega) = \frac{H_0}{1 + j2Q \frac{\omega - \omega_r}{\omega_r}}$$

quality factor。

藉由以上的假設可以推導出 phase-limited 的鎖頻範圍和 gain-limited 的鎖頻範圍：

$$(1) \text{ phase-limited} : \left| \frac{\Delta\omega}{\omega_r} \right| < \left| \frac{H_0 a_2 V_i}{2Q} \right|$$

ω_r 是VCO free-running的輸出頻率， $\Delta\omega$ 是對 ω_r 的一段偏移量， V_i 是輸入訊號的振幅大小。由此限制可知：如果固定 V_i ， $\frac{H_0}{Q}$ 越大，鎖頻範圍也會跟著加大。又因為 $\frac{H_0}{Q} = \omega L$ ，所以大電感可以增加鎖頻範圍。但是，如果考慮要使功率消耗降低，則是要讓LQ乘積最大，單獨使L變大會使寄生效應跟著變大，使LQ乘積無法最大，所以鎖頻範圍和功率消耗不能同時最佳化，要視設計需求作取捨。電感的自振頻率也對鎖頻範圍產生限制。

$$(2) \text{ gain-limited} : V_o = \sqrt{\frac{4}{3} \frac{1}{a_3 H_0} \left[1 - H_0 \left(a_1 + \frac{3}{2} a_3 V_i^2 + a_2 V_i \cos(\varphi) \right) \right]}$$

在phase-limited的條件中可知，增加 V_i 也可增加所頻範圍，不過當 V_i 增加到使 V_o 變虛數時，ILFD也就無法用作。

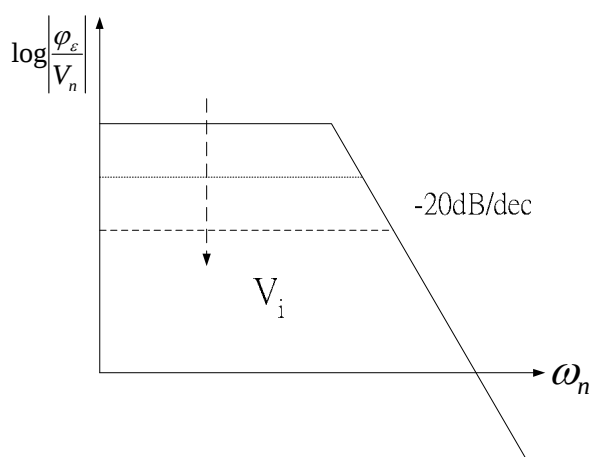


圖2.54 ÷2後的noise transfer function

ILO的雜訊轉移方程式可從paper上查詢其推導結果：

$\frac{d\varphi_\varepsilon}{dt} + \left[\frac{V_i}{AV_o} \cos(\varphi_o) \right] \varphi_\varepsilon = \left[\frac{V_n}{AV_o} \cos(\varphi_o) \right] \sin(\omega_n t + \varphi_n)$ 。由輸入端注入的雜訊

會受low-pass的雜訊轉移方程式影響(圖2.54)，在loop bandwidth ($V_i/(AV_o)\cos(\varphi)$) 內輸出訊號會跟隨輸入訊號的向位變化，而loop bandwidth會隨輸入訊號振幅變大而變寬。把ILO用於除N電路時，雜

訊轉移方程式變為 $\frac{d\varphi_\varepsilon}{dt} + \left[\frac{V_i}{AV_o} \cos(\varphi_o) \right] \varphi_\varepsilon = \frac{1}{N} \left[\frac{V_n}{AV_o} \cos(\varphi_o) \right] \sin(\omega_n t + \varphi_n)$ ，

noise rejection會上升N倍。

雖然ILFD本質上是窄頻的電路，不過利用VCO的 V_{tune} 來改變震盪頻率，可將操作頻率加寬。實際上運用的通訊系統大多為窄頻，所以ILFD的頻寬還能符合系統需求。

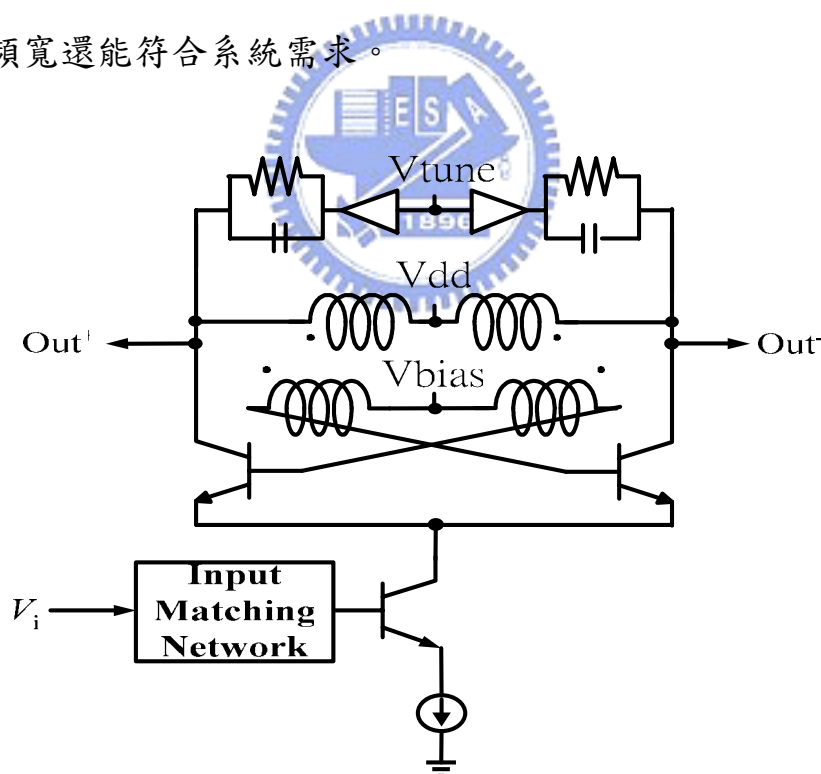


圖2.55 ILFD之電路圖

我們此次置於ILFD的VCO是用”耦合電感壓控式振盪器”如(圖2.55)所示，此設計同樣也採用Emitter coupled pair with cross feedback

的振盪器架構，相較以往不同的地方是，我們將利用耦合電感來作為回授的路徑。而原理是，將我們所要的回授訊號，透過電感的耦合回到輸入端。

此架構相較”直接回授”的好處是，輸出電壓的振幅不會因基極-集極接面所限制，可輸出大振幅。而相較採用”利用電容作回授”之電路的好處是，將不需要偏壓電阻，所以可以增加相位雜訊。

此架構將會產生 $-2/g_m$ 的負電阻造成振盪，而以回授的角度來觀看，即可以在其輸出端產生正回授。利用輸出端的負載，再經由適當的設計其共振頻率 $\omega = 1/\sqrt{LC}$ ，即可在想要的頻率產生周期性的輸出。

但由於HBT製程只能利用兩層金屬來繞線，所以要設計成垂直式的耦合電感相當不易，而這次我們將利用特殊的繞線方法，來達成只利用兩層金屬，就可設計一垂直耦合電感之電路，如圖2.56所示(利用IE3D來模擬出S參數)。

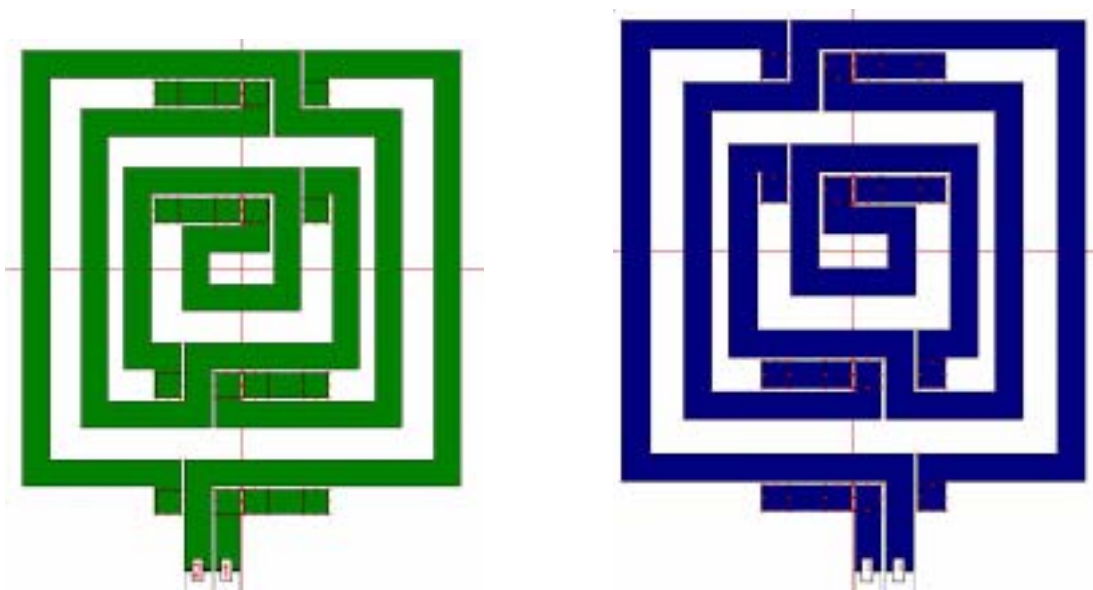


圖2.56 直耦合電感之layout圖

2.10.3 預計規格列表

Item	Spec
Supply Voltage	5 V
Current of VCO core	4.22 mA
Current of Current Mirror& Output buffer	8.35 mA
Supply Power	~ 62.85 mW
Operating frequency range	12.2GHz~13.2GHz
Phase Noise of Free running VCO	-105dBc/Hz@1MHz offset
Turning Range	6.37~6.57GHz
KVCO	40MHz/V
Die size	1000 um × 1000 um

2.10.4 實測結果

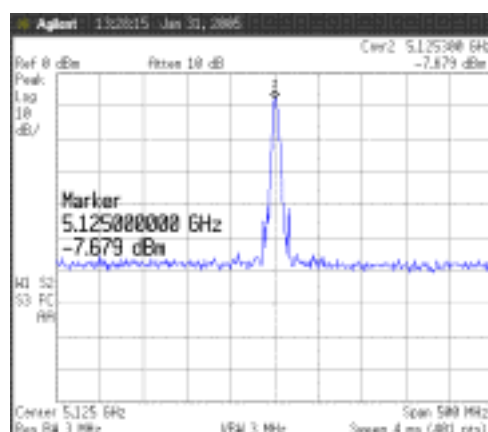
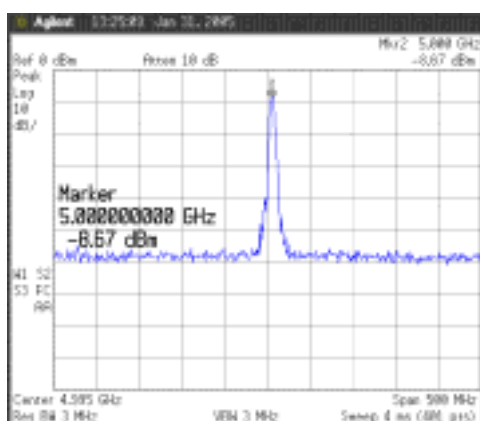
(1) Free running VCO

$V_{\text{tune}}=5\text{V}$, output freq.=5GHz,

Output power = -8.67dBm.

$V_{\text{tune}}=0\text{V}$, output freq.=5.125GHz,

Output power = -7.679dBm.



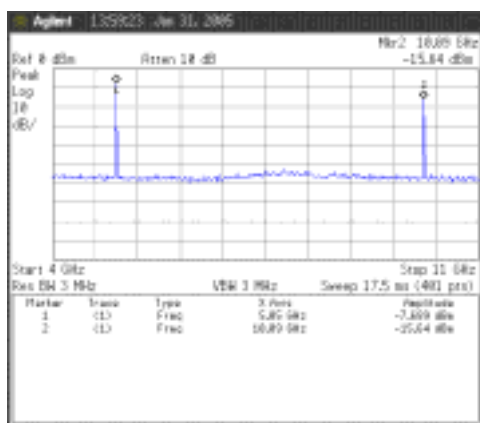
(2) Injection locked frequency divider 響應

以input power = -10dBm為例：

$V_{\text{tune}}=5\text{V}$,

Max. locked freq.= 10.09GHz,

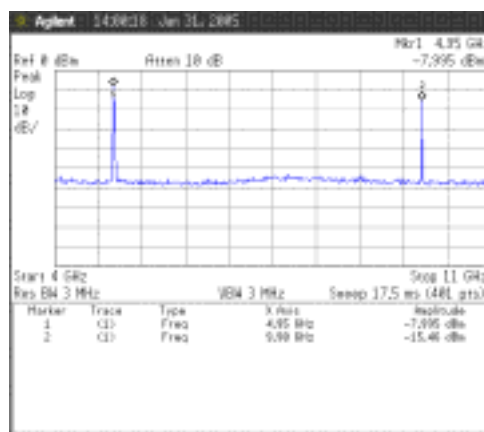
Output power = -7.689dBm.



$V_{\text{tune}}=5\text{V}$,

Min. locked freq.= 9.90GHz,

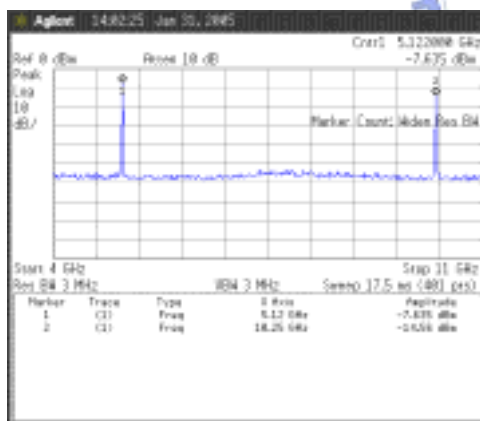
Output power= -7.995dBm.



$V_{\text{tune}}=1\text{V}$,

Max. locked freq.=10.25GHz,

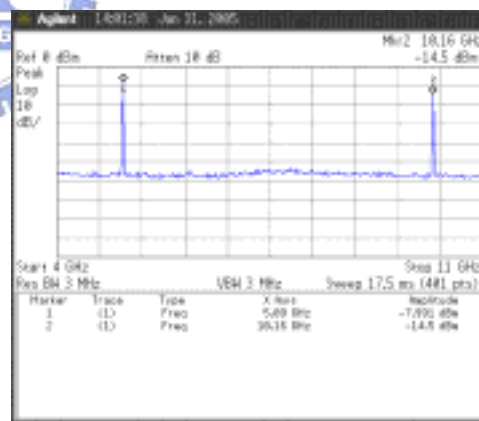
Output power=-7.635dBm.



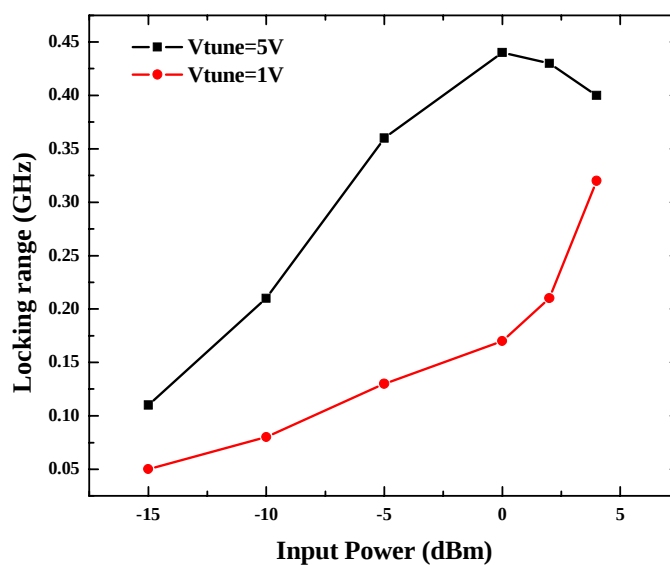
$V_{\text{tune}}=1\text{V}$,

Min. locked freq.=10.16GHz,

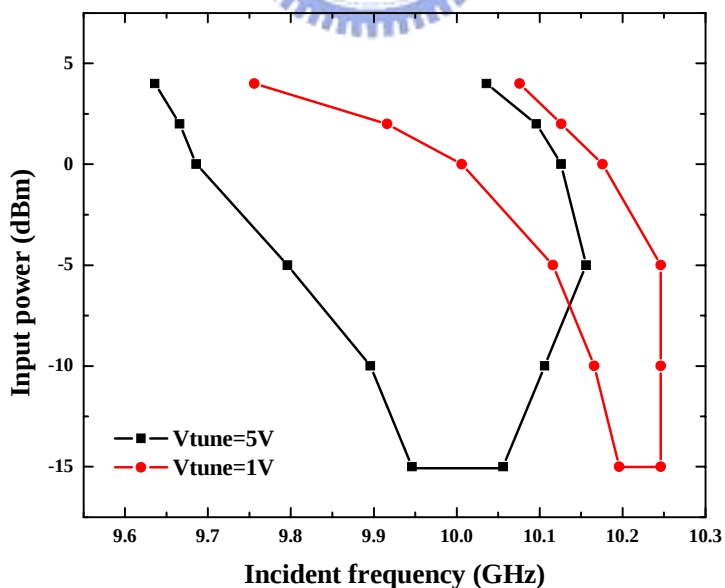
Output power=-7.991dBm.



下圖示 $V_{\text{tune}}=5\text{V}$ 以及 $V_{\text{tune}}=1\text{V}$ 在各種input power下的locking range量測結果。在 $V_{\text{tune}}=5\text{V}$ 、input power小於0dBm是處於phase limited range；而大於0dBm則處於gain limited range。而 $V_{\text{tune}}=1\text{V}$ 時，皆為phase limited range。可能是因為 $V_{\text{tune}}=1\text{V}$ 時振盪頻率較高，對應的LC-tank之Q值較高，phase limited就成的主要的locking限制條件。

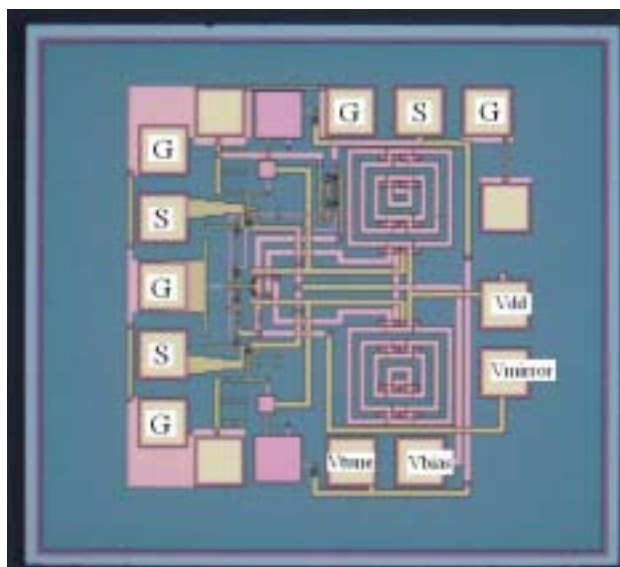


下圖示可鎖定輸入頻率所需要的輸入功率。 $V_{\text{tune}}=5\text{V}$ 時輸入0dBm會有最大locking range。由此圖也可以得知， $V_{\text{tune}}=5\text{V}$ 時的LC-tank之Q值比 $V_{\text{tune}}=1\text{V}$ 時低，所以locking range較大。



2.10.5 結論與討論

(1) Die Photo



(2) Chip performance :

Item	Measurement
Supply voltage	5 V
Vdd supply current	8.708 mA
Vbias supply current	0.168mA
Vmirror supply current	3.899mA
Total Supply Power	63.203 mW
Operational Frequency	10.246GHz ~ 9.636GHz
Total locked range	610MHz
Die size	1mm × 1mm

這次下線的注鎖型動態除頻器確實發揮其功能，整體的鎖定範圍達到610MHz，其消耗的功率(包含output buffer)比傳統型的master-slave DFF除頻器少了將近60%；VCO的振盪頻率與模擬有差，是因為在模擬電路時使用了一組fitting出來的transformer model，與實際的電感值有不同。在鎖定範圍上與模擬結果有150MHz的落差，主要還是振盪頻率往下漂動造成的結果。

2.11 實作六，Regenerative Frequency Divider

(GaAs HBT 2 μ m)

2.11.1 研究動機

隨著通訊的需求，為了有更高的傳輸頻寬，操作的頻率不斷地提升，一般的除頻器利用D-Flip-Flop來做除頻，可是其中造成較多的gate delay會限制住最高操作頻率，因此本次實作以Mixer為核心電路，將該電路應用在高速的動態除頻器上。

Regenerative frequency divider(RFD)的最高操作頻率可比傳統的Master-Slave D-flip-flop (MS D-FF)所組成divider快上兩倍。Static frequency divider的最高操作頻率 $f_{\max}$ ，有一限制： $f_{\max} \leq \frac{1}{2t_{pd}}$ ， t_{pd} 表示單一ECL gate的delay，而RDF只有一個 t_{pd} 和feedback loop的delay，所以 $f_{\max}$ 可大幅提升。此外，Mixer架構的電晶體數本來就比MS-D-FF的電晶體數少，相對的功率消耗也較少，有利於應用在行動通訊的電路上。在高倍率的除頻器的前端，先用低功率消耗高操作頻率的RFD將頻率降低，接下來再用寬頻的MS D-FF完成所需的除數，如此一來可減低MS D-FF的功率消耗又可提升操作頻率。

2.11.2 架構簡介

圖2.57表示RFD的block diagram，圖中包含Mixer、low-pass filter以及amplifier。Mixer的一端輸入 f 頻率的輸入訊號，另一端則由輸出端拉回 $f/2$ 頻率的訊號作混頻。理想對稱的Mixer只會混出 $f/2$ 的odd harmonic項，如 $3f/2$ 、 $5f/2$...，而這些不要的訊號會被low-pass filter濾掉，只有 $f/2$ 會被amplifier放大，藉此也減少conversion loss。

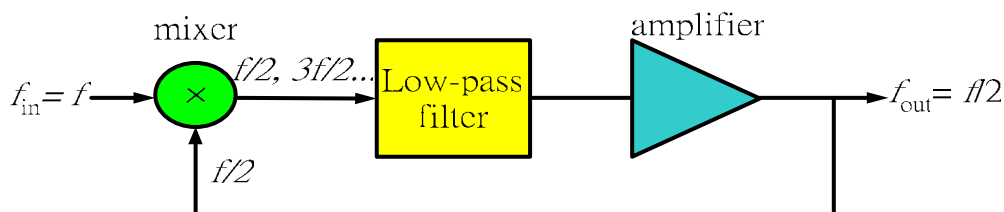


圖2.57 RFD之Block Diagram

此電路概念下的最高的操作頻率 f_{max} 是由loop的upper cutoff frequency決定，而該cutoff frequency是由mixer和amplifier所限制；相對的，static divider的 f_{max} 則是受loop delay決定，所以RFD可以比static divider更高頻操作。不過RFD的最低操作範圍 $f_{min}=f_{max}/3$ 比static的高，因為當輸入訊號低於該頻率時， $3f/2$ 的harmonic就不會被low-pass filter濾掉，會進入mixer與輸入訊號混頻，產生不要的輸出頻率($f_{max}/3 \times 3/2 = f_{max}/2$)。

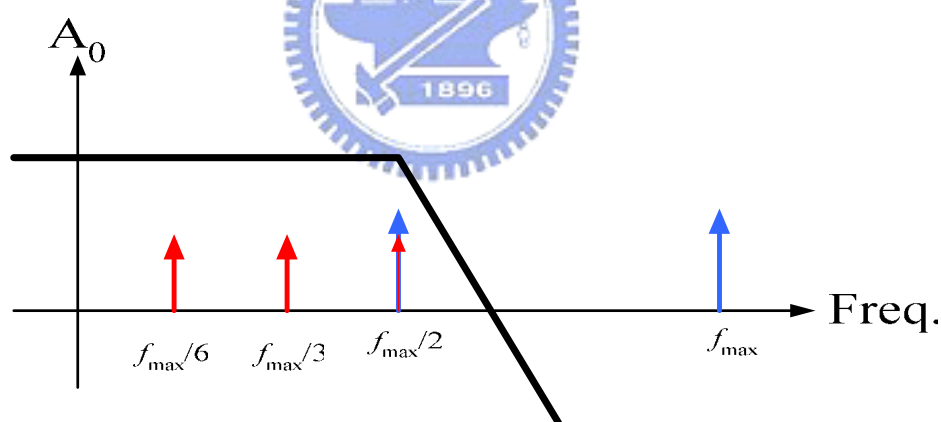


圖2.58 RFD的低頻操作限制

RFD的核心電路是用double-balanced mixer(圖2.59)，在Clock Buffer設計與原理上是跟”2.8實作三”一樣。雖然沒有相當對稱的differential輸入會使Mixer的RF-to-IF isolation變差，不過影響RFD的運作相當有限，所以採此策略。此外RF port的輸入端只須驅動兩個電流切換電晶體(Q_5, Q_6)，比起接回LO port少兩個($Q_1 \sim Q_4$)，所以負載較低，故將feedback訊號接回RF port，輸入訊號由LO輸入。

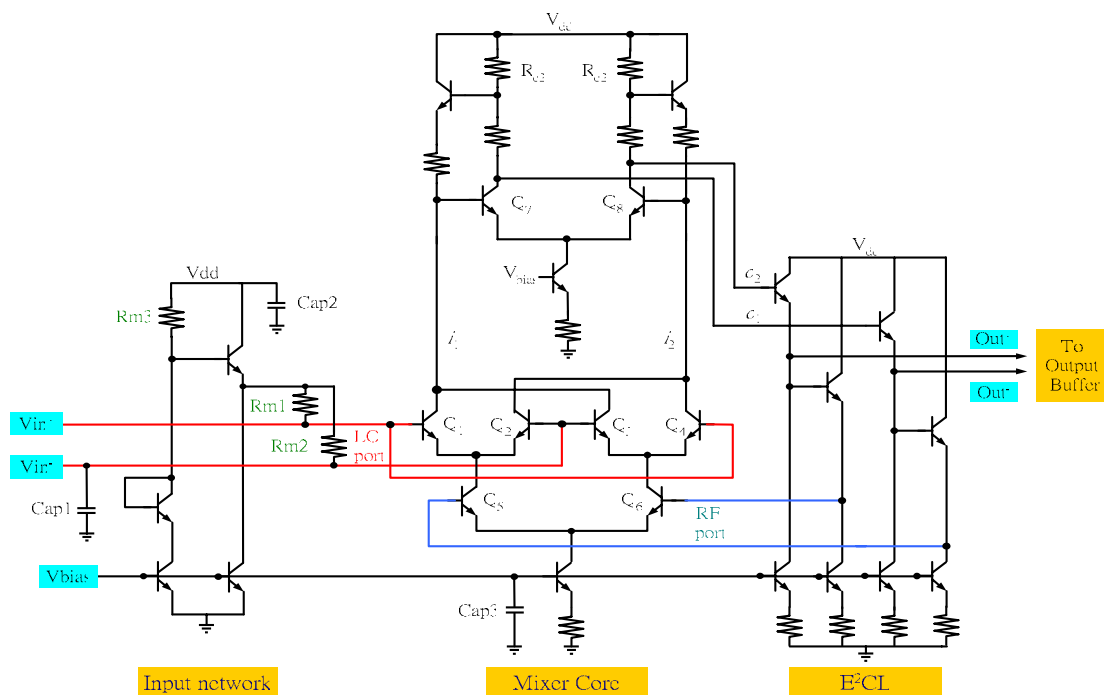


圖2.59 RFD之input buffer及核心電路圖

圖2.57中的block diagram顯示接於mixer之後是一low-pass filter，但在實際電路設計上並不需要額外加入filter，因為mixer本身的conversion gain頻率響應就是low-pass的形式，所以單一mixer就包含了混頻與濾波的功能。此外，下一級的amplifier也已內建於mixer中，因為我們採用的active mixer本身就能提供放大訊號的效果。

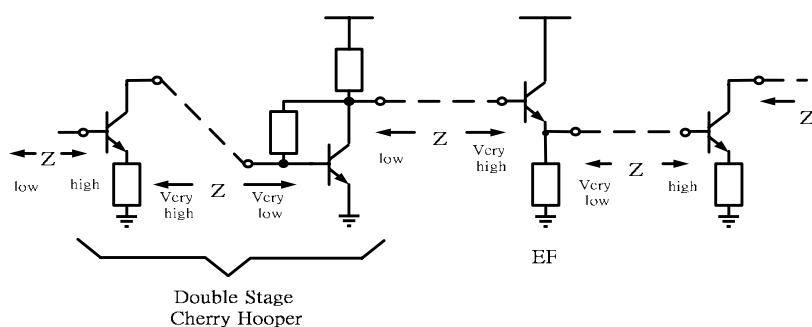


圖2.60 Cherry-Hopper之impedance mismatch

不過在這次設計上不直接用電阻作mixer的負載，而是用Cherry-Hooper Amplifier，藉由讓各接點都處於低阻抗，使該架構比

起用電阻作負載大幅降低RFD的time constant使 f_{-3dB} 提升(減少約 $1+g_{m2}R_{C2}$ 的數量級)，而且該放大器有寬頻的操作頻段，可以將RFD推往更高頻，並增加電路的sensitivity與穩定度。

在RFD的回授路徑上加入一對double emitter follower ECL logic，可使LO port的base-collector的反偏電壓增加，進而降低 C_{μ} ，Miller effect也減小。ECL也能讓我們調整輸出的DC準位，以符合feedback回mixer的RF port時所需的DC準位。

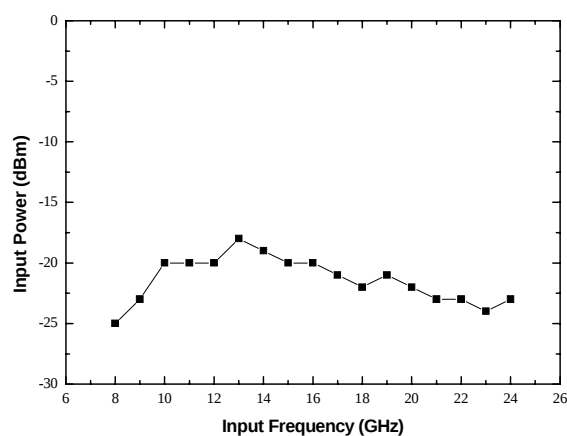
除法器之輸出端也是很容易受一下級影響，直流準位及阻抗匹配也不容易達成，因此要有一個良好的輸出緩衝級才能有效的達成完整的電路。設計方法跟之前的實作一樣。

在layout考量上，盡量使電路對稱，並盡可能縮短RFD中的feedback路徑；在各DC偏壓處並連一bypass，不但可以使偏壓穩定，更可濾掉不必要的RF coupling；在接線方面，為了使各個元件符合lumped的假設，必須符合 $L \leq 0.1\lambda_g$ ，L是連接線的實際長度，而 λ_g 表示guided wavelength。

2.11.3 預計規格列表

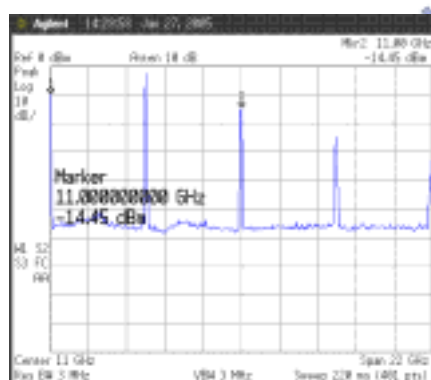
Item	Spec
Supply Voltage	5 V
Current of Mixer core	9.26 mA
Current of Input Network & Output buffer	23.94 mA
Supply Power	~ 166 mW
Operating frequency range	8GHz~24GHz
Die size	1000 um × 1000 um

Sensitivity



2.11.4 實測結果

(1) Max. Incident Frequency
=22GHz



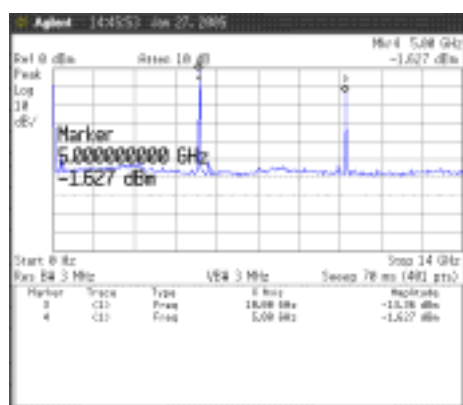
Output freq.=11GHz, -14.45dBm

(2) Min. Incident Frequency
=9GHz



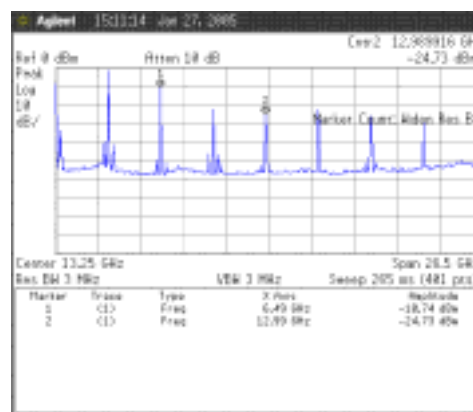
Output freq.=4.5GHz, -2.53dBm

(3) Incident freq.=10GHz,



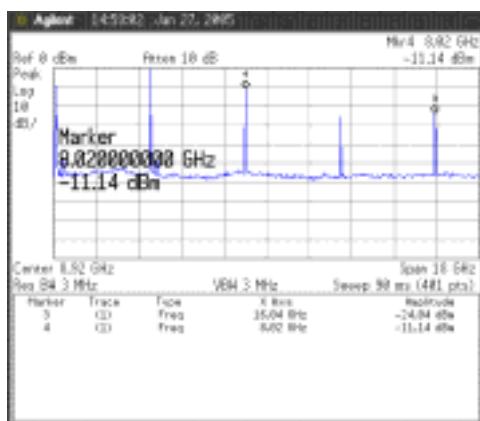
Output freq.=5GHz, -1.627dBm

(4) Incident freq.=13GHz,



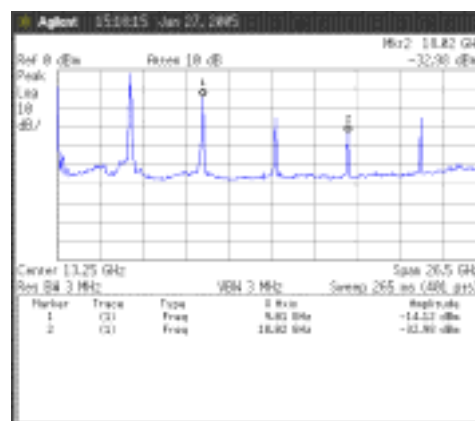
Output freq.=6.5GHz, -10.74dBm

(5) Incident freq.=16GHz,



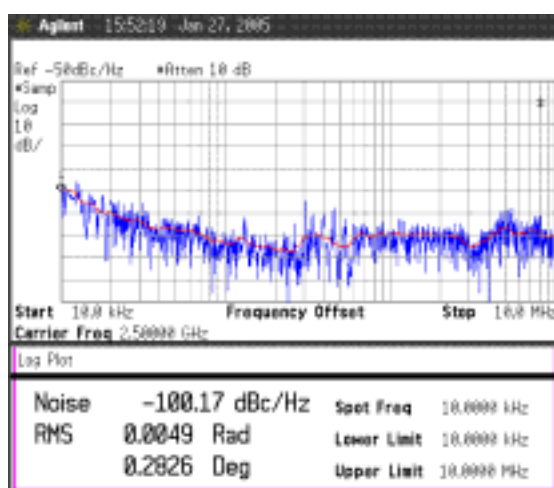
Output freq.=8GHz, -11.14dBm

(6) Incident freq.=18GHz,



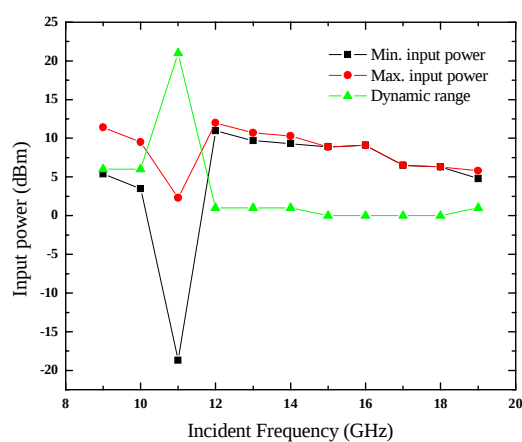
Output freq.=9GHz, -14.12dBm

(7) Phase noise



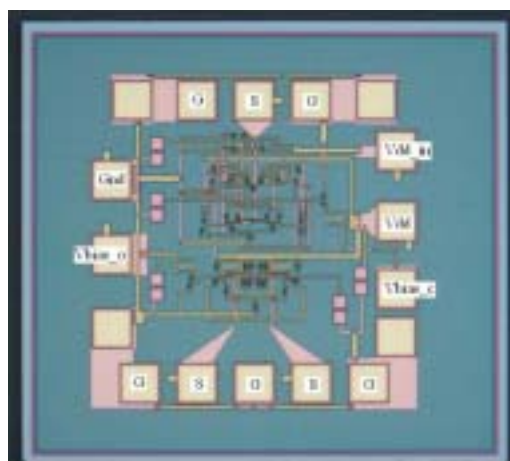
-125dBc/Hz @ 100KHz offset

(8) Sensitivity



2.11.5 結論與討論

(1) Die Photo :



(2) Chip Performance :

Item	Measurement
Core & output buffer Supply Voltage	5 V
Core & output buffer Supply Current	27.2 mA
Input buffer supply voltage	5V
Input buffer supply current	1.9mA
All bias voltage	5V
All bias current	3.92mA
Total Supply Power	165.1 mW
Functional frequency range	9~ 22GHz
Die size	1000 um × 1000 um

這次下線所使用的電路架構，是以Mixer為核心電路將輸出訊號接回RF port，此回授路徑如果沒有設計好會使電路發生自振現象。由於本電路以Cherry-Hooper amplifier當作active load，為了level shift到RF port，多用了一組emitter follower使整個回授路徑必須多經過三個gate delay，加上amplifier的放大效果使這次的電路在未接input時就有5.77GHz的振盪訊號輸出。由量測到的sensitivity圖表可看出，在輸出訊號低於5.77GHz本電路還有5dBm的动态 range，當超過此頻率後dynamic range就很差。此現象類似injection locked的除頻器，不過需

要很大的input power才能有除頻的功能，改變Vbias_o pad的電壓時也會改變輸出訊號的頻率。

2.12 實作七，Regenerative Frequency Divider

(SiGe HBT 0.35 μ m)

本實作的研究動機與架構簡介和”實作六”一樣，在輸出緩衝級電路設計時還採用inductor peaking的技巧，讓輸出級的頻寬不會限制到核心電路的響應。主要不同點是在SiGe的製程上實現，因此直接展示預計規格和量測結果。

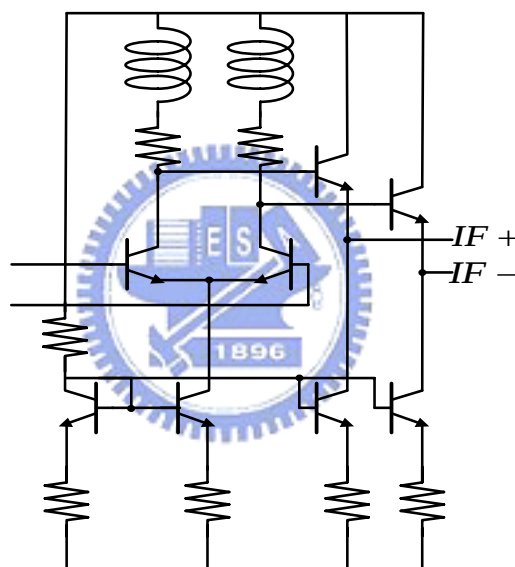
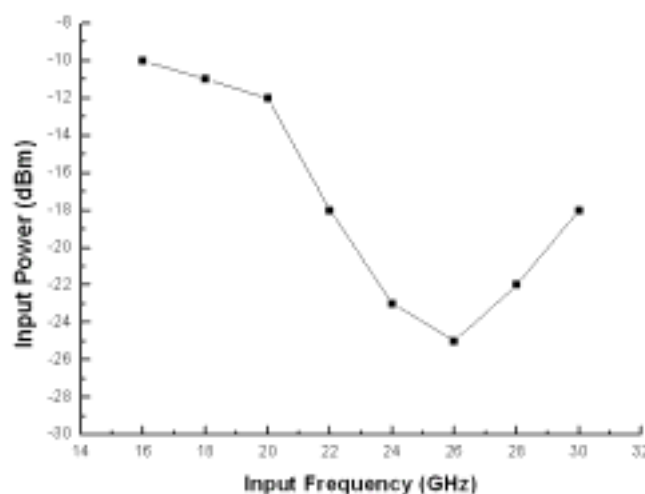


圖2.61 inductor peaking之輸出緩衝級

2.12.1 預計規格列表

Item	Spec
Supply Voltage	5 V
Current of Mixer core	9.66 mA
Current of Input Network& Output buffer	22.67 mA
Supply Power	~ 161.65 mW
Operating frequency range	16GHz~30GHz
Die size	860 μ m $\times$ 822 μ m



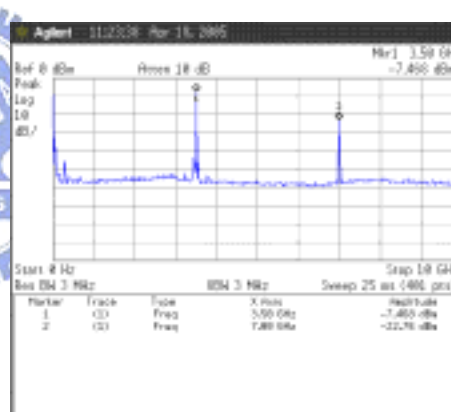
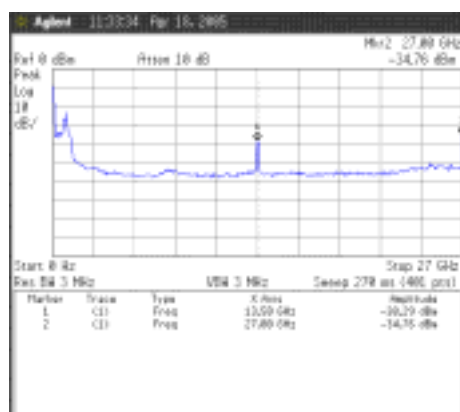
2.12.2 實測結果

(1) Max. Incident Frequency
=27GHz

Output freq.=13.5GHz, -34.76dBm.

(2) Min. Incident Frequency
=7GHz

Output freq.=3.5GHz, -7.468dBm

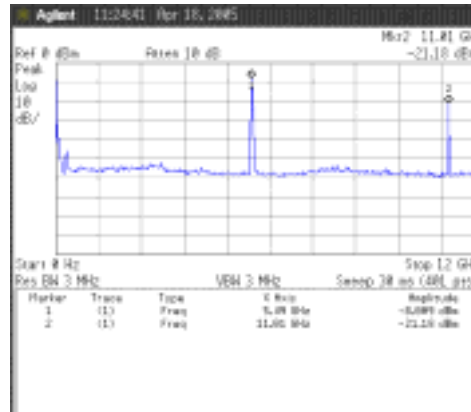
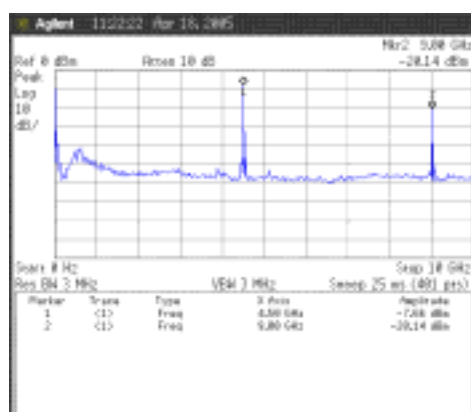


(3) Incident freq.=9GHz,

Output freq.=4.5GHz, -7.66dBm.

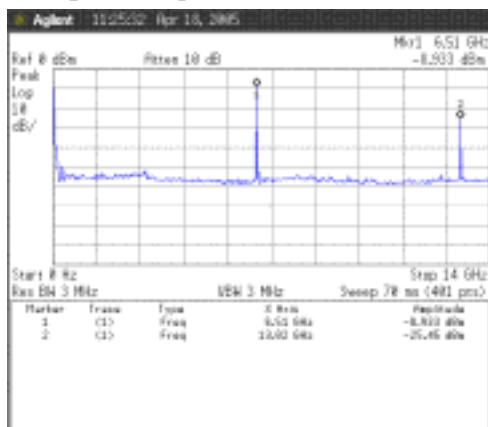
(4) Incident freq.=11GHz,

Output freq.=5.5GHz, -8.009dBm.



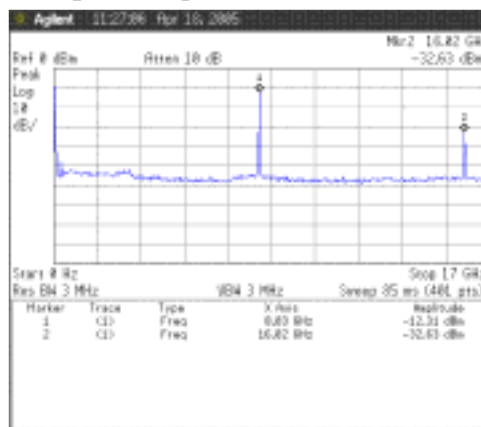
(5) Incident freq.=13GHz,

Output freq.=6.5GHz, -8.93dBm



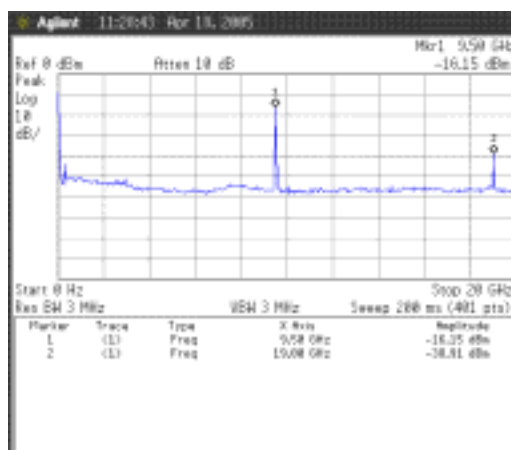
(6) Incident freq.=16GHz,

Output freq.=8GHz, -12.31dBm

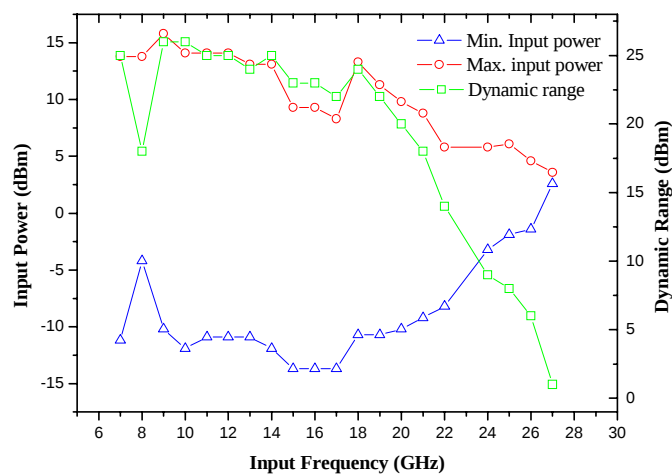


(7) Incident freq.=19GHz,

Output freq.=9.5GHz, -16.15dBm

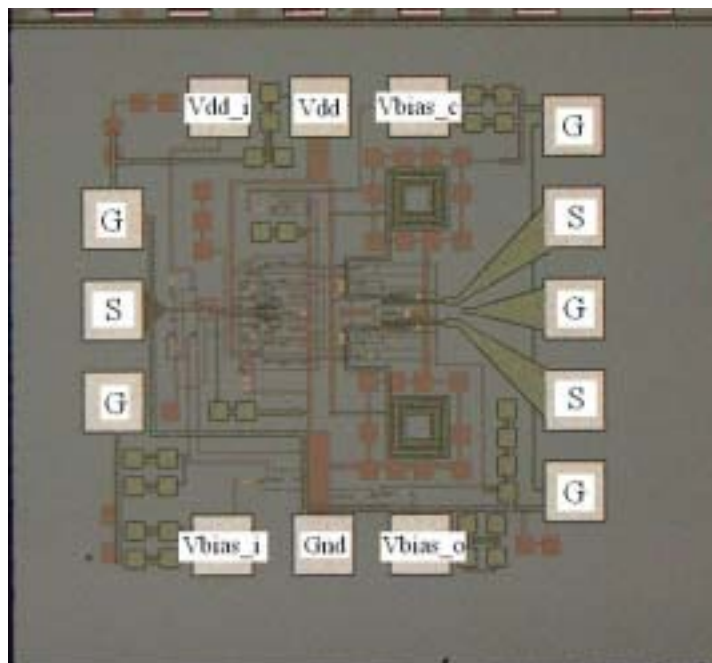


(8) Sensitivity



2.12.3 結論與討論

(1) Die Photo



(2) Chip performance summary

Item	Measurement
Core & output buffer Supply Voltage	5 V
Core & output buffer Supply Current	19 mA
Input buffer supply voltage	5V
Input buffer supply current	1mA
The Other bias voltage	3V
The Other bias current	3.1mA
Total Supply Power	109.404 mW
Functional frequency range	7~ 27GHz
Die size	860 um × 822 um

這次下線所使用的電路架構，是以Mixer為核心電路將輸出訊號接

回RF port。由實驗結果證實此電路在SiGe 0.35 μm 製程上的操作範圍可由7~27GHz，確實可以達到 $1/2 f_T$ 左右 (SiGe HBT在 $V_{ce}=1\text{V}$ 時 $f_T=60\text{GHz}$)。在10GHz~22GHz的輸入頻段只需-10dBm的功率就可達成除二功能，且動態範圍也高達20dBm左右，整體的電路效能比模擬時還好。最低操作範圍限制在理論上是 $1/3$ 的最高操作頻段，如果我們取合理的運用輸入功率範圍-8dBm為基準，8~24GHz確實符合預測。在輸出功率方面受限於輸出緩衝級的頻寬，所以即使利用inductor peaking技巧頻寬仍然覆蓋整個輸出頻段，造成輸出功率在高頻一直下滑。

2.13 實作除二電路之特性比較

Kinds of Dividers	Technology	Operating range (GHz)	Power (mW)	Core current (mA)
Static	InGaP/GaAs 2 μm HBT	2 ~ 7.3	60.6	12.12
Dynamic	InGaP/GaAs 2 μm HBT	2 ~ 11	65.5	13.1
Superdynamic	InGaP/GaAs 2 μm HBT	6 ~ 9.7	29.4	5.88
RFD	SiGe 0.35 μm BiCMOS HBT	7~27	45	9
ILFD	InGaP/GaAs 2 μm HBT	9.636 ~ 10.246	21.11	4.22

表2.4 實作除二電路之比較

第三章

壓控振盪器之設計



3.1 前言

由於個人無線通訊的便利與普及，業界與學界在近幾年都投入大量的心力從事研發，消費者對通訊品質的要求以及各種附加多媒體渴望促使新建的通訊規格更加嚴苛。在一些 zero IF 或 low IF 的數位調變系統(DCS1800；EDCT；GSM900)，這些規格限制要求更是讓電路設計者頭痛。目前無線通訊產業正處於百家爭鳴的情況，各公司及學術研究團隊多朝著小體積、低價格、低功率等方向製造出適用於無線通信的電路元件。長久以來振盪器電路在無線通訊電路系統中，一直扮演著相當重要的角色，從早期用 lumped 元件組成的太空微波通訊電路到目前全積體化的 SoC 電路，各式各樣的振盪器架構持續在各大期刊上發表，像是利用不同的電感繞線方法將 Q 直提升，使 phase noise 得以改善；抑或是改變整個電路的架構，減小電晶體的雜訊對輸出訊號的干擾。因此，本章節將對振盪器作詳盡的討論並展示各架構的實作結果。

3.2 基本原理及電路架構

3.2.1 基本原理

圖3.1可用來表示一個基本的回授振盪器，放大器增益為 $A(s)$ ，或稱之為開迴路增益；電壓回授轉移函數為 $\beta(s)$ ；而整體的閉迴路增益為 $A_f = \frac{A(s)}{1 - \beta A(s)}$ -----(3-1)

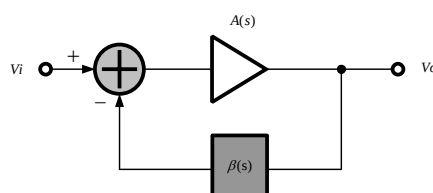


圖3.1 回授電路之示意圖

根據Barkhausen criteria， $|\beta(s)A(s)|$ 必須等於一且 $\angle(\beta(s)A(s))$ 必須為零。

如果以電路理論來看，振盪要發生的先決條件是在複數平面的虛軸上要存在一對complex conjugate pole(圖3.2)。假設(3-1)式在鄰近虛軸的右半平面上有一組complex conjugate pole，當 V_i 出現一些熱雜訊擾動後，在輸出端就會出現振幅逐漸變大的弦波訊號。由於放大器可提供的振幅是受限制的(以電晶體而言，振幅上升會使 g_m 下降)，如果輸出訊號大於此限制，放大器就會迫使右半平面的pole往虛軸移動，並保持一定的振幅。最終該組complex conjugate pole會落在虛軸上穩定振盪，此時狀態才是真正滿足Barkhausen criteria。

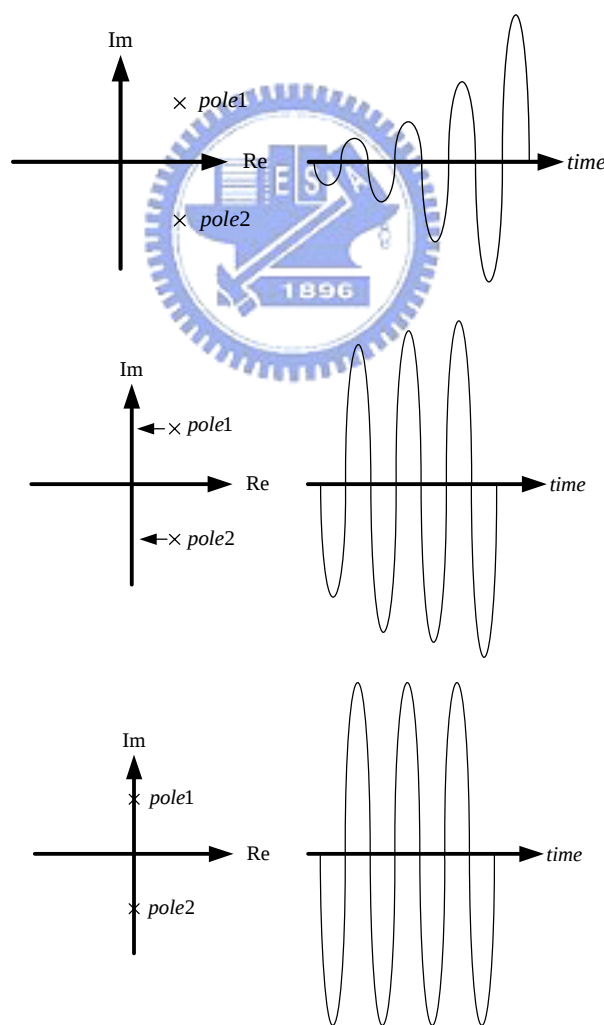


圖3.2 振盪器之極點在複數平面上的變動

振盪的起始條件是電路本身必須不穩定，可是根據Barkhausen criteria並不能確定次條件，Barkhausen只能說是必要條件而非充分條件(resonate或latch都會符合該定理)，所以關於電路是否不穩定必須用另一定則來決定：Nyquist stability test。其方法是將 $\beta(s)A(s)=1$ 在複數平面上對頻率作圖(圖3.3)，如果電路本身會振盪其軌跡會順時針包圍(1,0)點，而包圍的圈數就是存在右半平面中zero和pole的個數差(如果順時針繞(1,0)一圈，表示zero和pole的總個數差一)，如果電路本身穩定，軌跡就不會順時針包圍(1,0)點。

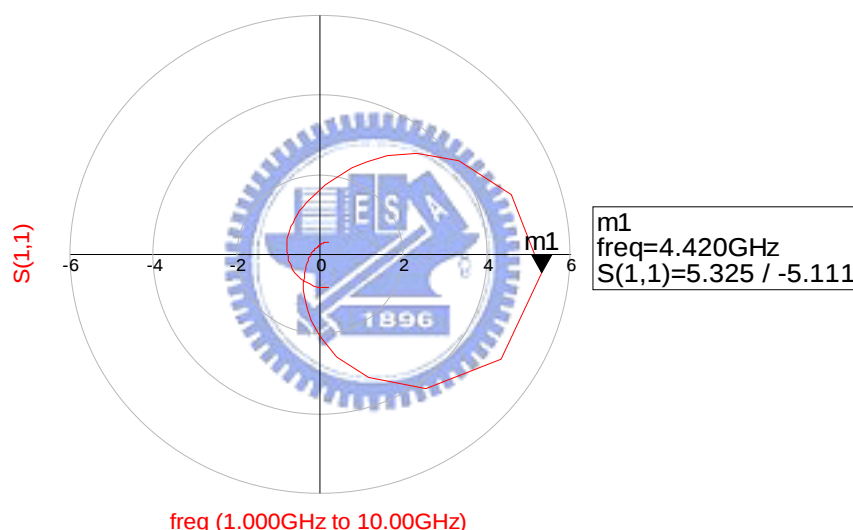


圖3.3 振盪器之Nyquist Plot

現在RF積體電路中常使用的振盪器多是用主動元件來產生負電阻，將LC tank中的損耗電阻消去，其結論跟Barkhausen看似無關，但推導的概念是一致的。先以微波電路的觀點來看one-port的系統，用反射係數來建構LC-tank與主動原件間接面的響應(圖3.4)，當電路中的小雜訊 a_n 注入到該接面時，可以用flow graph(圖3.5)來表示系統會如

何反應，接著可以推得：

$$a_L = \frac{a_n \Gamma_{IN}(s)}{1 - \Gamma_{IN}(s) \Gamma_L(s)} \text{-----}(3-2)$$

$$\text{，同樣的如果此電路要起振 } \Gamma_{IN}(s) \Gamma_L(s) = 1 \text{-----}(3-3)$$

必須滿足Nyquist test，在穩定振盪後 $\Gamma_{IN}(s) \Gamma_L(s) = 1$ 就會維持下去。

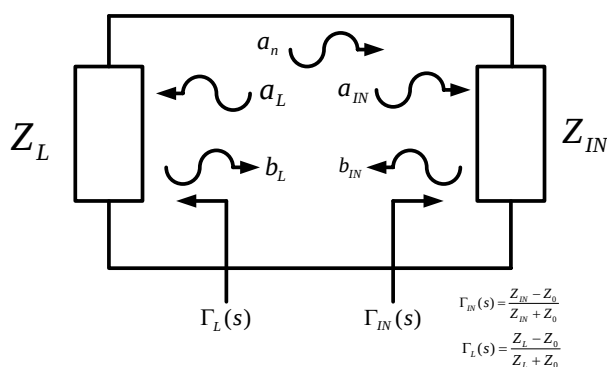


圖3.4 振盪器之one port反射系統

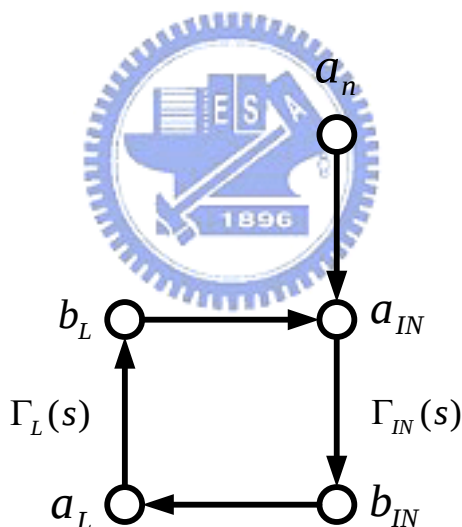


圖3.5 圖3.4之訊號流動圖

有了上述的振盪條件(3-3)式就可以在Barkhausen與負電阻建立起轉換的方式。圖3.6表示one-port的負電阻振盪器示意圖， $Z_L(\omega)$ 是指看進LC-tank的阻抗， $Z_L(\omega) = R_L(\omega) + jX_L(\omega)$ ----- (3-4)

，而 $Z_{IN}(A, \omega)$ 則是藉由主動元件產生的負電阻， $Z_{IN}(\omega) = R_{IN}(A, \omega) + jX_{IN}(A, \omega)$ ----- (3-5)

， $R_{IN}(A, \omega) < 0$ ，負電阻的大小會隨振幅與頻率變動。

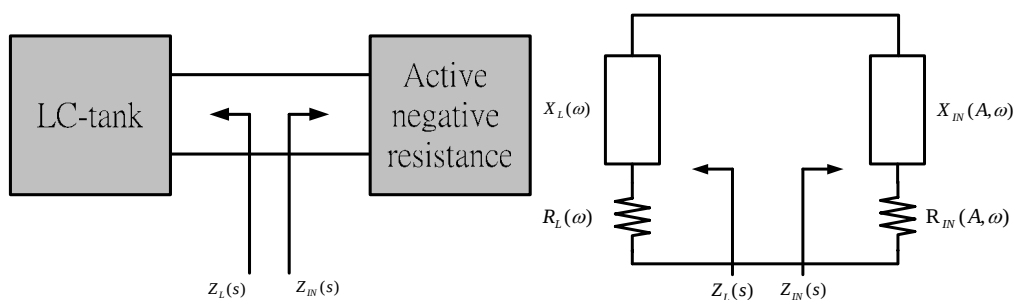


圖3.6 振盪器之one port負電阻系統

在起振時 $A=A_0$ 、 $\omega=\omega_0$ 且 $\Gamma_{IN}(A_0, \omega_0)\Gamma_L(\omega_0)=1$ 必須成立以符合(3-3)

式，又 $\Gamma_{IN}(A, \omega_0) = \frac{Z_{IN}(A_0, \omega_0) - Z_0}{Z_{IN}(A_0, \omega_0) + Z_0}$ 、 $\Gamma_L(\omega_0) = \frac{Z_L(\omega_0) - Z_0}{Z_L(\omega_0) + Z_0}$ ，帶回(3-3)得：

$$\frac{Z_{IN}(A_0, \omega_0) - Z_0}{Z_{IN}(A_0, \omega_0) + Z_0} \cdot \frac{Z_L(\omega_0) - Z_0}{Z_L(\omega_0) + Z_0} = 1, \text{ 交叉相乘得:}$$

$$\rightarrow (Z_{IN}(A_0, \omega_0) - Z_0) \cdot (Z_L(\omega_0) - Z_0) = (Z_{IN}(A_0, \omega_0) + Z_0) \cdot (Z_L(\omega_0) + Z_0)$$

$$\begin{aligned} \text{展開得} \rightarrow & Z_{IN}(A_0, \omega_0) \cdot Z_L(\omega_0) - Z_{IN}(A_0, \omega_0) \cdot Z_0 - Z_0 \cdot Z_L(\omega_0) + Z_0^2 \\ & = Z_{IN}(A_0, \omega_0) \cdot Z_L(\omega_0) + Z_{IN}(A_0, \omega_0) \cdot Z_0 + Z_0 \cdot Z_L(\omega_0) + Z_0^2 \end{aligned}$$

$$\text{左右相同項消去得} \rightarrow 2 \cdot (Z_{IN}(A_0, \omega_0) + Z_L(\omega_0)) = 0$$

$$\text{將(3-4)、(3-5)帶入得} \rightarrow R_{IN}(A_0, \omega_0) + R_L(\omega_0) = 0 \text{-----(3-6)}$$

$$X_{IN}(A_0, \omega_0) + X_L(\omega_0) = 0 \text{-----(3-7)}$$

由於 $Z_{IN}(A, \omega)$ 會隨振幅和頻率變動，所以即使電路符合(3-6)、(3-7)式並不能保證會有穩定的振盪產生，就像Barkhausen需要Nyquist，負電阻組則需要”Kurokawa”來驗證是否穩定振盪。

3.2.2 被動阻抗轉換

在高頻電路設計常使用被動元件來實現阻抗轉換，像是設計 PA 就需要在輸出端和負載間做阻抗轉換，藉由提升負載端的阻抗值以提

升輸出訊號的振幅，因此不需增加 DC Supply 就可加強輸出功率。雖然也可以使用 transformer 來作阻抗轉換，但是 transformer 有本質上的缺點：(1)無法百分百耦合訊號造成輸入能量損耗。(2)主繞線與次繞線間會有寄生的耦合電容效應。(3)會產生不需要的共振。此外，在電路模擬時需要使用複雜的電路模型來描述整個 transformer 的特性，所以不用它作阻抗轉換。

在使用新阻抗轉換方法前，有一個等效電路的轉換技巧必須先討論：

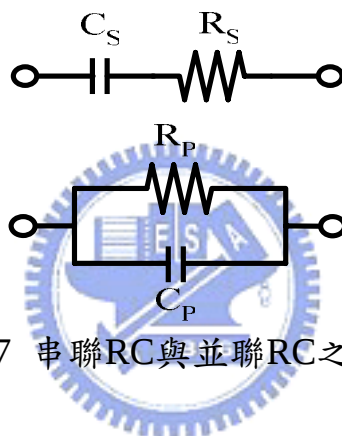


圖3.7 串聯RC與並聯RC之轉換

(1) 圖3.7電容電阻串聯轉換成並聯且 $C_S=C_P$ 的條件：

假設兩電路的總合阻抗相等：

$$R_S + \frac{1}{SC_S} = \frac{1}{\frac{1}{R_P} + SC_P} \rightarrow \frac{R_S SC_S + 1}{SC_S} = \frac{R_P}{1 + R_P SC_P}$$

$$\rightarrow (R_S SC_S + 1)(1 + R_P SC_P) = R_P SC_S$$

$$\rightarrow 1 - R_S C_S R_P C_P \omega^2 + (R_S C_S + R_P C_P)S = R_P C_S S$$

→虛部=虛部，且希望阻抗轉換後 $C_P=C_S$ ，所以推得 $R_P \gg R_S$

$$\rightarrow \text{實部=實部} \quad R_P = \frac{1}{R_S C_S^2 \omega^2} = \frac{Q_C^2}{R_S} \text{-----}(3.8)$$

(2) 如果是串聯電容換成串聯電感(圖3.8)，其型式跟(1)式相同，只是

將(3-8)式中的 $Q_L = L_s \omega$ 。

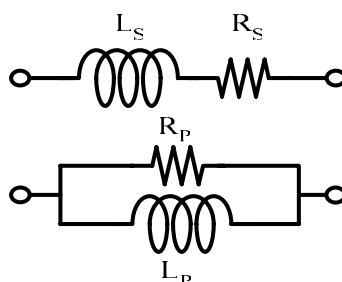


圖 3.8 串聯 LR 與並聯 LR 之轉換

經過(1)、(2)的討論後就可利用其方法作下列架構的被動阻抗轉換：

電容式(圖 3.9)：

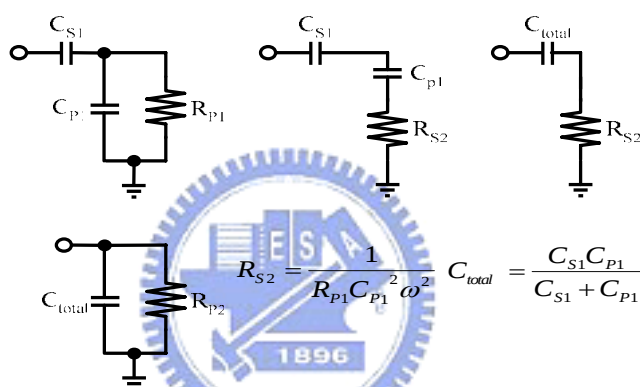


圖 3.9 電容式阻抗轉換電路

$$\rightarrow R_{p2} = \frac{1}{R_{S2} C_{total}^2 \omega^2} = \frac{R_{p1} C_{p1}^2 (C_{S1} + C_{p1})^2}{(C_{S1} C_{p1})^2} = R_{p1} \left(1 + \frac{C_{p1}}{C_{S1}}\right)^2$$

$$\rightarrow R_{p1} \text{ 可藉此提升 } \left(1 + \frac{C_{p1}}{C_{S1}}\right)^2 \text{ 倍}$$

電感式(圖 3.10)：

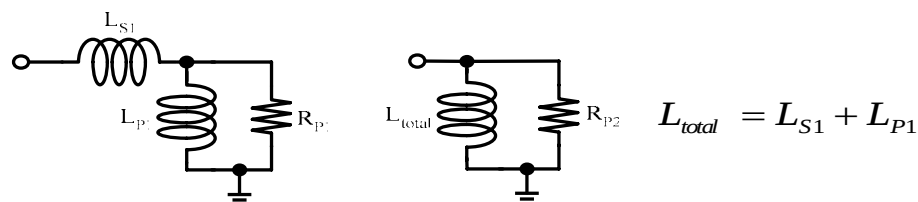


圖 3.10 電感式阻抗轉換電路

$$\rightarrow R_{p2} = R_{p1} \left(1 + \frac{L_{S1}}{L_{P1}}\right)^2$$

→ R_{p2} 可藉此提升 $(1 + \frac{L_{s1}}{L_{p1}})^2$ 倍

Colpitts 和 Hartley 振盪器也是用此發方法增加 LC-tank 的 Q 值。不過這兩個架構為了使 LC-tank 看到被轉換過後的高電阻，需要讓 L_{S1} 與 L_{P1} (或 C_{P1} 與 C_{S1}) 的比值很大，在現今的 IC 製程上不實用，因為會有面積和精確度的 trade-off。

3.2.3 LC-tank 之等效電路

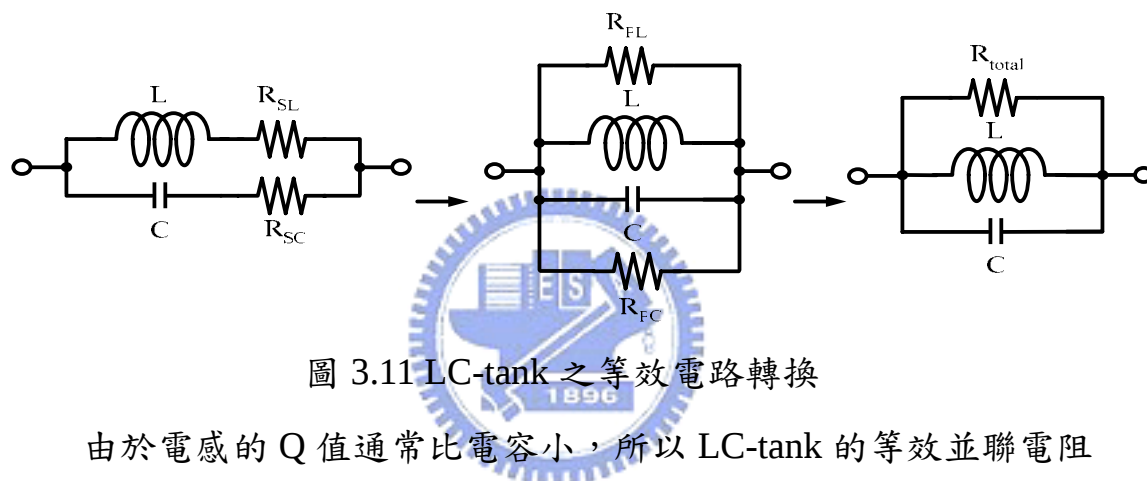


圖 3.11 LC-tank 之等效電路轉換

由於電感的 Q 值通常比電容小，所以 LC-tank 的等效並聯電阻 (R_{total}) 由電感的 R_{pL} 決定： $R_p = Q_L^2 / R_{SL} = (L\omega_r)^2 / R_{SL}$ ----- (3.9)

3.3 LC 壓控振盪器之設計參數最佳化

3.3.1 LC 以及電晶體的選用條件

首先考慮 VCO 所需要的輸出振幅。就收發機而言，VCO 會接在 Mixer 的 LO 端，而 Mixer 會希望 VCO 能提供像方波般迅速的暫態切換，使 Mixer 中 LO 端的電晶體雜訊壓制在最低值。而達成近似方波的 LO 輸出訊號可以將數個相同的 VCO 輸出加總後再灌到 Mixer 的 LO port 可增大弦波的輸出振幅，在 zero crossing 近似就像方波；此

外，如果 VCO 能有 50% 的 duty cycle(邏輯 1 與邏輯 0 的時間各占 1/2 週期)，可以避免 LO 訊號漏到 IF 端，增強 Mixer 的 isolation 的效果。

要使輸出振幅提升，最直接的方法就是加大電感值。 L 越大，需要繞的圈數越大，繞線金屬的長度也越長，串聯的也跟著上升 R_{SL} ，所以當 L 和 R_{SL} 上升 k 倍代入(3.9)式可知 R_p 就跟著上升 k 倍。如果使用 Off-chip 的電感來加大感值，除了增加振幅外還可將打線造成的寄生電感效應降低。不過振盪頻率就會比較低，常用的 5GHz 系統就無法使用。

增加電感值還會有其他的缺點與限制：(1)電感的自振頻率降低。(2)電感的寄生電容很大，如果比製程中提供的可變電容還大，VCO 的輸出頻率可調範圍就變的很小。

就選擇 switch transistors 而言，由於該電晶體對是主要的雜訊源，第一必須選擇 emitter area 較大的電晶體使 base 電阻值降低，減少 thermal 雜訊。第二是降低 bias 電流，讓 collector 端的 shot 雜訊產生較小的影響。不過方法一會增加電晶體的寄生電容；方法二則是讓輸出振幅變小。在設計 VCO 時，以上的問題都需要加以考慮並求得一組最佳設計參數。

3.4 Phase Noise

3.4.1 何謂 Phase Noise

一般的弦波訊號可寫成 $x(t) = A \cos(\omega_c t + \phi(t))$ ， $\phi(t)$ 是一種微小的隨機擾動訊號，就是所謂的 phase noise。它通常遠小於 1 rad，所以可以

將 $x(t)$ 近似為 $A\cos\omega_c t - A\sin\omega_c t\phi(t)$ ，也就是 $\phi(t)$ 會被上載到 ω_c ，讓 ω_c 在頻譜上有裙襬產生(圖 3.12)。

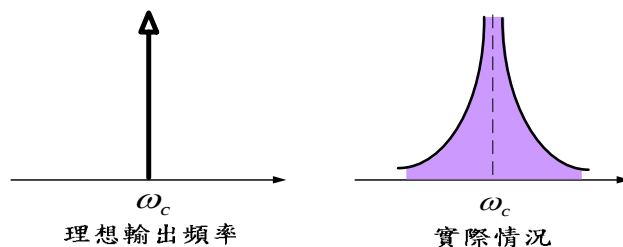


圖 3.12 VCO 輸出的理想及實際頻譜

Phase noise 從頻譜上的計算方法是將離中心頻率 $\Delta\omega$ 的輸出功率 (P_2) 除去中心頻率 ω_c 的輸出功率 (P_1) 再除以 $\Delta\omega$ (圖 3.13)，其單位就是

$$\text{dBc/Hz} \circ \rightarrow 10 \log \left(\frac{\frac{P_2}{P_1}}{\Delta\omega} \right) = P_{2,\text{dBm}} - P_{1,\text{dBm}} - 10 \log \Delta\omega$$

圖 3.13 Phase Noise 的計算方法

在接收機將輸出訊號升頻或將接收訊號降頻時，都會使用到 VCO 產生本地端的振盪訊號。如果此 LO 訊號有 phase noise，在收發過程中，其他 channel 的訊號會被 phase noise 的裙襬效應破壞，如圖 3.14，我們發射出高功率的訊號時其裙襬效應會蓋過 adjacent channel 的訊號，使 adjacent channel 的使用者收不到它所需的訊號。

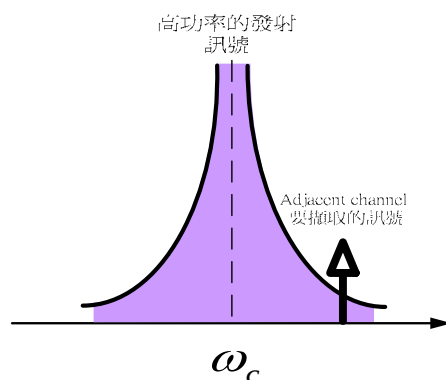


圖 3.14 裙擺效應對鄰近接收訊號的影響

如果使用 QPSK 傳輸架構 phase noise 的影響更顯著，它會直接的影響到訊號的正確性。

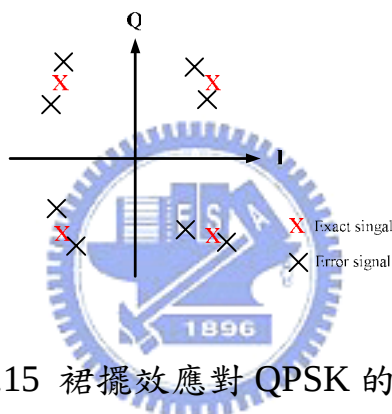


圖 3.15 裙擺效應對 QPSK 的影響

3.4.2 Q 值對 Phase Noise 的影響

由 Lesson 所推導出的 phase noise model： $S_{SSB} = F \frac{kT}{2P_{sig}} \frac{\omega_c^2}{Q^2 \Delta\omega^2}$ 可知，

增加 Q 值是最直接改善 phase noise 的方法，Q 越大振盪頻率兩旁的裙擺效應越低。Q 值在物理上的意義，就是儲存在 LC-tank 的能量多寡： $Q = 2\pi \left(\frac{\text{儲存能量, per cycle}}{\text{散逸能量, per cycle}} \right)$ ；在電路上 LC 會提供 band-pass 的轉移函數，而 Q 表示 band-pass 轉移函數對頻率的斜率有多少(圖 3.16)： $Q = \left[\frac{\omega_c}{2 \times \omega_{3dB}} \right]$ 。

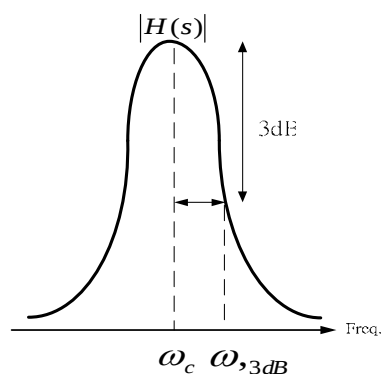


圖 3.16 LC-tank 之 band-pass 效應

Q 值還有另一種定義，就是討論 LC-tank 在開迴路(圖 3.17)時的相位變化(圖 3.18): $Q = \frac{\omega_c}{2} \left| \frac{d\phi}{d\omega} \right|$ -----(3.10)

(open loop Q)。當 LC VCO 處於穩定振盪時，LC-tank 的阻抗只剩下實部的電阻值，所以 LC 的開迴路轉移函數會維持在 ω_c ，不會提供任何相位的變化。如過 Q 值高就表示相位對頻率的變化斜率很大(圖 3.18)，如果迴路上有任何雜訊造成閉迴路的相位不為零，LC-tank 只需漂動一點頻率就可彌補雜訊造成的相位差，保持閉迴路的相位為零。因此，Q 值如果越高越能克服雜訊造成的頻率擾動。在 RF 系統中，如果 Q 值能在 20 以上就可適用於很多應用中。

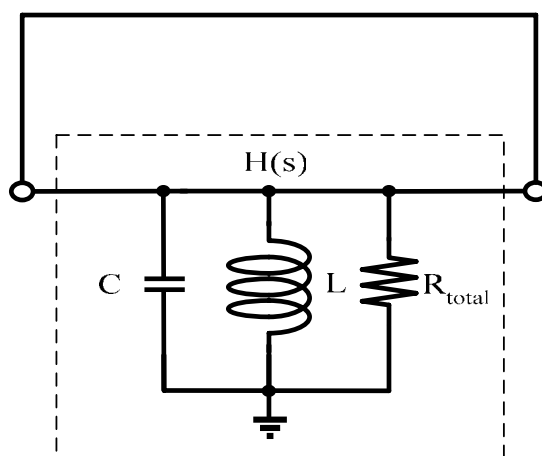


圖 3.17 LC-tank 開迴路之電路圖

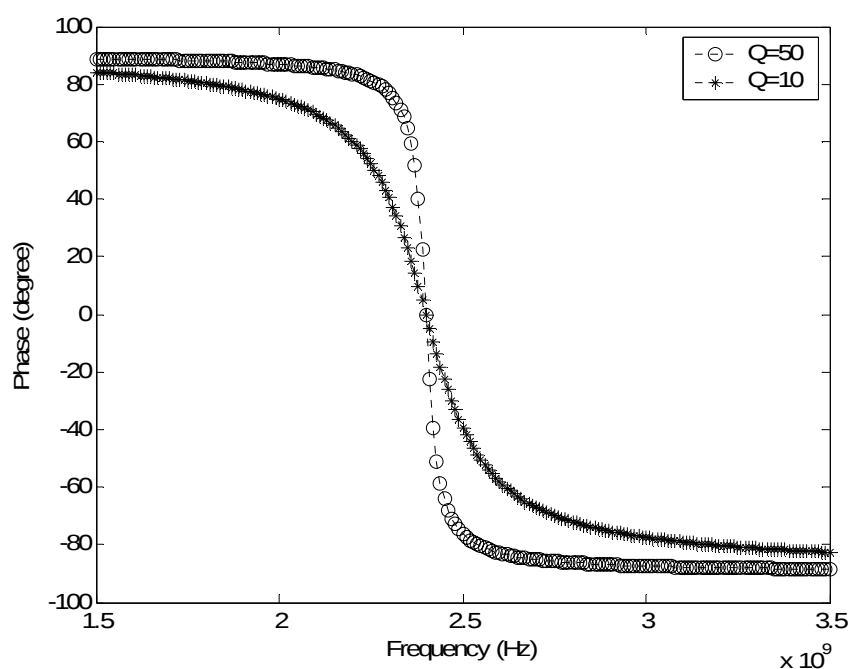


圖 3.18 Q=50 與 Q=10 之 LC-tank 相位變化圖

3.4.3 Phase Noise 在 VCO 的產生機制

phase noise 可以依照雜訊源的注入點分為兩種：(1)從振盪閉迴路中的任一節點注入；(2)由控制頻率的 Vtune 端注入，這兩種形式會在頻譜上產生不同的效應。以下將逐一說明：

第(1)種：

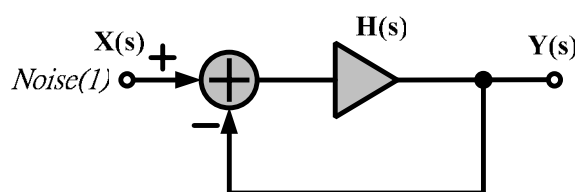


圖 3.19 Noise 由閉迴路的一點注入

X(s)到 Y(s)的閉迴路轉移函數可以寫成 $\frac{Y(s)}{X(s)} = \frac{H(s)}{1-H(s)}$ -----(3.11)

，其中 $H(s) = \frac{1}{1+jQ(\frac{\omega}{\omega_c} - \frac{\omega_c}{\omega})}$ -----(3.12) ，

由於 VCO 架構上會有一個 LC resonator 作選定頻率用，所以用 band-pass filter 的開迴路轉移函數來表示。

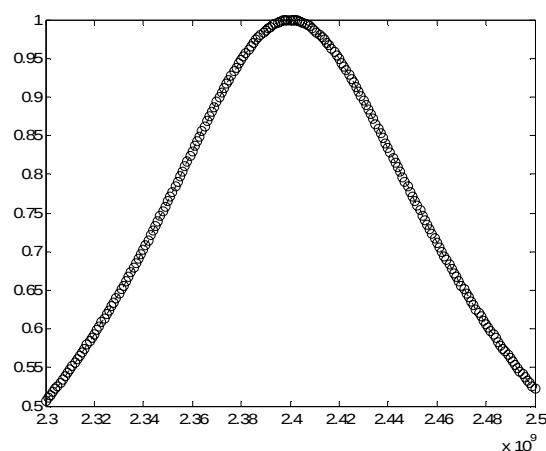


圖 3.20 3-12 式在頻譜上的響應

假設有一個在鄰近振盪頻率 $\omega_c + \Delta\omega$ 的雜訊輸入到迴路中，可得一個近似的開迴路函數(是利用 Taylor expansion)：

$$H(s) = H[j(\omega_c + \Delta\omega)] \approx H(j\omega_c) + \Delta\omega \frac{dH(s)}{d\omega} + 1 + \Delta\omega \frac{dH(s)}{d\omega} \quad \text{-----}(3.13)$$

，將(3.13)代回(3.11)可得 $\frac{Y(s)}{X(s)} = \frac{1 + \Delta\omega \frac{dH(s)}{d\omega}}{-\Delta\omega \frac{dH(s)}{d\omega}} \approx -\frac{1}{\Delta\omega \frac{dH(s)}{d\omega}}$ (p.s 因為 $\Delta\omega$

原本就是離 ω_c 的小微量，加上在 band-pass 轉移函數的頂端附近對頻率微分而得的斜率值也不大，所以 $\Delta\omega \frac{dH(s)}{d\omega} \ll 1$ 。再轉換到功率轉移

函數： $\left| \frac{Y(s)}{X(s)} \right|^2 = \left(\frac{1}{\Delta\omega \frac{dH(s)}{d\omega}} \right)^2$ -----(3.14)。

為了引用(3.10)式所定義的 Q 值到此功率轉移函數，所以將

$$H(s) = |H| \exp(j\phi) ,$$

$$\rightarrow \frac{dH(s)}{d\omega} = \frac{d|H|}{d\omega} \exp(j\phi) + |H| j \frac{d\phi}{d\omega} \exp(j\phi) \rightarrow \left| \frac{dH(s)}{d\omega} \right|^2 = \left(\frac{d|H|}{d\omega} \right)^2 + \left(|H| \frac{d\phi}{d\omega} \right)^2, \text{ 從}$$

圖 3.18 和圖 3.20 可看出在振盪頻率 ω_c 附近 $\left| \frac{d|H|}{d\omega} \right| \ll \left| \frac{d\phi}{d\omega} \right|$ ，又

$|H(\omega_c + \Delta\omega)| \approx 1$ (由 (3.12) 式代入 $\omega = \omega_c + \Delta\omega$ 可知)，所以

$$\left| \frac{dH(s)}{d\omega} \right|^2 = \left(\frac{d\phi}{d\omega} \right)^2 \text{-----(3.15) }。$$

最終將(3.15)代回(3.14)可得：

$$\left| \frac{Y(s)}{X(s)} \right|^2 = \left(\frac{1}{\Delta\omega \frac{d\phi}{d\omega}} \right)^2 = \left(\frac{\omega_c/2}{\Delta\omega \left(\frac{\omega_c}{2} \frac{d\phi}{d\omega} \right)} \right)^2 = \frac{\omega_c^2}{4(\Delta\omega)^2 Q^2} \text{-----(3.16)}$$

，以下就是用 MatLab 畫出的雜訊轉移函數(Leeson's equation)(圖 3.21)：

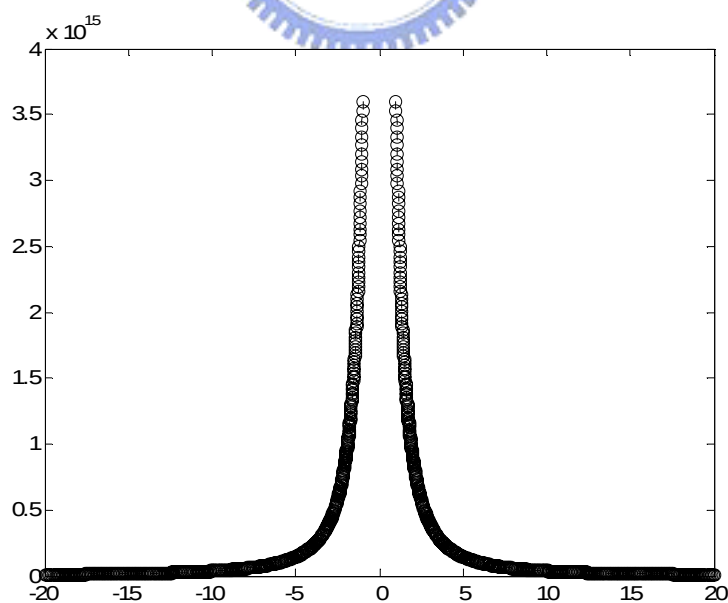


圖 3.21 Leeson's equation 在頻譜上的響應

(3.16)式是將相位雜訊及振幅雜訊通通考慮進去，所以量測到的相位雜訊通常只有(3.16)式算出的一半。如果要得到好的相位雜訊，明顯的需要將 Q 值提升。此外，在推導(3.16)式時都假設是在線性的負回授系統，不過一般的 VCO 都會有振幅限制的機制，會產生非線性的效應使雜訊變大，所以需要將 (3.16) 式作修正：

$$\left| \frac{Y(s)}{X(s)} \right|^2 = A \cdot \frac{\omega_c^2}{4(\Delta\omega)^2 Q^2}, \quad A \text{ 是小訊號閉迴路增益，因此設計閉迴路增益時}$$

也必須趨近於“1”符合起振條件即可，否則會將雜訊放大。

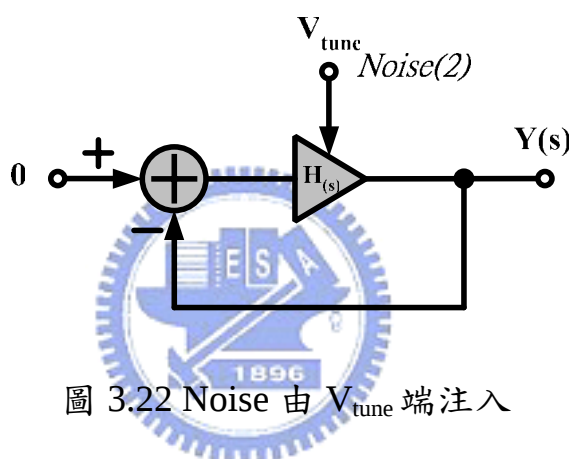


圖 3.22 Noise 由 V_{tune} 端注入

第(2)種：在 V_{tune} 端的 noise 所產生的效應(圖 3.22)

VCO 的 V_{tune} 端(控制頻率端)如果有一弦波訊號輸入，會造成 FM 的效應：

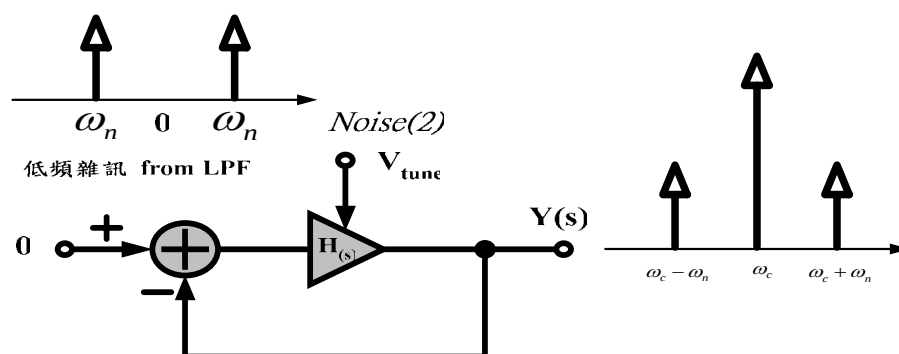


圖 3.23 弦波 Noise 由 V_{tune} 端注入在頻譜上的效應

V_{tune} 對 VCO 的輸出頻率之控制方程式為： $\omega_{out} = \omega_0 + K_{VCO} V_{tune}$ 又

$$\omega = \frac{\partial \theta}{\partial t}, \rightarrow \theta = \int \omega \cdot dt \rightarrow \theta = \omega_0 t + K_{vco} \int V_{tune} \cdot dt$$

且 $y(t) = A \cos(\omega_0 t + K_{vco} \int V_{tune} \cdot dt)$:

1. 如果 V_{tune} 是單一 dc 值， $\int V_{tune} \cdot dt = V_{tune} \cdot t + \theta_0$

$$\rightarrow y(t) = A \cos(\omega_0 t + K_{vco} V_{tune} t + K_{vco} \theta_0) \rightarrow y(t) = A \cos((\omega_0 + \underline{K_{vco} V_{tune}})t + K_{vco} \theta_0)$$

輸出訊號的頻率確實增加了 $K_{VCO} V_{tune}$ ， $K_{VCO} \theta_0$ 是起始的相位角。

2. 如果 V_{tune} 是一弦波 $V_{tune} = A_n \cos \omega_n t$ ，

$$\rightarrow y(t) = A \cos(\omega_0 t - \frac{K_{vco} A_n}{\omega_n} \sin \omega_n t + K_{vco} \theta_0), \text{ 當 } \frac{K_{vco} A_n}{\omega_n} \ll 1 \text{ rad}$$

$$\rightarrow y(t) \approx A \cos \omega_0 t - A \frac{K_{vco} A_n}{\omega_n} \frac{1}{2} \cos(\omega_0 - \omega_n)t + A \frac{K_{vco} A_n}{\omega_n} \frac{1}{2} \cos(\omega_0 + \omega_n)t$$

由上式可知，在 $\omega_0 \pm \omega_n$ 會有不需要的訊號產生，且如果 ω_n 越大此雜訊越小，相對的越低頻的雜訊對 VCO 的雜訊特性影響越大。在鎖相迴路電路(PLL)中，VCO 會接於 Low-pass filter 之後，因此經由 Low-pass filter 過來的低頻雜訊會藉由此 noise 產生路徑影響整體 PLL 的雜訊特性。為了改善此雜訊，可將 K_{vco} 的值降低，不過會損失 VCO 的 Tuning range。

其實不只是在 V_{tune} 端有機會產生 Spurious 雜訊，任何能改變頻率的機制都可會產生，像 BJT 的 I_c 電流會改變 base 和 emitter 間的 diffusion 電容，進而改變 LC 的振盪頻率，就會產生 Spurious 雜訊。

3.4.4 VCO 的偏壓電流對 Phase Noise 的影響

由 Leeson's model : $S_{SSB} = F \frac{kT}{2P_{sig}} \frac{\omega_c^2}{Q^2 \Delta \omega^2}$ 可知，為了提升相位雜訊

不只要將雜訊相位轉移函數壓低，還要將 VCO 輸出的功率加大。為了增加輸出功率必須將 bias 電流加大，可是 BJT 的雜訊電流源等於 $\overline{i_c^2} / \Delta f = 2qI_c$ ， I_c 上升 K 倍會使雜訊電流源的輸出功率加大 K 倍。不過就輸出功率而言， I_c 上升 K 倍輸出功率變為 $(g_m R_{PL})^2 \propto I_c^2$ ，提升了 K^2 倍，所以整體輸出功率還是可以提升 K 倍，因此加大 bias 電流可以改善相位雜訊。由於製程不斷的進步，能使用的電壓變的越來越低，VCO 的輸出振幅也變小，對 phase noise 的影響很大。

我們還可以將 K 個相同 VCO 的輸出全部加在一起(圖 3.24)，輸出訊號的振幅可以增加 K 倍，換算成功率可以提升 K^2 倍，雖然雜訊也會放大 K 倍，但整體相位雜訊還是下降 K 倍。此架構的 trade-off 跟上一段提到的 bias 電流概念相仿，雖然改善相位雜訊的特性不過電路的全部消耗功率也增加了相同的比例。

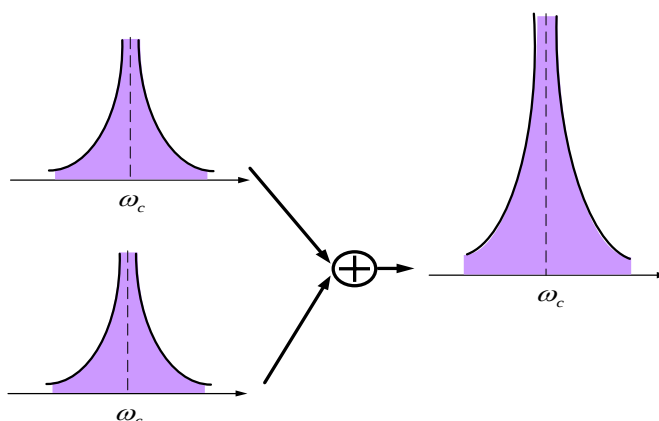


圖 3.24 將數個 VCO 的輸出加總

如果有好的 Q 值，VCO 就不需要加大 bias 電流來達到系統要求的相位雜訊規格，不但 VCO 的消耗功率可以降低，從電晶體產生的

雜訊電流也會變小。

3.5 Pulling 及 Pushing 現象

之前所討論的雜訊效應，都是先假設雜訊的訊號相對於 VCO 的輸出訊號小很多。如果有雜訊離 VCO 的頻率很近且功率大小跟 VCO 差不多大(圖 3.25)，VCO 的頻率就會被拉動，甚至頻率就被雜訊頻率鎖住，稱之”Injection Pulling”。

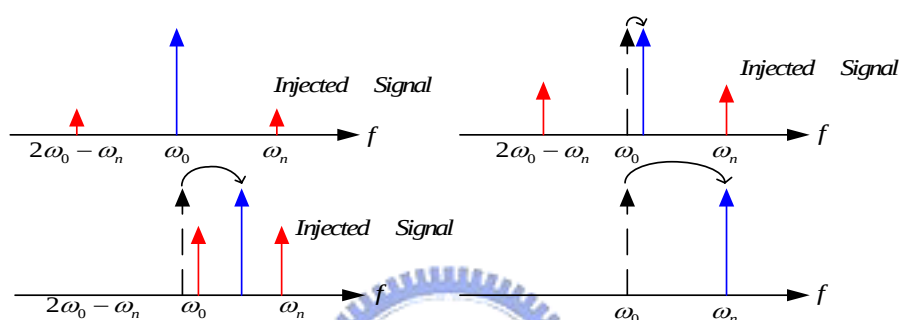


圖 3.25 VCO 之 Injection Pulling 現象

這種現象常見於接收機架構中，像是 Power Amplifier 就會發送高功率且頻率離 VCO 不遠的訊號，VCO 的頻率就會被 Power Amplifier 的發射訊號拉動；此外，在我們想接收 channel 的鄰近 channel 有高功率的訊號在發射(圖 3.26)，此高功率訊號也會藉由 Mixer 影響到 VCO 的頻率，因此 VCO 需要一組高 reverse isolation 的 Buffer 來避免雜訊注入 VCO 而影響輸出頻率，不過此 Buffer 會造成 Mixer 的 Noise Figure 變大。

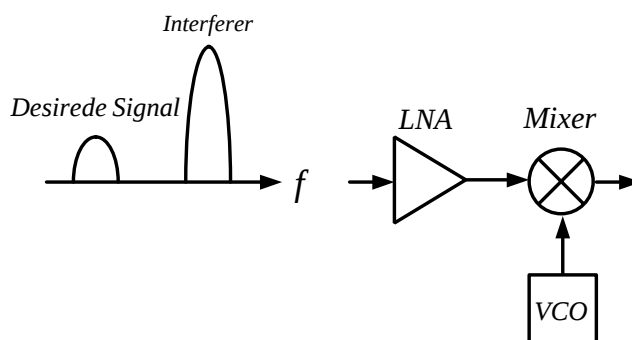


圖 3.26 高功率干擾對 VCO 的影響路徑

當 VCO 操作在 open-loop 時對於 Loading 的變化也特別敏感，像是 DECT 系統中，Power Amplifier 會不時的開關來節省電源，造成 VCO 的 Loading 一直在變化，其輸出頻率也就無法穩定，稱之“load pulling”。為了改善此效應，需在 VCO 及 PA 間置入一個 high-isolation 的 Buffer。

VCO 對於 DC 供應電源的變動也很敏感。當 V_{dd} 產生變化，在 varactor 兩端的壓差就會跟著變化，振盪頻率也就跟著漂動，稱之“supply pushing”。在手機中 PA 還是造成此現象的主因，由於電池有輸出電阻加上 PA 開關造成 Loading 的變動，使 V_{dd} 有數百 mV 的變動。

3.6 差動 Bipolar LC Oscillator

早期的 RF 振盪器多使用單一 transistor 來實現，由於使用最少的主動元件 Phase Noise 可以有好的特性，且此電路的價格也可以壓低。不過隨著製程不斷進步，IC 的價格已大幅降低，所以目前已不再使用單 transistor 架構，不過還是可以藉由其原理推廣到差動 VCO 的運作模式。

單一 transistor 的 VCO 接線方式如圖 3.27，回授路徑必須選擇讓全部路徑的總相位差為零(Barkhausen criteria)，且 LC-tank 在振盪時不會提供相位變化，因此必須選擇將 collector 的訊號回授到 emitter 以提供零相位變化(圖 3.27)。此外 LC-tank 的回授路徑必須接於高阻抗端以避免 LC-tank 的 Q 值下降($R_p / (L\omega_o) = R_p \sqrt{\frac{C}{L}}$)，所以將其接於 Collector 端(Emitter 端的阻抗只有 $1/g_m$)又使 Q 值再次下降，因為 LC-tank 又看到 emitter 端的低電阻。改善方法就是利用 3.2.2 節中所

提的 passive impedance transformation(圖 3.28)，讓 LC-tank 端看到高阻抗。此方式就是 Colpitts 及 Hartly 振盪器(圖 3.29)。

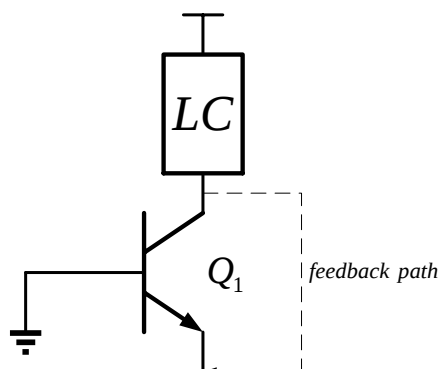


圖 3.27 單一 transistor 之 VCO 接線圖

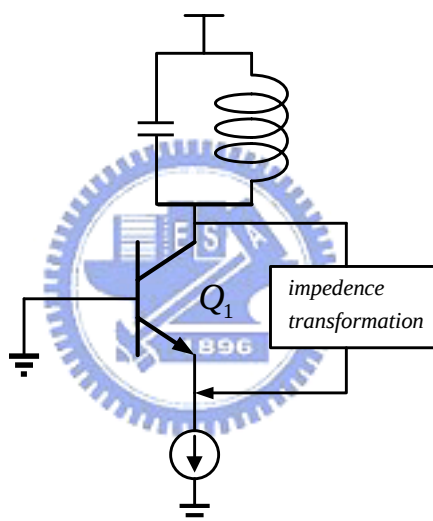


圖 3.28 圖 3.27 之改進 VCO 電路

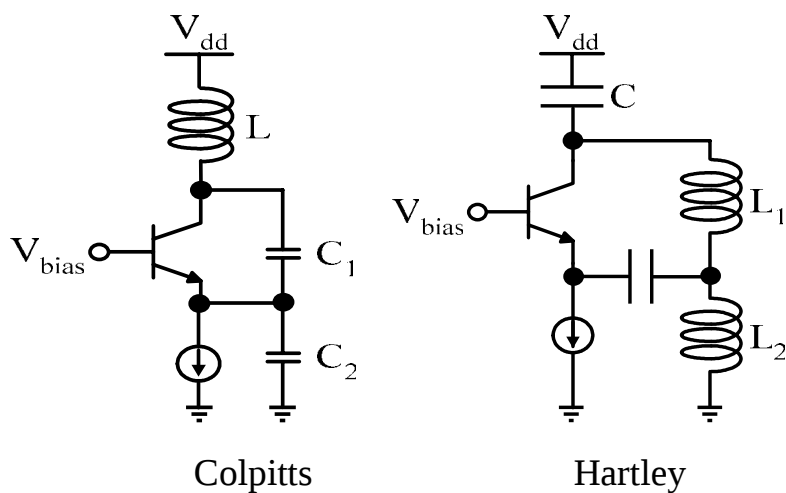


圖 3.29 Colpitts 與 Hartley 之 VCO 架構圖

如果為了讓 LC-tank 看到較高的阻抗並不一定要 passive impedance transformation 的方法，可以利用一個 active buffer 來達成相同效果(圖 3.30)，因為它可以提供很大的輸入阻抗，common collector 放大器就能簡單的符合上述要求。如果再將 Q_2 將的 Collector 端在接上一組 LC-tank 並接回 Q_1 的 emitter，就形成了常見的差動 VCO(圖 3.31)。此架構不只可以用 Barkhausen criteria 來說明其振盪原理，亦可經由小訊號模型推導出：從 Q_1 和 Q_2 的 Collector 端看入可以看到等效的負電阻($-2/g_m$)(圖 3.32)，所以此架構又稱為 Negative-Gm 振盪器。

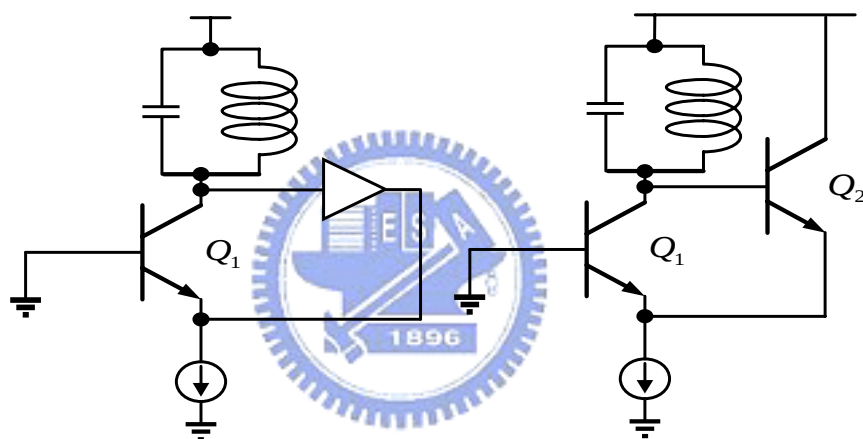


圖 3.30 利用 active buffer 產生阻抗轉換

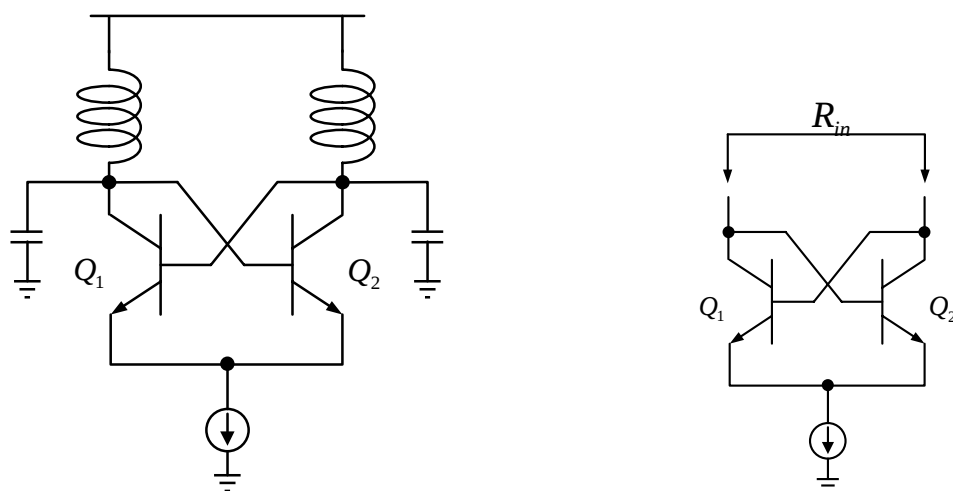


圖 3.31 差動 LC 振盪器 圖 3.32 利用 cross-coupled pair 產生負電阻

3.7 實作一，Voltage-Controlled Oscillator with Differential Excitation Trifilar (SiGe HBT 0.35 μ m)

3.7.1 研究動機

振盪器電路在無線通訊系統電路中，扮演了一個相當重要的角色，近年來一直有各式各樣的震盪其結構在 paper 上發表，像是利用不同的電感繞線方法將 Q 直提升，使 phase noise 得以改善；抑或是改變整個電路的架構，減小電晶體的雜訊對輸出訊號的干擾。在製程方面，SiGe BiCMOS 製程相當適合用來實現 SOC 電路，在數位或類比電路方面可以用 CMOS 來節省面積；在高頻電路方面就可利用高截止頻率的 HBT 來實現。雖然 SiGe 的基板損耗比其他三五族化合基板來的大，但為了節省成本，如果通訊系統受此缺點的影响不大，還是傾向使用 SiGe BiCMOS 來實現電路。

本次實作的電路架構是利用新式的 Transformer，可以同時實現 Hartley 架構的 VCO 以及 inductive coupling 的回授方法，使 VCO 的 Phase Noise 變低、輸出電壓範圍變大。此架構在 IEEE 的 paper 上還未見發表。

3.7.2 架構簡介

Part1. VCO 之回授方法設計：

為了使 VCO 的 phase noise 變小，最簡單的方法就是藉由加大共振腔的振盪電壓來增強共振腔中的能量儲存。一般的 VCO 架構是利用一對 emitter-coupled 電晶體加上 cross feedback 來產生負電阻，在此架構上輸出電壓的大小就受到 feedback 方法的限制，而常見的回受

方法有三種：(1)直接回授 (圖 3.33)、(2) 利用電容作耦合回授 (圖 3.34)、(3)利用電感作耦合回授 (圖 3.35)。

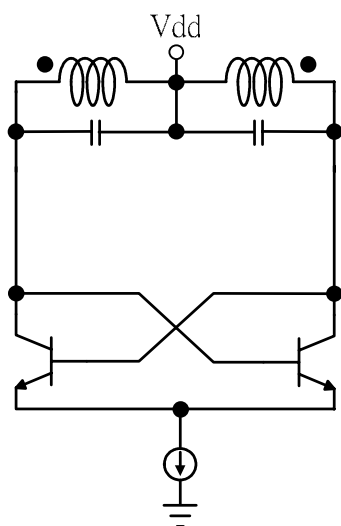


圖 3.33 直接回授架構

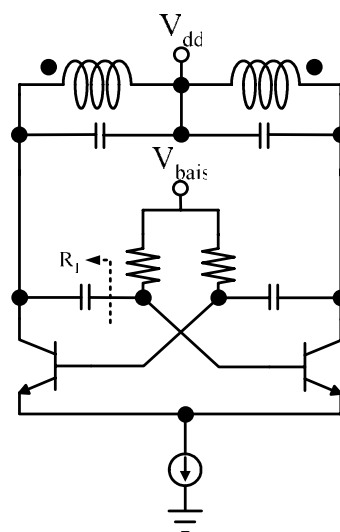


圖 3.34 電容耦合回授

最簡單的回授方法就是採用”直接回授”架構，它不用額外的偏壓電路所以減少功率的消耗，不過電晶體的 base-collector junction 會成為輸出電壓的限制因素，這是因為當輸出振幅過大時，會造成基極-集極順偏，而非我們想要的逆偏狀態（設計振盪器需操作在主動區），其間的 diode 就會對電路產生雜訊源使 phase noise 變差，所以其輸出電壓振幅將會被此接面的電壓所限制住。若採用”電容耦合回授”之電路，雖可以改善上述的振幅缺點，但必須在基極提供偏壓，而提供偏壓時，需使用高阻值電阻或是高感值電感，但會造成相位雜訊變差或是需要佔據大量晶片面積(p.s 偏壓電阻必須比由電晶體 base 端看出去的電阻 R_1 (包含耦合電容和 LC tank 在振盪時的阻值) 高 10 倍左右才可忽略其雜訊源)。

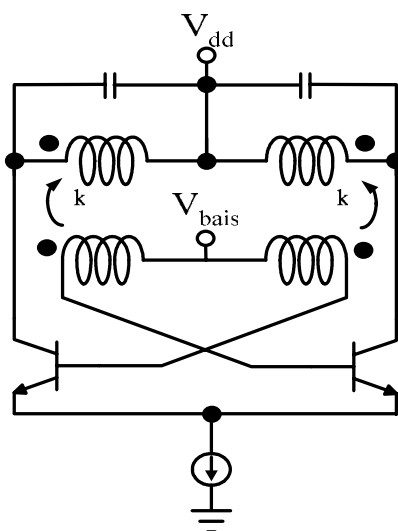


圖 3.35 電感耦合回授

為了避免上述兩種架構的缺點，此次設計的回授架構，將利用”電感耦合回授”來設計這次的壓控振盪器。低輸出阻值的偏壓電路可以直接接上電路，因為有電感接於電壓源前，不用擔心 VCO 訊號會漏出去。此外不使用電阻來偏壓，可防止產生 white noise 而使 Phase Noise 下降的現象。此外，該架構可以調整 base 端的電壓，共振腔的最大振幅就不再受 base-collector 的順偏限制，只要考慮 base-emitter diode 和 current source 的壓降。

最大輸出電壓的限制條件目前只剩 varactor，如果輸出振幅超過一個 diode 的開啟電壓會使 varactor 的 pn-junction 導通，產生新的雜訊源。改善方法就是在 varactor 前串聯一電容，雖然會減少 VCO 的頻率可條範圍不過可以讓頻率調整的特性較為線性。如圖 3.36 利用 fC_1 將 varactor 與 output signal 隔開，在用 R_1 及 R_2 對 varactor 作偏壓。

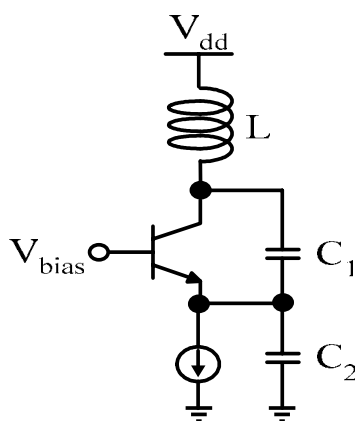


圖 3.37 Colpitts VCO

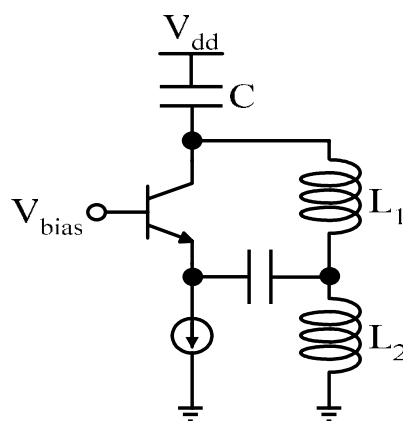


圖 3.38 Hartley VCO

我們使用的架構其回授方法與 Colpitts 相似且 ISF 也和 Colpitts 相仿，所以依然會有低 Phase Noise 的特性。

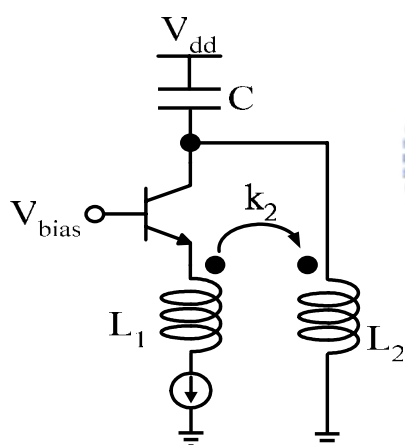


圖 3.39 利用 transformer 作阻抗轉換

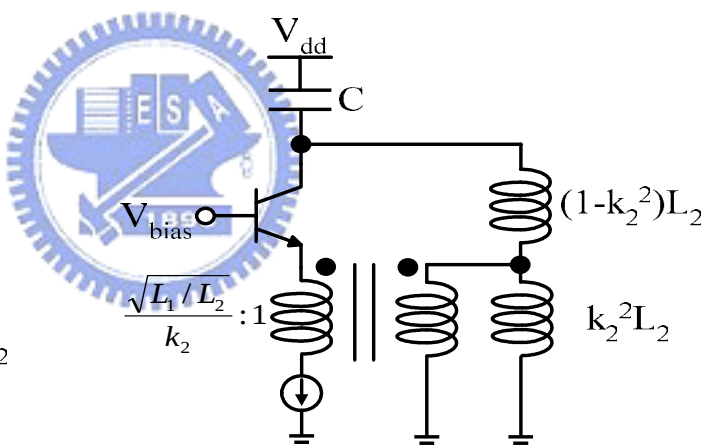


圖 3.40 圖 3.39 之等效電路

Single-ended Colpitts VCO 在實際運用上並不廣泛還有一個主要的原因，就是需要較高的 open-loop gain 來確保電路會自發振盪，且 single-ended 對於 substrate 和 power supply 的 noise 較敏感，所以這次設計的電路利用 cross-coupled 電晶體對(**Part1**.中提到的 transformer coupling)來達成 differential 架構 (圖 3.41)，減輕起振前所需的 open-loop gain。

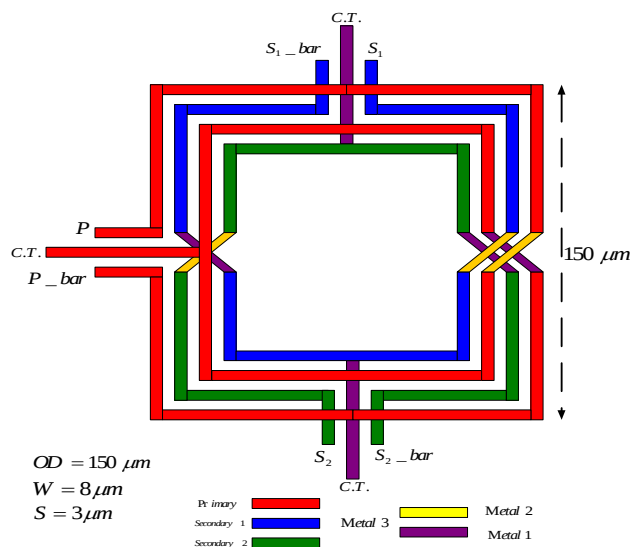


圖 3.44 Trifilar 之繞線方法

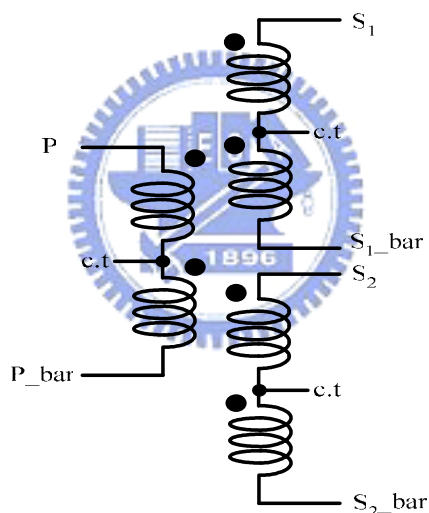
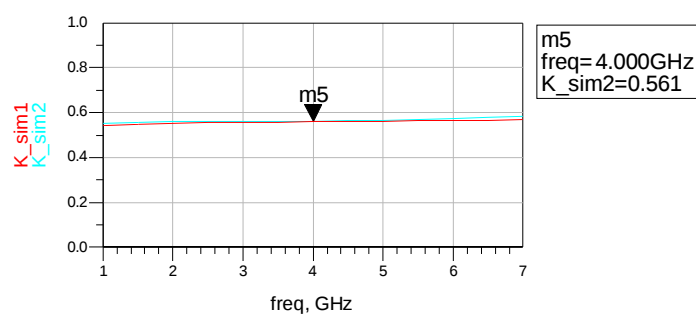


圖 3.45 利用 Center-tape 來實現 Differential Trifilar

由於本 VCO 是 differential 架構，我們可將單一 Trifilar 作 differential excitation，而 DC 的輸入就由 center-tape(c.t)接點輸入(圖 3.45)，如此一來就可以用一個 Trifilar 達成圖 3.41 所需的 transformer coupling 效果，晶片面積可以大幅縮減。

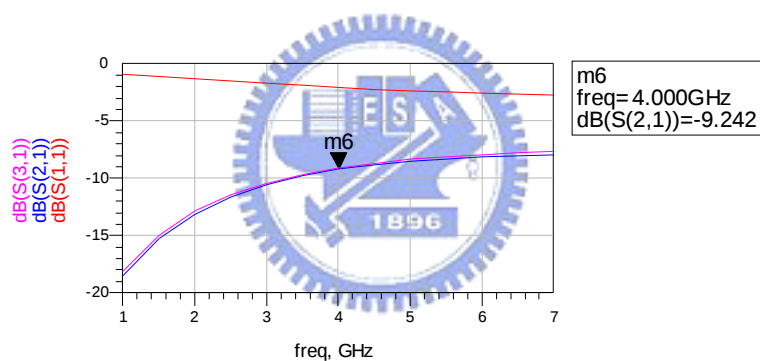
(1) 耦合變壓器之模擬

利用 EM 模擬軟體估算變壓器的參數及耦合係數：

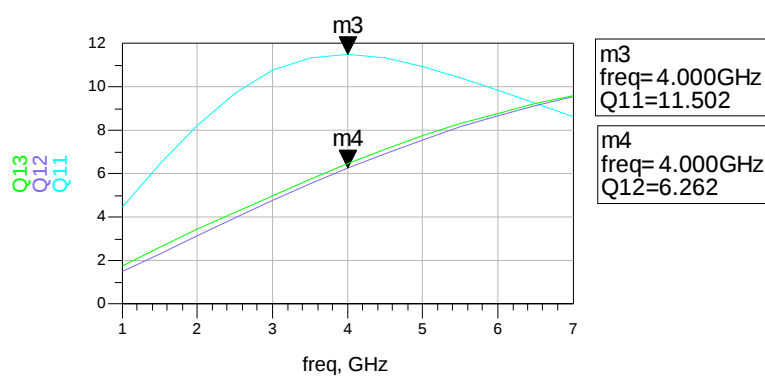


Primary inductor 到兩個 Secondary inductor 耦合係數：

→ $K=0.561$ Transmission Coefficient= -9.242dB @4GHz。

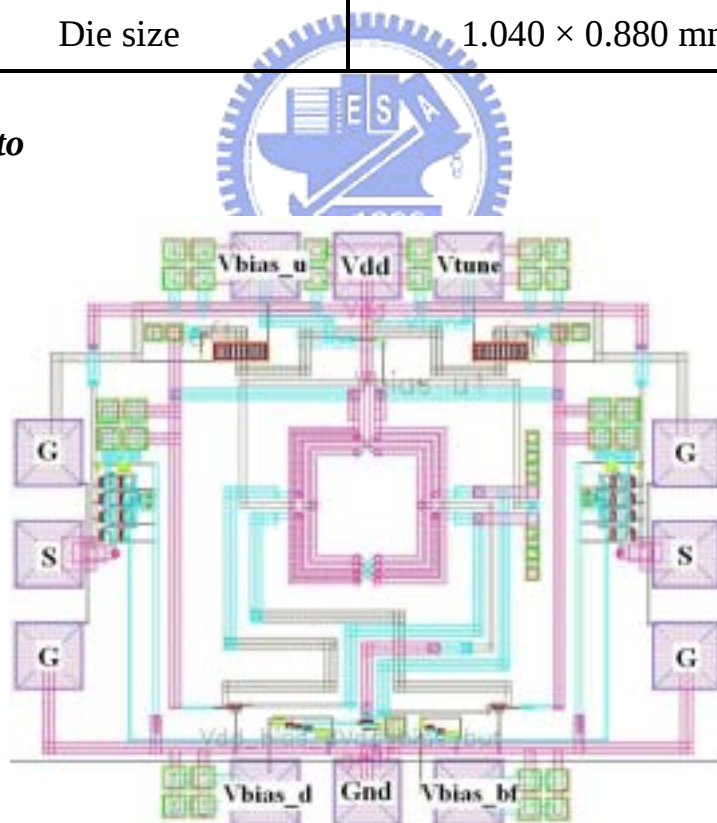


Primary inductor 與兩個 Secondary inductor 的電感 Q 值。



3.7.3 預計規格列表

Item	Spec
Supply Voltage	3 V
Current of QVCO core	4.18 mA
Current of Output buffer	21.8 mA
Power Consumption of core	~ 12.54 mW
Tuning frequency range	4.170GHz~4.381GHz
K_{VCO}	263MHz/V
Phase Noise	-115.6dBc/Hz @ 1MHz offset
FOM	-176.7 dBc/Hz
Die size	1.040 × 0.880 mm

Layout Photo

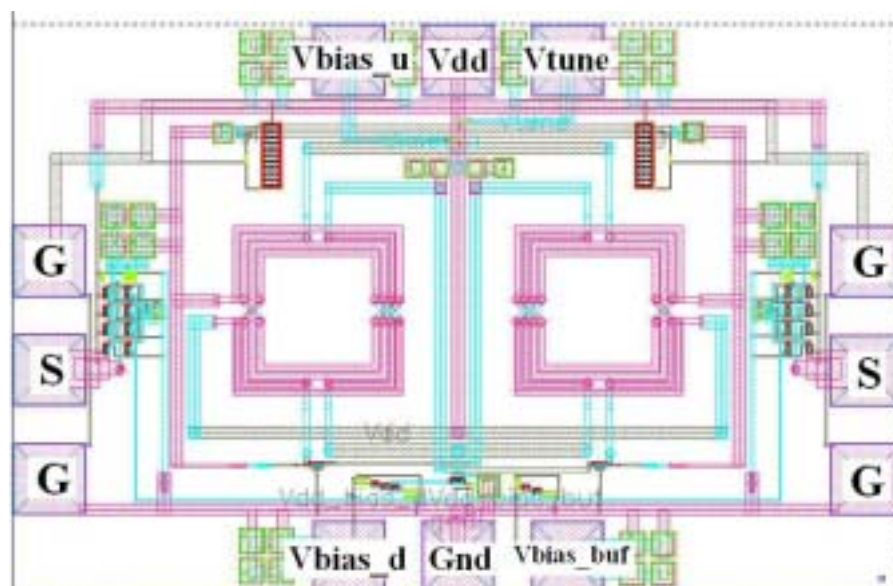
3.8 實作二，Trifilar Based Voltage-Controlled Oscillator (SiGe HBT 0.35 μ m)

本實作的研究動機與架構簡介皆與”實作一”相同，唯在 trifilar 的使用上在”實作一”是用單一個來作 differential excitation，而在本實作上是使用兩的單獨的 trifilar。

3.8.1 預計規格列表

Item	Spec
Supply Voltage	3 V
Current of QVCO core	2.95 mA
Current of Output buffer	21.6 mA
Power Consumption of core	~ 8.85 mW
Tuning frequency range	4.010GHz ~ 4.131GHz
K_{VCO}	153MHz/V
Phase Noise	-117dBc/Hz @ 1MHz offset
Die size	1222 μ m $\times$ 784 μ m

Layout Photo



第四章

正交相位壓控振盪器



4.1 前言

Zero-IF 和 Low-IF 是目前被廣泛運用的接收機架構，由於此架構不需使用外接的被動元件，可以完全用單一積體電路來實現，所以在無線收發機設計時常會使用該架構。為了避免傳收訊號不完全，此架構需要同相位(in-phase)和正交相位(quadrature)的本地振盪器(LO)訊號來傳收訊號。此外，image-reject 的接收機也要用正交相位的 LO 把鏡像訊號消掉，最常見的例子就是 Hartley 和 Weaver 架構。在一些複雜的數位調變系統中(GSM、DECT)為了縮小頻寬的使用，正交相位的 LO 訊號更是不可少。產生正交相位的 LO 有許多方法，像是使用被動元件的 poly-phase filter、環型振盪器(Ring Oscillator)、或是組合一些主動電路來完成，不過以上方法都會有一些缺點使它們的實用性降低，因此本章節將介紹數種可行性高的電路架構並展示實作結果，對於常用的傳收機架構也作討論。

4.2 Homodyne Receivers

4.2.1 Homodyne 接收機的特性簡介

Homodyne 和 Heterodyne Receiver 的最大不同點，就是在第一次的降頻時直接把 RF 的頻譜降到基頻，所以又被稱為”Zero-IF”或”Direct-conversion”。圖 4.1 是一個簡單的 Homodyne 接收機，LO 的頻率和輸入載波的頻率一樣，經過 LNA 放大及 Mixer 降頻之後接一個低通濾波器即可獲得想要接收的訊號，不過該架構只可用於 double-sideband 的 AM 訊號，因為 AM 正負兩側的頻譜是一樣的，在降頻後頻譜完全重疊並不會發生問題(圖 4.2)。如果要傳送 FM 或是 QPSK 的訊號，必須使用正交相位的架構(圖 4.4)，由於調變後的信號

在正負頻譜上並不對稱，如果用圖 4.1 的方法在降頻時正負頻譜會相交疊，造成訊號的損壞(圖 4.3)。

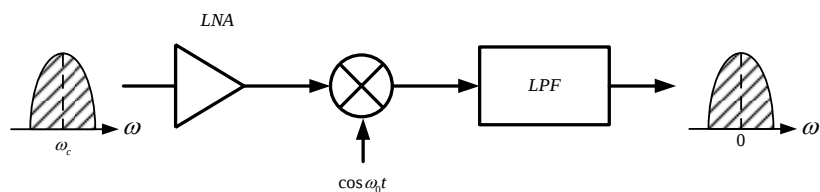


圖 4.1 Homodyne Receiver

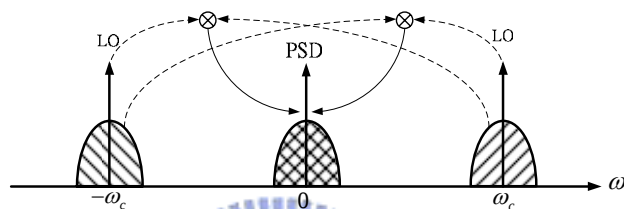


圖 4.2 AM 訊號經 Homodyne 接收機之降頻響應

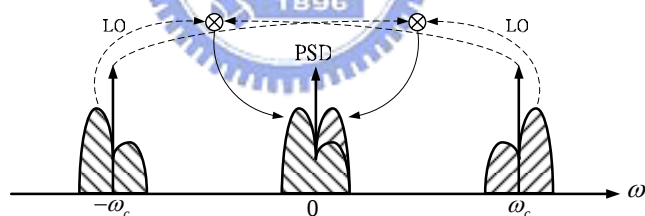


圖 4.3 FM 訊號經 Homodyne 接收機之降頻響應

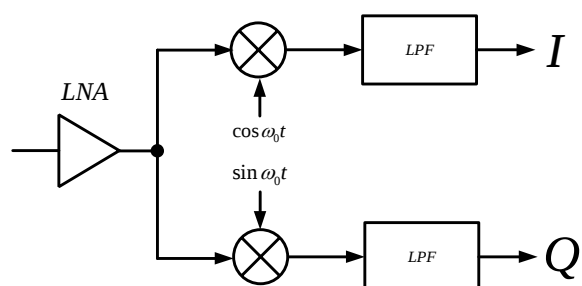


圖 4.4 正交相位接收機

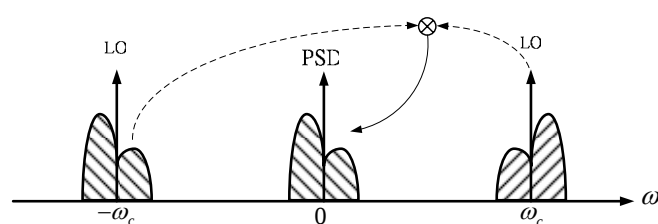


圖 4.5 FM 訊號經正交相位接收機之降頻響應

Homodyne 接收機的架構較 Heterdyne 架構簡易，提供了兩項優點：(1)由於中頻訊號(IF)為零，不會有鏡像(Image)訊號產生就不需要加入 Image Filter，LNA 就不用驅動 50 歐姆的負載。(2)IF SAW Filter 和下一級的降頻電路在此架構中不在需要，只要低通的濾波器和基頻的放大器即可，讓接收機可在單一製程上完全實現，以利於 SoC 整合。不過此架構還是有一些 Heterdyne 不會遇到的問題，造成 Direct-conversion 沒有獨占整的接收機市場。以下作說明：

(1) DC Offsets

Homodyne 是將訊號直接降頻到 DC，所以任何外來的 DC 偏移都會使訊號遭受破壞，由圖 4.6 和 4.7 來討論在接收機中此問題如何發生：

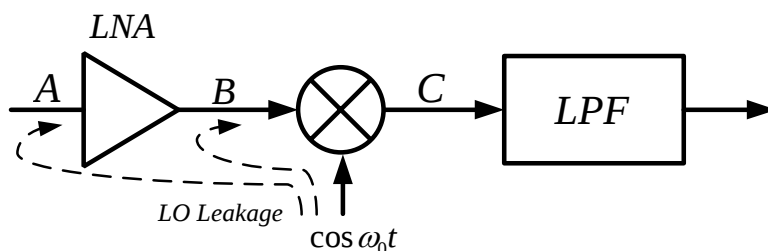


圖 4.6 LO 訊號造成的 Self-mixing

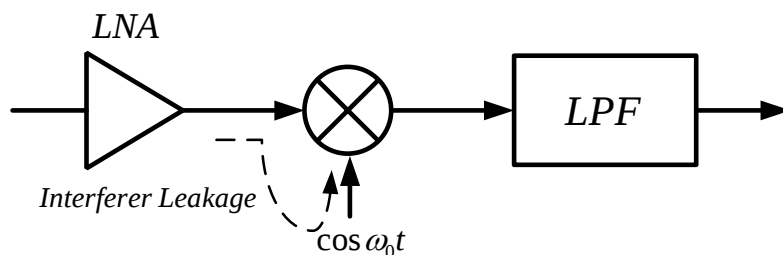


圖 4.7 RF 訊號造成的 Self-mixing

首先，Mixer 中 LO port 到 RF port 以及 LNA 輸入端的隔絕效果 (Isolation) 並非百分之百，LO 訊號就會漏到 A 及 B 點，如果伴隨基板的耦合效應，此”LO leakage”更為嚴重。此漏訊號效應最終會在 Mixer 跟 LO 作混波，在 C 點產生一個 DC 值，此現象稱之為”self-mixing”(圖 4.6)。同樣的如果有高功率的干擾訊號由 LNA 端接收下來，還是由於 Mixer 的 RF-to-LO Isolation 有限，干擾訊號也會漏到 LO port，self-mixing 又再產生(圖 4.7)。

(2) IQ mismatch

在 Homodyne 架構上要實現 PM 或 FM 必須使用正交相位的架構，所以要將 LO 作 90 度的相位平移。如果 I、Q 間沒有準確的 90 度差或是有振幅的不一至，在作降頻時訊號的座標圖會產生誤差使 bit error rate 升高(圖 4.8)

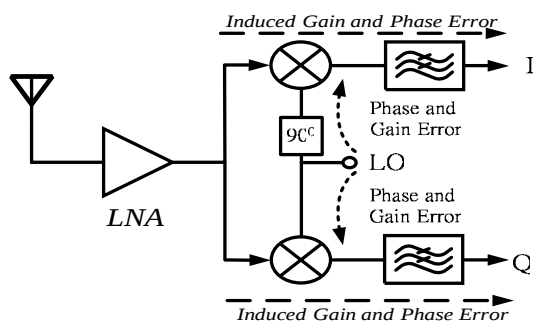


圖 4.8 I/Q mismatch 在收發機上的影響

為了更詳盡的了解 I、Q 不對稱對接收訊號的影響，作以下的推導：假設輸入訊號 $x_{in}(t) = a \cos \omega_c t + b \sin \omega_c t$ ，a、b 不是 1 就是 -1，不對

稱的 LO 如下： $x_{LO,I}(t) = 2\left(1 + \frac{\varepsilon}{2}\right) \cos\left(\omega_c t + \frac{\theta}{2}\right)$

$$x_{LO,Q}(t) = 2\left(1 - \frac{\varepsilon}{2}\right) \sin\left(\omega_c t + \frac{\theta}{2}\right)$$

與 $x_{in}(t)$ 相乘後在經過低通濾波器，可得以下的結論：

$$\rightarrow x_{BB,I}(t) = a\left(1 + \frac{\varepsilon}{2}\right) \cos \frac{\theta}{2} - b\left(1 + \frac{\varepsilon}{2}\right) \sin \frac{\theta}{2}$$

$$\rightarrow x_{BB,Q}(t) = -a\left(1 - \frac{\varepsilon}{2}\right) \sin \frac{\theta}{2} + b\left(1 - \frac{\varepsilon}{2}\right) \cos \frac{\theta}{2}$$

畫出的座標圖如圖 4.9，降頻後的訊號確實被毀壞：

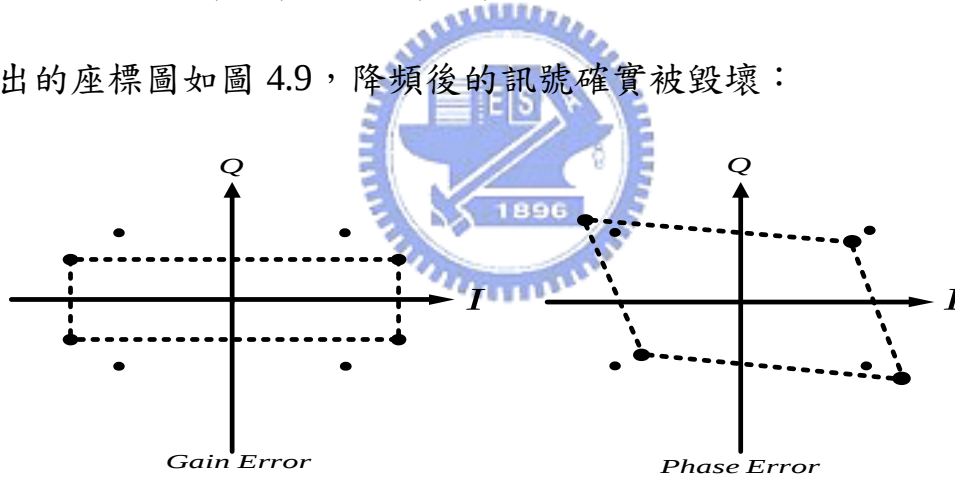


圖 4.9 I/Q mismatch 對訊號座標圖產生的影響

(3) Even-Order Distortion

通常我們只會視 Odd-order distortion 為干擾訊號，可是在 Homodyne 的接收機下 Even-order 的非線性特性也對接收訊號造成干擾。以圖 4.10 來說明：兩個鄰近的高功率訊號($x(t) = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t$) 存在於我們想要接收通道的一側，由於 LNA 本身的非線性特性： $y(t) = \alpha_1 x(t) + \alpha_2 x^2(t)$ ，當訊號通過 LNA 後 $y(t)$ 會產生一項

$\alpha_2 A_1 A_2 \cos(\omega_1 - \omega_2)t$ ，由於兩頻率離很近，此 Even-order distortion 會在 DC 附近出現。如過接下來的 Mixer 是 ideal，上述的 distortion 就會被乘到高频去，不幸的是 Mixer 的 RF 到 IF 的 Isolation 還是有限，所以 distortion 還是會漏到 IF 端，對降頻到 DC 的接收訊號造成破壞。

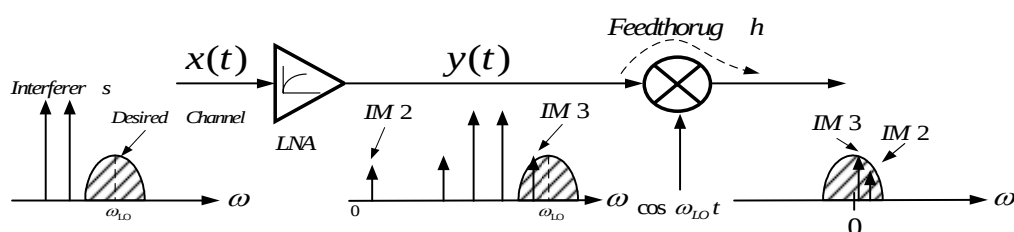


圖 4.10 Even-order distortion

其實不只 LNA 會有 Even-order distortion 的現象，Mixer 的 RF port 也有相同的問題發生，因為接收訊號經過 LNA 後的振幅已經變大，所以形成 distortion 的響應會更嚴重。模擬 Mixer 時就要考慮到”IP2”(second-order intercept point)，模擬的方法跟 IP3 一樣，只是將 Odd-order 的作圖換成 Even-order 的作圖。

(4) Flicker Noise

通常接收訊號經過 LNA 和 Mixer 後大約有 10mV 的振幅，所以接下來各級電路的輸入雜訊變的非常重要，尤其 Homodyne 是直接將訊號傳到 DC，所以主動元件的 $1/f$ noise 就會造成嚴重影響，改善方法就是在 RF 訊號端將增益在提高，像是使用 active 的 Mixer 取代 passive 的 Mixer。

4.2.2 以 Homodyne 為基礎的 image-reject 接收機

由於 Heterodyne 的接收機必須使用 image-filter 來消去鏡像訊號，造成其使用率有限，所以尋找新的鏡像訊號消去方法也是 RF IC 設計

者的研究方向之一。目前廣泛使用的 image-reject 架構為：(1)Hartley 架構；(2)Weaver 架構。

(1) Hartley :

此結構只需一組正交相位的 LO，在價格上可以藉著減少晶片面積而降低；其次，是設計上也比較簡單只需加一組 90° 的 phase shifter。

在窄頻的條件下，phase shifter 在頻譜上可用 $G(\omega) = -j\text{sgn}(\omega)$ (圖 4.12) 來表示，實數訊號經過 phase shifter 後仍會是實數，只會讓正負頻的訊號相位發生變化。 90° 度的相位平移可以利用簡單的被動元件來實現，圖 4.13， $V_{in}(t)$ 經過 phase shifter 後 $V_{out1}(t)$ 、 $V_{out2}(t)$ 與 $V_{in}(t)$ 的相位差等於 $\pi/2 - \tan^{-1}(RC\omega)$ 及 $-\tan^{-1}(RC\omega)$ ，所以在 $V_{out1}(t)$ 、 $V_{out2}(t)$ 間就產生了 90° 度的相位差。不過此 phase shifter 電路只能適用於窄頻，所以 Hartley 架構不能用於寬頻的通訊系統架構中。

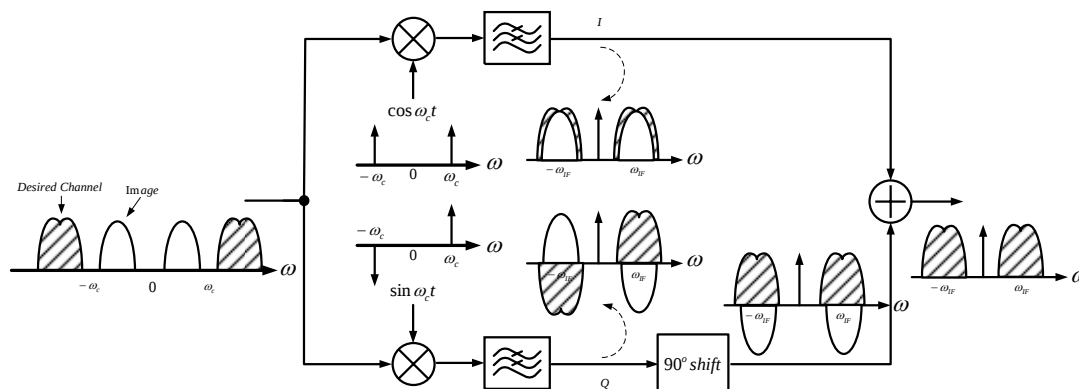


圖 4.11 Hartley 接收機中頻譜的變化

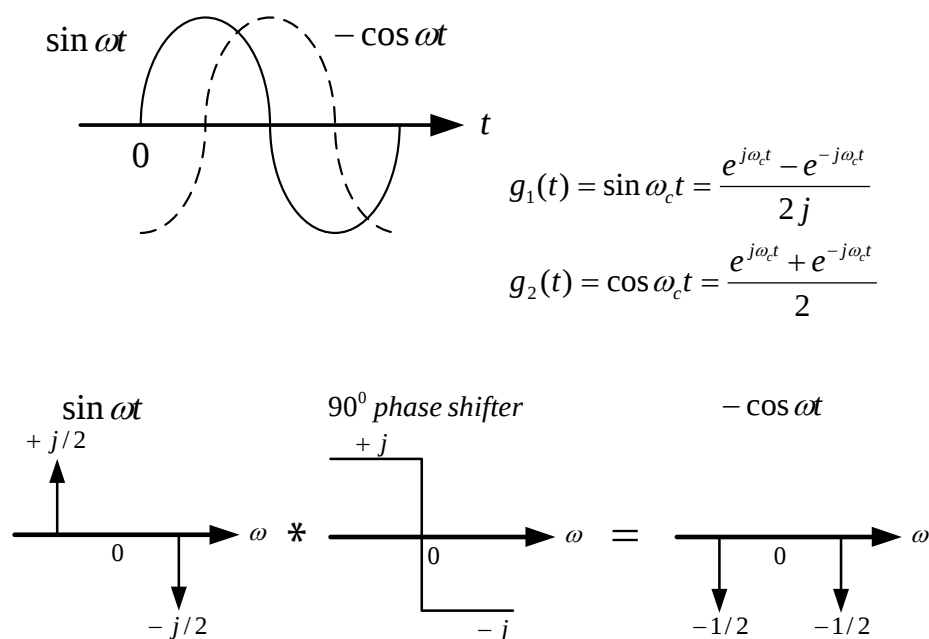


圖 4.12 Phase shifter 在頻譜上的響應

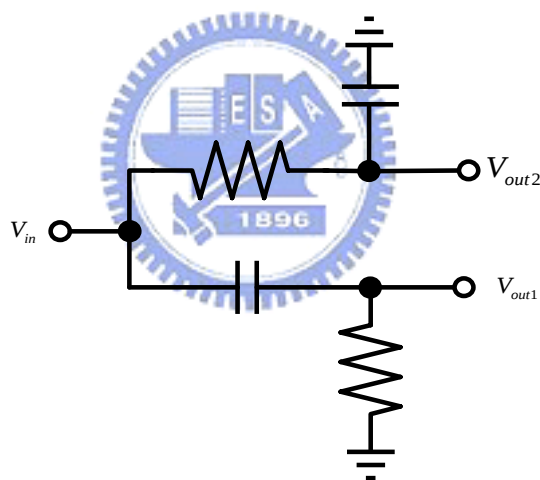


圖4.13 利用被動元件產生90度相位差

以下對圖4.13作推導：

$$(V_{in} - V_{out1})sRC = V_{out1}$$

$$\rightarrow V_{in} sRC = V_{out1}(1 + sRC) \rightarrow V_{out1} = V_{in} \frac{sRC}{1 + sRC} = V_{in} \frac{j\omega RC}{1 + j\omega RC}$$

$$\rightarrow \angle 1 = 90^\circ - \tan^{-1}(\omega RC)$$

$$\rightarrow \text{同理可推得 } V_{in} \text{ 與 } V_{out2} \text{ 的相位差為 } \angle 2 = -\tan^{-1}(\omega RC)$$

所以 V_{out1} 與 V_{out2} 的相位差 90 度。雖然從相位上看起來不論在哪個頻率的相位差都會有 90 度，不過振幅上就不相同了，只在 $\omega = 1/(RC)$ 會一樣，因此該 phase shifter 架構並不能寬頻使用。

(2) Mixer :

為了改善 Hartly 的窄頻缺點，將造成電路窄頻的組件用其他方法取代，所以用第二組的 Mixer 來替換 90 度的 phase shifter，可維持 Image-reject 的特性，不過也因為多使用一組 Mixer 使成本上升，設計時也較為複雜。

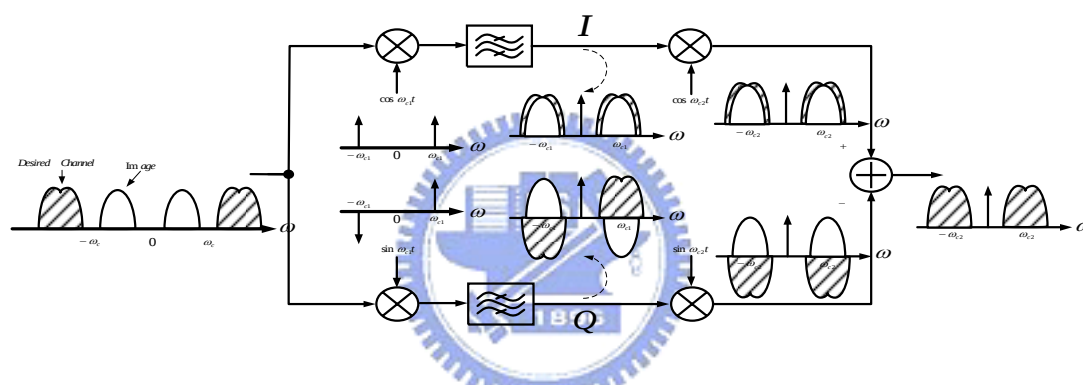


圖 4.14 Weaver 接收機中頻譜的變化

由於上述的兩的架構都需要正交相位的 LO，LO 的增益、振幅不一致都會影響到整個架構的 Image-rejection 效果。通常 Image rejection ratio 達 30~40dB，LO 大概有 0.2~0.6dB 的振幅誤差及 1~5 度的相位誤差。

4.3 如何產生正交相位訊號

4.3.1 一般傳統的正交相位產生方法

正交相位的準確性是實現鏡像排除(image-rejection)收發機的先決條件，因此，如何產生正交相位一直廣受大家研究與討論。目前較廣

泛使用的方法是將 LC-tank 的 VCO 操作在我們需要頻率的兩倍頻，再經過除頻電路後得到正交相位的訊號(圖 4.15)。此方法可以避免 VCO 受到 PA 產生強大訊號的推拉效應(pushing/pulling effect)，因為 VCO 操作在 PA 的兩倍頻，但是會有以下的缺點：**(1)**兩倍頻的 VCO 在設計較困難，且正交相位的準確性會被 VCO 是否有 50%的 duty cycle 限制住。**(2)**接於 VCO 之後的除頻器必須高頻操作，所以電晶體的 current density 必須提高到讓 f_T 達極值，因此增加電路的功率消耗。

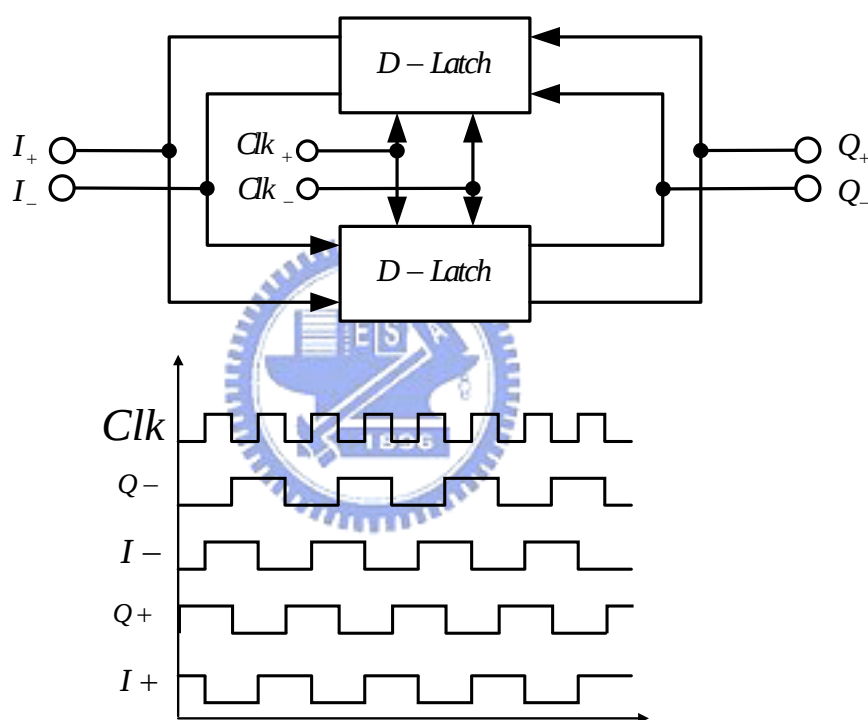


圖 4.15 利用÷2 電路產生 I/Q 訊號

如果用 RC 組成的 poly-phase filter 架構就更耗功率了(圖 4.16)，必須在 VCO 和 poly-phase filter 間加入 buffer，一方面可避免 VCO 中 LC-tank 的 Q 值減少，一方面用來補償 RC 電路造成的訊號衰減，才能推動接下來的 Mixer。此外，poly-phase filter 會耗費相當大的晶片面積，成本因而提高。

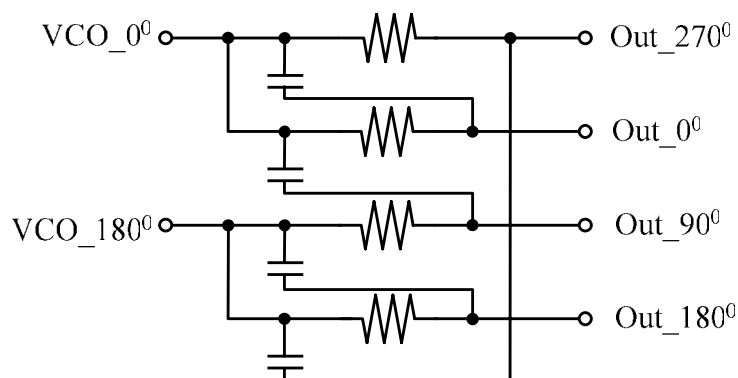


圖 4.16 利用 Poly-phase Filter 產生 I/Q 訊號

若想用 ring oscillator 的架構，它的 phase noise 又太差不適用於現今的收發機，所以最吸引人的方法還是利用兩個對稱型(差動型)的 VCO 讓它們相耦合，產生低相位雜訊的正交訊號。圖 4.17 是兩 VCO 耦合路徑的接法，在路徑上會有一次的交錯耦合(cross-coupling)提供 180 度的相位差，為了滿足 Barkhausen criteria 的總回授路徑相位差等於零，剩下的 180 必須由兩 VCO 的 LC-tank 提供，所以在 VCO_A 與 VCO_B 的輸出各提供 90 度的相位偏移，正交相位的特性由此產生。此概念跟 Differential Ring Oscillator 相似(圖 4.18)，如果有 N 級 Invertors 串接，每級的可得的相位差等於： $\theta = \frac{(360^\circ - 180^\circ)}{N}$ 。

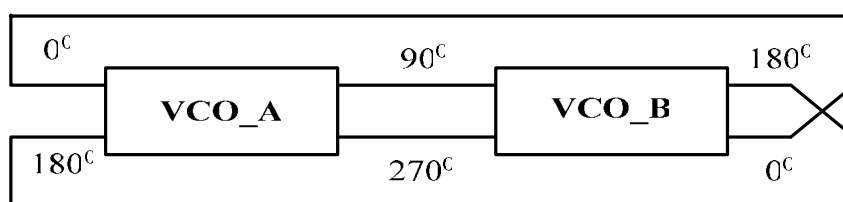


圖 4.17 正交相位振盪器之接線方式

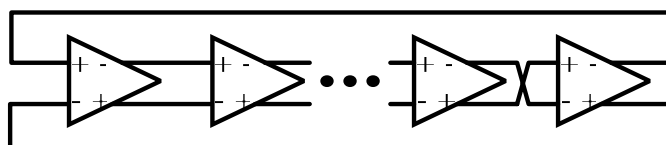


圖 4.18 N 級的 Ring Oscillator

4.3.2 利用 VCO 耦合產生正交相位的 LO

在 IC 上產生高頻正交相位的電路技巧如下：(1) Parallel quadrature VCO、(2) Parallel with phase shift quadrature VCO、(3) Bottom-series quadrature VCO、(4) Top-series quadrature VCO、(5) Superharmonic quadrature VCO。最先被設計出的電路架構是 Parallel quadrature VCO(PQVCO)，接下來的各個結構都是為了改善 PQVCO 之特性而衍生出來的，它們有獨自的理論基礎和不同優缺點，接下來將對各架構作深入探討。

(1) Parallel VCO :

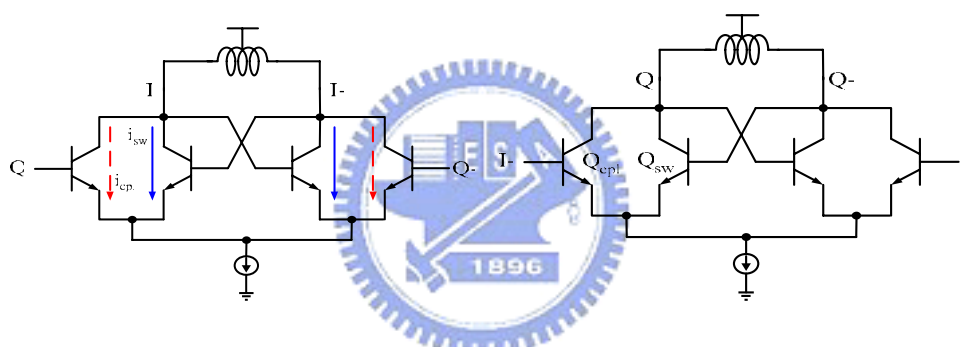


圖 4.19 Parallel QVCO

此架構包含兩組完全相同的 LC-tank VCO，除了用來產生負電阻的 cross-coupling 電晶體對(Q_{sw})， Q_{sw} 旁再掛上 Q_{cpl} 以提供兩 VCO 相互耦合的路徑。可以藉由改變 I_{sw} 及 I_{cpl} 的大小來改變兩組 VCO 的耦合強度，相對的會造成相位誤差與相位雜訊兩者間的 trade-off：如果 I_{sw} 較 I_{cpl} 大，相位雜訊會較相位誤差好；反之，相位雜訊較差。其原因是由於 I_{sw} 與 I_{cpl} 的總合電流(I_{tot})的相位與輸出電壓相位不同(圖 4.20)，造成 LC tank 必須提供相位偏移來彌補該相位差(ϕ_{res})，從第三章中所定義的 Q 值來看在 $f = 1/\sqrt{LC}$ 時有最大值且 LC-tank 不會提供

任何相位飄移，一但為了補償 ϕ_{res} 振盪頻率勢必漂動，Q 值就無法維持在最大值，相位雜訊也因此上升。

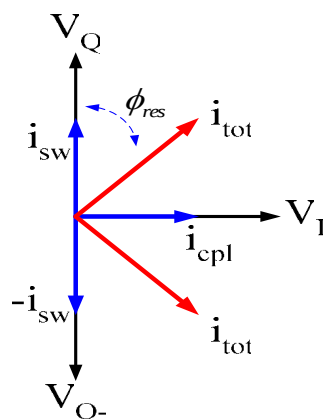


圖 4.20 PQVCO 之電流與電壓相位圖

根據查詢各 Paper 後，此架構的 Phase Noise 與 Phase Error 的最佳化值大約是將 I_{sw} 與 I_{cpl} 的比值設定為 3 : 1。

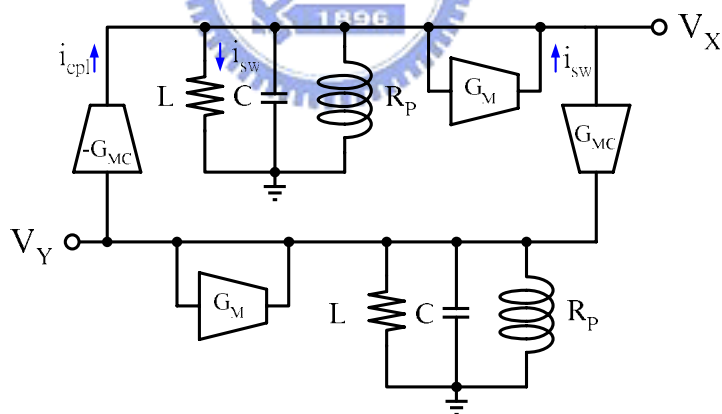


圖 4.21 PQVCO 的線性模型

圖 4.21 是 Parallel 架構 Qvco 的線性模型，由於加上 parallel 電晶體對後會使振盪頻率漂離 LC-tank 的振盪頻率($\omega_0 = 1/\sqrt{LC}$)約 $\Delta\omega$ ，可藉此模型描述 $\Delta\omega$ 、 G_{MC} 、 G_M 。 G_M 表示負電組對(Q_{sw})的 transconductance； G_{MC} 表示耦合對(Q_{cpl})的 transconductance； I_{sw} 是 G_M

產生的 in-phase 的電流，用來補償 LC-tank 產生的寄生電阻 R_p ：

$I_{sw} = G_M V_x = V_x / R_p (G_M = 1/R_p)$ ，接著就可將 LC-tank 看成理想沒損耗 (lossless)； I_{cpl} 則表示為與 V_x 正交的電流；根據 paper 所言，LC-tank 在 $\Delta\omega$ 的振幅大約是 $1/(2C|\Delta\omega|)$ ，為了符合起振條件：loop gain 至少等於一，所以 $G_{MC}/(2C|\Delta\omega|)=1$ ，經過交叉相乘後：

$$\Delta\omega = G_{MC} / 2C \text{-----}(4-1)；$$

此模型也可用來分析非線性的振盪器。將 V_x 同相位的一階諧波電流($I_{sw,1}$)和振盪器的振幅比值定義為：

$$G_M \equiv \frac{I_{sw,1}}{A_0} \text{ (effective transconductance)-----}(4-2)；$$

相同的，定義：

$$G_{MC} \equiv \frac{I_{cpl,1}}{A_0} \text{ (effective coupling transconductance)-----}(4-3)；$$

$I_{cpl,1}$ 是與 V_x 成正交的一階諧波電流。

由此可見振幅是由 $I_{sw,1}$ 或等效由 G_M 決定，而頻率平移($\Delta\omega$)是由 G_{MC} 決定。以上非線性的定義也可推用在 Top-series 的架構上。

圖 4.22a~d 是 Parallel 架構 Qvco 在一個週期內的四種操作狀態，在 a 和 c，而圖 4.23 表示 PQVCO 各節點在 time domain 上的變化，電流源是由負電阻電晶體對(I_{sw})以及耦合電晶體對(I_{cpl})所分流。我們

$$\text{以 } \delta \text{ 來表示, } \delta = \frac{I_{cpl}}{I_{cpl} + I_{sw}} \text{-----}(4-4)；$$

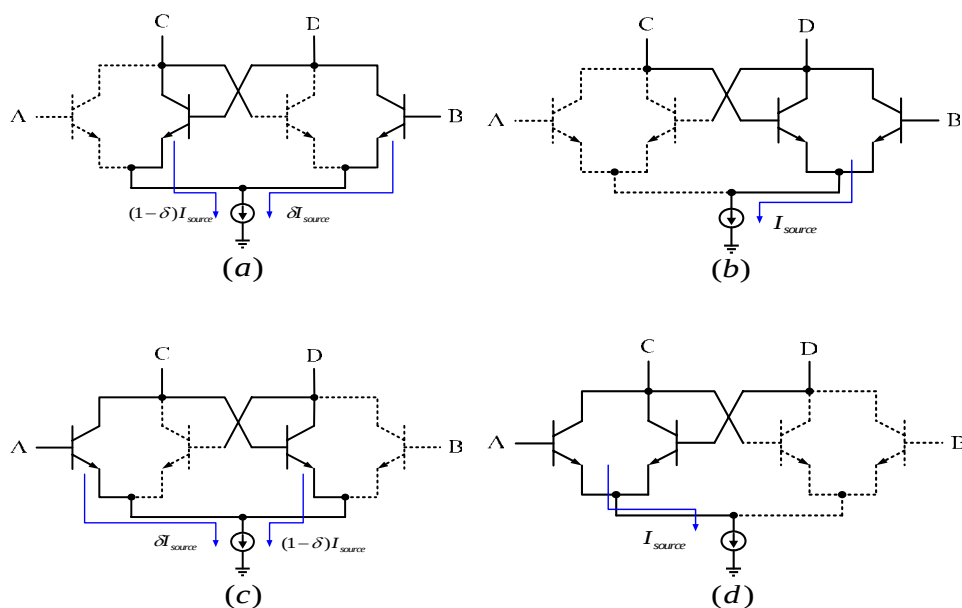


圖 4.22 Parallel QVCO 之四種操作狀態

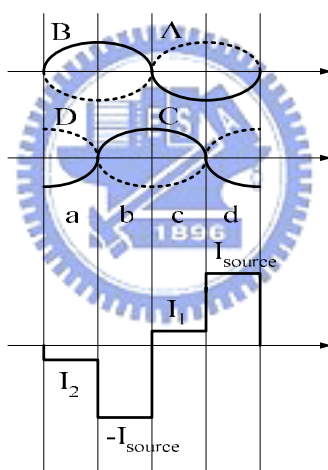


圖 4.23 流進 LC-tank 的電流量表

I_1 、 I_2 表示在 a 和 c 流進 LC-tank 的電流大小，

$$I_1 = -I_2 = (2\delta - 1)I_{\text{source}} \quad \text{-----}(4-5);$$

$$\text{而 } I_{\text{sw},1} \text{ 在此簡化情況下等於 } \frac{1}{\pi}(2I_{\text{source}} + I_2 - I_1) = \frac{4}{\pi}(1 - \delta)I_{\text{source}} \quad \text{-----}(4-6);$$

依據 4-2 式可推得振盪振幅：

$$A_0 = \frac{4}{\pi} (1 - \delta) I_{source} R_p \text{-----}(4-7);$$

同理可得：

$$I_{Q,1} = \frac{1}{\pi} (2I_{source} + I_1 - I_2) = \frac{4}{\pi} \delta I_{source} \text{-----}(4-8);$$

$$G_{MC} = \frac{I_{Q,1}}{A_0} = \frac{\delta}{1 - \delta} \frac{1}{R_p} \text{-----}(4-9);$$

在 phase noise 上，我們可以從 4-1 式知輸出訊號的頻率受 G_{MC} 影響，此外，由 4-9 也可觀察到 noise source 只有負電阻電晶體對以及耦合電晶體對，與電流源無關。

(2) Parallel with phase shift QCO

由上述的 parallel quadrature VCO 的原理中可以了解，造成 Phase Noise 不佳的原因就是 LC-tank 必須提供部分的相位偏移已達成 90 度相位差，如果能用其他方法幫助 LC-tank 補償一些相位偏移，Q 值減少的量就可以獲得一些舒緩。接下來就利用圖 4.24 來說明如何補償 LC-tank 的相位差：此 QVCO 的線性表示方法已在” (1)PQCO ”中提過，只是在 $-G_{MC}$ 與 LC-tank 間、 G_{MC} 與 LC-tank 間加入一個 phase shifter ϕ_p 以提供部分的相位偏移(圖 4.24)。如果 ϕ_p 可以提供 90 度的相位，LC-tank 中的電流與電壓的相位就會 in-phase，讓 Q 值維持在最大值。

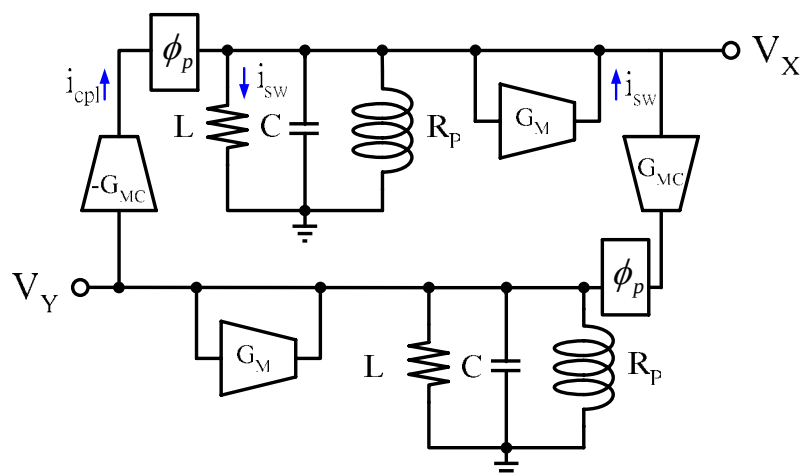


圖 4.24 PQVCO with Phase Shifter 之線性模型

在電路實現的角度來看，弦波要達到 90 度的相位偏移就如同把弦波作積分或微分： $\sin \omega t$ 與 $\cos \omega t$ 相位差 90 度，把 $\sin \omega t$ 變 $\cos \omega t$ 的方法就是用微分。以下電路(圖 4.25)就能簡單的提供微分功能，也可以藉由調整產生 90 度相位差電路的電流大小來達到不同大小相位偏移。

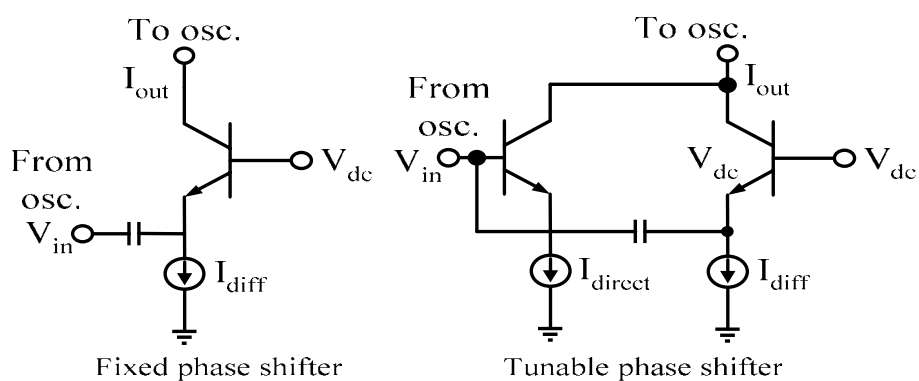


圖 4.25 兩種 Phase Shifter 之電路圖

以下是對該電路的小訊號作推導：

$$\frac{V_{in} + v_{gs}}{1/sC} = g_m v_{gs} = I_{out}$$

$$\frac{I_{out}}{g_m} = v_{gs}$$

$$\frac{V_{in} + I_{out}/g_m}{1/sC} = I_{out}$$

$$V_{in} = I_{out} \left(\frac{1}{g_m} + \frac{1}{sC} \right) \cong \frac{I_{out}}{sC}$$

(3) *dp-Series Quadrature VCO*

雖然“(2) *PQCO with phase shifter*”中提到可以在兩 LC-tank 間串接 Phase Shifter 來改善 Phase Noise，相對的電路在設計上變的更複雜，功率消耗也因新加入的電路耗費更多，使該架構仍不夠完善。接下來討論的架構就是利用 Top-series 的架構取代上述的 parallel 架構(圖 4.26)，產生 phase noise 低又簡易的正交相位的壓控震盪器。

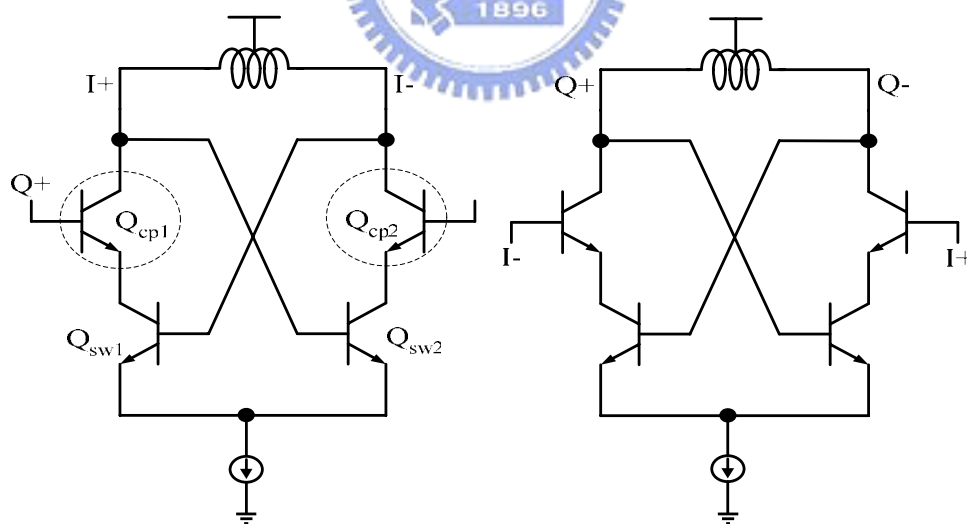


圖 4.26 Top-Series QVCO

耦合電晶體對(Q_{cp1} 、 Q_{cp2})堆疊在負電阻電晶體對(Q_{sw1} 、 Q_{sw2})上面，因為耦合電晶體對是 phase noise 的主要來源，利用這個堆疊結構

後可大幅降低 phase noise。在 Parallel QVCO 架構中 Q_{cpl} 、 Q_{sw} 的大小必須慎選，因為該大小會決定 I_{cpl} 和 I_{sw} ，進而影響 phase noise 和 phase error，不過在 Top-series quadrature VCO 中， Q_{cpl} 和 Q_{sw} 的大小不會影響 phase error 因為 I_{cpl} 和 I_{sw} 共用相同的電流源，因此可以調整 Q_{cpl} 和 Q_{sw} 的大小以獲得最佳的 phase noise。

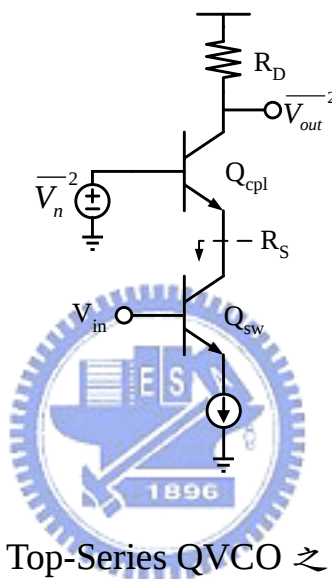


圖 4.27 Top-Series QVCO 之等效半電路

以類比電路的小訊號操作來看，可以推出 Q_{cpl} 的 noise 對 V_{out} 的影響： $\frac{V_{n,out}}{V_{n2}} \approx \frac{-R_D}{1/g_{m,cpl} + R_S}$ ，當 VCO 在振盪時 swing 會很大，造成 Q_{sw} 處於 saturation 的狀態，此時等效看到的 R_S 會很大，所以可以假設為 $R_S \gg 1/g_{m,cpl}$ and R_D ， $\rightarrow \frac{V_{n,out}}{V_{n2}} \approx 0$ 。雖然 VCO 在實際操作時並非小訊號，不過此概念加上 paper 上的實驗數據可以證明有低 phase noise 的特性。

而 Top-series 架構的 Qvco 也有相似於 Parallel 架構的四種操作狀態圖 4.27a~d。在 b 及 c 負電阻電晶體對是處於三級區(triode)而不是

完全的關閉，使耦合的電晶體對能有此對 triode 電晶體的 degeneration 效果，phase noise 隨之降低。不過 Top-series Qvco 並沒法像 Parallel Qvco 可以用顯而易見的方程式來說明 δ ，只能用軟體來模擬，不過 (4-5)~(4-9) 的等式依然適用。圖 4.28 Top-Series 四種操作狀態以及流進 LC-tank 的電流量表。

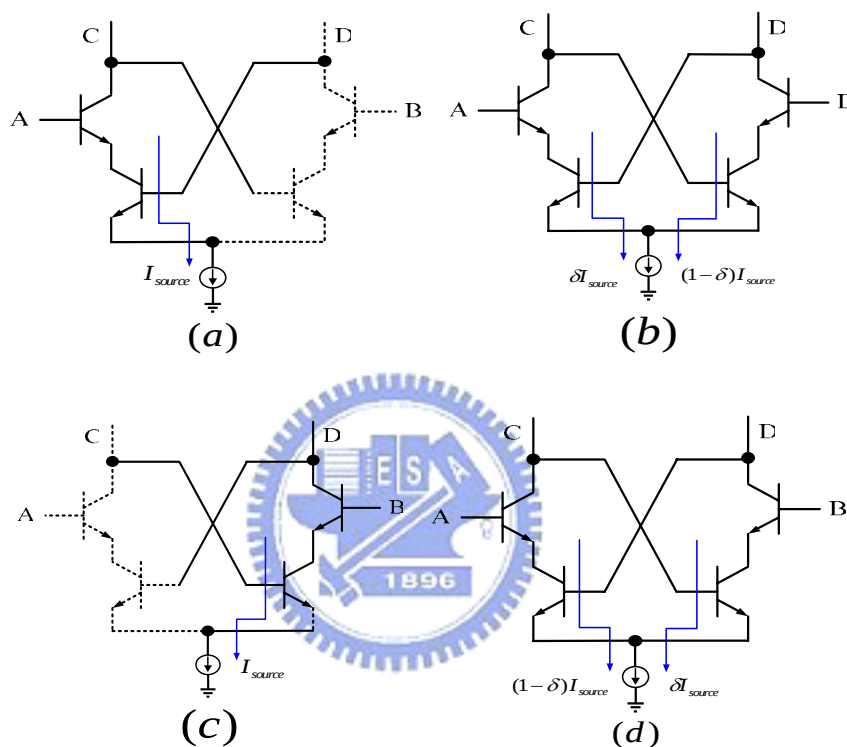


圖 4.28 Top-Series QVCO 之四種操作狀態

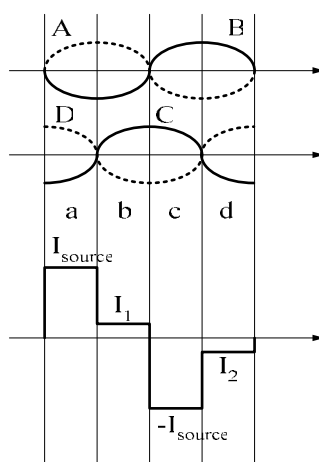


圖 4.29 流進 LC-tank 的電流量表

其次，對於上述的兩種正交振盪器要如何公平又有意義的比較其性能並不直觀，因為 phase noise 和 phase error 並不是毫無相關的參數，在改變電路參數來減少 phase noise 的同時，phase error 卻變差。以 Parallel Qvco 為例，此兩參數受 Q_{sw} 與 Q_{cpl} 的電流比例控制，可是 Series QVCO 只能藉改變 Q_{sw} 與 Q_{cpl} 的大小來改變 phase noise，phase error 為一定值。

Qvco 所產生的正交相位訊號，其間的 phase 和 amplitude error 目前為止並沒有可以直接量測的可行方法，只能將輸出的正交訊號驅動額外的 single-sideband upconversion 電路，再量測 upconversion 後的我們想要頻段與鏡像頻段的輸出功率比值 (image band rejection (IBR))。在 parallel 架構中的 Q_{cpl} 電流越大 IBR 越好可是 phase noise 變差，由此可見，對於不同架構的 Qvco 只比較 phase noise 或 FoM 是不夠完善的。比較合理的方法是將不同架構的 Qvco 設計在相同的 phase error 後再比較其 FoM。相較於 Parallel，Top-series 架構的 phase error 就不會因 Q_{sw} 與 Q_{cpl} 的比值影響，所以我們可以將 Parallel 設計到與 Series 同樣的 phase error 後再比它們的 phase noise，就可以正確客觀的比較其性能。

藉由以上的分析我們就可以設定好 δ 、 α ，讓 Parallel 與 Top-series 的 Qvco 有相同 phase error 進而做出公正的 phase noise 比較。

Top-Series QVCO 除了因為 coscode 架構讓 noise 降低，從圖 4.23 和圖 4.28 還可觀察到另一個原因。對圖 4.23b 與 d 而言，由於差動對的一側完全關閉，因此 noise 沒有路徑流到 LC-tank；但在 c 中 Q_{cpl1} 的

noise 就可藉由 Q_{sw2} 流到 LC-tank 中。 ΔI_1 會以 ω_{out} 的頻率做改變(圖 4.29)，進而改變了 $I_{sw,1}$ 以及 $I_{cpl,1}$ ，最後也改變了 G_{MC} 。

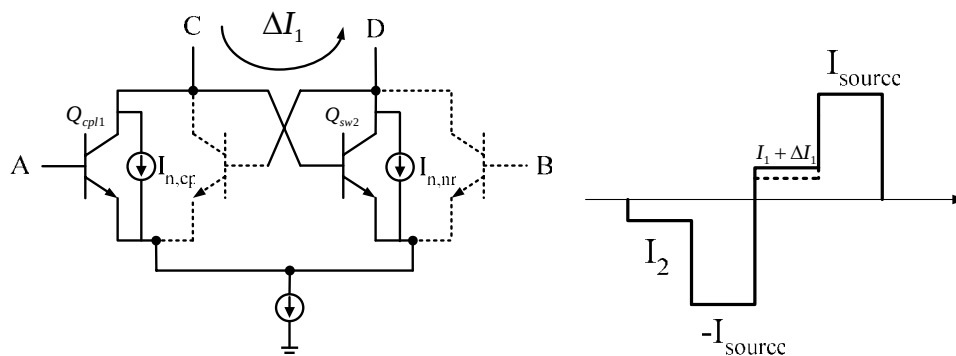


圖 4.30 圖 4.23c 的雜訊源以及流進 LC-tank 的電流量表

Top-series 架構下 Q_{cpl1} 在圖 4.28b、d 都有開啟，所以該 noise source 會對 I_1 與 I_2 做等量等相的改變，就 4-6 式及 4-8 式來說這些改變並不會影響 $I_{Q,1}$ 和 $I_{I,1}$ ，所以 G_{MC} 也不變。藉由上述的討論，Top-Series QVCO 架構應可得到較 Parallel QVCO 好的 phase noise。

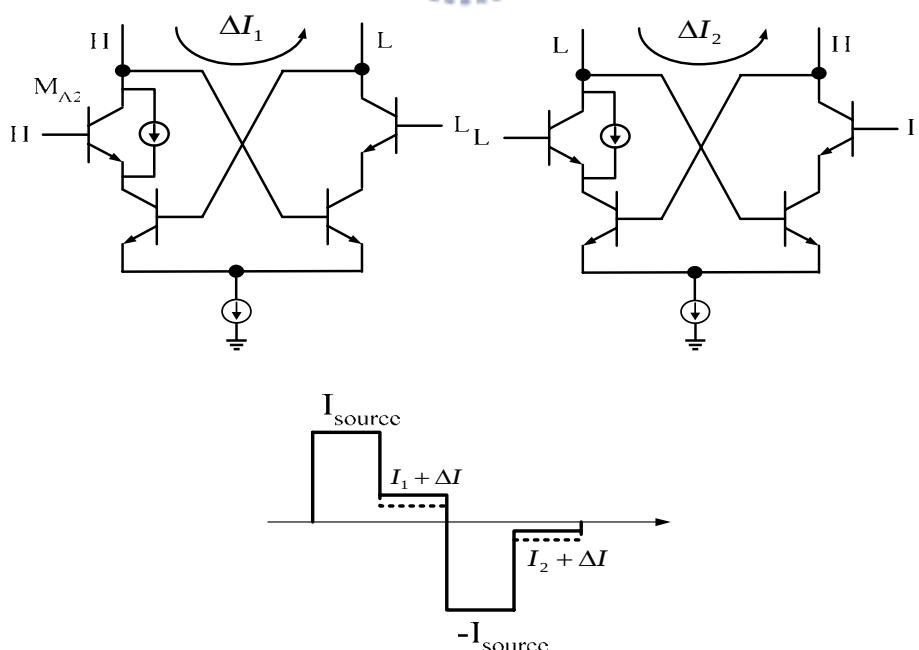


圖 4.31 在圖 4.28b、d 的雜訊源以及流進 LC-tank 的電流量表

4.4 實作一，Quadrature VCO Using Top-Series

Coupling Structure (GaAs HBT $2\ \mu\text{m}$)

此實作架構採用的是 Top-Series Coupling(圖 4.32)，其研究動機與架構簡介已在 4.3.2 節中的 part(3)說明過，接下來直接對預估規格與量測結果作說明。整體的電路架構如圖，採用 Emitter coupled pair with cross feedback 的振盪器架構，而 feedback 的方法是利用 transformer，可以避免 base-collector junction 在大輸出振幅時變成順偏。在 Varactor 的部分則是把 HBT 電晶體的 base 和 collector 接在一起，使用 base 和 emitter 接面間的電容來實現。

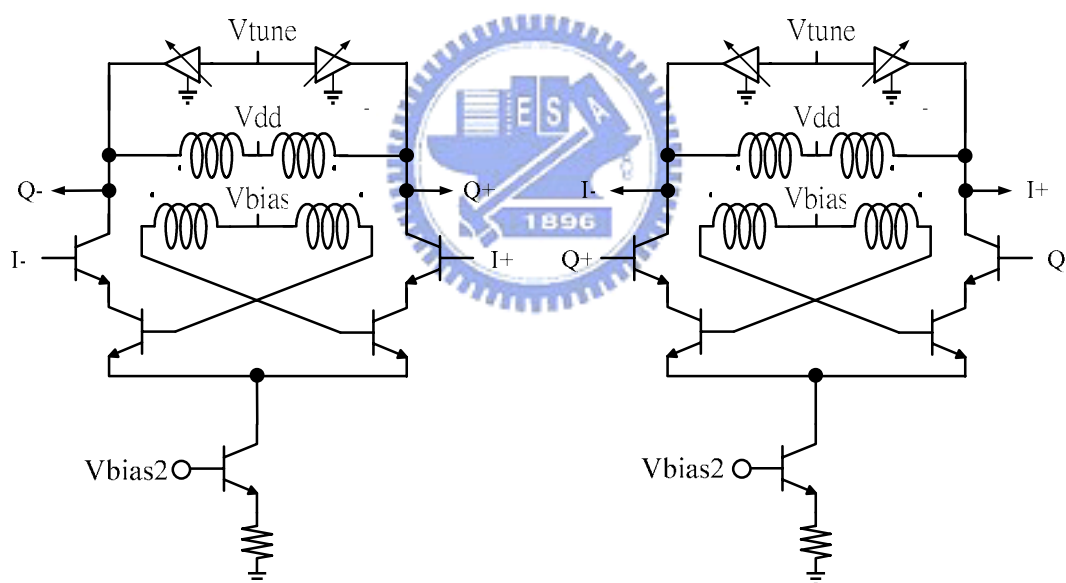


圖 4.32 Top-series QVCO 之電路圖

Symmetric Transformer 之特性模擬

此架構的 transformer(圖 4.33)在之前已下過 Testkey，在電路模擬時就是利用量測的數據來設計(圖 4.35)，並近似一組 discrete 的 components(圖 4.34)來模擬 time domain 上的電路特性：

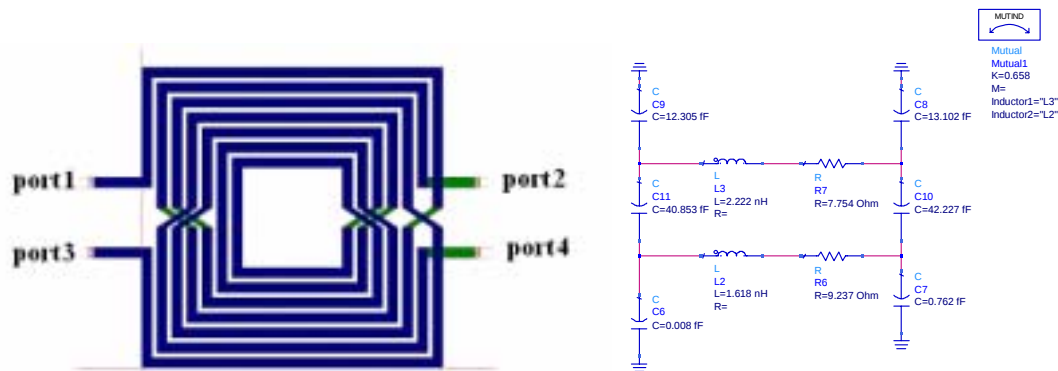


圖 4.33 Symmetric Transformer 之 Layout 圖 4.34 Fitted model

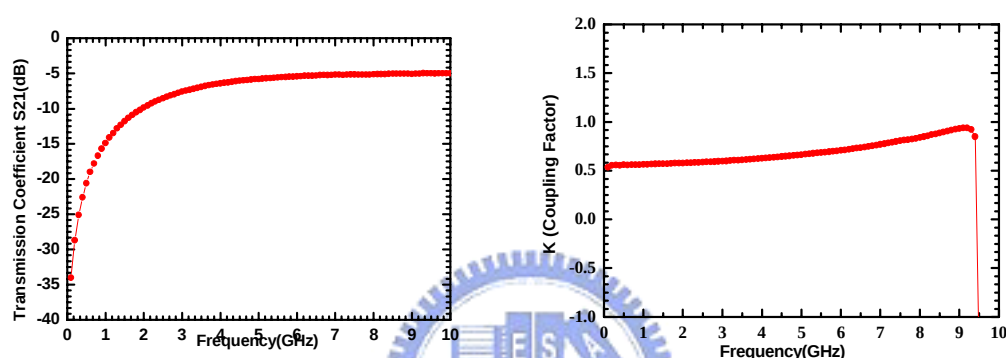


圖 4.35 Transformer 之量測結果

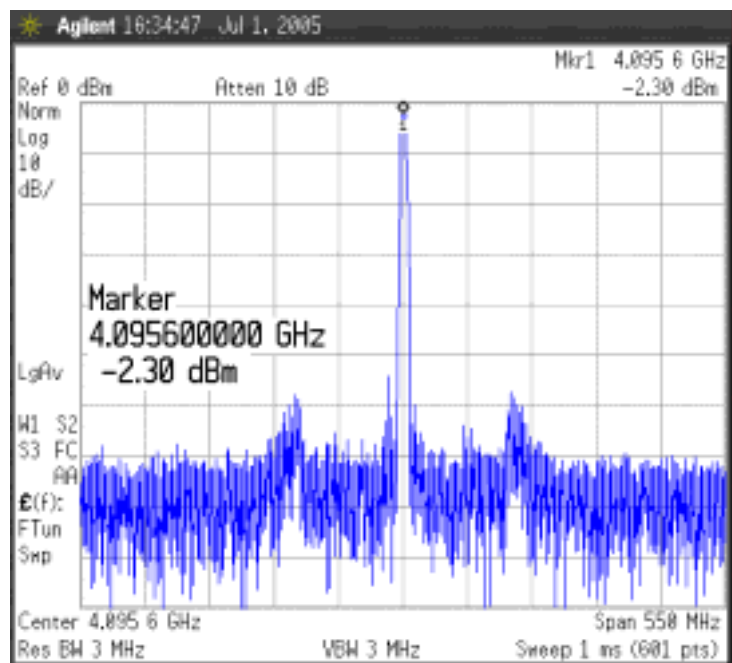
→ $K=0.66$ Transmission Coefficient = -6dB @ 4.5GHz。

4.4.1 預計規格列表

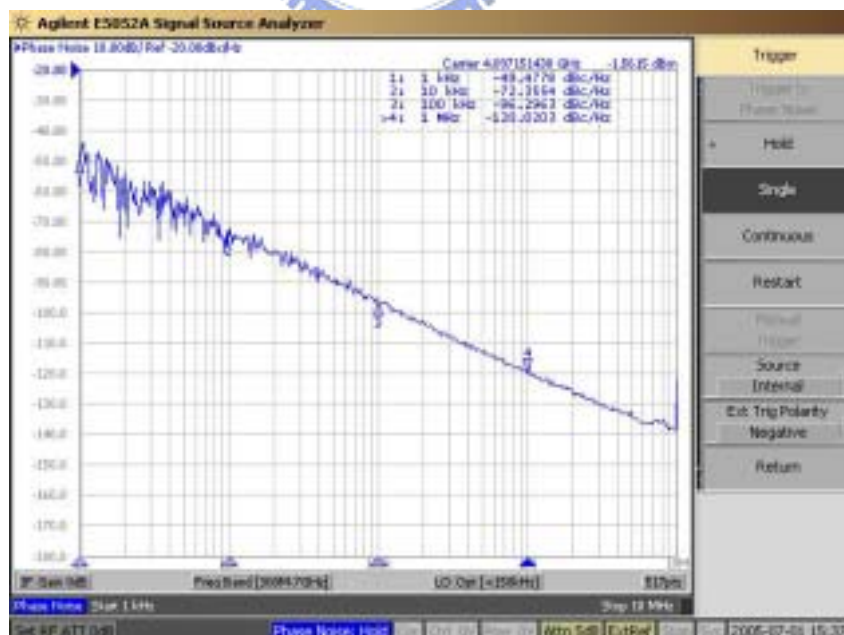
Item	Spec
Supply Voltage	5 V
Current of QVCO core	5.18 mA
Current of Output buffer	15.52 mA
Power Consumption of core	25.9 mW
Total Power Consumption	103.5 mW
Tuning frequency range	4.57GHz~4.67GHz
Phase Noise	-102.168dBc/Hz @ 1MHz offset
Tuning Range	100MHz
Die size	2000 um × 1000 um

4.4.2 實測結果

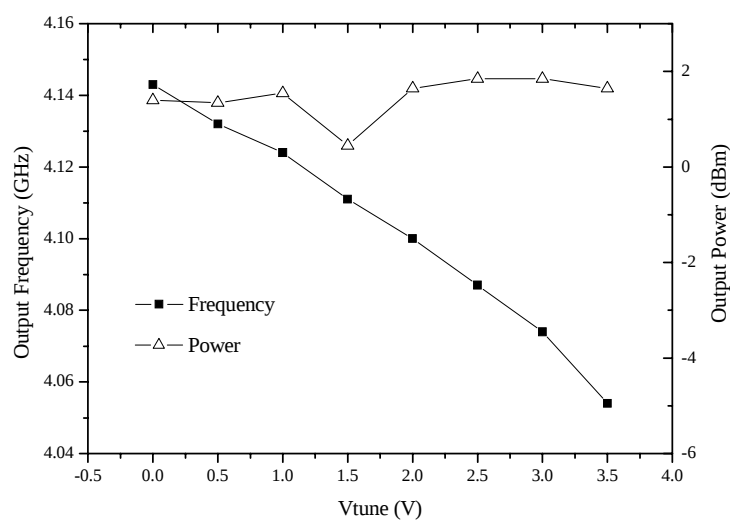
(1) Output spectrum: 4.0956GHz, -2.3dBm



(2) Phase noise: -120.0203 dBc/Hz

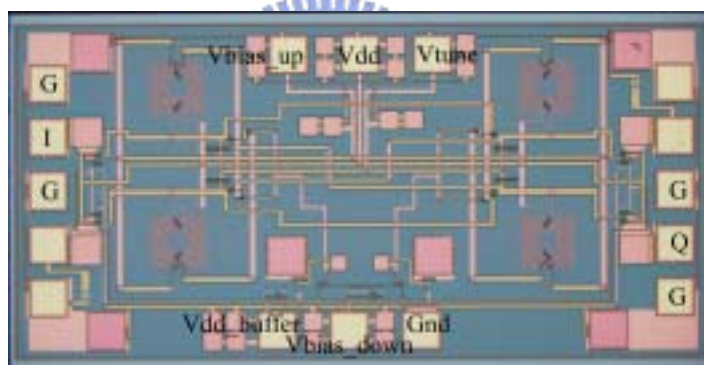


(3) KCO 及 Output power: 25.43MHz/V



4.4.3 結論與討論

(1) Die Photo:



(2) Chip performance:

Item	Measurement
Supply Voltage	5 V
Current of QVCO core	5.1 mA
Current of Output buffer	15.5 mA
Power Consumption of core	~ 25.5 mW
Tuning frequency range Vtune : 0~3.5V	4.054 ~ 4.143GHz
KVCO	25.43MHz/V
Phase Noise @1MHz offset	-120.0203dBc/Hz
FOM	-178.21dBc/Hz
Output Power	~2dBm
Die size	2000 um × 1000 um

本次電路實作確實在 InGaP/GaAs 上產生 Top-Series QVCO，輸出頻段在 4GHz 左右，而 Phase Noise 也有 $-120\text{dBc/Hz}@1\text{MHz offset}$ 。輸出頻率的模擬與實測結果差距約 527MHz，可能因為模擬時所使用的 transformer model 不準確。因為 transformer 的 model 是利用 test-key 的量測結果 fitting 出來的，在 fitting 過程中不是每組[S]都能完全符合，所以此 model 還是跟實際的 transformer 產生的電感值有出入，造成頻率上 11% 的誤差。在 DC 和 KVCO 的量測就跟模擬接近，Phase Noise 也比模擬時要好。可能是該製成的 model 對電晶體的 flicker noise 沒有描述，所以在模擬時看不到實際的 noise 特性。在輸出功率方面，量測結果也比模擬大了將近 2dBm，可能是 QVCO 和輸出緩衝級間沒用電容將 DC 隔絕開，所以 QVCO 的功率可以完全傳到量測機器上，不過此做法可能對 QVCO 接於其他電路後的頻率與 KVCO 產生影響。

(4) Bottom-Series QVCO :

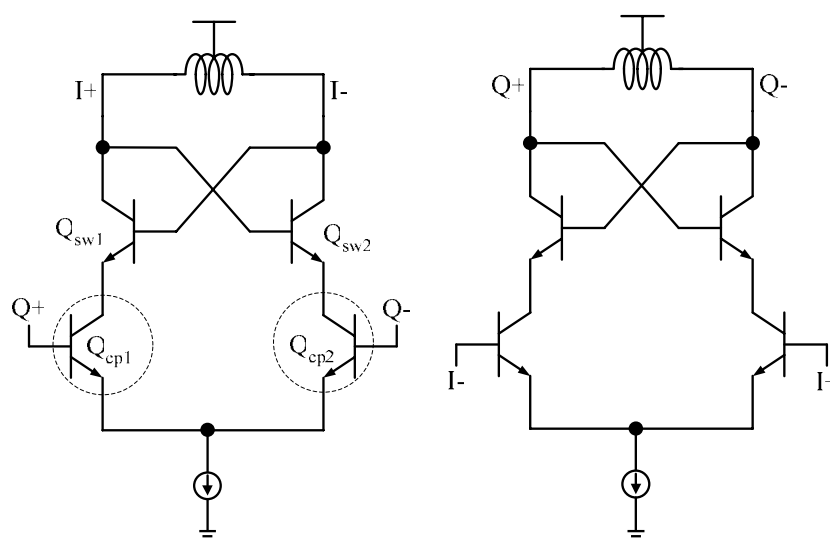


圖 4.36 Bottom-series QVCO 之電路圖

此為串接架構的另一種接法，將 Q_{cp1} 改放在 Q_{sw} 的下層，可以讓

相位雜訊變低但是會損失相位誤差，這與 Top-Series 的特性剛好互補。由圖 4.27 的方法可以知道，疊於上成的電晶體不會對輸出產生 noise。由於 VCO 的振盪產生主要受 Q_{sw} 影響，如果把 Q_{sw} 疊在 Q_{cpl} 上， Q_{sw} 的 noise 就不會干擾主頻的振盪訊號，所以 Bottom-Series QVCO 會有較好的 phase noise。同理，如果把影響兩 VCO 耦合 Q_{cpl} 疊在上層，在產生正交的過程中 phase error 就比較沒有 noise 來干擾，所以 Top-Series QVCO 會有好的 phase error。

(5) Superharmonic Coupling VCO :

(1)到(4)所提的正交壓控震盪器架構都需要一組耦合的電晶體，強迫兩個 VCO 產生正交效應，不過這些架構會有 phase noise 與 phase error 的 trade-off，或是多加電晶體造成功率消耗上升。接下來討論的正交相位 VCO 架構是利用二階的諧波相互耦合，以達到低 phase noise 及低消耗功率的兩大目標。

在差動的架構下我們可以在電路中的共模點(common-mode nodes)發現偶次(even)諧波，其主要成份是二階的諧波。Rategh and Lee 已經證明在差動的振盪器上，我們可以利用這些共模點，注入與二階諧波頻率相近的訊號，可將振盪器鎖在注入訊號的二分之一頻率上。只要振盪器維持在鎖住的狀態下，我們可以調整注入的頻率，而振盪器的基頻訊號也會隨著移動並鎖定。此特性可用來實現高頻的除二電路。

基本上兩個差動的 VCO 可以藉由一耦合電路讓它們的二階諧波

的相位呈 180° ，就可驅使兩個 VCO 的差動輸出有正交的效果(圖 4.37)。讓二階諧波呈 180° 的方法很多，像是用 transformer 或是用電容直接耦合到 current source 的 base 端。

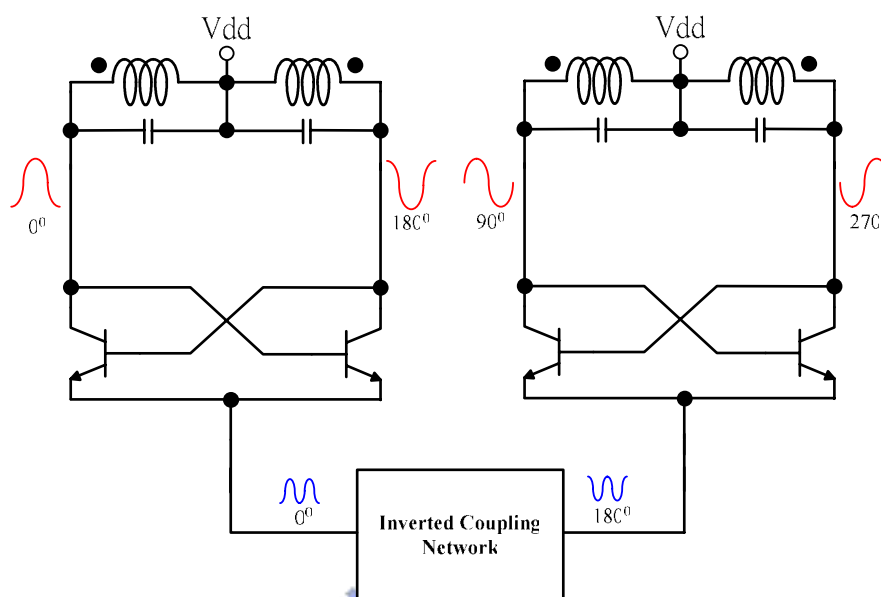


圖 4.37 Superharmonic coupling QVCO 之示意圖

4.5 實作二，Quadrature VCO Using Superharmonic Coupling (GaAs HBT $2\mu\text{m}$)

此次實作的 VCO core 仍採用”電感耦合壓控式振盪器”，透過電感的耦合回到輸入端。此架構相較”直接回授”的好處是，輸出電壓的振幅不會因基極-集極接面所限制，可輸出大振幅，又可避免使用電阻來 bias，所以可以改善相位雜訊。圖 4.38 是整體的電路架構：part.1 是兩個獨立的 VCO；Superharmonic coupling 的方法則是用 transformer 讓兩 VCO 成正交相位。

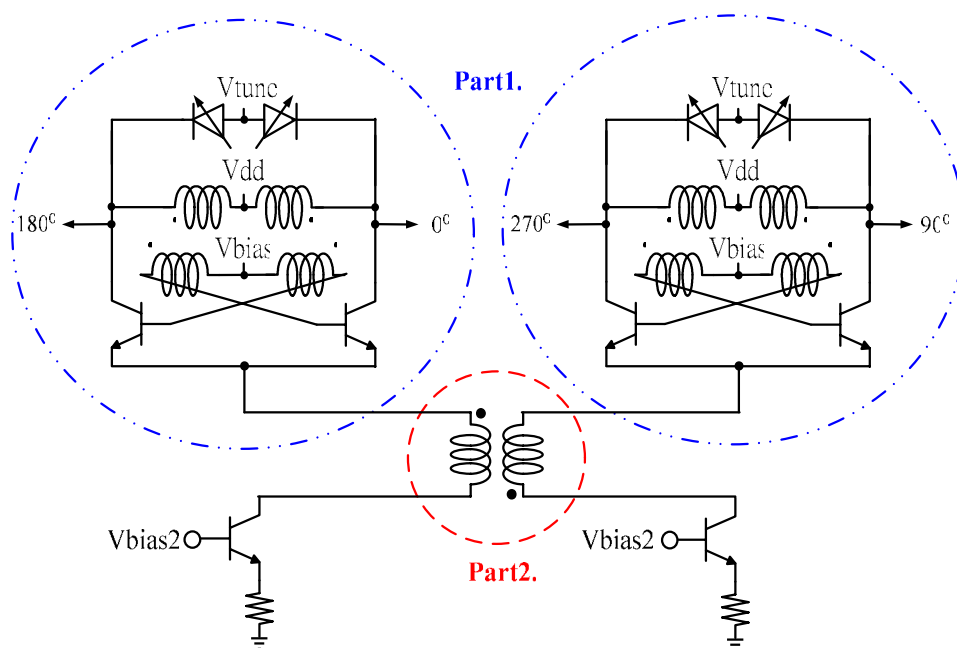


圖 4.38 Superharmonic coupling QVCO 之電路圖

變壓器接於兩的振盪器的共模點，且讓兩側的二階諧波呈 180° 相位差。在動態狀態下的耦合振盪器本身處於非線性的電路特性，所以輸出除了正交的特性外也可能變成相互同步化(相位成 in-phase 狀態)，或是根本輸出一些雜亂的訊號。變壓器的耦合強度就是決定兩振盪器是否有正交響應的關鍵要素。在我們這次的電路設計上，就採用具有較強耦合係數的(Coupling factor)的對稱(Symmetric)變壓器(圖 4.39)以增加二次諧波的耦合量，使振盪器確實有正交輸出。

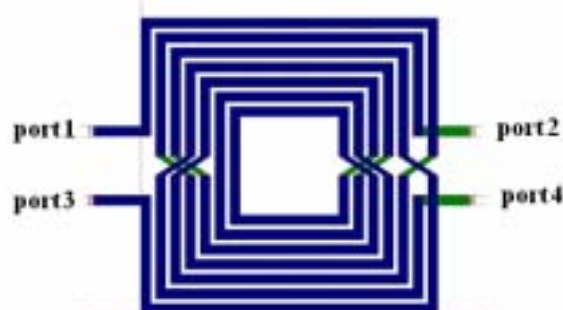


圖 4.39 Symmetric Transformer Layout

在共模點加入變壓器還有一個額外的優點，就是讓輸出電壓的振

幅加大，降低電流源對振盪器的鉗制。一般的振盪器(圖 4.40(a))需要在電流源端並聯電容讓相位雜訊降低，但會使在 V_c 共模點的二階諧波產生 RC delay，造成二階諧波與輸出基頻(V_n, V_p)沒有完全對齊，在電晶體的 drain 電壓必須高於 source 電壓的條件下，輸出的基頻振幅就必須高於 V_c 。

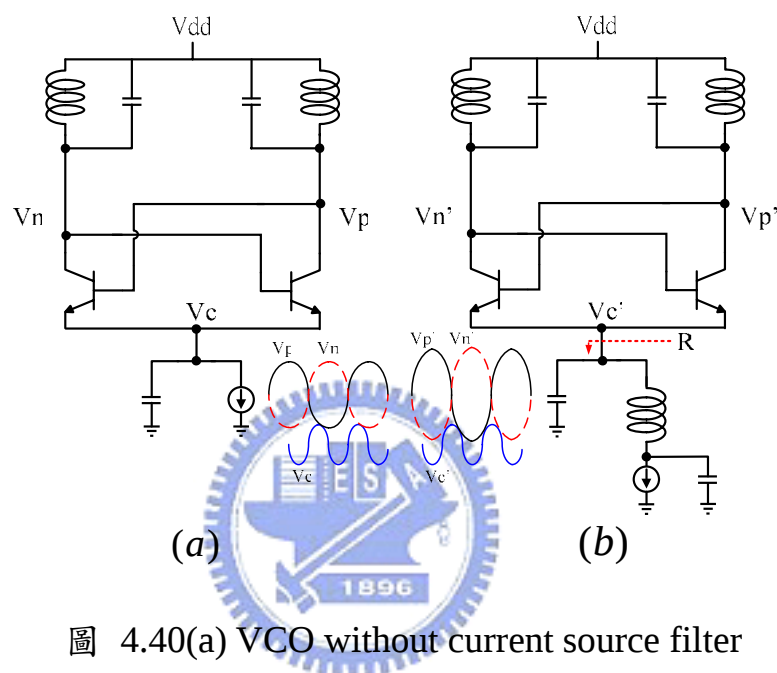


圖 4.40(a) VCO without current source filter

圖 4.40(b) VCO with current source filter

如過將變壓器接於 V_c' 端(圖 4.40(b))，由於它本身就是電感，並聯電容使它諧振在二倍基頻，讓看向電流源的阻抗(R)只剩實部，將 RC delay 效應消除。此時振盪器的輸出振幅得以提升，讓相位雜訊更好。

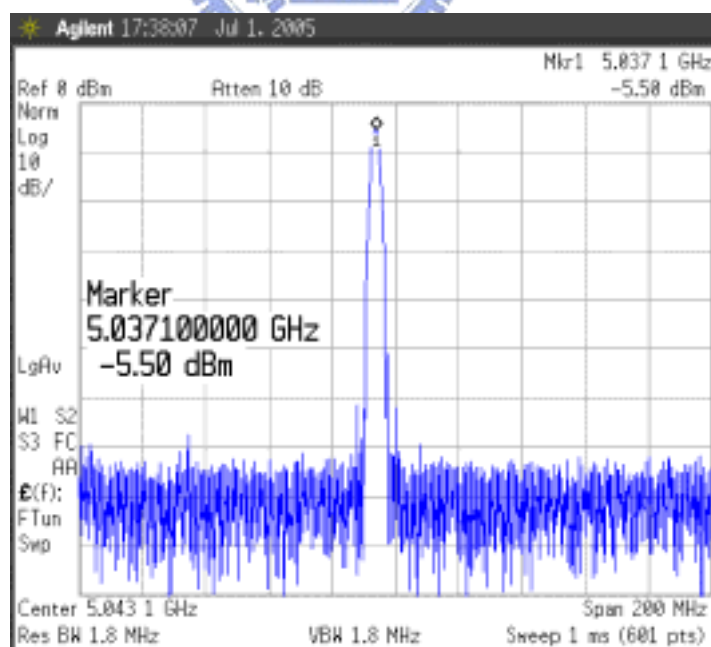
此外，主頻的寄生耦合效應必須盡量避免，因為可能使振盪器變成相互同步(mutual synchronization)。而這些寄生耦合效應可能來自共振腔藉由矽基板或透過磁場感應傳到變壓器，所以盡可能將變壓器遠離共振腔。

4.5.1 預計規格列表

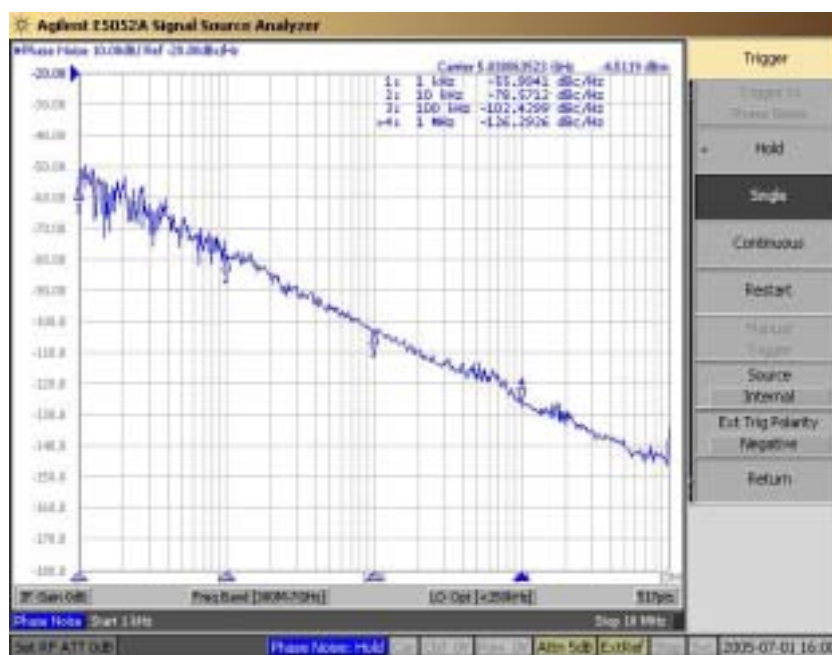
Item	Spec
Supply Voltage	5 V
Current of QVCO core	3.752 mA
Current of Output buffer	15.68 mA
Power Consumption of core	18.76 mW
Total Power Consumption	97.16mW
Tuning frequency range	4.34GHz~4.45GHz
Phase Noise	-103dBc/Hz @ 1MHz offset
Tuning Range	110MHz
Die size	2000 um × 1000 um

4.5.2 實測結果

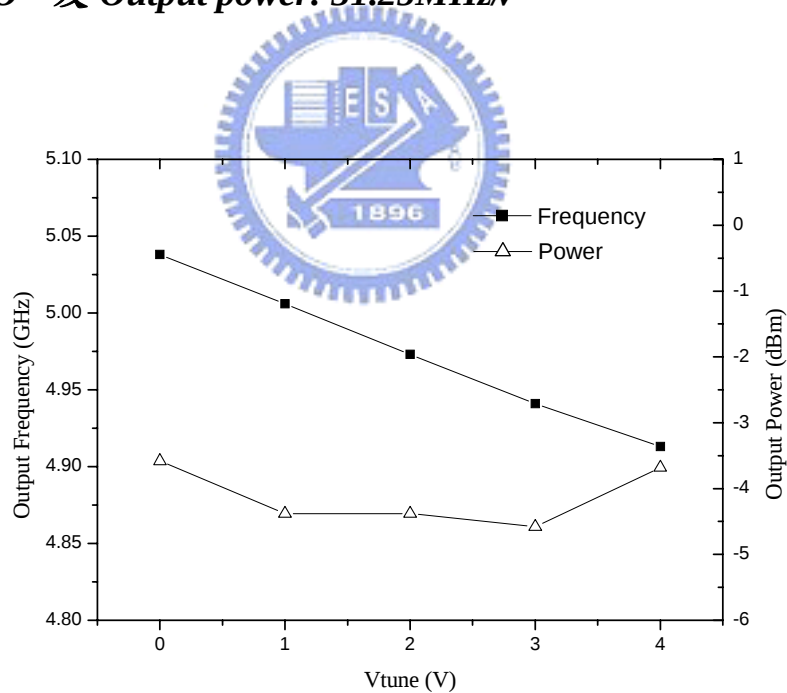
(1) Output spectrum: 5.0371GHz, -5.5dBm



(2) Phase noise: -126.2926dBcHz

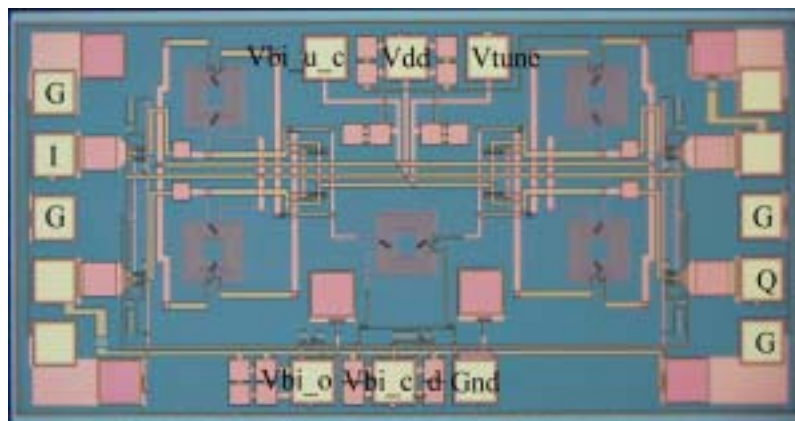


(3) KCO 及 Output power: 31.25MHz



4.5.3 結論與討論

(1) Die Photo:



(2) Chip performance:

Item	Measurement
Supply Voltage	5 V
Current of QVCO core	3.7mA
Current of Output buffer	18.2mA
Power Consumption of core	~ 18.5mW
Tuning frequency range Vtune : 0~4V	4.913GHz~5.038GHz
KVCO	31.25MHz/V
Phase Noise @1MHz offset	-126.29dBc/Hz
FOM	-187.16dBc/Hz
Output Power	~-4dBm
Die size	2000 um × 1000 um

這次實作出一個 5GHz 正交相位 VCO，在 Phase Noise 上的特性極佳：1MHz 的 offset 達到 -126dBc/Hz。KVCO 的實測結果較原先預估的 27.5MHz/V 高一些，有可能是本電路使用電晶體的 base-emitter 電容來當 varactor，而電晶體 model 並不能完整描述此用法的電容特性，造成約 13.6% 的偏移。振盪頻率的量測結果也顯示往高頻漂動了 588MHz，加上上述的 KVCO 變大的結果可以推得應該是實際上 LC-tank 的電容比設計時小，使輸出頻率與 KVCO 上升。不過這些漂

動皆是在 20% 以內，在下次的實作如果確實先將製程上難以避免漂移考慮進去，應該可以改善模擬與量測上的誤差。

4.6 實作三，Quadrature VCO Using Superharmonic Coupling (SiGe HBT 0.35 μ m)

圖 4.41 是本次實作的主要電路架構，包含兩個主要的部份：(1) 差動輸出壓控振盪器；(2) 耦合變壓器(transformer)電路。

(1) 利用一組電晶體，將其排列成 Cross-couple 的型式，即可以在其輸出端產生正回授，再利用輸出端的 resonator 經由適當的設計其共振頻率 $\omega = 1/\sqrt{LC}$ ，即可在想要的頻率產生周期性的輸出。本電路的四個相位輸出皆有獨自的 LC-tank，在 cross-couple 路徑上採用電容作為回授元件。此時必須提供偏壓電流，cross-couple 的電晶體才可正常工作。而(2)的設計方法就跟 4.5 節一樣。

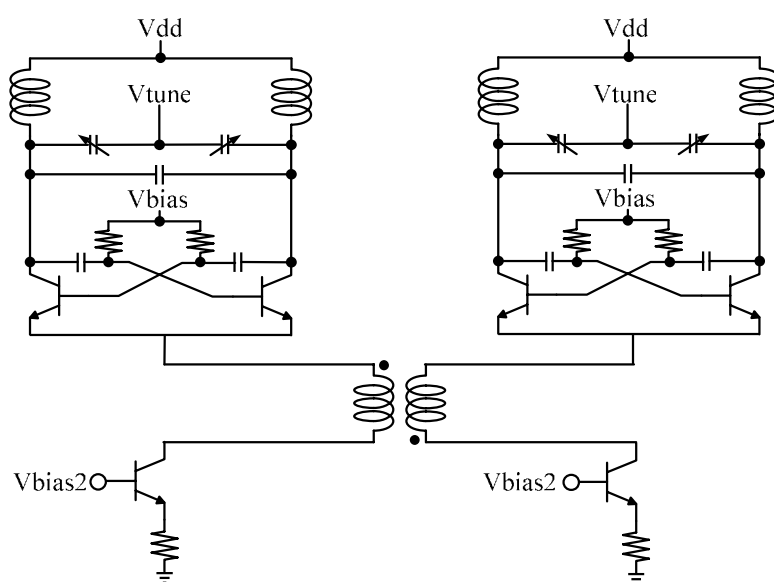


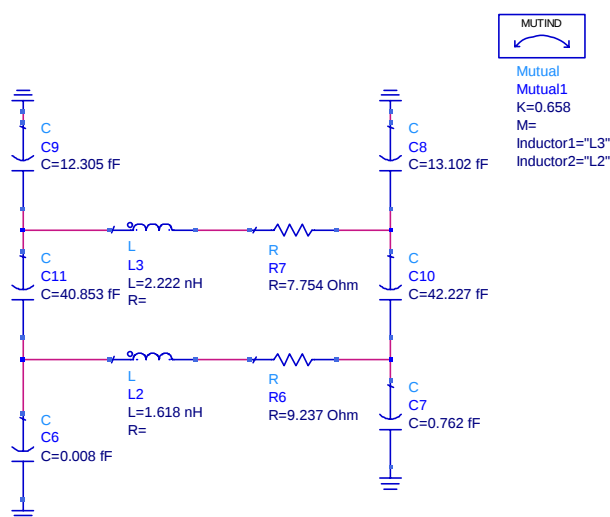
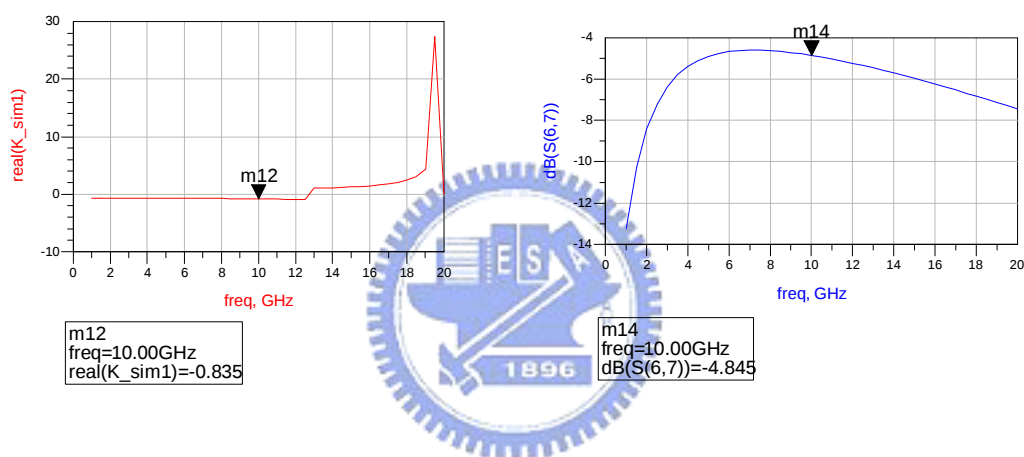
圖 4.41 Superharmonic coupling QVCO 之電路圖

Symmetric Transformer 之特性模擬

(1) 耦合變壓器之模擬：

利用 EM 模擬軟體(Momentum)估算變壓器的參數及耦合係數：

→ $K = -0.835$ Transmission Coefficient = -4dB @10GHz，耦合係數為負值是因為我們把兩支耦合的電流輸入變壓器的反向端。此外，近似一個等效電路來模擬 Time domain 上的效應。

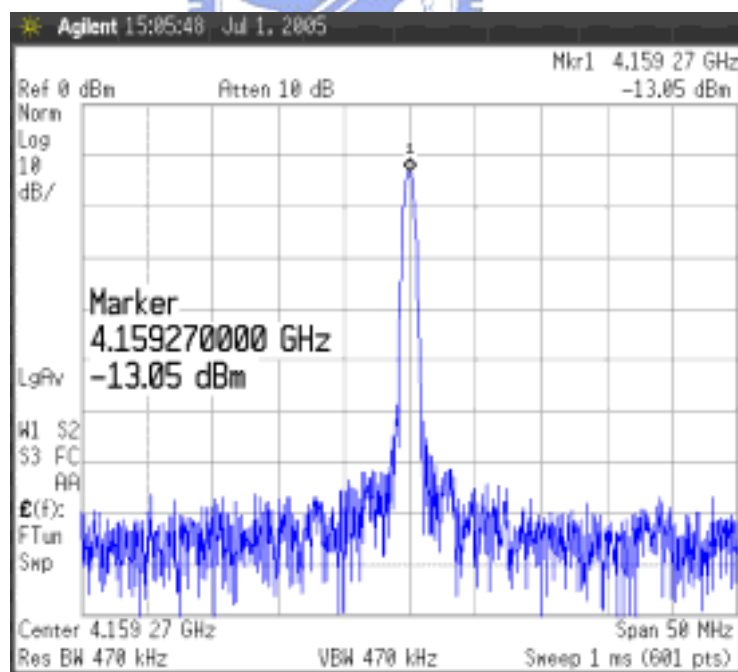


4.6.1 預計規格列表

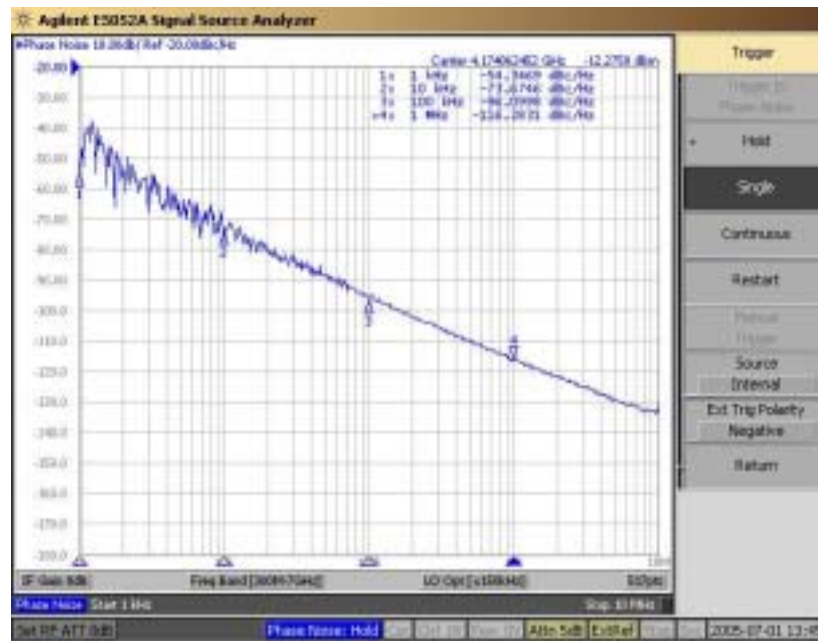
Item	Spec
Supply Voltage	3 V
Current of QVCO core	3.16 mA
Current of Output buffer	11.5 mA
Power Consumption of core	~ 9.48 mW
Tuning frequency range	5.006GHz~5.529GHz
KVCO	523MHz/V
Output Power	-1.328dBm @ 5.529GHz -2.783dBm @ 5.006GHz
Phase Noise	-107dBc/Hz @ 1MHz offset
Die size	1355 um × 1182 um

4.6.2 實測結果

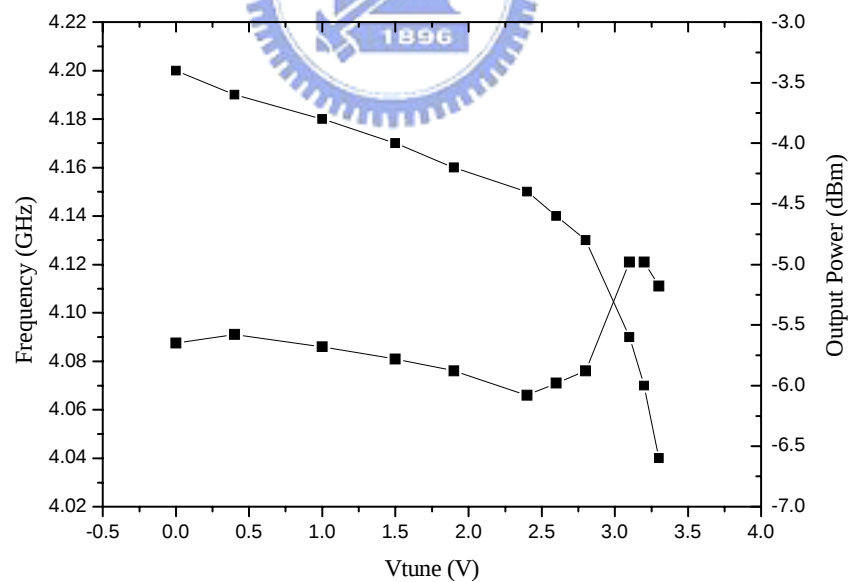
(1) Output spectrum: 4.159GHz, -13.05dBm



(2) Phase noise: -116.2831dBcHz

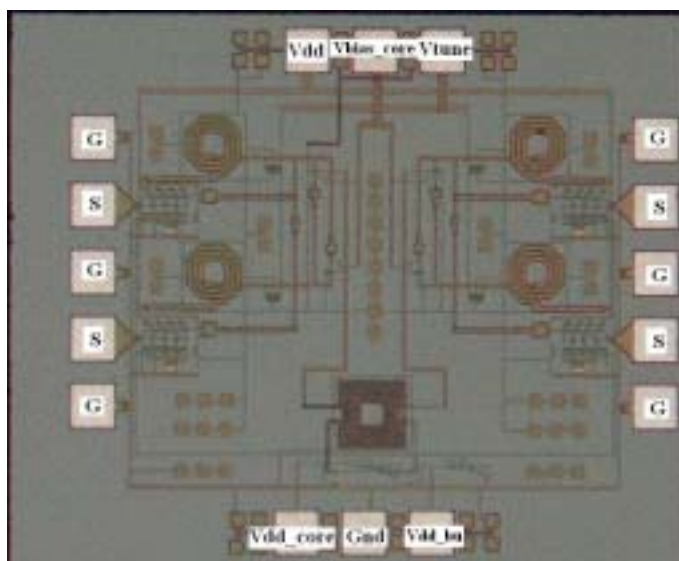


(3) KCO 及 Output power: 23.1MHz/V



4.6.3 結論與討論

(1) Die Photo:



(2) Chip performance:

Item	Measurement
Supply Voltage	3 V
Current of QVCO core	3.2mA
Current of Output buffer	33.94mA
Power Consumption of core	~ 9.6mW
Tuning frequency range Vtune : 0~2.6	4.14 ~ 4.20GHz
KVCO	23.1MHz/V
Phase Noise @1MHz offset	-116.28dBc/Hz
FOM	-178.80dBc/Hz
Output Power	~-6dBm
Die size	1355 um × 1182 um

這次下線所使用的電路架構，是將兩個相同 LC-tank VCO 利用 Symmetric 的 transformer 作 Superharmonic coupling，以產生正交相位的 LO 訊號。由量測結果與模擬結果作比較，在振盪頻率上偏移了將

近 900MHz，造成的原因可能是模擬時使用的元件 model 與實際上的值有出入。由於本電路有使用到 PN-junction 的 varactor，且此次下線前 TSMC SiGe 0.35 μ m 的 model 尚未改版，在模擬 model 與 Layout 上並未整合，如果加上電感的總偏移量達 56%，就會得到本次的量測結果。由 tuning range 沒達到預估值可以推之，應該是 varactor 的 model 上發生問題。此外，Symmetric 的 transformer 並未下過 testkey，雖然在模擬時已經用 EM 軟體預估其特性，不過實際上的效果還是得下 testkey 來驗證。在 Phase noise 上的特性就好很多，達到 -122dBc/Hz@1MHz offset。功率消耗方面也與預期相近。

4.7 實作一、二、三之比較

Coupling Method	Top-Series	Superharmonic	Superharmonic
Technology	InGaP/GaAs 2 μ m HBT	InGaP/GaAs 2 μ m HBT	SiGe 0.35 μ m BiCMOS HBT
Output Frequency range (GHz)	4.054 ~ 4.143	4.913 ~ 5.038	4.14 ~ 4.20
Power Consumption (mW)	25.5	18.5	9.6
KVCO (MHz/V)	25.43	31.25	23.1
Output Power (dBm)	~ 2	~ -4	~ -6
Phase noise @1MHzOffset	-120.02dBc/Hz	-126.29dBc/Hz	-116.28dBc/Hz
FOM (dBc/Hz)	-178.21	-187.16	-178.80

表 4.1 實作正交相位振盪器之比較

第五章

結論



本論文利用 GCT 2.0 μm InGaP/GaAs HBT 及 SiGe 0.35 μm BiCMOS 之製程，實現了 Static、Dynamic、Superdynamic、Injection-Locked、Regenerative 等高速除頻電路架構，從量測得到的電路特性與理論相仿：(1)Dynamic 將 regenerative part 的電流變小後確實比 Static 的最高操作頻率高了50%。不過本 Dynamic 電路在低頻時的動態範圍較差，可在下次使用時將 regenerative part 和 read part 的電流比調低一些。本實作使用1：3，是 MOS 製成上最佳化後的比例，但是在 InGaP 上還需作些許調整。(2)Superdynamic 理論上應可將 Dynamic 的操作頻率再提升，不過 HBT 原本的訊號振幅就不如 CMOS 大，且過大的輸入訊號會讓 HBT 的電晶體 saturate，所以此架構沒有理想的量測結果。(3)Regenerative 除頻電路的最高操作頻率確實是最高達到27GHz，將近二分之一的 f_T ，相較於 Static 與 Dynamic 只能達三分之一到四分之一有顯著的提升。從量測結果也可觀察到 Regenerative 在低頻的操作限制，需要7GHz 以上才能運作。(4)Injection-Locked 則是有低功率消耗並達到高頻操作的特性，在10GHz 左右的操作只須21mW，約是 Static 的1/3、Regenerative 的1/2，不過 locking range 最高只有6%的 f_{osc} ，如果要增加 locking range 應採用 Q 值較低的電感。上述的各電路架構都有不同的優缺點(操作頻率範圍、功率消耗、最高操作頻率．．．)，將來在設計 PLL 時就可以依據系統的需求，選擇適當的架構來使用。設計除頻器時要加大 output buffer 的電流，這是因為 on-wafer 量測是用50 Ω 系統，為了在 spectrum analyzer 上看到高於 noise floor 的輸出訊號，必須用高電流驅動50 Ω 來產生夠大的振幅，儀器才能讀到訊號。

在正交相位的振盪器實作上，也使用 SiGe 及 GaAs 兩製程來實作。不同的耦合架構會有 Phase noise 及 Phase error 的 trade-off，對應

到 Zero-IF 和 Low-IF 系統的要求條件後，可以選用有利於系統的電路設計方法。從 InGaP/GaAs 上實作出的 Top-Series 和 Superharmonic coupling 架構可以發現後者的 phase noise 特性較好，因此電晶體使用的多寡對 phase noise 的影響很大。不過 SiGe 上的 Superharmonic coupling 架構 phase noise 不如 GaAs 上的 Top-Series，主因還是 Si 的基板不是好的絕緣體，造成雜訊透過基板影響整體電路的特性。經過 FOM 的比較後，Superharmonic 的特性在不良的基板上還是可與 Top-Series 相匹敵。在量測振盪器時，DC supply 必須非常留意，DC 不穩定對振盪的頻率就會造成漂動，量測 Phase noise 時就無法得到穩定的 Data。

最後在 SiGe 上實作出新架構的 VCO，利用 Hartely 架構的低 Phase noise 優點加上 cross-coupled 的電晶體對產生負電阻，讓 VCO 不但容易起振並保有相當低的 phase noise。雖然還未獲得量測結果，在模擬與理論基礎上都可支持此架構的可行性。

參考文獻

[1] B. Razavi, "RF Microelectronics," Upper Saddle River, NJ: Prentice Hall PTR, 1998, Chapter 5.6.

[2] B. Razavi, Design of Analog CMOS Integrated Circuit, Mc Graw Hill, 1996.

第二章 實作一：

[1] Ching-Yuan Yang, Guang-kaai Dehng and Shen-Iuan Liu, "High-speed divide-by-4/5 counter for a dual-modulus prescaler," Electronics Letters, vol 33, Issue 20, 25 Sept. 1997, pp. 1691-1692.

[2] Behzad Razavi, "Design of Integrated Circuits for Optical Communications," 2002.

[3] Herbert Knapp, Thomas F. Meister and others, "A Low Power 20 GHz SiGe Dual-modulus Prescaler," *IEEE MTT-S Digest*, 2000, pp. 731-734.

[4] Herbert Knapp, Martin Wurzer, Josef Böck, Thomas F. Merster, Günter Ritzberger, Klaus Aufinger, "36 GHz Dual-Modulus Prescaler in SiGe Bipolar Technology," *IEEE Radio Frequency Integrated Circuits Symposium*, 2002, pp. 239-242.

[5] Sang-Woong Yoon, Eun-Chul Park, Chang-Ho Lee, Sanghoon Sim, Sang-Goog Lee, Euisik Yoon, Joy Laskar, and Songcheol Hong, "5~6GHz-Band GaAs MESFET-Based Cross-Coupled Differential Oscillator MMICs With Low Phase-Noise Performance," *IEEE Microwave and Wireless Components Letters*, Vol. 11, No. 12, Dec. 2001.

[6] Markus Zannoth, Bernd Kolb, Joseph Fenk, and Robert Wergel, "A Fully Integrated VCO at 2 GHz," *IEEE J. of Solid-State Circuits*, vol. 33, no. 12, Dec. 1998.

[7] Kerbert Knapp, Wilhelm Wilhelm, and Martin Wurzer, "A Low-Power 15-GHz Frequency Divider in a 0.8- μ m Silicon Bipolar Technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 48, no. 2, Feb. 2000, pp. 205-208.

第二章 實作二：

[1] Mehran Mokhtari, "100+ GHz Static Divide-by-2 Circuit in InP-DHBT Technology," *IEEE J. Solid-State Circuits*, September 2003.

[2] M. Sokolich, C. H. Fields, S. Thomas III, B. Shi, K. Boegeman, M. Montes, R. Martinez, A. R. Kramer, and M. Madhav, "A low-power 72.8-GHz static frequency divider in AlInAs-InGaAs HBT technology," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1328-1334, Sept. 2001.

第二章 實作三：

[1] K. Murata, "20 Gbit/s GaAs MESFET Multiplexer IC Using A Novel T-Type Flip-Flop Circuit," *ELECTRONICS LETTERS*, 22nd October 1992, Vol. 28, No. 22.

[2] Taiichi Otsuji, "A Super-Dynamic Flip-Flop Circuit for Broad-Band Applications up to 24 Gb/s Utilizing Production-Level 0.2 μ m GaAs MESFET's," *IEEE J. Solid-State Circuits*, vol. 32, no. 9, SEPTEMBER 1997.

[3] Zhihao Lao, "35-GHz Static and 48-GHz Dynamic Frequency Divider IC's Using 0.2- μ m AlGaAs/GaAs-HEMT's," *IEEE J. Solid-State Circuits*, vol. 32, no. 10, OCTOBER 1997.

[4] Martin Wurzer, "71.8 GHz Static Frequency Divider in a SiGe Bipolar Technology," *IEEE ECTM* 12.3.

[5] Hwan-Seok Yeo, "Comparative Study of Static and Dynamic D-type Flip-Flop Circuits using InP HBT's,"

[6] Alfred Felder, "46 Gb/s DEMUX, 50 Gb/s MUX, and 30 GHz Static Frequency Divider in Silicon Bipolar Technology," *IEEE J. Solid-State Circuits*, vol. 31, no. 4, APRIL 1996.

第二章 實作四：

[1] Taiichi Otsuji, "A Super-Dynamic Flip-Flop for Broad-Band Applications up to 24

Gb/s Utilizing Production-Level 0.2- μ m GaAs MESFET's," *IEEE J. Solid-State Circuits*, vol. 32, no. 9, September 1997.

[2] K. Murata, M. Ohhata, M. Togashi, M. Suxuki, "20 Gb/s GaAs MESFET multiplexer IC using a novel T-type flip-flop circuit," *IEEE Electron Lett.*, vol. 28, pp. 2090-2091, 1992.

[3] T. Suzuki, H. Kano, "40-Gbit/s D-type Flip-Flop and Multiplexer Circuits Using InP HEMT," 2001 IEEE Radio Frequency Integrated Circuits Symposium.

[4] Hwan-Seok and Jinwook Burm Ohhata, "Comparative Study of Static and Dynamic D-type Flip-Flop Circuits using InP HBT's," *IEEE Electron. Lett.*, vol. 28, pp. 2090-2091, 1992.

第二章 實作五：

[1] Hamid R. Rategh, "Superharmonic Injection-Locked Frequency Dividers," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, June 1999.

[2] Hamid R. Rategh, "Superharmonic Injection Locked Oscillators as Low Power Frequency Dividers," Symposium on VLSI Circuits Digest of Technical Papers.

[3] Hamid R. Rategh, "A 5GHz, 1mW CMOS Voltage Controlled Differential Injection Locked Frequency Divider," IEEE 1999 CUSTOM INTEGRATED CIRCUITS CONFERENCE.

[4] Hamid R. Rategh, "A 5GHz, 32mW CMOS Frequency Synthesizer With an Injection Locked Frequency Divider," 1999 Symposium on VLSI Circuits Digest of Technical Papers.

[5] Xiangdong Zhang, "A Study of Subharmonic Injection Locking for Local Oscillators," *IEEE MICROWAVE AND GUIDED WAVE LETTERS*, vol. 2, no. 3, March 1992.

[6] A.S. Daryoush, "Theory of Subharmonic Synchronization of Nonlinear Oscillators," 1989 IEEE MTT-S Digest.

[7] B.N. Biswas, "Harmonic Synchronization of Oscillators Revisited," *IEEE TRANSACTIONS ON CIRCUIT THEORY*, NOVEMBER 1972.

[8] Vasil Uzunoglu, "The Synchronous Oscillator: A Synchronization and Tracking Network," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 6, Dec. 1985.

第二章 實作六、七：

[1] R. H. Derksen, "Monolithic Integration of A 5.3GHz Regenerative Frequency Divider Using A Standard Bipolar Technology," *ELECTRONICS LETTERS*, 24th October 1985, vol. 21, no. 22.

[2] Chris D. Holdenried, "Modified CMOS Chery-Hooper Amplifiers with Source Follower Feedback in 0.35um Technology," 2003 IEEE.

[3] Harukiko Ichino, "18-GHz 1/8 Dynamic Frequency Divider Using Si Bipolar Technologies," *IEEE J. Solid-State Circuits*, vol. 24, no. 6, Dec. 1989.

[4] R. B. Nubling, "25GHz HBT Frequency Dividers," 1989 IEEE, GaAs IC Symposium-125.

[5] Masakasu Kurisu, "A Si Bipolar 21-GHz/320-mW Static Frequency Divider," *IEEE J. Solid-State Circuits*, vol. 26, no. 11, Nov. 1991.

[6] Masakasu Kurisu, "A Si Bipolar 28GHz Dynamic Frequency Divider." *IEEE J. Solid-State Circuits*, vol. 27, no. 12, Dec. 1992.

[7] Herbert Knapp, "86GHz Static and 110GHz Dynamic Frequency Dividers in SiGe Bipolar Technology," IEEE MTT-S Digest.

[8] A. Rylyakov, "100GHz Dynamic Frequency Divider in SiGe Bipolar Technology," *ELECTRONICS LETTERS*, 23rd January 20035, vol. 39, no. 2.

第三章 實作一、二：

[1] Roberto Aparicio, Ali Hajimiri "A CMOS Differential Noise-Shifting Colpitts VCO," ISSCC 2002, Session 17, Advance RF Techniques, 17.2.

[2] Thomas H. Lee, Ali Hajimiri "Oscillator Phase Noise : A Tutorial," *IEEE J. of Solid-State Circuits*, vol.35, March 2000.

[3] KaChun Kwok, "Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback," *IEEE J. of Solid-State Circuits*, vol.40, no.3, March 2005.

[4] John R. Long "Monolithic Transformers for Silicon RF IC Design," *IEEE J. of Solid-State Circuits*, vol.35, no.9, Sept. 2000.

第四章 實作一：

[1] J. P. Maligeorgos and J. R. Long, "A low-voltage 5.1-5.8-GHz image-reject receiver with wide dynamic range," *IEEE J. of Solid-State Circuits*, vol.35, pp. 1917-1926, Dec. 2000.

[2] J. Crols and M. S. J. Steyaert, "A single-chip 900 MHz CMOS receiver front-end with a high performance low-IF topology," *IEEE J. of Solid-State Circuits*, vol. 30, pp. 1483-1492, Dec. 1995.

[3] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE J. of Solid-State Circuits*, vol.31, pp.331-343, March 1996.

[4] A. Rofougaran J. Rael, M. Rofougaran, and A. Abidi, "A 900MHz CMOS LC-oscillator with quadrature outputs," in *Proc. ISSCC* 1996, Feb. 1996, pp. 392-393.

[5] P. van de Ven, J. van der Tang, D. Kasperkovitz, and A. van Roermund, "An optimally coupled 5 GHz quadrature LC oscillator," in *Proc. 2001 Symp. VLSI Circuits*, June 2001, pp. 115-118.

[6] Pietro Andreani, "Analysis and design of a 1.8-GHz CMOS LC quadrature VCO," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1737-1747, Dec. 2002.

[7] P. Andreani, "A low-phase-noise, low-phase-error 1.8 GHz quadrature CMOS VCO," in *Proc. ISSCC* 2002, Feb. 2002, pp. 290-291.

第四章 實作二、三：

[1] Hamid R. Rategh, "Superharmonic Injection-Locked Frequency Dividers," *IEEE J. Solid-State Circuits*, vol. 34, no. 6, June 1999.

[2] Lynch, J.J.; York, R.A. "Synchronization of oscillators coupled through narrow-band networks," *Microwave Theory and Techniques*, IEEE Transactions on, Volume: 49 Issue: 2, pp. 237-249, Feb. 2001.

- [3] E.Hegazi, H.Sjoland, and A.A.Abidi, "A filtering technique to lower LC oscillator phase noise," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1921-1920, Dec. 2001.
- [4] Sander L.J., "A Low-phase-noise 5-GHz CMOS Quadrature VCO Using Superharmonic Coupling," *IEEE J. Solid-State Circuits*, vol. 38, no.7, July 2003.
- [5] Jose Cabanillas, "A 900MHz Low Phase Noise CMOS Quadrature Oscillator," 2002 IEEE Radio Frequency Integrated Circuits Symposium.
- [6] Mina Danesh, "Differentially Driven Symmetric Microstrip Inductors," *IEEE Transactions on microwave theory and techniques*, vol. 50, no. 1, January 2002.
- [7] Harald Jacobsson, "Very Low Phase-Noise Fully-Integrated Coupled VCOs," 2002 IEEE MTT-S Digest.

