

國立交通大學

電信工程學系

碩士論文

分析 4/6 層印刷電路板貫孔結構的電感特性

Analysis the Inductance Characteristics of the
Via Structure on 4/6-layer Printed Circuit
Board

研究生：陳怡龍

指導教授：吳霖堃 博士

中華民國九十四年七月

分析 4/6 層印刷電路板貫孔結構的電感特性

Analysis the Inductance Characteristics of the Via
Structure on 4/6-layer Printed Circuit Board

研究生：陳怡龍

Student : Yi-Long Chen

指導教授：吳霖堃 博士

Advisor : Dr. Lin-Kun Wu

國立交通大學

電信工程學系



A Thesis

Submitted to Institute of Communication Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Communication Engineering

July 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

分析 4/6 層印刷電路板貫孔結構的電感特性

研究生：陳怡龍

指導教授：吳霖堃 博士

國立交通大學電信工程學系碩士班

中文摘要

隨著電子技術不斷進步，時序脈波信號愈來愈快，電磁干擾問題也日益嚴重。在多層電路板中，通常具有專屬的電源層與接地層作為系統電源與信號回流路徑之用。而地彈雜訊 (Ground Bounce) 是電源系統產生傳播電磁干擾的主要機制。要抑制地彈雜訊通常使用去耦合電容，但去耦合電容有寄生電感會影響去耦合電容的高頻性能。

本論文使用 HFSS 分析幾種不同的貫孔結構，找出其等效電感值，並探討如何降低貫孔結構的等效電感值。

Analysis of the Inductance Characteristics of the Via Structure on 4/6-layer Printed Circuit Board

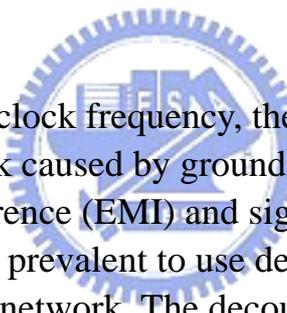
Student : Yi-Long Chen

Advisor : Dr. Lin-Kun Wu

Institute of Communication Engineering

National Chiao Tung University

Abstract



With fast increase of clock frequency, the high frequency noise on power distribution network caused by ground bounce is a primary source of electromagnetic interference (EMI) and signal integrity. In multilayer printed circuit boards, it is prevalent to use dedicated power/ground plane pair(s) for power delivery network. The decoupling capacitor is to usually employed suppress the ground bounce, but its intrinsic inductance and parasitic inductance associated with the mounting structure used affect the capacitor's decoupling performance at high frequencies.

In this thesis, we use HFSS to analyze several different kinds of vias structures to find out its equivalent inductance value. We also discuss how to reduce the equivalent inductance value of vias structure.

致謝

感謝我的指導教授 吳霖堃博士兩年來的細心指導。同時也感謝實驗室的曾智雄學長在這段期間所給予的協助與幫忙。讓我得以順利地完成此篇論文。

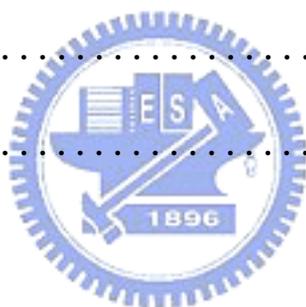
此外也要感謝父母所給予的支持與鼓勵。



目錄

中文摘要.....	i
英文摘要.....	ii
致謝.....	iii
目錄.....	iv
表目錄.....	vi
圖目錄.....	vii
第一章 簡介.....	1
第二章 研究方法.....	4
2-1 Ground Bounce 的產生機制和影響.....	4
2-2 雜訊電壓.....	5
2-2-1 雜訊電壓的計算.....	5
2-2-2 Target impedance.....	6
2-3 去耦合電容的問題.....	6
2-3-1 去耦合電容的功用.....	6
2-3-2 去耦合電容的非理想特性.....	7
2-3-3 並聯非理想的去耦合電容.....	9
2-3-4 去耦合電容的選定方法及步驟.....	10

2-4 粹取貫孔結構的等效電感值.....	11
2-4-1 粹取的目的.....	11
2-4-2 利用網路分析儀粹取貫孔結構的等效電感.....	12
2-4-3 利用阻抗分析儀粹取貫孔結構的等效電感.....	14
第三章 數值結果與討論.....	28
3-1 平行導線的電感分析.....	28
3-2 貫孔結構的電感分析.....	30
3-3 貫孔結構對去耦合電容阻抗性能的影響評估.....	32
第四章 結論.....	51
參考文獻.....	52



表目錄

表 3.1 圖 3.2 平行導線的自感與互感.....	34
表 3.2 比較網路分析儀法與阻抗分析儀法模擬圖 3.8(a)結構所得的 電感值.....	34
表 3.3 圖 3.8(a)貫孔結構的電感值.....	35
表 3.4 圖 3.8(b)貫孔結構的電感值.....	35
表 3.5 圖 3.8(c)貫孔結構的電感值.....	36
表 3.6 圖 3.8(d)貫孔結構的電感值.....	36
表 3.7 圖 3.8(e)貫孔結構的電感值.....	37
表 3.8 圖 3.8(f)貫孔結構的電感值.....	37

圖目錄

圖 2.1	電源 / 接地層中，暫態電流源 I_1 及感應電壓 V_2 的示意圖..	15
圖 2.2	電晶體暫態電流對等效電容充放電模型.....	16
圖 2.3	非理想的去耦合電容等效模型.....	17
圖 2.4	非理想的去耦合電容等效阻抗.....	17
圖 2.5	電感值減少時阻抗的變化.....	18
圖 2.6	電容值增加時阻抗的變化.....	18
圖 2.7	並聯非理想去耦合電容的等效電路.....	19
圖 2.8	並聯兩個容值差距很大的非理想去耦合電容的等效阻抗， $L=2\text{nH}$ 、 $R=0.05\Omega$ 、 $C_1=20\text{nF}$ 、 $C_2=0.2\text{nF}$	19
圖 2.9	並聯兩個非理想去耦合電容的等效阻抗， $L=2\text{nH}$ 、 $R=0.05\Omega$ 、 $C_1=0.5\text{nF}$ 、 $C_2=4\text{nF}$	20
圖 2.10	並聯兩個非理想去耦合電容的等效阻抗， $L=1\text{nH}$ 、 $R=0.05\Omega$ 、 $C_1=0.5\text{nF}$ 、 $C_2=04\text{nF}$	20
圖 2.11	並聯非理想去耦合電容的等效阻抗， $L=2\text{nH}$ 、 $R=0.05\Omega$ 、 $C_1=0.5\text{nF}$ 、 $C_2=4\text{nF}$ 、 $C_3=1.2\text{nF}$	21
圖 2.12	並聯非理想去耦合電容的等效阻抗， $L=2\text{nH}$ 、 $R=0.05\Omega$ 、	

	$C1=0.5\text{nF}$ 、 $C2=4\text{nF}$ 、 $C3=1.8\text{nF}$ 、 $C4=0.9\text{nF}$	21
圖 2.13	並聯非理想去耦合電容的等效阻抗， $L=1\text{nH}$ 、 $R=0.05\Omega$ 、 $C1=0.5\text{nF}$ 、 $C2=4\text{nF}$ 、 $C3=1.2\text{nF}$	22
圖 2.14	並聯兩個非理想去耦合電容的等效阻抗， $L1=0.61\text{nH}$ 、 $R1=0.02\Omega$ 、 $C1=4.7\text{nF}$ 、 $L2=0.6\text{nH}$ 、 $R2=1\Omega$ 、 $C2=220\text{pF}$...	22
圖 2.15	2-port網路量測的剖面圖.....	23
圖 2.16	使用網路分析儀貫孔結構為開路時的等效電路.....	23
圖 2.17	使用網路分析儀貫孔結構為短路時的等效電路.....	24
圖 2.18	使用網路分析儀得到的 $ S21 $	24
圖 2.19	阻抗分析儀量測的剖面圖.....	25
圖 2.20	使用阻抗分析儀貫孔結構為開路時的等效電路.....	25
圖 2.21	使用阻抗分析儀貫孔結構為開路時的layout圖.....	26
圖 2.22	用阻抗分析儀法在HFSS模擬得到貫孔結構為開路時的 Z_{in} ...	26
圖 2.23	使用阻抗分析儀得到貫孔結構為開路時的 Z_{in}	27
圖 2.24	用阻抗分析儀法在HFSS模擬得到貫孔結構為短路時的 Z_{in} ...	27
圖 3.1	去耦合電容的放置.....	38
圖 3.2	兩根平行導線.....	38

圖 3.3	L_{DM} 對間距 s 的作圖.....	39
圖 3.4	L_{CM} 對間距 s 的作圖.....	39
圖 3.5	兩貫孔上的電流差模電流，間距 $s = 40mil$	40
圖 3.6	兩貫孔上的電流差模電流，間距 $s = 200mil$	40
圖 3.7	兩貫孔上的電流共模電流，間距 $s = 40mil$	41
圖 3.8	六種不同的貫孔結構	
(a)	第一種貫孔結構.....	41
(b)	第二種貫孔結構.....	42
(c)	第三種貫孔結構.....	42
(d)	第四種貫孔結構.....	43
(e)	第五種貫孔結構.....	43
(f)	第六種貫孔結構.....	44
圖 3.9	使用阻抗分析儀法模擬圖 3.8(a)結構的上視圖，電路板大小 為 $750mil \times 500mil$	44
圖 3.10	用 HFSS 模擬得到貫孔結構為開路時的 Z_{in}	45
圖 3.11	用 HFSS 模擬得到貫孔結構為短路時的 Z_{in}	45
圖 3.12	使用阻抗分析儀法模擬圖 3.8(a)結構的上視圖，電路板大小 為 $1200mil \times 500mil$	46



圖 3.13 使用網路分析儀法模擬圖 3.8(a)結構的上視圖，電路板大小為 1200mil×500mil.....	46
圖 3.14 比較結構(a)~(d)的電感值，L1=5mil.....	47
圖 3.15 比較結構(a)~(d)的電感值，L2=5mil.....	47
圖 3.16 比較結構(b)(e)(f)的電感值，L1=5mil.....	48
圖 3.17 比較結構(b)(e)(f)的電感值，L2=5mil.....	48
圖 3.18 貫孔結構的剖面圖.....	49
圖 3.19 比較去耦合電容放置在結構(a)~(f)的阻抗值，L1=27mil、L2=5mil.....	49
圖 3.20 比較去耦合電容放置在結構(a)~(f)的阻抗值，L1=5mil、L2=50mil.....	50



第一章

簡介

電路系統操作時，由電源端所看到的等效負載會隨著時間而改變，使其輸出電流值產生變化，造成暫態電流，藉由 power delivery network 傳出造成 Power / Ground Plane 的 DC 電壓準位浮動，此現象稱之為地彈雜訊 (Ground Bounce)。當操作在低頻時，電源迴路可視為一等效電感 L ，當暫態電流 $di(t)$ 流經電源迴路的電感時，電源 / 接地層間的電壓變化 $V(t)$ 為



$$V(t) = L \frac{di(t)}{dt} \quad (1.1)$$

又稱為 $\Delta-I$ 雜訊 (Delta-I Noise)。在數位系統中，當並行 (parallel) 的資料匯流排 (data bus) 進行同步切換時，其所造成的地彈雜訊又被稱為同步切換雜訊 (Simultaneous Switching Noise, SSN)。

運算效能的提升與省電是電子技術所追求的方向。省電是利用降低供應電壓來達成，運算效能的提升是利用操作頻率的增加。IC 的工作電壓由以往的 5V 到 3.3V 再到 2.5V 或者更低，相對的雜訊邊限

(Noise Margin) 也愈來愈小，因此 IC 對雜訊的耐受度要求則是越嚴格。

IC 系統是以 Power / Ground Plane 的 DC 準位為參考電壓，當暫態電流隨 power delivery network 傳播時，會影響 IC 元件的穩定度，進而降低整體系統的性能。所以電壓準位變化將會對電路運作產生影響。主要影響包含：

1. 地彈雜訊在電源網路中傳播時，會影響 IC 電源的穩定性，進而影響其性能。
2. 數位系統中，邏輯電路的信號源來自電源的電壓，當電源的電壓產生浮動時，將導致邏輯準位的浮動，進而降低其雜訊邊限，嚴重時可造成電路的錯誤切換 (False Switching)，甚至於元件損壞。
3. 對於壓控震盪器 (Voltage Controlled Oscillator, VCO) 而言，電源準位的浮動，會影響 VCO 的參考電壓漂動，影響其輸出頻率，增加 VCO 的相位雜訊 (Phase Noise)。
4. 對於放大器而言，電源準位的浮動，會影響電晶體的偏壓，使電晶體的工作點漂動而影響放大器的輸出。
5. 在多層電路板中，電源層和接地層構成平行板的共振腔結構，所以暫態電流的某些高頻成分可能會激發 Q 值很高的共振模態。並造成跨越整個板面的串音 (XTalk) 干擾。

6. 電源 / 接地層和 Patch Antenna 的結構類似，所以內部的電磁波可能會藉由 Patch Antenna 的作用由板子邊緣輻射出去，形成輻射性干擾問題。

隨著工作頻率的不斷提升，地彈雜訊對於電子產品的影響也就日益嚴重。因此，如何去除電源雜訊，成為很重要的問題。在眾多去除電源雜訊的方法中，安置去耦合電容是最普遍，且最常用的方法。

但去耦合電容有非理想的特性，使得去耦合電容在高頻時呈現電感性而無法使用，其電感來至於去耦合電容的等效串聯電感(ESL)及貫孔結構的等效電感，本篇主要為探討降低貫孔結構的等效電感。

本論文除了本章外主要分成三個部分：第二章闡述分析的方法；第三章分析模擬數據的結果；第四章為結論與建議。

第二章

研究方法

當Power / Ground Plane的直流(DC)電源準位浮動時，會影響IC元件的穩定度，進而降低整體系統的性能。在眾多去除電源雜訊的方法中，安置去耦合電容是最普遍，且最常用的方法。本章將討論去耦合電容的非理想特性及其所造成的影響。最後討論如何萃取放置去耦合電容的貫孔結構的等效電感值。



2-1 Ground Bounce 的產生機制和影響

IC 或數位邏輯電路在邏輯準位切換時，因為 IC 內部電路動作而產生瞬間暫態電流。在多層印刷電路板中，暫態電流會經由 IC 的接腳在 Power / Ground Plane 中形成電磁波輻射，使其他 IC 接腳產生感應電壓，而干擾其他接腳的電壓準位，稱為 Ground Bounce (或 Simultaneous Switching Noise)。如圖 2.1 所示，假設切換電源的接腳分別為 ports i 及 j，我們可定義 self-impedance $Z_{ii}(\omega) = \frac{V_i(\omega)}{I_i(\omega)}$ 及 trans-impedance $Z_{ij}(\omega) = \frac{V_j(\omega)}{I_i(\omega)}$ 來描述暫態電流源對自己及對其他

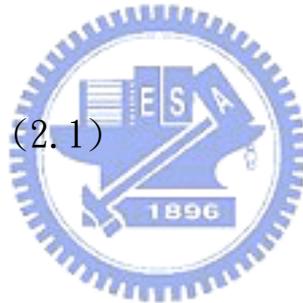
接腳電壓準位的影響程度。基本上，阻抗值越低，IC 準位轉換造成的電壓變動就越小。

2-2 雜訊電壓

2-2-1 雜訊電壓的計算

如圖 2.2 所示，當邏輯準位切換時，電晶體對等效電容充放電，此時會產生暫態電流 $I(f)$ ，形成的感應電壓 $V(f)$ 可表示成

$$V(f) = I(f) \times Z(f) \quad (2.1)$$



上升時間 (t_r) 越短，所佔的頻寬越寬，而 EMI 或 Signal integrity 的問題也會越往高頻延伸。頻寬 BW 的估算方式可表示為

$$BW = \frac{0.35}{t_r} \quad (2.2)$$

例如，PC-266 其時脈為 266MHz，clock 週期為 3.76ns，若設上升時間 (t_r) 為 clock 週期的十分之一即 0.376ns，則 BW 為 930.85MHz。

2-2-2 Target impedance

假設電路只可允許少量的 Power supply 電壓的變化(大約 5%)則

Target impedance(Z_{target})可表示如下

$$Z_{target} = \frac{\Delta V}{\Delta I} = \frac{Vdd \times 5\%}{\Delta I} \quad (2.3)$$

其中 Vdd 為 Power supply 的電壓， ΔI 為電路的電流。

為了使電源系統穩定，阻抗值必須要低於Target impedance，而且不只是DC時要達到，因暫態電流而產生的所有頻率也要低於Target impedance。當電流增加及電壓降低，為了要穩定DC電源，即減少 Vdd 的變化，Target impedance 要隨著降低。例如， Vdd 為3.3V，電流為1安培，則Target impedance為 $Z_{target} = \frac{3.3 \times 5\%}{1} = 165m\Omega$ ，當電流增加為10安培時，則Target impedance減少為 $16.5m\Omega$ [1]。

2-3 去耦合電容的問題

2-3-1 去耦合電容的功用

為了抑制地彈雜訊的產生，通常在 Power / Ground Plane 之間加

入去耦合電容。

從時域的觀點，去耦合電容可用來區域性提供或儲藏電荷。IC 邏輯準位切換時所需的電流，除了轉換瞬間的初期由 Power / Ground Plane 間的電容提供電荷外，其他時間大多由去耦合電容提供電荷，以避免 IC 往 Power Plane 其他更遠處尋求電荷，進而在 Power Plane 上造成過高的壓降。

從頻域的觀點，去耦合電容提供了一個低阻抗路徑使暫態切換電流經由去耦合電容直接流到接地層。理想情況下，當電容值夠大或操作頻率夠高時，可將去耦合電容視為短路 ($Z_c = \frac{1}{j\omega C} \approx 0$)，亦即暫態切換電流完全經由去耦合電容回流到接地層而無法影響到遠端的接腳。



2-3-2 去耦合電容的非理想特性

實際上的去耦合電容模型由RLC串聯電路所構成，如圖 2.3 所示，其中 R_s 為電容的等效串聯電阻 (ESR)， L 為等效電感， C 為電容。

而等效電感的計算為

$$L_{total} = L_{ESL} + L_{Trace} + L_{Via} \quad (2.4)$$

其中 L_{ESL} 為去耦合電容的等效串聯電感， L_{Trace} 為元件與貫孔焊盤 (solder pads) 之間走線 (Trace) 的電感， L_{Via} 為貫孔 (Via) 的電感。當考慮去耦合電容的非理想特性時，必須將理想電容的等效阻抗改寫為 $Z_C(\omega) = R_s + j\omega L + \frac{1}{j\omega C}$ 。所以，去耦合電容的阻抗值 Z_C 及振盪頻率 f_0 為

$$Z_C = \sqrt{R_s^2 + \left[2\pi f L_{total} - \frac{1}{2\pi f C} \right]^2} \quad (2.5)$$

$$f_0 = \frac{1}{2\pi \sqrt{L_{total} C}} \quad (2.6)$$



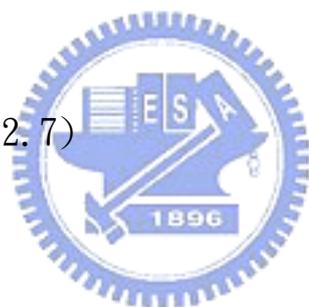
當操作頻率等於串聯共振頻率時， $Z_C(\omega)$ 會有最小值。當操作頻率小於串聯共振頻率時， $Z_C(\omega)$ 由電容 C 所主宰，呈現電容性。反之當操作頻率大於串聯共振頻率時， $Z_C(\omega)$ 則呈現電感性，如圖 2.4 所示，此時去耦合的功能就大幅降低。

整體而言，去耦合電容最好具有極大的電容值，小的等效電感 L ，以及適當的等效串聯電阻 R 。如圖 2.5 所示，當等效電感 L 下降時，共振頻率上升，去耦合電容能使用的頻率提高。如圖 2.6 所示，當電容 C 增加時，共振頻率雖然下降，但在共振頻率後的等效阻抗 $Z_C(\omega)$ 仍然受限於電感。

2-3-3 並聯非理想的去耦合電容

由於去耦合電容有非理想的特性，一顆去耦合電容無法使用在所有的頻率，因此，需要使用不同容值的電容來涵蓋所要去耦合的頻率範圍。如圖2.7所示，兩個不同大小的電容 C_1 與 C_2 並聯，除了有個別的共振頻率 f_{s1} 與 f_{s2} 外，還會產生並聯諧振 f_p 使阻抗值變大[2]，假設 $L_1 = L_2 = L$ ， $C_1 \gg C_2$ ，則振盪頻率為

$$f_{s1} = \frac{1}{2\pi\sqrt{LC_1}} \quad (2.7)$$



$$f_{s2} = \frac{1}{2\pi\sqrt{LC_2}} \quad (2.8)$$

$$f_p = \frac{1}{2\pi\sqrt{2LC_2}} = \frac{f_{s2}}{\sqrt{2}} \quad (2.9)$$

如圖2.8所示，其中 $C_1 = 20nF$ 、 $C_2 = 0.2nF$ 、 $L = 2nH$ ，由(2.8)求得 $f_{s1} = 25.2MHz$ 、 $f_{s2} = 252MHz$ ，再由(2.9)得 $f_p = 178MHz$ 。

假設Target impedance為 2Ω ，頻帶為 $20MHz \sim 300MHz$ ，使用

$C_1 = 0.5nF$ 、 $C_2 = 4nF$ 的去耦合電容且寄生電感 $L = 2nH$ ，阻抗如圖2.9所示，並聯共振產生時，阻抗值超過Target impedance。如果寄生電感減少為 $L = 1nH$ ，阻抗如圖2.10所示，並聯共振時的阻抗值雖然還是超過Target impedance，但比起寄生電感 $L = 2nH$ 時減少了一半。

由於必須要整個頻帶都滿足Target impedance，因此再加入一個去耦合電容 $C_3 = 1.2nF$ 且寄生電感 $L = 2nH$ ，如圖2.11所示，並聯共振的阻抗值下降了許多，不過還是超過Target impedance。最後將去耦合電容改為 $C_3 = 1.8nF$ 、 $C_4 = 0.9nF$ ，如圖2.12所示，整個頻帶都滿足Target impedance。當寄生電感為 $L = 1nH$ 時，去耦合電容只需三個即滿足Target impedance，如圖2.13所示，其中 $C_3 = 1.2nF$ 。由上述的例子中可看出，寄生電感 L 變小可增加去耦合電容的使用頻寬，也因此可減少去耦合電容的數量。

2-3-4 去耦合電容的選定方法及步驟

假設Target impedance為 2Ω ，頻帶為 $20MHz \sim 800MHz$ ，首先由 $20MHz$ 要低於 2Ω 可得 $\frac{1}{2\pi \times 20 \times 10^6 \times C_1} < 2\Omega$ ，即 $C_1 > 3.98nF$ ，接著從現有的去耦合電容產品中尋找符合條件的，從Murata公司的產品中選擇了編號為GRM188R71H472KA01的去耦合電容，其電容值為 $4.7nF$ 、大小

為0603、ESL為 $0.61nH$ 、ESR為 0.02Ω 。若先忽略 L_{trace} 和 L_{via} 的影響，由ESL可得 $2\pi \times f \times 0.61 \times 10^{-9} < 2\Omega$ ，即 $f < 521.82MHz$ ，因此 C_1 只能涵蓋 $20MHz \sim 521.82MHz$ 的頻率範圍，必須加入第二顆電容，由阻抗於 $521.82MHz$ 要低於 2Ω 可得 $C_2 > 152.5pF$ ，選擇了編號為GRM188R71H221KA01的產品，其電容值為 $220pF$ 、大小為0603、ESL為 $0.6nH$ 、ESR為 1Ω ，圖2.14為模擬 $C_1 // C_2$ 的阻抗值，由模擬的結果可知， C_2 的有效頻寬超過 $800MHz$ ，並檢查在頻率為 f_p 附近是否符合Target impedance，若超過則需再加入一小電容。

2-4 萃取貫孔結構的等效電感值

2-4-1 萃取的目的



去耦合電容的有效頻寬除了與去耦合電容本身的ESL有關外，與電路板上的貫孔結構也有關。因此，要估計去耦合電容的有效頻寬，對於找出電路板上貫孔結構的等效電感值也是必須的。在[3]中介紹了兩種實驗方法來萃取貫孔結構的等效電感值，以下即介紹此兩種方法。

2-4-2 利用網路分析儀萃取貫孔結構的等效電感

圖2.15為2-port網路量測的剖面圖，當拿掉SMT元件使貫孔結構為開路時，等效電路如圖2.16所示，其中 Z_1 為Port1的等效電阻及電感， Z_2 為Port2的等效電阻及電感， Z_3 為電路板的等效電容，等效電路在低頻時適用(電路板要小於十分之一波長)， $Z_3 = Z_{21} = \frac{1}{j\omega C_0}$ ，於是可求得 C_0 。

當將貫孔結構短路時，等效電路如圖2.17所示，其中 Z_3 中的電感與電阻值為貫孔結構的等效電感與電阻值，輸入阻抗 Z_{in} 為

$$Z_{in}(s) = R_1 + sL_1 + \frac{1}{sC_0 + \frac{1}{R + sL} + \frac{1}{Z_0 + R_2 + sL_2}} \quad (2.10)$$

$$\approx R_1 + sL_1 + \frac{R + sL}{1 + sC_0(R + sL)} \quad (2.11)$$

其中由於 $R_1 \approx R_2$ ， $|sL_2| = \omega L_2 \approx \omega L_1 \ll Z_0$ ，因此由(2.10)近似為(2.11)。由(2.11)得輸入阻抗 Z_{in} 的極點為

$$s_0 = -\frac{R}{2L} \pm j \frac{\sqrt{1 - 1/(4Q^2)}}{\sqrt{C_0 L}} \quad (2.12)$$

其中 $Q \equiv \frac{\sqrt{L/C_0}}{R}$ ，對於典型的PCB板而言， $Q \geq 10$ ，因此 s_0 近似為

$$s_0 \approx -\frac{R}{2L} \pm j\frac{1}{\sqrt{C_0L}} \quad (2.13)$$

由(2.13)得振盪頻率為

$$\omega_0 = \frac{1}{\sqrt{C_0L}} \quad (2.14)$$

$$f_0 = \frac{1}{2\pi\sqrt{LC_0}} \quad (2.15)$$

由(2.15)可得

$$L = \frac{1}{(2\pi f_0)^2 C_0} \quad (2.16)$$



其中 C_0 已求得，因此只要找出 f_0 即可求出電感值。圖2.17的 transfer impedance(Z_{21})為

$$Z_{21} = Z_3 = \frac{1}{j\omega C_0 + 1/(R + j\omega L)} \quad (2.17)$$

其極點與輸入阻抗 Z_{in} 的極點相同，而 Z_{21} 的極點與 S_{21} 的極點相同，因此只要量測 S_{21} 即可找出 f_0 ，如圖2.18所示[3]。

2-4-3 利用阻抗分析儀萃取貫孔結構的等效電感

圖2.19為利用阻抗分析儀量測的剖面圖，當貫孔結構為開路時，等效電路如圖2.20，其輸入阻抗為

$$Z_{in} = R_p + j\omega L_p + \frac{1}{j\omega C_0} \quad (2.18)$$

其中 R_p 及 L_p 為probe的等效電感與電阻值，圖2.21為一使用阻抗分析儀量測方法的上視圖，對此結構使用HFSS所模擬出的輸入阻抗如圖2.22所示。由低頻時的阻抗值可求得電容值 C_0 。

當貫孔結構為短路時，等效電路如圖2.23，其輸入阻抗為

$$\begin{aligned} Z_{in} &= R_p + j\omega L_p + \frac{1}{j\omega C_0} \parallel (R + j\omega L) \\ &= \frac{[(L_p LC_0)(j\omega)^3 + (LR_p C_0 + L_p RC_0)(j\omega)^2 + (L_p + L + R_p RC_0)(j\omega) + (R_p + R)]}{1 + (j\omega)RC_0 + (j\omega)^2 C_0 L} \end{aligned} \quad (2.19)$$

圖2.24為使用HFSS所模擬出的輸入阻抗，其自然振盪頻率

(natural resonance frequency)及Q值為

$$f_n = \frac{1}{2\pi\sqrt{C_0L}} \quad (2.20)$$

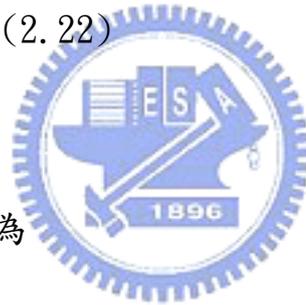
$$Q = \frac{\sqrt{L/C_0}}{R} \quad (2.21)$$

當 $Q \geq 10$ 時，輸入阻抗 Z_{in} 的頻率響應的峰值 f_{peak} 會近似於 f_n ，因

此貫孔結構的等效電感值為[3]

$$L = \frac{1}{(2\pi f_{peak})^2 C_0} \quad (2.22)$$

此時的輸入阻抗 Z_{in} 為



$$|Z_{in}|_{\max} = \sqrt{\left(R_p + \frac{L}{RC_0}\right)^2 + \left(\frac{L_p}{\sqrt{LC_0}} - \sqrt{\frac{L}{C_0}}\right)^2} \quad (2.23)$$

貫孔結構的等效電阻值為

$$R = \frac{L}{C_0 \left[\sqrt{|Z_{in}|_{\max}^2 - \left(L_p/\sqrt{LC_0} - \sqrt{L/C_0}\right)^2} - R_p \right]} \quad (2.24)$$

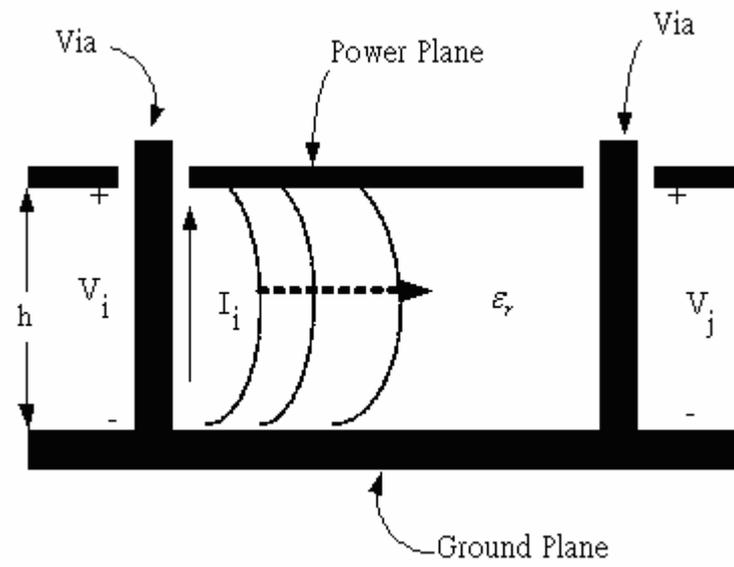


圖 2.1 Power / Ground Plane 中，暫態電流源 I 及感應電壓 V 的示意圖。

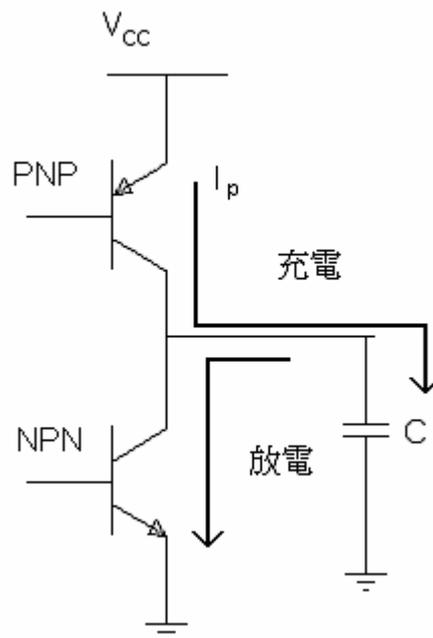


圖 2.2 電晶體暫態電流對等效電容充放電模型。

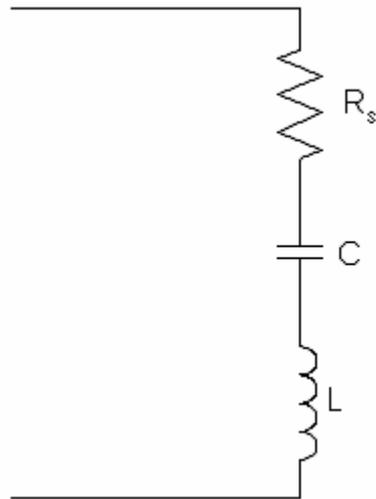


圖 2.3 非理想的去耦合電容等效模型。

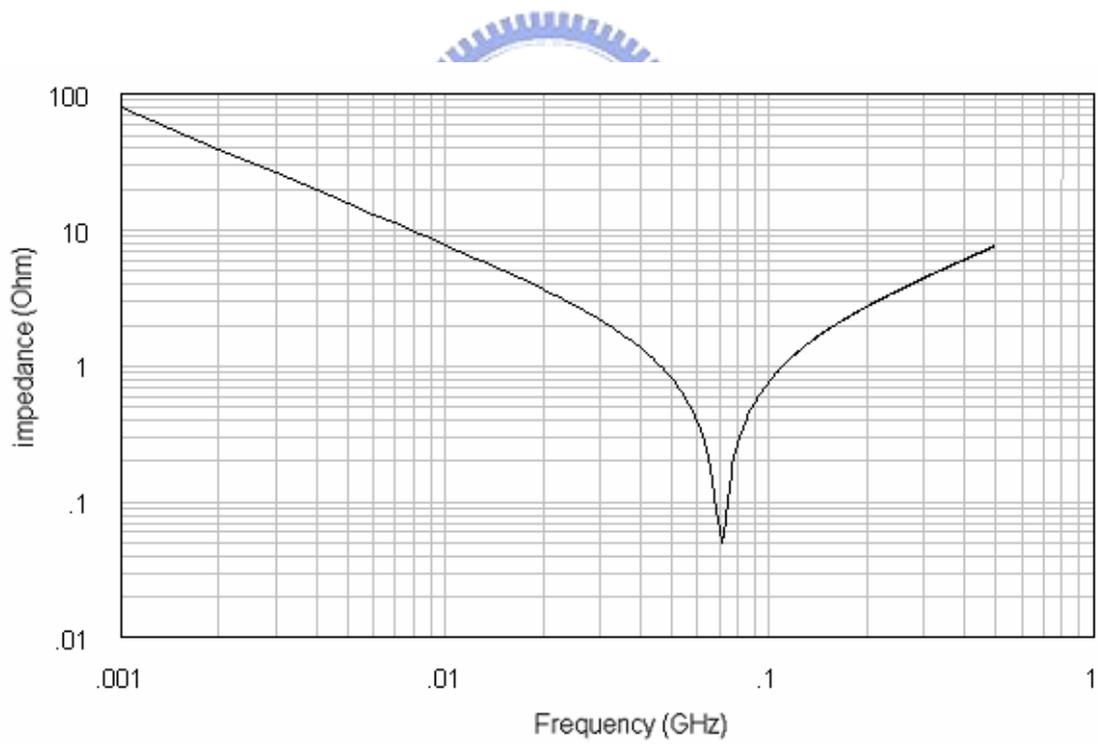


圖 2.4 非理想的去耦合電容等效阻抗，其中 $R=0.05\Omega$ 、 $C=2\text{nF}$ 、 $L=2.5\text{nH}$ 。

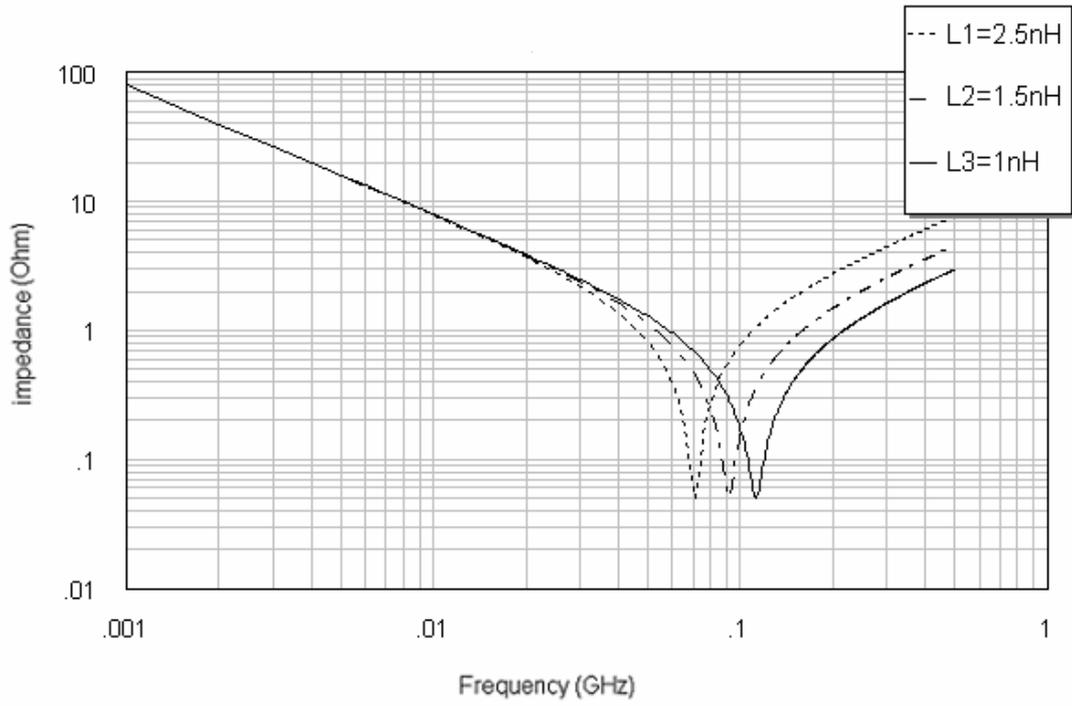


圖2.5 電感值減少時阻抗的變化，其中 $R=0.05\Omega$ 、 $C=2\text{nF}$ 。

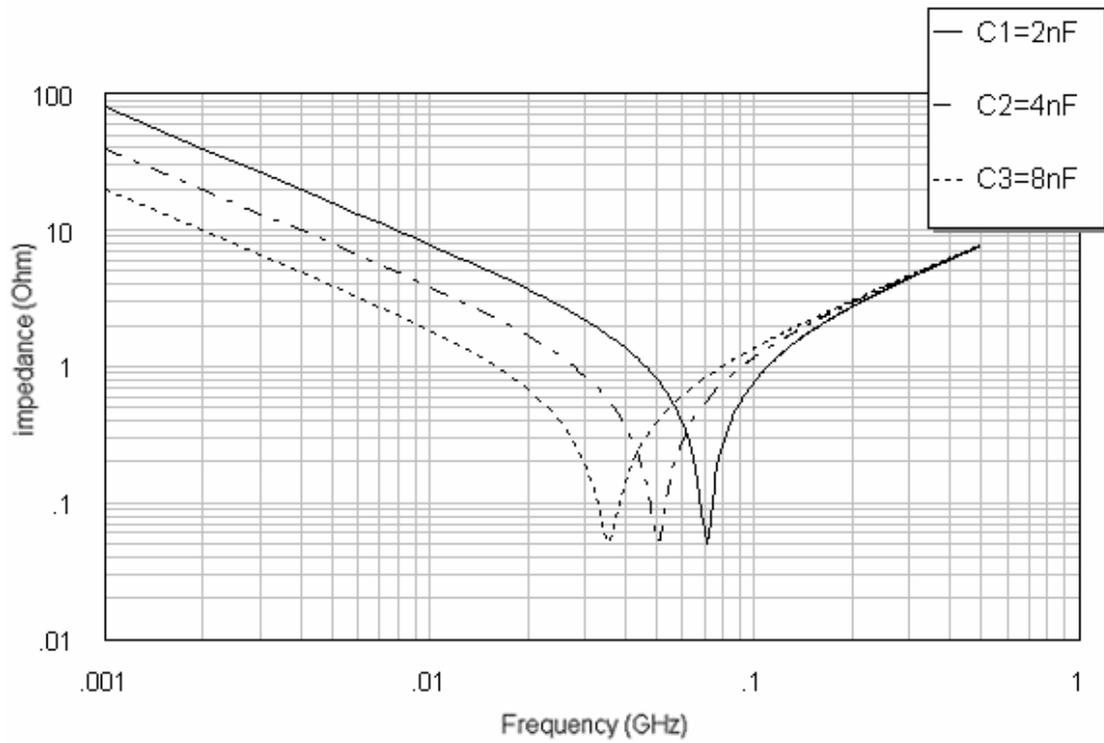


圖2.6 電容值增加時阻抗的變化，其中 $R=0.05\Omega$ 、 $L=2.5\text{nH}$ 。

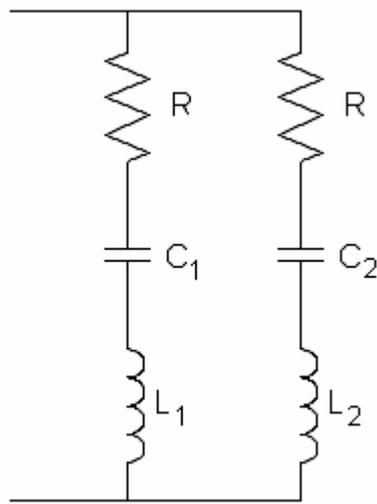


圖2.7 並聯非理想去耦合電容的等效電路。

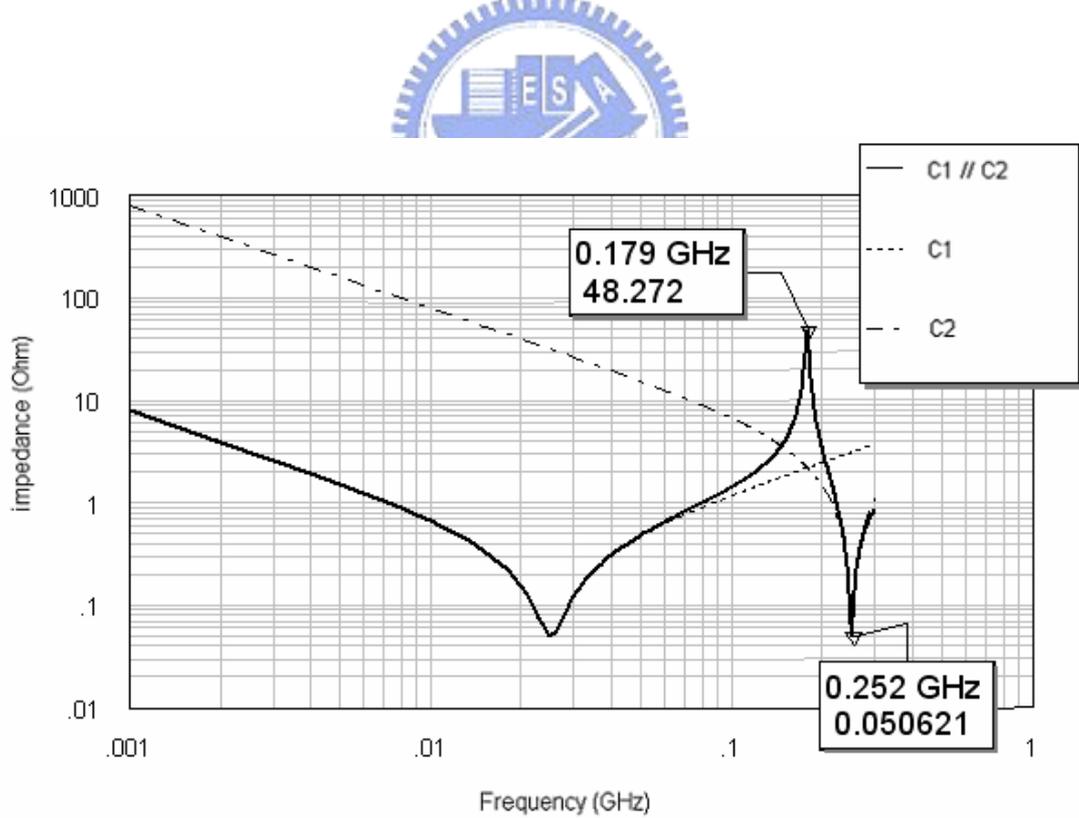


圖2.8 並聯兩個容值差距很大的非理想去耦合電容的等效阻抗，其中

$$L=2\text{nH}、R=0.05\Omega、C_1=20\text{nF}、C_2=0.2\text{nF}。$$

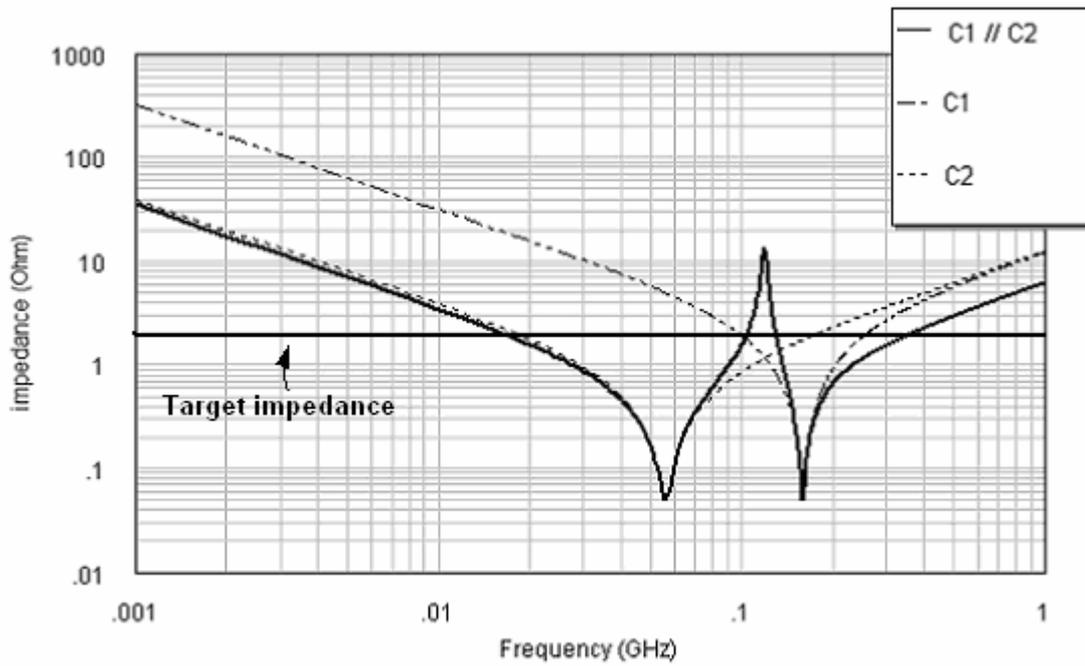


圖2.9 並聯兩個非理想去耦合電容的等效阻抗，其中 $L=2\text{nH}$ 、 $R=0.05\Omega$ 、 $C1=0.5\text{nF}$ 、 $C2=4\text{nF}$ 。

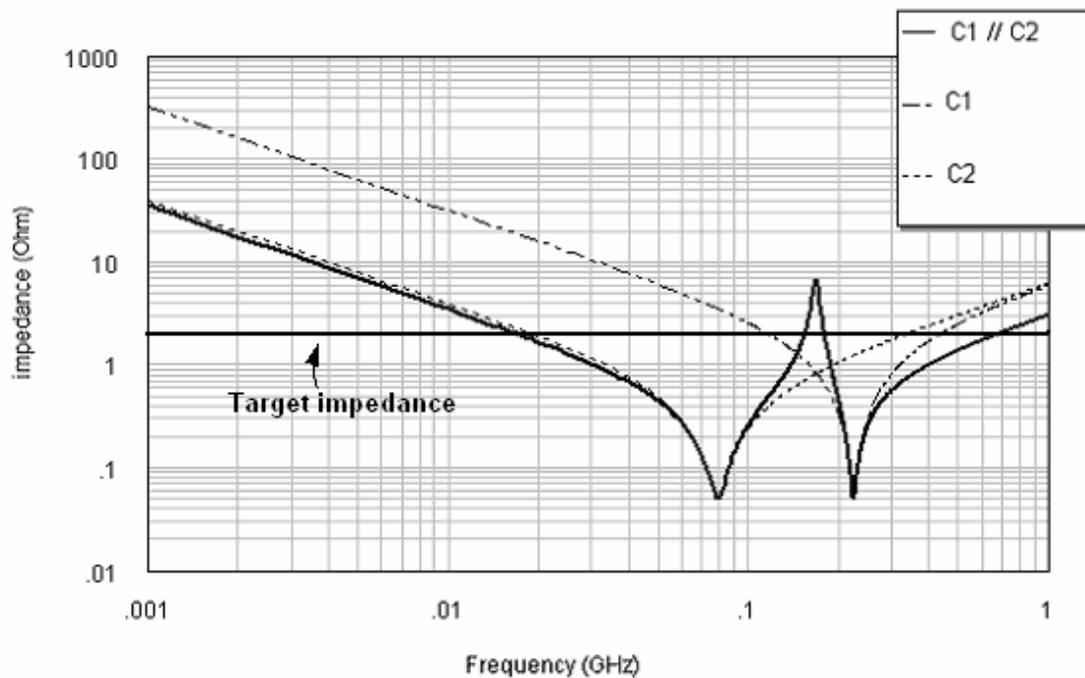


圖2.10 並聯兩個非理想去耦合電容的等效阻抗，其中 $L=1\text{nH}$ 、 $R=0.05\Omega$ 、 $C1=0.5\text{nF}$ 、 $C2=4\text{nF}$ 。

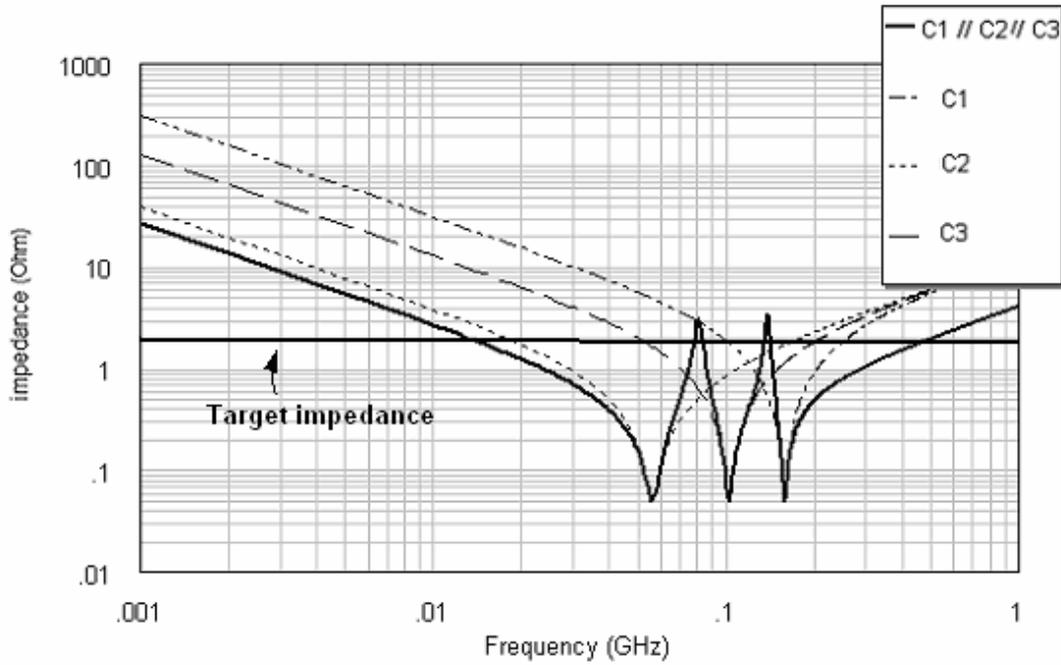


圖2.11 並聯三個非理想去耦合電容的等效阻抗，其中 $L=2\text{nH}$ 、 $R=0.05\ \Omega$ 、 $C1=0.5\text{nF}$ 、 $C2=4\text{nF}$ 、 $C3=1.2\text{nF}$ 。

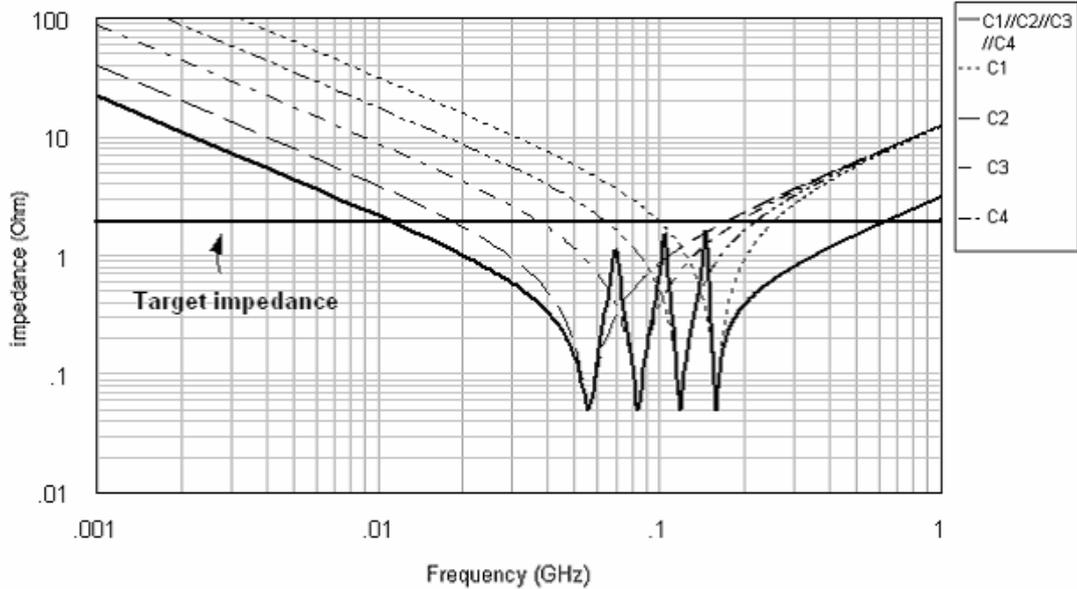
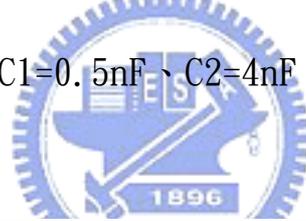


圖2.12 並聯四個非理想去耦合電容的等效阻抗，其中 $L=2\text{nH}$ 、 $R=0.05\ \Omega$ 、 $C1=0.5\text{nF}$ 、 $C2=4\text{nF}$ 、 $C3=1.8\text{nF}$ 、 $C4=0.9\text{nF}$ 。

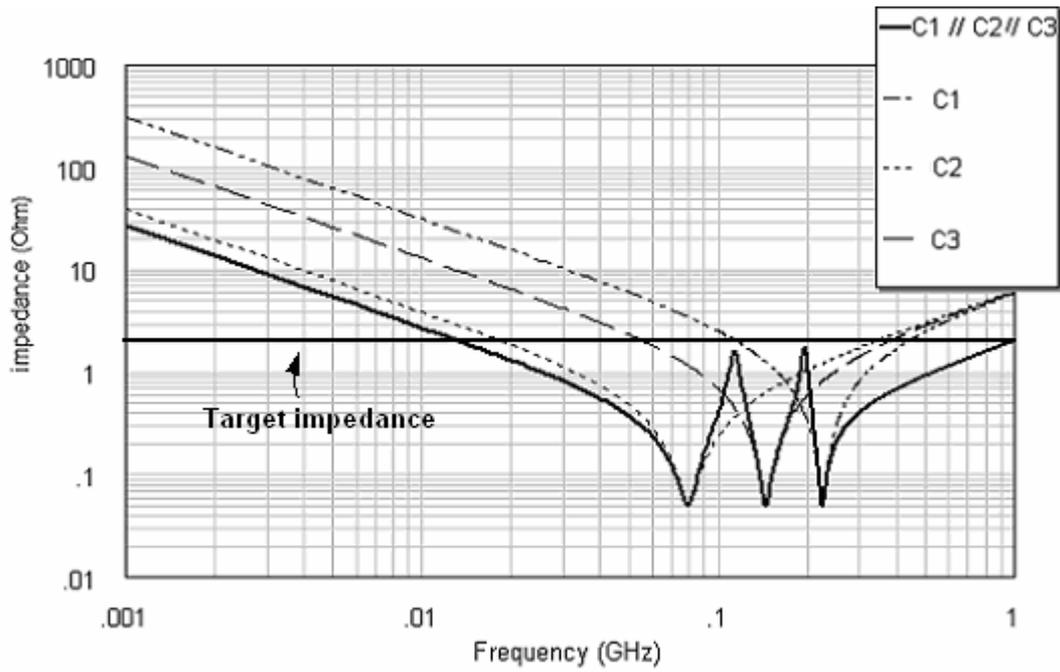


圖2.13 並聯三個非理想去耦合電容的等效阻抗，其中 $L=1\text{nH}$ 、 $R=0.05\Omega$ 、 $C1=0.5\text{nF}$ 、 $C2=4\text{nF}$ 、 $C3=1.2\text{nF}$ 。

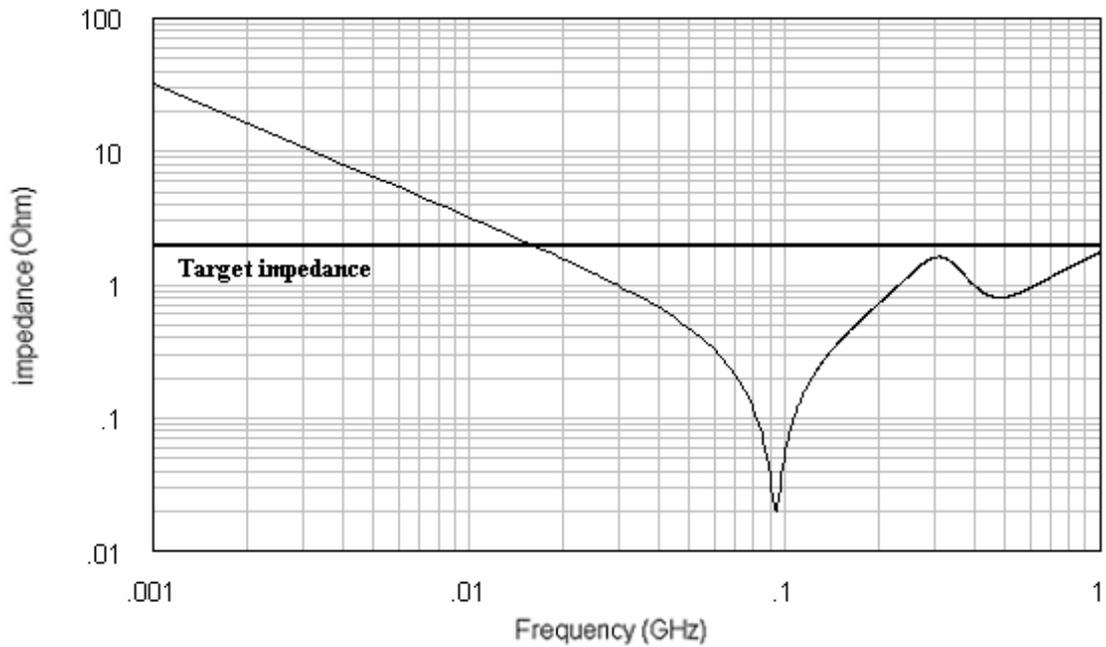


圖2.14 並聯兩個非理想去耦合電容的等效阻抗，其中 $L1=0.61\text{nH}$ 、

$R1=0.02\Omega$ 、 $C1=4.7nF$ 、 $L2=0.6nH$ 、 $R2=1\Omega$ 、 $C2=220pF$ 。

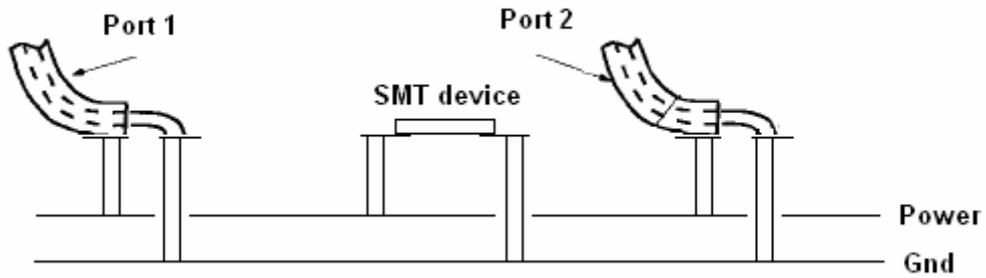


圖2.15 2-port網路量測的剖面圖。

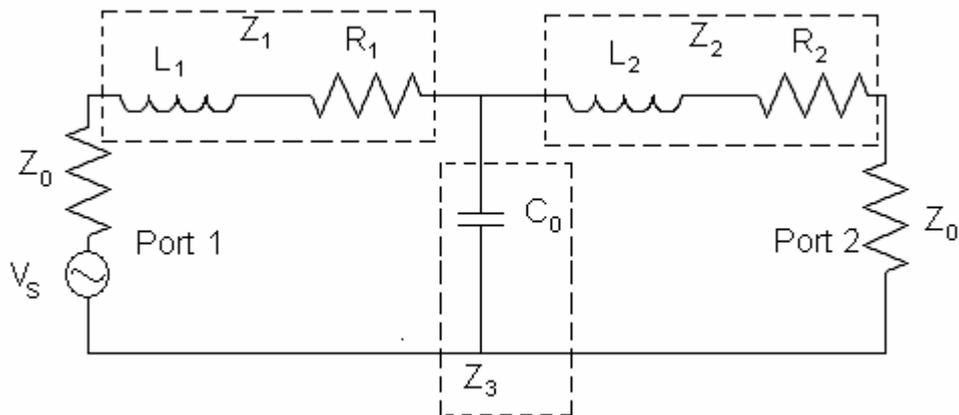


圖2.16 使用網路分析儀貫孔結構為開路時的等效電路。

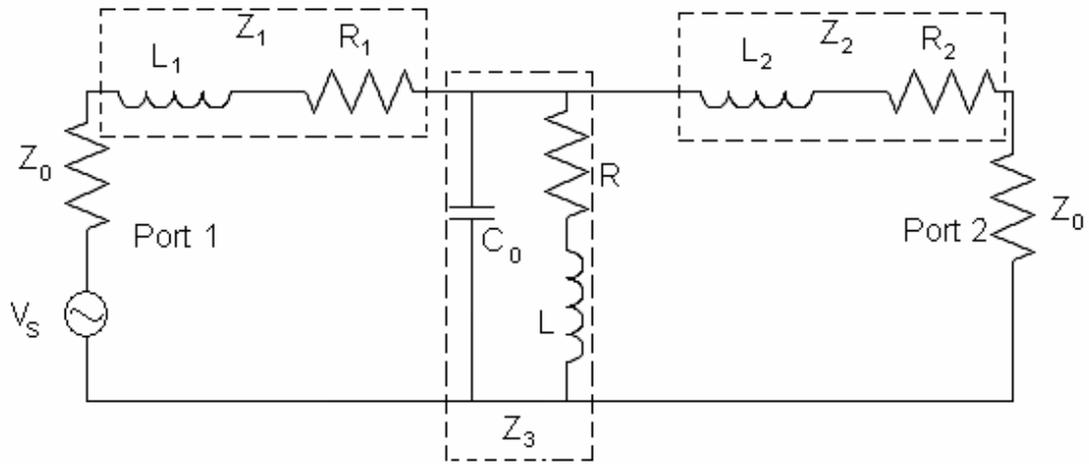


圖2.17 使用網路分析儀貫孔結構為短路時的等效電路。

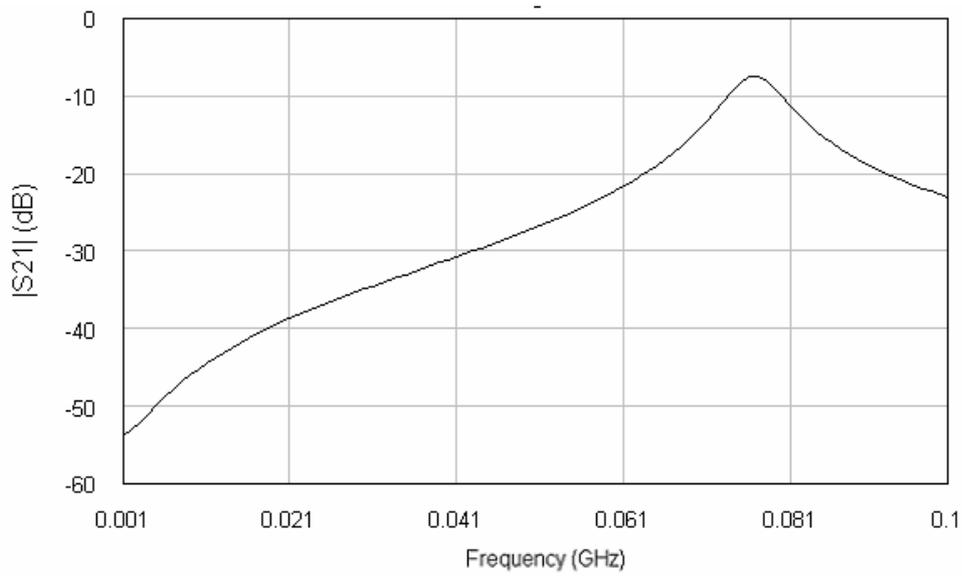


圖2.18 使用網路分析儀得到的 $|S21|$ 。

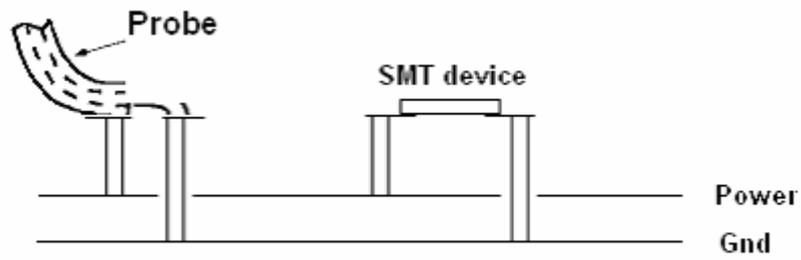


圖2.19 阻抗分析儀量測的剖面圖。

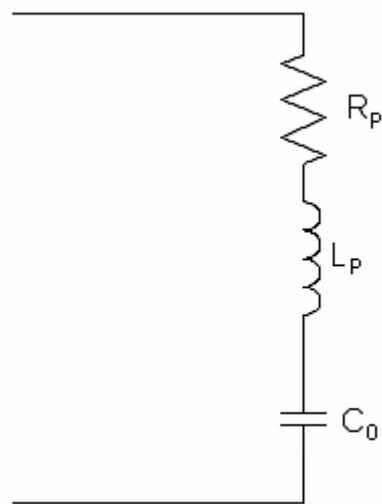


圖2.20 使用阻抗分析儀貫孔結構為開路時的等效電路。

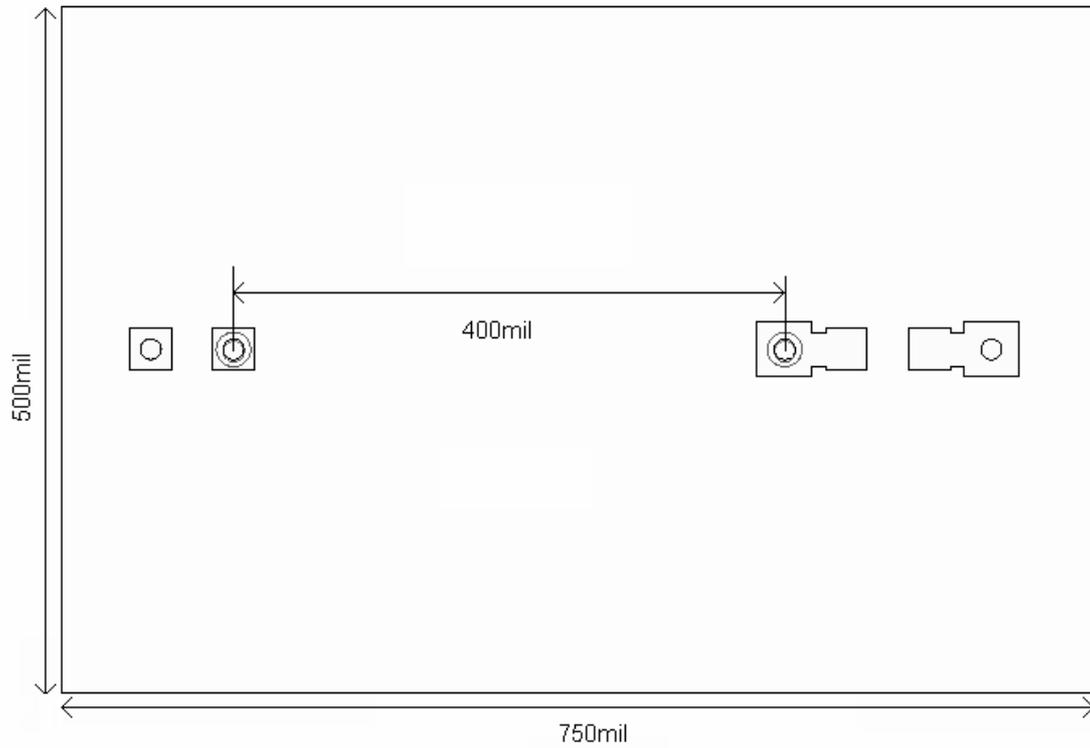


圖2.21 使用阻抗分析儀貫孔結構為開路時的layout圖。

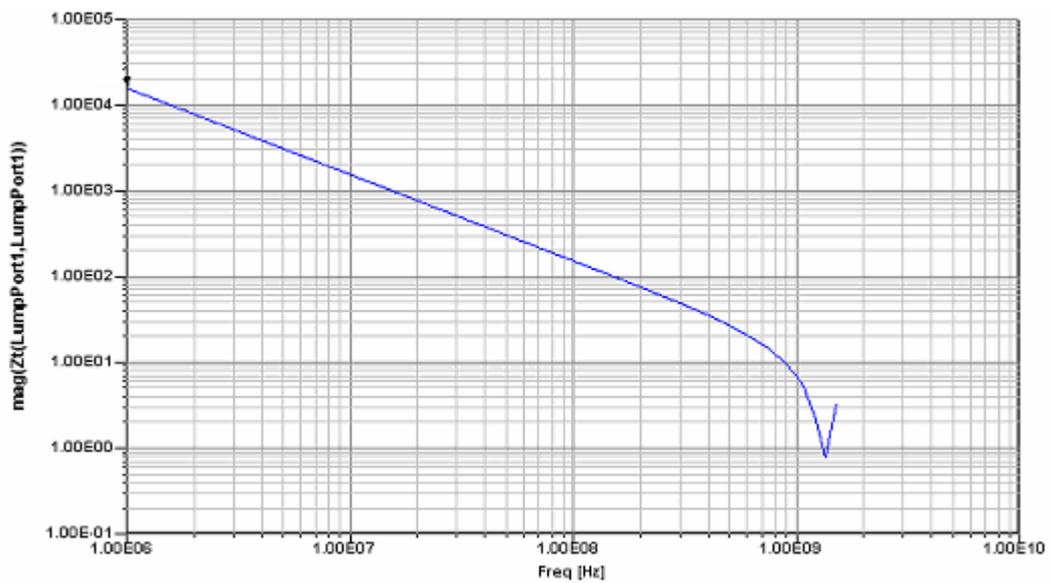


圖2.22 用阻抗分析儀法在HFSS模擬得到貫孔結構為開路時的 Z_{in} 。

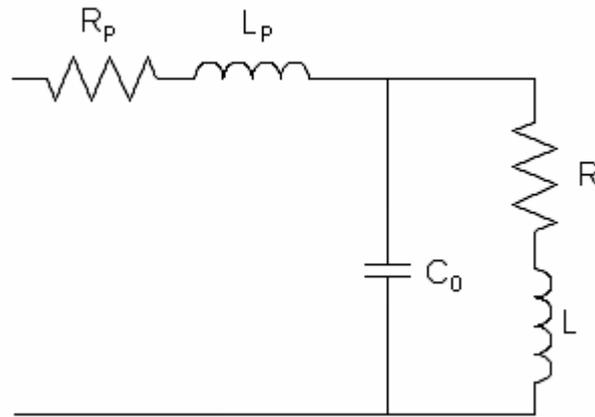


圖2.23 使用阻抗分析儀貫孔結構為短路時的等效電路。

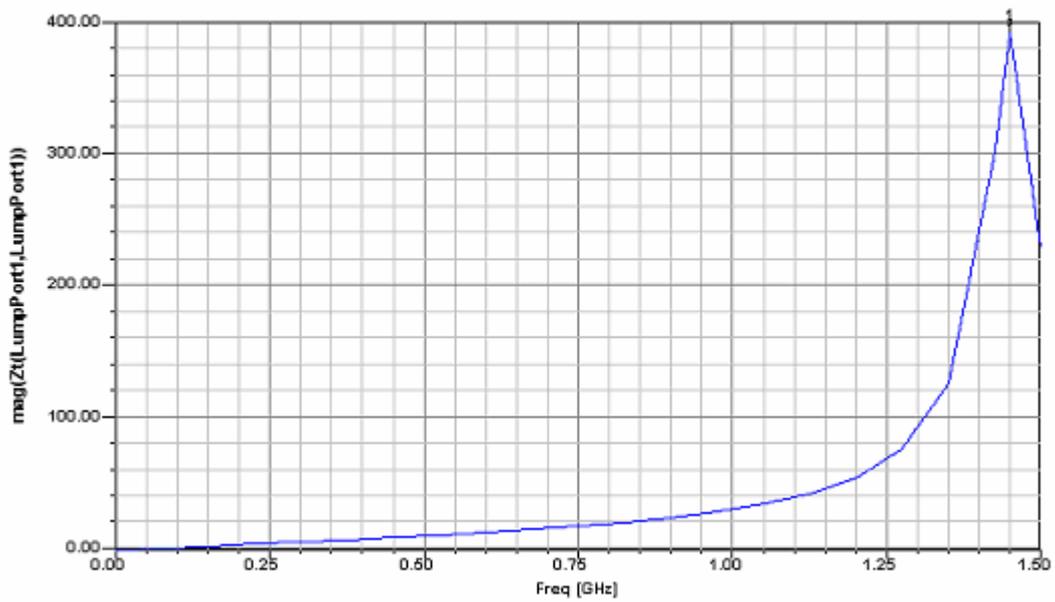


圖2.24 用阻抗分析儀法在HFSS模擬得到貫孔結構為短路時的 Z_{in} 。

第三章

數值結果與討論

在第二章裡，我們詳細地敘述了如何萃取貫孔結構的等效電感值，本章使用 HFSS 軟體，來萃取貫孔結構的等效電感值。去耦合電容的放置如圖 3.1 所示，一端接到 Power 一端接到 Ground，因此會有成對的貫孔，所以本章第一部份首先分析一對貫孔的電感值。第二部份將分析不同的貫孔長度與貫孔間的間距對於電感值的影響。



3-1 平行導線的電感分析

如圖 3.2 所示，貫孔的長度為 h 、半徑為 r 、兩貫孔相距 s ，其電感值可分為自感 L_{11} 、 L_{22} 與互感 L_{12} 、 L_{21} ，在均勻表面電流分佈的假設下，其計算公式如下[4]：

$$L_{ii} = \frac{\mu_0}{2\pi} h \left\{ \ln \left[\frac{h}{r} + \sqrt{\left(\frac{h}{r}\right)^2 + 1} \right] + \frac{r}{h} - \sqrt{\left(\frac{r}{h}\right)^2 + 1} \right\} \quad (3.1)$$

$$L_{ij} = \frac{\mu_0}{2\pi} h \left\{ \ln \left[\frac{h}{s} + \sqrt{\left(\frac{h}{s}\right)^2 + 1} \right] + \frac{s}{h} - \sqrt{\left(\frac{s}{h}\right)^2 + 1} \right\} \quad (3.2)$$

當兩貫孔上的電流為流向相反的差模(differential mode)電流時，所造成的電感值為 L_{DM} ，電流為流向相同的共模(common mode)電流時，所造成的電感值為 L_{CM} ，計算公式如下：

$$L_{DM} = 2(L_{11} - L_{12}) \quad (3.3)$$

$$L_{CM} = (L_{11} + L_{12}) // (L_{22} + L_{12}) \quad (3.4)$$



圖 3.3 與圖 3.4 分別為 L_{DM} 、 L_{CM} 對貫孔間距 s 的作圖，其中貫孔長度 $h = 100\text{mil}$ 、半徑 $r = 7.5\text{mil}$ 。由表 3.1 可看出電流流向相反時，貫孔的距離拉遠，互感變小，總電感值就如同兩根貫孔串聯，隨著距離的減少，互感值上升則總電感值下降。當電流流向相同時，貫孔的距離拉遠，互感變小，總電感值就如同兩根貫孔並聯，當靠近時由於互感變大於是總電感值增加。

當兩貫孔上的電流為差模電流時，間距 s 減少時，表面電流為不均勻並往內側集中，在 HFSS 模擬時含有此效應，如圖 3.5 所示，圖 3.6 為間距 s 較大時的電流分布，其中圖 3.5、圖 3.6 為在兩貫孔之間

對稱面放一 PEC 平面，模擬所得圖 3.2 左側貫孔表面的奇模表面電流密度，由於(3.1)與(3.2)的公式假設電流為均勻分布，因此當間距 s 減少時，公式與模擬值差距變大，當間距 s 漸漸增加時，公式與模擬值越來越吻合。電流為共模電流時亦然，但電流集中於外側，如圖 3.7 所示，其中圖 3.7 為偶模分析所得左側貫孔的模擬共模電流密度分佈。

3-2 貫孔結構的電感分析

圖 3.8(a)為一般常見的貫孔結構，其中 Power 與 Ground planes 的距離為 $L2$ 、pad 與 power plane 的距離為 $L1$ 。

圖 3.9 為使用阻抗分析儀模擬圖 3.8(a)結構的上視圖。首先，模擬貫孔結構為開路，結果如圖 3.10 所示，其中 $L1$ 為 5mil 、 $L2$ 為 50mil 。由圖 3.10 可得， $C_0 = \frac{1}{2\pi \times 1.54 \times 10^4 \times 10^6} = 10.34\text{pF}$ 。電路板的 ϵ_r 設為 4.4，以平行平板的公式計算 $C_0 = \epsilon_0 \epsilon_r \frac{750\text{mil} \times 500\text{mil}}{50\text{mil}} = 7.42\text{pF}$ 。由於平行平板的公式忽略 fringing effect，而 HFSS 的模擬中包含此效應，因此模擬所得的電容值較公式計算的大。接下來將貫孔結構短路，模擬結果如圖 3.11 所示， f_{peak} 為 1.45GHz ，由(2.22)得 $L = 1.165\text{nH}$ 。

圖 3.12 為使用阻抗分析儀方法模擬圖 3.8(a)結構的上視圖，表 3.2 為模擬結果與比較，其中使用網路分析儀方法的電路板大小如圖 3.13 所示。表 3.2 顯示使用網路分析儀方法與阻抗分析儀方法所得的等效電感值差異不大，但使用阻抗分析儀法可將問題空間縮小，在模擬時間上比網路分析儀法節省許多，因此本論文使用阻抗分析儀法來做接下來的模擬。表 3.3~表 3.8 為用阻抗分析儀方法在 HFSS 上模擬圖 3.8(a)~(f)六種不同的貫孔結構所得的等效電感值。

由於 power 與 ground vias 的電流流向相反，而圖 3.3 顯示電流流向相反時貫孔的距離越近，電感值越小，於是將結構改為圖 3.8(b)應有助於降低 L_{via} 。圖 3.4 顯示兩根貫孔電流流向相同時比單根貫孔的電感值小，因此如圖 3.8(c)和(d)所示多加入幾對貫孔應有助於降低 L_{via} 。

圖 3.14、圖 3.15 比較圖 3.8(a)~(d)貫孔結構的電感值，其中圖 3.14 為固定 L1 但改變 L2 的長度，圖 3.15 則為固定 L2 但改變 L1 的長度。由圖可看出將結構由(a)依續改變至(d)，電感值亦逐步下降。

再重新討論圖 3.8(b)，雖然將貫孔對拉近降低了電感值，但由於將貫孔對往外拉，在 pad 上會多了些電感，於是改為圖 3.8(e)。圖 3.8(f)為將貫孔對再靠近。由圖 3.16、圖 3.17 知，結構(b)改為結構(e)有效的減少了電感值，若要再降低電感值則可將貫孔對再靠

近。

在貫孔結構中，可將其寄生電感大略分為兩部分，如圖 3.18 所示，其中 L1 部分造成的可視為一個由長度為 L1 的貫孔對以及 pad 所造成的迴路電感 L_{loop} 。當電流經過 ground plane 擴散開時，所伴隨的電感稱為 spreading inductance $L_{spreading}$ 。由 cavity model 來看，power/ground plane pair 所造成的電感值與電路板的大小、板間間隔 L2 以及貫孔的位置有關，但本論文中未討論到此部分，只將電路板的大小、間隔與貫孔的位置固定，來比較各個貫孔結構。

3-3 貫孔結構對去耦合電容阻抗性能的影響評估



從 Murata 公司的產品中選擇編號為 GRM188R71H472KA01 的去耦合電容，其電容值為 $4.7nF$ 、大小為 0603、ESL 為 $0.61nH$ 、ESR 為 0.02Ω ，將其放在貫孔結構(a)~(f)上。圖 3.19、圖 3.20 為比較去耦合電容放置在圖 3.8(a)~(f)等不同貫孔結構時的阻抗值，其中圖 3.19 的 $L1=27mil$ 、 $L2=5mil$ ，圖 3.20 的 $L1=5mil$ 、 $L2=50mil$ 。

圖 3.19 顯示出，在 $L1=27mil$ 、 $L2=5mil$ 的長度組合中，若將 Target impedance 定為 1Ω ，當貫孔結構由(a)改至(b)時，有效使用頻寬增加了 25%，當貫孔結構由(b)改至(c)時，有效使用頻寬又增加了 22%，

而結構(c)~(f)的使用頻寬則變化不大。圖 3.20 顯示出，在 $L1=5\text{mil}$ 、 $L2=50\text{mil}$ 的長度組合中，當貫孔結構由(b)改至(c)時，有效使用頻寬增加了 24%，貫孔結構由(b)改至(e)時，有效使用頻寬又增加了 20%，當貫孔結構由(a)改至(b)、(c)改至(d)與(e)改至(f)時，有效使用頻寬則變化不大。

由上述的例子可知，降低 $L_{trace} + L_{via}$ 對於增加去耦合電容使用頻寬的幫助與 $\frac{(L_{trace} + L_{via})}{ESL}$ 的大小比值有關，由結構(a)改至(f)時， $L_{trace} + L_{via}$ 減少，於是 L_{total} 逐漸由去耦合電容的 ESL 所主導，因此，增加貫孔數和/或拉近貫孔對的距離來降低 $L_{trace} + L_{via}$ 所帶來的幫助不大。



S(mi1)	40	60	80	100	120	140	160	180	200
自感 (nH)	1.197	1.197	1.197	1.197	1.197	1.197	1.197	1.197	1.197
互感 (nH)	0.493	0.365	0.288	0.237	0.201	0.175	0.154	0.138	0.125

表 3.1 圖 3.2 平行導線的自感與互感。



L1(mi1)	5	5	27
L2(mi1)	5	50	5
網路分析儀法所得的電感值(nH)	0.527	1.403	1.599
阻抗分析儀法所得的電感值(nH)	0.538	1.337	1.518

表 3.2 比較網路分析儀法與阻抗分析儀法模擬圖 3.8(a)結構所得的電感值。

L1(mil)	5	5	5	5	5	5	5
L2(mil)	5	10	15	20	25	30	35
電感值(nH)	0.613	0.674	0.748	0.828	0.89	0.954	1.01

5	5	5	10	15	20	25	27
40	45	50	5	5	5	5	5
1.026	1.119	1.165	0.945	1.154	1.428	1.613	1.787

表 3.3 圖 3.8(a)貫孔結構的電感值。



L1(mil)	5	5	5	5	5	5	5
L2(mil)	5	10	15	20	25	30	35
電感值(nH)	0.474	0.506	0.628	0.691	0.755	0.799	0.858

5	5	5	10	15	20	25	27
40	45	50	5	5	5	5	5
0.923	0.96	1.048	0.67	0.829	0.913	1.046	1.056

表 3.4 圖 3.8(b)貫孔結構的電感值。

L1(mil)	5	5	5	5	5	5	5
L2(mil)	5	10	15	20	25	30	35
電感值(nH)	0.295	0.344	0.384	0.419	0.451	0.481	0.511

5	5	5	10	15	20	25	27
40	45	50	5	5	5	5	5
0.534	0.56	0.582	0.412	0.498	0.555	0.608	0.639

表 3.5 圖 3.8(c)貫孔結構的電感值。



L1(mil)	5	5	5	5	5	5	5
L2(mil)	5	10	15	20	25	30	35
電感值(nH)	0.251	0.293	0.325	0.359	0.391	0.415	0.446

5	5	5	10	15	20	25	27
40	45	50	5	5	5	5	5
0.471	0.493	0.515	0.353	0.385	0.472	0.527	0.556

表 3.6 圖 3.8(d)貫孔結構的電感值。

L1(mil)	5	5	5	5	5	5	5
L2(mil)	5	10	15	20	25	30	35
電感值(nH)	0.232	0.31	0.383	0.453	0.526	0.596	0.663

5	5	5	10	15	20	25	27
40	45	50	5	5	5	5	5
0.734	0.8	0.863	0.332	0.426	0.515	0.608	0.642

表 3.7 圖 3.8(e)貫孔結構的電感值。



L1(mil)	5	5	5	5	5	5	5
L2(mil)	5	10	15	20	25	30	35
電感值(nH)	0.201	0.277	0.347	0.422	0.493	0.562	0.631

5	5	5	10	15	20	25	27
40	45	50	5	5	5	5	5
0.699	0.766	0.829	0.277	0.349	0.416	0.485	0.516

表 3.8 圖 3.8(f)貫孔結構的電感值。

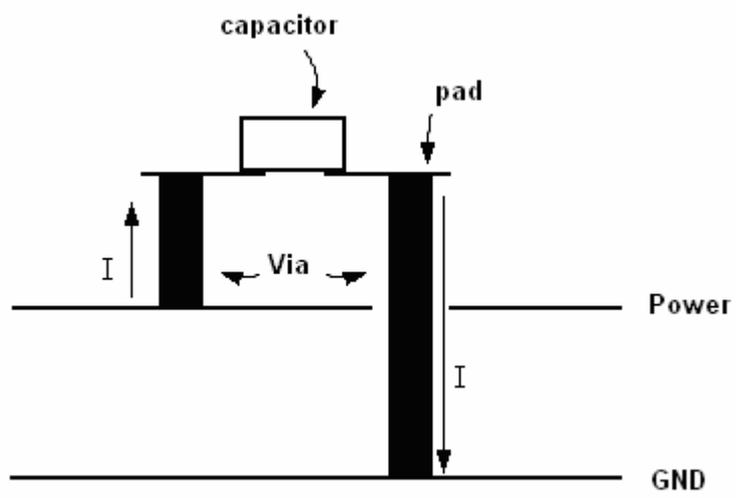


圖 3.1 去耦合電容的放置。

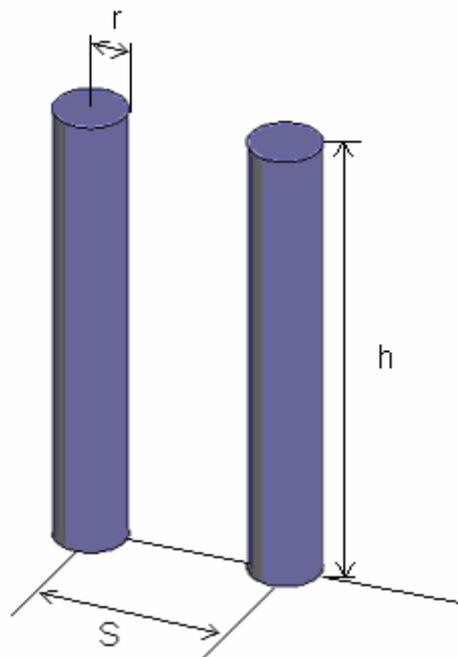


圖 3.2 兩根平行導線。

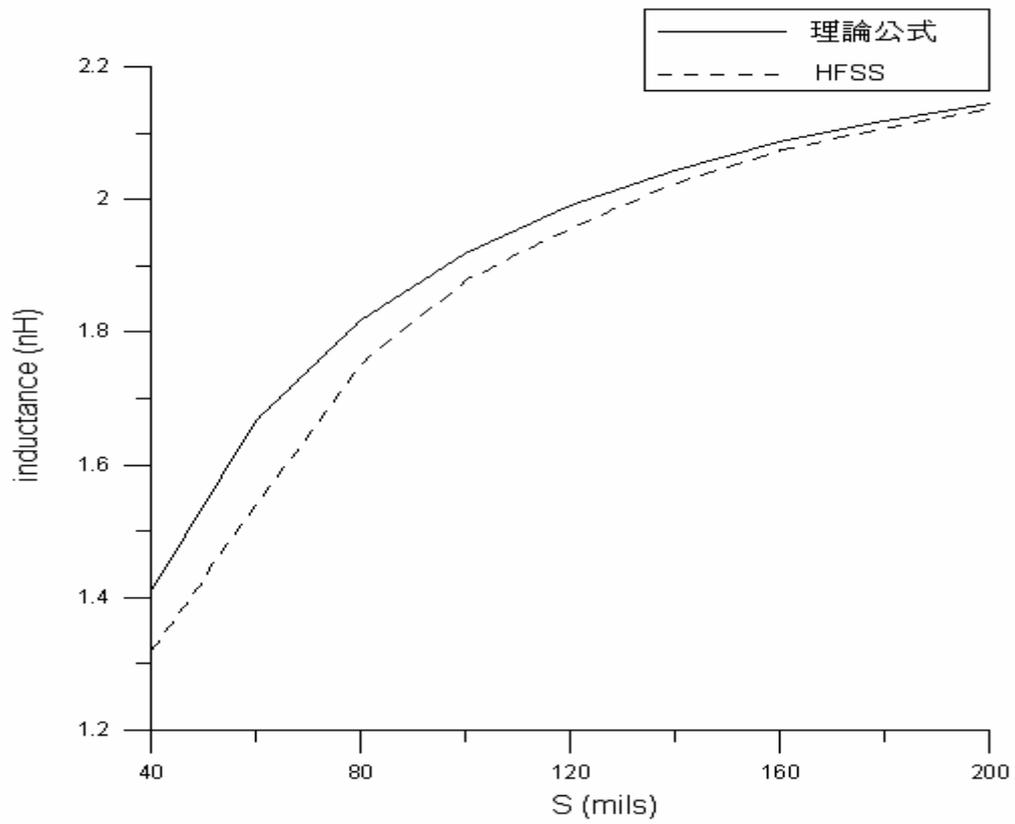


圖 3.3 L_{DM} 對間距 s 的作圖。

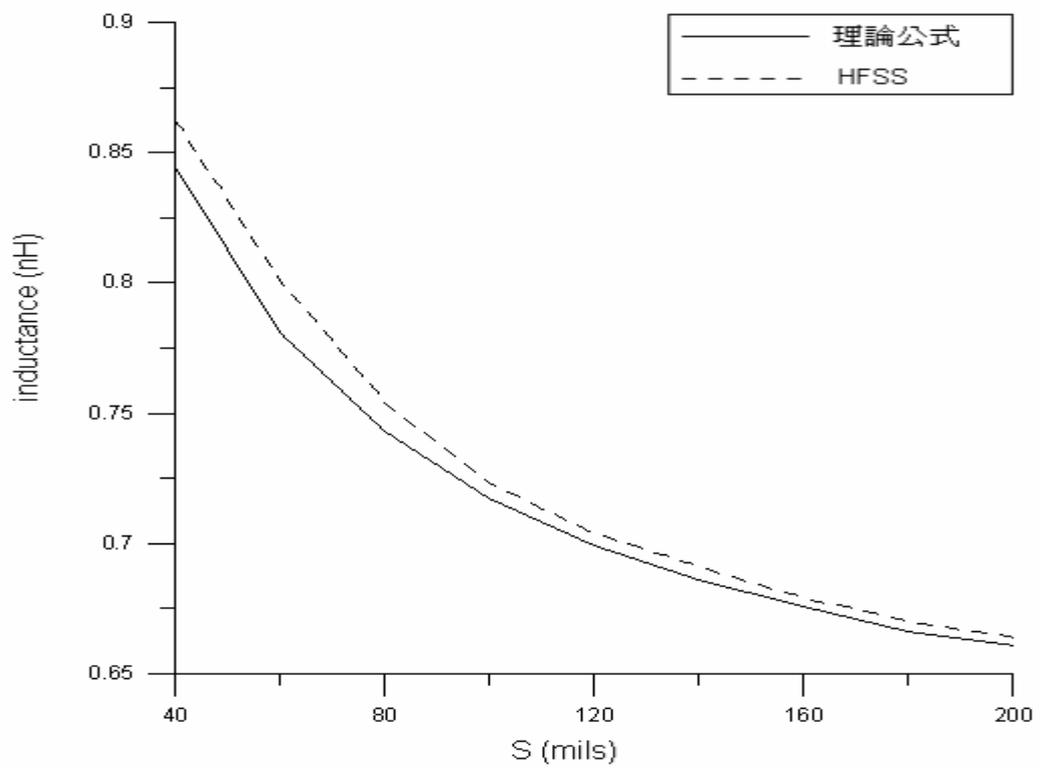


圖 3.4 L_{CM} 對間距 s 的作圖。

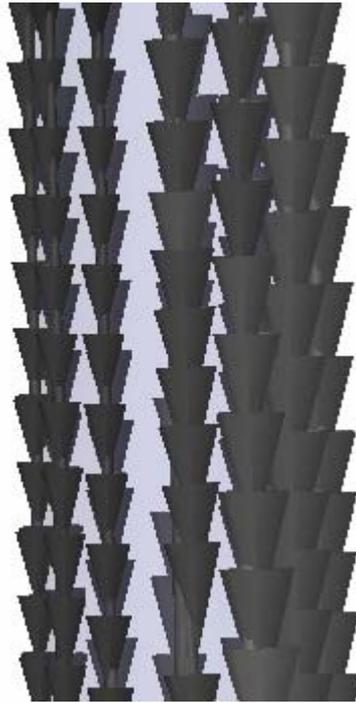


圖 3.5 兩貫孔上的電流差模電流，間距 $s = 40mil$ 。

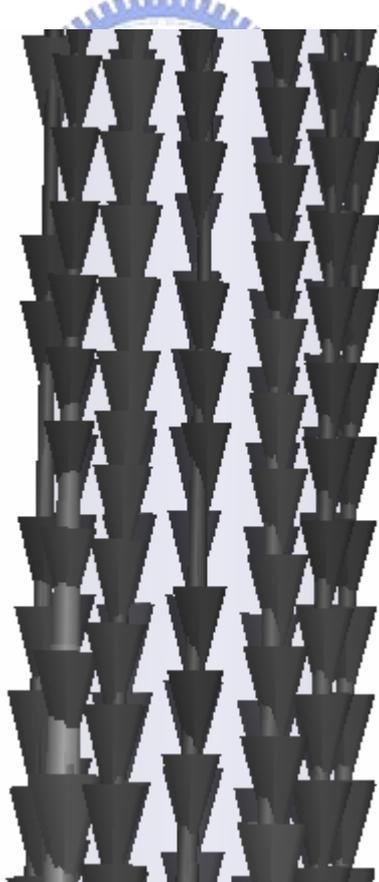


圖 3.6 兩貫孔上的電流差模電流，間距 $s = 200mil$ 。

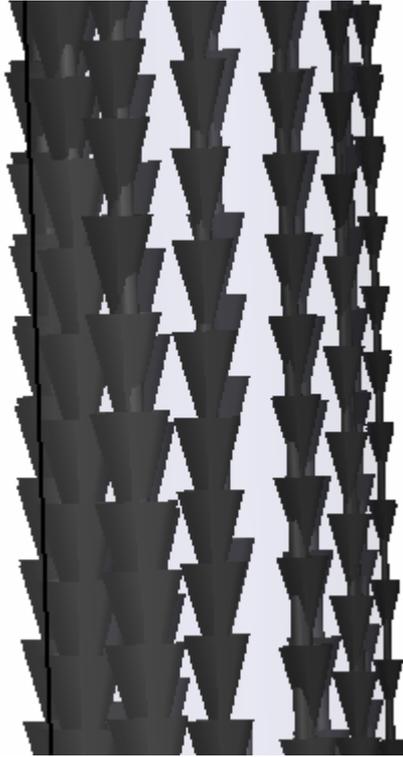
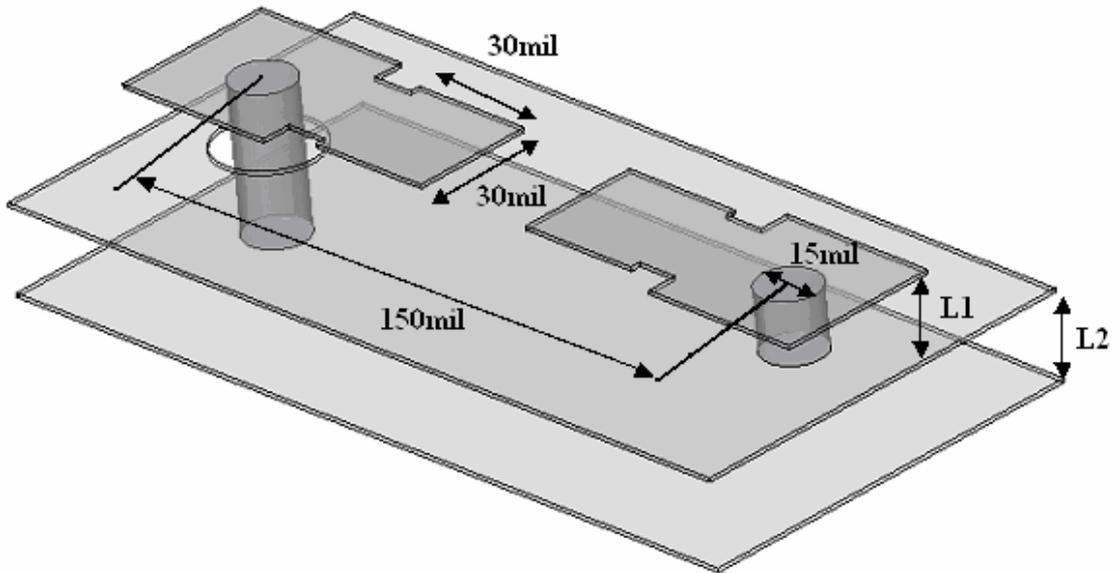
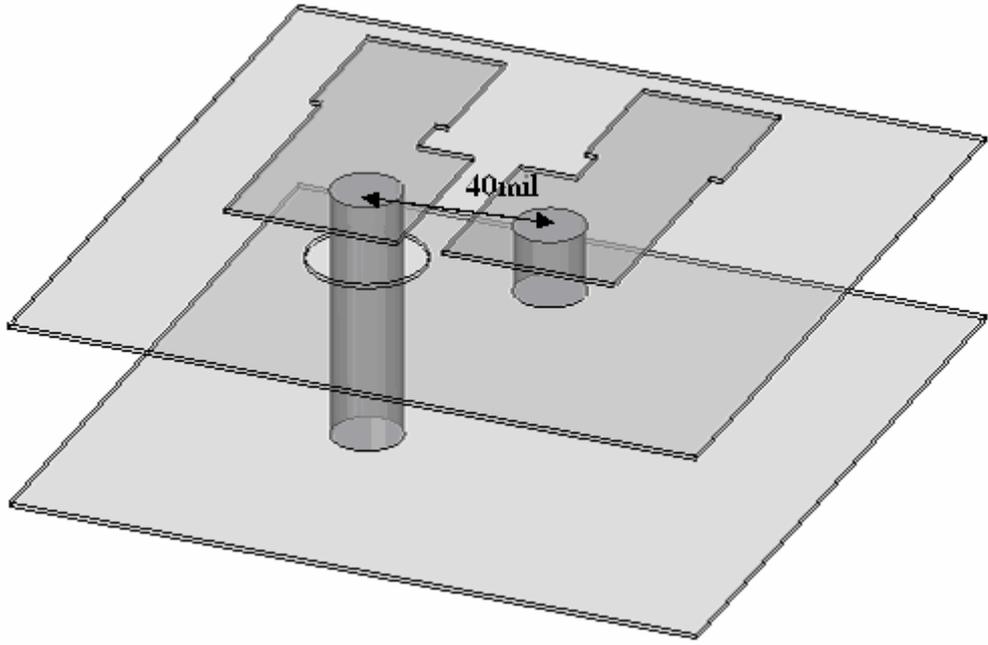


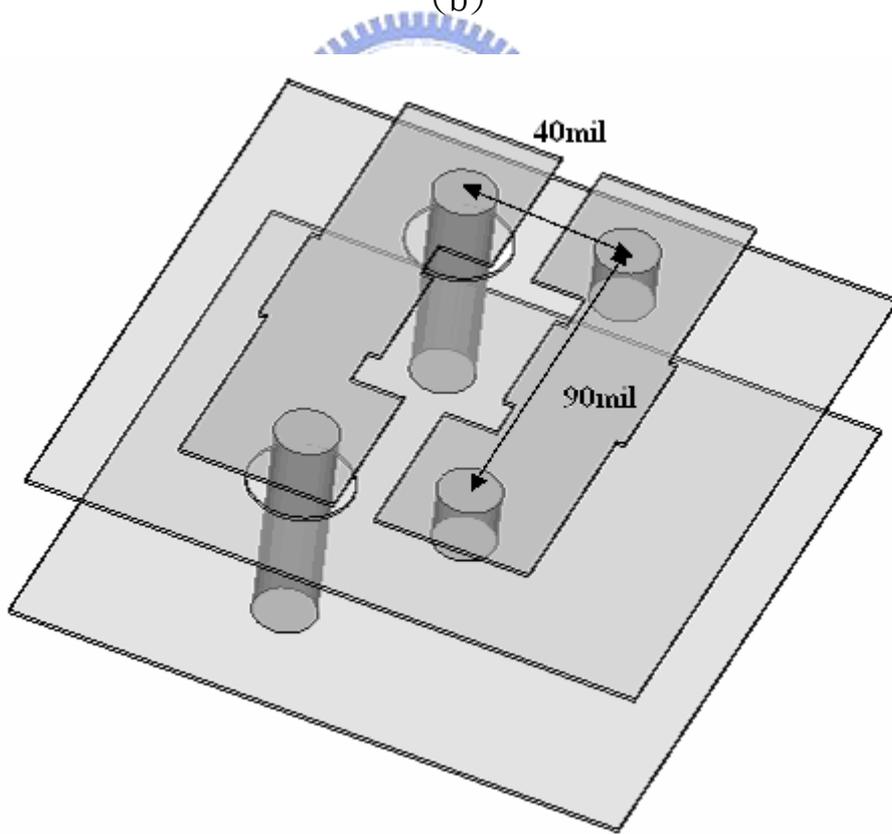
圖 3.7 兩貫孔上的電流共模電流，間距 $s = 40\text{mil}$ 。



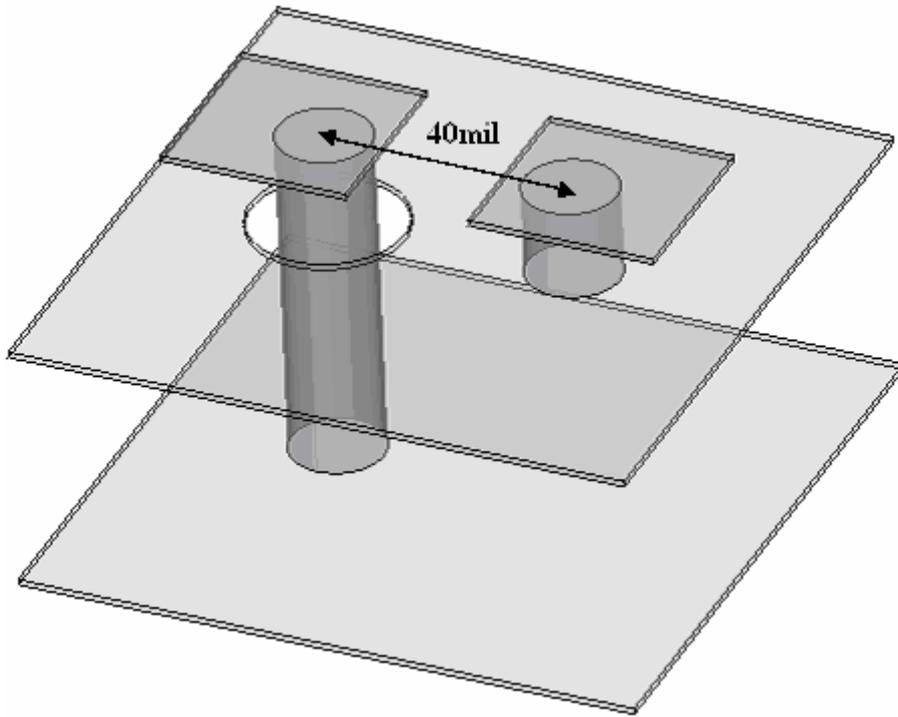
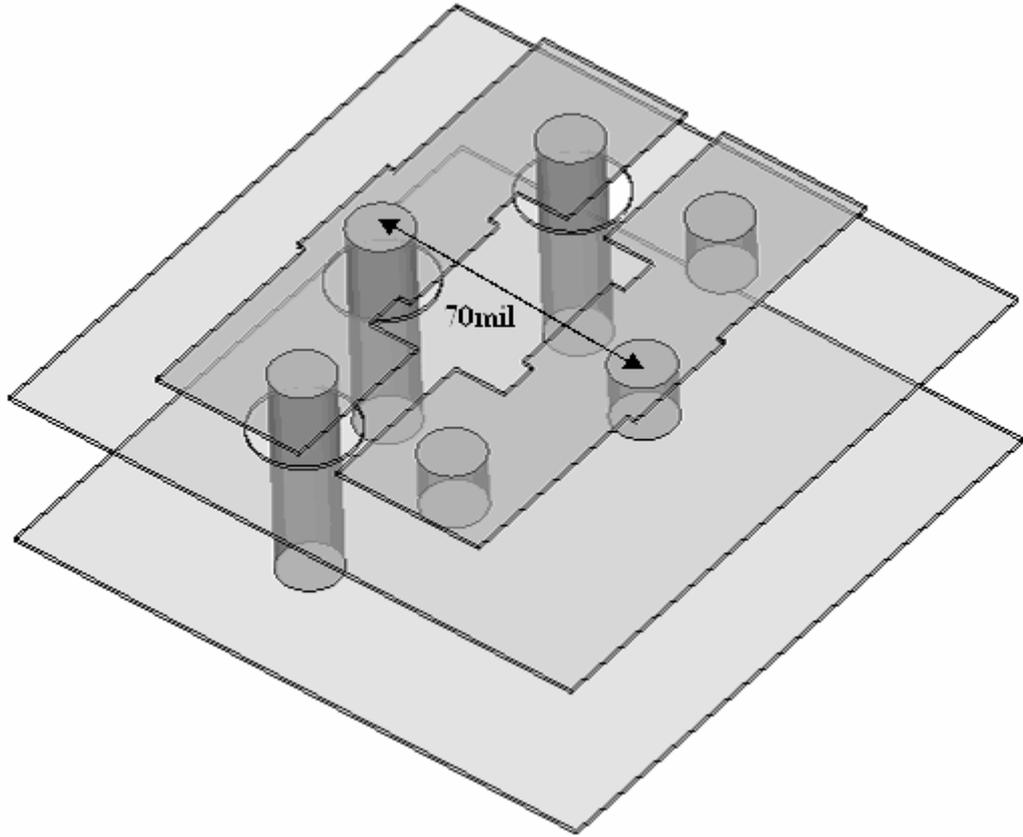
(a)



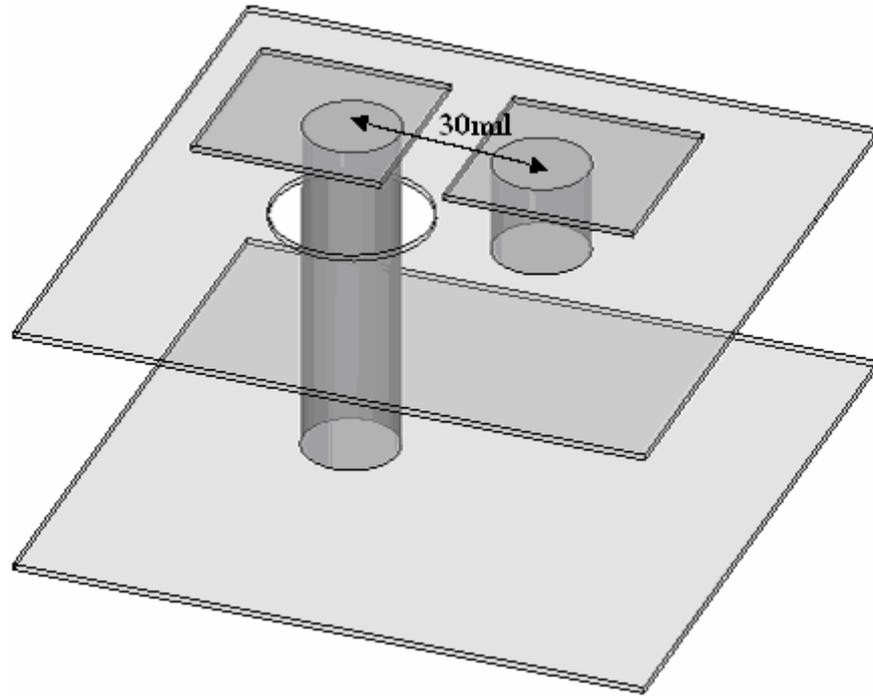
(b)



(c)



(e)



(f)

圖 3.8 (a)~(f) 六種不同的貫孔結構。

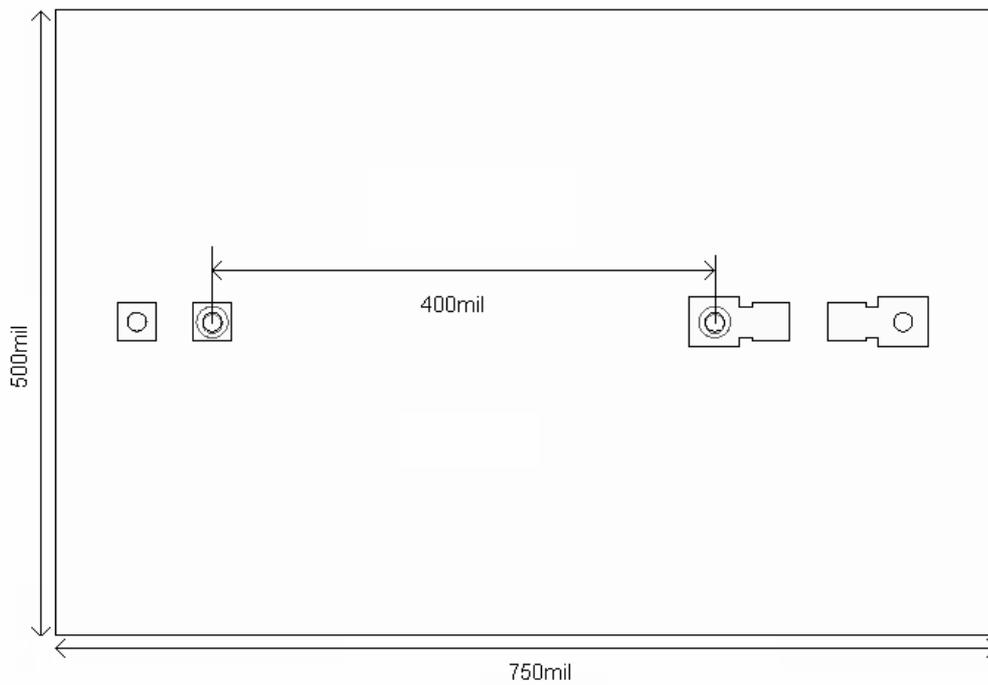


圖 3.9 使用阻抗分析儀法模擬圖 3.8(a)結構的上視圖，電路板

大小為 750mil×500mil。

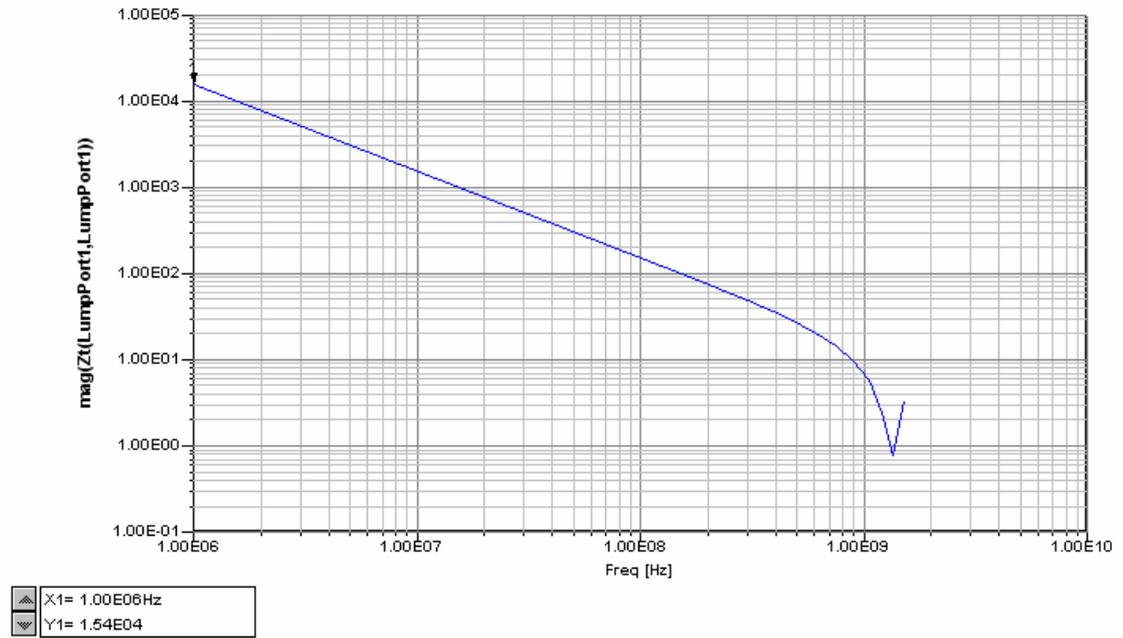


圖 3.10 用 HFSS 模擬得到貫孔結構為開路時的 Z_{in} 。

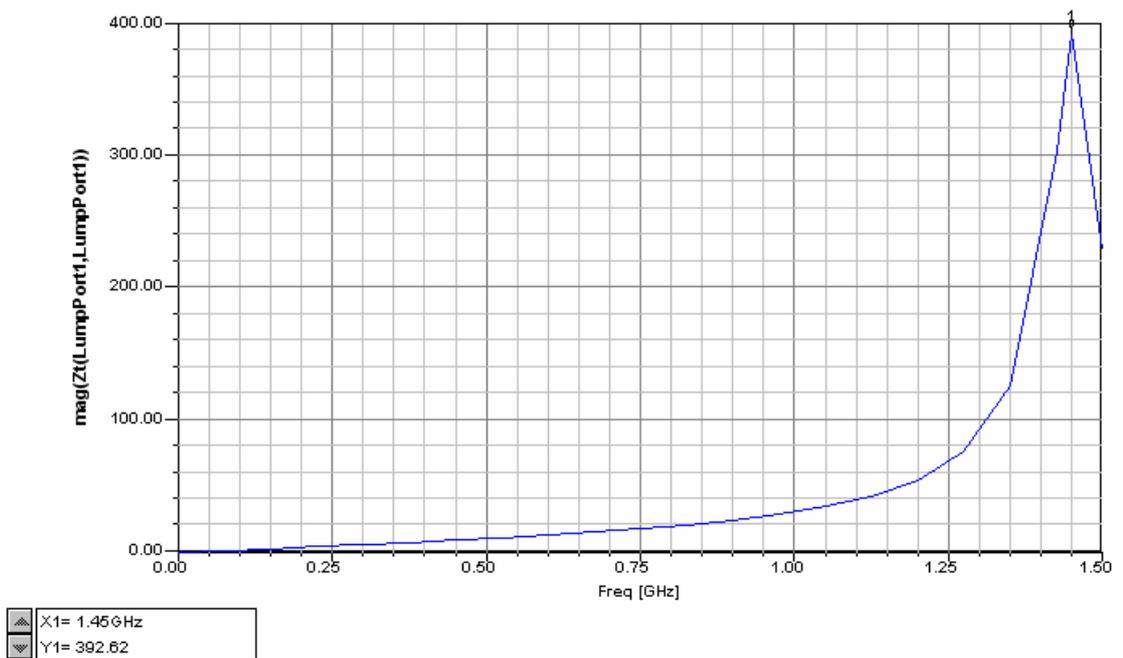


圖 3.11 用 HFSS 模擬得到貫孔結構為短路時的 Z_{in} 。

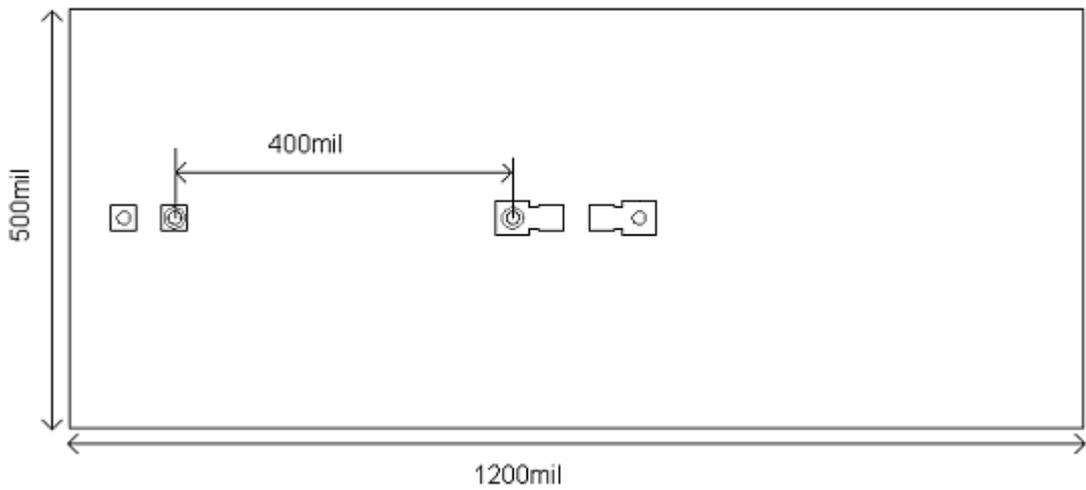


圖 3.12 使用阻抗分析儀法模擬圖 3.8(a)結構的上視圖，電路板
大小為 1200mil×500mil。

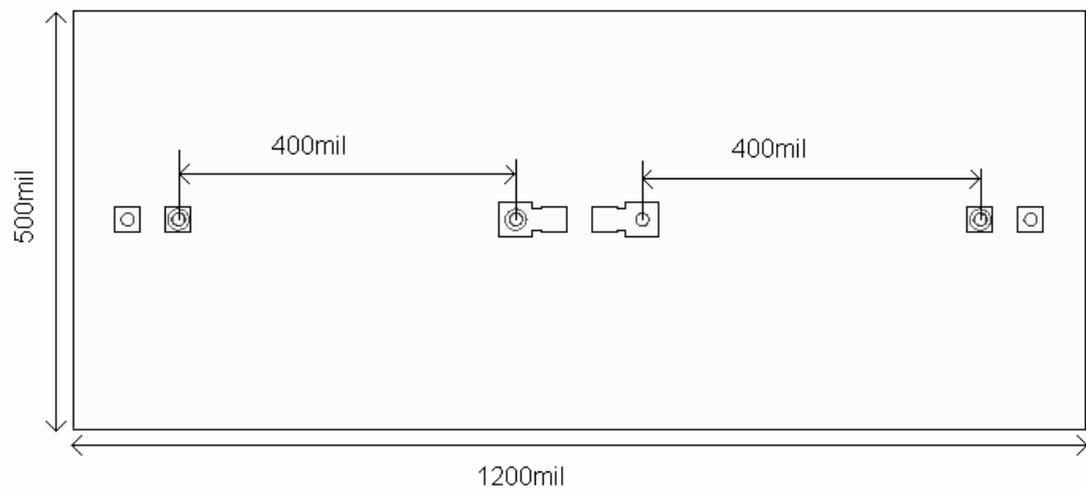


圖 3.13 使用網路分析儀法模擬圖 3.8(a)結構的上視圖，電路板
大小為 1200mil×500mil。

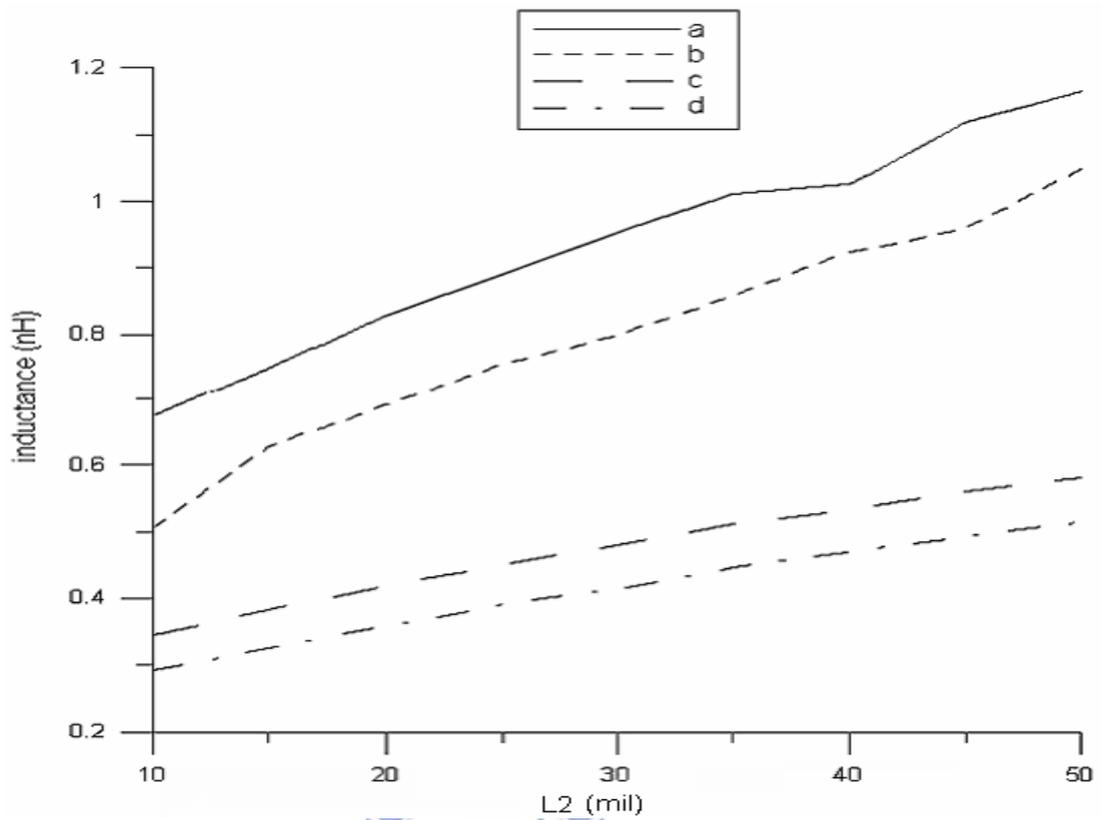


圖 3.14 比較結構(a)~(d)的電感值，L1=5mil。

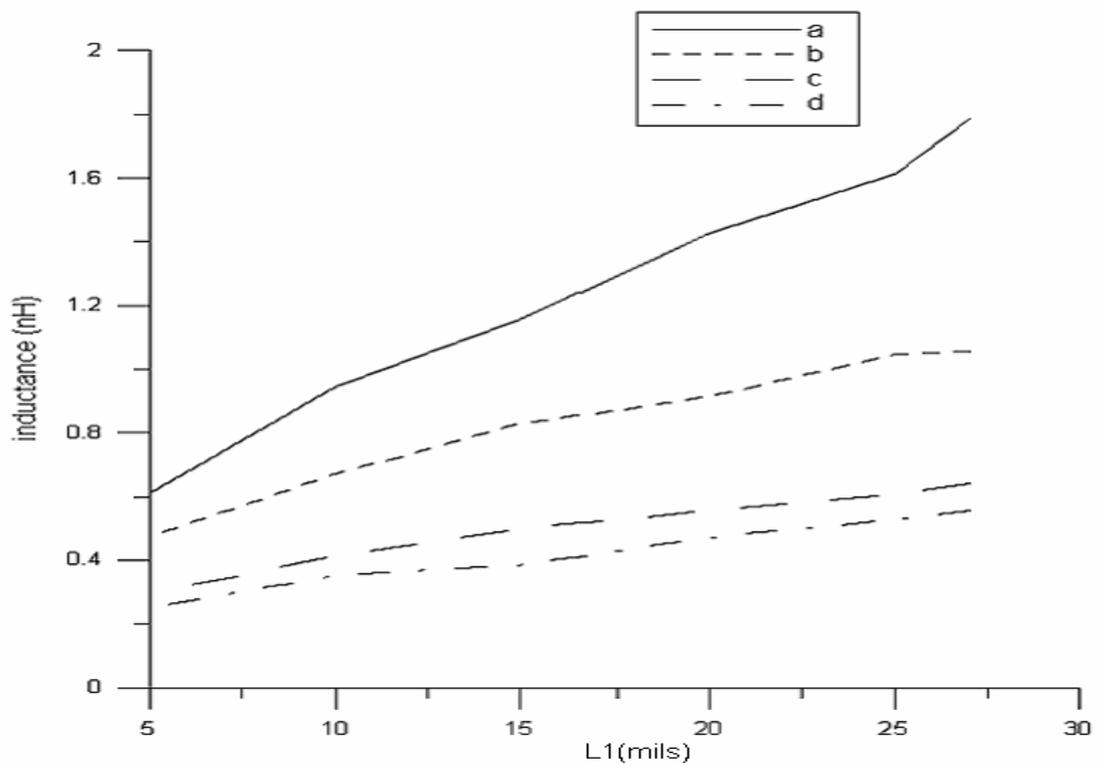


圖 3.15 比較結構(a)~(d)的電感值，L2=5mil。

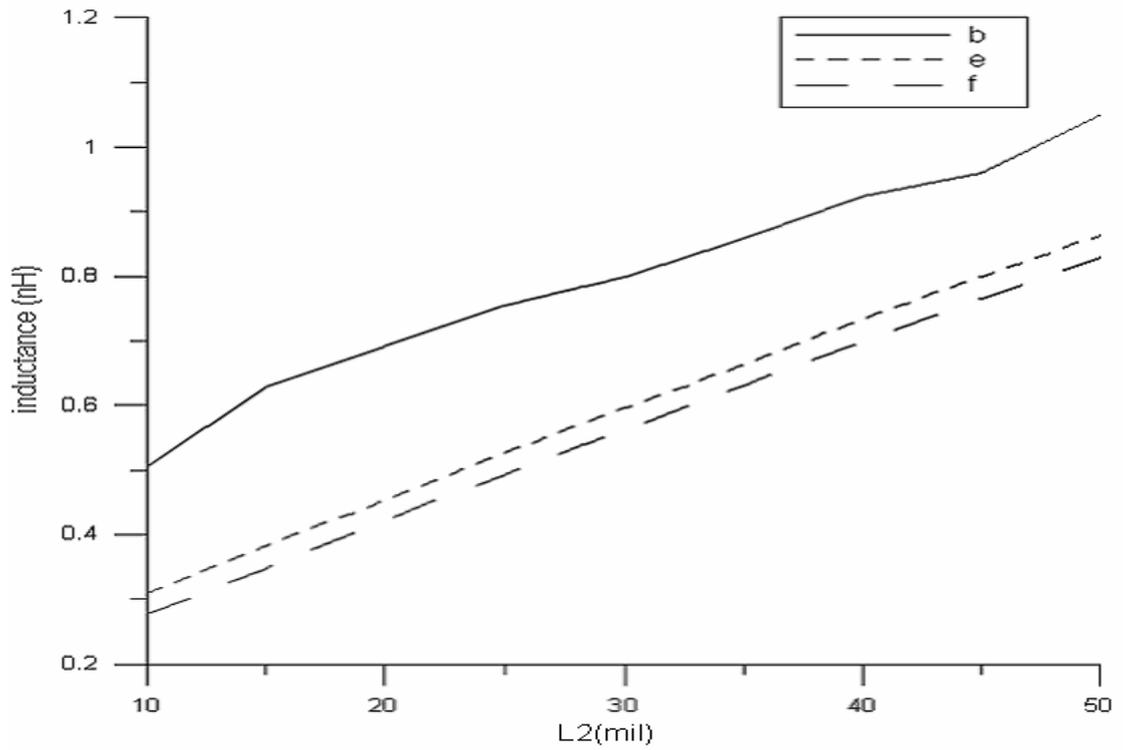


圖 3.16 比較結構(b)(e)(f)的電感值，L1=5mil。

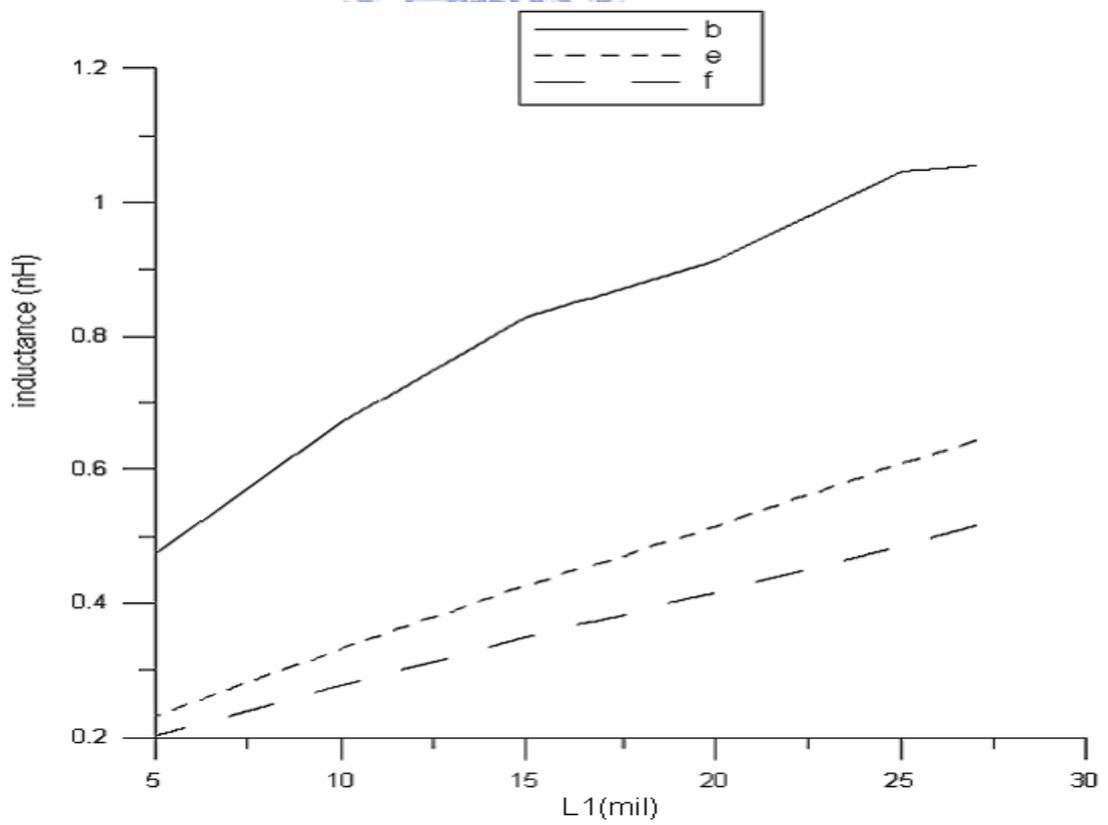


圖 3.17 比較結構(b)(e)(f)的電感值，L2=5mil。

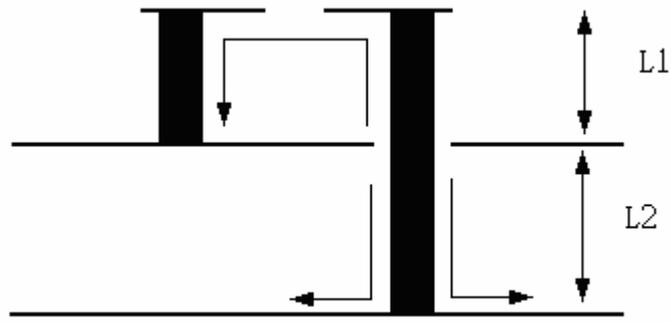


圖 3.18 貫孔結構的剖面圖。

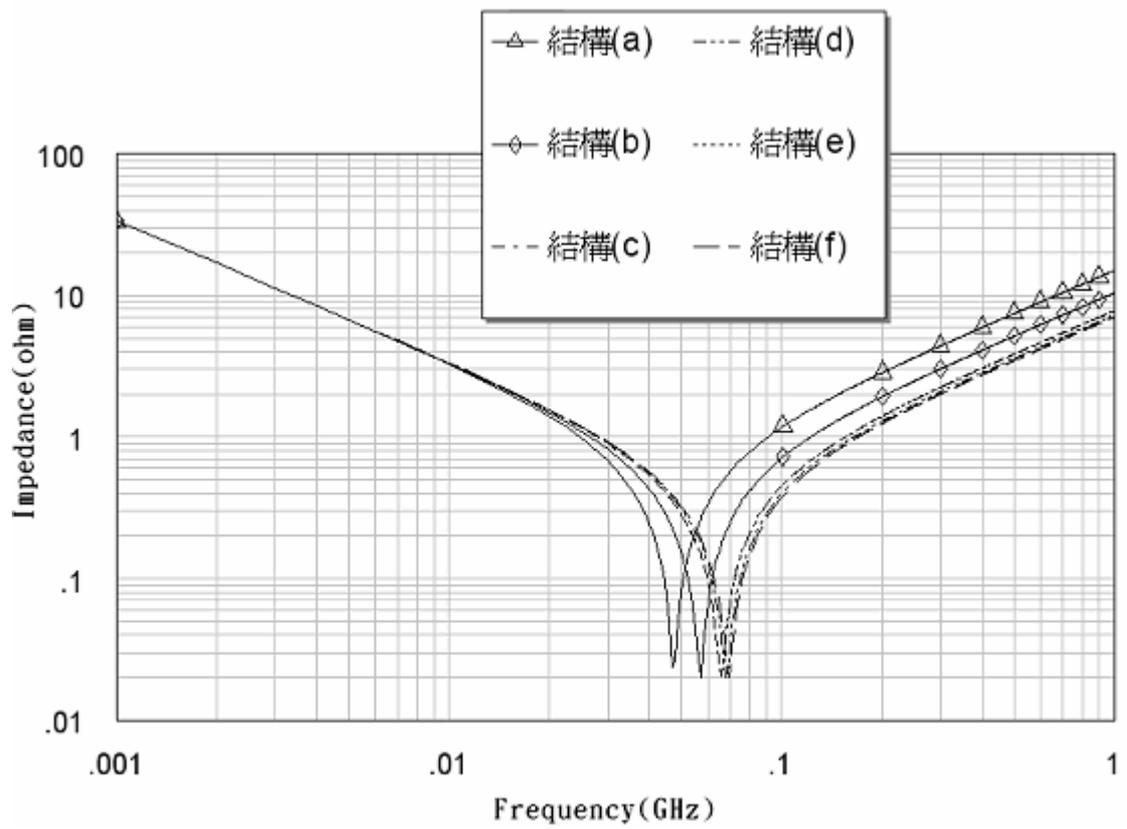


圖 3.19 比較去耦合電容放置在結構(a)~(f)的阻抗值，其中

$L1=27\text{mil}$ 、 $L2=5\text{mil}$ 。

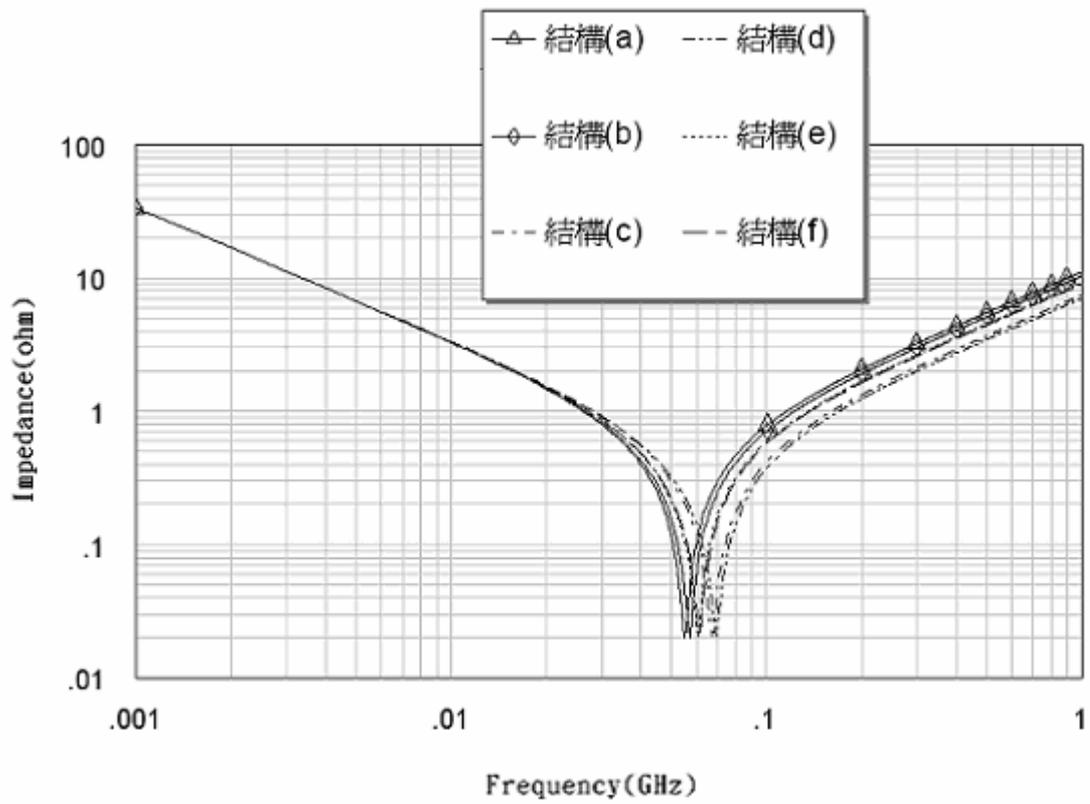


圖 3.20 比較去耦合電容放置在結構(a)~(f)的阻抗值，其中

$L1=5\text{mil}$ 、 $L2=50\text{mil}$ 。

第四章

結論

隨著電子技術的日益進步，電子產品朝向高速化與輕、薄、短、小發展，IC 製程技術不斷提升，處理速度也愈來愈快，卻也衍生出電磁干擾日益嚴重的問題。因此，如何去除電源雜訊，成為很重要的問題。在眾多去除電源雜訊的方法中，安置去耦合電容是最普遍，且最常用的方法。在本論文中，我們討論了去耦合電容的非理想特性，得知降低去耦合電容的電感值可增加去耦合電容的有效頻寬並減少去耦合電容的使用個數。本文中，我們分析了幾種不同的貫孔結構來降低寄生電感值。

在本文的分析中，我們可以歸納出幾項結果：

- (1) 將貫孔對盡量的靠近以降低寄生電感值。
- (2) 在一個貫孔結構中使用多對的貫孔對可以降低寄生電感值，尤其是當電容的 ESL 很小時。
- (3) 在製程允許的範圍，使用愈薄的基板可以降低寄生電感值。

參考文獻

- [1] M. Popovich, and E. G. Friedman, “Impedance Characteristics of Decoupling Capacitors in Multi-Power Distribution Systems,” Proceedings of the 2004 11th IEEE International Conference on Electronics, Circuits and Systems, Dec. 13-15 2004 pp. 160-163.
- [2] T. H. Hubing, J. L. Drewniak, T. P. Van Doren, and D. M. Hockanson, “Power Bus Decoupling on Multilayer Printed Circuit Boards,” IEEE Trans. Electromag. Compa., vol. 37, no. 2, pp. 155-166, May 1995.
- [3] H. Shi, F. Sha, J. L. Drewniak, T. P. Van Doren, and T. H. Hubing, “An Experimental Procedure for Characterizing Interconnects to the DC Power Bus on a Multilayer Printed Circuit Board,” IEEE Trans. Electromag. Compa., vol. 39, no. 4, pp. 279-285, Nov. 1997.
- [4] J. R. Miller, I. Novak, and T. Chou, “Calculating partial inductance of vias for printed circuit board modeling,” Elect. Perform. Electron. Packaging, Oct. 21-23 2002 pp. 123-126.

