
第七章 結論

在本論文中，我們提出了一個可以實現的硬體，針對 IEEE 802.16a 的實體層架構，從封包的偵測、頻率偏移的估計、頻率偏移的補償、封包取樣點的同步、循環字首的估計，乃至於通道特性的估計與補償，不論是在演算法的討論，亦或是硬體架構的設計，我們都有提出詳細的介紹。

在封包偵測的硬體當中，我們善用記憶體定址的方法，求得接收到取樣點相互間的正相關函數值，而不需要浪費大量的記憶體空間，用以將不確定的資料取樣點暫存，藉此達到節省記憶體的使用，進而節省設計出來之硬體的面積。

接著來看頻率偏移估計的硬體，在估計頻率偏移時，我們採用不同於以往查表(Look Up Table)的方法，而使用數位座標旋轉演算法來取代之，其中的好處有二：第一個是使用查表法來估計頻率偏移的話，將會因為需要精準的解析度，所以必須事前先建立好一個很大的表格，如此將會加大整個硬體設計的面積，因此反觀用數位座標旋轉演算法的話，整個硬體只需要將階段角度事先儲存，又或者，由於階段角度是一固定值，因此我們可以使用邏輯電路的合成，來替代記憶體的使用。第二個好處是系統的連貫，由於數位座標旋轉演算法亦可以使用來作旋轉角度之用，因此我們將可以利用這個性質，來作頻率偏移補償之硬體；因此，經由該演算法求得的頻率偏移，可以不須經由任何的轉換，即可以輸入給該演算法所設計出的頻率偏移補償硬體，作頻率偏移的補償。反觀查表法的使用，在取得頻率偏移的角度後，勢必需要使用乘法器來補償，而需要越高的解析度，就需要越多字元大小的乘法器，這對硬體的設計來說，亦是一個龐大的負擔。

接著來看封包取樣點同步和循環字首估計的硬體，在該硬體中我們嘗試著僅使用輸入資料取樣點及匹配係數的符號字元(Sign Bit)，來達成我們封包同步的目的；而模擬後的結果證實是可行的。採用符號字元的好處在於：原本匹配濾波

器所需要的大量的複數乘法器，但由於輸入的資料以及匹配的係數皆化為一個字元，因此原本需要大量硬體合成的複數乘法器，將可以簡化為邏輯電路的合成，減小硬體的負擔。

最後是通道特性估計與補償的硬體。在設計上，我們不同於一般先將長調整符元存入記憶體內，再利用記憶體基礎的快速傅立葉轉換硬體(Memory Based FFT)以及最大可能(Maximum Likelihood)演算法，來求得通道的特性，進而作補償的運算。可是這樣的缺點是會需要大量的記憶體，畢竟資料取樣點的輸入是不會由於硬體的需要而等待，所以在求得通道特性的同時，第一比的資料符元取樣點亦是一直在輸入的；因此，我們在實現上採用管線基礎的快速傅立葉轉換(Pipeline FFT)，造成可以同時接收資料，亦可以同時作通道特性估計與補償的運作。

本論文的目的當然不是僅只在於針對一個問題，就設計一個硬體來解決之；我們最主要的目的是希望能設計出一個整合的系統來解決上述的所有問題。因此我們利用了組合電路來設計出一控制單元，負責將所有的元件整合，控制元件間訊號互相的傳遞，同時有效的利用記憶體，達到整合與大幅降低硬體負擔的目的。

