

國立交通大學

電信工程學系

碩士論文

超寬頻通訊系統之降頻混頻器的設計與實現

Design and Implementation of Down-Conversion Mixer for
Ultra-Wide band Communication System

研究生：陳俊亨

(Chun-Heng Chen)

指導教授：陳富強 博士

(Dr. Fu-Chiang Chen)

中華民國九十五年一月

超寬頻通訊系統之降頻混頻器的設計與實現

Design and Implementation of Down-Conversion Mixer for
Ultra-Wide band Communication System

研究生：陳俊亨

Student: Chun-Heng Chen

指導教授：陳富強 博士

Advisor: Dr. Fu-Chiang Chen

國立交通大學



A Thesis

Submitted to Department of Communication Engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

for the Degree of

Master of Science

In

Communication Engineering

Jan 2006

Hsinchu, Taiwan, Republic of China

中華民國 九十五年一月

論文名稱:超寬頻通訊系統之降頻混頻器的設計與實現

院校系 :國立交通大學電信工程研究所

頁數:90 頁

畢業時間:九十五年一月

學位別:碩士學位

研究生 :陳俊亨

指導教授:陳富強 博士

論文摘要

本篇論文介紹了無線通訊系統中常用的射頻接收機系統架構及混頻器的參數介紹外，並藉由 ABIDI 於 2000 年所提出 CMOS 混頻器之雜訊模型，透過此模型將使電路設計者更清楚的了解到雜訊源將經由何種過程出現在混頻器的輸出端。另外，由於無線通訊系統的進步下，窄頻通訊系統已不符合時代潮流的需求，因此我們將研究如何修正及改良傳統的吉伯特混頻器，以符合未來之超寬頻無線通訊系統規格之要求。

由於 CMOS 製程在成本上佔有絕對的優勢，且具有極佳的系統整合能力，因此本論文以 tsmc 0.18um 1P6M CMOS 製程來實作 1.5-2.5 GHz 多規格之無線通訊的應用，以及符合 3.1-10.6 GHz 超寬頻無線通訊系統之頻段。由於 tsmc 提供了不錯的 RF Model 及 ADS Design Kits，透過良好的設計及縝密的佈局後，在 10 GHz 以內均可能到相當平坦的轉換增益及良好的隔離度。最後，在考量到整體功率消耗及晶片面積下，採用微混頻器的設計理念下，將電路加以改良，並設計出以電阻匹配的超寬頻降頻微混頻器。

關鍵詞: 超寬頻，混頻器，1dB 增益壓縮點，轉換增益，雜訊指數

Title of Thesis: Design and Implementation of Down-Conversion Mixer for
Ultra-Wide band Communication System

Name of Institute: Department of Communication Engineering
National Chiao Tung University

Graduation Date: Jan, 2006

Pages: 90

Student: Chun-Heng Chen

Advisor: Ph. D. Fu-Chiarng Chen

Abstract

In this thesis, we introduce RF transceiver architectures for the wireless communication system and some parameters of the down-conversion mixer. By means of the noise model of RF-CMOS mixers presented by ABIDI in 2000, circuit designers will know how the noise appears at the output of a CMOS down-conversion mixer. Besides, due to the progress of the wireless communication system, narrow band system does not meet the need of the trend. The thesis shows how to improve and revise the conventional Gilbert Cell mixer to meet the spec for UWB applications.

Complementary Metal Oxide Semiconductor(CMOS) would be the most suitable technology for the wireless communication, attributed to its lower cost, lower power and higher level of integration with baseband circuits. We implement 1.5-2.5 GHz multi-standard wireless applications and 3.1-10.6 GHz UWB application. Because of the stable RF model and accurate ADS Design Kits provided by tsmc, we get the measurement results with a flat conversion gain and good isolation. Moreover, under consideration of the power consumption and the chip area, we improve our architecture with input matching using resistive elements and finally design an ultra-wideband down-conversion mixer

Key words: UWB, Mixer, P1dB, Conversion gain, Noise Figure

誌謝

本篇論文的完稿，首先感謝老師兩年多來的指導，雖然是新實驗室，但在同學們的努力經營下，已經漸漸步上軌道了。這兩年的時間，除了從老師身上學到做學問的方法，也從學長及同學們身上學到面對問題所該具備的態度，在此感謝大家的包容及互相鼓勵、打氣。當然，更要感謝國家晶片中心提供的晶片製作及研究員許源佳學長的指導及量測上的幫忙。最後，感謝我的父母對我的栽培及鼓勵，以及琬如對我的關心及支持，其他要感謝的人還有很多，在此謝謝你們。



目錄

摘要(中文)	ii
摘要(英文)	iii
誌謝	iv
目錄	v
表目錄	vii
圖目錄	viii
第一章	
導論	
1.1 研究動機	1
1.2 論文組織	2
第二章	
射頻接收機系統分析及參數介紹	
2.1 簡介	4
2.2 射頻接收機架構	4
2.2.1 超外插接收機	4
2.2.1.1 鏡像干擾	5
2.2.1.2 半中頻的影響	6
2.2.2 直接降頻接收機	7
2.3 混頻器設計參數介紹	11
2.3.1 非線性效應	11
2.3.2 1dB 增益壓縮點(P1dB)	12
2.3.3 輸入三階截斷點	13
2.3.4 阻隔與遲滯	15
2.3.5 非線性電路的串接效應	15
2.3.6 轉換增益/損耗	16
2.3.7 隔離度	16
2.3.8 雜訊指數	17
第三章	
CMOS 混頻器原理與雜訊模型之建立	
3.1 簡介	19
3.2 混頻器原理	19
3.2.1 被動式混頻器	19
3.2.2 單平衡式混頻器	20

3.2.3 雙平衡式混頻器	22
3.3 CMOS 混頻器雜訊模型之建立	26
3.3.1 閃爍雜訊(Flicker noise)對輸出的影響	26
3.3.2 熱雜訊(thermal noise)對輸出的影響	34
3.4 混頻器參數之量測	39
3.4.1 雜訊量測	39
3.4.2 P1dB、IIP3 量測	41
第四章	
CMOS 寬頻降頻混頻器之實作	
4.1 簡介	43
4.2 適用於 1.5-2.5 GHz 多規格之降頻混頻器	44
4.3 適用於 3.1-10.6 GHz 之 CMOS 降頻混頻器	57
4.4 寬頻匹配之 Gilbert Cell 降頻混頻器	70
4.5 適用於 3.1-10.6 之降頻微混頻器	78
第五章	
結論	87



表目錄

表 4.1 RF 單端輸入之 1.5-2.5 GHz 之降頻混頻器量測比較	55
表 4.2 3.1-10.6 GHz 的 CMOS 超寬頻降頻混頻器量測比較.....	67
表 4.3 寬頻匹配的 Gilbert Cell 超寬頻降頻混頻器量測模擬比較.....	77
表 4.4 3-10 GHz 的降頻微混頻器之模擬結果.....	85



圖目錄

第一章

圖 1.1	UWB 頻譜分配表	2
-------	-----------	---

第二章

圖 2.1	超外差接收機基本架構	5
圖 2.2	鏡像干擾與中頻帶干擾抑制的關係(a)高中頻(b)低中頻	6
圖 2.3	外差式接收機半中頻問題	7
圖 2.4	直接降頻接收機架構	7
圖 2.5	直接降頻接收機的直流偏移原因	9
圖 2.6	直接降頻接收機 增益/相位不匹配	9
圖 2.7	訊號星狀圖 (a)振幅(b)相位 不匹配效應	10
圖 2.8	偶次諧波失真	10
圖 2.9	P1dB 定義	13
圖 2.10	交互調變干擾	14
圖 2.11	三階截斷點	15
圖 2.12	非線性電路的串接效應	16
圖 2.13	雜訊指數的計算	17

第三章

圖 3.1	被動式混頻器	20
圖 3.2	單平衡混頻器	21
圖 3.3	雙平衡混頻器	23
圖 3.4	單平衡混頻器電路架構圖	26
圖 3.5	單平衡混頻器	27
圖 3.6	(a)開關電晶體的輸入電壓 (b)混波器的輸出電流可分成理想方波及雜訊脈衝	28
圖 3.7	混頻器的輸出電流雜訊頻譜	29
圖 3.8	混頻器利用電感源級衰減做 50 歐姆匹	30
圖 3.9	L0 為方波的單端混頻器	31
圖 3.10	L0 為方波時混頻器的(a)前半週期(b)後半週期	31
圖 3.11	以 source follower 取代原始混頻器	32
圖 3.12	(a) V_s 的電壓變化(b)電容 C_p 的充放電流(c)混頻器的輸出雜訊電流	32
圖 3.13	(a)混波器的輸出電流 (b)輸出電流雜訊可近似為一理想脈波對雜訊取樣	34
圖 3.14	(a)開關電晶體的 I-V 曲線 (b)開關電晶體的轉導對電壓的變化	

(c)開關電晶體轉導對時間的變化	35
圖 3.15 轉導電晶體內白色雜訊之頻率轉換	37
圖 3.16 雜訊指數分析儀示意圖	39
圖 3.17 固定 IF 測量.....	40
圖 3.18 固定 LO 測量.....	40
圖 3.19 P1dB 測量示意圖	41
圖 3.20 IIP3 量測示意圖	42
圖 3.11 IIP3 輸出頻譜示意圖	42
第四章	
圖 4.1 適用於 1.5~2.5 GHz 之寬頻混頻器.....	44
圖 4.2 共閘-共源轉導級	45
圖 4.3 RF 端反射係數(1.9V)	47
圖 4.4 LO 端反射係數(1.9V)	47
圖 4.5 轉換功率對 LO 輸入功率的變化(1.9V).....	48
圖 4.6 轉換增益 (1.9V)	48
圖 4.7 使用 two-tone 測試模擬的 IIP3 值(1.9V).....	49
圖 4.8 LO-RF 隔離度(1.9V)	49
圖 4.9 LO-IF 隔離度 (1.9V)	50
圖 4.10 轉換功率對 LO 輸入功率的變化(2.5V)	50
圖 4.11 轉換增益(2.5V)	51
圖 4.12 使用 two-tone 測試模擬的 IIP3 值 (2.5V)	51
圖 4.13 LO-RF 隔離度 (2.5V).....	52
圖 4.14 LO-IF 隔離度(2.5V).....	52
圖 4.15 轉換功率對 LO 輸入功率的變化(3.3V)	53
圖 4.16 轉換增益(3.3V)	53
圖 4.17 使用 two-tone 測試模擬的 IIP3 值 (3.3V)	54
圖 4.18 雜訊指數與轉換增益	54
圖 4.19 chip die (1.1*1.075 mm)	55
圖 4.20 適用於 3-10 GHz 之 CMOS 超寬頻降頻混頻器.....	57
圖 4.21 傳統 active balun 之架構.....	58
圖 4.22 RF 端反射係數	61
圖 4.23 LO 端反射係數	61
圖 4.24 轉換增益對頻率的變化	62
圖 4.25 轉換增益對 RF 輸入功率(6.1~7.1 GHz)	62
圖 4.26 轉換增益對 RF 輸入功率(8.1~ 9.1 GHz)	63

圖 4.27	使用 two-tone 測試模擬 IIP3 值(7.1~7.101 GHz).....	63
圖 4.28	LO-IF 隔離度.....	64
圖 4.29	LO-RF 隔離度.....	64
圖 4.30	轉換增益對頻率的變化(1.55V).....	65
圖 4.31	轉換增益及雜訊指數對頻率的變化(1.55V).....	65
圖 4.32	雜訊指數分析儀 Aglient N8975A	66
圖 4.33	chip die (1.041 * 1.041 mm).....	66
圖 4.34	寬頻匹配之 Gilbert Cell 降頻混頻器.....	70
圖 4.35	RF 端反射係數	73
圖 4.36	LO 端反射係數	73
圖 4.37	轉換增益對頻率的變化	74
圖 4.38	LO-RF 隔離度	74
圖 4.39	LO-IF 隔離度	75
圖 4.40	RF-LO 隔離度	75
圖 4.41	RF-IF 隔離度	76
圖 4.42	chip die (1.064 * 0.845 mm ²)	76
圖 4.43	適用於 3.1~10.6 之降頻微混頻器.....	78
圖 4.44	(a)電阻匹配之轉換 (b)平衡型電阻匹配轉導級	79
圖 4.45	RF 輸入端反射係數	81
圖 4.46	LO 輸入端反射係數	81
圖 4.47	轉換增益對頻率的變化	81
圖 4.48	RF-LO 之隔離度.....	82
圖 4.49	LO-RF 之隔離度.....	82
圖 4.50	RF-IF 之隔離度	82
圖 4.51	LO-IF 之隔離度.....	82
圖 4.52	轉換增益對 RF 輸入功率之變化 RF 為 3.1 GHz.....	83
圖 4.53	轉換增益對 RF 輸入功率之變化 RF 為 6.1 GHz.....	83
圖 4.54	轉換增益對 RF 輸入功率之變化，RF 為 3.1 GHz.....	83
圖 4.55	使用 two-tone 測試模擬 IIP3 值(3.05~3.15 GHz).....	84
圖 4.56	使用 two-tone 測試模擬 IIP3 值(6.05~6.15 GHz).....	84
圖 4.57	使用 two-tone 測試模擬 IIP3 值(10.05~10.15 GHz).....	84
圖 4.58	使用平衡型電阻匹配轉導級的轉換增益對頻率之變化	84
圖 4.58	chip die (0.774 * 0.841 mm ²)	85

第一章

導論

1.1 研究動機

近幾年來無線通訊的快速發展，不管是 GSM 及 CDMA 手機、藍芽、無線網路以及之後重點發展的長距離無線通訊網路(WiMax)和短距離的個人無線網路(UWB)等，都深刻的影響了我們的生活，也拉近了人與人之間的距離，也由於無線通訊技術的發達，使得目前有許多不同的通訊系統之規格被廣泛的應用在通訊技術上，而不同的地區，不同的系統其所使用的操作頻段也不盡相同，但是在無線通訊的接收機中，絕大多數都會應用到如低雜訊放大器(LNA)、混頻器(mixer)等電路使天線接收進來的高頻訊號解調至中低頻訊號以利後級電路做處理。也因為所使用的電路方塊相近，目前已有為數不少的研究在討論如何整合多個規格的接收機於單一晶片系統中(SOC)，使其達到成本上的降低、硬體利用度的提高以及產品開發時程縮短的優勢。

由於不同的通訊系統其所使用的頻段範圍並不相同，因此要實現一個適用於多規格的接收機，困難之處就在於如何設計一個電路使其在所需應用的頻段範圍之內都能夠有相同的功能及表現。目前適用於這類超寬頻段的通訊系統莫過於新興起的超寬頻無線通訊規格(UWB)，如圖 1.1。此為單一規格但該系統所涵蓋的超作範圍為 3.1~10.6 GHz，且每 528 MHz 切為一通道(channel)，此種多通道的傳輸技術將能更有效率的利用寶貴的頻寬且大幅增加傳輸速率，因此在提出這項新規格後，陸續已有許多國內外大廠投入此方面產品的研究開發，如國內的瑞昱半導體，已於半年前對外宣佈開發出超寬頻的 CMOS 射頻收發晶片。然而其中最困難的部份為設計射頻前端電路(低雜放大器和混頻器)，類比基頻電路及數位類比轉換器及類比數位轉換器。由於聯邦通訊委員會(FCC)要求頻寬在任何時間都要達到 500 MHz，因此這些電路就必須支援到至少 500 MHz 的頻寬，甚至之後將一直擴大至 7500 MHz，這些電路所支援的頻寬越大，其設計上就越困難，功率消

耗也必然增加，因此在設計 UWB 系統時，勢必要在傳輸功率及電路的複雜度之間作一取捨。[1]

而在射頻晶片製程技術上，由於 CMOS 製程在成本上較低，且具有極佳的系統整合能力，因此使用 CMOS 製程技術在單一晶片上同時實現射頻前端電路及基頻電路將是新趨勢，也由於 CMOS 和基頻數位電路整合的方便性，此類以 CMOS 製程適用多重通訊系統規個的電路將會是未來研究發展的重點。

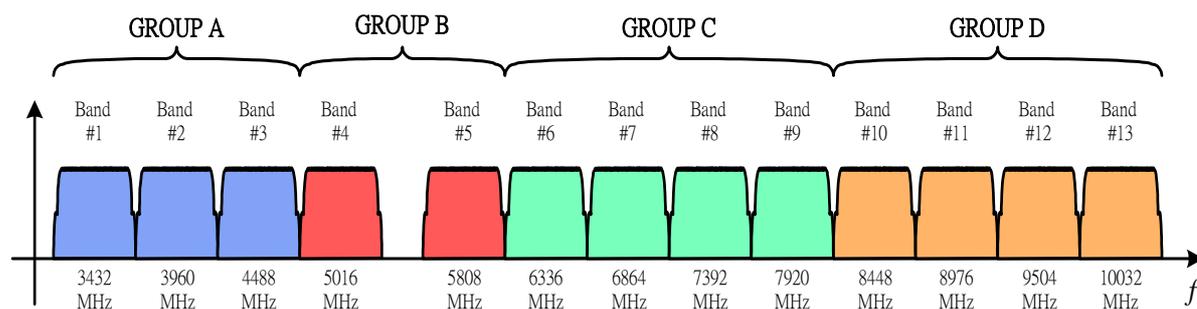


圖 1.1 UWB 頻譜分配表

1.2 論文組織

在 RF 電路設計中，如何設計一電路使其在處理不同的頻率訊號時都能發揮相同的功能及表現，是對適用於多規格或超寬頻通訊系統相當重要的考量。因此，如果為了要去符合多規格或不同的通訊系統而去設計多個功能相同但應用頻率不同的電路，就成本及資源再利用來說算是某種程度的浪費及缺乏效率，而能將單一硬體應用在不同的系統規格及頻段且有相同或近似的功能及表現時，將顯得更加有意義。

本論文採用 tsmc CMOS 0.18um 製程技術來設計適用於多規格的降頻混頻器。在介紹所設計的電路之前，第二章將簡述目前最常見的射頻收發器及混頻器的參數簡介，第三章將針對混頻器的作動原理及混頻器的雜訊指數作一介紹並分析雜訊出現的時機及如何避免，第四章將介紹各種適用於多規格的降頻混頻器，並將傳統的吉伯特混頻器 (Gilbert Mixer) 做一改良，並分別對適用於 1.5 GHz~2.5 GHz 之頻段，及適用於 3.1~10.6

GHz 之頻段的混頻器做一設計，分析實作並經由雜訊指數分析儀及頻譜分析儀對電路做寬頻增益的量測，並探討此兩儀器對同一電路量測所造成的誤差，最後再以微混頻器 (micromixer) 為基礎，將前電路加以改良，並設計出以低消耗功率為目標的超寬頻混頻器。最後在第五章將就電路設計與實作結果做一結論。



第二章

射頻接收機系統分析及參數介紹

2.1 簡介

在無線通訊系統中，射頻訊號通常在一個固定的頻帶中傳遞訊息(7.5GHz@ UWB, 20MHz@WLAN, 200KHz@GSM)，在如此差異甚大的頻帶中，為了不同目的而彼此使用同一個頻帶的通訊協定間的傳輸訊號和自然界中所存在的干擾訊號下，這對於整個射頻前端電路的設計而言是一個很大的挑戰，接收機在此頻段中，提供訊號調變、放大及濾波等功能且在不影響其他鄰近頻帶下，並從眾多的雜訊及干擾訊號中接收到正確的訊號，並經過降頻及解調處理，最後提供後段的基頻訊號處理。在設計接收機時，不同的接收機架構各有其特性及應用範圍，一般來說，考量的重點在於接收機的成本，外接元件的數目，總消耗功率及複雜度，以下將就常見的接收機架構作一簡單分析，並介紹接收機中混頻器元件的參數介紹。[2, 3]



2.2 射頻接收機架構

2.2.1 超外差式接收機

超外差接收機其基本架構中，射頻訊號從天線接收下來後，首先經過頻帶選擇濾波器濾除射頻頻帶週遭的雜訊，隨後進入下一級的低雜訊放大器放大射頻訊號並抑制雜訊的干擾，並經過鏡像消除濾波器降低鏡像雜訊對接收訊號的影響，接著射頻訊號經由混頻器與本地振盪器所產生的本地訊號進行轉換頻率的動作，並於混頻器輸出端得到降頻後的中頻訊號(Intermediate Frequency, IF)，再經由通道選擇濾波器傳送至後級可調變增益放大器來調整訊號的振幅準位以利下一級的類比/數位轉換器(A/D Converter)來完成訊號轉換。

訊號在射頻頻帶傳輸時，若通訊頻段是一非常窄小的通道且各通道彼此緊密相接時，則在此射頻頻率下欲進行頻道的選擇需要非常高的品質因素(Quality Factor)的濾波器，一般來說這可能需要多級的濾波器來達成濾波的效果，然而多級濾波器所造成的訊

號衰減亦大幅降低接收訊號的訊號品質，因此，超外差接收機的架構即是將訊號降到較低的頻率已減少前級濾波器對 Q 值的要求，然後再進行頻道的選擇及解調的工作。為了解決超外差接收機中，在中頻頻率設定所造成的考量，可以利用多次降頻的方式如圖 2.1 所示，因此降低了通道選擇濾波器在設計上對於其 Q 值的要求。

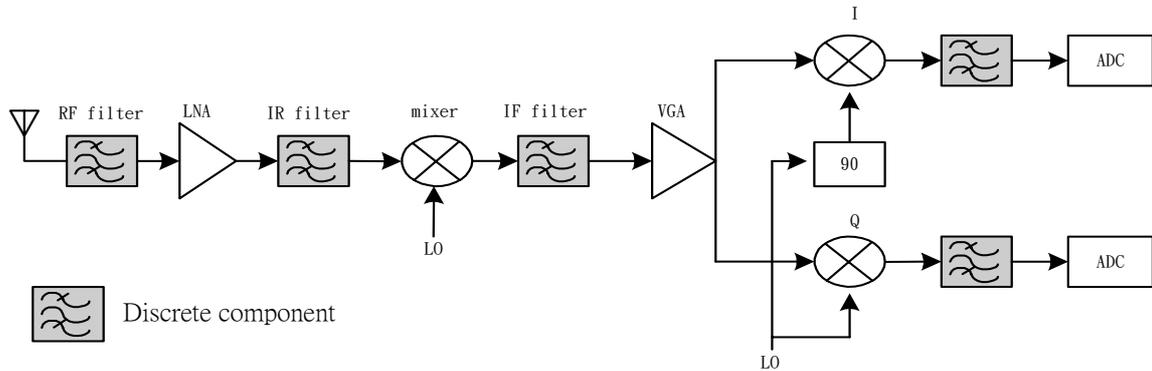


圖 2.1 超外差接收機基本架構

2.2.1.1 鏡像干擾

外差式接收機中有個嚴重的問題就是鏡像頻率的干擾，所謂鏡像頻率亦即和射頻訊號一樣經由本地振盪訊號混頻產生相同的中頻(IF)，因此如果射頻訊號($RF=LO+IF$)則鏡像頻率即為($IM=LO-IF$)，經過本地訊號混頻後，同時降到 IF 而導致訊號頻譜的重疊間接的影響了欲接收訊號的品質，換言之，降低了接收機的訊號雜訊比(SNR)。因此，外差式接收機需要在低雜訊放大器和混頻器之間加上一個鏡像去除濾波器(IR Filter)來濾除掉鏡像頻率的干擾，通常這些濾波器所需的 Q 值不能由晶片實現，需額外由被動元件組成，因此會增加面積不利於系統的整合，此方式適用於 RF 及 IF 頻帶差距大的情形下，因此與接收機在規劃時，其中頻頻率的選擇有相當大的關係，如圖 2.2 所示。

此外，中頻頻率的選擇對於系統的效能有很大的影響，一般來說，若混頻器降頻的頻帶若為高中頻時，則此一接收機對於濾除鏡像頻率有較佳的效能，但相對的其無法有效的濾除鄰近頻帶的干擾，這是由於其中頻頻帶較高，鏡像訊號離所需的訊號較遠，使得鏡像去除濾波器可以達成較高的鏡像去除功能，但如此高的中頻將意謂著中頻的頻道選擇濾波器需要非常高的 Q 值，且需要較高速的類比數位轉換器。相反的，若其降頻後的頻帶為低中頻，則所需訊號與鏡像訊號較近，則鏡像消除濾波器將無法有效抑制鏡像干

擾，使得與前述高中頻相比下，鏡像訊號降到中頻的比例較高，但相對的低中頻的濾波器比較容易達成頻道的選擇。

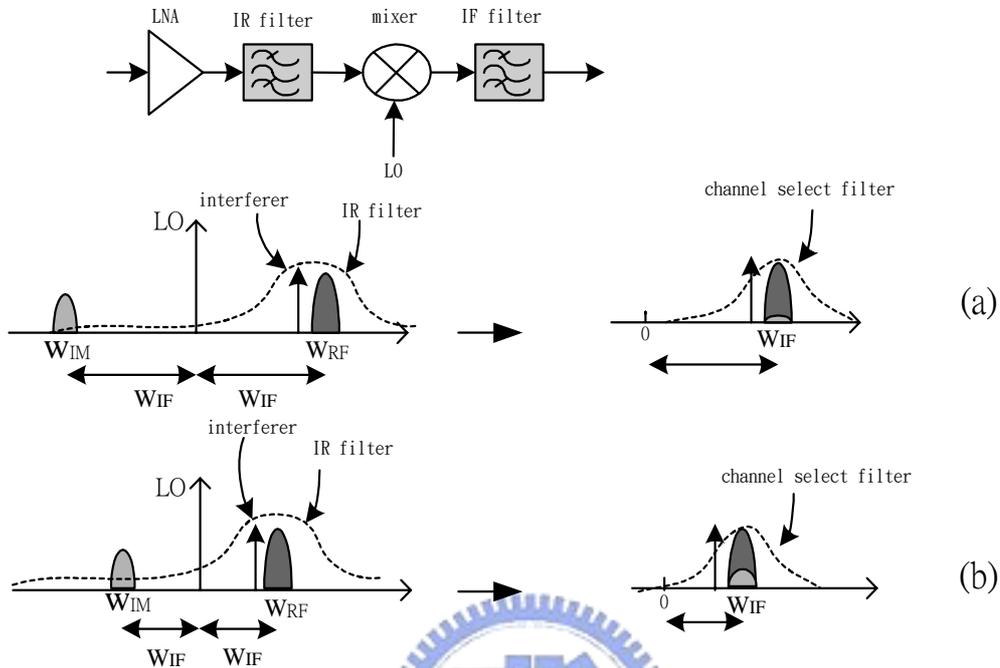
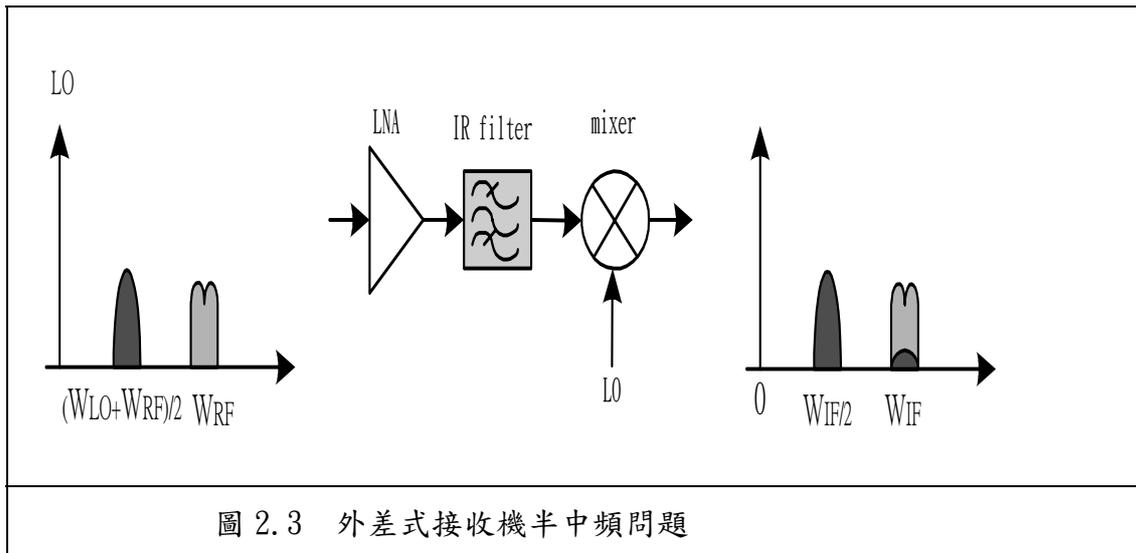


圖 2.2 鏡像干擾與中頻帶干擾抑制的關係(a)高中頻(b)低中頻

2.2.1.2 半中頻的影響

此外，除了鏡像訊號所造成的問題外，中頻頻率在設計上還需要考量半中頻的效應 (half IF)，倘若降頻器有 RF 及 LO 輸入端，分別存在干擾訊號以及 LO 的二次諧波 (second harmonic)，則在一半中頻的訊號 $\frac{LO + RF}{2}$ ，一樣有可能降到中頻 $(2 \cdot \frac{LO + RF}{2} - 2LO = IF)$ 造成雜訊，而另一種情形則是此中頻訊號降至 $\frac{IF}{2}$ 頻帶 $(\frac{LO + RF}{2} - LO = \frac{IF}{2})$ ，因此為避免半中頻效應，將 $\frac{LO + RF}{2}$ 設計在鏡像消除的頻帶內為一解決方法，如圖 2.3。



由以上可看出，超外差接收機架構由於鏡像頻率的去除需要額外的外接式元件等因素，而難以將整個收發器作 IC 積體化，因此慢慢面臨被取代的命運了。

2.2.2 直接降頻接收機

相較於超外差接收機架構，由於其製作上的所需的部份單元須靠外接元件以符合規格要求，使得系統無法進一步整合至單晶片內，因此，近年來接收機逐漸朝向直接降頻之架構為目標。直接降頻接收機(direct conversion receiver)又稱為零中頻(zero IF)接收機或 homodyne 接收機，因為其中頻頻率為零，理論上不受到鏡像頻率的干擾，因而免除了外接式的鏡像消除濾波器，因此在成本、功率消耗及系統整合單晶片的可能性具備了相當的優勢。其基本架構如圖 2.4 所示。

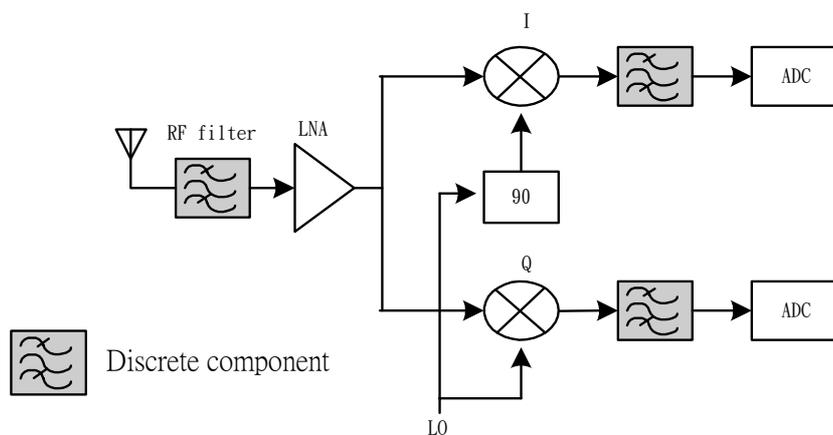


圖 2.4 直接降頻接收機架構

射頻訊號經由天線接收至 LNA 接收後，若使用相位或頻率調變系統，因其訊號分布於不同的頻帶上，因此接收路徑需分為 in-phase/quadrature-phase 兩路徑後，再分別與兩相差 90 度的 LO 訊號做降頻動作至基頻帶，因為此一架構將射頻訊號直接降至基頻帶上，所以不需要使用通道選擇濾波器，而是串接一級低通濾波器，濾除基頻帶外的雜訊，而後經過類比/數位轉換器，將其資訊轉為數位信號。

雖然直接降頻接收機具有著不需鏡像頻率濾波器等優點，然而，實際在設計時，直接降頻接收機卻需面對許多可能產生的問題，譬如，直流偏移(DC Offset)、相位不匹配(I/Q mismatch)、低頻閃爍雜訊(Flicker noise)、偶次諧波失真(even-order distortion)以及本地振盪洩漏(LO leakage)等問題，以下將就此做簡單說明：

(a) 直流偏移：

直流偏移簡單來說是由於本地振盪訊號和射頻訊號相同，且因為混頻器的 LO 端 RF 端的隔離度不夠高所致，而較強的 LO 訊號透過基板及電晶體間的接面電容耦合至 RF 端，甚至偶合至天線端輻射出去再接收後由低雜訊放大器放大後和原始相同頻率的本地振盪器所混頻，因而產生直流訊號，如圖 2.5(a)。另一種情況則是，若天線接收進一強干擾訊號後，則此強干擾訊號由於 RF 端至 LO 端隔離度不夠高，使得此強干擾訊號耦合至 LO 端，再與相同頻率的干擾訊號混頻，而得到一直流訊號，如圖 2.6(b)。因此，當發生直流混頻時，直接降頻混頻器的輸出端除了所需的基頻訊號外，仍包含了直流偏移的成分，若此直流偏移夠大，則將驅使下一級的類比/數位轉換器飽和而影響資料準確性。

一般解決則是利用大電容將混頻器的輸出訊號的低頻訊號阻隔，以去除直流偏移成分，然其缺點則是在利用大電容進行耦合時，卻犧牲了基頻訊號的低頻成分，而使訊號產生失真，因此對於某些調變則不適用。

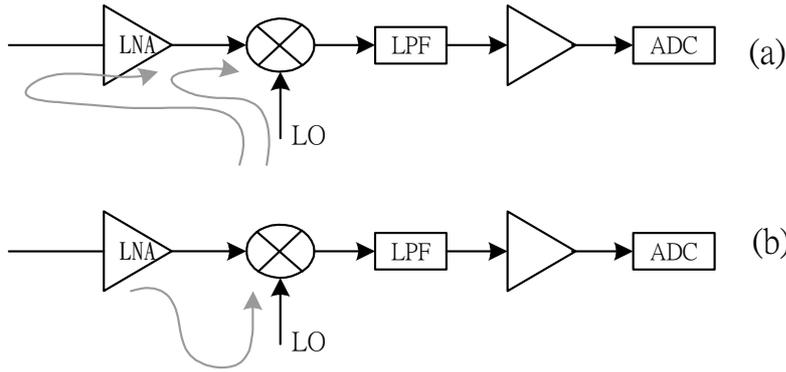


圖 2.5 直接降頻接收機的直流偏移原因

(b) 相位不匹配

一般使用相位或頻率調變的接收機，其降頻路徑使用兩互為正交的混頻方式，為符合此一架構要求，因此需將射頻及本地振盪訊號分成同相訊號(in-phase)與正交相訊號(quadrature-phase)，此兩相互正交的訊號其產生方式為在其中一端的的傳輸路徑上串接一個 90 度的相移器，但若是串接在射頻訊號的路徑上，則需涉及到功率、雜訊以及增益間的相互考量，因此一般將此 90 度的相移器串接在本地振盪訊號的路徑上，如圖 2.6 所示。因此，若此產生的同相與正交相的本地振盪訊號間存在有振幅的不匹配或是相位上的偏移時，則將造成降頻訊號星狀圖(Constellation)的飄移而提高了傳輸位元錯誤率，如圖 2.7 所示。

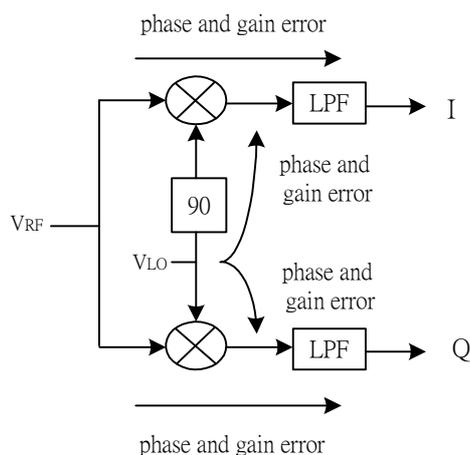


圖 2.6 直接降頻接收機 增益/相位不匹配

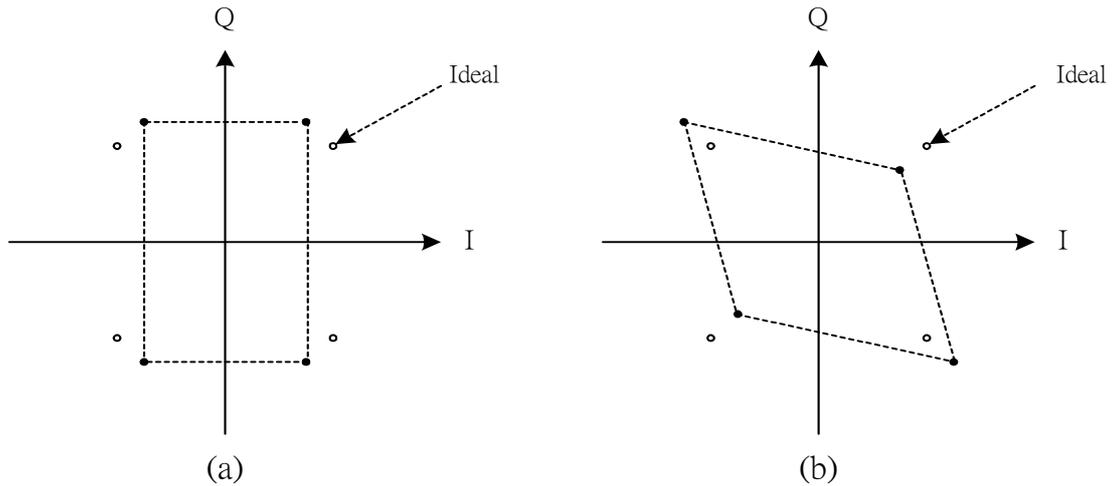


圖 2.7 訊號星狀圖 (a)振幅(b)相位 不匹配效應

(c) 偶次諧波失真

若在欲接收的射頻頻帶附近存在有兩相近的強干擾訊號時，則經由非線性電路如 LNA 放大時，其二階交互調變項會出現在基頻頻帶附近，如圖 2.8 所示。又因為混頻器其有限的隔離度下，使得此二階交互調變項會由射頻端耦合至輸出端，間接的對輸出的基頻訊號造成影響，因此，此一現象稱之為偶次失真。一般量測偶次諧波失真，我們可以經由輸入二階截斷點 (Input Second-Order Intercept Point, IIP2) 來判斷，其原理與 IIP3 類似，均為利用兩相近頻帶的訊號輸入至待測電路中，並掃動不同的輸入功率下，觀察其二階交互調變項對輸出訊號功率的影響，因此解決方法為提昇整體電路的線性度以及增強混頻器的隔離度。

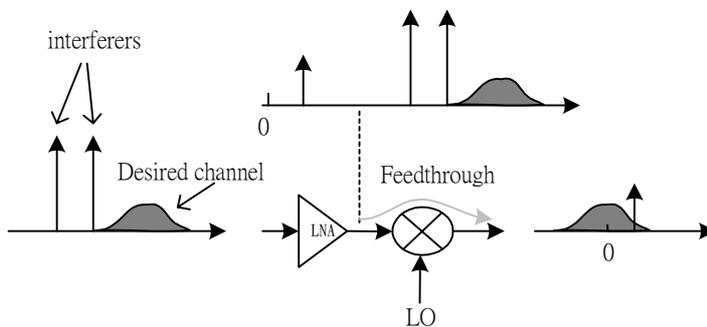


圖 2.8 偶次諧波失真

(d) 閃爍雜訊(flicker noise)]

閃爍雜訊因為其雜訊功率頻譜密度和 $1/f$ 成正比，且和元件尺寸成反比，因此若是頻

率越低，則對欲接收訊號的影響就越大，又因為直接降頻接收機其架構為將訊號降至基頻，因此閃爍雜訊所帶來的影響將不可忽略。若欲降低其對系統的影響時，可朝增加 LNA 及混頻器的增亦或是將後級電路的元件尺寸加大著手，詳細關於閃爍雜訊的部份將於第三章後半部混頻器雜訊模型有完整介紹。

2.3 混頻器設計參數介紹

在介紹完一些相當常見的射頻收發機的架構後，本節將介紹射頻收發機中最主要轉換頻率的元件-混頻器常用到的設計考量。

混頻器在接收機中扮演了十分重要的角色，其直觀概念即為一乘法器，透過混頻器能夠使射頻訊號和本地振盪訊號具有相乘的效果，來達到降頻或昇頻的目的。此外，由於混頻器為三端元件，因此其在高頻參數及效能的考量上有別於其他高頻電路，因此在混頻器設計上，1dB 壓縮點、輸入三階截斷點、轉換增益、雜訊指數以及隔離度等參數之間，存在著彼此 trade-off 的關係，以下將針對混頻器的規格參數以及傳統混頻器作一簡單介紹。[4]

2.3.1 非線性效應

在一般電路應用上，吾人可利用線性模型來表示小訊號時的系統響應，然而，在接收機中，由於高頻訊號鄰近頻帶的強干擾訊號，經由接收機接收後，將會對接收機造成影響，因此，此一線性模型便不足以表示此一接收機在小訊號時完整的系統響應，所以對一非線性系統中，我們可用下式 來表示此一非線性模型

$$y(t) = a_1x(t) + a_2x^2(t) + a_3x^3(t) + \dots \quad (2.1)$$

在上式 2.1 中，假使輸入訊號為一弦波訊號 $x(t) = A\cos(\omega t)$ ，則代入上式可改寫為：

$$\begin{aligned}
 y(t) &= a_1 A \cos(\omega t) + a_2 A^2 \cos^2(\omega t) + a_3 A^3 \cos^3(\omega t) \\
 &= a_1 A \cos(\omega t) + a_2 A^2 \frac{1 + \cos(2\omega t)}{2} + a_3 A^3 \frac{3\cos(\omega t) + \cos(3\omega t)}{4} \quad (2.2) \\
 &= \frac{a_2 A^2}{2} + \left(a_1 A + \frac{3a_3 A^3}{4}\right) \cos(\omega t) + \frac{a_2 A^2}{2} \cos(2\omega t) + \frac{a_3 A^3}{4} \cos(3\omega t) + \dots
 \end{aligned}$$

如同上式 2.2，輸入單一頻率的訊號經由非線性的系統響應，於輸出端可以得到多個振幅及頻率相異的訊號，其中位於頻帶 ω 的訊號稱之為基礎(fundamental)訊號，而高階項 2ω 、 3ω ，則稱之為諧波(harmonics)。一般來說，諧波的振幅小於基礎訊號，對訊號的影響有限，但隨著輸入訊號的增強，也相對增強了諧波訊號的振幅而間接影響到接收機接收訊號的能力，因此，如何去抑制諧波訊號對系統所造成的影響是相當重要的。

2.3.2 1dB 增益壓縮點(P1dB)

一般線性系統而言，電路的增益應為一固定值，也就是輸入功率與輸出功率的曲線關係應為一直線，而接收機之非線性系統中，隨著輸入功率的增加，輸出功率也由於非線性系統的效應，使得輸出功率與輸入功率不再是固定的直線關係，而有所改變，因此當在特定輸入功率下，其對應的輸出功率低於依照理想線性關係相對應的輸出功率 1dB 時，此時的輸入功率稱之為輸入端 1dB 壓縮點(1-dB compression point, P1dB)。由式

2.3 可定義出 1dB 壓縮點即為

$$20\log a_1 - 1dB = 20\log\left(a_1 + \frac{3}{4}a_3 A_{1dB}^2\right) \quad (2.3)$$

整理後可得到

$$A_{1dB} = \sqrt{0.145 \frac{|a_1|}{|a_3|}} \quad (2.4)$$

其關係如圖 2.9。因此衡量一個電路的線性度，通常經由觀察其 P1dB 及稍後介紹的 IIP3 即可判斷其線性度的優劣。

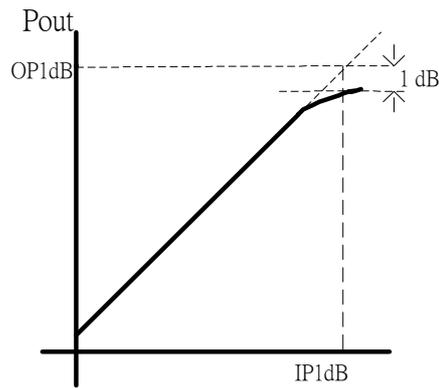


圖 2.9 P1dB 定義

2.3.3 輸入三階截斷點

當使用兩個不同頻率的弦波訊號輸入至一非線性系統中，使其在輸出端產生的多項弦波訊號，其頻率為兩輸入訊號頻率的和或差值，此一現象稱之為交互調變 (Inter modulation, IM)，假設兩輸入訊號為 $x(t) = A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t)$ ，代入式 2.1 中，則可改寫為

$$y(t) = a_1(A_1 \cos \omega_1 t + A_2 \cos \omega_2 t) + a_2(A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^2 + a_3(A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^3 \quad (2.5)$$

將上式展開後，可以得到如下的基礎頻率項及多階交互調變項

$$\omega_1, \omega_2 : (a_1 A_1 + \frac{3}{4} a_3 A_1^3 + \frac{3}{2} a_3 A_1 A_2^2) \cos \omega_1 t + (a_1 A_2 + \frac{3}{4} a_3 A_2^3 + \frac{3}{2} a_3 A_2 A_1^2) \cos \omega_2 t \quad (2.6)$$

$$\omega_1 \pm \omega_2 : a_2 A_1 A_2 \cos(\omega_1 + \omega_2)t + a_2 A_1 A_2 \cos(\omega_1 - \omega_2)t \quad (2.7)$$

$$2\omega_1 \pm \omega_2 : \frac{3a_3 A_1^2 A_2}{4} \cos(2\omega_1 + \omega_2)t + \frac{3a_3 A_1^2 A_2}{4} \cos(2\omega_1 - \omega_2)t \quad (2.8)$$

$$2\omega_2 \pm \omega_1 : \frac{3a_3 A_2^2 A_1}{4} \cos(2\omega_2 + \omega_1)t + \frac{3a_3 A_2^2 A_1}{4} \cos(2\omega_2 - \omega_1)t \quad (2.9)$$

其中，以三階交互調變項對系統的影響最為嚴重，如圖 2.10 所示，若接收機與接收訊號頻帶上具有兩鄰近頻率解功率相同的強干擾訊號 ω_1, ω_2 ，則在接收與降頻的處理過程中，因系統的非線性所生成的三階調變項 $2\omega_2 - \omega_1, 2\omega_1 - \omega_2$ 的頻率與接收訊號相近，因此容易造成接收訊號的干擾，增加訊號解調後的位元錯誤率，此一現象稱之為諧波失真。

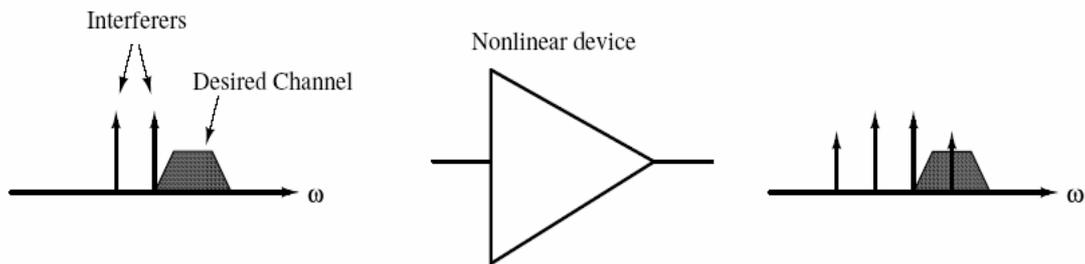


圖 2.10 交互調變干擾

因此，當輸入端訊號的功率較小時，在輸出端接收頻帶訊號的功率較三階交互調變項大，因此仍能在輸出端獲得欲接收頻帶的訊號，但隨著輸入端訊號功率的增強，相對的，三階交互調變項的干擾則呈倍數增加，當輸出端欲接收頻帶訊號的功率與三階交互調變項的功率相等時，此時之輸入端訊號功率值稱為此系統的輸入三階截斷點 (Input Third-order Intercept Point, IIP3)，輸出端的功率則稱為輸出三階截斷點 (Output Third-order Intercept Point, OIP3)，此時若輸入端訊號功率再增加時，則於輸出訊號中，三階交互調變項的影響將大於一階項，如圖 2.11 所示，由定義可得

$$a_1 A_{IIP3} = \frac{3}{4} a_3 A_{IIP3}^3 \quad (2.10)$$

整理後可得

$$A_{IIP3} = \sqrt{\frac{4|a_1|}{3|a_3|}} \quad (2.11)$$

另外，亦可由圖中簡單的算出輸入與輸出的三階截斷點

$$IIP_3 |_{dBm} = \frac{\Delta P |_{dBm}}{2} + P_{in} |_{dBm} \quad (2.12)$$

$$OIP_3 |_{dBm} = \frac{\Delta P |_{dBm}}{2} + P_{out} |_{dBm} \quad (2.13)$$

其中 ΔP 一階項及三階項輸出的 dB 相差值。

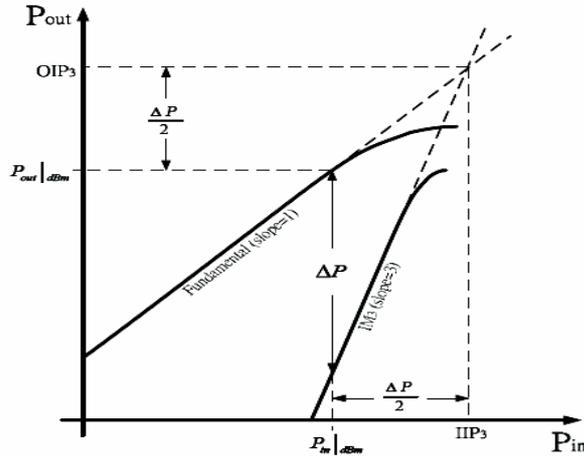


圖 2.11 三階截斷點

2.3.4 阻隔與遲滯

當接收機在一強大干擾訊號下欲偵測一微弱訊號時，訊號的增益會受到干擾的影響，此現象稱之為遲滯，而在極端情況下甚至阻絕的訊號的接收，為了了解這樣的現象，假設在式 2.6 中 $A_2 \gg A_1$ 時，則可簡化為

$$\left\{ a_1 + \frac{3}{2} a_3 A_2^2 \right\} A_1 \cos \omega_1 t \quad (2.14)$$

若 a_3 為負號，則當 $a_1 + \frac{3}{2} a_3 A_2^2$ 為零時，訊號已經被阻絕了，一般定義干擾的程度為造成增益衰減 3 dB 時的情況為 3dB 遲滯點，即

$$20 \log \left\{ \frac{a_1 + \frac{3}{2} a_3 A_2^2}{a_1} \right\} = -3 \quad (2.15)$$

整理後可得

$$A_2 = 0.441 \sqrt{\frac{|a_1|}{|a_3|}} \quad (2.16)$$

2.3.5 非線性電路的串接效應

電路串接時，電路間的非線性效應對整體接收機的線性度會有相關的影響，如圖 2.12 所示，假設 $A_{IP3,n}$ 為第 n 級電路的 IIP3 功率特性值， a_n 表示第 n 級電路的增益值，則我們可以獲得接收機的線性度與各級電路線性度的關係式：

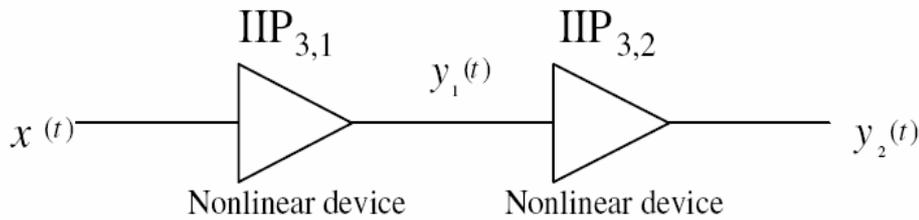


圖 2.12 非線性電路的串接效應

$$\frac{1}{A_{IP3}^2} \approx \frac{1}{A_{IP3,1}^2} + \frac{a_1^2}{A_{IP3,2}^2} + \frac{a_1^2 a_2^2}{A_{IP3,3}^2} + \dots \quad (2.17)$$

假設 $A_{IP3,1} = A_{IP3,2} = A_{IP3,3} = \dots = A_{IP3,n}$, $a_n \geq 0$ ，則由式 2.17 中可推得，接收訊號被數級電路放大，在每一級電路線性度相同的情況下，電路的串接將造成整體電路線性度的降低，而若在設計上提升後級電路的線性度時，則相對的可以提高整體串接電路的線性度，因此，由上式可知，後級電路對系統線性度的影響較大。



2.3.6 轉換增益/損耗

轉換增益/損耗是指電路的輸出訊號功率(或電壓)與輸入訊號功率(或電壓)的比值，若為正值，則表示輸出訊號被放大，為轉換增益;若為負值，則表示輸出訊號變小，則為負值，為轉換損耗，其定義如下

$$\text{Conversion Gain/Loss} = 10 \log \frac{P_{RF}}{P_{IF}} \quad (2.18)$$

2.3.7 隔離度

隔離度(Isolation)為混頻器中用以判斷一端輸入訊號對其他輸出端或輸入端所造成的影響，一般混頻器為三端電路，包含 RF、LO 及 IF，又因為 LO 訊號功率往往大於其他兩端，若再加上電路架構不良或是電晶體間的寄生效應，則 LO 訊號極可能偶合至其他兩端，因而間接影響到其他輸出端的訊號品質，在混頻器中，表示隔離度所用的參數分別為 LO-RF、LO-IF 與 RF-IF、RF-LO。其中 LO-RF 表示 RF 端測得到 LO 的功率值與 LO

輸入端所輸入的功率之比，一般以 dB 來表示。其餘 LO-IF、RF-IF 及 RF-LO 及所代表意義均相同。在實際應用中，直接降頻混頻器對於 LO-RF 的隔離度由為重視，其原因於第二章節已稍作解釋，而 LO-IF 若隔離度不好，則 LO 耦合至 IF 端的訊號則可能降低混頻器後級放大器的效能。

2.3.8 雜訊指數

雜訊指數簡單來說即是定義輸入端所得到的雜訊比和來自輸出端的雜訊比之間的比值，以分貝(dB)來表示。一般而言，雜訊指數定義於 1Hz 的頻寬，或可稱為點雜訊。由於訊號雜訊的增加來自於電路系統本身的大小，因此雜訊指數可看成一個電路系統對於訊號的訊雜比衰減程度。即表示為

$$NF = 10 \log \frac{S_i / N_i}{S_o / N_o} = 10 \log \frac{SNR_{in}}{SNR_{out}} \text{ (dB)} \quad (2.19)$$

其中 S 和 N 分別表示訊號和雜訊功率。

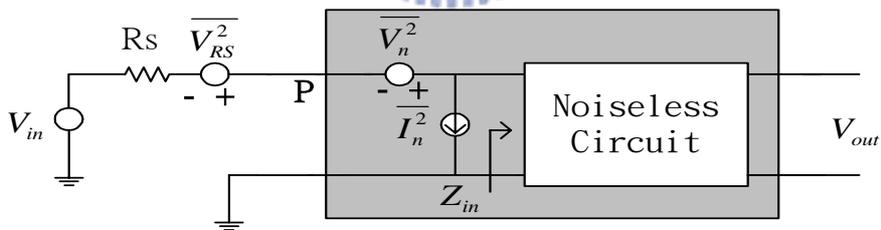


圖 2.13 雜訊指數的計算

假設 α 為 V_{in} 至電路輸入端 P 的電壓增益，則 P 點之訊雜比可表示成

$$SNR_{in} = \frac{\alpha^2 V_{in}^2}{\alpha^2 V_{RS}^2} \quad (2.20)$$

電壓增益 A_v 為 P 點至 V_{out} ，則輸出端的訊雜比可表示為

$$SNR_{OUT} = \frac{\alpha^2 A_v^2 V_{in}^2}{[V_{RS}^2 + (V_n + I_n R_s)^2] \alpha^2 A_v^2} \quad (2.21)$$

則整體電路的雜訊指數可表示成下式

$$NF = \frac{\overline{V_{RS}^2} + \overline{(V_n + I_n R_S)^2}}{\overline{V_{RS}^2}} = 1 + \frac{\overline{(V_n + I_n R_S)^2}}{4KTR_S} \quad (2.22)$$

如前所述，在接收器中的電路通常以串接方式來實現，一般來說，若每一級電路皆具有放大訊號的能力，然而，在訊號被放大的同時，雜訊也相對的隨之增強，因此在接收機電路中，前級需有一個低雜訊放大器以抑制整體雜訊，其原因可由 Friis equation 來得知：

$$NF_{total} = 1 + (NF_1 - 1) + \frac{NF_2 - 1}{G_1} + \frac{NF_3 - 1}{G_1 G_2} + \dots + \frac{NF_n - 1}{G_1 G_2 \dots G_{n-1}} \quad (2.23)$$

其中 NF_n 為第 n 級電路的雜訊指數， G_n 則為第 n 級電路的功率增益，由上式可知，若 G_n 皆大於零，除了第一級電路外，提高各級增益可以降低包含第二級之後的雜訊指數，因此在此串接電路之中，第一級電路對整體電路在雜訊上的表現有很大的影響。



第三章

CMOS 混頻器原理與雜訊模型之建立

3.1 簡介

混頻器利用電路非線性特性將兩個不同頻率的訊號相乘以達到頻率轉換的目的，一般來說，混頻器的設計考量上包含了轉換增益、LO 訊號功率的大小，整體混頻器線性度的表現、雜訊指數、埠對埠的隔離度、功率消耗、輸入及輸出的匹配及頻寬上的考量，通常需依照系統架構而有不同的取捨。目前大部分混頻器均採用主動式混頻器來分擔整體接收系統上各級電路的增益負擔，另外在埠與埠的隔離度上，LO-RF 的訊號洩漏在接收機中將本地振盪訊號經低雜訊放大器洩露至天線端，甚而反射回混頻器和本地振盪訊號混頻造成自我混頻，倘若 LO-IF 隔離度不佳，則 LO 洩漏訊號將會飽和後級放大器電路，因此本論文採用雙平衡式混頻器的架構以減少隔離度所造成不良之影響且提高電路增益。另外，雖然混頻器的雜訊指數其要求並不需要多嚴謹，因其前級為低雜訊放大器能有效降低整體系統雜訊指數，本章節將就混頻器的閃爍雜訊及熱雜訊對混頻器的影響作一討論，最後，將稍加介紹量測環境及量測系統的架設。

3.2 混頻器原理

3.2.1 被動式混頻器

被動式混頻器的實現方式為利用一具有非線性特性的元件，如二極體、BJT、或是 MOSFET 等元件，利用其中二極體及 BJT 及輸入訊號與輸出訊號之關係呈現指數性曲線的條件，而 MOSFET 其輸入與輸出訊號的關係呈現平方律的條件下，將兩射頻訊號結合成輸入訊號，再經由此元件的非線性特性產生多階諧波，並取出其二階交互調變項後，即可獲得升頻或降頻之訊號。

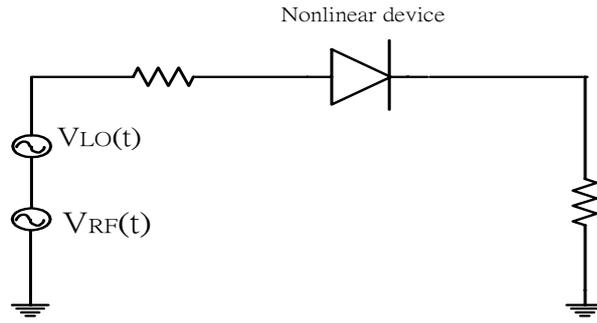


圖 3.1 被動式混頻器

如圖 3.1 所示， $v_{in}(t) = v_{RF}(t) + v_{LO}(t)$ ，則由輸出端可得到輸入 $v_{in}(t)$ 經由非線性電路所生成的包含諧波之輸出

$$v_{out}(t) = f(v_{in}(t)) = \sum_{n=0}^N \alpha_n (v_{in}(t))^n \quad (3.1)$$

由上式可知，其輸出包含了直流項、RF 及 LO feedthrough 以及 RF 與 LO 訊號之多階諧波項。在此之中，唯有 $a_2 v_{in}^2(t)$ 為希望接收到的訊號，再經由展開做三角函數積化和差之公式後可得到 $w_{RF} + w_{LO}$ 以及 $w_{RF} - w_{LO}$ 兩項，而 $w_{RF} + w_{LO}$ 即為降頻後之訊號。此被動式混頻器的優點在於架構較為簡單，且消耗較低的功率，但缺點則為此被動式混頻器為利用元件的非線性特性達成混頻的功能，除了所需之 IF 頻率外，其輸出仍包含了訊號諧波項、交互調變項，使得輸出頻譜將變的非常混亂，因此常需要在外部加上濾波器以濾掉 IF 頻帶外之訊號。另外也由於輸入 RF 和 LO 訊號在同一端，因而也需要額外之外加電路來隔離 LO 訊號，以避免 LO 訊號漏到 RF 端而由天線輻射出去。因此通常此類混頻器的 LO-RF 和 RF-LO 隔離度往往不甚理想，因此在積體電路設計上較少採用此類架構。

3.2.2 單平衡式混頻器

單平衡式混頻器將 RF 訊號經由轉導放大器 M1(transconductor stage)，將輸入電壓訊號轉換為電流訊號，再經由電流切換級(current commutating stage)M2，M3，LO 訊號使其切換頻率等於 w_{LO} ，使其產生升降頻的效果，最後經由負載級(load stage)將小訊號電流轉換為差動輸出電壓訊號，其作動原理參照下圖 3.2。

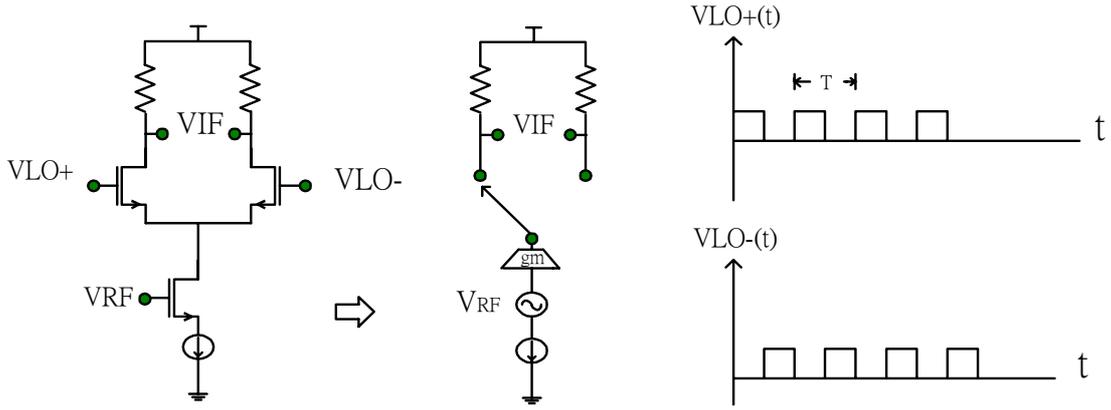


圖 3.2 單平衡混頻器

假設輸入 RF 訊號為 $V_{RF}(t) = v_{RF} \cos w_{RF}t$ ，經由轉導放大級的 M1 轉為射頻電流訊號

$$i_{RF} = I_{DC} + g_m v_{RF} \cos w_{RF}t \quad (3.2)$$

此電流訊號在經過 LO 訊號做電流切換，達成升降頻的工作。以下將導出單平衡混頻器的公式，並分別以單端輸出及雙端輸出的訊號來討論。在此對 F_{LO+} 與 F_{LO-} 做傅利葉級數的分析可以得到

$$\begin{aligned} F_{LO+} &= \frac{1}{2} + \frac{2}{\pi} \left[\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots \right] \\ F_{LO-} &= \frac{1}{2} - \frac{2}{\pi} \left[\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots \right] \end{aligned} \quad (3.3)$$

當輸出為單端輸出時，輸出訊號可表示成

$$i_{IF,sing} = i_{RF} \times F_{LO+} \quad (3.4)$$

其中 $F_{LO+}(t)$ 經過傅利葉級數展開後可以得到

$$\begin{aligned} i_{IF,sing} &= (I_{DC} + g_m v_{RF} \cos w_{RF}t) \times \left[\frac{1}{2} + \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots \right) \right] \\ &= \frac{I_{DC}}{2} + \frac{1}{2} g_m v_{RF} \cos w_{RF}t + \frac{2}{\pi} I_{DC} \sin w_{LO}t \\ &\quad + \frac{1}{\pi} g_m v_{RF} \sin(w_{RF} - w_{LO}) + \frac{1}{\pi} g_m v_{RF} \sin(w_{RF} + w_{LO}) \end{aligned} \quad (3.5)$$

由上式 3.5 可知，包含了 LO-to-IF 的穿透 ($\frac{2}{\pi} I_{DC} \sin w_{LO}t$) 外，還包含了 RF-to-IF 的穿

透 ($\frac{1}{2} g_m v_{RF} \cos w_{RF}t$)。對於降頻器而言，因為中頻濾波器對 RF 及 LO 訊號有足夠的濾除

功能，所以 RF 及 LO 訊號的穿透影響較小，但對升頻器而言，由於 RF 及 LO 的頻率太接近，則 LO 的穿透就很難消除。

當輸出為雙端輸出時，輸出訊號可表示成

$$i_{IF,diff} = i_{RF} \times [F_{LO+} - F_{LO-}] \quad (3.6)$$

其中 $F_{LO+}(t)$ 與 $F_{LO-}(t)$ 經過傅利葉級數展開後可以得到

$$\begin{aligned} i_{IF,diff} &= (I_{DC} + g_m v_{RF} \cos w_{RF} t) \times \frac{4}{\pi} (\sin w_{LO} t + \frac{\sin 3w_{LO} t}{3} + \frac{\sin 5w_{LO} t}{5} + \dots) \\ &= \frac{4}{\pi} I_{DC} \sin w_{LO} t + \frac{2}{\pi} g_m v_{RF} \sin(w_{RF} - w_{LO}) t + \frac{2}{\pi} g_m v_{RF} \sin(w_{RF} + w_{LO}) t \end{aligned} \quad (3.7)$$

由上式 3.7 發現，包含了 LO-to-IF 的穿透 $\frac{4}{\pi} I_{DC} \sin w_{LO} t$ ，但卻可消除掉 RF-to-IF 的穿透。

雙端輸出與單端輸出基本上並不影響電路的線性度，但相較於單端輸出，雙端輸出較單端輸出多了約 6dB 的轉換增益，然而，因其轉導輸出級仍會有直流項的存在，因此此一架構仍無法避免 LO feed-through 的生成。



3.2.3 雙平衡式混頻器

雙平衡式混頻器(Double-balanced mixer)，又稱為 Gilbert Cell 混頻器，如圖 3.3 所示，為利用一 MOS 差動對實現其轉導放大級，經由兩對反相切換的電流切換級電路使 RF 電流訊號降頻至基頻，再經交叉耦合至負載極差動輸出，此架構對於 LO feedthrough 的抑制具有較好的效果，且與被動式混頻器相較，具有較高的隔離度，但相較於單平衡式混頻器，其較大的輸入參考雜訊及較多的功率消耗為其缺點。基本電路操作及架構如下。

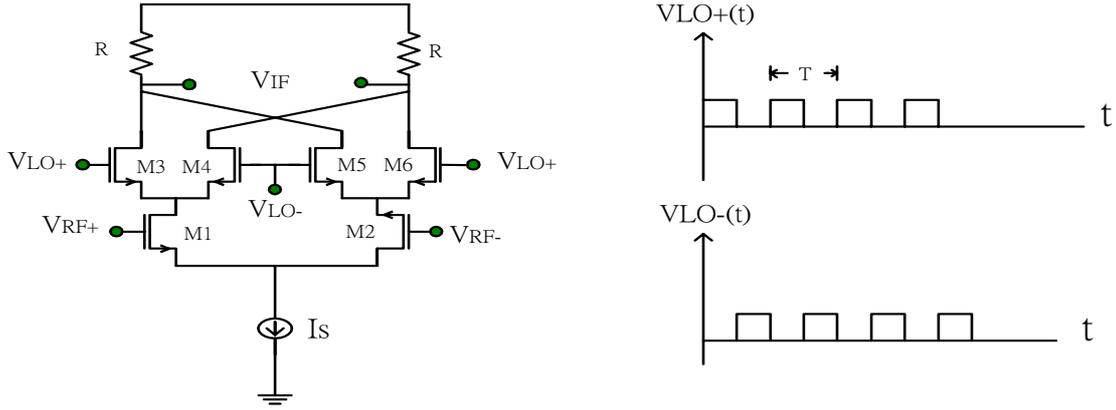


圖 3.3 雙平衡混頻器

假設 M1, M2 均操作於飽和區，且 $VLO(t)$ 為一方波訊號，則根據寶和區輸入電壓與輸出電流的關係式可表示為:[5, 6]

$$iD1 = k_1 (v_{GS1} - V_{th})^2 \quad (3.8)$$

$$iD2 = k_2 (v_{GS2} - V_{th})^2 \quad (3.9)$$

$$I_S = iD1 + iD2 \quad (3.10)$$

其中 $k_n = \frac{1}{2} \mu_n C_{ox} \frac{W_n}{L_n}$ ， v_{GSn} 中包含直流偏壓 V_{GSn} 及其交流小訊號 v_{gsn} ，經由化簡可以得到 $\sqrt{iD_n} = \sqrt{k_n} (v_{GSn} - V_{th})$ ，將兩式相減之後，可以推得

下式

$$\begin{aligned} \sqrt{iD_1} - \sqrt{iD_2} &= \sqrt{k_n} (v_{GS1} - v_{GS2}) \\ &= \sqrt{k_n} (v_{gs1} - v_{gs2}) \\ &= \sqrt{k_n} (v_{RF}) \end{aligned} \quad (3.11)$$

其中 v_{RF} 為 M1 及 M2 兩開級端之差動電壓差值，

$$v_{RF} = v_{GS1} - v_{GS2} = v_{gs1} - v_{gs2} \quad (3.12)$$

將上兩式化簡後可得到

$$iD1 = \frac{I_S}{2} + \sqrt{2k_n I_S} \left(\frac{v_{RF}}{2} \right) \sqrt{1 - \frac{v_{RF}^2}{2 \cdot \frac{I_S}{k}}} \quad (3.13)$$

$$iD2 = \frac{I_S}{2} + \sqrt{2k_n I_S} \left(\frac{v_{RF}}{2} \right) \sqrt{1 - \frac{v_{RF}^2}{2 \cdot \frac{I_S}{k}}} \quad (3.14)$$

上式中 $1 - \frac{v_{RF}^2}{2 \cdot \frac{I_s}{k}}$ 為一有理數，因此可推得

$$\frac{v_{RF}^2}{2 \cdot \frac{I_s}{k}} \leq 1 \quad (3.15)$$

$$|v_{RF}| \leq \sqrt{2 \cdot \frac{I_s}{k}} \quad (3.16)$$

假設在 $v_{RF} = 0$ ， $iD1 = iD2 = \frac{I_s}{2}$ ， $V_{GS1} = V_{GS2} = V_{GS}$ 則可推出

$$\frac{I_s}{2} = k(V_{GS} - V_{th})^2 \quad (3.17)$$

由此關係式可將上兩式重新改寫成

$$iD1 = \frac{I_s}{2} + \frac{I_s}{V_{GS1} - V_{th}} \left(\frac{v_{RF}}{2} \right) \quad (3.18)$$

$$iD2 = \frac{I_s}{2} - \frac{I_s}{V_{GS1} - V_{th}} \left(\frac{v_{RF}}{2} \right) \quad (3.19)$$

令 $g_m = \frac{I_s}{V_{GSn} - V_{th}} = k(V_{GSn} - V_{th})$ ，則可以得到

$$iD1 = \frac{I_s}{2} + g_m \left(\frac{v_{RF}}{2} \right) \quad (3.20)$$

$$iD2 = \frac{I_s}{2} - g_m \left(\frac{v_{RF}}{2} \right) \quad (3.21)$$

而本地振盪訊號切換 M3、M4、M5、M6，因此可推出輸出電流為

$$i_{OUT3} = iD1 \times \left[\frac{1}{2} + \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots \right) \right] \quad (3.22)$$

$$i_{OUT4} = iD1 \times \left[\frac{1}{2} - \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots \right) \right] \quad (3.23)$$

$$i_{OUT5} = iD2 \times \left[\frac{1}{2} - \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots \right) \right] \quad (3.24)$$

$$i_{OUT6} = iD2 \times \left[\frac{1}{2} + \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots \right) \right] \quad (3.25)$$

當 IF 訊號輸出為雙端時，輸出訊號可表示成

$$\begin{aligned}
 i_{IF,diff} &= i_{IF+} - i_{IF-} = (i_{OUT3} + i_{OUT5}) - (i_{OUT4} + i_{OUT6}) \\
 &= iD1 \times \left(\frac{4}{\pi}\right)(\dots) + iD2 \times \left(-\frac{4}{\pi}\right)(\dots) = \left[\frac{I_S}{2} + g_m \left(\frac{v_{RF}}{2}\right)\right] \times \left(\frac{4}{\pi}\right)(\dots) + \left[\frac{I_S}{2} - g_m \left(\frac{v_{RF}}{2}\right)\right] \times \left(-\frac{4}{\pi}\right)(\dots) \\
 &= g_m v_{RF} \times \frac{4}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots\right)
 \end{aligned} \tag{3.26}$$

其中 $v_{RF}(t)$ 可視為 $v_{RF} \cos w_{RF}t$ ，代入式中可得

$$i_{IF,diff} = g_m v_{RF} \cos w_{RF}t \times \frac{4}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots\right) \tag{3.27}$$

忽略高階項的諧波後，乘上負載阻抗可得到輸出 IF 電壓訊號

$$v_{IF,diff} = \frac{2}{\pi} g_m v_{RF} \sin(w_{RF} - w_{LO})t \times R \tag{3.28}$$

所以其轉換增益為 $conv.gain = \frac{2}{\pi} g_m \times R$

由式 3.28 中可看出，雙平衡混頻器在理想上可消除 LO-to-IF 及 RF-to-IF 的穿透。

當 IF 訊號輸出為單端時，輸出訊號可表示成

$$\begin{aligned}
 i_{IF,sin} &= (i_{OUT3} + i_{OUT5}) = iD1 \times \left[\frac{1}{2} + \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots\right)\right] + \\
 &\quad iD2 \times \left[\frac{1}{2} - \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots\right)\right] \\
 &= \frac{I_S}{2} + g_m v_{RF} \cos w_{RF}t \times \frac{2}{\pi} \left(\sin w_{LO}t + \frac{\sin 3w_{LO}t}{3} + \frac{\sin 5w_{LO}t}{5} + \dots\right)
 \end{aligned} \tag{3.29}$$

忽略高階項的諧波後，乘上負載阻抗可得到輸出 IF 電壓訊號

$$v_{IF,sin} = \frac{I_S}{2} \times R + g_m \frac{1}{\pi} v_{RF} \sin(w_{RF} - w_{LO})t \times R \tag{3.30}$$

由上式 3.30 可知，即使單端輸出也一樣沒有 LO-to-IF 及 RF-to-IF 的穿透，但卻有 I_S 項存在，因此在驅動級的訊號雜訊將會和此直流成分相互混頻而增加輸出端的雜訊功率。

3.3 CMOS 混波器雜訊模型之建立

CMOS 混波器的雜訊分析遠較低雜訊放大器複雜的多，本節將透過 ABIDI 於 2000 年所提出的物理模型，以混頻器的雜訊源，並經由此模型說明雜訊源經由何種過程出現在輸出端。[7, 8]

下圖 3.4 為一傳統的單平衡混頻器，其架構由輸入轉導電晶體 M1，開關切換電晶體 M2 與 M3 及輸出負載 RL 所組成，一般來說，對於一個直接降頻接收機而言，電晶體的閃爍雜訊(Flicker noise)為造成混頻器的主要因素，而對於超外差架構來說，電晶體的通道熱雜訊(Thermal noise)將主宰著混頻器的雜訊來源，因此將再此將兩種雜訊作一討論。

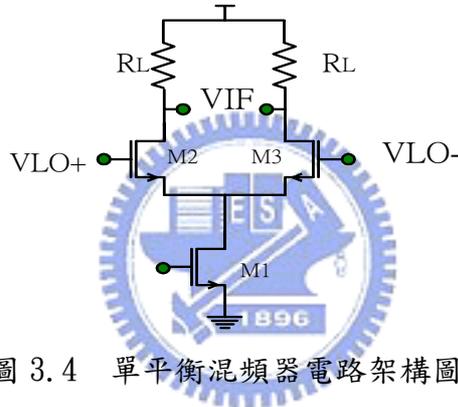


圖 3.4 單平衡混頻器電路架構圖

3.3.1 閃爍雜訊(Flicker noise)對輸出的影響

電晶體在低頻時，主要呈現的雜訊為閃爍雜訊，由於其雜訊頻譜密度與 $1/f$ 成正比，故又有 $1/f$ noise 之稱。其原因在於 MOS 閘極氧化層與矽基板介面之間，由於矽晶體末端於此介面會產生共價鍵，當電荷載子於此介面移動時，會隨機的被此共價鍵所捕捉，然後再隨機的釋放，因而使得汲極電流產生閃爍雜訊，此外，仍有許多機制被認為會產生閃爍雜訊。此閃爍雜訊的模型以一個和閘極串聯的電壓源來建立:[6]

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \quad (3.31)$$

其中 K 為製程相關相關參數，一般來說閃爍雜訊在頻率大於 1MHz 以上，其對電晶體雜訊的貢獻將遠小於通道熱雜訊。

A. 負載雜訊(Load Noise)

對直接降頻接收器中的混頻器來說，負載端所產生的閃爍雜訊將伴隨著信號於輸出端出現。此一雜訊透過如下的方式將有效率的降低，改用 PMOS 負載取代 NMOS 將有助於降低閃爍雜訊，另外，若以電阻作為一輸出負載，雖電阻會犧牲部分的壓降(voltage headroom)，卻可以完全避免掉負載所產生的閃爍雜訊。

B. 轉導級雜訊(Transconductance Noise)

一般來說，轉導級電晶體所產生的閃爍雜訊會隨著 RF 輸入信號做頻率上的轉移，也就是說，閃爍雜訊將轉移到以 ω_{LO} 為中心頻的頻帶(及以 ω_{LO} 奇倍頻為中心頻的頻帶)，同時，電晶體所產生的熱雜訊(ω_{LO} 及其奇次諧波)也會轉移至直流項。此外，對用於直接降頻接收器架構下的混頻器來說，實際情況由於開關切換電晶體的不匹配，因此轉導級電晶體的閃爍雜訊將因此而出現在輸出端，此情形分析如後。

C. 開關電晶體雜訊對輸出訊號的直接影響

對閃爍雜訊而言，由式子 3.31 可知，其等效輸入雜訊電壓對開關來說，其可視為一緩慢變化的 offset 電壓，且此雜訊電壓與開關電晶體的偏壓無關。關於閃爍雜訊對於開關電晶體的直接影響，在此以單平衡混頻器為例，將轉導電晶體視為一電流源，且為了簡化問題，令開關電晶體為完全切換，只要 LO 切換訊號大於零，即 $V_{gs,M1} > V_{gs,M2}$ 時，則偏壓電流將全部由 M1 流過，反之亦然。

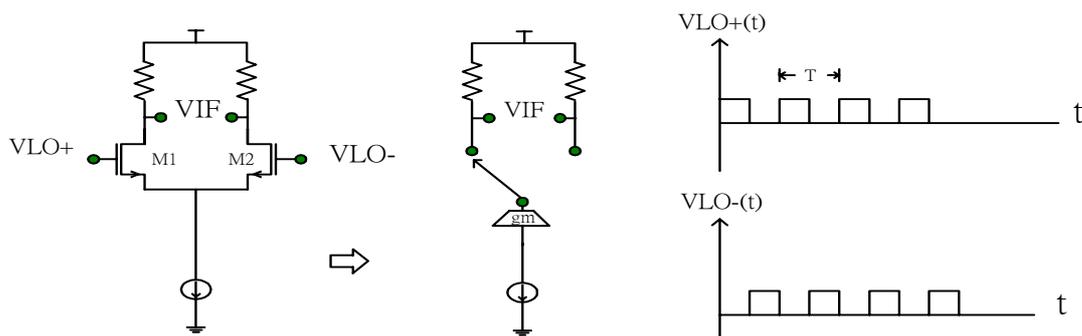


圖 3.5 單平衡混頻器

在此假設開關電晶體的閘極差動訊號 $V_{in,diff} = V_{gs,M1} - V_{gs,M2}$ 為一週期為 T 的正弦波，則理想上混頻器輸出應為 T 且輸出電流振幅為 I 的方波，又因為開關電晶體中閃爍雜訊的存在，使得其在閘極電壓上為一緩慢變化的 offset 電壓，因而造成了開關電晶體切換時

的非理想性，且混頻器的輸出相較於理想週期 T 的方波有 Δt 的時間偏差，如圖 3.6(a) 所示

$$\Delta t = \frac{V_n(t)}{S} \quad (3.32)$$

上式中 $V_n(t)$ 表示閃爍雜訊的電壓， S 為切換時 LO 訊號的斜率，如此則可將混頻器的輸出視為一週期為 T 的理想方波加上一寬度為 Δt ，週期為 $T/2$ 的脈波串，而其於一個週期內的平均電流則為

$$i_{o,n} = \frac{2}{T} \cdot 2I \cdot \Delta t = \frac{2}{T} \cdot 2I \cdot \frac{V_n}{S} = 4I \frac{V_n}{S \cdot T} \quad (3.33)$$

由上式可看出，開關電晶體的閃爍雜訊出現在輸出端時，並沒有經過頻率的轉換而污染了被降頻到基頻的訊號。上式中 S 為 LO 訊號，其電壓在切換時的斜率， T 為 LO 週期，若 LO 為弦波時， $S \cdot T = 4\pi A$ ， A 為 LO 訊號的振幅。

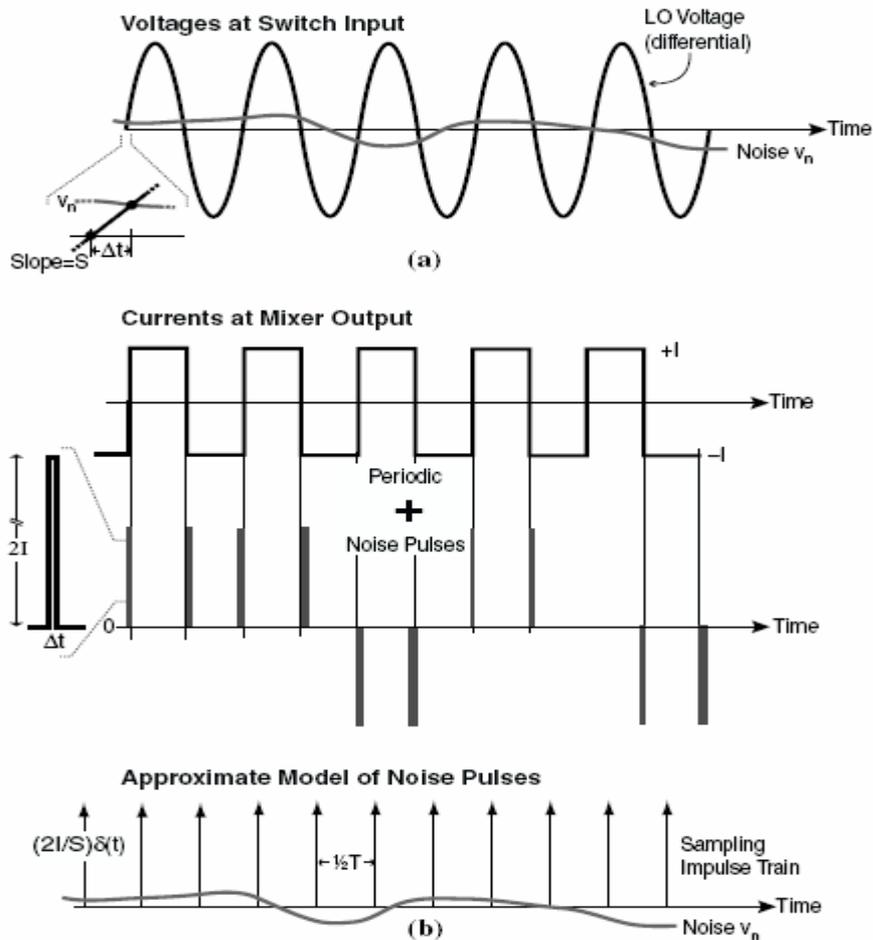


圖 3.6 (a)開關電晶體的輸入電壓 (b)混波器的輸出電流可分成理想方波及雜訊脈衝

現在檢視混頻器輸出雜訊的完整頻譜，當 $\Delta t/T \ll 1$ 時則可將此脈波串近似為一大小為 $2I\Delta t/S$ 、頻率為兩倍 $L0$ 頻率(週期為 $\frac{T}{2}$)的理想 delta 脈衝串，如圖 3.6(b)，根據取樣理論，則可視為一乘上 $2I/S$ 倍的雜訊 V_n 被一頻率為 $2\omega_{LO}$ 之脈衝所取樣，其輸出端的基頻電流雜訊頻譜則為：

$$i_{o,n}(f) = \frac{4I}{ST} V_n(f) = \frac{1}{\pi} \cdot \frac{I}{A} \cdot V_n(f) \quad (3.34)$$

若根據取樣理論，則其取樣影像會出現在 ω_{LO} 偶數倍頻率的地方，而 $L0$ 穿透 (feedthrough) 會出現在 ω_{LO} 頻率且振幅為 $\frac{2I}{\pi}$ ，如圖 3.7 所示。

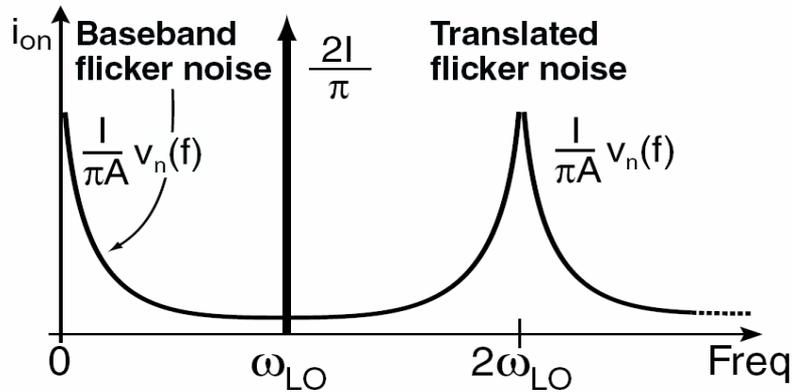


圖 3.7 混頻器的輸出電流雜訊頻譜

欲考量此開關造成的閃爍雜訊對混頻器雜訊指數的影響時，可將此一輸出雜訊除上源自輸入端源所造成的雜訊。這裡電晶體的小訊號模型採用短通道模型，其 g_m/I 比值在長通道電晶體中接近 $2/(V_{gs} - V_{th})$ ，但在短通道電晶體中則近似 $1/(V_{gs} - V_{th})$ ，因此輸出端的訊雜比(SNR)可表示為

$$SNR = \frac{2/\pi \cdot g_m V_{in}}{4I/ST \cdot V_n} = \frac{ST}{2\pi(V_{GS} - V_t)} \cdot \frac{V_{in}}{V_n} = \frac{2A}{(V_{GS} - V_t)} \cdot \frac{V_{in}}{V_n} \quad (3.35)$$

若混頻器的轉導級電晶體利用電感源級衰減使得輸入阻抗匹配至 50 歐姆，且由於混頻器的轉換增益為 $2/\pi$ ，則可得到 Source 電阻於混波器輸出端所產生的電流雜訊為，如圖 3.8，:[9-10]

$$S_{a,src}(w_0) = S_{src}(w_0)G_{m,eff}^2 \approx \frac{4KTg_{m1}^2}{\pi^2 w_0^2 R_s C_{gs1}^2} \quad (3.36)$$

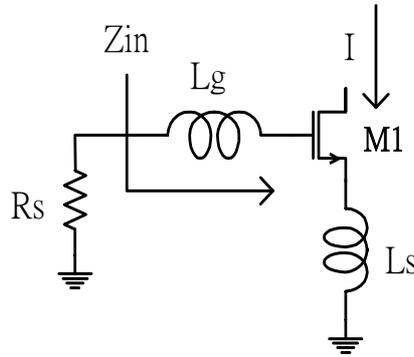


圖 3.8 混頻器利用電感源級衰減做 50 歐姆匹配

因此開關切換電晶體的閃爍雜訊對混頻器雜訊指數的貢獻可視為

$$\begin{aligned} \frac{N_{out} \text{ from switch noise}}{N_{out} \text{ from source noise}} &= \frac{\left(\frac{4I}{ST}V_n\right)^2}{\frac{4KTg_{m1}^2}{\pi^2 w_0^2 R_s C_{gs1}^2}} = \frac{4\pi^2 w_0^2 R_s C_{gs1}^2}{KTg_{m1}^2} \cdot \frac{I^2 V_n^2}{S^2 T^2} = \frac{w_0^2 R_s C_{gs1}^2}{4KTg_{m1}^2} \cdot \frac{I^2 V_n^2}{A^2} \\ &= \frac{w_0^2 R_s C_{gs1}^2 (V_{GS1} - V_{th1})^2}{4KT} \cdot \frac{V_n^2}{A^2} \end{aligned} \quad (3.37)$$

由上式可以推知，若欲降低開關電晶體的閃爍雜訊對混頻器雜訊指數的影響，可以藉著下面四點來降低此影響：

- 採用較大的開關電晶體以降低 V_n
- 提高 A 值，亦即若 LO 訊號為弦波時，提高 LO 訊號的振幅
- 減低轉導電晶體的 $(V_{GS1} - V_{th1})$ 電壓
- 減低轉導電晶體的開源級寄生電容

接著討論先前轉導電晶體的閃爍雜訊如何透過切換電晶體間的不平衡而洩漏至輸出端，這裡仍假設開關電晶體存在著一 offset 電壓 V_{os} 取代先前的 V_n ，以避免和轉導電晶體雜訊輸入電壓 V_{ni} 混淆，如此混頻器輸出電流則為一振幅為 $I + g_m V_{ni}$ ，寬度為 V_{os}/S ，週期為 $T/2$ 的脈衝串，因此可以在輸出端得到其雜訊電流為

$$i_o = \frac{IV_{os}}{\pi A} + \frac{g_m V_{ni} V_{os}}{\pi A} \quad (3.38)$$

上式中第一項則為 DC offset 電流，等同於 $\frac{1}{\pi} \cdot \frac{I}{A} \cdot V_{os}$ ，而第二項則為轉導電晶體洩露至輸出端的雜訊，因此其輸出端訊雜比(SNR)可得

$$SNR = \frac{2/\pi \cdot g_m V_{in}}{\frac{g_m V_{ni} V_{os}}{\pi A}} = \frac{2A}{V_{os}} \cdot \frac{V_{in}}{V_{ni}} \quad (3.39)$$

其對混頻器的雜訊指數為

$$\frac{N_{out} \text{ from transconductance noise}}{N_{out} \text{ from source noise}} = \frac{\omega_0^2 R_s C_{gs}^2 V_{os}^2}{4KT} \cdot \frac{V_{ni}^2}{A^2} \quad (3.40)$$

由上式 3.40 可得到，若 $V_{os} \ll (V_{gs1} - V_{th})$ ，則開關切換電晶體所引起的閃爍雜訊遠較轉導電晶體所造成的雜訊來得大。

D. 開關電晶體雜訊對輸出訊號的間接影響

到目前為止的推導可以得知，若 LO 訊號為一理想方波時，圖 3.9，則可藉由 LO 訊號於 zero crossing 時的無限大的斜率將開關電晶體及轉導電晶體的閃爍雜訊由輸出端消除，然而，實際情形是開關電晶體的閃爍雜訊仍會藉由其他機制出現在輸出端，這種情形則通稱之為間接影響。

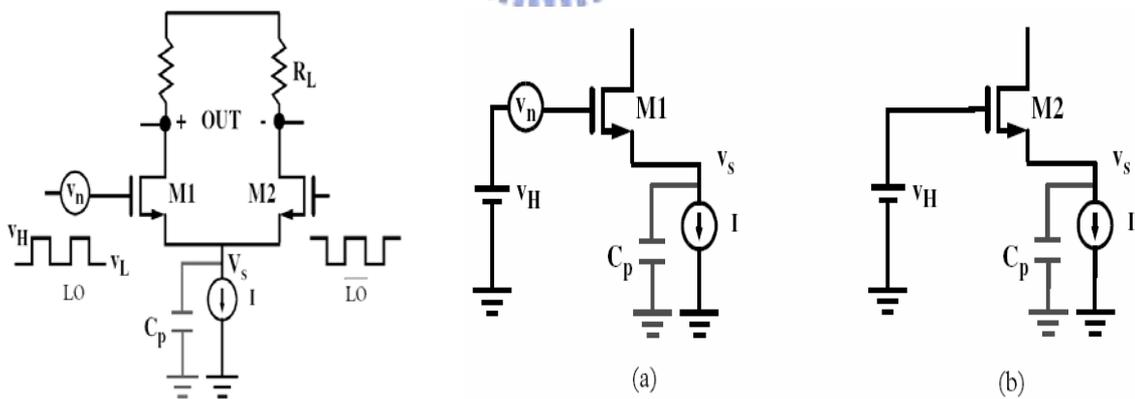


圖 3.9 LO 為方波的單端混頻器 圖 3.10 LO 為方波時混頻器的(a)前半週期(b)後半週期

考慮一個 LO 輸入訊號為理想方波的混頻器，這裡仍先將轉導電晶體的輸入電壓設為零，並將其視為一理想電流源，因此將轉導電晶體等效為一偏壓電流並聯一電容 C_p ，電容 C_p 包含了節點 V_s 的所有寄生電容。其中 V_n 為與 M1 電晶體串聯的雜訊電壓，當 LO 訊

號於前半週期將 M1 電晶體通道打開，M2 為關閉時，將混頻器視為一個輸入訊號為 V_n 的源級追隨器(source follower)，如圖 3.10(a)所示。當後半週期 LO 訊號將 M1 電晶體關閉，M2 導通時，則混頻器可視為一輸入訊號為零的源級追隨器，如圖 3.10(b)。在此可將混頻器視為一個單端連續性的源級追隨器，且輸入雜訊電壓 V_n 為週期性連續出現，如圖 3.11，接下來將接續討論此輸入雜訊電壓 V_n 對開關電晶體下的 V_s 的影響，並由 C_p 的充放電電流進而得到輸出端的雜訊。

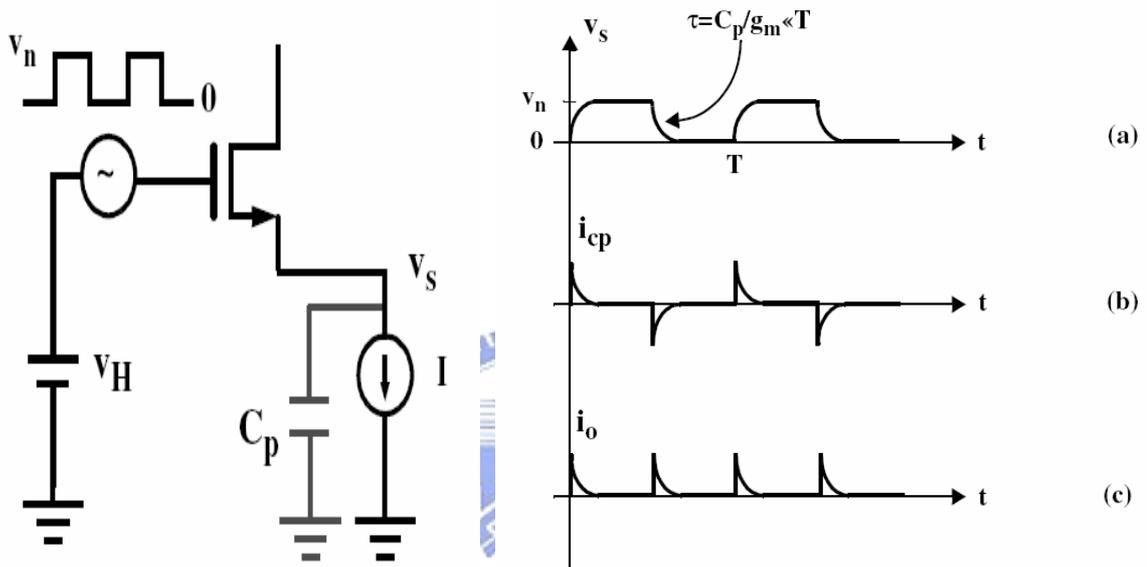


圖 3.11 以 source follower 取代原始混頻器 圖 3.12 (a) V_s 的電壓變化(b)電容 C_p 的充放電電流(c)混頻器的輸出雜訊電流

由於雜訊電壓 V_n 遠小於 LO 訊號 V_H ，如圖 3.11，因此可以一線性模型來評估 V_s 的電壓，假設開關電晶體的轉導為 g_m ，則節點 V_s 的時間常數為 C_p / g_m ，通常此時間常數遠小於 L 訊號的週期 T ，因此 V_s 的電壓在 LO 訊號的前半週期會以指數曲線充電至 V_n ，而在後半週期以指數曲線放電至零，如圖 3.12(a)。節點 V_s 的電壓變化產生了如圖 3.12(b) 的小訊號電流對 C_p 的充放電，此電流有著與 LO 訊號相同的週期且無 DC 值，在 LO 訊號的前半週期將 M1 電晶體打開，流入電容的電流為 i_{cp} ，而在後半週期 M2 電晶體打開時，則電流值則變為 $-i_{cp}$ ，相當於電容放電，因此，此電流在輸出端就如同有兩倍 LO 頻率的輸出電流，這裡將計算閃爍雜訊對輸出的影響，其輸出電流的平均值為：

$$i_{o,n} = \frac{2}{T} \int_0^{T/2} i_{cp}(t) dt = \frac{2}{T} \int_0^{T/2} C_p \left[\frac{d}{dt} V_s(t) \right] dt = \frac{2}{T} C_p \left(V_s \left[\frac{T}{2} \right] - V_s[0] \right) = \frac{2}{T} C_p V_n \quad (3.41)$$

若將電容 C_p 視為轉導電晶體的接面電容 C_{GS} ，則此間接影響的訊雜比如下：

$$SNR = \frac{g_m \frac{2}{\pi}}{2f_{LO} C_p} \cdot \frac{V_{in}}{V_n} = 2 \frac{f_T}{f_{LO}} \cdot \frac{V_{in}}{V_n} \quad (3.42)$$

則此雜訊對整體混頻器得雜訊指數貢獻為

$$\frac{N_{out} \text{ from switch noise}}{N_{out} \text{ from source noise}} = \frac{(2f_{LO} C_p V_n)^2}{\frac{4KTg_{m1}^2}{\pi^2 \omega_0^2 R_s C_{gs1}^2}} = \frac{(f_{LO} C_p)^2 \pi^2 \omega_0^2 R_s}{kT \omega_{T1}^2} \cdot V_n^2 \quad (3.43)$$

故由上式 3.43 可看出，降低 LO 頻率與 C_p 可減少閃爍雜訊的影響，若 C_p 來自於轉導電晶體的接面電容，則應降低 C_p 以減少閃爍雜訊的效應，若 C_p 來自於開關電晶體，則可藉由加大開關切換電晶體的尺寸來降低雜訊電壓 V_n 。

一般來說，LO 訊號所造成的閃爍雜訊主要皆來自於直接影響，且和頻率無關，但即使 LO 訊號趨近於理想方波時，依然無法完全消除閃爍雜訊，因為此時間接影響則開始發生作用。總而言之，若 LO 訊號較為低頻，且近似理想方波(較大的斜率)，則此閃爍雜訊會比較低。



3.3.2 熱雜訊(thermal noise)對輸出的影響

A. 白色雜訊對切換級的影響

上節中，我們已經建立了閃爍雜訊對開關電晶體的雜訊模型，現在將此雜訊模型延伸至討論電晶體內白色雜訊對開關電晶體的影響，如圖 3.13(a)所示，經由閃爍雜訊直接影響可知，雜訊電流在輸出端由脈波串所組成，其頻率為兩倍的 LO 訊號，高度為 $2I/S$ ，且其寬度由開關電晶體內的白色雜訊隨機調變。

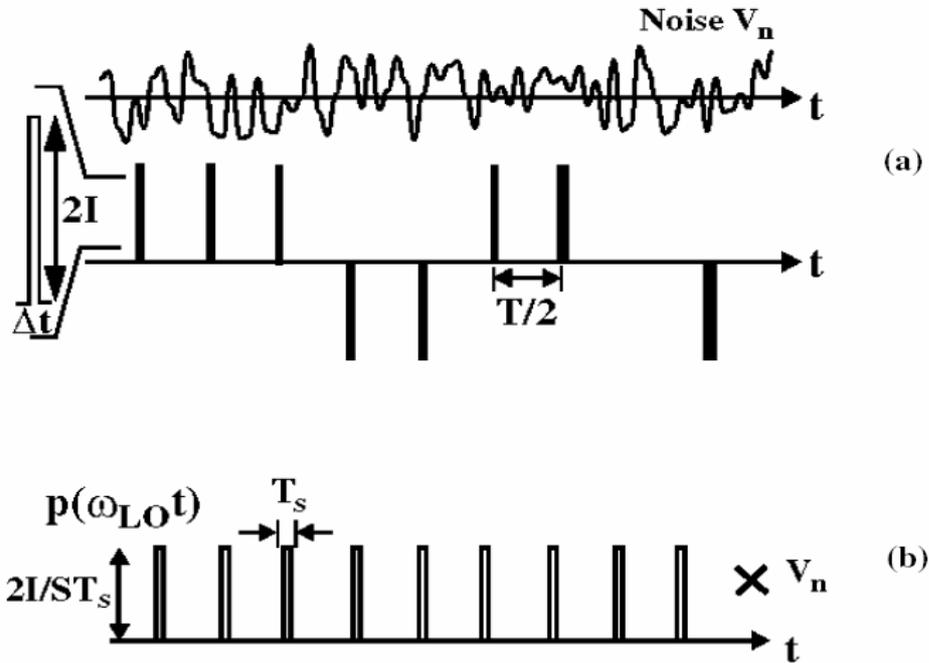


圖 3.13 (a)混波器的輸出電流 (b)輸出電流雜訊可近似為一理想脈波對雜訊取樣

為了簡化分析，我們可將此近似為一寬頻雜訊 V_n ，被寬度為 T_s ，高度為 $2I/ST_s$ 的理想方波串所取樣，如圖 3.13(b)，其中 T_s 的寬度由一簡化的開關電晶體 I-V 的特性所決定，如圖 3.14(a)所示。

對一開關電晶體的 LO 輸入訊號而言，若 LO 訊號為 $V_{id} = 2A\sin(\omega_{LO}t)$ ，其將產生一有時間週期性的轉導 $G_m(t)$ ，且 ΔV 通常遠小於振幅 A ，且由圖 3.14(b)可知， $G_m(t)$ 在時間 $\Delta V/2A\omega_{LO} = \Delta V/S$ 內非為零。

當開關電晶體在兩邊都同時導通時才會貢獻雜訊，若只有任一邊導通時，則電路可視為一疊接放大器，且其偏壓電流由下層的 RF 輸入轉導級所固定，則開關電晶體內的通道熱雜訊對輸出雜訊的貢獻為零。

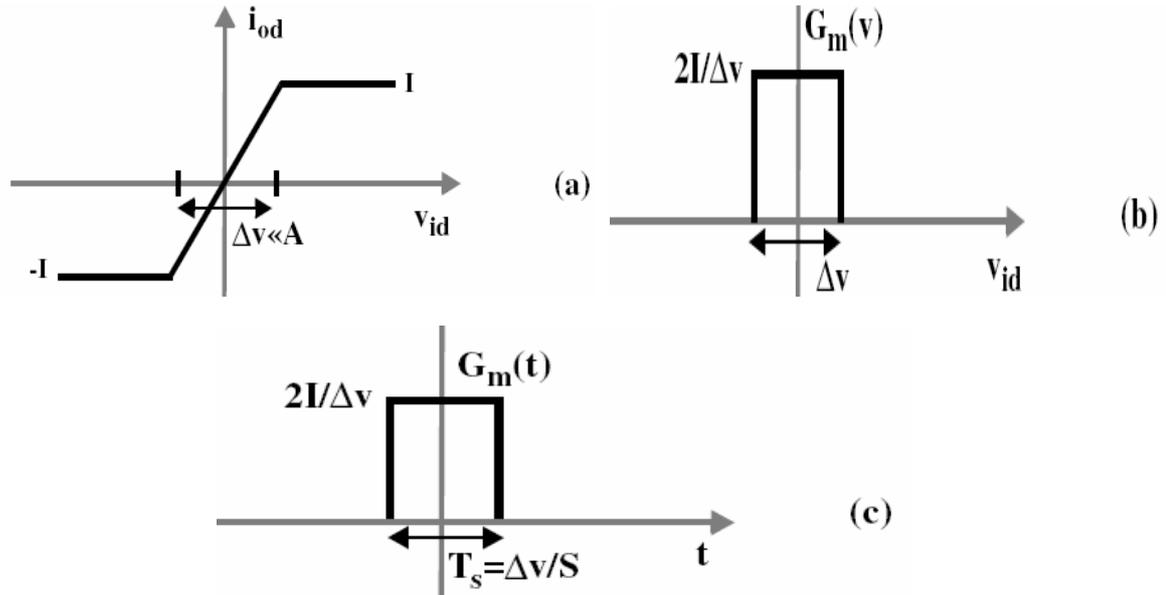


圖 3.14 (a)開關電晶體的 I-V 曲線 (b)開關電晶體的轉導對電壓的變化 (c)開關電晶體轉導對時間的變化

圖 3.14(c)中 T_s 為開關電晶體同時導通的時間，亦即 $T_s = \Delta V / S$ ，這表示開關電晶體的 noise 只有在每次週期的 zero-crossing 時才會出現在輸出端，因此取樣函數 $P(w_{LO}t)$ 可表示為：

$$P(w_{LO}t) = \sum_n G_m(t - \frac{nT}{2}) \quad (3.44)$$

因為每次 $L0$ 的週期有兩次的 zero-crossing，所以 G_m 的頻率為 $L0$ 的兩倍，則混頻器的輸出雜訊可表為

$$i_{o,n} = P(w_{LO}t) \cdot V_n(t) \quad (3.45)$$

其中 $P(w_{LO}t)$ 為週期且已決定(deterministic)的取樣函數， $V_n(t)$ 為開關電晶體的等效輸入白色雜訊。經由計算輸出雜訊的自相關性(autocorrelation)可表示成

$$Ri_{o,n}(t+\tau, t) = p(t) \cdot p(t+\tau) \cdot R_{V_n}(\tau) \quad (3.46)$$

其中白色雜訊的自相關性 $R_{V_n}(\tau)$ 為一 delta 函數，然而輸出雜訊的自相關性同時是 t 與 τ 的函數，由此可顯示，輸出雜訊不是 stationary 而是週期性的，因而證明了輸出雜訊為白色(white)且為 cyclo-stationary。其功率頻譜密度可藉由平均一週期內的 $Ri_{o,n}$ 得知，且其頻域上將只剩下 τ 的函數，其輸出電流雜訊的功率頻譜密度則為

$$\overline{i_{o,n}^2} = \frac{2}{T} \int_0^{T_s} p^2(t) dt \cdot \overline{V_n^2} = \frac{2}{T} \cdot \left(\frac{2I}{S}\right)^2 \cdot \frac{1}{T_s} \cdot \overline{V_n^2} \quad (3.47)$$

其輸入雜訊為 white 且 stationary，其功率頻譜密度為

$$\overline{V_n^2} = \frac{4kT\gamma}{G_m} \quad (3.48)$$

其中 γ 為微通道的熱雜訊係數，一般長通道電晶體為 2/3， G_m 則為開關電晶體於 zero-crossing 的轉導。

$$G_m = \frac{2I}{\Delta V} \quad (3.49)$$

因此將上式帶回可得一開關電晶體的輸出電流功率頻譜密度為

$$\overline{i_{o,n}^2} = 4kT\gamma \frac{4I}{ST} \quad (3.50)$$

若 LO 訊號為弦波時， $S = 2Aw_{LO}$ ，代入則為

$$\overline{i_{o,n}^2} = 4kT\gamma \frac{I}{\pi A} \quad (3.51)$$

由上式可知，開關電晶體的輸出雜訊其功率頻譜密度只與 LO 振幅和偏壓電流相關，而與電晶體大小無關。

B. 轉導電晶體雜訊及整體雜訊

對混頻器而言，其轉導電晶體所貢獻得雜訊主要來自於通道熱雜訊，當開關電晶體的開關動作近似方波時，其 LO 訊號及其奇次諧波會將所有轉導電晶體中與個別相距 w_{IF} 的雜訊降頻至 IF 端，在考量混頻器的轉換增益為 $2/\pi \cdot g_m \cdot R_L$ 時，則出現在 IF 的雜訊為：

$$\overline{V_n^2} = n \cdot \frac{4kT\gamma}{g_m} \cdot (2/\pi \cdot g_m \cdot R_L)^2 \quad (3.52)$$

$$n = 2\left(1 + \frac{1}{3^2} + \frac{1}{5^2} + \dots\right) \quad (3.53)$$

上式中 n 表示方波中各個諧波成分的總和，其中第一項表示轉導電晶體內 $w_{LO} \pm w_{IF}$ 的白色雜訊被 LO 的基頻所降頻，而第二項表示 $3w_{LO} \pm w_{IF}$ 的白色雜訊被 LO 的第三諧波所降頻，而第三諧波的振幅為三分之一，由於這些諧波所造成的雜訊互不相關，故其所貢獻的雜訊均可相加，如下圖 3.15。

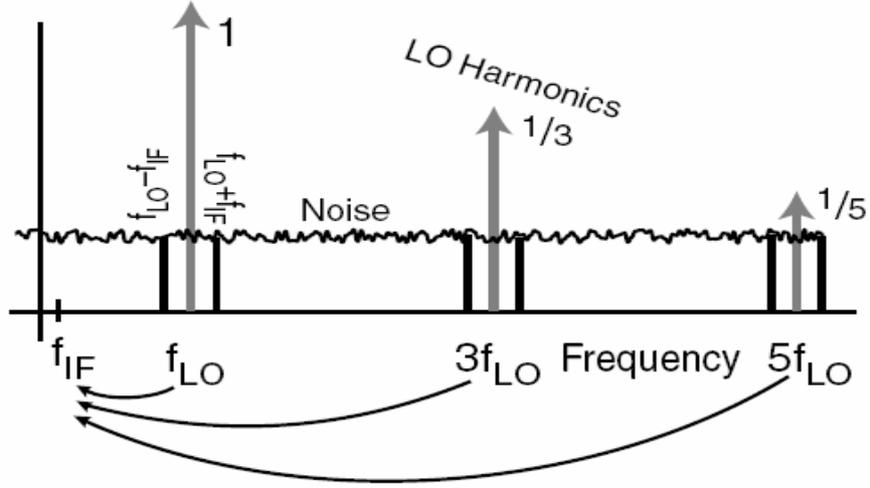


圖 3.15 轉導電晶體內白色雜訊之頻率轉換

因此，包含負載、開關級電晶體及轉導輸入級的總雜訊輸出電壓可得如下

$$\overline{V_{o,n}^2} = 8kTR_L + 8kT\gamma \frac{R_L^2 I}{\pi A} + n \times \frac{4kT\gamma}{g_m} \cdot \left(\frac{2}{\pi} g_m R_L\right)^2 \quad (3.54)$$

簡化後可得到

$$\overline{V_{o,n}^2} = 8kTR_L \left(1 + \gamma \frac{R_L I}{\pi A} + \lambda \frac{g_m R_L}{2}\right) \quad (3.55)$$

上式 3.55 中第一項來自於兩個負載電阻，第二項來自於兩個開關電晶體，第三項來自於轉導電晶體，並假設混頻器轉換增益為 $\frac{2}{\pi} g_m R_L$ 。由此可知，混頻器的輸出雜訊將隨著某些電路參數而變，例如 LO 的訊號振幅以及偏壓電流 I。因此，對設計者而言，將得知如何調整電路參數以獲得特定雜訊指數的方向。同理，若對雙平衡混頻器來說，由於開關電晶體與轉導電晶體相較於單平衡電晶體皆為兩倍，因此其所貢獻的雜訊亦為兩倍，故其所貢獻的雜訊亦為兩倍，則其輸出電壓可寫成：

$$\overline{V_{o,n}^2} = 8kTR_L \left(1 + \gamma \frac{2R_L I}{\pi A} + \lambda g_m R\right) \quad (3.56)$$

其中 I 為雙平衡混頻器的單邊偏壓電流。若假設一雙平衡混頻器與單平衡混頻器有著相同的總電流，則由上式 3.55 及 3.56 中，可得知其輸出雜訊大小皆相同。然而，就雜訊指數而言，雙平衡混頻器的雜訊指數會比單平衡混頻器雜訊指數約高 3 dB，這是由於雙平衡混頻器其輸入為 100 歐姆的 source，而反觀單平衡混頻器其輸入為 50 歐姆的 source，因此雙平衡混頻器有較高的雜訊指數，話雖如此，但由於雙平衡混頻器能有效

地抑制 LO 的 feed-through，因此一般來說雙平衡混頻器仍是大多數人所採用的。

若欲求得整體的雜訊指數，則需先求得輸出端的總電流雜訊，包含了負載、開關電晶體及轉導電晶體為

$$\overline{i_{o,n}^2} = \frac{8kT}{R_L} + 8kT\gamma \frac{I}{\pi A} + 4kT\gamma g_m \quad (3.57)$$

因此，整體混頻器的通道熱雜訊指數為

$$\begin{aligned} NF &= \frac{\frac{4KTg_{m1}^2}{\pi^2 w_0^2 R_s C_{gs1}^2} + \frac{8kT}{R_L} + 8kT\gamma \frac{I}{\pi A} + 4kT\gamma g_m}{\frac{4KTg_{m1}^2}{\pi^2 w_0^2 R_s C_{gs1}^2}} \\ &= 1 + \frac{2\pi^2 w_0^2 R_s C_{gs1}^2}{R_L g_{m1}^2} + \frac{2\pi\gamma w_0^2 R_s C_{gs1}^2}{A g_{m1}^2} + \frac{\pi^2 \gamma w_0^2 R_s C_{gs1}^2}{g_{m1}} \\ &= 1 + \frac{2\pi^2 w_0^2 R_s}{R_L w_T^2} + \frac{2\pi\gamma w_0^2 R_s}{A w_T^2} + \frac{\pi^2 \gamma w_0^2 R_s g_{m1}}{w_T^2} \end{aligned} \quad (3.58)$$

由上式 3.58 中整體雜訊的計算下可知，若欲降低雜訊指數，可藉由增加 LO 訊號振幅以及增加 w_T 來達成目的，且對於應用在直接降頻接收機的混波器來說，其雜訊指數仍須考量到閃爍雜訊對輸出端的貢獻。因此，上述的參數仍須考量到混波器的轉換增益、線性度、功率消耗及整體系統規劃等限制。

3.4 混頻器參數之量測

3.4.1 雜訊量測

本論文所提出的寬頻混頻器，透過 CIC 提供的雜訊指數分析儀 “Aglient N8975A” 進行混頻器雜訊指數之量測，由於本電路設計採取 on-wafer probe 量測，因此在量測仍需架設探針台，將訊號導入至晶片。量測雜訊指數時，需先外接一台信號產生器 (signal generator) 以提供 LO 訊號以對混頻器進行切換，並經由 NFA 經由 GPIB 介面控制該 LO 訊號，並先進行 NFA 校正，再以如下接線方式進行量測，如圖 3.16。由於混頻器為頻率轉換的元件，因此在進行 NFA 的校正動作時，除了本機校正(calibration)外，仍須對 RF 頻率及 IF 頻率做損耗補償；在做本機校正時，一般來說應先確保 NF 的誤差在 ± 0.2 dB 以下，Gain 在 0.2 dB 以下。另外，在做損耗補償時，由於本電路為寬頻設計，因此將以全頻段補償為主，並輔以 substrate 測試片，將連接 DUT 與 NFA 的線路電纜線等可能造成損耗的器材連接至 NFA 以及探針台上，當 RF 頻段(全頻段補償)及 IF 頻段的損耗量測完後，分別帶入 NFA 中，則完成整體雜訊指數的校正。

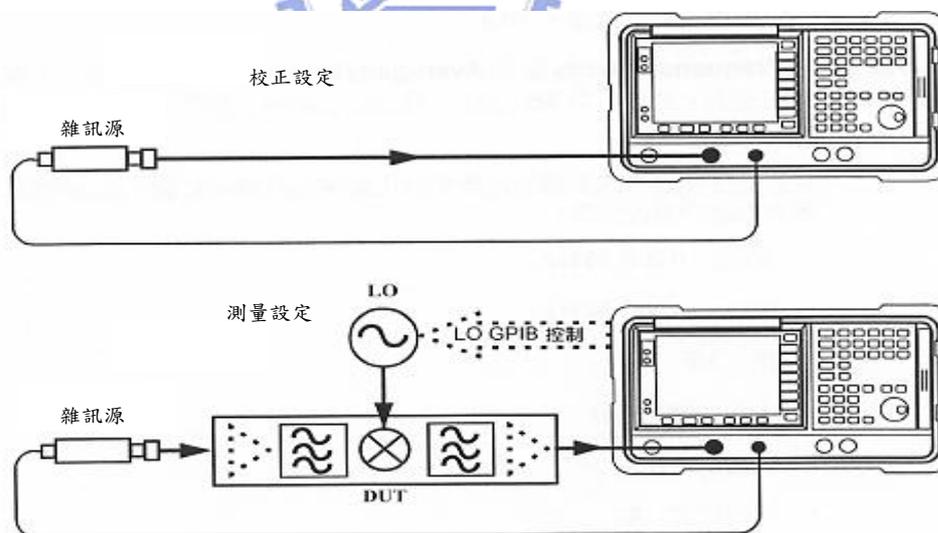
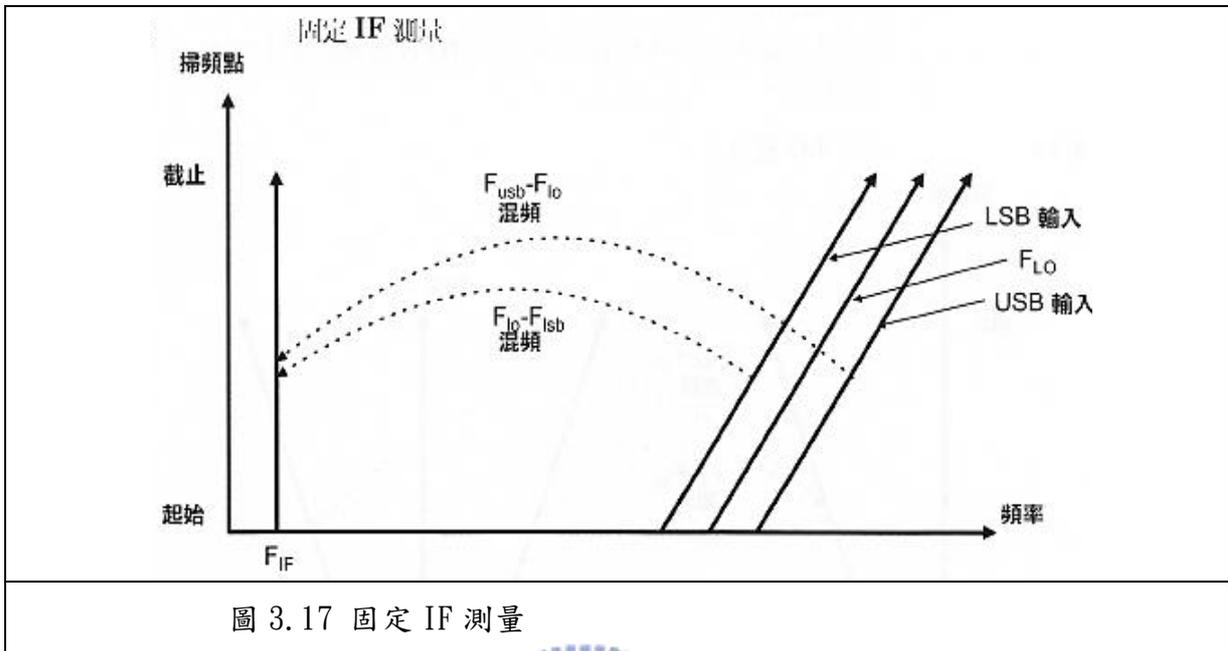


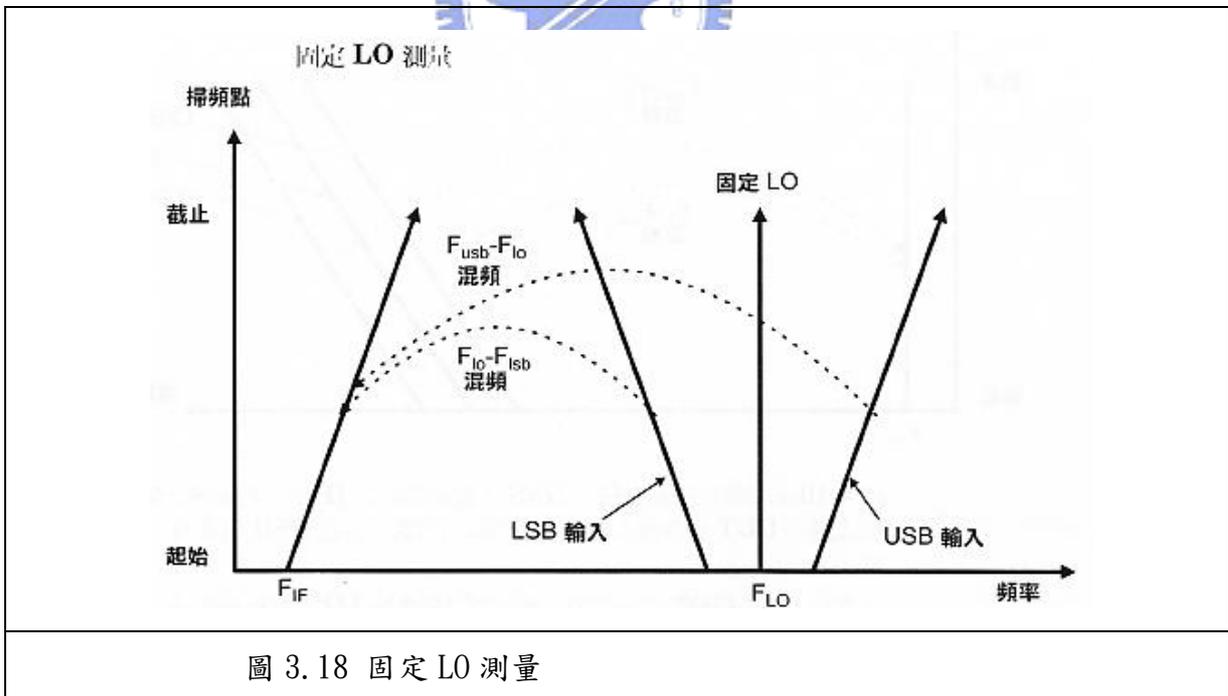
圖 3.16 雜訊指數分析儀示意圖

在此我們以 $IF=RF-LO$ 為 USB 量測，而量測方式一般來說以固定 IF，如圖 3.17，與固定 LO，如圖 3.18，兩種方式為主，由於本論文所設計的混頻器其 RF 為涵蓋整個超寬頻頻段，因此我們以固定 IF 做為雜訊指數的考量：

A. 固定 IF: 設定需要的 IF 頻率，量測所設定的 RF 頻率範圍，則 NFA 提供外部 LO 同時掃動頻率，而進行量測，示意圖如下



B. 固定 LO: 設定需要的 LO 頻率，設定螢幕欲觀察到的 IF 頻率範圍，則 NFA 自動提供 RF 掃頻而同時量測到 IF 的掃頻結果



透過以上的雜訊量測，可同時得到雜訊指數及轉換增益，一般來說，NFA 所量到的轉換指數較用頻譜分析儀搭配 LABVIEW 量測準確度高，其原因稍後將詳述。

3.4.2 P1dB、IIP3 量測

正確量測 RFIC 的 P1dB 與 IIP3 在整個混頻器甚至整個 RFIC 電路系統中是相當重要的。由於在高頻的量測中，線材與元件間的損耗必須仔細的考慮進來，因此在量測前必須以儀器建構所有連接線如 Balun、纜線及 DC 阻隔等的頻率對損耗的參考表，待正式量測時，帶入 LABVIEW 進行計算。詳細的 P1dB 量測示意如圖 3.19。在 DC 部分，由於 CIC 所提供的 DC Probe Card 在探針處有提供 bypass 大電容以避免輸出訊號在低頻發生振盪，而造成量測的不準確性，因此在 DC 偏壓方面，本論文所提供的電路均以 DC probe 作為 DC 偏壓的考量。LO 部份由於需要兩相反信號對混頻器進行切換動作，因此需額外增加 balun，然由於超寬頻的頻段涵蓋範圍相當廣，因此在量測轉換增益對頻率的相對關係時，需更換不同 balun 以維持訊號能有正確的 180 度相位差。另外，由於本混頻器設計 IF 為 100MHz，然而低頻外接 balun 在製作上有其困難，因而採取單端輸出，另一端則掛以 50 歐姆 terminate。

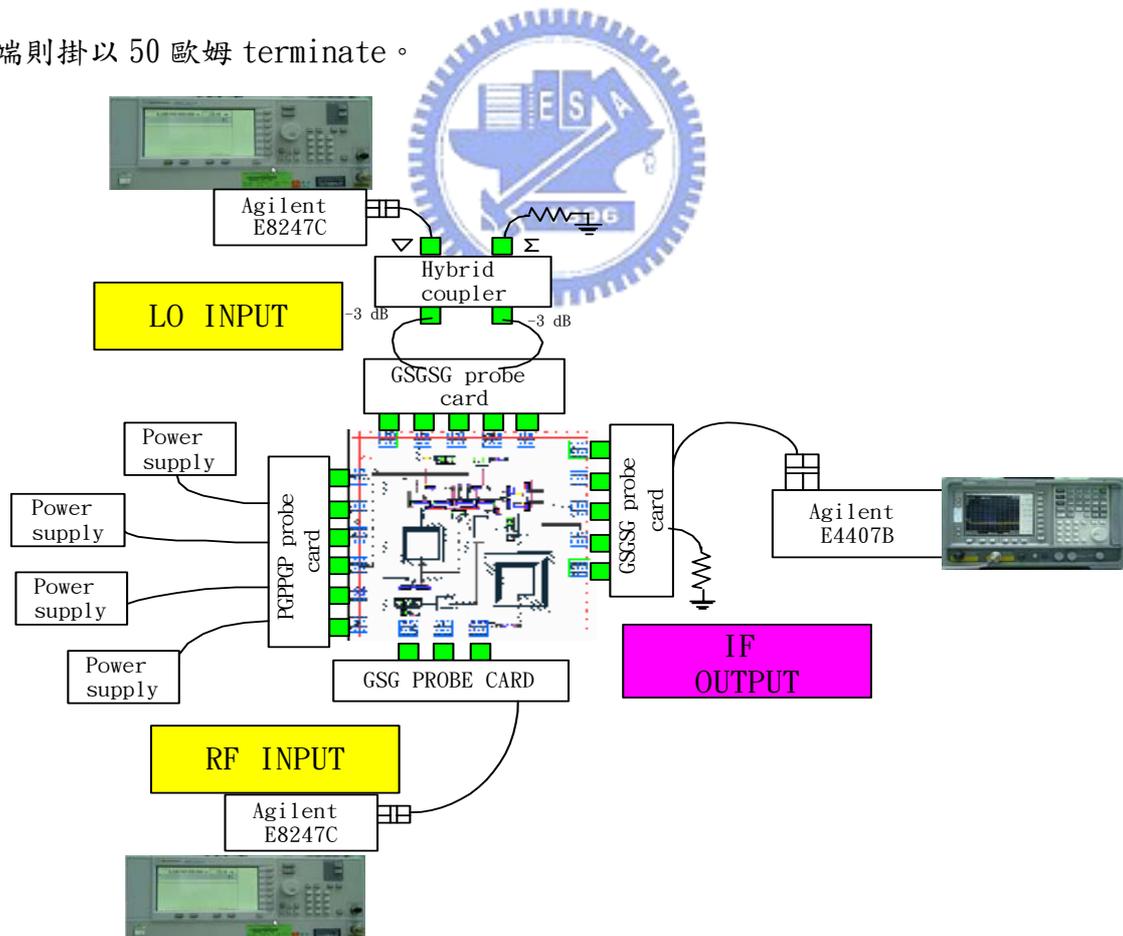


圖 3.19 P1dB 測量示意圖

IIP3 即輸入三階截斷點，因此需使用兩個不同頻率的弦波信號，將其輸入至一非線性系

統中，使其在輸出端產生多項弦波信號，且其頻率值為兩輸入訊號頻率的和或差值，亦稱為交互調變。因此在量測系統架設上，須以兩訊號產生器，產生兩相近的 RF 訊號，並透過 Balun 將兩訊號結合，其量測示意如圖 3.20。因此其輸出端將出現如圖 3.21 的多階調變項。

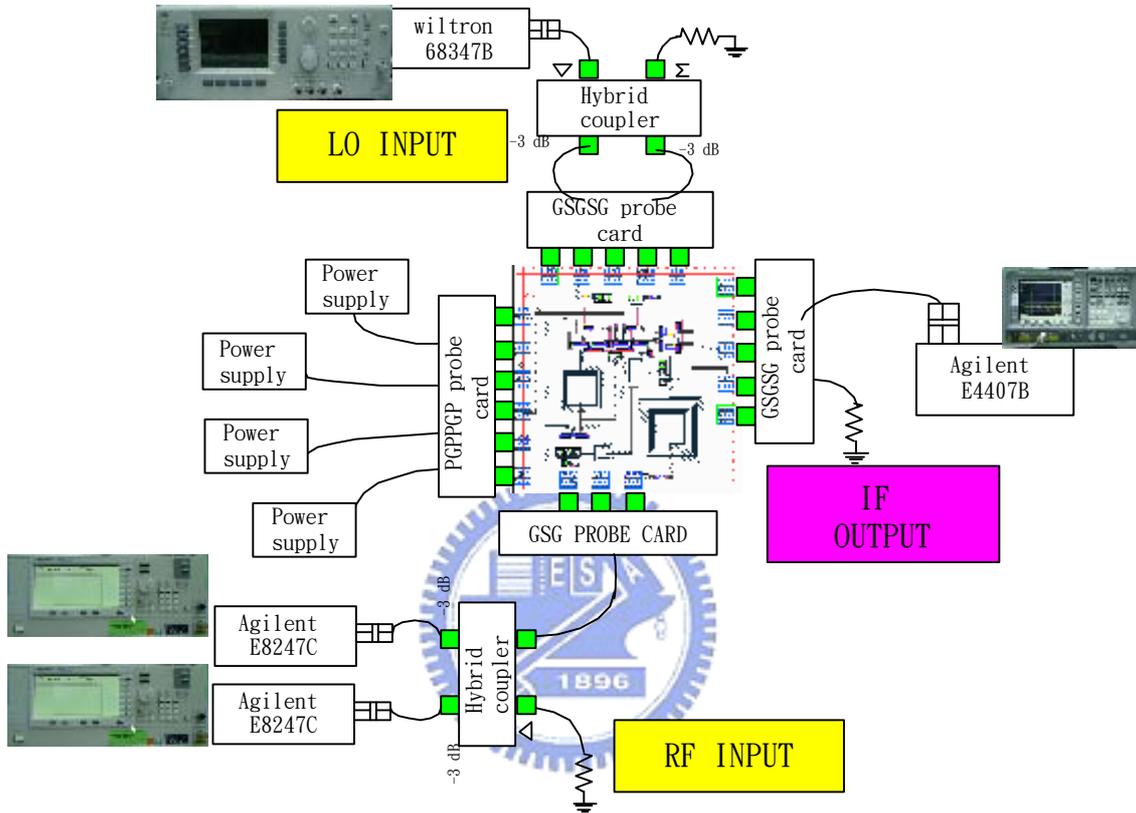


圖 3.20 IIP3 量測示意圖

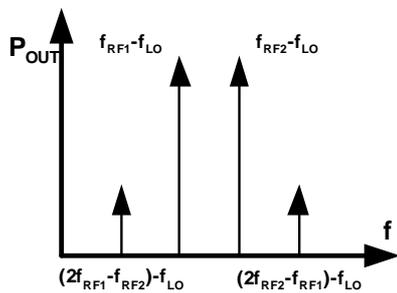


圖 3.11 IIP3 輸出頻譜示意圖

第四章

CMOS 寬頻降頻混頻器之實作

在本章節中，將提出多種不同的寬頻混頻器之架構，並加以設計，實作與量測。

4.1 簡介

由於不同的通訊系統所使用的頻率範圍並不相同，因此要實現一個適用多規格的接收機其困難之處就在於如何去設計一個電路使其在所需應用的頻段範圍內都能有相同的功能，若是因此而去設計多個功能相同但應用頻率不同的電路來符合多重規格或不同的通訊系統，就成本來說算是某種程度的浪費且缺乏效率，有鑑於此，本論文將集中在設計出適用於 1.5~2.5 GHz 之頻段範圍內皆可應用的降頻混頻器，以滿足在此頻段內的商業應用如 GSM 及 WLAN 等，以及應用於目前最新的超寬頻(UWB)3.1~10.6 GHz 頻段之超寬頻混頻器，此外，並以傳統之 Gilbert Cell 混頻器以 LC 匹配電路實作更寬頻的混頻器；在量測部份透過國家晶片實驗中心(CIC)所提供的頻譜分析儀(Agilent E4407B)及雜訊指數分析儀(Agilent N8975A)對寬頻混頻器之轉換增益及雜訊指數做一量測，並探討此兩種不同之儀器在量測過程中所造成的誤差及其可能發生誤差的原因，最後，由於考慮到量測環境以及改善功率消耗為前提下，設計出一個適用於 3.1~10.6 GHz 之超寬頻頻段，並以 RF 輸入端及 LO 輸入端均為單端輸入用以避免在量測過程中需更換 Balun 所造成的誤差，且 IF 端為單端輸出之降頻微混頻器。

4.2 適用於 1.5-2.5 GHz 多規格之降頻混頻器

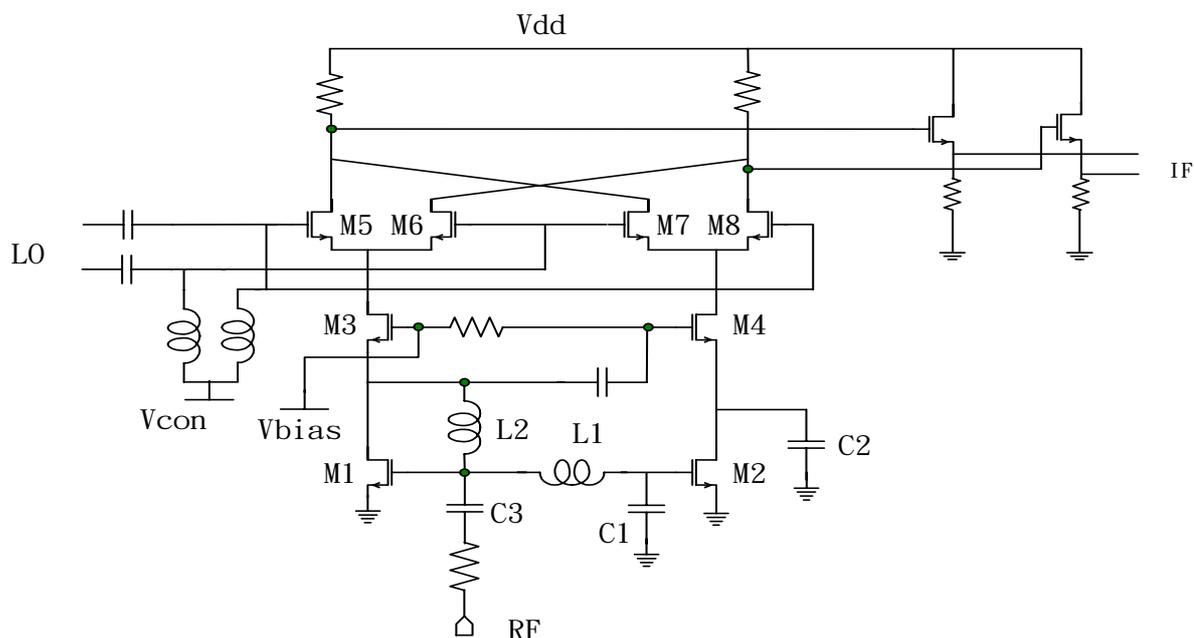


圖 4.1 適用於 1.5~2.5 GHz 之寬頻混頻器

本電路為一單端 RF 訊號輸入之降頻混頻器，如圖 4.1，其具備了寬頻的輸入特性，且經過適當的設計下，其電路特性可操作於 1.8V 到 3.3V 之區間，也由於不同的供應電壓，使得電路在轉換增益及線性度有著多重的表現，能夠適用於不同的系統規格，因此對於電路設計者而言，此一可調整式的寬頻混頻器在設計電路參數上將更具有彈性[11]。

傳統的 Gilbert Cell 混頻器其差動輸入訊號透過轉導級轉換成電流訊號後，產生一對反相的輸入電流，再經由切換級輸出至負載級而產生了混頻的動作。在本電路中，傳統 Gilbert Cell 的電壓-電流轉換級由共閘-共源級所取而代之，如圖 4.2 所示。電晶體 M1 和 M2 構成了一個單端轉雙端、電壓-電流的轉導級電路，其中 M1 和 M2 為一相同尺寸大小且工作在飽和區，而 DC 偏壓電流也相同下，因此 M1 和 M2 的電流公式可表示為：

$$I_{CS} = \frac{\mu C_{ox} W/L}{2} (V_{bias} + V_{RF} - V_S - V_{th})^2 \quad (4.1)$$

$$I_{CG} = \frac{\mu C_{ox} W/L}{2} (V_{bias} - V_{RF} - V_S - V_{th})^2 \quad (4.2)$$

由上式可知，共閘-共源級的汲級電流可表示為一對差動信號的函數。因此，本混頻

器不需額外的 Balun 即可將輸入之 RF 訊號轉變成差動電流。

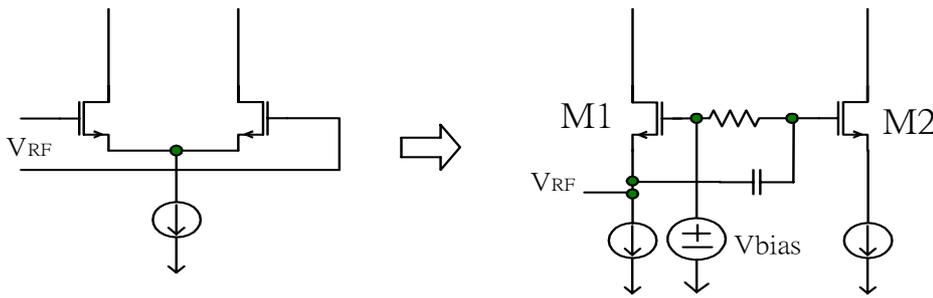


圖 4.2 共閘-共源轉導級

本電路為一個可以工作在 1.9 伏特到 3.3 伏特區間中，1.9GHz 的 CMOS 降頻混頻器，此架構為利用一共閘-共源級將 RF 電壓訊號平均轉換成兩個反相之電流訊號，經過切換電晶體以達成混頻的動作。其中 RF 信號經由電容 C3 和電感 L2 所組成的匹配網路及 AC 交流訊號隔絕電感 L1 將訊號餵入至 M3 的源級及 M4 的閘級，由上式推得，此 RF 訊號可因此而產生反向小訊號電流，而電容 C1 則可旁通(Bypass)漏至 M2 閘級的高頻訊號至接地端，電容 C2 則用於旁通 M2 所產生的雜訊至地端。而 M1 及 M2 則用做電流鏡(current mirror)以提供 M3 和 M4 兩電晶體相同的直流偏壓。

量測結果

本論文提出的寬頻混頻器電路，使用 Agilent ADS 模擬軟體以及 tsmc 0.18-um Mixed Signal CMOS 製程的 RF model 實作其在操作電壓為 1.9V 到 3.3V 下的高頻特性。本電路設定為 RF 頻率 1.9 GHz，LO 以及 IF 頻率為 1.8GHz 及 100MHz，RF 端的輸入功率為 -35dBm，LO 端輸入功率為 0dBm，其在 RF 輸入端的反射損耗經量測後於 1.7GHz~2.3GHz 低於 -10dB，如圖 4.3 所示。LO 輸入端的反射損耗經量測後於 1.5GHz~2.2GHz 均低於 -8dB，如圖 4.4 所示。當 LO 端的輸入功率由 0dBm 增加至 5dBm 時，如圖 4.5，可得知其轉換增益將隨之改變，然而由理論上可知，轉換功率、線性度及雜訊指數存著 trade-off 的關係，當轉換功率增加時，相對的諧波干擾的功率也會增加，因此，高轉換功率值將使得諧波干擾對於欲接收訊號的影響變大，因而間接影響到欲接收訊號的功率範圍，因此，在選用適當的 LO 功率值及整體電壓電流的操作區間，電路設計者可得到需要的 IIP3 以及轉換增益。

在選定供應電壓 V_{dd} 為 1.9 伏特，LO 端的輸入功率為 2dBm 時，來量測混頻器的轉換增益，由於 CIC 並無提供低頻段的 Balun，因此之後的轉換增益都以單端輸出為主，當 RF 端的輸入功率為 -35 dBm 時，轉換增益為 -4 dB，若 RF 輸入功率由 -35 dBm 增加至 0 dBm 時，如圖 4.6，則在輸入功率為 -8 dBm 時其輸出功率低於理想值 1 dB 左右，由此可知其 P1dB 約為 -8 dBm，當使用 Two-tone 測試時，兩輸入頻率分別為 1.9100 GHz 以及 1.9101 GHz，RF 端得輸入功率由 -35 dBm 增加至 -5 dBm 時，其一階響應及三階響應如圖 4.7 所示，RF 輸入功率約等於 2 dBm 時，其三階響應對電路的影響將大於一階響應。在隔離度上，LO-RF isolation 均小於 -55dB，LO-IF isolation 均小於 -35dB，如圖 4.8，4.9。

若選定 V_{dd} 供應電壓為 2.5 V，LO 端的輸入功率為 5 dBm 時如圖 4.10，來量測混頻器的單端轉換增益，當 RF 端輸入功率為 -35 dBm 時，單端輸出之轉換增益約為 0 dB，若 RF 輸入功率由 -35 dBm 增加至 0 dBm 時，如圖 4.11，則在輸入功率為 -5 dBm 時其輸出功率低於理想值 1 dB 左右，由此可知其 P1dB 約為 -5 dBm。當使用 Two-tone 測試時，兩輸入頻率分別為 1.9100 GHz 以及 1.9101 GHz，RF 端得輸入功率由 -35 dBm 增加至 -5 dBm 時，其一階響應及三階響應如圖 4.12 所示，RF 輸入功率約略等於 4 dBm 時，其三階響應對電路的影響將大於一階響應。在隔離度上，LO-RF isolation 均小於 -58 dB，LO-IF isolation 均小於 -38 dB，如圖 4.13、4.14。

若選定 V_{dd} 供應電壓為 3.3V，LO 端的輸入功率為 6dBm 時如圖 4.15，來量測混頻器的單端轉混增益，當 RF 端輸入功率為 -35dBm 時，單端輸出之轉換增益約為 1.2 dB，若 RF 輸入功率由 -35 dBm 增加至 0 dBm 時，如圖 4.16，則在輸入功率為 -5 dBm 時其輸出功率低於理想值 1 dB 左右，由此可知其 P1dB 約為 -5 dBm。當使用 Two-tone 測試時，兩輸入頻率分別為 1.9100 GHz 以及 1.9101 GHz，RF 端得輸入功率由 -35 dBm 增加至 -5 dBm 時，其一階響應及三階響應如圖 4.17 所示，RF 輸入功率約略等於 4 dBm 時，其三階響應對電路的影響將大於一階響應。

當使用雜訊指數分析儀測量雜訊指數及轉換增益時，如圖 4.18，可看出當供應電壓為 2.5 V 時，其雜訊指數約為 20 dB。

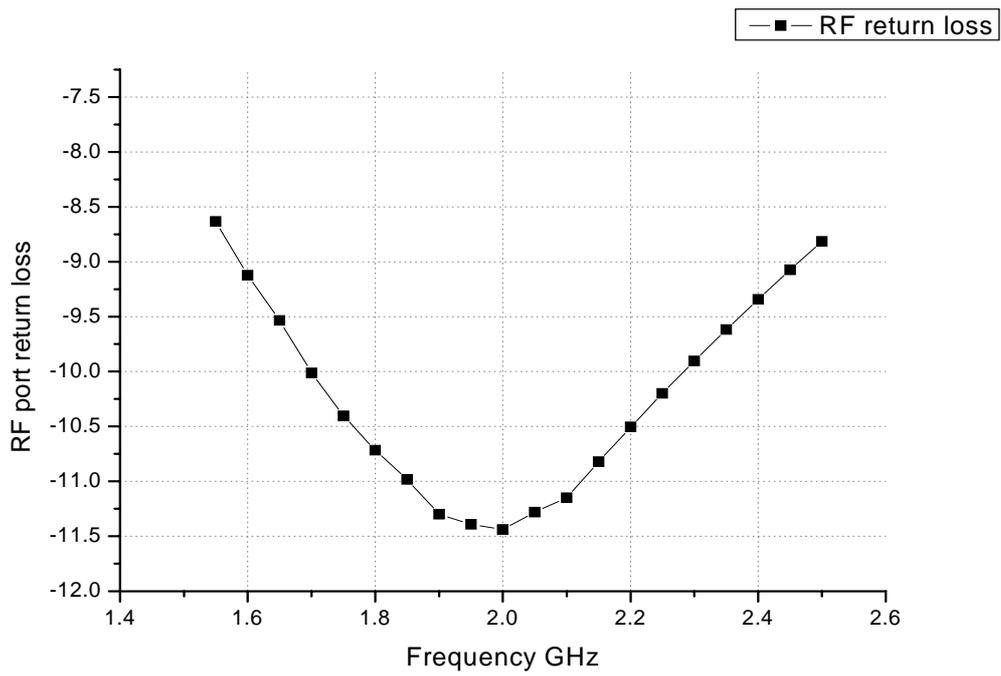


圖 4.3 RF 端反射係數(1.9V)

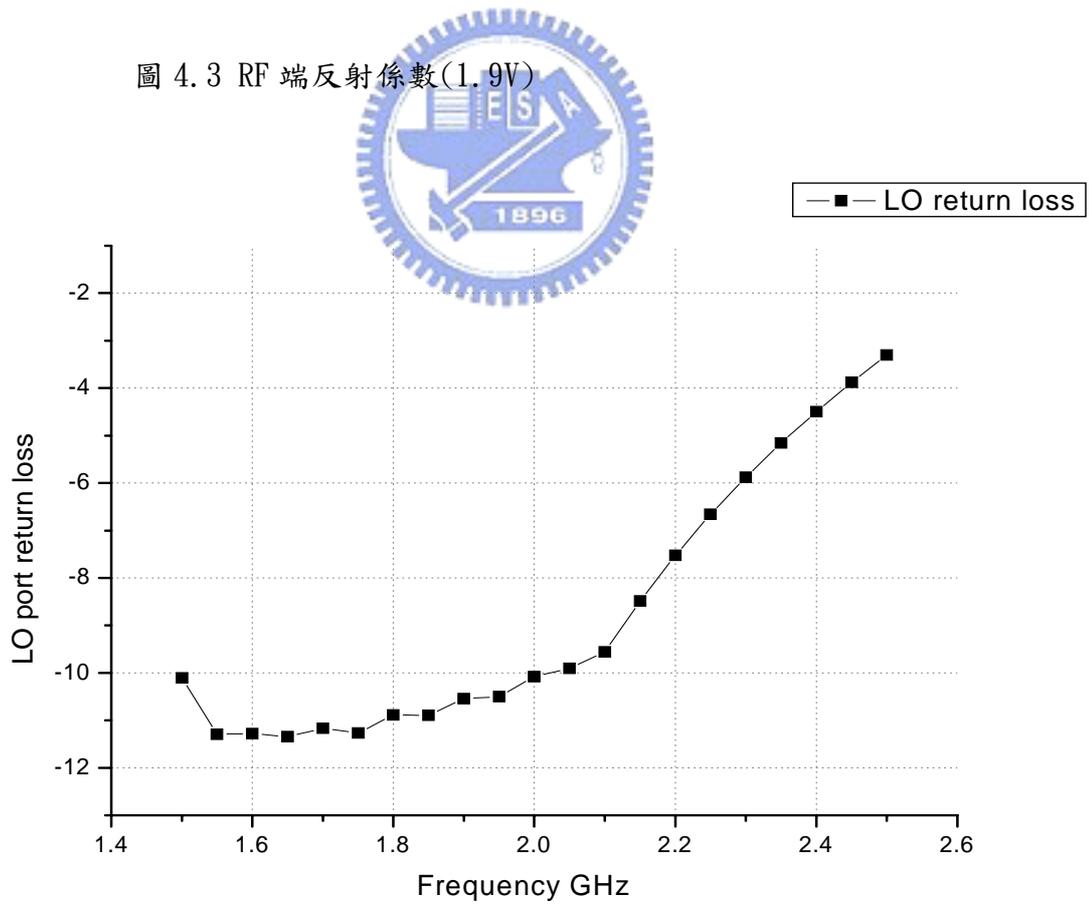


圖 4.4 LO 端反射係數(1.9V)

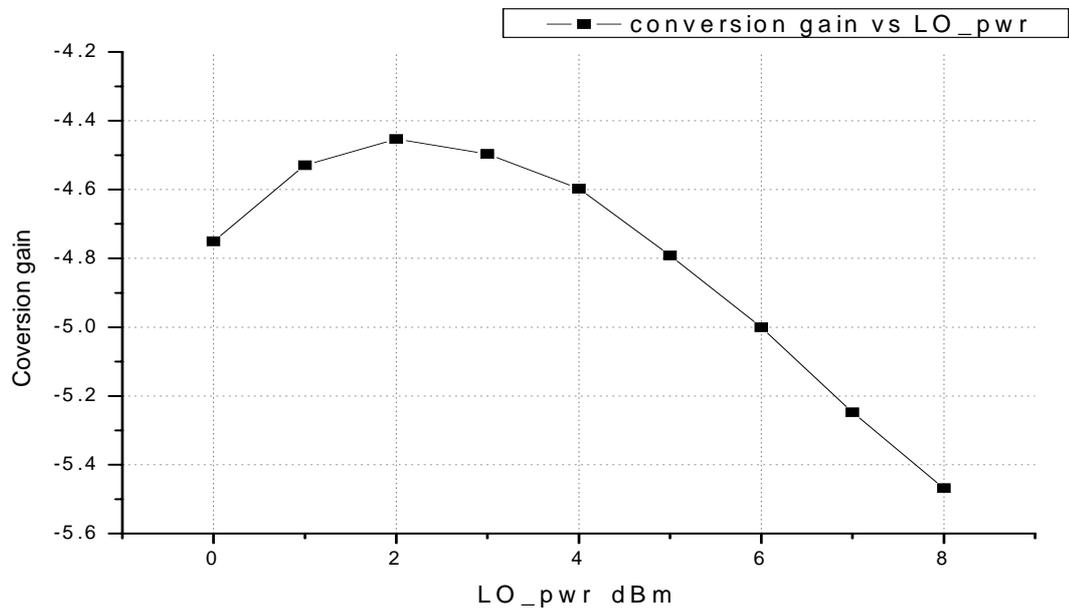


圖 4.5 轉換功率對LO輸入功率的變化(1.9V)

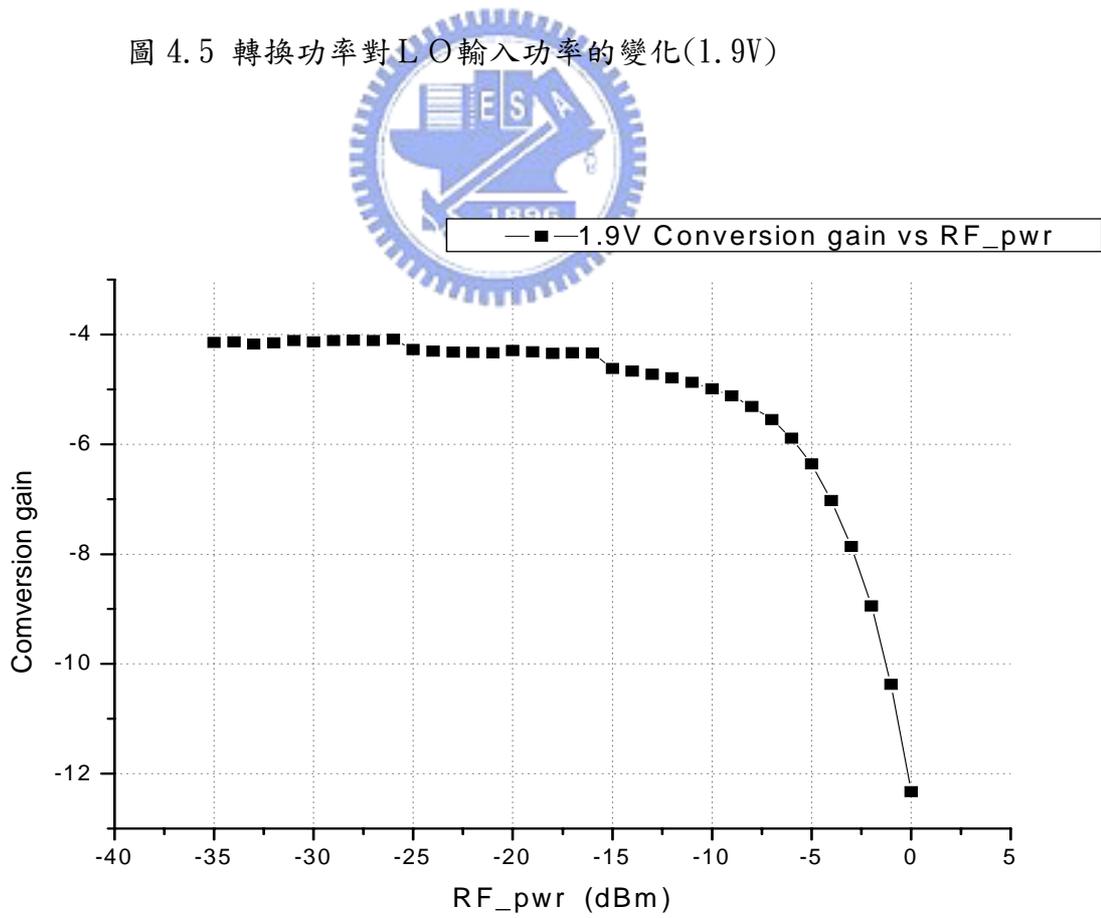


圖 4.6 轉換增益 (1.9V)

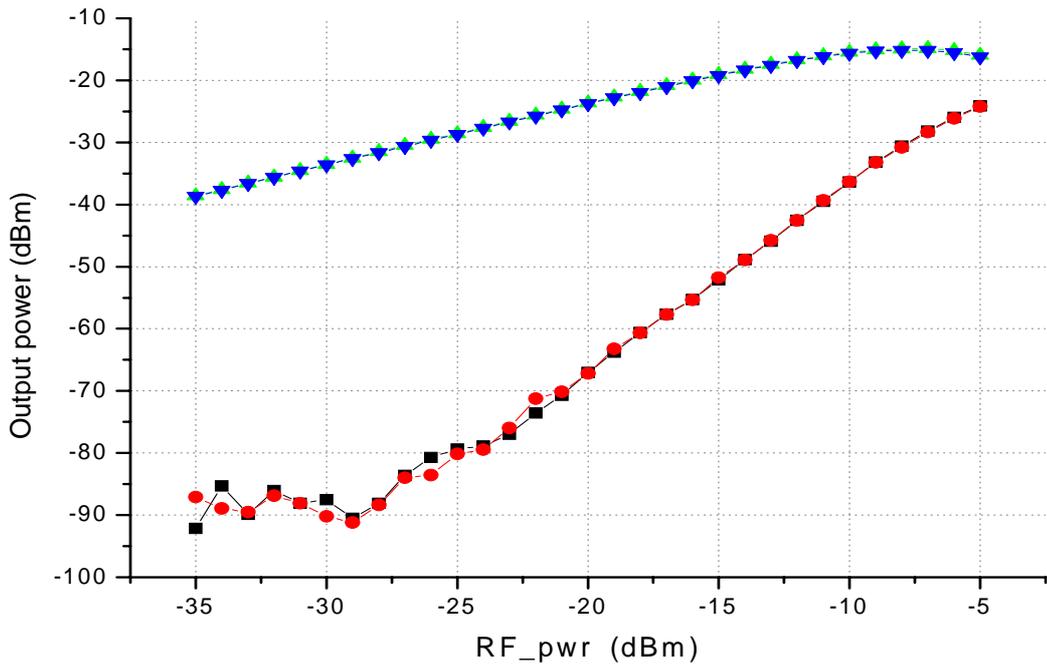


圖 4.7 使用 two-tone 測試模擬的 IIP3 值 (1.9V)

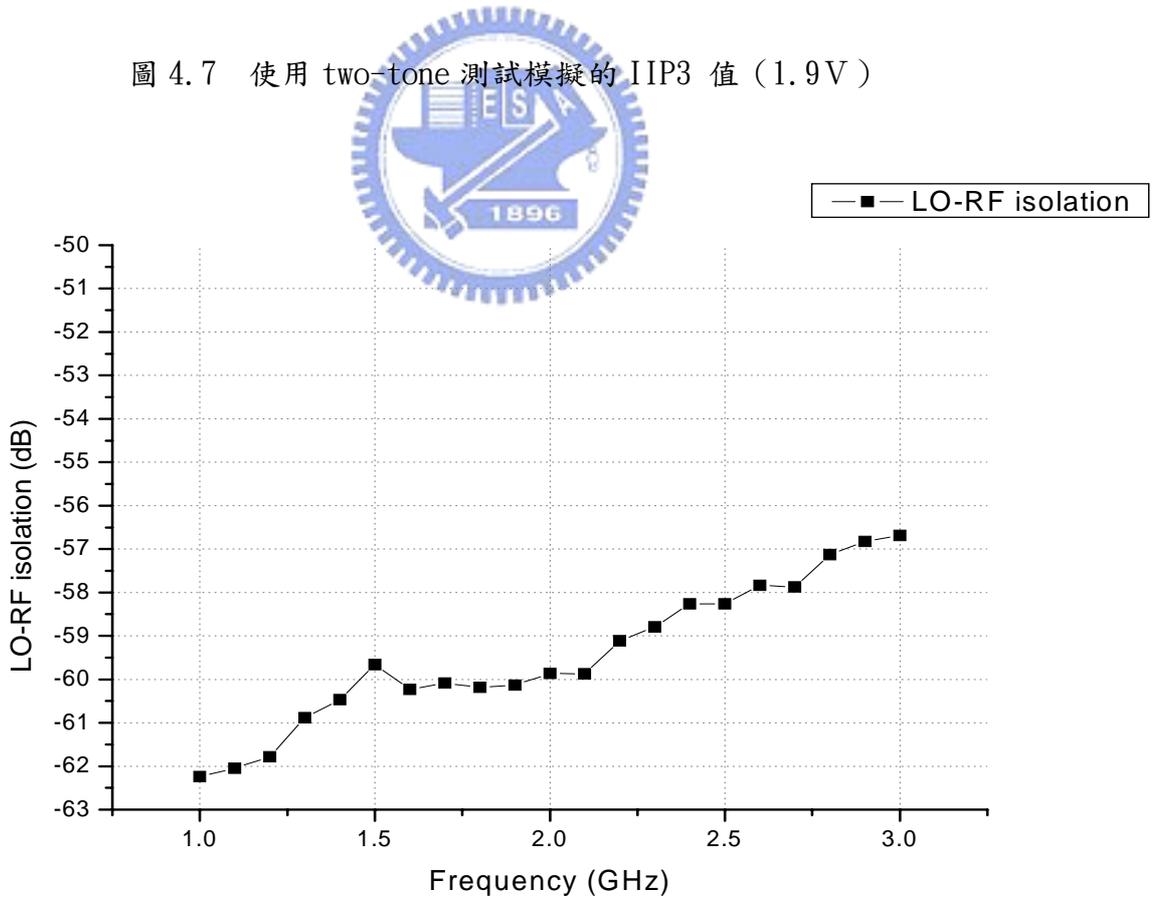


圖 4.8 LO-RF 隔離度(1.9V)

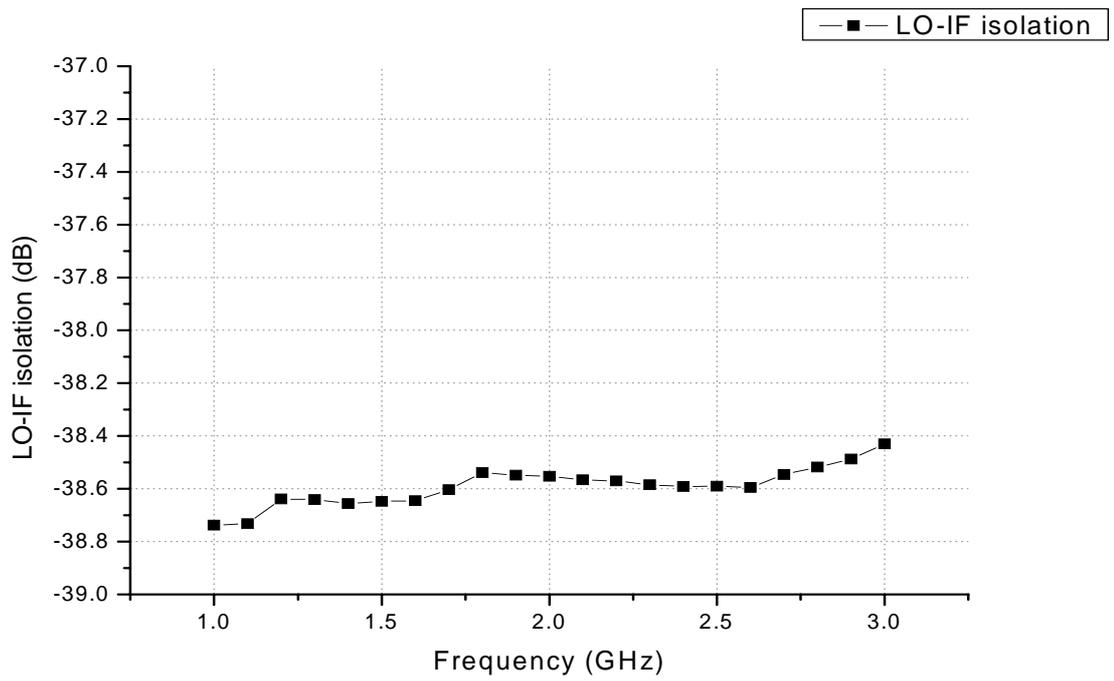


圖 4.9 LO-IF 隔離度 (1.9V)

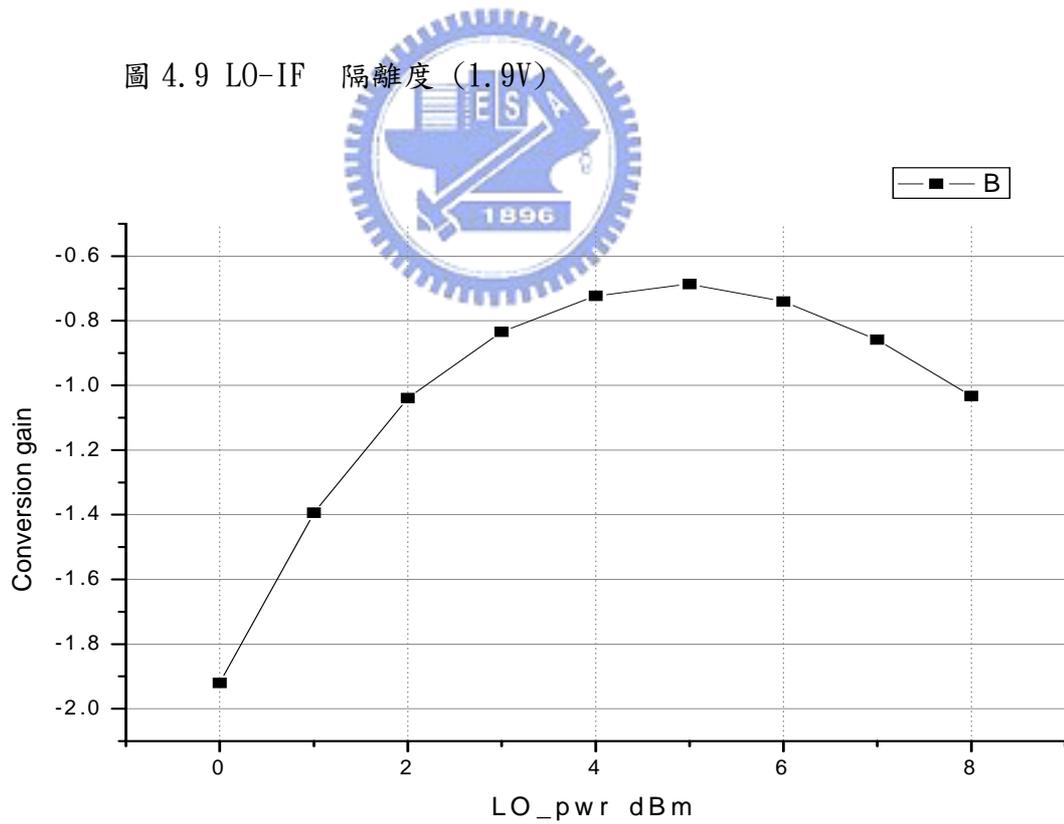


圖 4.10 轉換功率對LO輸入功率的變化(2.5V)

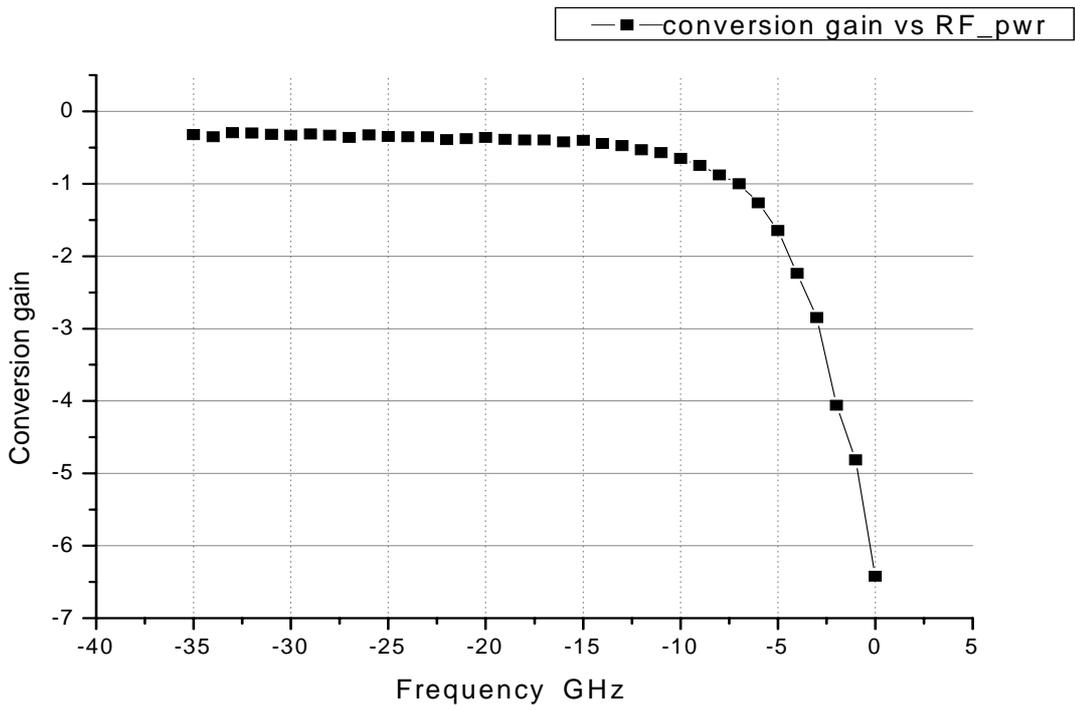


圖 4.11 轉換增益(2.5V)

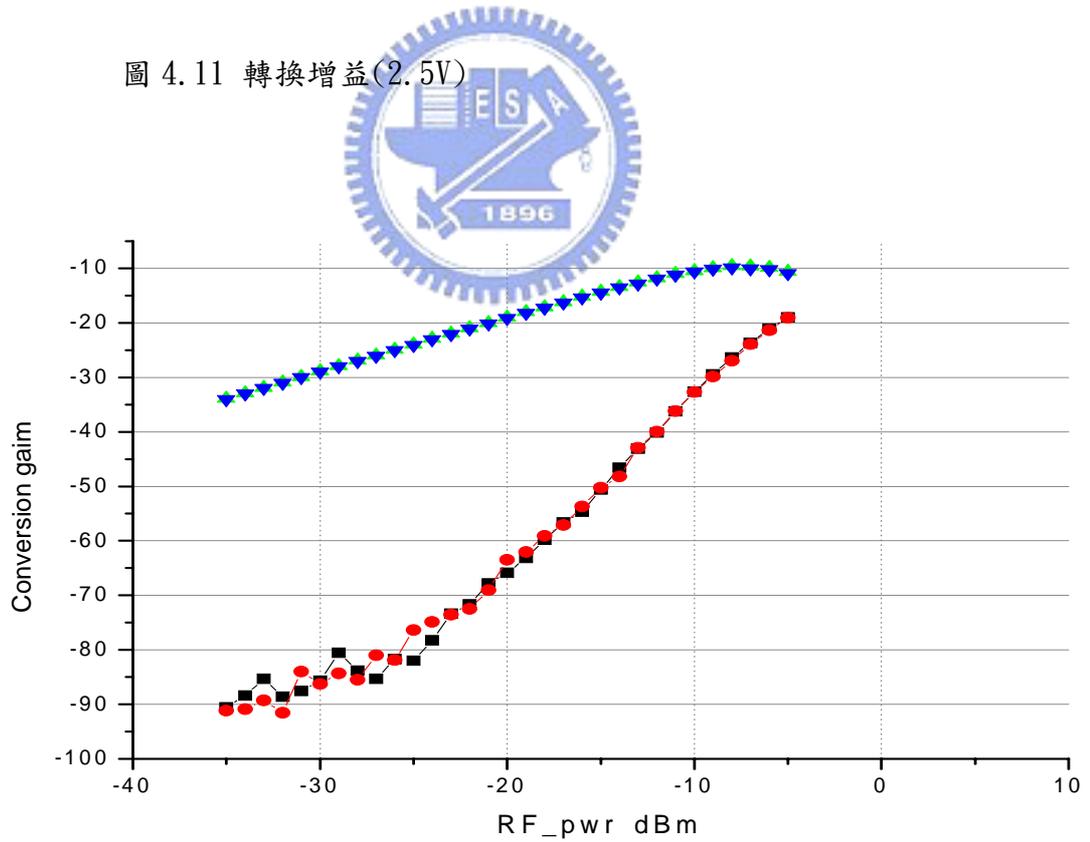


圖 4.12 使用 two-tone 測試模擬的 IIP3 值 (2.5V)

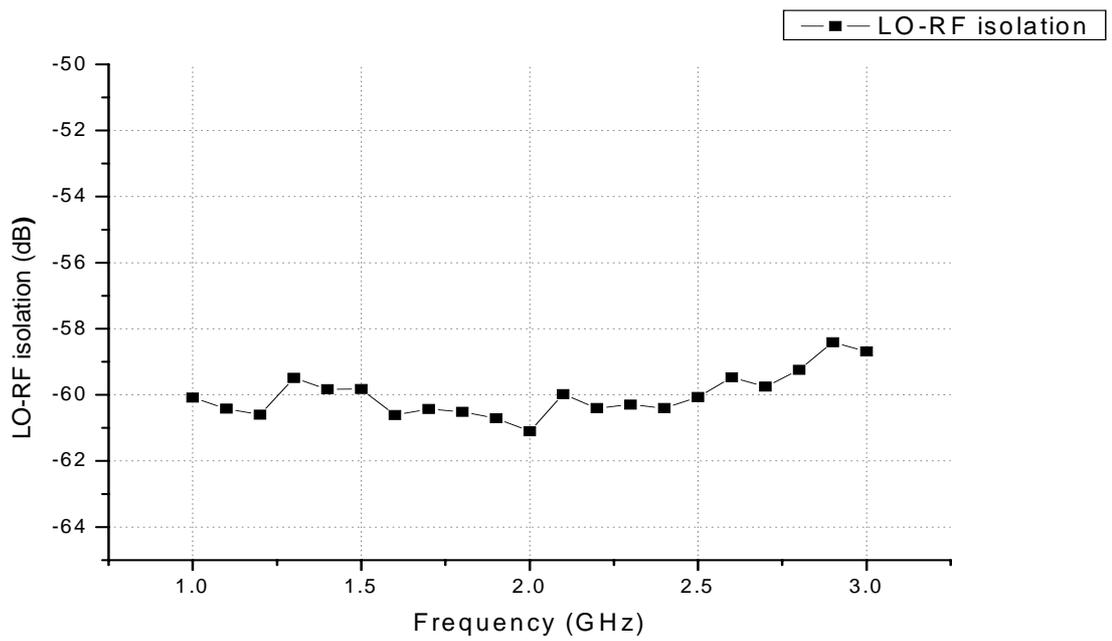


圖 4.13 LO-RF 隔離度 (2.5V)

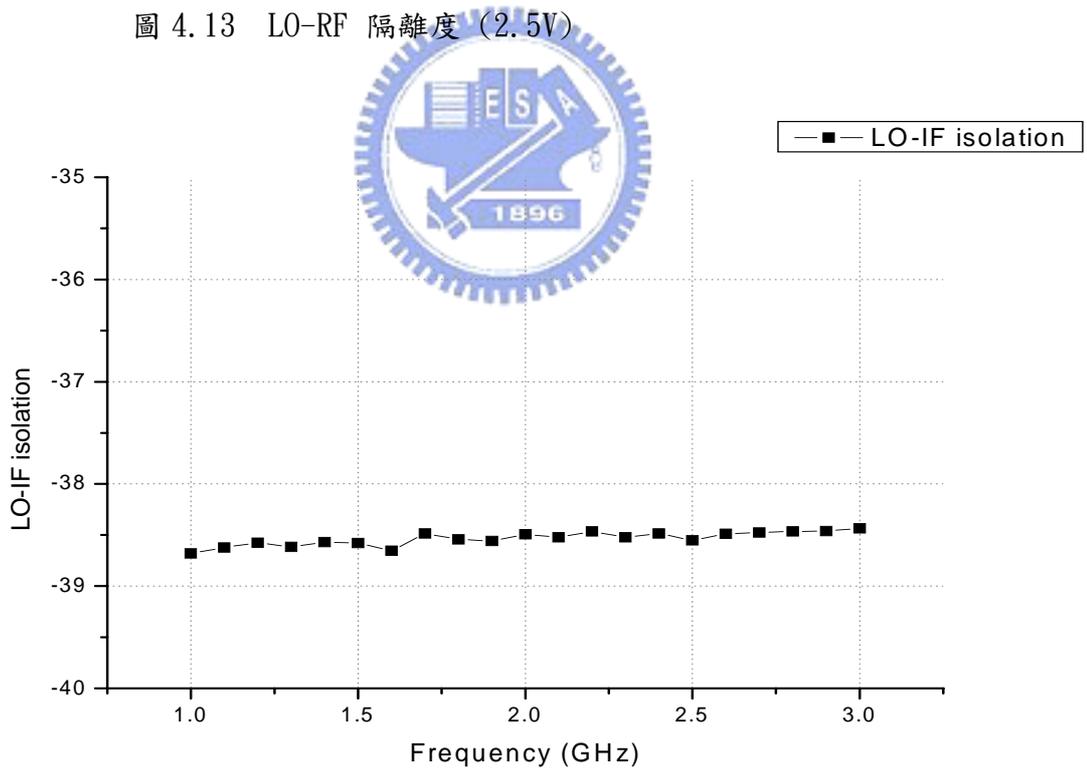


圖 4.14 LO-IF 隔離度(2.5V)

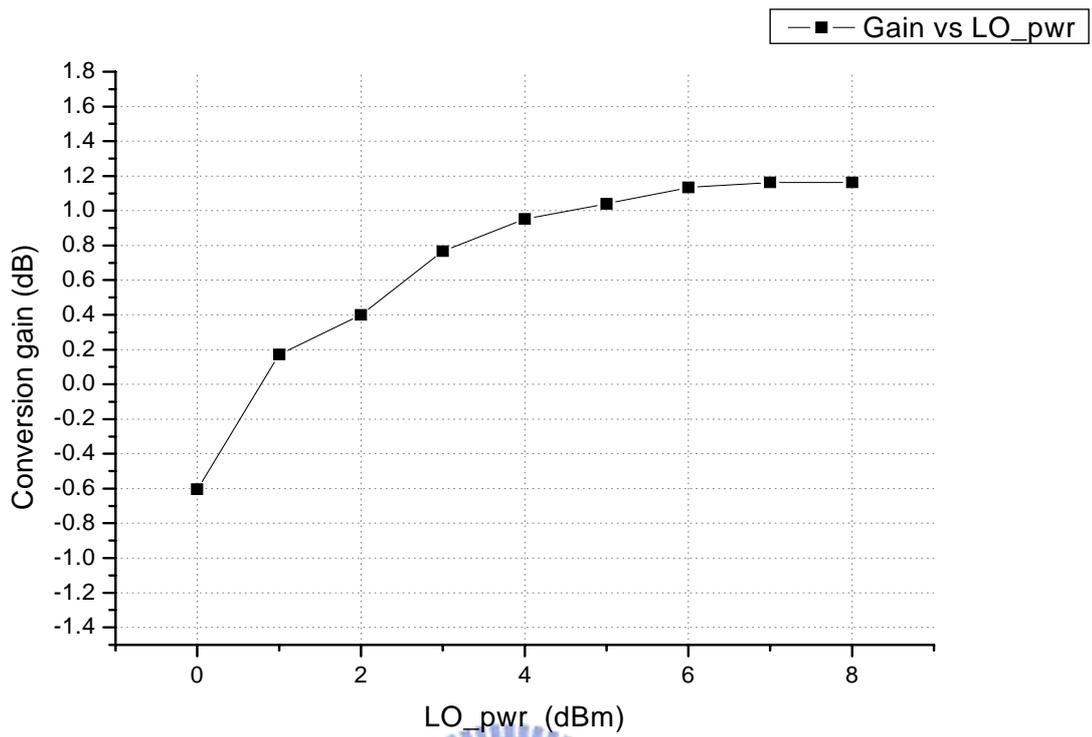


圖 4.15 轉換功率對LO輸入功率的變化(3.3V)

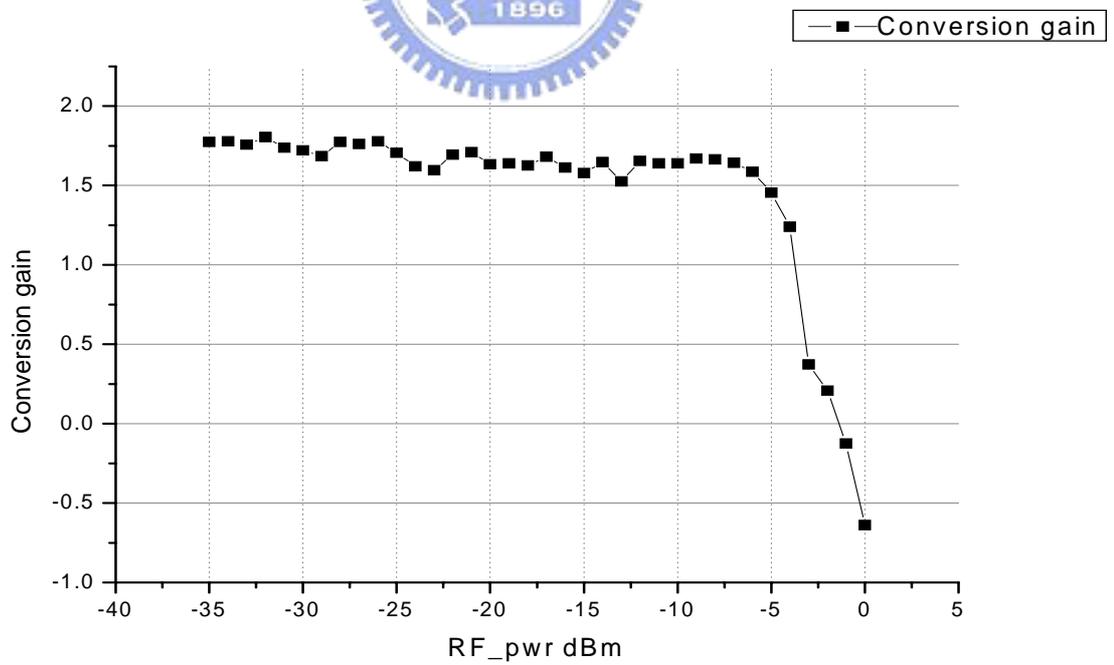


圖 4.16 轉換增益(3.3V)

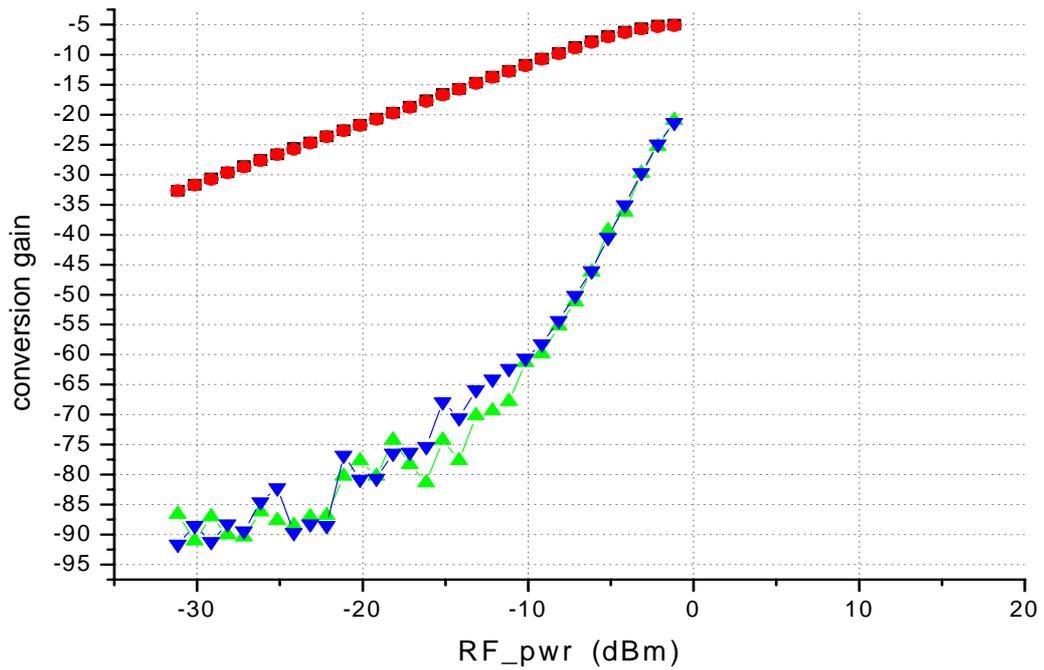


圖 4.17 使用 two-tone 測試模擬的 IIP3 值 (3.3V)

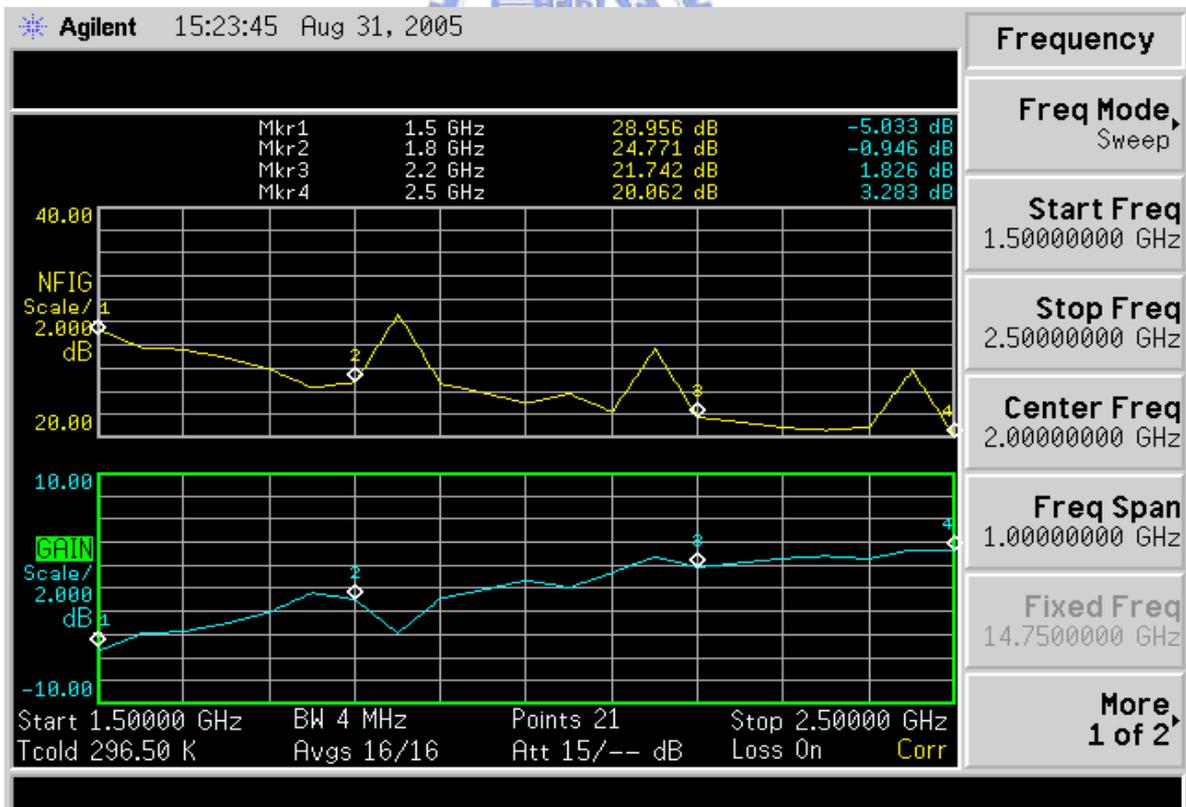


圖 4.18 雜訊指數與轉換增益

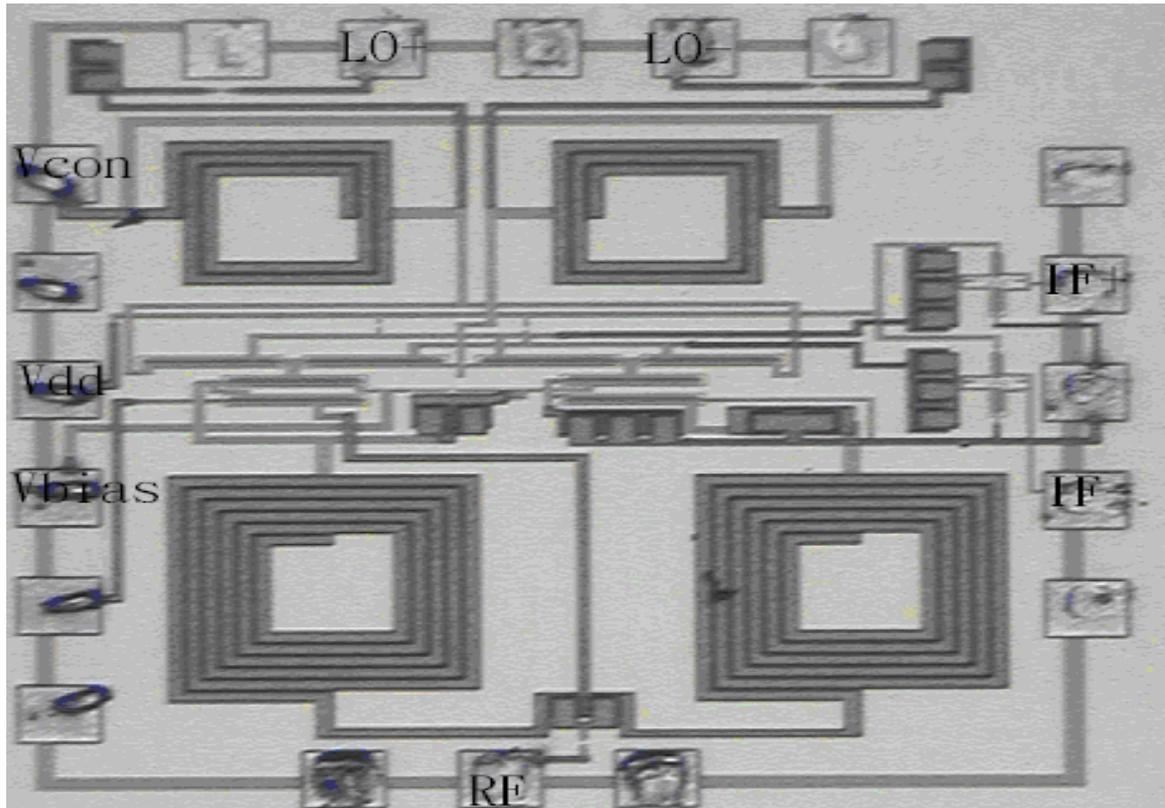


圖 4.19 chip die (1.1*1.075 mm)

表 4.1 RF 單端輸入之 1.5~2.5 GHz 之降頻混頻器量測比較

TSMC 0.18um CMOS Technology			
	Measurement		
RF Frequency	1.9 GHz		
IF Frequency	100 MHz		
Supply volt. VDD	1.9 Volt	2.5 Volt	3.3 Volt
RF reflection coefficient	-11.5 dB(1.9 GHz)		
LO reflection coefficient	-11 dB(1.8 GHz)		
RF-LO isolation	<-38.6 dB	<-38.5 dB	NA
LO-RF isolation	<-60 dB	<-61 dB	NA
IIP3	2 dBm	4 dBm	4 dBm
1dB compression point	-8 dBm	-5 dBm	-5 dBm

Conversion gain	-4 dB (Single output)	0 dB(Single output)	1.2 dB(Single output)
Noise Figure		20 dB	
DC current	16 mA	29 mA	40 mA

結果與討論

本次電路設計以共閘-共源極將單端 RF 訊號轉換成雙端的電壓電流轉導級取代傳統 Gilbert Cell 的轉導級，並搭配適當的電感電容匹配電路，使得 RF 輸入端匹配由 1.7 GHz 至 2.3 GHz 均低於-10 dB，並透過不同的供應電壓，使得混頻器能有不同的特性，經實際下線量測後，本電路 DC 電流與模擬情況相近，且線性度及轉換增益均滿足要求，有了此次下線經驗將有助於設計更高頻段且寬頻的混頻器以適用於超寬頻的系統規格。



時間較短外，所需的 LO 功率也比較少。另外，在考量電晶體的尺寸時，由於過大的電晶體，其接面電容 C_{gs} 會使得 RF 訊號與 LO 訊號之間的隔離不好，因此 LO 訊號容易透過 C_{gs} 耦合至 RF 端，而與原有的 LO 訊號做自我混頻(Self-mixing)，因而造成了輸出的直流偏移(DC Offset)的現象發生。然而，若電晶體尺寸過小，則偏壓時所需的 V_{gs} 較大(因通過的 DC 電流不變下)，一方面會使得汲極電壓因而偏高而導致輸出擺幅(Output swing)減小，其次則是要使電晶體完全開關的 LO 訊號功率也勢必要增加。

因此，為了使寬頻的 LO 訊號都能儘可能的進入切換級電晶體，本電路在設計時利用了電晶體本身的寄生電容和額外佈局時所繪的走線小電感，儘可能的減少訊號的反射，以達到良好的阻抗匹配。

RF 輸入級

傳統的 Gilbert Cell 混頻器其差動輸入訊號透過轉導級轉換成電流訊號後，產生了一對反相的輸入訊號，經由切換級而達到了轉換頻率的過程。然而為了能將差動的 RF 輸入訊號整合於晶片中，一般均使用 active balun 將單端輸入訊號轉為差動訊號，如下圖 4.21。

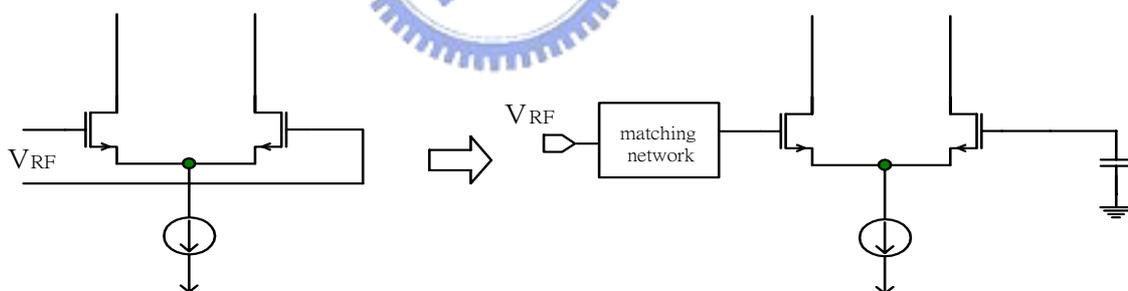


圖 4.21 傳統 active balun 之架構

由於此傳統的 active balun 其差動對為一端以電容旁通接地，因此其 RF 訊號僅為正常差動輸入的二分之一，故在選擇 active balun 時，保留上次電路的共閘-共源轉導級 M3、M4，如此則單端輸入的 RF 訊號能夠很輕易的轉換成一對反相的電流訊號。另外，為了要改善整體混頻器的頻寬，RF 端的寬頻輸入匹配將有助於減低訊號進入轉導電晶體 M3、M4 的反射，因此額外的電感-電容匹配電路(LC matching network)將如同人工的傳輸線(artificial transmission line)連接於電晶體 M3、M4 以達成寬頻匹配的目標。

電感 L1 則連接 RF 訊號和電流源電晶體之間，以避免 RF 訊號餽入至電流源。而電容 C1 則可旁通多餘的訊號及電流源電晶體所產生的雜訊。

另外此轉導級亦連結兩個 PMOS 電晶體 M1、M2，作為主動的電流注入(current injection)電路，額外的電流注入將改善整體混頻器的轉換增益及線性度，此外，由於 PMOS 的汲極連接至 NMOS 共閘-共源轉導級的汲極端，因此對訊號而言是一個相當大的阻抗，因此訊號將不會從 PMOS 流失。

IF 輸出級

在負載輸出阻抗方面，一般常見的作法是利用 PMOS 所構成的主動負載加上共模回授(Common-mode feedback)電阻所構成的負載，此主動負載的壓降最少可以降低至 PMOS 閘極與源極之間的飽和電壓，亦即 PMOS 的 $V_{DS}=V_{GS}-V_t$ ，其中 V_t 為 PMOS 的飽和電壓，如此便能調整 PMOS 電晶體的尺寸，使其同時滿足低跨壓及高阻抗的條件，但相對的，主動負載的缺點則是因為電晶體本身的輸出阻抗會隨著頻率的提高而下降，使得整體混頻器的等效輸出阻抗也會隨著頻率的變化而有所異動，因此，在負載阻抗的選擇下，本電路仍採用電阻作為輸出的寬頻阻抗，因為電阻所提供的阻值並不會因為頻率的的不同而有所改變，然而，在使用電阻作為輸出阻抗時，則需考慮使用電阻所導致的直流壓降。如果需要大的轉換增益，則所需的負載阻抗勢必要夠大，才能將電流訊號轉換為較大的電壓訊號，而過大的阻抗則造成了直流壓降，降低了底下切換級電晶體的汲極電壓值，繼而影響了整體線性度和轉換增益的表現。

因此，適度的選擇電阻作為輸出阻抗，以及採用電流注入級電路(current injection)以提高增益將是有需要的。

量測結果

本論文提出的共閘-共源極超寬頻混頻器電路，使用 Agilent ADS Circuit & momentum 模擬軟體分別以 TSMC 0.18um Mixed Signal CMOS 製程所提供的 RF model 進行電路模擬，以及使用 momentum 進行 EM 電磁模擬，由於 TSMC 於 tsmc_cm018rf_v3 版本中並無提供感值低於 1 nH 的小電感，因此於電路設計中必需以 EM 模擬軟體，以相對於 TSMC 提供的製程參數帶入 momentum 中，模擬出適合本電路的小電感以供寬頻匹配之用，然

由於模擬結果與實際下測試鍵(test key)量測過後的實際值略有誤差，使得在寬頻 RF 端反射係數與模擬結果略有出入，但整體來看，其量測結果均相當符合預期結果。

本電路設計其操作電壓最高為 3.5V，其 RF 頻率為 3~12 GHz，IF 頻率則設定為 100 MHz，而 LO 頻率則定為 RF-IF，RF 端的輸入功率為-35 dBm，LO 輸入端功率為 0 dBm，其在 RF 輸入端的反射損耗經量測後於 2~20 GHz 均低於-9 dB，如圖 4.22 所示。LO 輸入端的反射損耗經量測後於 4~20 GHz 均低於-7 dB，如圖 4.23，在選定最大的供應電壓 VDD 為 3.5 V、VM 為 2.5V、Vcon=1.48 V、Vbias=1.4 V 下 LO 端的輸入功率為 3 dBm 時來量測混頻器的轉換增益。在此也由於 CIC 無提供低頻的 Balun，因此本量測結果均為以單端輸出為主。當 RF 輸入端的功率定為-35 dBm 時，其 3~11 GHz 頻段的轉換增益約為 5±1 dB，如圖 4.24 所示。當 RF 輸入功率由-35 dBm 增加至 0 dBm，RF 頻率為 6.1~9.1 GHz，如圖 4.25、4.26，則在輸入功率-12 dBm 時其輸出功率低於理想值 1 dB，由此可知其 P1dB 約為-12 dBm。當使用 two tone 測試時，兩輸入頻率分別為 7.1 GHz 以及 7.101 GHz，RF 輸入端輸入功率為-35 dBm 增加至 0 dBm 時，其一階及三階響應如圖 4.27 所示。由圖可知，當 RF 輸入功率約等於-2dBm 時，其三階響應對電路影響將大於一階響應。隔離度方面，LO-IF isolation 及 LO-RF isolation 均小於-30 dBm，圖 4.28、4.29。

由於製程偏移的影響，LO 切換級的工作電壓未必和模擬情況相同，因此調整 LO 切換級的偏壓情況能夠使得 LO 切換級工作在最理想的情況下，因此調整 Vcon 電壓由 1.48 V 調整至 1.55 V 已獲得最佳的增益，如圖 4.30 所示，在雜訊指數方面，可以測得其相對應的單邊帶(SSB)雜訊指數隨頻率變化的情形，如圖 4.31。由於本降頻器其 IF 設定為 100 MHz，其頻譜正好落於 FM 頻譜上，為避免 FM 信號影響雜訊指數的準確性，因而調整 IF 頻率至 150 MHz，固定 IF 頻率為 150 MHz，RF 頻率設為為 3~15 GHz，其雜訊指數和轉換增益如圖 4.32 所示，由圖可知，由雜訊指數所量出的轉換增益，其於 3~10 GHz 頻段內相當平坦，其增益約為 17 dB，轉換指數為 16 dB。

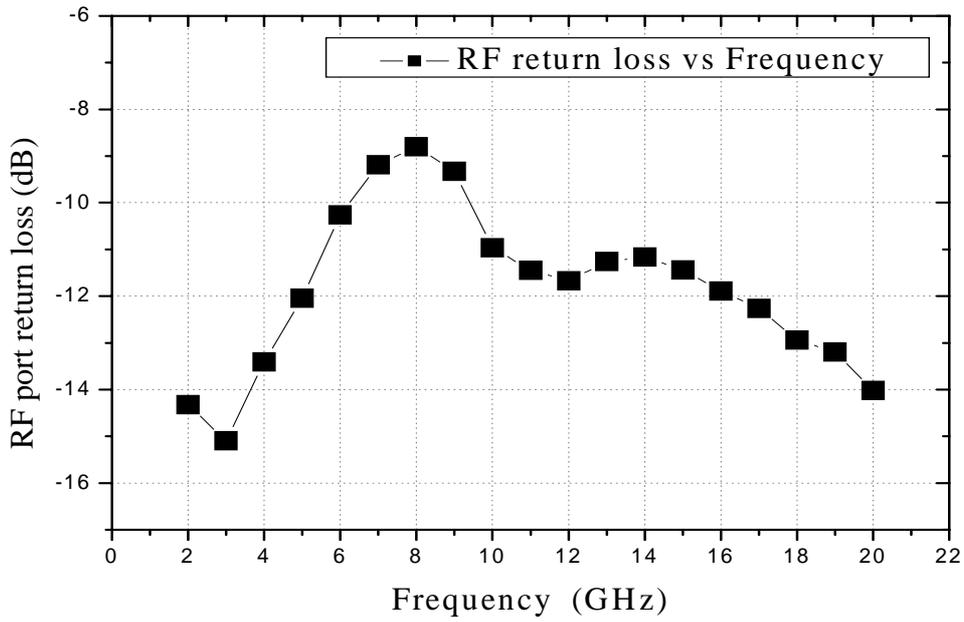


圖 4.22 RF 端反射係數

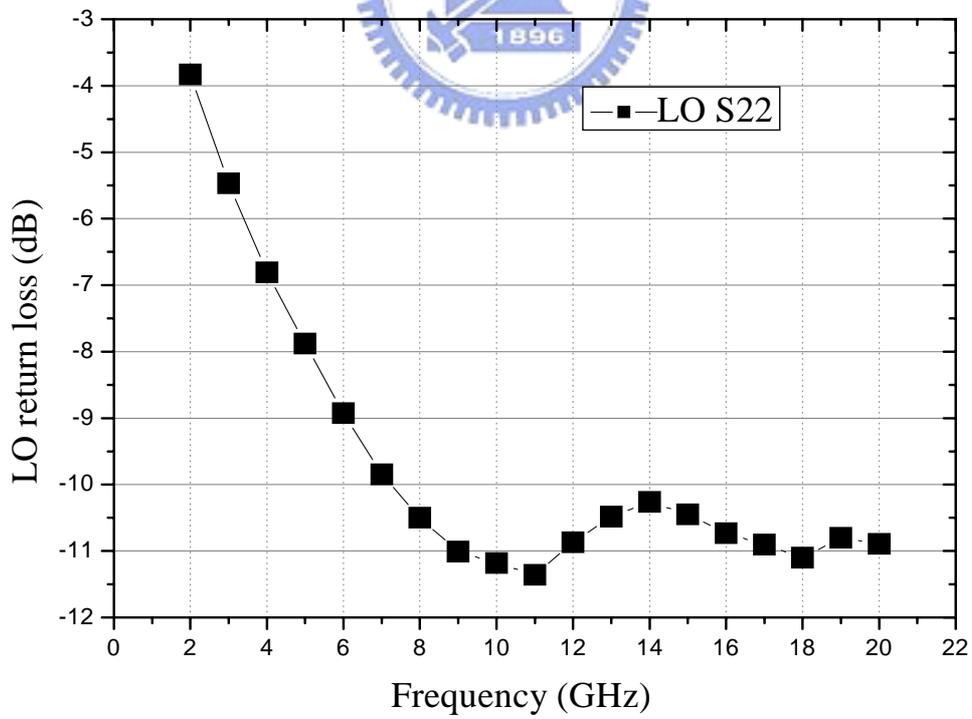


圖 4.23 LO 端反射係數

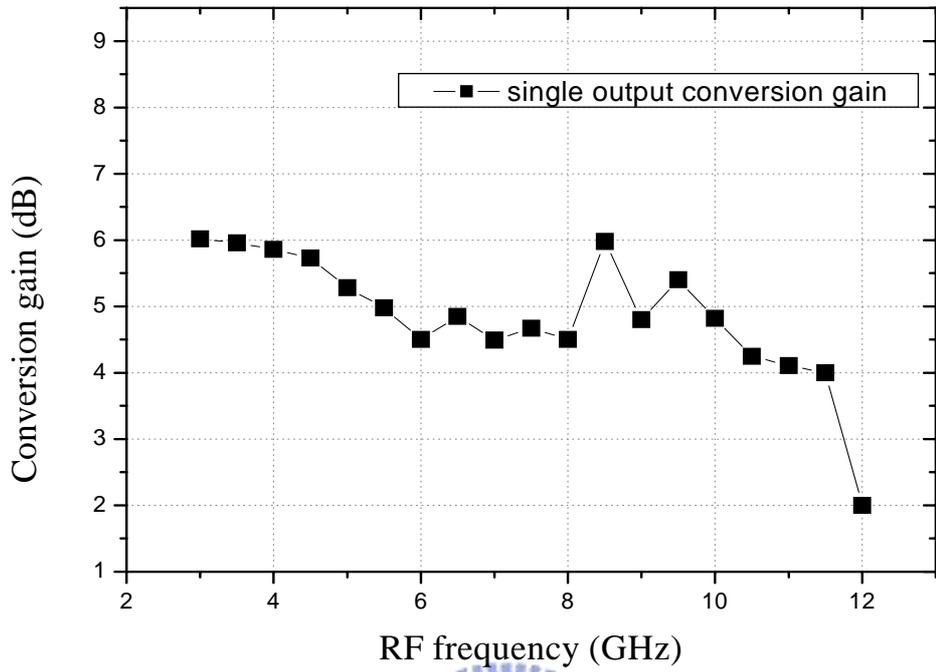


圖 4.24 轉換增益對頻率的變化

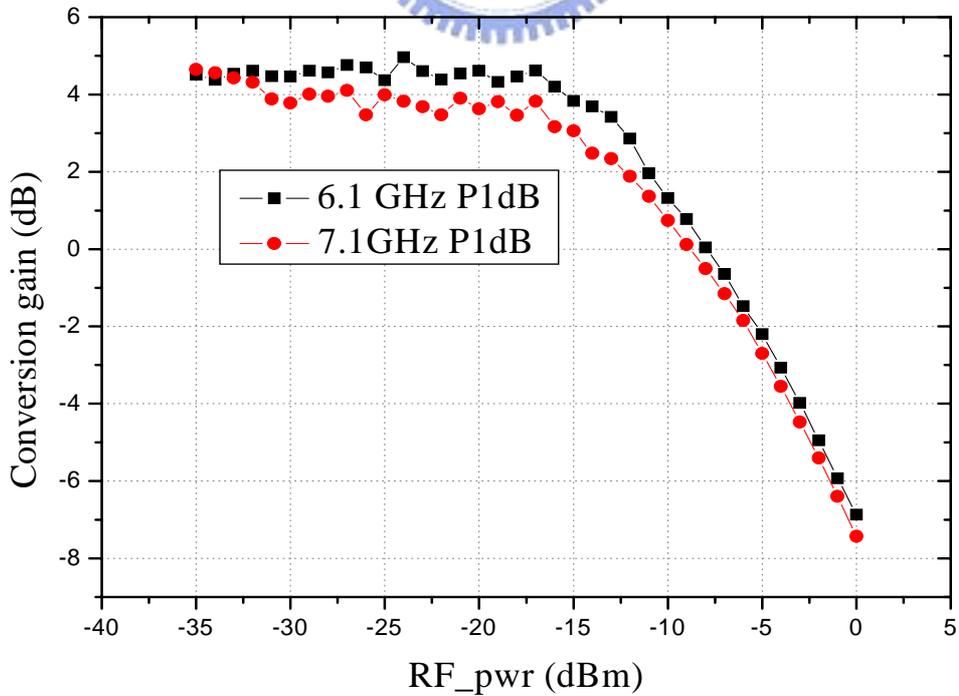


圖 4.25 轉換增益對 RF 輸入功率(6.1~7.1 GHz)

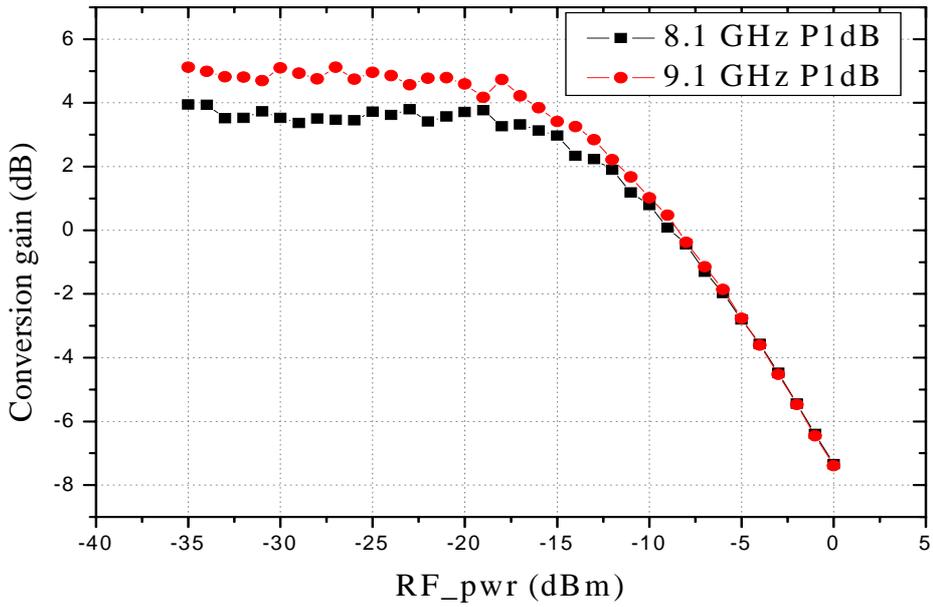


圖 4.26 轉換增益對 RF 輸入功率(8.1~ 9.1 GHz)

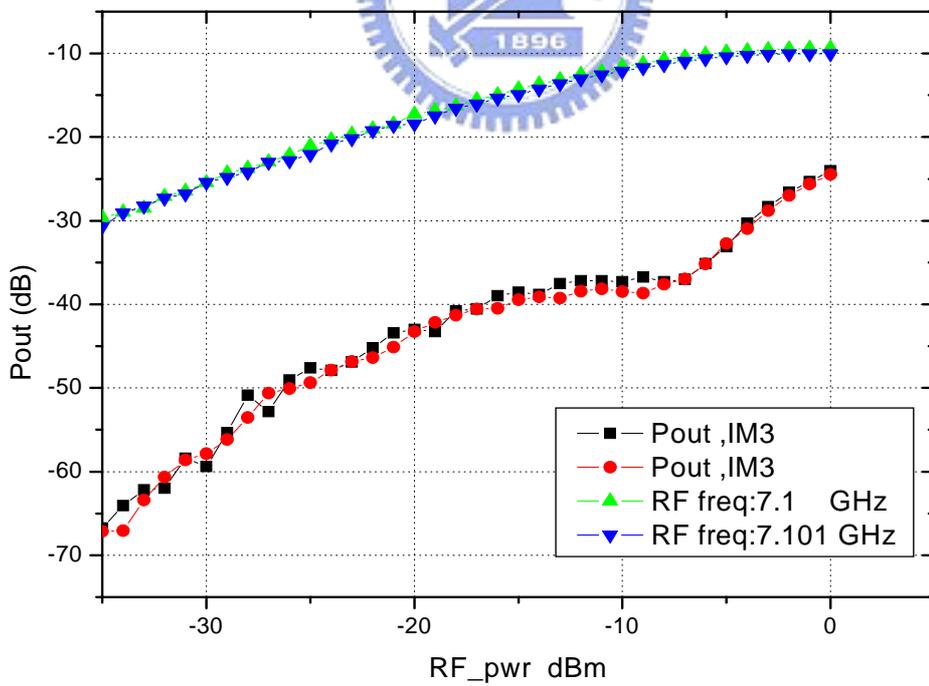


圖 4.27 使用 two-tone 測試模擬 IIP3 值(7.1~7.101 GHz)

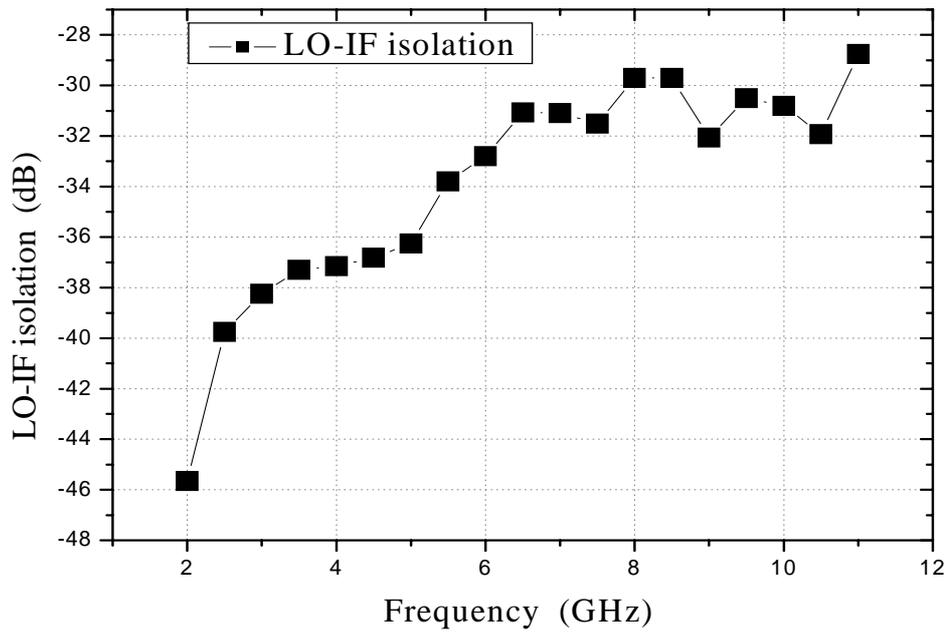


圖 4.28 LO-IF 隔離度

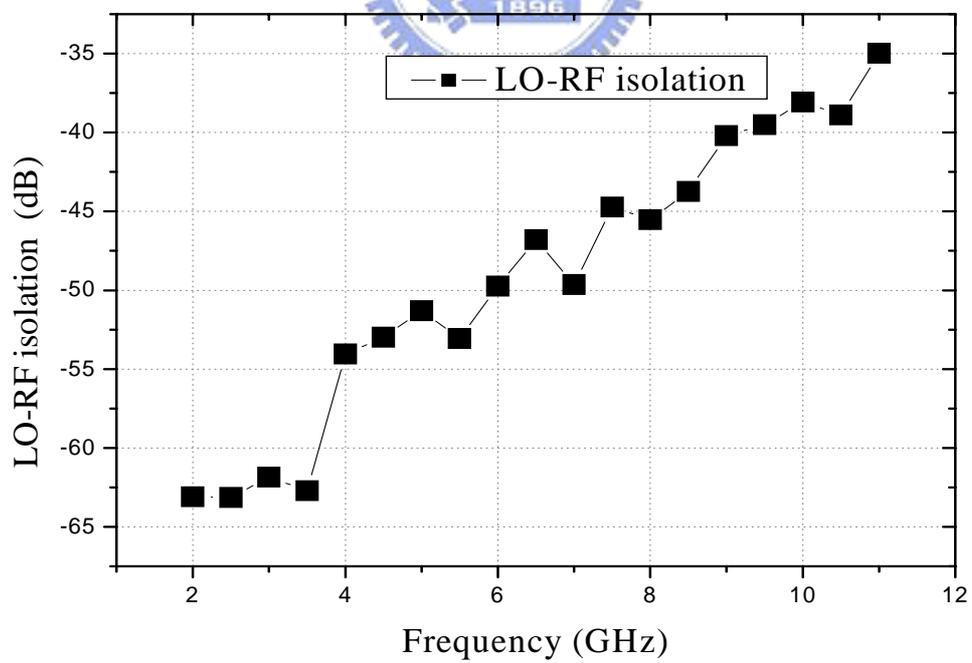


圖 4.29 LO-RF 隔離度

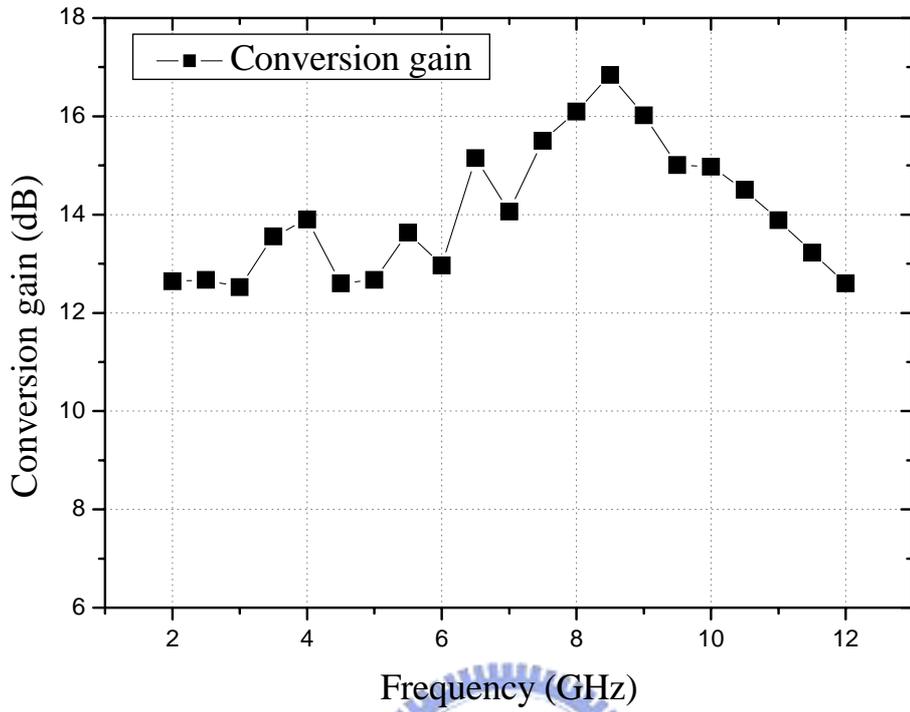


圖 4.30 轉換增益對頻率的變化(1.55V)

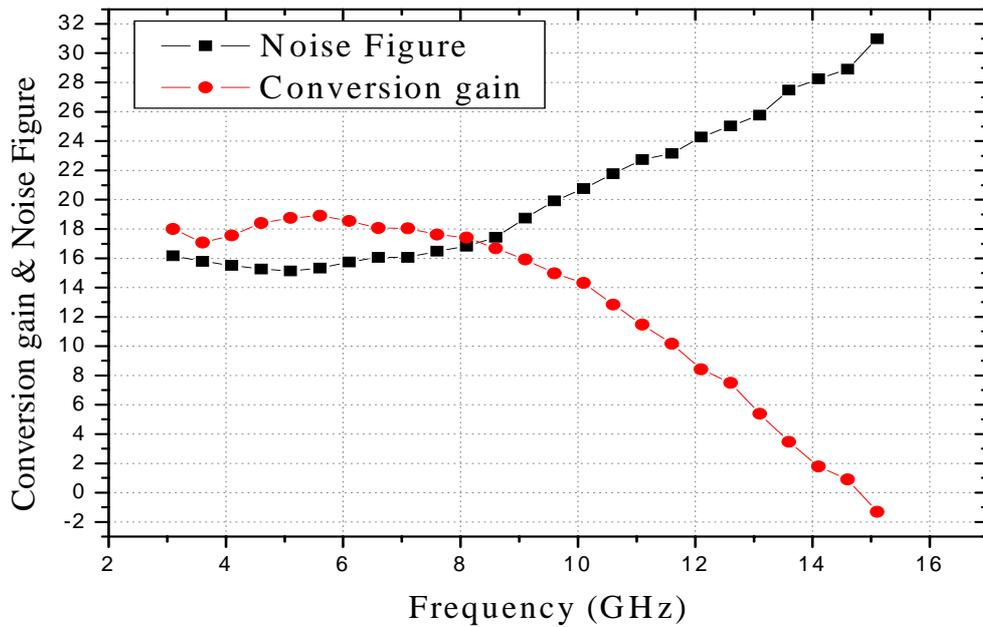


圖 4.31 轉換增益及雜訊指數對頻率的變化(1.55V)

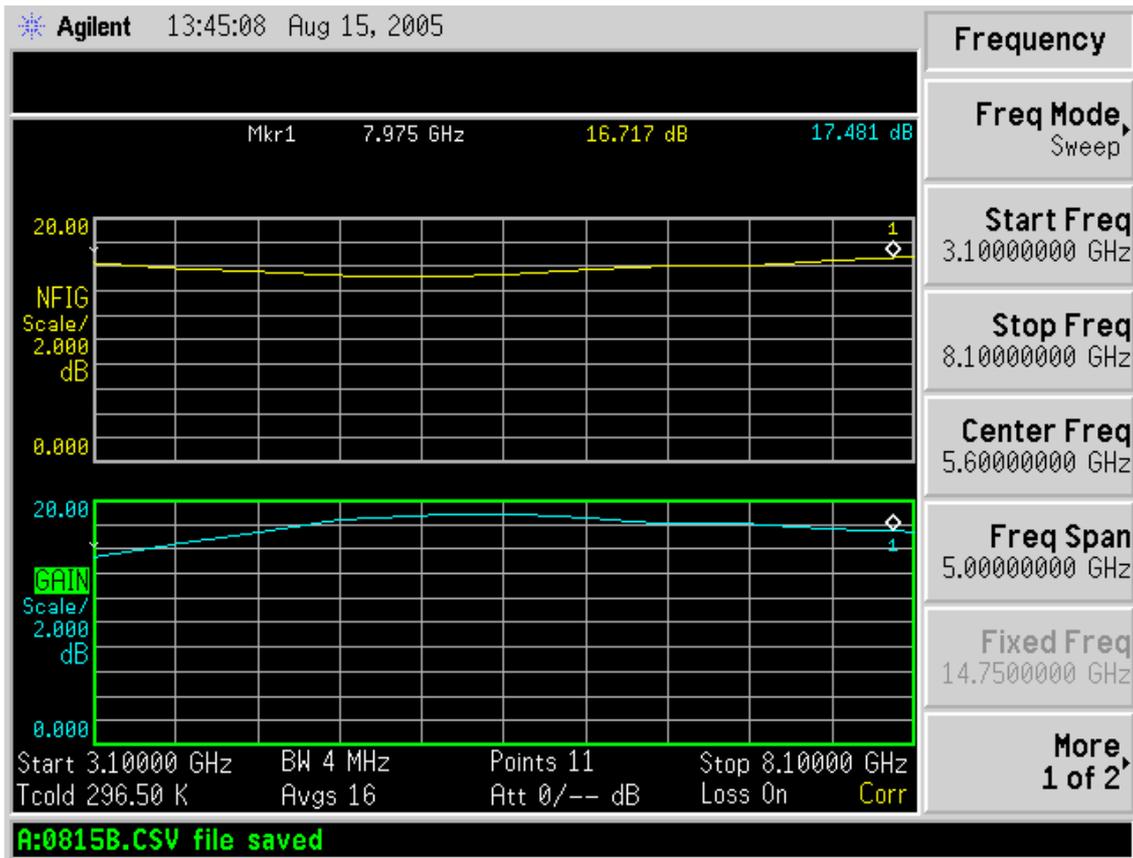


圖 4.32 雜訊指數分析儀 Agilent N8975A

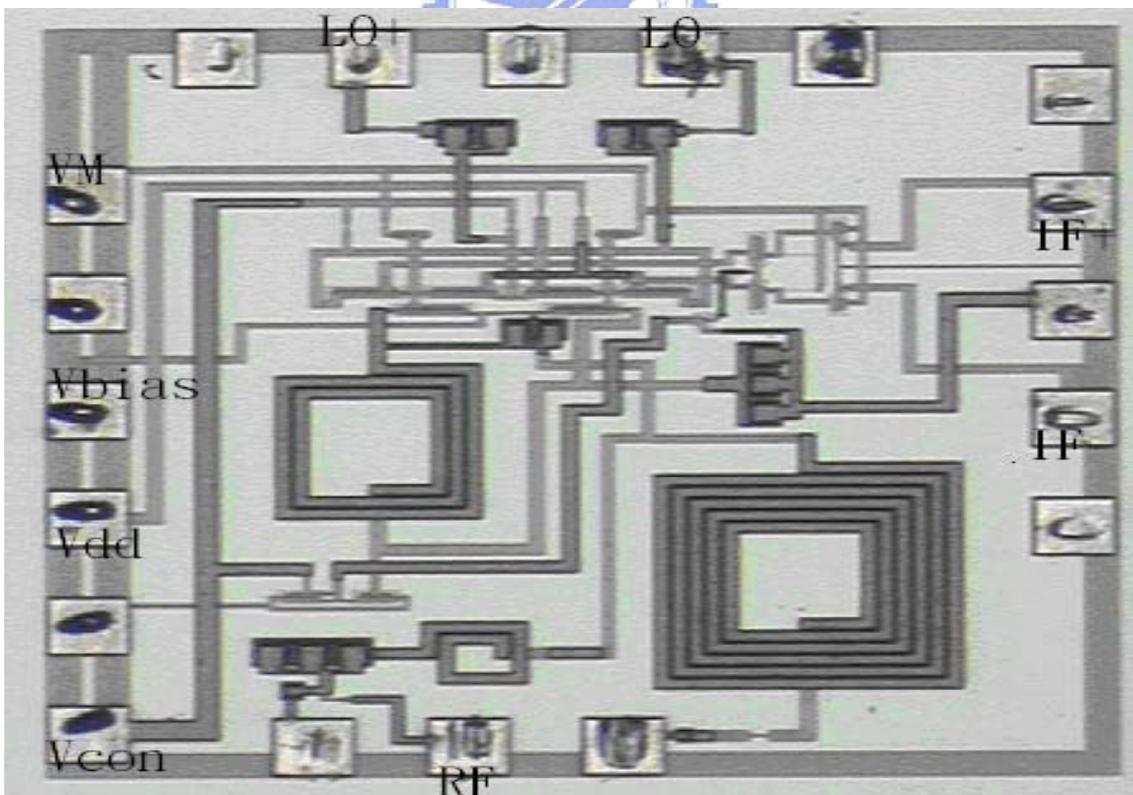


圖 4.33 chip die (1.041 * 1.041 mm)

表 4.2 3.1~10.6 GHz 的 CMOS 超寬頻降頻混頻器量測模擬比較

TSMC 0.18um CMOS Technology		
	Measurement	Simulation
RF Frequency	3~10 GHz	3~10 GHz
IF Frequency	100 MHz	100 MHz
Supply volt. VDD/VM	3.5 V / 2.5 V	3.5 V / 2.5 V
RF reflection coefficient	Less than 9 dB (2~20 GHz)	Less than 10 dB (2~12 GHz)
LO reflection coefficient	Less than 7 dB (3~20 GHz)	Less than 10 dB (3~20 GHz)
LO-IF isolation	<-30 dB	<-30 dB
LO-RF isolation	<-30 dB	<-30 dB
IIP3	-3 dBm	-2 dBm
1-dB compression point (1.48V LO)	-13 dBm	-12 dBm
Conversion gain (1.55V)	18± 1.5 dB (single output)	26 ± 1 dB (differential output)
Noise Figure	About 15~16 dB (IF=150 MHz)	15 dB
Power consumption	50 mW	50 mW

結果與討論

量測結果在輸入 RF 及 LO 輸入匹配、及 LO-IF 和 LO-RF 隔離度方面及功率消耗上和模擬結果大致吻合。然而轉換增益方面，由於雜訊指數分析儀 Aglient N8975A 與 RFIC 量測系統所量到的轉換增益約有 3 dB 左右的誤差(LO 切換電壓為 1.55 V)，推測其可能造成誤差的原因如下：

1. RFIC 量測系統使用 SA(Spectrum Analyzer)及 Labview 作為量測依據，以 RFIC 量測 conversion gain 時以 RF 端 G S G 輸入，而 I F 端以 G S G S G 輸出，而將一

端以 DC blocking 和 50 ohm 負載隔離掉，而取單端 IF 輸出。中間由於使用過多轉接器，雖然於 Labview 能夠扣除其所造成的損耗，然由於頻率變化過大，且不同頻率需切換不同的 Balun，使得 Labview 在計算整體增益上容易造成誤差。

2. 相較於 RFIC 量測系統，NFA(雜訊指數分析儀)由於 CIC 並無提供 90 度角的 single-differential 的 THRU 測試片，因此量測時僅能以 RF 端 GSG 輸入，IF 端為 GSG 輸出，故於輸出端部分已直接減少串接元件的數量，因而相對的 NFA 在準確度將比 RFIC 量測系統高。
3. NFA 於 Calibrate 時會透過 THRU 測試片直接修正 RF GSG 到 IF GSG 輸入跟輸出間對不同頻率點的損耗，而 RFIC 量測系統僅由以往建立的量測元件損耗表中帶入軟體，而經過時空變化後，其損耗表的準確性必定不如 NFA 於當下所建立的損耗表，因而判斷 NFA 其準確性應該高於 RFIC 量測系統。
4. 由於電路設計時，IF 頻率定為 100 MHz，而量測 NFA 時，其 IF 頻譜正好坐落於 FM 頻帶上，且量測時並無法於電磁遮蔽的空間中進行 NFA 的量測，因此量 NF 時將 IF 移往 150 MHz 以避免 FM 訊號的干擾，而 RFIC 量測系統則仍保持 IF=100 MHz，因此理想上，RFIC 量測系統其所得到的轉換增益應該和模擬較為相近，然而，本電路輸出負載採用電阻作為負載阻抗，理應轉換增益不隨 IF 頻率而改變，因此 NFA 所量測到的 150 MHz 的 IF，其增益應該和 100 MHz 相近。故 NFA 所量測到的增益應該是接近模擬值。
5. 由於 CIC 所提供的 Labview 並無特別設計針對掃動頻率對增益的程式，因此其量測增益對頻率的變化其準確性仍有待考量。
6. 由於不同量測時，其所使用的探針並不相同，且下探針的深度也不盡相同，因而影響到量測出來的準確性，其誤差最高有可能到 2 dB。
7. NFA 在 RF 端到 IF 端有做損耗的 calibrate，而信號產生器到 LO 輸入端的損耗僅為單純粗略估計約 3 dB，因其訊號強度直接有 NFA 透過 GPIB 控制，所以無法控制其損耗隨頻率點的改變，而 RFIC 量測系統則有將信號產生器至 LO 輸入端的損耗考慮進來再以 Labview 進行扣除，理想上 RFIC 所量到的增益應該比較準確，不過

實際上, LO 訊號在不同頻率間的損耗差距極小，因此其差距並不至於影響到 NFA 量測整體增益的準確性。

8. NFA 量測過程中會以多次量測值取平均，以本次量測為例，NFA 以 16 次平均值得到的轉換增益，其準確性較 RFIC 量測系統僅手動量測取其整體增益最平坦之值為量測結果，因此 NFA 準確度較為準確。

由以上因素可以判斷，以轉換增益來說，NFA 所量測到的 Conversion Gain 其準確性是高於使用 RFIC 量測系統。然而，在整體量測過程中仍發現有不少會影響到整體增益準確性的情形，例如，若探針採用 GSGSG 時，其纜線與量測平面呈現 90 度轉角，因此當下針時，顯微鏡頭往往直接壓迫到纜線，而造成探針有往上抬的跡象，如此則造成每次下針時深度均有不同而影響了量測準確性。若為 GSG 探針，則由於纜線和量測平面呈現 45 度角，則較無此問題的產生。



4.4 寬頻匹配之 Gilbert Cell 降頻混頻器

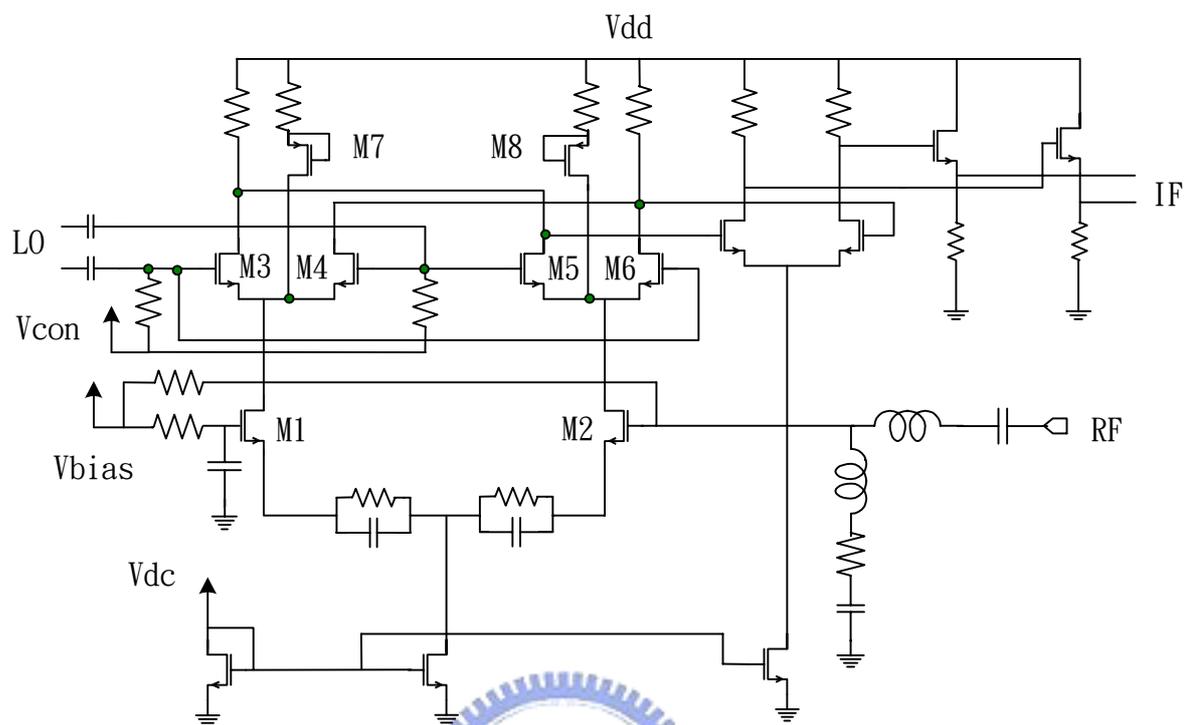


圖 4.34 寬頻匹配之 Gilbert Cell 降頻混頻器

成功設計完 3~10 GHz 的 CMOS 超寬頻降頻混頻器後，本電路嘗試以傳統 Gilbert Cell 混頻器作為往更高頻率延伸作為本次電路設計之目標。由於 CMOS 製程上的進步，在加上和基頻數位電路整合的便利性及經濟性，因此本次電路仍是以 tsmc 所提供的 CMOS 0.18um 1P6M 製程作為本次電路設計的基礎，並以 tsmc 提供的 tsmc_cm018rf_v3 之 RF model 進行高頻電路模擬。本次電路設計，考量到 CIC 的 RF 參數測量系統其最高頻率僅支援至 20 GHz，因此本電路 RF 輸入頻率定為 3~20 GHz，而 IF 訊號頻率則固定在 100 MHz，且由於 UWB 系統其瞬間最大頻寬高達 528 MHz，因此本電路輸出負載仍舊採用傳統的電阻作為輸出阻抗，以避免使用 PMOS 主動負載其阻抗容易隨頻率而改變影響到其寬頻帶的增益。[17-18]

電路架構

由於本次電路架構上採用傳統 Gilbert Cell 為主，而傳統架構為單一頻率且 RF 輸入訊號為雙端輸入，因此若不改其電路，則寬頻匹配將佔據額外佈局面積而使得整體設計

成本大為提高，所以本次電路以 active balun 將傳統電路之轉導級以旁路電容將其接地，如此則僅需一倍面積的 LC matching 便可匹配至寬頻。此外，本電路在設計上仍維持 Gilbert Cell 的 LO 切換級，因其具有較佳的 port-to-port isolation 以及轉換增益，並採用電流注入(current injection)電晶體作為提高整體混頻器轉換增益之用。

另外，為了能夠提高混波器的線性度，在轉導級的源極使用了電阻與電容並聯所構成的 degeneration 阻抗，此源極衰減阻抗在低頻時對訊號而言電容幾乎為開路，因此源極衰減阻抗中的電阻可以抑制其轉導值，而提高整體差動對的線性度。反觀在高頻時，源極衰減阻抗中的電阻核電容並聯所得到的等效阻值較小，且由於高頻操作時電晶體的轉導值已經比低頻還低，因此較小的源極衰減阻抗可以減少整體增益的下降，也因此使得混頻器的轉換增益在高低頻的時候有相近值，因此而增加轉換增益的平坦度。另外由於使用偏壓電流源，使得差動對的偏壓電流和其閘極端的偏壓電壓較無關係，因而可以增加整體電路的線性度，但同時由於多了一級偏壓電晶體，將使得輸出訊號的擺幅縮小，無形中又抑制了混頻器的線性度及轉換增益的表現，因此在偏壓電晶體的尺寸及電流的選擇上則必須考量到增益及線性度的取捨。[19-20]

最後訊號的輸出，由於 CIC 並未提供低頻的雙端轉單端的 balun，且為了能夠更有效率的利用輸出訊號，因此在設計中額外加入了 active balun 將兩差動訊號結合起來，也由於此級處於電路輸出端，為了考量整體線性度，此級並不提供很大的增益，僅只是將差動訊號轉為單端輸出訊號，如此則比只取單端 Gilbert Cell 訊號更為平衡。因為測試上的考量，active balun 必須在後級接上源極追隨器以將信號匹配至 50 歐姆，然而此設計將造成輸出訊號的減小。因此，在量測時若再外接低頻 balun 時，其雙端增益將高於單端增益 10 dB 左右。

量測結果

本論文提出的 3-20 GHz Gilbert Cell 超寬頻混頻器，使用 Agilent ADS Circuit & momentum 模擬軟體分別以 TSMC 0.18um Mixed Signal CMOS 製程所提供的 RF model 進行高頻電路特性模擬，以及使用 momentum 進行 EM 電磁模擬，由於 TSMC 於 tsmc_cm018rf_v3 版本中並無提供感值低於 1 nH 的小電感，因此於電路設計中必需以

EM 模擬軟體，以相對於 TSMC 提供的製程參數帶入 momentum 中，設計出適合本電路的小電感以供寬頻匹配之用。

本電路設計其操作電壓最高為 5 V，其 RF 輸入頻率設定為 3-20 GHz，IF 頻率設為 100 MHz，LO 頻率則為 RF-IF，RF 端的輸入功率為-35 dBm，LO 輸入端功率為 2 dBm，其在 RF 輸入端的反射損耗經量測後於 3~20 GHz 均低於-9 dB，如圖 4.35 所示。LO 輸入端的反射損耗經量測後於 2~20 GHz 均低於-10 dB，如圖 4.36，轉換增益由於受到高頻訊號損耗的影像，其增益為 -10 ± 2 dB，圖 4.37，隔離度方面，LO-RF 及 LO-IF 隔離度均低於-30 dB，而 RF-LO 及 RF-IF 隔離度分別低於-20 dB 及-24 dB，如圖 4.38~4.41。DC 電流量測與模擬均為 16 mA，VDD=5V



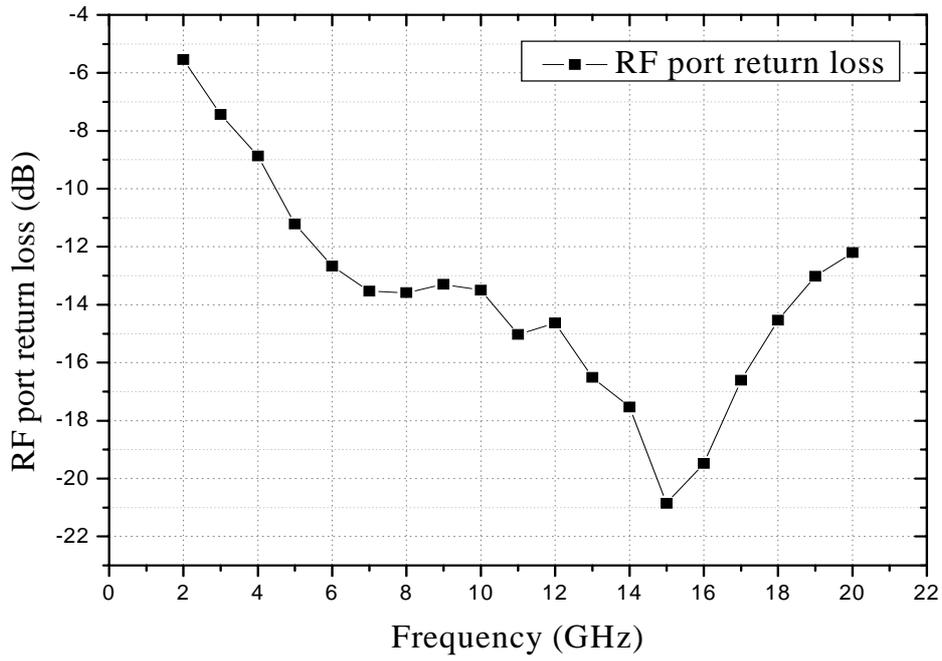


圖 4.35 RF 端反射係數

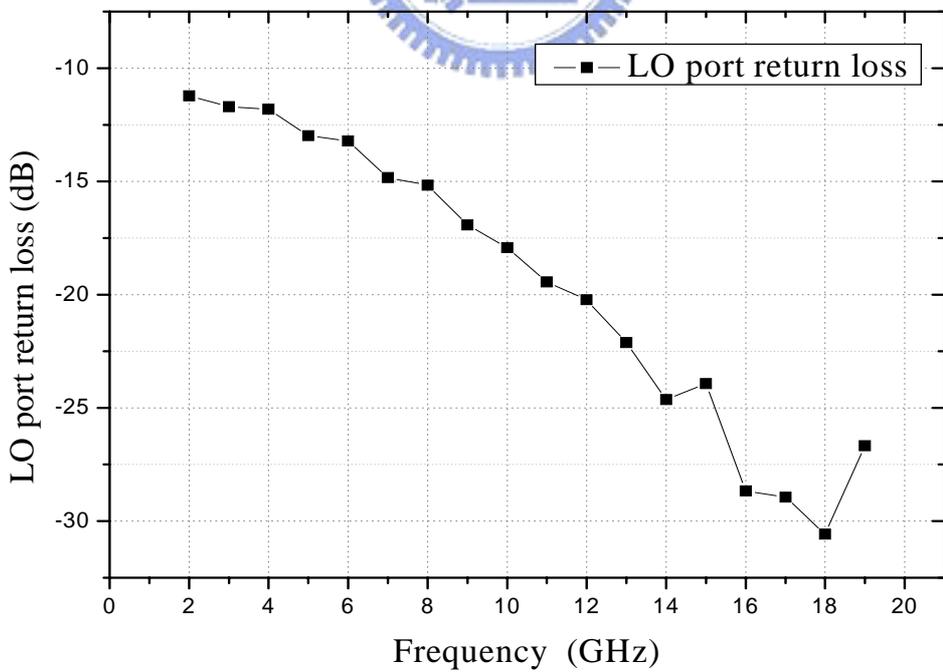


圖 4.36 LO 端反射係數

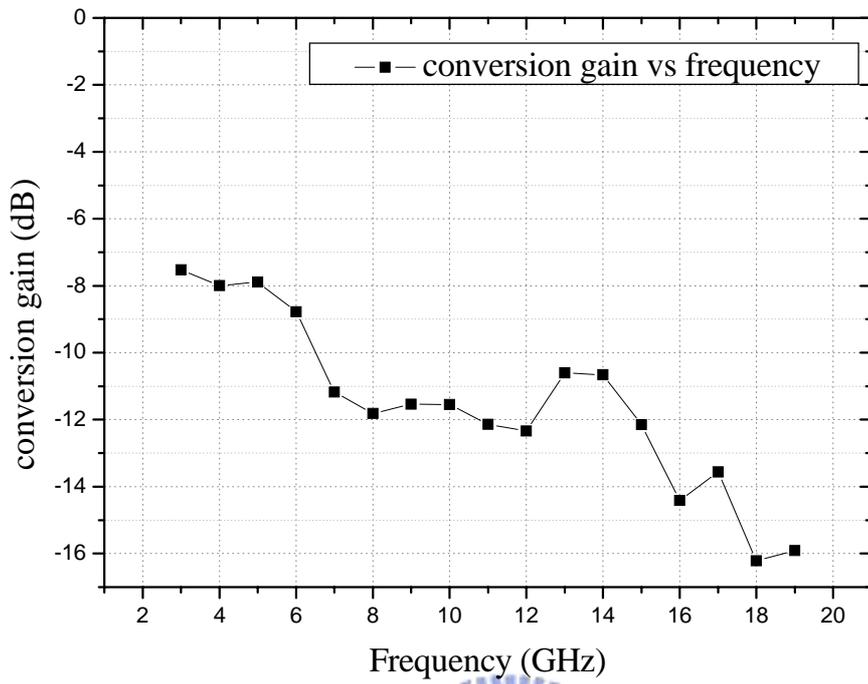


圖 4.37 轉換增益對頻率的變化

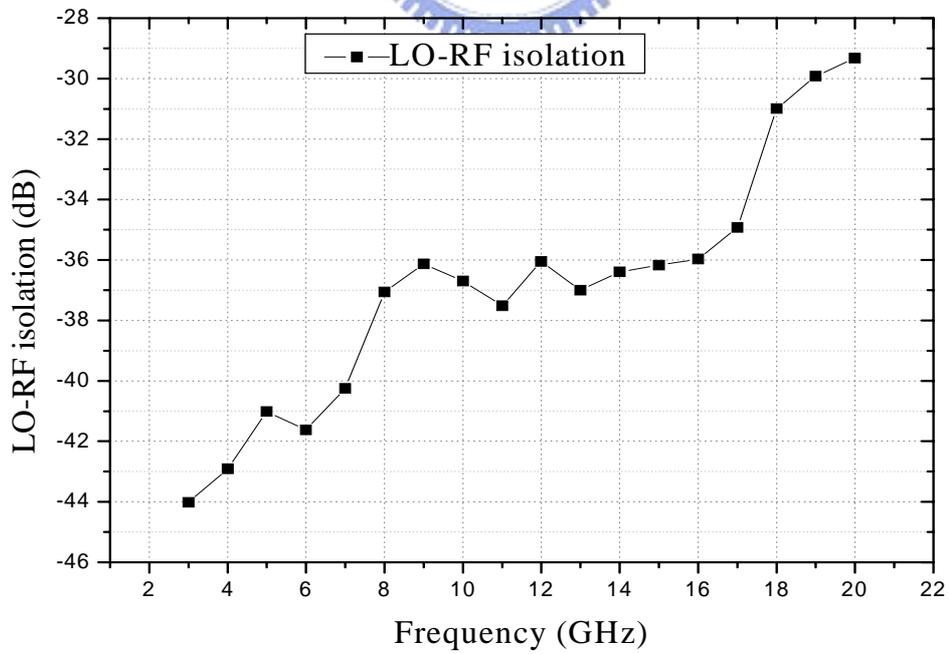


圖 4.38 LO-RF 隔離度

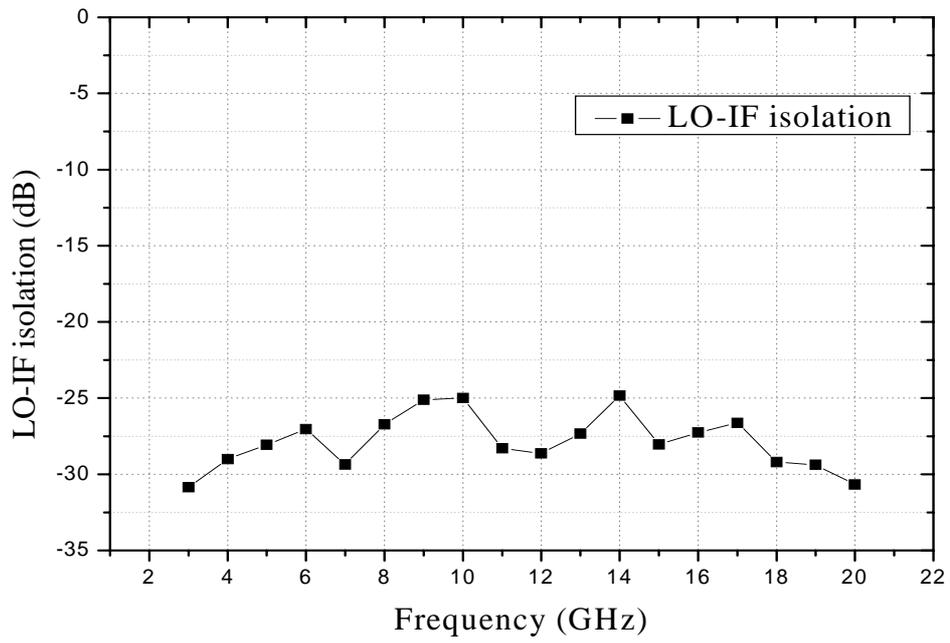


圖 4.39 LO-IF 隔離度

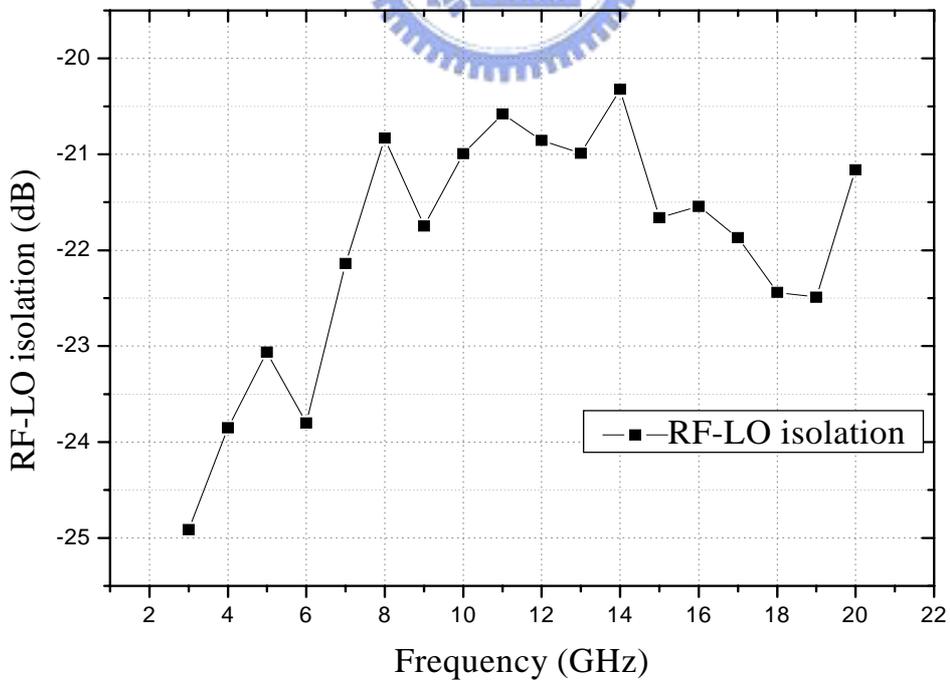


圖 4.40 RF-LO 隔離度

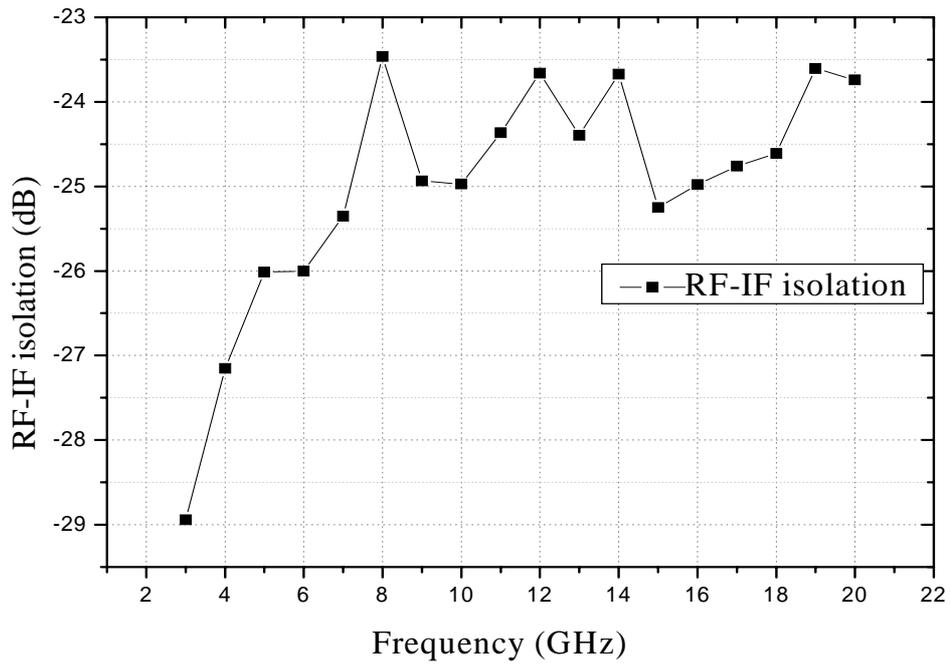


圖 4.41 RF-IF 隔離度

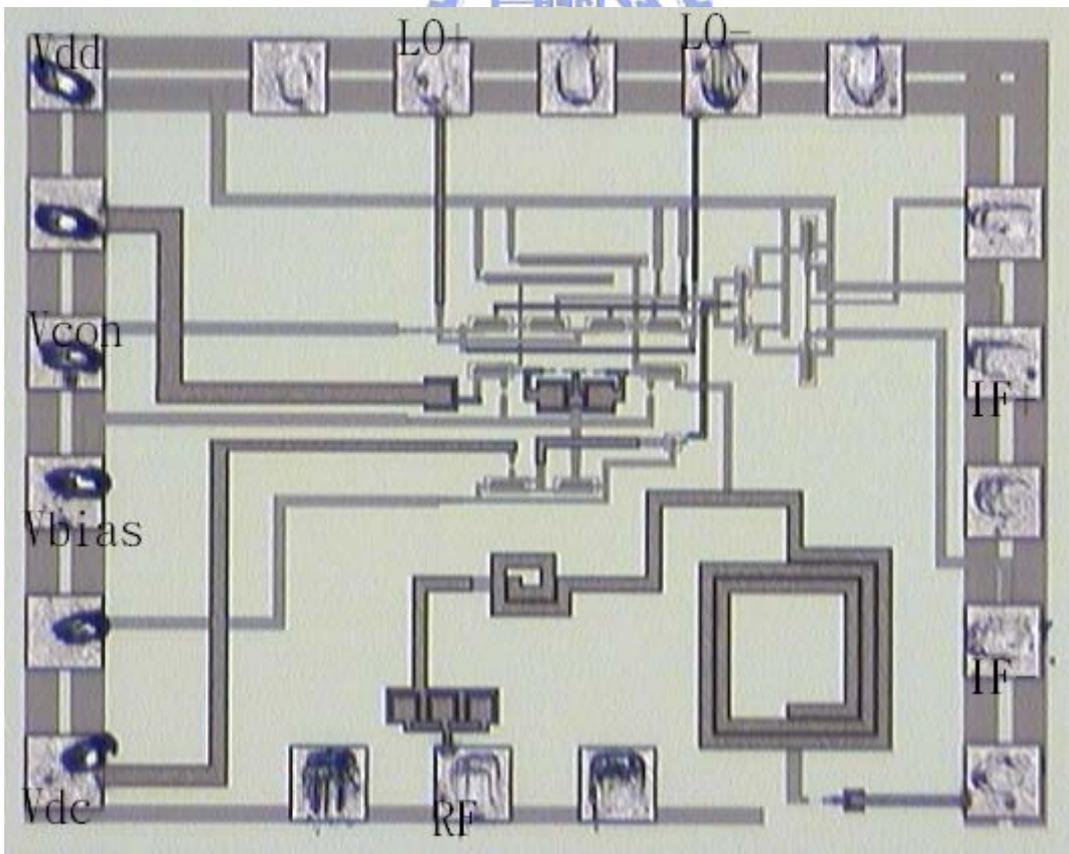


圖 4.42 chip die (1.064 * 0.845 mm²)

表 4.3 寬頻匹配的 Gilbert Cell 超寬頻降頻混頻器量測模擬比較

TSMC 0.18um CMOS Technology		
	Measurement	Simulation
RF Frequency	3~20 GHz	3~20 GHz
IF Frequency	100 MHz	100 MHz
Supply volt. VDD	5V	5 V
RF reflection coefficient	Less than 8 dB (3~20 GHz)	Less than 10 dB (2~12 GHz)
LO reflection coefficient	Less than 10 dB (2~20 GHz)	Less than 10 dB (3~ GHz)
RF-LO isolation	<-30 dB	<-30 dB
LO-RF isolation	<-30 dB	<-30 dB
RF-LO isolation	<-20 dB	NA
RF-IF isolation	<-24 dB	NA
Conversion gain	-10 ± 2 dB (single output)	26 ± 1 dB (differential output)
Power consumption	80 mW	80 mW

結果與討論

此次電路設計以傳統 Gilbert Cell 架構為主，並搭配電流注入級及電阻電容所組成的源極衰減電路，在量測過後其 DC 電流均和模擬條件吻合，RF 輸入端及 LO 輸入端其匹配情形均和模擬結果相近且在隔離度方面皆有一定水平，然而由於為了配合量測時 PAD 的擺放相對應位置，使得布局稍為鬆散以至於影響到走線距離，使得高頻訊號容易漏失而影響到轉換增益，因此往後佈局須特別注意是否會因布局走線長短及擺放位置而影響到整體之增益。

4.5 適用於 3.1~10.6 之降頻微混頻器

經由前面幾次實際下線的經驗及量測結果中，可以得到完整的電路設計及量測經驗，以預測可能會出現的錯誤，而有助於接下來電路設計之改良。因此，本設計將朝向單端 LO 訊號、單端 RF 訊號輸入以及單端 IF 訊號輸出，以減少 LO 透過外接 balun 造成的量測誤差且省略了低頻 IF 之合波器的使用，並透過 micromixer 寬頻匹配的方式以減少使用電容電感做為匹配所造成的面積消耗，以降低消耗功率為目標。此次設計的混波器其 RF 輸入訊號頻率訂為 3~10GHz，IF 中低頻訊號定在 100MHz，在此頻寬內的單端輸出的轉換增益皆有 $13\pm 1\text{dB}$ 以上，供應電壓為 2 V。本設計在架構上將傳統的 GILBERT CELL 其電壓電流轉換級作修改以符合超寬頻的輸入匹配外，並利用電流注入(current bleeding)的電晶體作為增加轉導值及改善線性度，且達到了 LO / RF 良好的單端(single input)輸入匹配，以節省傳統電路設計上為了製造反相 RF 訊號而佔用了額外的晶片面積，最後在輸出端接上源極追隨器以匹配至 50 歐姆的量測系統。電路架構如圖 4.43。

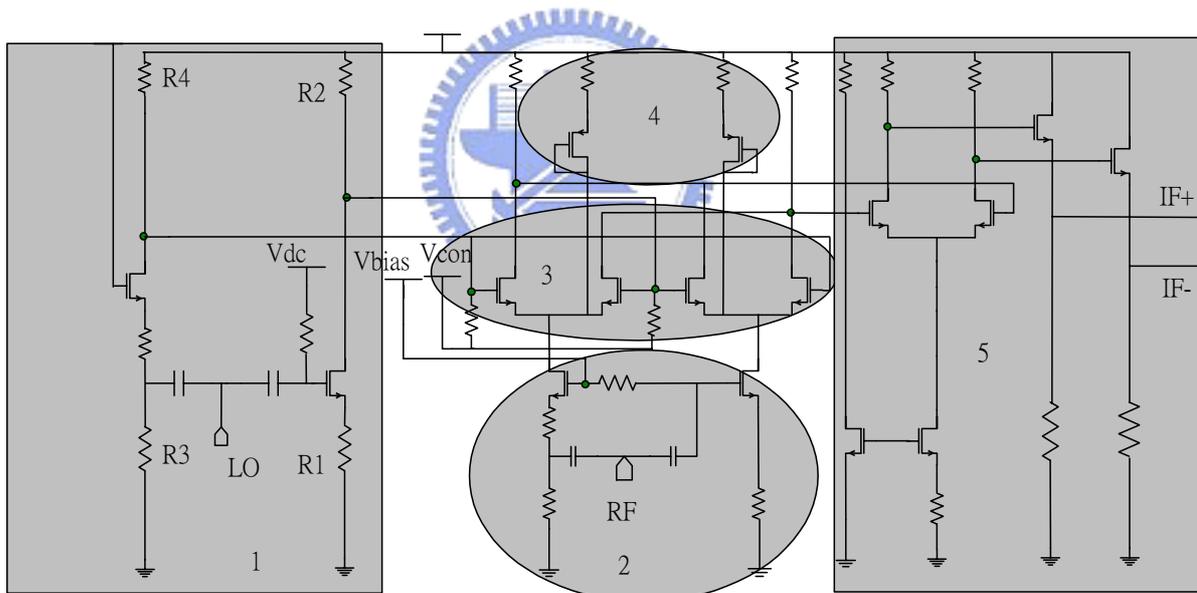


圖 4.43 適用於 3.1~10.6 之降頻微混頻器

本電路實現了一個可以在 2 伏特，涵蓋了極寬頻頻譜 3-10 GHz 的降頻微混頻器，完整電路如上圖所示，電路可視為五個部分，分別為 LO 輸入端匹配網路，RF 輸入端匹配網路及電壓電流轉換級，負責將 RF 電壓訊號經轉導轉換成電流訊號，再來則是負責切換電流訊號的開關電晶體選擇與控制，將 RF 電流訊號經由 LO 切換級產生的開關效應產生混波中頻 IF 訊號，及電流注入(current inject)電路以增加增益及線性度，最後則是將混出來的中低頻電流訊號透過負載轉換成電壓訊號經由緩衝放大器以作為 50 歐姆

量測系統的阻抗轉換。

一般常見的吉伯特 GILBERT 混頻器，其雙平衡混頻器的架構上，輸入端須為一組差動信號，此外更需要利用 LC 被動電路以達成阻抗匹配，通常 LC 匹配電路往往佔用了大部分的面積，且量測上仍需要外接一個 Hybrid 的 BALUN 來轉換 LO 訊號，而本電路所設計之目標為 3-10GHz 之超寬頻的頻譜範圍，因此在實際量測過程中，得不斷的更換不同的 BALUN 以應付不同的 LO 輸入訊號，由上節的結果中得知，若仍採用傳統的 Gilbert 混頻器需不斷的更換 BALUN，且在下探針的過程將造成量測的不準確性，使得傳統的 Gilbert 電路並不適合套用在本設計上，故再此提出此一架構以簡化傳統 Gilbert 所帶來繁複的量測。[21-22]

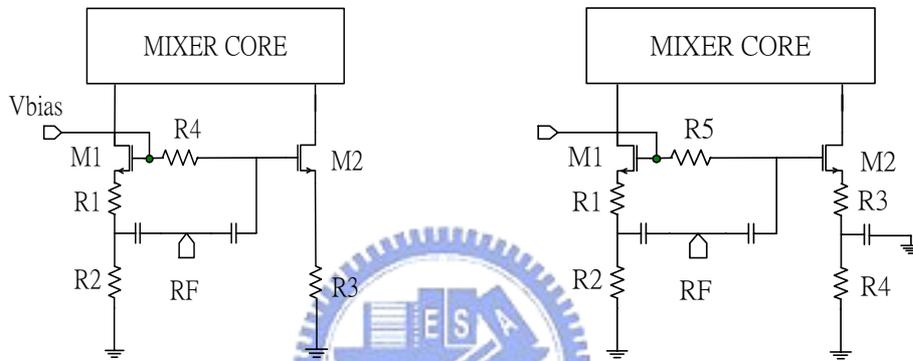


圖 4.44 (a)電阻匹配之轉換級 (b)平衡型電阻匹配轉導級

由於以上的因素，於是簡單設計了一個利用轉導級電晶體及電阻所搭配而成的電壓-電流轉換級，且同時達到近似 50 歐姆的輸入阻抗，使得在設計量測系統上更方便也更可靠。如上圖 4.44(a)所示，電晶體 M1 和 M2 構成一個單端轉雙端的電路，其中 M1 為共閘級(Common Gate)其電壓-電流轉換增益約為 $+g_m V_{RF}$ ，M2 為共源級(Common Source)，其電壓-電流轉換增益為 $-g_m V_{RF}$ ，因此當單端 RF 電壓信號經由 M1(CG)及 M2(CS)時將轉換為差動訊號。而 R4 做為 RF CHOKE 以隔離直流信號和 RF 小訊號。其中電阻 R1、R2、R3 和電晶體的輸入阻抗 $1/g_m$ 經過適當的尺寸設計後可達到輸入阻抗匹配的效果，其 RF 端的輸入阻抗可表示成如下：

$$R_{in} = \{(R_2 \parallel (R_1 + 1/g_{m1})) \parallel R_{M2}\} \quad (4.3)$$

其中 R_{M2} 為電晶體 M2 的閘級輸入阻抗和 R4 的並連，因此在適當的阻值及電晶體的偏壓條件下，則 RF 端的輸入阻抗可近似為 50 歐姆。同理，LO 端也同樣適用此電壓-電流轉換電路。圖 4.44(b)展現了平衡型的電阻匹配轉導級，由於原電路在設計上 M1 和 M2 在小訊號電流轉導中，有著先天上不平衡的情況出現，因此將原電路 4.44(a)修正為 4.44(b)，如此，在適當的設計下，M1 和 M2 在小訊號增益上將保持平衡，因此，若設計

者以提供一高增益的降頻混頻器，則一個平衡型的電阻匹配混頻器將能夠完整的利用左右兩邊訊號電流，輸出至 IF 輸出端；倘若設計者以提供一寬廣且平坦的增益為訴求下，則 4.44(a)即能滿足此一目的。此一原因可解釋為由於平衡型電阻匹配電路在 M2 的源級中，利用了兩電阻做為源級衰減，因此在高頻操作時，電阻及傳輸線所造成的寄生效應間接使得 M2 的小訊號電流較低頻時來的小，因此在頻寬的保持不如圖 4.44(a)，在考量頻寬的重要性大於增益下，本電路仍採用電阻匹配轉導級作為混頻器轉導級之設計。

圖 4.43 中的 V_{con} 為保持 LO 訊號經過 LO 輸入端匹配電路後於切換極電晶體(M3~M6)開級端所造成的 DC 訊號位準偏移，使得切換級電晶體無法偏壓在飽和區邊緣，造成了混頻器在極寬頻的操作頻率下無法保持平坦的轉換增益。因此，在設計極寬頻微混頻器時，除了在 RF 及 LO 訊號端的完美匹配外，仍須考慮 LO 信號再經過主動寬頻分歧器後，能否保持著穩定的弦波信號以作為開關級電晶體的切換訊號。因此，選定適當的 V_{con} 以穩定極寬頻的 LO 訊號輸出水平將有必要的。

模擬結果

本論文提出的超寬頻降頻微混頻器電路，使用 Agilent ADS Circuit 模擬軟體分別以 TSMC 0.18um Mixed Signal CMOS 製程所提供的 RF model 模擬其在操作電壓為 2 伏特下的高頻特性，RF 頻率為 2~10 GHz，IF 頻率訂為 100 MHz，而 LO 頻率則定為 RF-IF。RF 端的輸入功率為 -35 dBm，LO 輸入端功率為 0 dBm，其在 RF 輸入端的反射損耗經量測後於 3~13 GHz 均低於 -10 dB，如圖 4.45 所示，LO 輸入端的反射損耗經量測後於 3~15 GHz 均低於 -9 dB，如圖 4.46。當 RF 輸入端功率定為 -35 dBm 時，其 3~10 GHz 頻段的單端輸出之轉換增益約為 13 ± 1 dB，如圖 4.47 所示。在隔離度方面，LO-RF 及 RF-LO 均小於 -30 dBm，LO-IF 及 RF-IF 則小於 -28 dB，如圖 4.48~4.51。在選定 LO 輸入功率為 0 dBm 時，RF 端的輸入功率由 -35 dBm 增加至 -8 dBm 時，參照圖 4.52~4.54，當 RF 頻率分別為 3.1 GHz、6.1 GHz 以及 10.1 GHz 時，約在輸入功率 -15~-16 dBm 時，其輸出功率低於理想值 1 dB，因此其 P1dB 約為 -15 dBm。在 two-tone 測試時，以相差 100 MHz 的訊號分別對 3.1GHz、6.1 GHz 以及 10.1 GHz 之頻段作測試，如圖 4.55~4.57，RF 端的輸入功率分別由 -35 dBm 增加至 5 dBm，由圖可知，當 RF 約等於 -2 dBm 時，其三階響應對電路的影響將大於一階響應。圖 4.58 所示，透過平衡型電阻匹配轉導級所得到的模擬結果，可顯示出當頻率掃動至 8 GHz 時，轉換增益下降約 2 dB 左右，因此表示出平衡型的電阻匹配轉導級頻寬較原此電阻匹配轉導級，如圖 4.47，降低約 2 GHz，因此在電路設計考量上，本電路仍維持原始之電阻輸入轉導級。

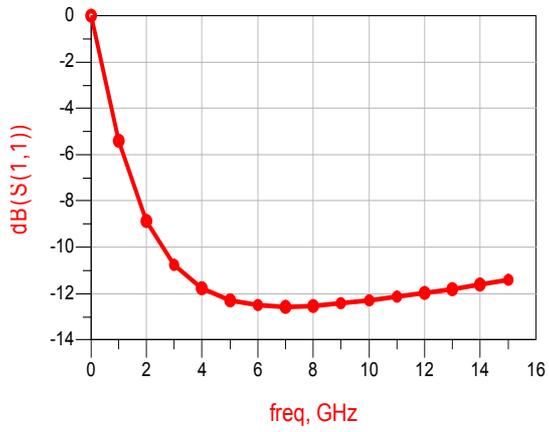


圖 4.45 RF 輸入端反射係數

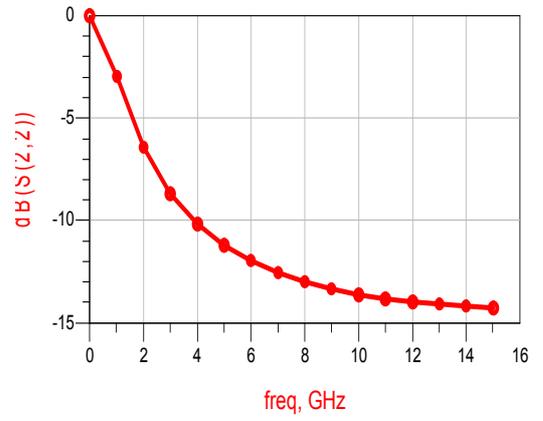


圖 4.46 LO 輸入端反射係數

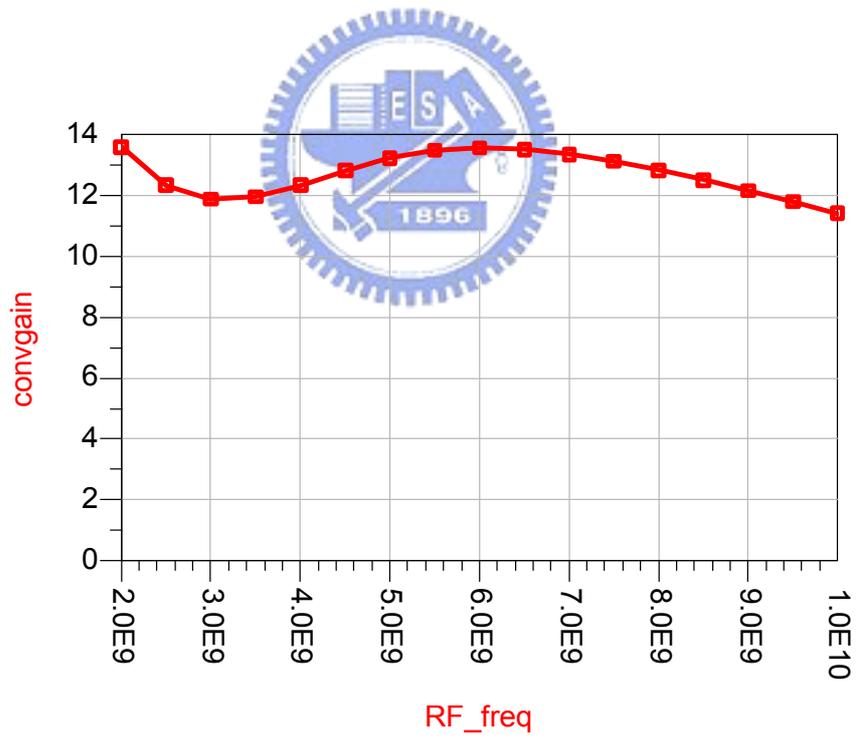


圖 4.47 轉換增益對頻率的變化

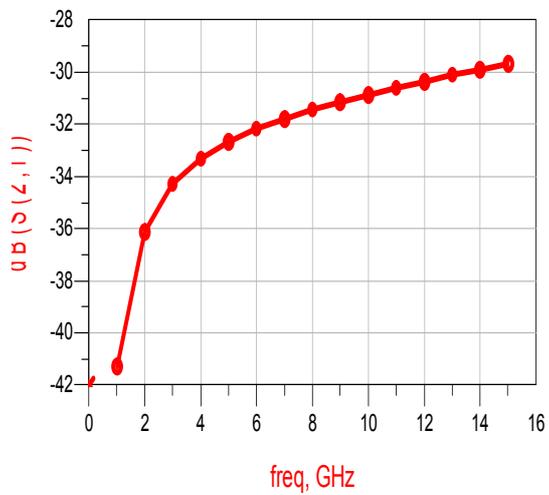


圖 4.48 RF-LO 之隔離度

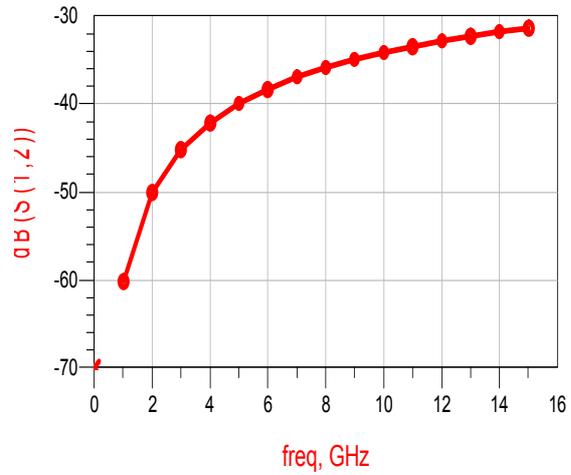


圖 4.49 LO-RF 之隔離度

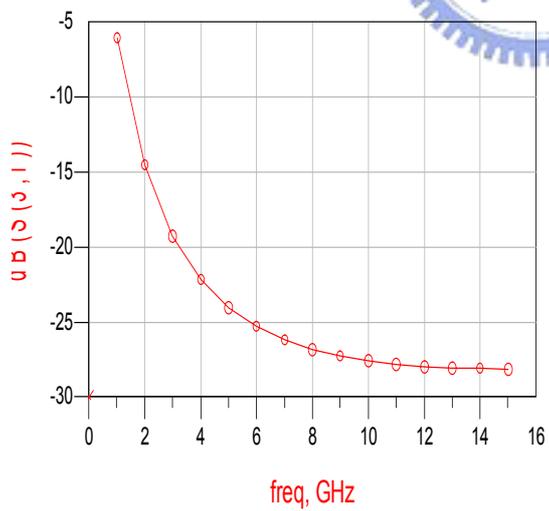
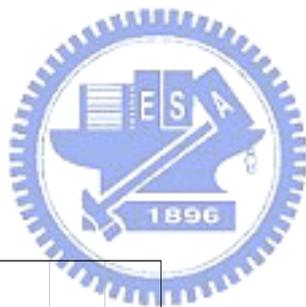


圖 4.50 RF-IF 之隔離度

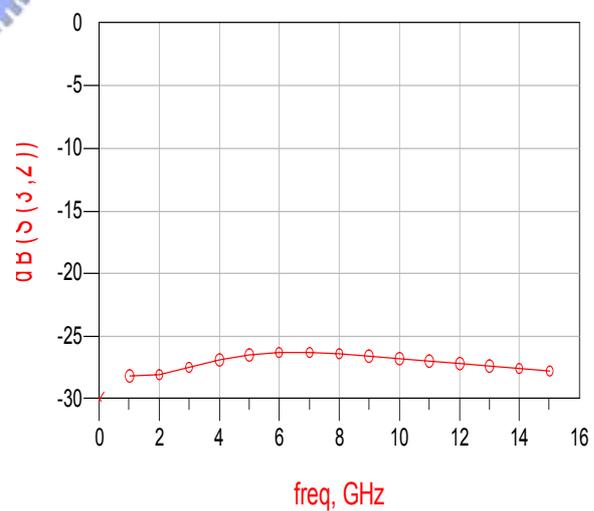


圖 4.51 LO-IF 之隔離度

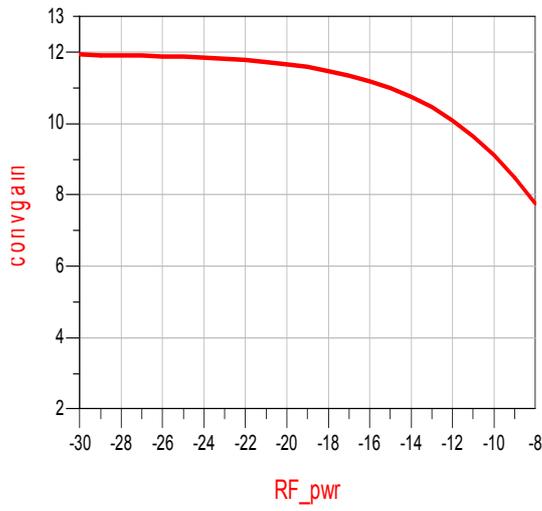


圖 4.52 轉換增益對 RF 輸入功率之變化
RF 為 3.1 GHz

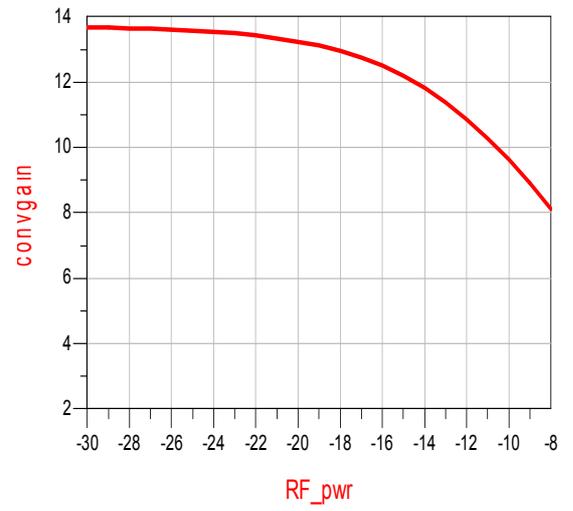


圖 4.53 轉換增益對 RF 輸入功率之變化
RF 為 6.1 GHz

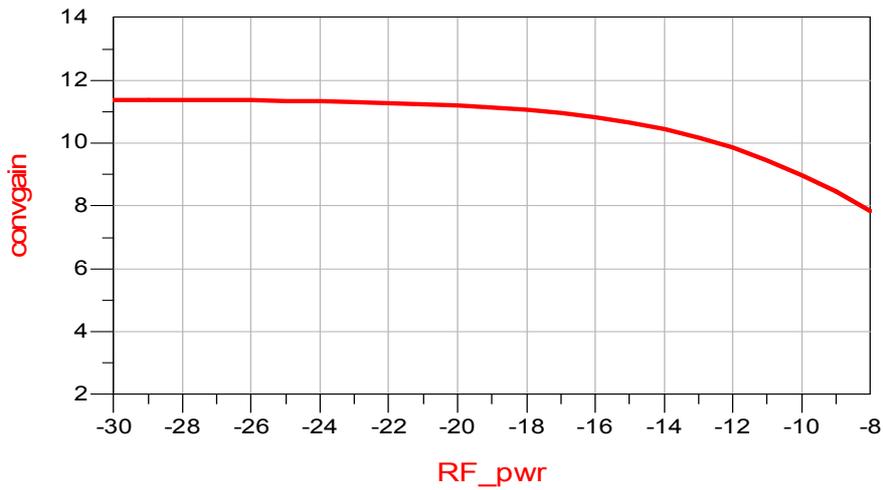


圖 4.54 轉換增益對 RF 輸入功率之變化，RF 為 10.1 GHz

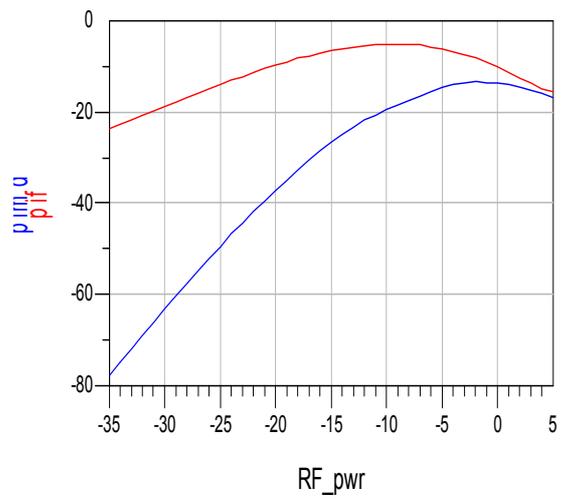


圖 4.55 使用 two-tone 測試模擬 IIP3 值 (3.05~3.15 GHz)

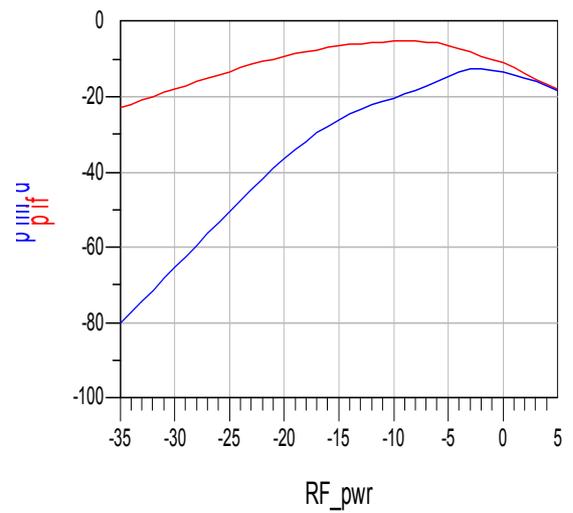


圖 4.56 使用 two-tone 測試模擬 IIP3 值 (6.05~6.15 GHz)

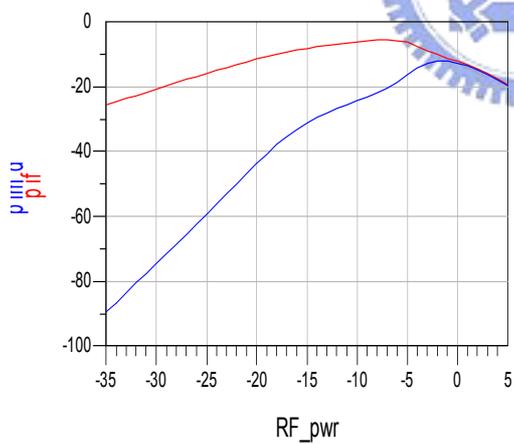


圖 4.57 使用 two-tone 測試模擬 IIP3 值 (10.05~10.15 GHz)

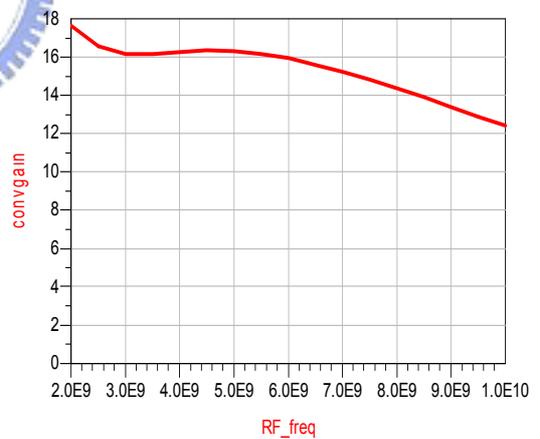


圖 4.58 使用平衡型電阻匹配轉導級的轉換增益對頻率之變化

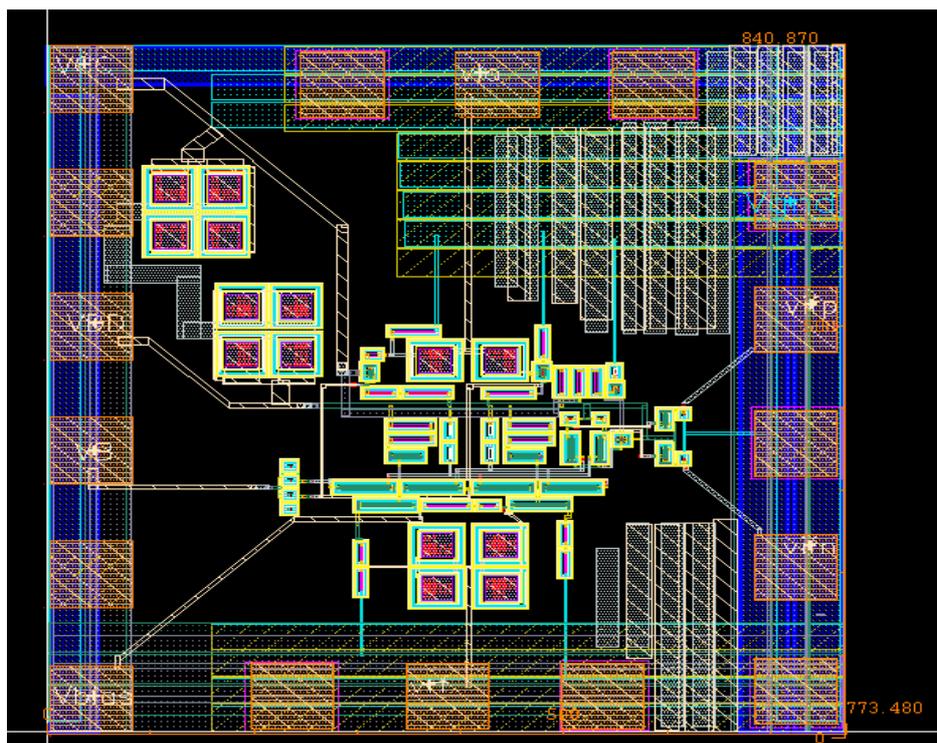


圖 4.59 chip die (0.774 * 0.841 mm²)

表 4.4 3-10 GHz 的降頻微混頻器之模擬結果

3GHz~10GHz UWB wideband mixer	
S11@(RF : 3GHz~10.6GHz)	<-10dB
S22@(IF : 3GHz~10.6GHz)	<-9dB
Conversion Gain@(3GHz~10.6GHz)	~12dB
LO Power	0 dBm
IIP3	-2dBm
P1dB	~-12 dBm
Noise Figure	~20dB
LO-to-RF Isolation	<-30 dB
LO-to-IF Isolation	<-30 dB
Power dissipation(with output balun and output buffer)	20mW

Supply Voltage	2V
Chip Size	0.774 * 0.841 mm ²

結果與討論

本超寬頻微混頻器在設計時以改善先前電路之缺失並保留了共閘-共源轉導級的優點為目標，使其具備了單端 RF/LO 輸入及單端 IF 訊號輸出，且在 3.1~10.5 GHz 均能有著良好的轉換增益，也由於輸入輸出均為 single-ended，因此在量測時毋需透過多個不同頻段的 Balun 將 LO 訊號轉成差動訊號，以將量測時的誤差及不確定性降到最小。本電路設計環境上使用 TSMC 0.18um 1P6M RFCMOS 製程，透過國家晶片實驗室(CIC)製作，並將由晶片中心高頻量測實驗室進行高頻參數之量測。



第五章

結論

本論文針對一般常見的雙端平衡混頻器做一修正及設計，並透過電感-電容之被動元件以及修正過後的電阻匹配來達成一個寬頻匹配之輸入級，以符合超寬頻(UWB) 3.1~10.6 GHz 以及希望適用在 1.5~2.5 GHz 之多規格之降頻混頻器，以減少因不同通訊系統之規格而須重新設計電路造成成本上的浪費。

在佈局的考量方面，盡量將電晶體及走線盡可能的以相對稱的方式來擺放，因混頻器為雙平衡架構，避免因電路佈局的非對稱性，造成接線寄生的電阻電容值相異過大以及容易受製程偏移等影響，另外在電感對於電路效能影響上，其擺放位置盡量遠離主動元件，以避免不必要的高頻干擾，在訊號線的使用上則盡量使用 metal5-metal6，以避免嚴重的寄生效應，使高頻訊號在走線中損耗掉。

在實作結果方面，本論文均以 tsmc 0.18um CMOS 製程進行模擬及實作，在 1.5~2.5GHz 的寬頻混頻器當中，採用共閘-共源級的電壓-電流轉換級，將單端 RF 電壓訊號轉換成雙端電流訊號，在量測結果方面，若供應電壓為 2.5V 時，其單端輸出的轉換增益約為 0 dB，P1dB 則為 -5 dBm，雜訊指數約為 20 dB，且在 1.5~2.5 GHz 有著良好的輸入匹配。在 3.1~10.6GHz 的超寬頻混頻器中，其供應電壓為 3.5V，在調整過 LO 偏壓電壓後，可得到單端轉換增益為 18 dB 左右，其 P1dB 則約為 -13 dBm(1.48V)，且有著很寬頻的匹配；另外在傳統架構的 Gilbert Cell 混頻器方面，雖然有著極為寬頻匹配的 RF 及 LO 輸入下，但由於走線間的過高寄生電容使得訊號的損耗較為嚴重，其轉換增益約為 -11dB 左右，這部份就較不符合模擬預期的結果了。

最後在考量了量測環境及消耗功率下，設計了一個 3.1~10.6GHz 的降頻微混頻器，採用了 RF 及 LO 訊號皆為單端輸入，且 IF 為單端輸出的情況下，得到的模擬結果其轉換增益約為 13dB 左右，其總消耗功率約為 20mw(包含了緩衝輸出級及 balun 在內)，其 P1dB 約為 -15dBm，供應電壓為 2V。

在本論文中設計了多種寬頻之降頻混頻器，從 1.5~2.5 GHz 的頻段延伸至 3.1~10.6 GHz 的頻段，甚至包含了 3~20 GHz 的寬頻混頻器，最後經過了實際下線經驗及量測結果，以 3.1~10.6GHz 的低消耗功率的降頻微混頻器作為本論文完結。因此，在未來的工作上，將所有的射頻電路完全積體化、相關元件的研究與製作、整個射頻前端電路的整合及超寬頻(UWB)電路的實作，將是未來研究的重要課題。



參考文獻

- [1] A. Batra et al., "Multi-Band OFDM Physical Layer Proposal," IEEE P802.15 working Group for WPANs, Jul. 2003.
- [2] Behzad Razavi, "RF Microelectronics," Prentice Hall, 2003
- [3] 林明奇 "射頻吉伯特混頻器設計與實作" 國立交通大學碩士論文, 2004
- [4] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," Cambridge University Press, 2004
- [5] 張維剛 "電子學(中)" 鼎茂圖書, 2000
- [6] Behzad Razavi, "Design Of Analog CMOS Integrated Circuits" McGraw-Hill
- [7] Hooman Darabi and Asad A. Abidi, "Noise In RF-CMOS mixers a simple physical model", IEEE Transaction of Solid-State Circuits, vol.35, No.1, PP.15-25, Jun. 2000.
- [8] Manolis T. Terrovitis, and Robert G. Meyer, "Noise in Current-Commutating CMOS Mixers" IEEE Journal of Solid-State Circuits, vol. 34, No. 6, PP. 772-782, Jun. 1999.
- [9] D. K. Shaeffer and T. H. Lee, "A 1.5-V 1.5-GHz CMOS Low Noise Amplifier", IEEE Journal of Solid-State Circuits, vol. 32, No. 5, PP. 745-759, May 1997.
- [10] Guillermo Gonzalez, "Microwave Transistor Amplifier Analysis and Design," Prentice Hall, 1997
- [11] Sangyoub Lee "DESIGN AND ANALYSIS OF ULTRA-WIDE BANDWIDTH IMPULSE RADIO RECIEVER" DOCTOR OF PHILOSOPHY, UNIVERSITY OF SOUTHERN CALIFORNIA, 2002
- [12] C. H. Tay, K. S. Yeo, J. G. Ma, and M. A. Do, "A 0.1 - 8 GHz ultrawideband high performance mixer for low power applications," in Proc. IEEE Asia Pacific Microwave Conf., Nov. 2003, pp. 420 - 422.
- [13] Tuan-Anh Phan, Chang-Wan Kim, Yun-A Shim and Sang-Gug Lee, "A High Performance CMOS Direct Down Conversion Mixer For UWB System" IEICE TRANS. No1, July 2005
- [14] K. Kivekas, et al, "Design of Low Voltage Active Mixer for Direct Conversion Receivers", IEEE International Symposium on Circuits and Systems (ISCAS), vol. 4, Jun. 2001.
- [15] Q. Li, et al, "Linearity Analysis and Design Optimization for 0.18 um CMOS RF Mixer", IEE Proceedings of Circuits, Devices and Systems, vol. 149, no. 2, April. 2002.
- [16] G. Roberto Aiello, "Challenges for Ultra-wideband (UWB) CMOS Integration", IEEE IMS/RFIC Symposium, Jun. 2003.

- [17] Andrea Bevilacqua and Ali M Niknejad, "An Ultra-Wideband CMOS LNA for 3.1 to 10.6 GHz Wireless Receiver," ISSCC 2004
- [18] Ming-Da Tsai, Huei Wang, "A 0.3–25-GHz Ultra-Wide-Band Mixer Using Commercial 0.18 μm CMOS Technology," IEEE Microwave and Wireless Component Letters, November 2004
- [19] Q. Li, et al, "Linearity Analysis and Design Optimization for 0.18 μm CMOS RF Mixer," IEE 2004
- [20] Leonard A. MacEachern, et al., "A Charge-Injection Method for Gilbert Cell Biasing," IEEE 1998
- [21] C. C. Meng, S. S. Lu, M. H. Chiang and H. C. Chen "DC to 8 GHz 11 dB gain Gilbert micromixer using GaInP/GaAs HBT technology" IEE Electronics Letters, Vol. 39 2003
- [22] B. Gilbert, "The MICROMIXER: A Highly Linear Variant of the Gilbert Mixer Using a Bisymmetric Class-AB Input Stage ", IEEE JSSC Vol. 32 pp. 1412-1413, Sept. 1997
- [23] A. Ismail and A. Abidi, "A 3 to 10 GHz LNA Using a Wideband LC-ladder Matching Network," ISSCC 2004
- [24] Reinhold Ludwig and Pavel Bretchko, "RF Circuit Design Theory and Applications" Prentice Hall, 2000
- [25] David M. Pozar, "Microwave Engineering," John Wiley Press, 2004
- [26] Eric A. M., et al, "A CMOS Switched Transconductor Mixer," IEEE JSSC 2004
- [27] Anh-Tuan Phan, et al, "A High Performance CMOS Distributed Down Conversion Mixer for UWB System," IEEE 2004
- [28] Bosen Tzeng, Chun-Hsien Lien, Huei Wang, Yu-Chi Wang, Pane-Chane Chao, Chung-Hsu Chen, "A 1-17-GHz InGaP-GaAs HBT MMIC Analog Multiplier and Mixer With Broad-band Input Matching Networks," IEEE Transactions on Microwave and Techniques, Nov. 2002