

國立交通大學

電信工程學系

碩士論文

CMOS 螺旋電感等效電路之探討

Study of the Equivalent Circuit of CMOS
Spiral Inductor

研究生：陳清文

指導教授：鍾世忠 博士

中華民國九十四年六月

CMOS 螺旋電感等效電路之研討

Study of the Equivalent Circuit of CMOS Spiral Inductor

研究生：陳清文

Student: Ching-Wen Chen

指導教授：鍾世忠 博士

Advisor: Dr. Shyh-Jong Chung

國立交通大學

電信工程學系碩士班

碩士論文

A Thesis

Submitted to Institute of Communication Engineering
College of Electrical Engineering and Computer Science
National Chiao Tung University

in Partial Fulfillment of the Requirements

For the Degree of

Master of Science

in

Communication Engineering

June 2005

HsinChu, Taiwan, Republic of China

中華民國九十四年六月

CMOS 螺旋電感等效電路之研討

研究生：陳清文

指導教授：鍾世忠 博士

國裡交通大學 電信工程學系碩士班



本論文將詳細討論 CMOS 螺旋電感物理特性，及利用物理特性建立 CMOS 螺旋電感等效電路與計算公式，然後比較模擬與量測結果之差異。接著討論在 CMOS 螺旋電感等效電路中每一個元件對於品質因子的影響，進一步利用二氧化矽層蝕刻去改善品質因子，最後利用電磁模擬軟體討論電感耦合的問題。

Study of the Equivalent Circuit of CMOS Spiral Inductor

Student: Ching-Wen Chen

Advisor: Dr. Chyh-Jong Chung

Institute of Communication Engineering
National Chiao Tung University

ABSTRACT

This thesis will discuss the physical characteristic of CMOS spiral inductors on Si substrate. Equivalent circuit and empirical formulas are established. The calculated results are compared with those obtained by the HFSS simulation and measurements. The influence of each component in the equivalent circuit model on the quality factor Q is also discussed. The Q factor is improved by etching the oxidized Si layer, and the improvement is reported. Finally, the coupling on proximity effects of two adjacent inductors are also studied by the EM simulation software package.

中文摘要	i
英文摘要	ii
目錄	iii
表目錄	v
圖目錄	vi
第一章 序論	1
1.1 研究動機與背景	1
1.2 研究方法	2
1.3 各章節簡介	3
第二章 CMOS 螺旋電感之基本原理	4
2.1 電感的原理與計算	4
2.1.1 電感基本原理	4
2.1.2 電感本身電阻與感直之計算	4
2.2 品質因子(Q-factor)	10
第三章 CMOS 螺旋電感 (spiral inductor) 等效電路討論與其計算	12
3.1 CMOS 螺旋電感等效電路介紹	12
3.2 CMOS 電感等效電路之金屬導線效應的討論與計算	15
3.2.1 趨膚效應與臨接效應	15
3.2.2 等效電路中金屬導線效應之計算	18
3.3 氧化矽層的電容計算	20
3.4 矽基底之效應與計算	22
3.5 矽基底耦合之效應與計算	25
3.5.1 矽基底耦合效應	25
3.5.2 矽基底耦合等效電路計算	28
3.6 CMOS 螺旋電感等效電路之探討	32
3.7 CMOS 螺旋電感模擬與量測結果之比較	34

第四章 電感等效電路與互感之討論	47
4.1 電感等效電路元件與品質因子之討論	47
4.2 二氧化矽蝕刻對品質因子之影響討論	48
4.3 互感之討論	53
4.3.1 接地面距離與互感影響之討論	53
4.3.2 電感間距對互感影響之討論	55
第五章 結論	60
Reference	62



表目錄

表 3-7-1 CMOS 螺旋電感外型參數	35
表 3-7-2 CMOS 螺旋電感電感值比較	45
表 3-7-3 CMOS 螺旋電感品質因子比較	46



圖目錄

圖 2-1-1	CMOS 方形螺旋電感結構圖	5
圖 2-1-2	CMOS 八角型螺旋電感結構圖	6
圖 2-1-3	二五六分之一圈電感弧形長度表示圖	6
圖 2-1-4	互感線段分解表示圖	8
圖 2-2-1	RLC 平行電路	10
圖 3-1-1	一般螺旋電感等效電路	12
圖 3-1-2	修正之 CMOS 螺旋電感等效電路	13
圖 3-1-3	CMOS 螺旋電感之輸出俯視圖	14
圖 3-1-4	CMOS 螺旋電感側視圖	14
圖 3-2-1	肌膚效應示意圖	15
圖 3-2-2	低頻電流分布圖(@0.1GHz)	16
圖 3-2-3	高頻電流分佈圖(@10GHz)	16
圖 3-2-4	渦電流現象示意圖	17
圖 3-2-5	臨接效應示意圖	18
圖 3-2-6	一般金屬效應等效電路	18
圖 3-2-7	金屬導線模型演化圖	18
圖 3-2-8	金屬導線等效模型	19
圖 3-3-1	由金屬穿透二氧化矽之電場與電容示意圖	21
圖 3-3-2	邊緣效應示意圖	21
圖 3-4-1	矽基底效應示意圖	22
圖 3-4-2	電場經由矽基抵制共平面接地端示意圖	24
圖 3-4-3	矽基底等效厚度示意圖	25
圖 3-5-1	磁場穿透矽基底示意圖	26
圖 3-5-2	矽基底感應電流圖	26

圖 3-5-3	電感金屬導線之間電場經由矽基底耦合示意圖	27
圖 3-5-4	矽基底耦合效應等效電路	28
圖 3-5-5	矽基底耦合電容等效示意圖	29
圖 3-5-6	螺旋電感等效結構圖	30
圖 3-5-7	等效電壓分布圖	31
圖 3-6-1	低頻 CMOS 螺旋電感等效電路	32
圖 3-6-2	高頻 CMOS 螺旋電感等效電路	33
圖 3-7-1	CMOS 螺旋電感結構參數指示圖	34
圖 3-7-2	CMOS 螺旋電感各層厚度	32
圖 3-7-3	ind_c6 品質因子比較圖	36
圖 3-7-4	ind_c6 電感值比較圖	37
圖 3-7-5	ind_c6 電阻值比較圖	38
圖 3-7-6	ind_c12 品質因子比較圖	39
圖 3-7-7	ind_c12 電感值比較圖	40
圖 3-7-8	ind_c12 電阻值比較圖	41
圖 3-7-9	ind_c18 品質因子比較	42
圖 3-7-10	ind_c18 電感值比較圖	43
圖 3-7-11	ind_c18 電阻值比較圖	44
圖 4-1-1	元件變化對品質因子最大值變化圖	47
圖 4-2-1	二氧化矽蝕刻側視示意圖	49
圖 4-2-2	二氧化矽蝕刻俯視示意圖	49
圖 4-2-3	線與線間距蝕刻表示圖	50
圖 4-2-4	內部中空蝕刻圖	50
圖 4-2-5	內部中空與線與線間距蝕刻圖	51
圖 4-2-6	外部、內部中空與線與線間距蝕刻圖	51
圖 4-2-7	電感蝕刻比較圖	52

圖 4-2-8	電感外圍蝕刻品質因子變化比較圖53
圖 4-3-1	D_{ground} 示意圖54
圖 4-3-2	D_{ground} 變化影響互感模擬圖55
圖 4-3-3	互感螺旋方向示意圖56
圖 4-3-4	互感方向變化圖56
圖 4-3-5	變更方向耦合比較圖57
圖 4-3-6	反方向間距耦合變化圖58
圖 4-3-7	同方向 X 軸間距耦合變化圖58
圖 4-3-8	同方向 Y 軸間距耦合變化圖59
圖 4-3-9	不同輸出方向耦合變化圖59



第一章 序論

1.1 節 研究動機與背景

近年來，無線通訊技術的運用已經越來越廣泛，例如：個人通訊、無線區域網路、…等，利用無線行動通訊技術使得人與人的溝通及資料的傳輸更不受時間及地域的限制。為求能即時即地的交流資訊與服務，無線通訊應用市場更是快速成長，在此趨勢之下，無線通訊晶片遂漸漸地成為全球半導體產業的主流。無線通訊產品所必要之射頻特性必需仰賴射頻(RF)電路，由於輕、薄、短小是無線產品的趨勢，因此，可以符合此要求的射頻積體電路(RFIC)遂成為無線通訊系統中關鍵的零組件。無線系統產品的開發人員經常需要用到小型、經濟又高度整合的零組件，為了設計出高度整合的RFIC，最好能在基板層上整合螺旋電感，因為半導體是最能達到最低生產成本的選擇。然而在RF IC 的領域中，原本是利用GaAs為主要製程，因為GaAs電晶體提供較好的性能，但由於現在CMOS製程技術提升，可以提供相當好的電晶體，且數位與類比電路可以製作於同一晶片上而減少成本，因此在微波低頻段的部分已經轉換為CMOS製程為主。

CMOS螺旋電感的最大問題是品質因子通常都不會太好。由於螺旋線圈在金屬化過程中會產生阻抗損耗的現象，加上半導體基板層的阻抗及耦合到基板的容抗，使得半導體上的電感效能與理想的電感元件之效能有相當大的落差。由於其效能普遍不佳，因此一般會以所需工作頻率下的最大品質因子(Q)來設計CMOS螺旋電感，以便在基板層上的可用區域上提供所需的電感值。

CMOS螺旋電感一直都是使用測量的方法來找出其特性參數的，這種以經驗為主的方法會先一次設計很多個螺旋電感，然後再放到測試晶圓上試做，做好以後再利用晶圓檢查的測試設備，測量各個電感的效能。由於這種方法無法預測設計的結果，因此需要對很多個螺旋電感進行特性測量，且最後只有少數幾個會被用在實際的設計中。所以一般在設計時，運用數值模擬的方法來評估螺旋電感的特性會具有較大的彈性，這種方法也可以免除掉使用測試晶圓的必要，完全以製

程參數特性的模擬來取代。由於透過模擬可以在設計過程中帶來可預測的優點，因此比較容易對螺旋電感的佈局進行最佳化調整，以得到所需的電感值和最佳的品質因子，整個最佳化的過程甚至可以用自動化的方式來進行。透過參數的研究可以找出如何提升螺旋電感效能的敏感點和深入資訊。為了發揮模擬設計方法的最大優點，模擬器必須要非常精確、其數學運算的效率要很高、且使用上要夠簡便才行。

1.2節 研究方法

一般要得知螺旋電感的品質因子與感值對頻率的關係是利用量測，但純粹測量法的最大缺點是需要有一個甚至好幾個測試晶圓，不但昂貴且又耗時。而且，只有挑選出來的少數幾個CMOS螺旋電感能在實際的IC設計過程中被可靠地使用，有時連挑選出來的最佳電感也無法完全符合所有的要求，此時就得在設計的其它地方進行補償了。這種純粹測量的方法需要進行非常精確的測量，因此在儀器的校準程式上需要特別地小心才行。

電磁模擬是有別於嘗試錯誤測量法之外的另一種引人注目的方法，這種方法不需要昂貴又耗時的晶圓製作和測量過程，就能預測出螺旋電感的效能特性。這種模擬器可讓設計人員直接在佈局模擬的環境中，找出虛擬螺旋電感的特性，不需要靠真正在晶圓上製作出來的螺旋電感。由於需要高達5或10GHz，或甚至更高的各種精確模型，因此只有EM 模擬技術能提供所需的準確度。大多數的EM 模擬器都可以提供與頻率相依的S 參數資料，因此，可得到與純粹測量的方法幾乎同等的結果。但是此種方法亦需要耗費相當多的時間，所以接下來吾人是利用電感之物理特性建立一等效電路與其各元件的公式來估算CMOS螺旋電感的感值與品質因子對頻率的關係。

1.3節 各章節簡介

第二章為簡介一般電感之定理與螺旋電感分析計算，第三章為介紹吾人所使用之 CMOS 螺旋電感之等效電路模型，等效電路中各元件之物理意義與計算公式，討論模擬與量測結果比較，在此章節中最後探討等效電路與頻率之關係。在第四章中，討論各元件對於品質因子最大值之影響，接著因清楚各元件對於品質因子的影響，為了改善品質因子而蝕刻二氧化矽層，討論其影響。最後討論兩兩相鄰之 CMOS 螺旋電感之互感效應。



第二章 CMOS 螺旋電感的基本原理

2.1 節 電感的原理與計算

2.1.1 電感基本原理

當電流通過線圈(導體)時，會產生磁通密度 B ，而我們可以根據通過線圈的磁通密度 B ，來定義磁通量 Φ [1]

$$\Phi = \oint_s \vec{B} \cdot d\vec{s} \quad \text{式 2-1-1}$$

根據 Biot-Savart law:

$$\vec{B} = \frac{\mu_0 I}{4\pi} \oint_c \frac{d\vec{l} \times \hat{a}_R}{R^2} \quad \text{式 2-1-2}$$

其中 B 和電流 I 成正比，因此 Φ 也和電流 I 成正比。

因此

$$\Phi = L \cdot I \quad \text{式 2-1-3}$$

若線圈有 N 圈則總磁通量 Λ 為

$$\Lambda = N \cdot \Phi = L \cdot I \quad \text{式 2-1-4}$$

$$L = \frac{\Lambda}{I} \quad \text{式 2-1-5}$$

2.1.2 電感本身電阻與電感值之計算

一般電感值的計算是由全波(full wave)計算，或是其他的數值方法所計算出來的。但是此篇論文所利用的方法是先計算出電感本身的長度，然後計算出電感內部的自感值，接著將電感分割為相加性互感與相消性互感兩種計算，之後再將所有的值相加減即為在直流狀態下的電感值。

IC 螺旋狀電感的形式有方型、八角型、與圓形，所以電感的長度計算可以隨著不同的形狀，而有不同公式。圖 2-1-1 為一般方形螺旋狀電感結構圖，其長度的估算公式為[2]

$$l_{square} = (4n + 1)D_{in} + (4N_i + 1)N_i(w + s) \quad \text{式 2-1-6}$$

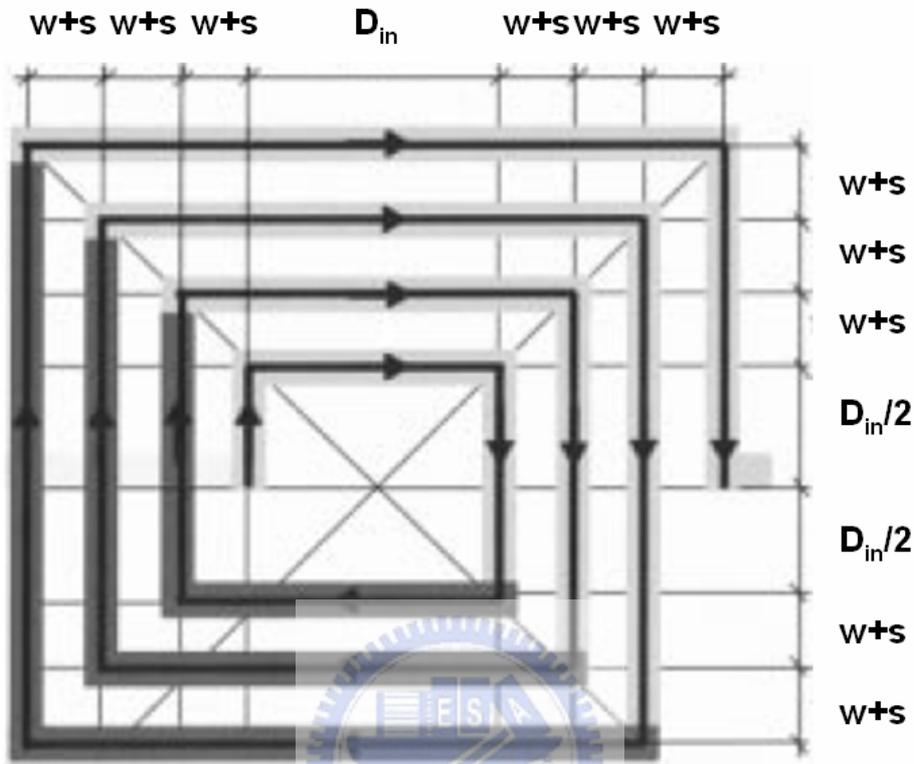


圖 2-1-1 CMOS 方形螺旋電感結構圖

圖 2-1-2 為八角形螺旋狀電感結構圖，其長度估算公式為

$$l_{oct} = (4n - 1)D_{in} + \sum_{k=1}^{8n} k \frac{(w + s)}{8} \quad \text{式 2-1-7}$$

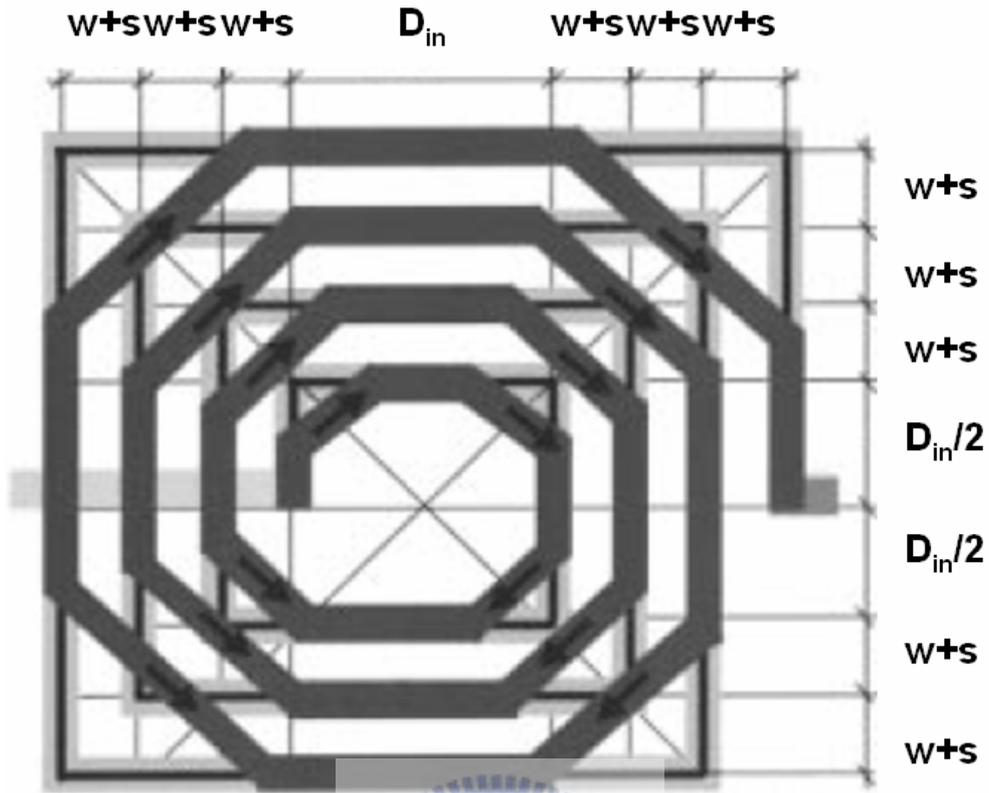


圖 2-1-2 CMOS 八角形螺旋電感結構圖

而圓形電感的長度無法直接利用 $l = 2\pi r$ 計算，進而將一圈圓形電感切割成 m ($m=256$) 塊來計算，因為其角度極小，所以使用 $l = \theta r$ 計算，圖 2-1-3 表示電感弧形計算長度，其中 i 為第 i 個電感區段。

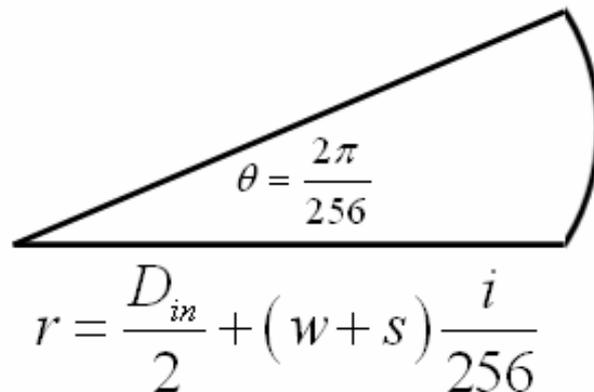


圖 2-1-3 二五六分之一圈電感弧形長度計算表示圖

圓形螺旋狀電感其長度估算公式為

$$l_{cir} = \sum_{i=0}^{mn} \left(\frac{D_{in}}{2} + (w + s) \frac{i}{m} \right) \left(\frac{2\pi}{m} \right) \quad \text{式 2-1-8}$$

其中 m 為將一圓形切成多少的段數來分析 ($m=256$)。在電感本身長度計算完之後，需要再將空橋部分 (underpass)、金屬相接 (via) 與外接量測的長度相加才為完整的電感長度 l_{total} 。

直流狀態電阻的計算是利用一般常用公式，以式 2-1-9 表示， ρ 為金屬導體的電阻率 (resistivity)， l 為電感長度， $A = wt$ ， w 為導線線寬， t 為金屬層厚度。

$$R_{dc} = \rho \frac{l}{A} = \rho \frac{l}{wt} \quad \text{式 2-1-9}$$

而在直流狀態下的電感值的計算是利用一般單一線段電感公式 2-1-10

$$L_{segment} = \frac{\mu_0}{2\pi} l_{segment} \left(\ln \frac{l_{segment}}{w + t} + 0.5 \right) \quad \text{式 2-1-10}$$

，但是螺旋電感無法利用此公式，必須修正才可使用。以方形螺旋電感為例，平均單一線段長度為

$$l_{AV_segment} = \frac{l_{square}}{4n},$$

將 $l_{AV_segment}$ 帶入式 2-1-10，其方形螺旋電感之自感值公式修正為

$$L_{self_square} = \frac{\mu_0}{2\pi} l_{square} \left(\ln \frac{l_{square}}{n(w+t)} - 0.2 \right) \quad \text{式 2-1-11}$$

同理，八邊形與圓形亦可利用此方法修正。而空橋部分(underpass)、金屬相接(via)與外接量測的電感值可以依據式 2-1-10 計算即可。

因為螺旋狀電感線與線之間會有互感效應，在同側邊的線段為相加性的互感，在反側邊的線段為相消性的互感，而垂直的線段則不會有互感的效應，如圖 2-1-4。

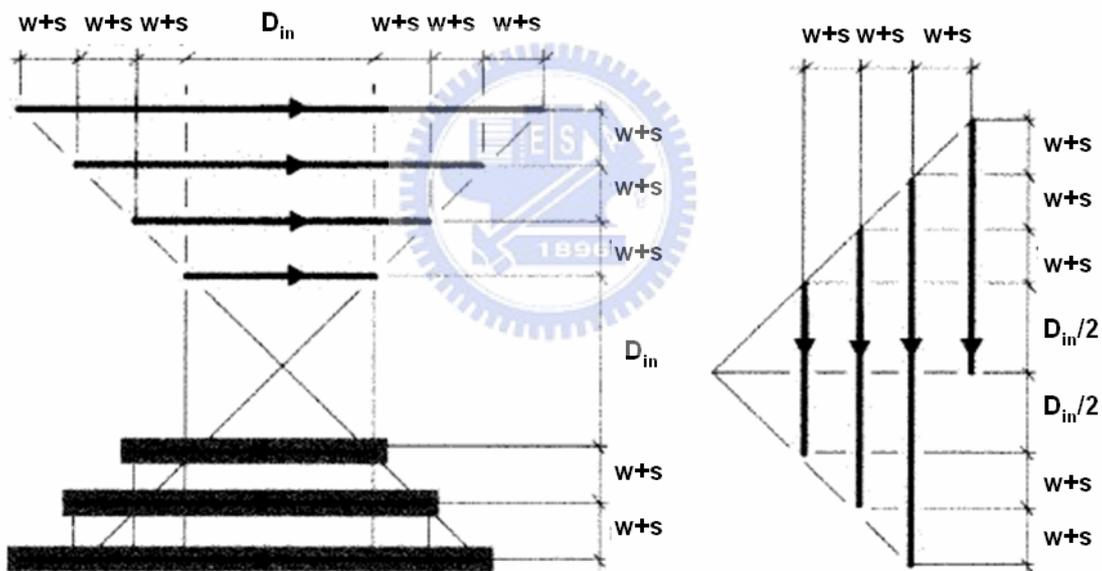


圖 2-1-4 互感線段分解表示圖

利用這種分析方法，分解出相加性互感 M^+ 與相消性互感 M^- 的成分之後再利用式 2-1-12 至式 2-1-14 計算即可， l 為電感總長度， n 為電感圈數， w 為金屬線寬， s 為現與線之間的距離， N_i 為電感圈數(n)的整數部分。

$$M^- = 2 \cdot 2 \cdot n^2 \left(\frac{\mu_0}{2\pi} \frac{l}{4n} 0.47 \right) = 0.47 \frac{\mu_0}{2\pi} nl \quad \text{式 2-1-12}$$

$$M^+ = \frac{\mu_0}{2\pi} l(n-1) \left[\ln \left(\sqrt{1 + \left(\frac{l}{4nd^+} \right)^2} + \frac{l}{4nd^+} \right) - \sqrt{1 + \left(\frac{4nd^+}{l} \right)^2} + \frac{4nd^+}{l} \right] \quad \text{式 2-1-13}$$

$$d^+ = (w+s) \frac{(3n-2N_i-1)(N_i+1)}{3(2n-N_i-1)} \quad \text{式 2-1-14}$$

其中式 2-1-12 乘以 $2n^2$ 是為了近似平均長度在平均間隔距離之下的修正因子，式 2-1-14 為了修正式 2-1-13，其意義為在每一條相加性互感的平均距離作修正。上面的的一個例子僅適用於方形螺旋狀電感，但若為八角形或是圓形皆無法適用，所以我們將八角形與圓形的螺旋狀電感等校為一方形的螺旋狀電感，如圖 2-1-2 所示，其等效長度為

$$l_{\text{eff_oct}} = 4n \left(\frac{l_{\text{oct}}}{8n} + 2 \frac{l_{\text{oct}}}{8n} \cos 45^\circ \right) = 1.21 l_{\text{oct}} \quad \text{式 2-1-15}$$

$$l_{\text{eff_cir}} = 4n \left(1 + 2 \sum_{i=1}^{\frac{m-1}{4}} \cos \left(2\pi \frac{i}{m} \right) \right) \frac{l_{\text{cir}}}{mn} = \frac{4}{m} \left(1 + 2 \sum_{i=1}^{\frac{m-1}{4}} \cos \left(2\pi \frac{i}{m} \right) \right) l_{\text{cir}} \quad \text{式 2-1-16}$$

其中 m 為將一圓形切成多少的段數。

最後將所有部份的電感值加起來即為總體的電感值

$$L_{total} = L_{self} + M^+ - M^- \quad \text{式 2-1-17}$$

2.2 節 品質因子(Q-factor)

品質因子的大小通常為判定一個電路好壞的指標，原因是因為電感的品質因子的大小，與電感儲存能量的能力有關。尤其是矽製程，因為矽基板的導電率頗高，以至於損耗大，造成矽製程電感的品質因子較低。我們在定義品質因子可以用能量的觀點和電路的觀點定義[3]。

以能量的觀點來定義：

$$Q = \frac{2\pi(\text{Stored Energy})_{\max}}{\text{Energy loss}}$$

由上式得知，電感損耗越小，則 Q 值越大。

以電路的觀點定義：

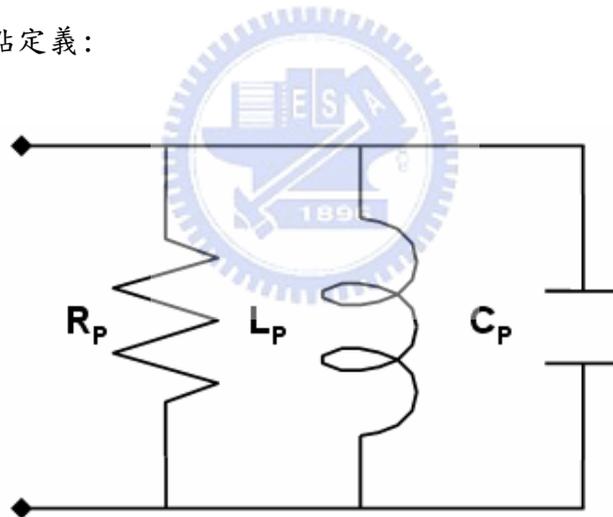


圖 2-2-1 RLC 平行電路

則

$$Q = \frac{R_p}{\omega_0 L_p} = \frac{R_p}{\sqrt{\frac{L_p}{C_p}}}$$

$$= \frac{\omega_0 L_s}{R_s} = \frac{\sqrt{\frac{L_s}{C_s}}}{R_s} \quad \text{式 2-2-1}$$

以電感為例， L (電感值)的大小幾乎是由導線繞的圈數和形狀決定，而 R (電感的電阻)的大小事由導線的長度、截面積和頻率所決定，然而在定面積和標準製程下，想要有大的電感值與高 Q 值，是一件困難的任務，因為要有高的感值就需要增加圈數，但相對的導線長度亦會增加，進而使 R 增大，導致 Q 值降低。



第三章 CMOS 螺旋電感(spiral inductor)等效電路討論與其計算

在此章中，先介紹 CMOS 螺旋電感等效電路的特性，再討論 CMOS 螺旋電感等效電路中，所有元件所表達之物理意義與近似公式，討論等效電路與頻率的關係，最後比較模擬結果與量測結果

3.1 CMOS 螺旋電感等效電路介紹

一般的 CMOS 螺旋電感等效電路模型幾乎都是為與頻率有關的元件[4]，例如： $L(f)$ 、 $R(f)$ ，雖然在一般的情形之下可以精確表示電感金屬效應，但是其缺點是無法輕易的利用於電路模擬軟體，如：H-SPICE、Agilent ADS、Microwave office...等，所以將電路模型修正為與頻率無關之元件。

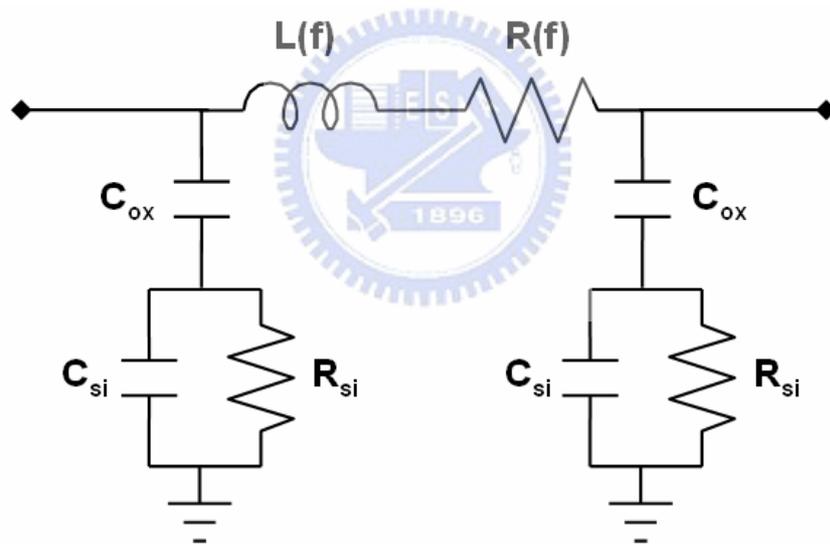


圖 3-1-1 一般螺旋電感等效電路

圖 3-1-2 為吾人所使用之 CMOS 螺旋電感等效電路模型[5][6]，此模型為與頻率無關(frequency independent)之電路，最主要的功用是可以利用於一些電路模擬軟體。而在 CMOS 電感等效電路中， L_{s0} 、 L_{s1} 、 R_{s0} 、 R_{s1} 為表示電感導線的低頻與高頻的效應，其中包含趨膚效應(skin effect)與臨接效應(proximity effect)，此部分在 3.2 節中說明。 C_{ox} 為二氧化矽層(SiO_2)中的電容，而此電容會影響矽基底耦合效應的大小，會在 3.3 節中說明。 R_{si} 、 C_{si} 為基底層中所造成

的電容與電感，對於高頻時的品質因子(Q-factor)會有影響，在 3.4 節中說明。
 C_{sub} 、 L_{sub} 、 C_{sub} 為導線與導線之間的耦合經過矽基底層所造成的效應，或是可以解說為高頻狀態下(Eddy current)所造成的效應，亦會在 3.5 節中討論說明。

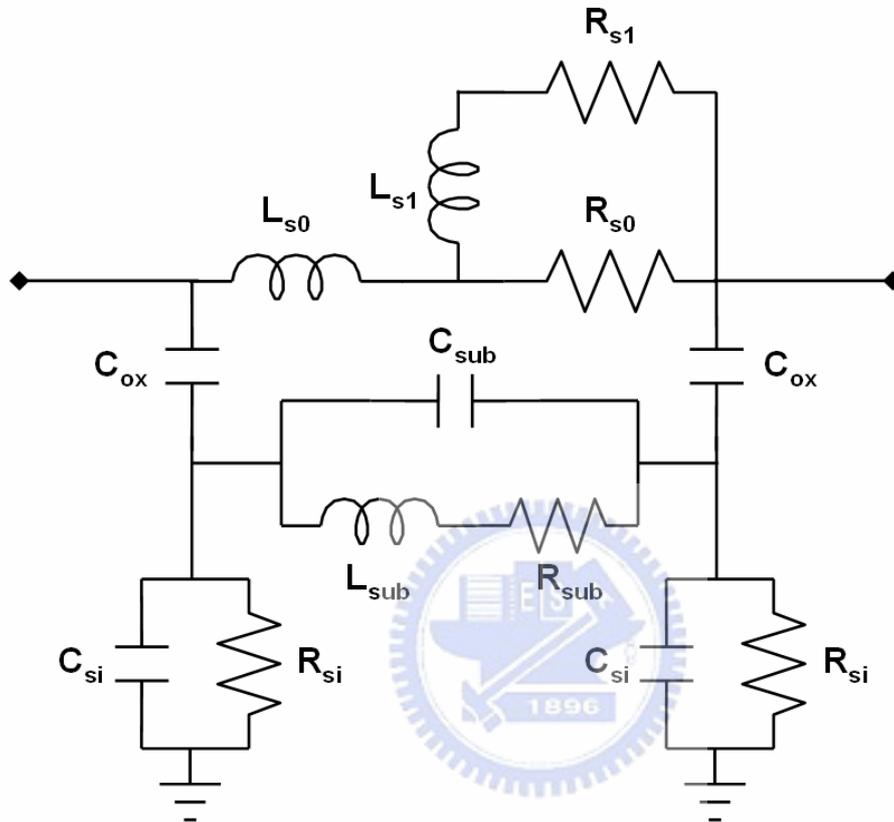


圖 3-1-2 修正之 CMOS 螺旋電感等效電路

圖 3-1-3 表示為 CMOS 平面螺旋電感之輸出俯視圖。 w 為導線線寬， s 是線與線之間的間距， D_{in} 為螺旋電感的內徑， D_{out} 為螺旋電感的外徑， D_{ground} 為螺旋電感與地平面之間的距離。

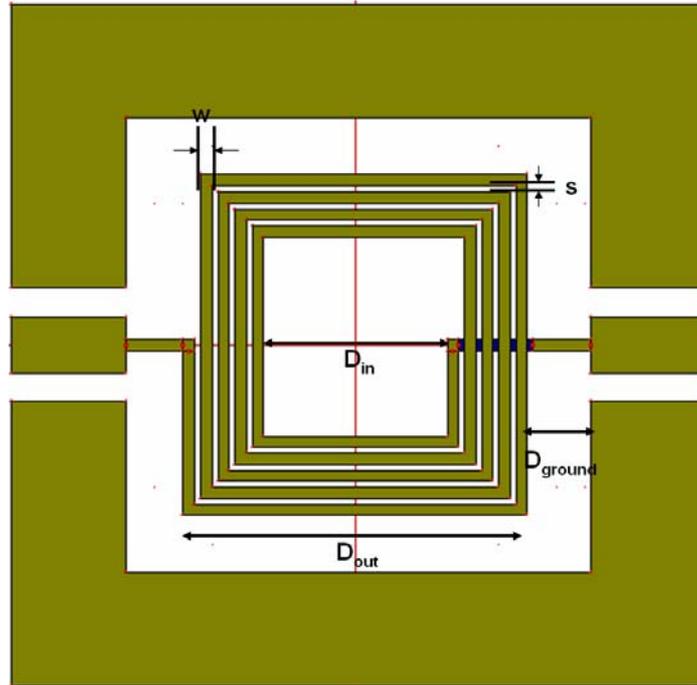


圖 3-1-3 CMOS 螺旋電感之輸出俯視圖

圖 3-1-4 為平面螺旋電感之側視圖。 t 為金屬厚度， t_{up} 為空橋 (underpass) 部分的金屬厚度， H_{metal} 為上層金屬與下層金屬間距，亦為金屬間相接的長度 (via)， H_{ox} 為二氧化矽層的厚度， H_{si} 為矽基底層的厚度。

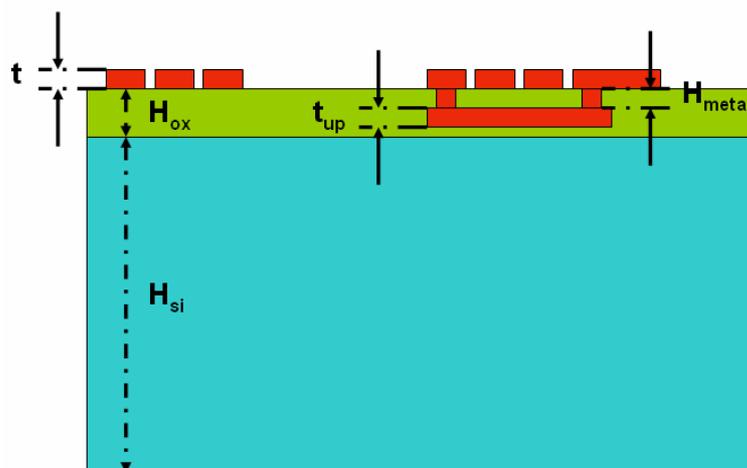


圖 3-1-4 CMOS 螺旋電感之側視圖

3.2 CMOS 電感等效電路之導線金屬效應的討論與計算

在低頻的狀態下，CMOS 螺旋電感電路之能量損耗僅有 R_{dc} 所造成的，但是在高頻的時候，會有其他效應的出現，例如：趨膚效應(skin effect)與臨接效應(proximity effect)，而這些效應會嚴重影響 CMOS 螺旋電感之輸入阻抗與品質因子的大小。

3.2.1 趨膚效應(skin effect)與臨接效應(proximity effect)

在高頻時，金屬線因肌膚效應[式 3-2-1 與圖 3-2-1 所示]而產生截面電流分布不均勻的現象，使金屬線本身損耗增加。在低頻時，因受肌膚效應影響較小，此時導線電阻不會有明顯的增加。

$$\delta = \sqrt{\frac{2}{\omega\mu_0\sigma}} \quad \text{式 3-2-1}$$

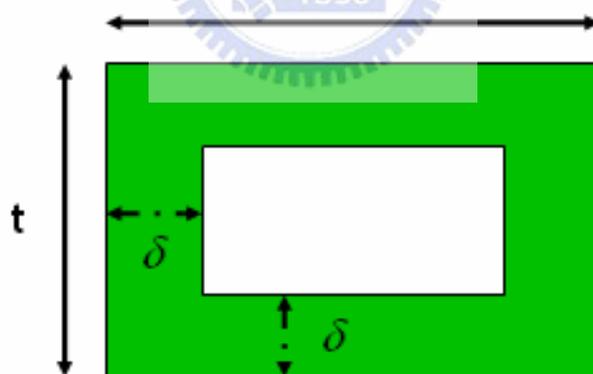


圖 3-2-1 肌膚效應示意圖

由圖 3-2-2 與圖 3-2-3 觀察得知，越接近電感中心其電流越集中於導體表面，即為電感中心中空部份的所通過的磁力線多，表面電流再往內側集中的結果，更使內圈導線電阻增大。

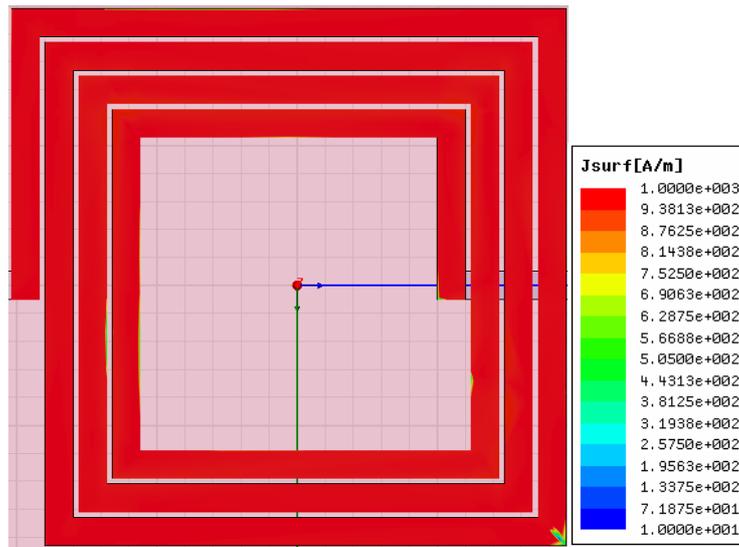


圖 3-2-2 低頻電流分布圖(@0.1GHz)

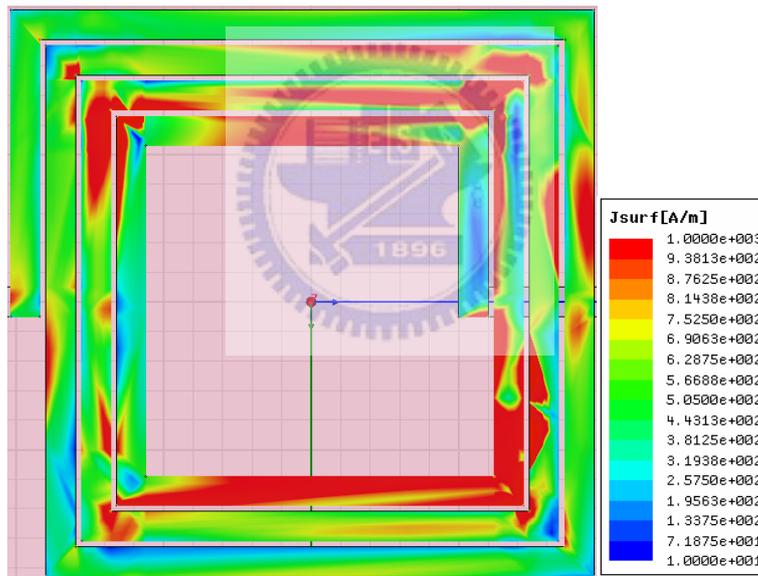


圖 3-2-3 高頻電流分布圖(@10GHz)

導線上的渦電流產生原因如圖 3-3-4 所示[7]，導線上均有一電流 I ，此電流方向會有一相關磁場 \vec{B} ，方向如符號 \otimes 。當螺旋狀的電感圈數增加，或是電感中心中空部份減小，而大部分磁場通過中空部份，依據法拉第定律，交流電流所導引出的時變磁場產生垂直向上(符號 \odot)的感應磁場 \vec{B}_{eddy} ，亦即在導體表面產

生一渦電流 I_{eddy} ，而此渦電流的方向在導線內側與原電流方向相加，如圖 3-2-4 所示，顏色越深的表示電流密度越高。

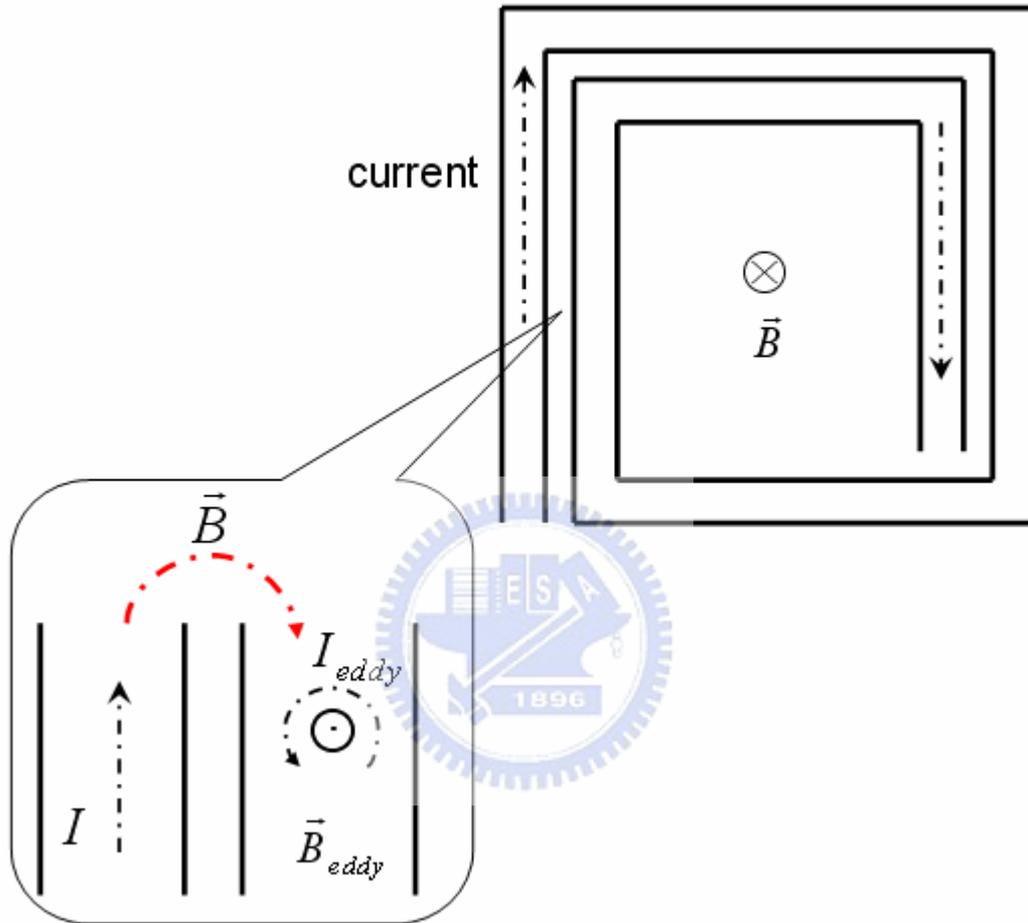


圖 3-2-4 渦電流現象示意圖

當兩導線在高頻的狀態下，若靠的太近會有臨接效應的出現，圖 3-2-5 所示。在高頻狀態下，兩鄰近的導線其電流方向相同，因渦電流所產生的磁場與鄰近的導線作用下會有出現電流排斥的情形，進而出現如圖 3-2-5 的情形，此狀態即為臨接效應。

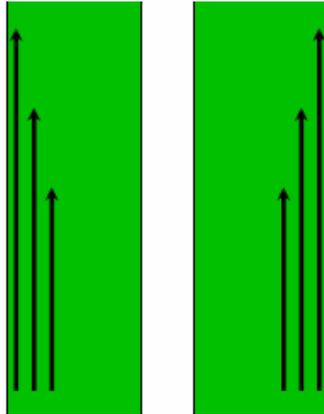


圖 3-2-5 臨接效應示意圖

3.2.2 等效電路中導線金屬效應之計算

一般導線金屬效應的模型僅有直流狀態下的 L 、 R 的表示，如圖 3-2-6。但是隨著頻率的增加，會有肌膚效應出現，且若兩導線相距太近，又會有臨接效應，如圖 3-2-7 所示[8]。



圖 3-2-6 一般金屬效應等效電路

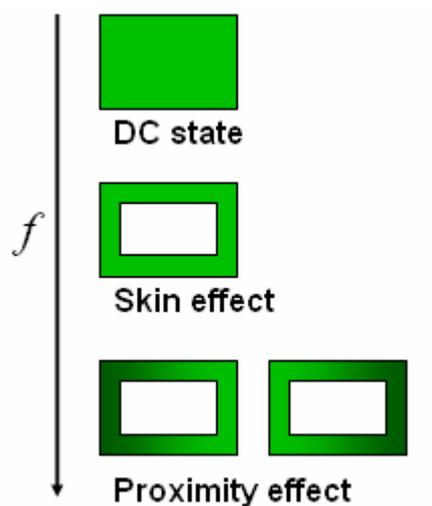


圖 3-2-7 金屬導線模型演化圖

進而將 CMOS 螺旋電感金屬效應等效電路修正為圖 3-2-8。

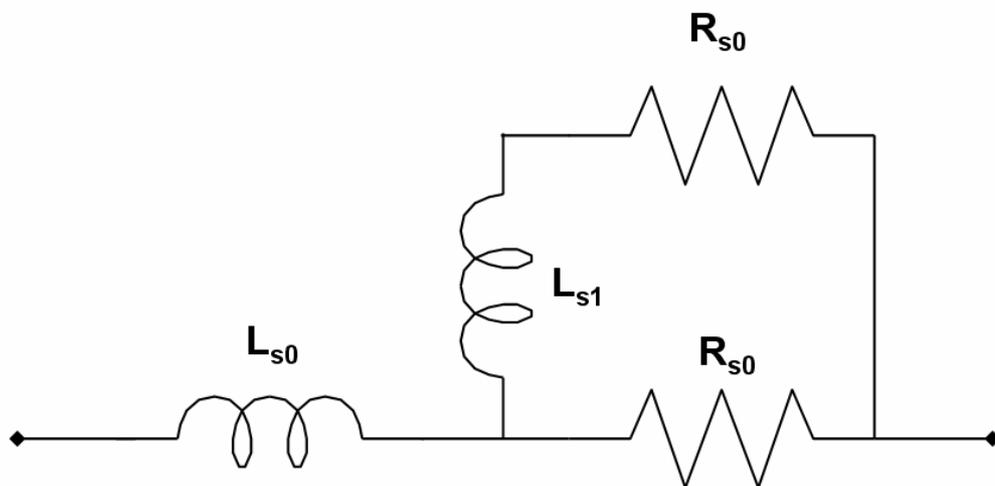


圖 3-2-8 金屬導線等效模型

圖 3-2-8 中所表明的是此篇論文所採用之金屬導線的模型， L_{s0} 為螺旋狀電感的電感值， R_{s0} 為低頻時金屬導線的電阻值， R_{s1} 與 L_{s1} 為高頻時的肌膚效應與群聚效應。而圖 3-2-8 中的輸入阻抗為

$$Z_{in} = j\omega L_{s0} + \left(R_{s0} \parallel (R_{s1} + j\omega L_{s1}) \right)$$

$$= \frac{R_{s0} R_{s1} (R_{s0} + R_{s1}) + \omega^2 L_{s1}^2}{(R_{s0} + R_{s1})^2 + \omega^2 L_{s1}^2} + j\omega \left(L_{s0} + \frac{R_{s0}^2 L_{s1}}{(R_{s0} + R_{s1})^2 + \omega^2 L_{s1}^2} \right)$$

式 3-2-2

由近似得知之公式為[10]

$$R_{s0} = 1.33 \left(1 + \frac{D_{in}}{D_{out}} \right) R_{dc} \quad \text{式 3-2-3}$$

$$R_{s1} = 3.55 \left(1 + \frac{D_{in}}{D_{out}} \right) R_{dc} \quad \text{式 3-2-4}$$

$$L_{s0} = \left[\frac{3.57 + k}{3.57} + \frac{0.28k(R_{s0} - R_{s1})^2 + 0.079R_{s0}^2}{(R_{s0} + R_{s1})^2} \right] L_{dc} \quad \text{式 3-2-5}$$

$$L_{s1} = 1.19L_{s0} \quad \text{式 3-2-6}$$

$$k = 0.13 \sqrt{\left(100wt \frac{R_{dc}}{L_{dc}} \right)^2 - 1} - 1.19 \quad \text{式 3-2-7}$$

其中 R_{dc} 、 L_{dc} 為 CMOS 螺旋電感本身總電阻與電感值， w 為 CMOS 金屬導體線寬， t 為 CMOS 金屬線厚， D_{in} 與 D_{out} 分別為 CMOS 螺旋電感之內徑與外徑。

3.3 氧化矽層的電容計算

圖 3-4-1 為金屬層之電場導致其二氧化矽之示意圖。一般二氧化矽層之電容計算公式為

$$C_{ox} = \epsilon_0 \epsilon_{r_{ox}} \frac{A}{H_{ox}} \quad \text{式 3-3-1}$$

ϵ_0 為真空之介電係數， $\epsilon_{r_{ox}}$ 為二氧化矽之相對介電係數， A 為金屬層之總面積 ($A = wl$ ， w 為金屬線寬， l 為電感長度)， H_{ox} 為二氧化矽之厚度。但是一般如此的計算無法準確的估算，因為沒有考慮到邊緣效應(fringing field)的問題，如圖 3-3-1 所示。

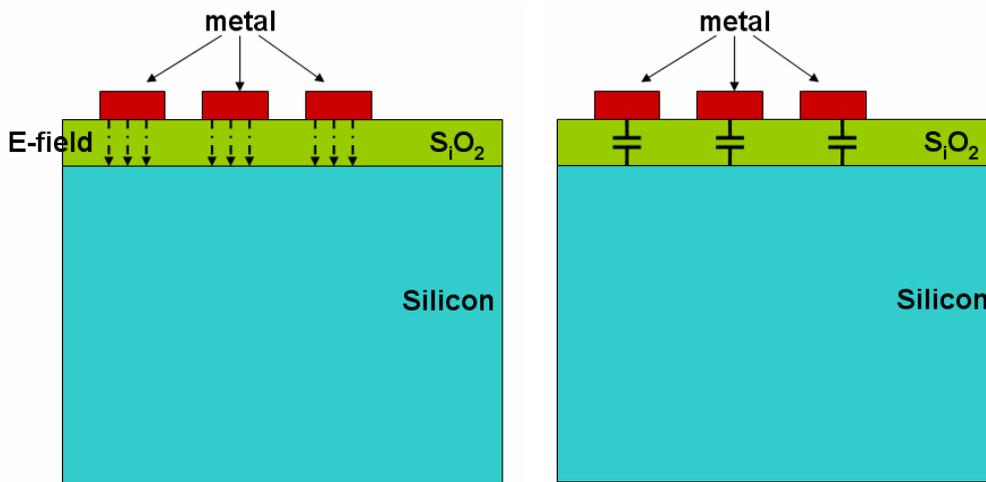


圖 3-3-1 由金屬穿透至二氧化矽之電場與電容示意圖

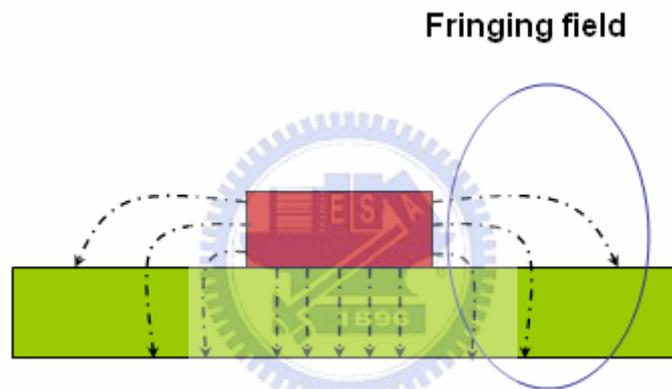


圖 3-3-2 邊緣效應示意圖

因為有邊緣效應，導致面積的大小會有改變，面積估算公式必須要修正，以方型 CMOS 螺旋電感為例，其面積估算公式為

$$A_{eff} = D_{out}^2 - D_{in}^2 \quad \text{式 3-3-2}$$

$$C_{ox} = \epsilon_0 \epsilon_{r_{ox}} \frac{A_{eff}}{H_{ox}} \quad \text{式 3-3-3}$$

D_{in} 與 D_{out} 分別為方形螺旋狀電感之內徑與外徑，所以估算公式中的 A 修正為

A_{eff} 。

3.4 矽基底之效應討論與計算

在一般接地端位於矽基底層之下，矽基底的效應乃因為金屬導線的電場穿透過二氧化矽層與矽基底至接地端，如圖 3-4-1 所示，但是因矽基底層之導電係數 (conductivity) 而有電阻損耗，造成品質因子(Q-factor)的降低。

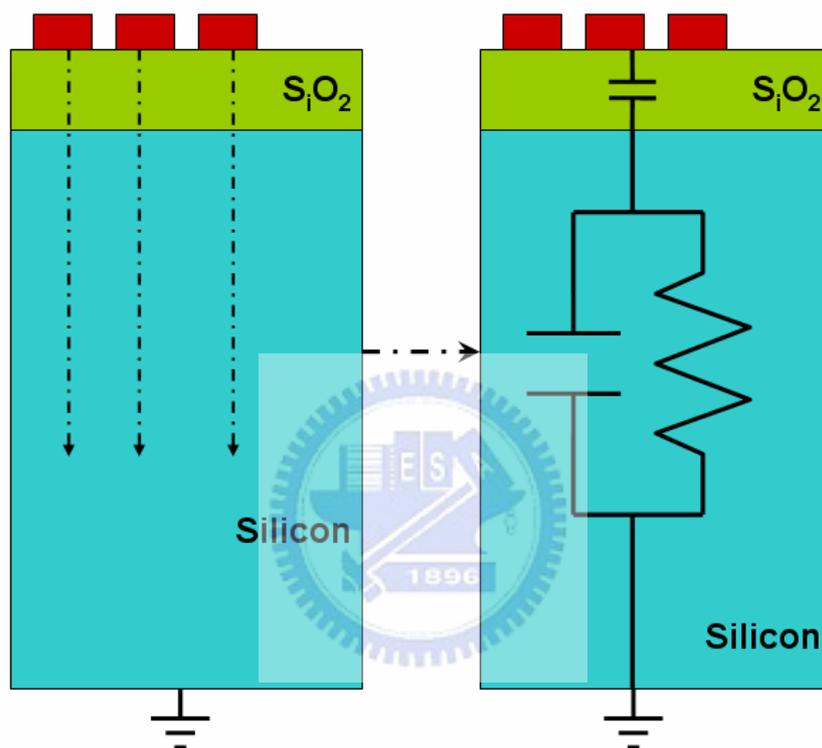


圖 3-4-1 矽基底效應示意圖

一般在其他論文的觀點之下，矽基底的計算公式為

$$R_{si} = \frac{2}{wlG_{si_area}} \quad \text{式 3-4-1}$$

$$C_{si} = \frac{wlC_{si_area}}{2} \quad \text{式 3-4-2}$$

w 為 CMOS 金屬線寬， l 為 CMOS 螺旋電感長度， G_{si_area} 、 C_{si_area} 分別為量測之

矽基底單位面積導納與電容。因為單位面積導納與電容必須經由量測才能得知，此種方法較為麻煩，進而使用另一種計算方式為

$$R_{si} = \rho_{si} \frac{2H_{si}}{wl} \quad \text{式 3-4-3}$$

$$C_{si} = \varepsilon_0 \varepsilon_{r_{si}} \frac{wl}{2H_{si}} \quad \text{式 3-4-4}$$

其中 ρ_{si} 為矽基底的導電係數， ε_0 為真空介電係數， $\varepsilon_{r_{si}}$ 為矽基底之相對介電係數， H_{si} 為矽基底之厚度。上式僅適用於接地面位於矽基底下，且沒有考慮一般邊界效應(fringing field)的情形，但是在一般 IC 的使用上，CMOS 螺旋電感與接地面幾乎都為公平面(coplanar)，其能量不會完全穿透矽基底，而是經過矽基底至共平面之接地端(如圖 3-4-2)，且接地面與 CMOS 螺旋電感的距離小於矽基底的厚度的狀態下，所以假設將接地端等效為在矽基底的下方，則 H_{si} 修正為 $D_{ground} + \frac{w_{eff}}{2}$ ，如圖 3-4-3 所示，且導線邊緣效應的關係，使面積公式不在為 wl ，進而修正為

$$R_{si} = \rho_{si} \frac{2 \left(D_{ground} + \frac{w_{eff}}{2} \right)}{A_{eff}} \quad \text{式 3-4-5}$$

$$C_{si} = \varepsilon_0 \varepsilon_{r_{si}} \frac{A_{eff}}{2 \left(D_{ground} + \frac{w_{eff}}{2} \right)} \quad \text{式 3-4-6}$$

$$w_{eff} = D_{out} - D_{in} \quad \text{式 3-4-7}$$

$$H_{si_eff} = D_{ground} + \frac{w_{eff}}{2} \quad \text{式 3-4-8}$$

而假若接地面的距離大於矽基底的厚度情形下，因接地面的距離大於矽基底的厚度，其能量傳導的能力幾乎與接地面在矽基底之下情形幾乎沒有差別，如式 3-4-9 與式 3-4-10 所示。

$$R_{si} = \rho_{si} \frac{2H_{si}}{A_{eff}} \quad \text{式 3-4-9}$$

$$C_{si} = \epsilon_0 \epsilon_{r_si} \frac{A_{eff}}{H_{si}} \quad \text{式 3-4-10}$$

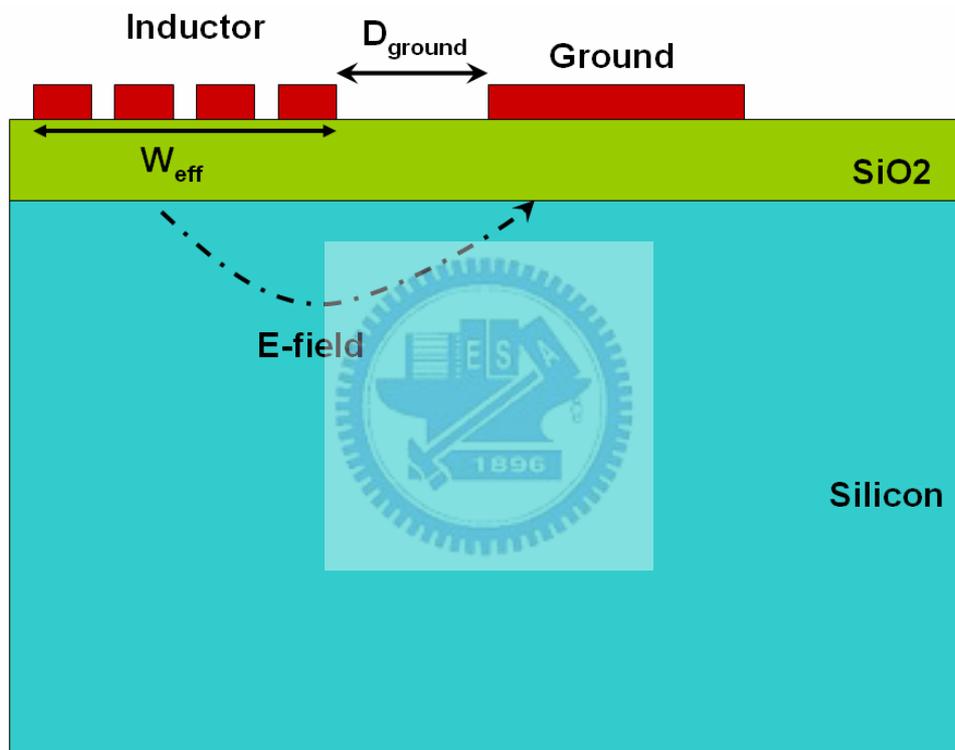


圖 3-4-2 電場經由矽基底至共平面接地端示意圖

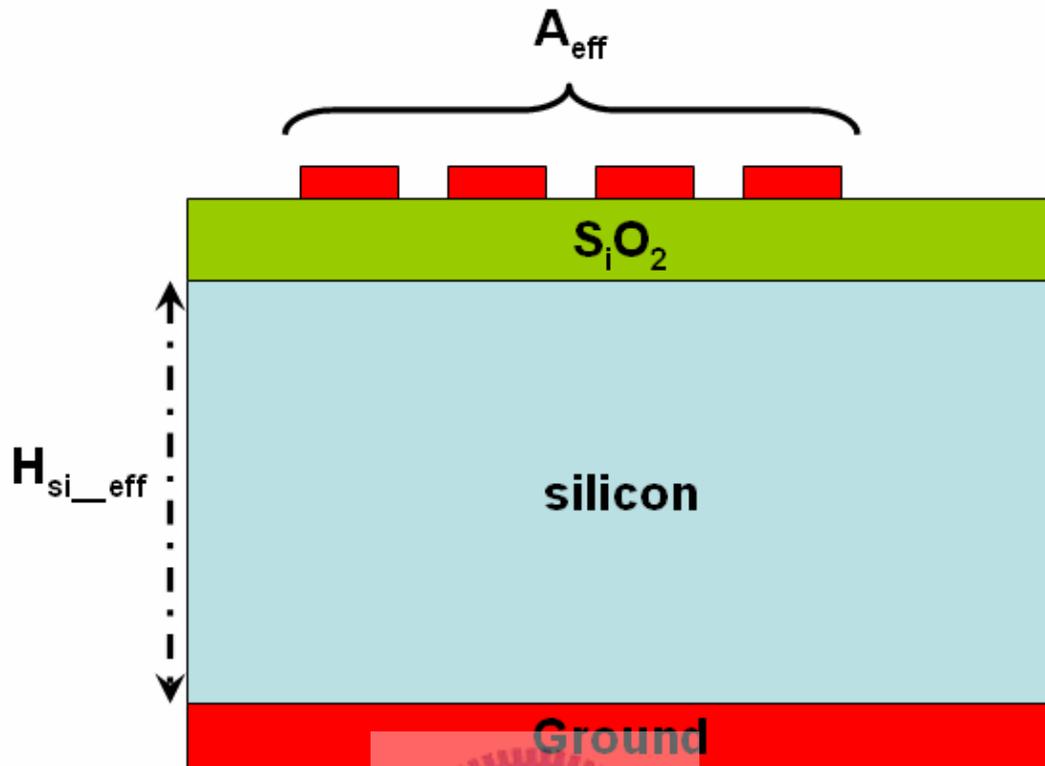


圖 3-4-3 矽基底等效厚度示意圖

3.5 矽基底耦合之效應與計算

3.5.1 矽基底耦合效應

以一般的物理意義來說[10][11]，會有兩種解釋狀況，一是當金屬導線的磁場穿透二氧化矽層進入矽基底(圖 3-5-1)，而矽基底層會出現反作用力，亦即反向磁場。反向磁場造成矽基地會有一電流(Eddy current)，此電流在矽基底層造成電感與電阻的效應，如圖 3-5-2 所示。

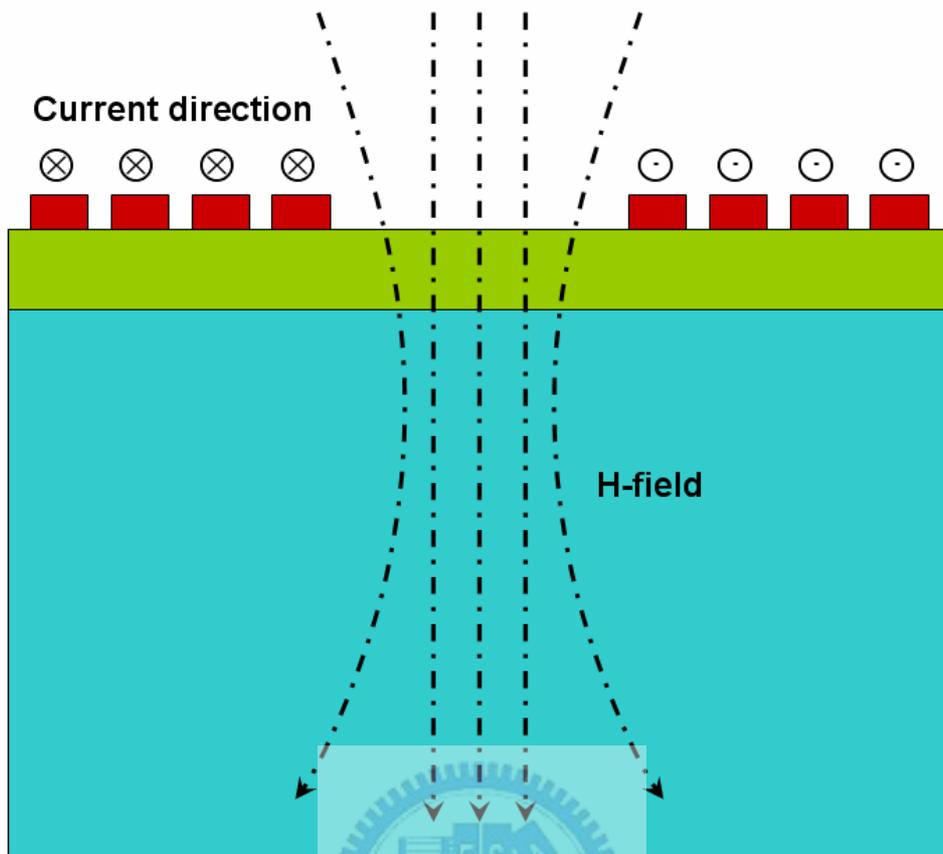


圖 3-5-1 磁場穿透矽基底示意圖

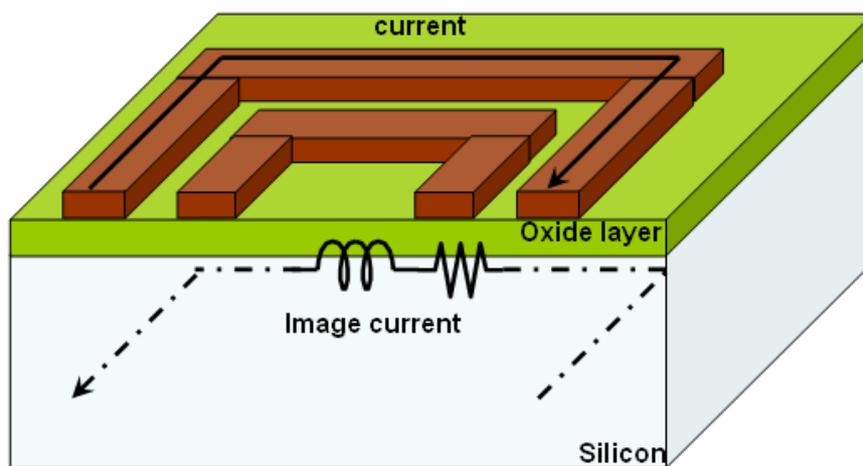


圖 3-5-2 矽基底感應電流圖

另一種解釋是因為兩兩導線之間會有相互電場的作用，此電場穿過二氧化矽

與矽基底之後至另一導線，在經過矽基底層時，因為矽基底的導電係數與相對介電常數，會有損耗，而在等效電路裡面是一電阻與電容的並聯。

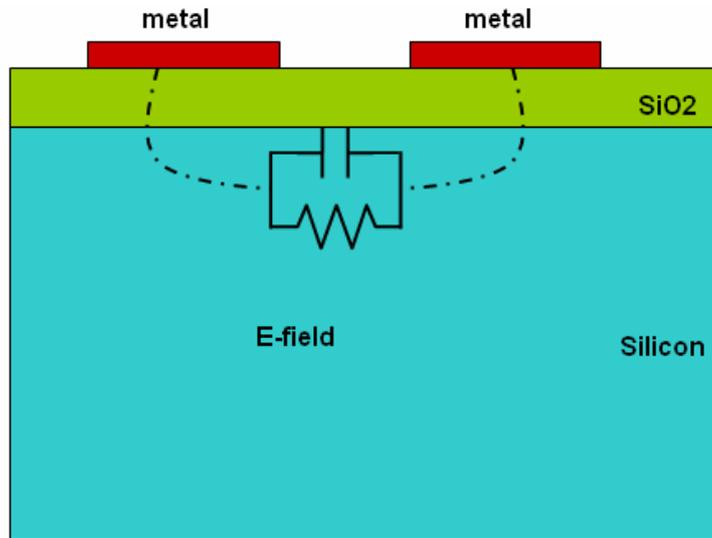


圖 3-5-3 電感金屬導線之間電場經由矽基底耦合示意圖

總結上面的陳述，最後可以得到矽基底耦合效應的等效電路為圖 3-5-3，藍色虛線網底所圈選的部份所示。其他部分的電容與電阻為前兩節所討論之二氧化矽層電容與矽基底之電容與電阻，矽基底耦合效應之電容、電感與電阻之所以會接在這個位置，因為矽基底耦合效應為電感能量穿透二氧化矽層之後，部分能量直接對鄰近之金屬導線能量耦合，部分能量直接能量穿透矽基底層到接地面，進而將 CMOS 螺旋電感等效電路之二氧化矽層與矽基底層部分連接成為圖 3-5-4 所示。

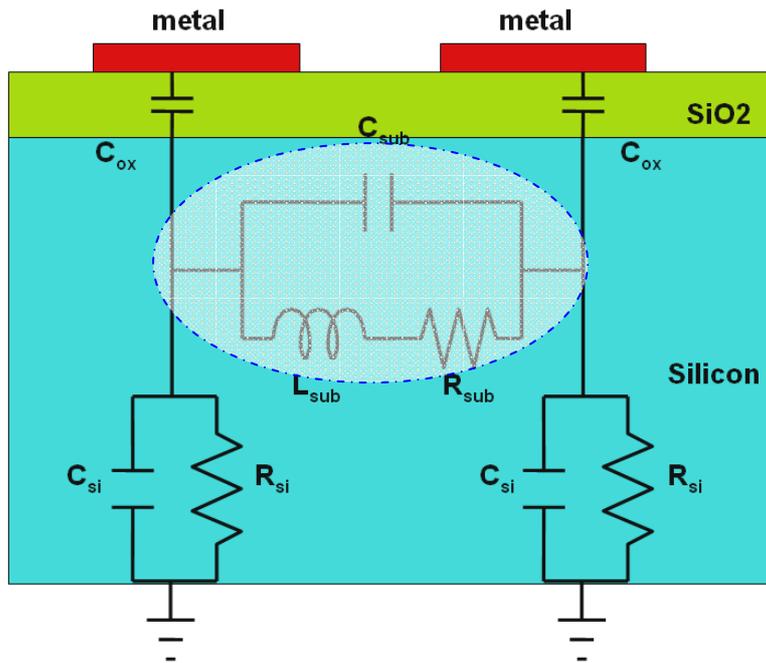


圖 3-5-4 矽基底耦合效應等效電路

3.5.2 矽基底耦合等效電路計算

在線與線的耦合效應會經過矽基層，因為趨膚效應在基底的深度為

$$\delta_{si} = \frac{1}{\sqrt{\pi f \mu_0 \sigma_{si}}} = \frac{1}{\sqrt{\pi \cdot (10 \times 10^9) \cdot (4\pi \times 10^{-7}) \cdot 5}}$$

$$= 2.25 \times 10^{-3} (m) > H_{si} = 0.65 \times 10^{-3} (m) \quad @10GHz$$

，趨膚效應的深度大於矽基底的厚度，所以其等效金屬厚度為矽基底層之厚度，

如圖 3-5-5 所示。

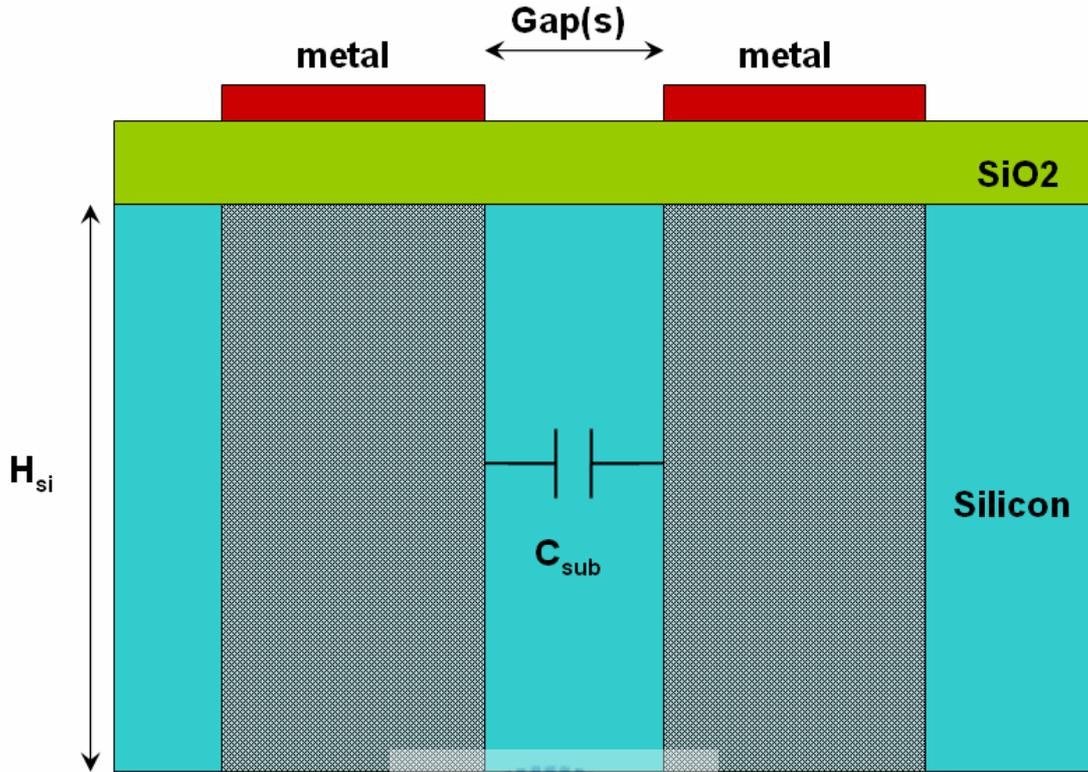


圖 3-5-5 矽基底耦合電容等效示意圖

綜合上節的效應，其矽基底耦合電感與電阻的計算公式幾乎與金屬效應的直流狀態相似，如式 3-5-1 至式 3-5-6 所示。

$$R_{sub} = \rho_{si} \frac{l}{w \cdot H_{si}} \quad \text{式 3-5-1}$$

$$L_{sub} = L_{sub_self} + M_{sub}^+ - M_{sub}^- \quad \text{式 3-5-2}$$

$$L_{sub_self} = \frac{\mu_0}{2\pi} l \left(\ln \frac{l}{n(w + H_{si})} - 0.2 \right) \quad \text{式 3-5-3}$$

$$M_{sub}^+ = \frac{\mu_0}{2\pi} (n-1) \left[\ln \left(\sqrt{1 + \left(\frac{l}{4nd^+} \right)^2} + \frac{l}{4nd^+} \right) - \sqrt{1 + \left(\frac{4nd^+}{l} \right)^2} + \frac{4nd^+}{l} \right] \quad \text{式 3-5-4}$$

$$M_{sub}^- = \frac{\mu_0}{2\pi} 0.47n \quad \text{式 3-5-5}$$

$$d^+ = (w+s) \frac{(3n-2N_i-1)(N_i+1)}{3(2n-N_i-1)} \quad \text{式 3-5-6}$$

其中 ρ_{si} 為矽基底之電阻係數， l 為 CMOS 螺旋電感之總長度， w 為 CMOS 螺旋電感金屬導線之線寬， H_{si} 為矽基底層之厚度， n 為 CMOS 螺旋電感之圈數， d^+ 為修正耦合函數。

矽基底耦合電容的計算有下列幾項假設[12]:

一. CMOS 螺旋電感等效為多個單圈電感，如圖 3-5-6 所示。

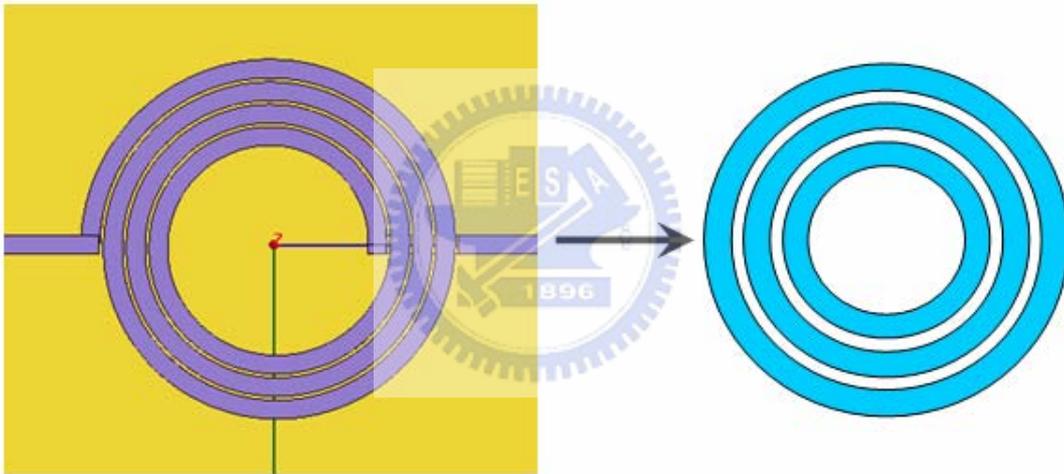


圖 3-5-6 螺旋電感等效結構圖

二. 電壓分布與每一圈電感路徑長度成正比。

三. 在同一圈電感，其電壓為一常數，且電壓值為當圈兩端端點電壓之平均，如圖 3-5-7 所示。

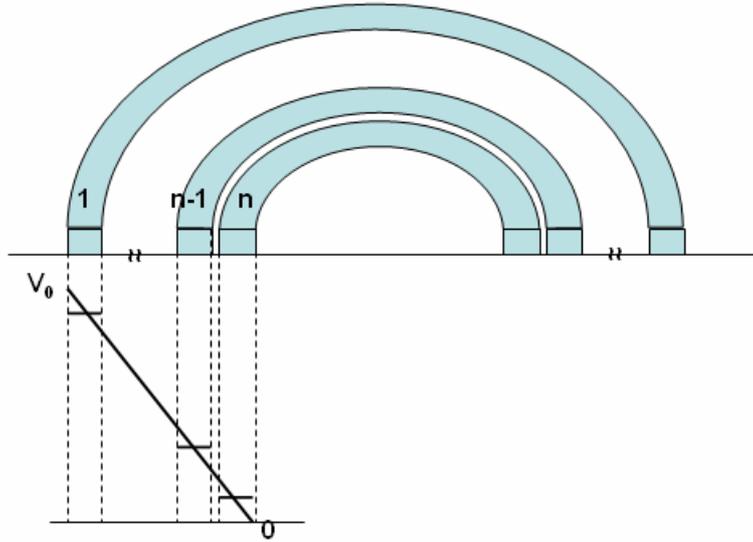


圖 3-5-7 等效電壓分布圖

在之前所假設之情形，每一圈電感之長度為 l_1 、 l_2 、 $l_3 \dots l_n$ 等。等效之電感長度為 $l_{total} = l_1 + l_2 + l_3 + \dots + l_n$ ，在第 k 圈電感之初始電壓與終結電壓分別為

$$V(k)_{beg} = V_0 (1 - (h_1 + h_2 + \dots + h_{k-1}))$$

$$V(k)_{end} = V_0 (1 - (h_1 + h_2 + \dots + h_{k-1} + h_k))$$

，其中 $h_k \equiv \frac{l_k}{l_{total}}$ ， V_0 為 CMOS 螺旋電感之電壓差。而相鄰兩圈電感之電壓差為

$$\begin{aligned} \Delta V(k, k+1) &= V(k) - V(k+1) \\ &= \frac{1}{2} V_0 [d(k+1) - d(k-1)] \end{aligned}$$

，其中 $d(k) = h_1 + h_2 + \dots + h_{k-1} + h_k$ ，且其所儲存之能量為

$$\begin{aligned} E(k) &= \frac{1}{2} C(k) \Delta V(k, k+1)^2 \\ &= \frac{1}{2} C_{mm} l_k \cdot \Delta V(k, k+1)^2 \end{aligned}$$

，其中 C_{mm} 為矽基底之單位長度電容值， l_k 為第 k 圈之電感長度。整體兩兩相鄰的單圈電感儲存之能量為

$$E = \sum_{k=1}^{n-1} E(k) = \frac{1}{2} C_{sub} V_0^2$$

等效之矽基底耦合電容值為

$$C_{sub} = \sum_{k=1}^{n-1} \frac{1}{2} C_{mm} l_k [d(k+1) + d(k-1)]^2 \quad \text{式 3-5-}$$

3.6 CMOS 螺旋電感等效電路之探討

以電路的觀點，在低頻情形之下，此二氧化矽層之電容仍屬於開路的狀態，CMOS 螺旋電感等效電路僅可以看到金屬導線效應的部份，如圖 3-6-1，但是在高頻狀態之下，矽基底的效應會經過二氧化矽層的電容耦合至量測端，CMOS 螺旋電感等效電路即可為圖 3-6-2。

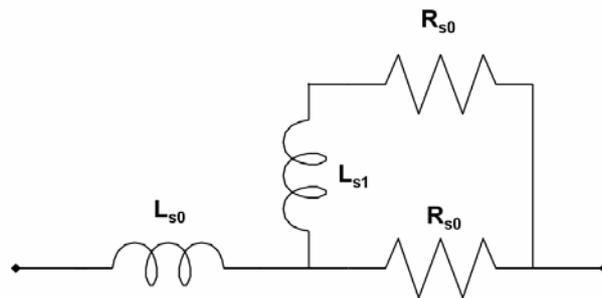


圖 3-6-1 低頻 CMOS 螺旋電感等效電路

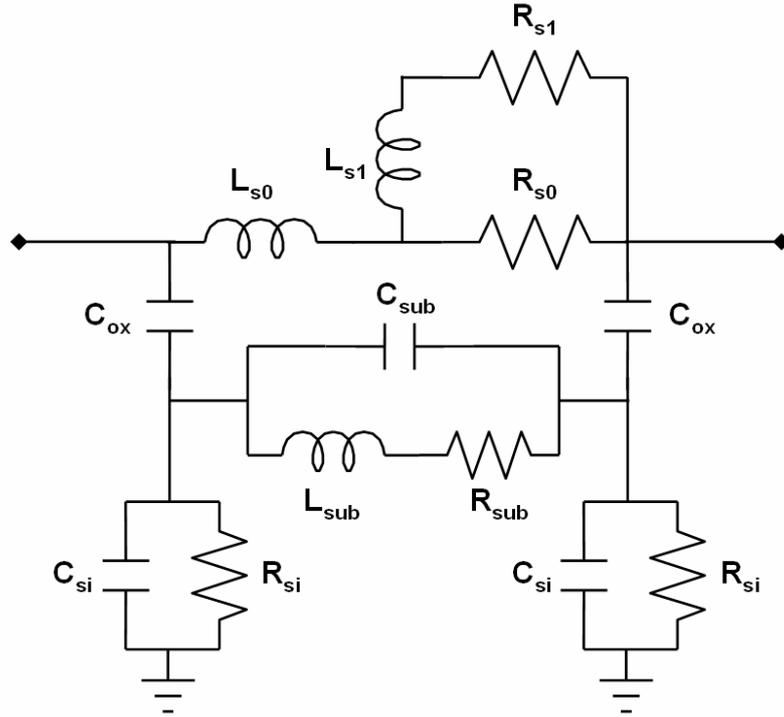


圖 3-6-2 高頻 CMOS 螺旋電感等效電路

以場論的觀點，在低頻的情形之下，電磁場的輻射強度不大或是電磁場尚未穿透二氧化矽層，而在此時，我們所能看到的 CMOS 螺旋電感的效應僅為金屬導線的效應。而在高頻的狀態之下，電磁場的輻射強度夠大且穿透二氧化矽層至矽基底層，在此時從 CMOS 螺旋電感的輸入端看進去即可以看到完整的電感的效應，包含金屬導線效應、矽基底耦合效應、...

討論 CMOS 螺旋電感之品質因子，將其中一量測端接地。在低頻中，其品質因子之值由式 3-2-2 得到

$$Q_{low_freq} = \frac{L_{s0} + \frac{R_{s0}^2 L_{s1}}{(R_{s0} + R_{s1})^2 + \omega^2 L_{s1}^2}}{R_{s0} R_{s1} (R_{s0} + R_{s1}) + \omega^2 L_{s1}^2} \quad \text{式 3-6-1}$$

$$\frac{(R_{s0} + R_{s1})^2 + \omega^2 L_{s1}^2}{(R_{s0} + R_{s1})^2 + \omega^2 L_{s1}^2}$$

而高頻中，品質因子為完整電路效應。

3.7 CMOS 螺旋電感模擬與量測結果之比較

利用 CMOS 螺旋電感等效電路之計算公式所得到之感值、阻值、品質因子大小，與電磁模擬軟體、實際量測出之檔案比較[13]。

使用之半導體製程為 UMC.18 製程，CMOS 螺旋電感使用之外形為圓形，如圖 3-7-1 所示，電感與接地面的距離為 $30\mu\text{m}$ 。表 3-7-1 為圖 3-7-1 之結構參數，圖 3-7-2 為模擬之等效層厚度。

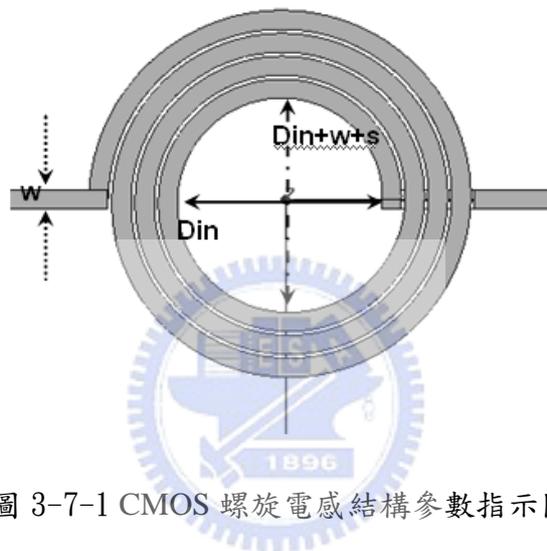


圖 3-7-1 CMOS 螺旋電感結構參數指示圖

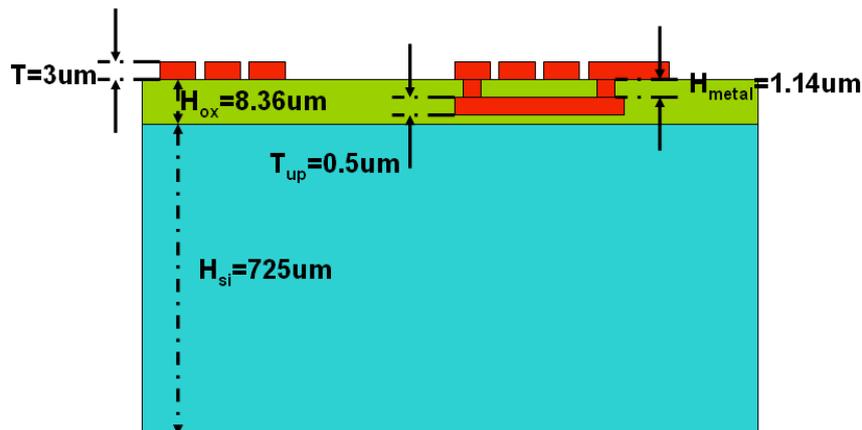


圖 3-7-2 CMOS 螺旋電感各層厚度

	Din (inner diameter) um	n (turn)	w (line width) um
ind_c1	170	1.5	25
ind_c2	248	1.5	20
ind_c3	144	2.5	20
ind_c4	168	2.5	18
ind_c5	202	2.5	15
ind_c6	128	3.5	15
ind_c7	146	3.5	13
ind_c8	166	3.5	10
ind_c9	180	3.5	10
ind_c10	194	3.5	8
ind_c11	138	4.5	8
ind_c12	148	4.5	8
ind_c13	156	4.5	6
ind_c14	167	4.5	6
ind_c15	177	4.5	6
ind_c16	133	5.5	6
ind_c17	141	5.5	6
ind_c18	148	5.5	6
ind_c19	156	5.5	6
ind_c20	163	5.5	6

表 3-7-1 CMOS 螺旋電感外型參數

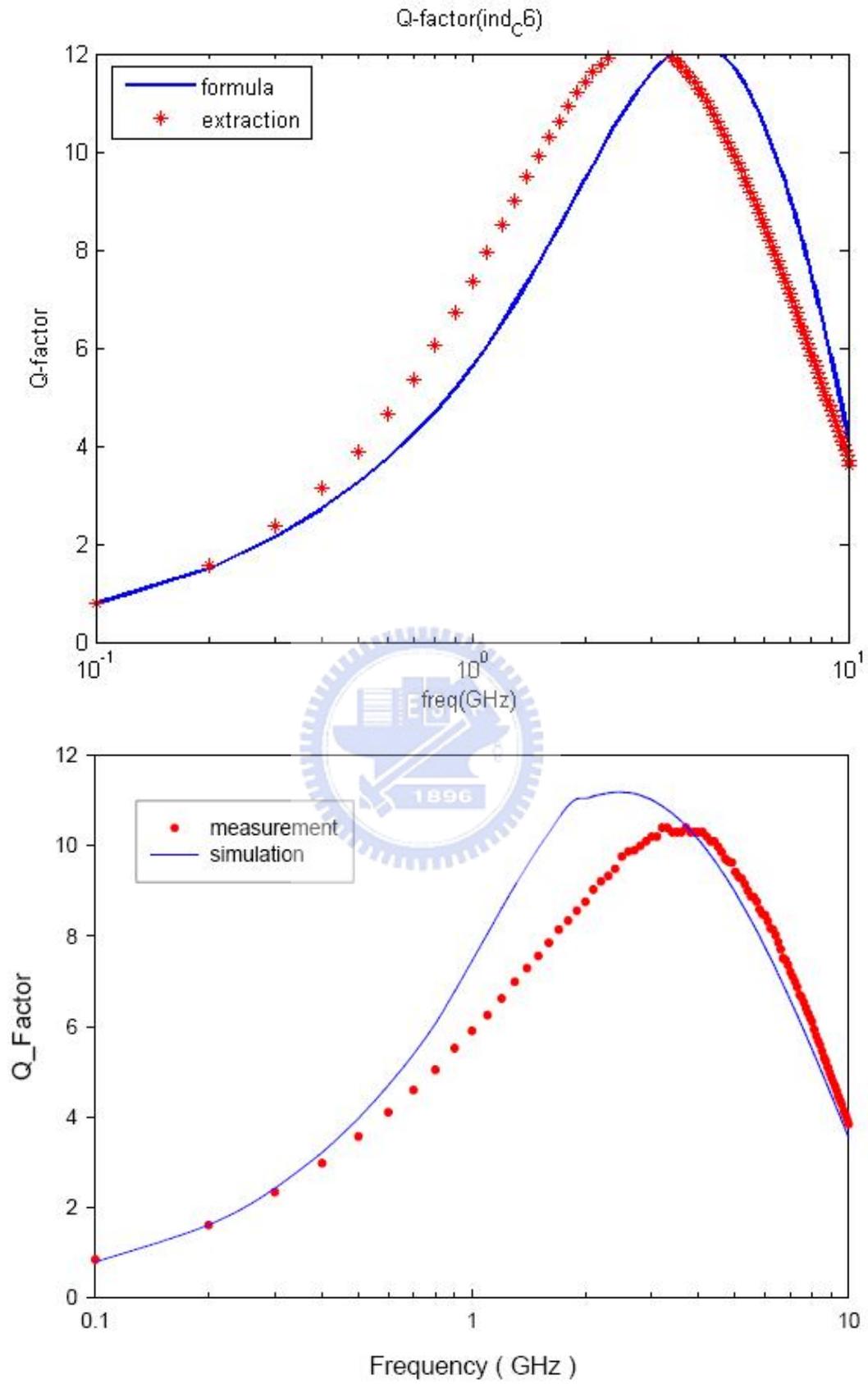


圖 3-7-3 ind_{c6} 品質因子比較圖

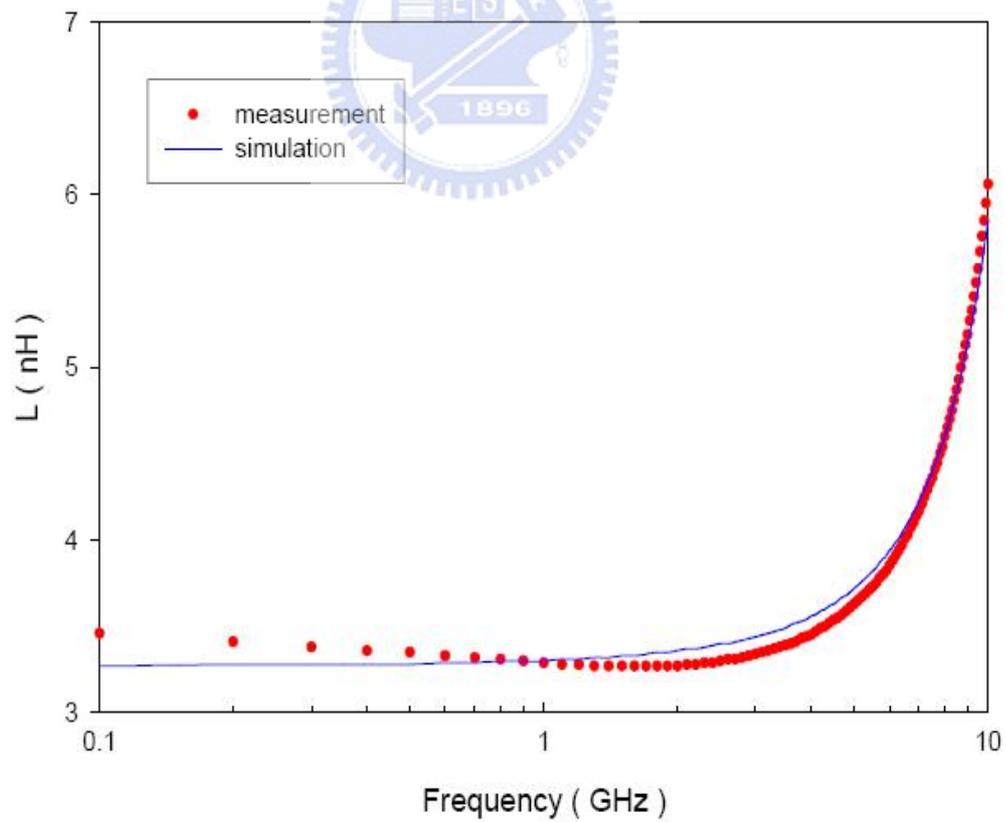
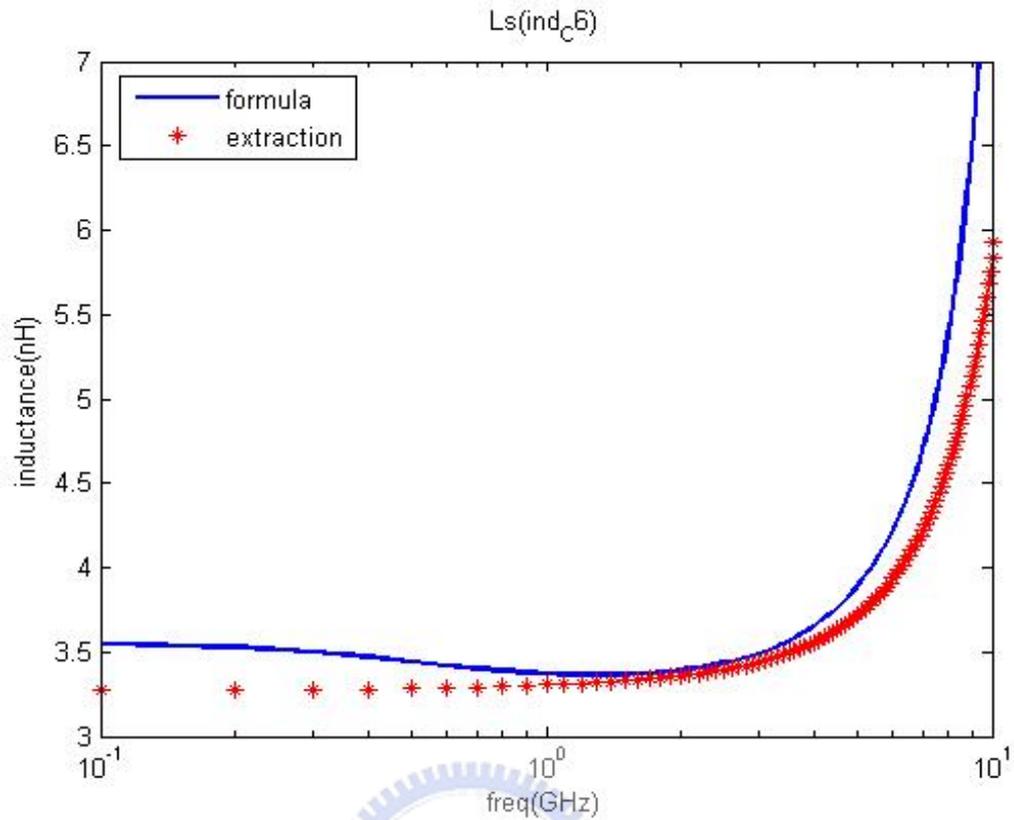


圖 3-7-4 ind_c6 電感值比較圖

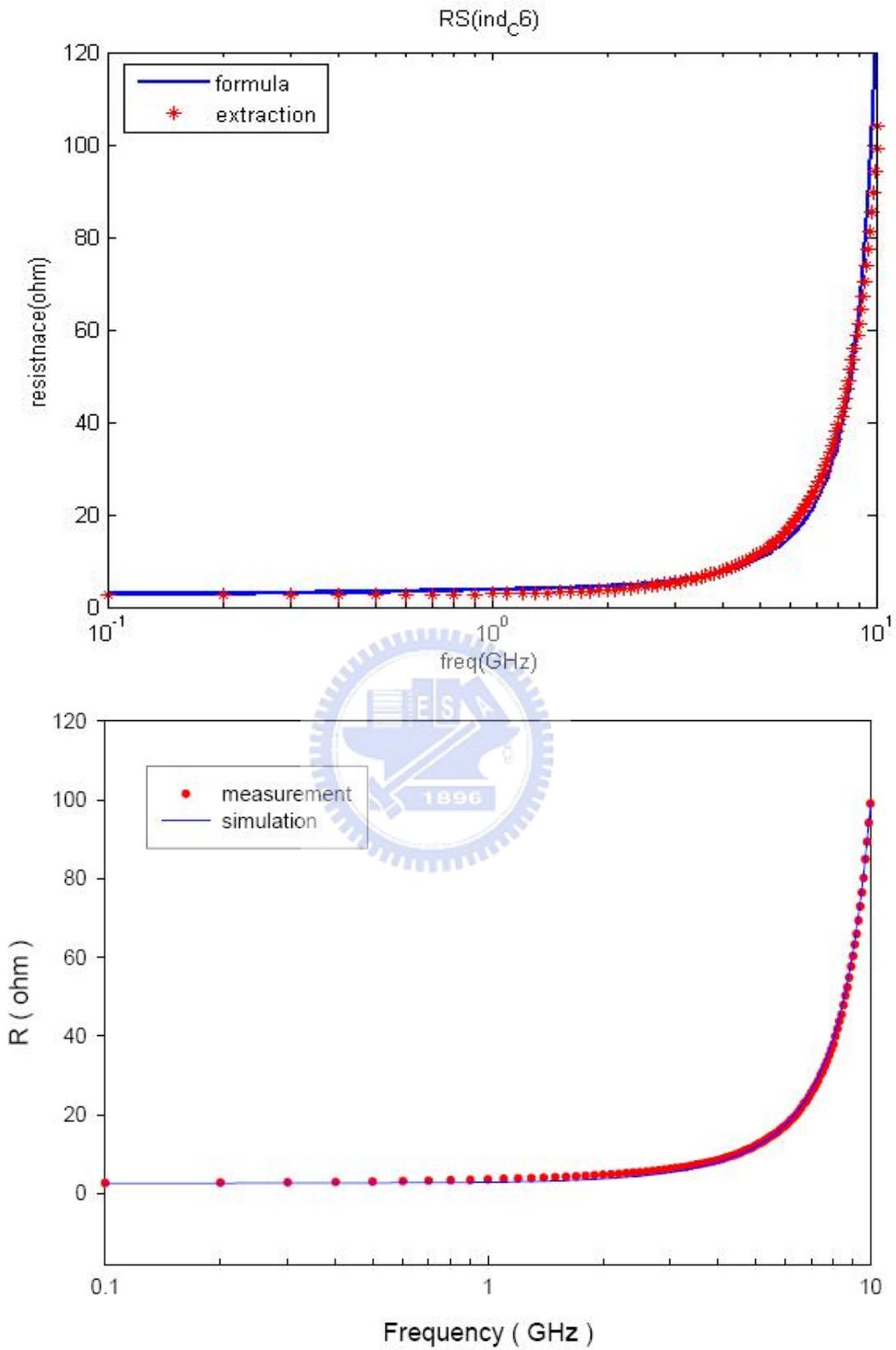


圖 3-7-5 ind_c6 電阻值比較圖

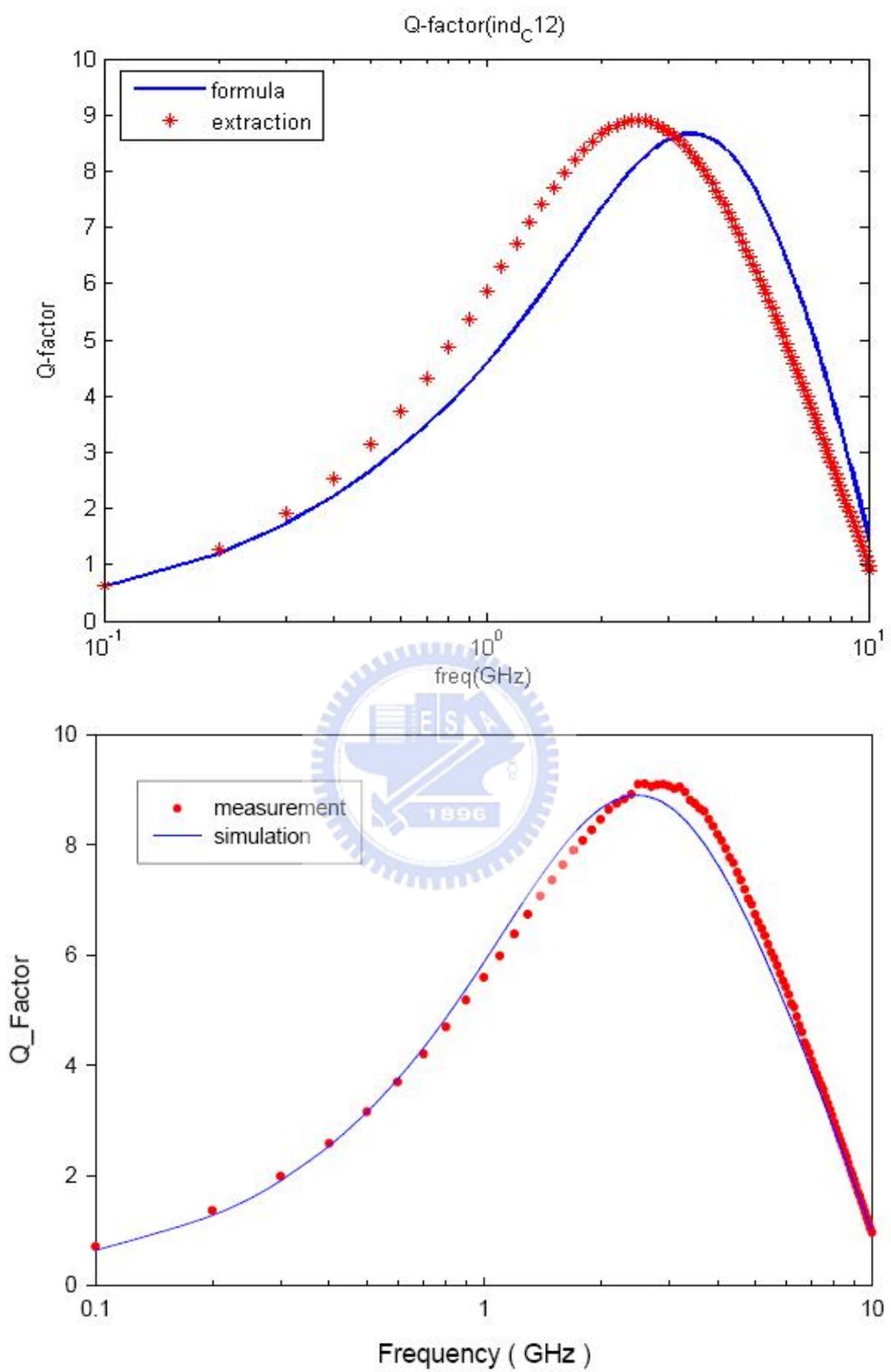


圖 3-7-6 ind_c12 品質因子比較圖

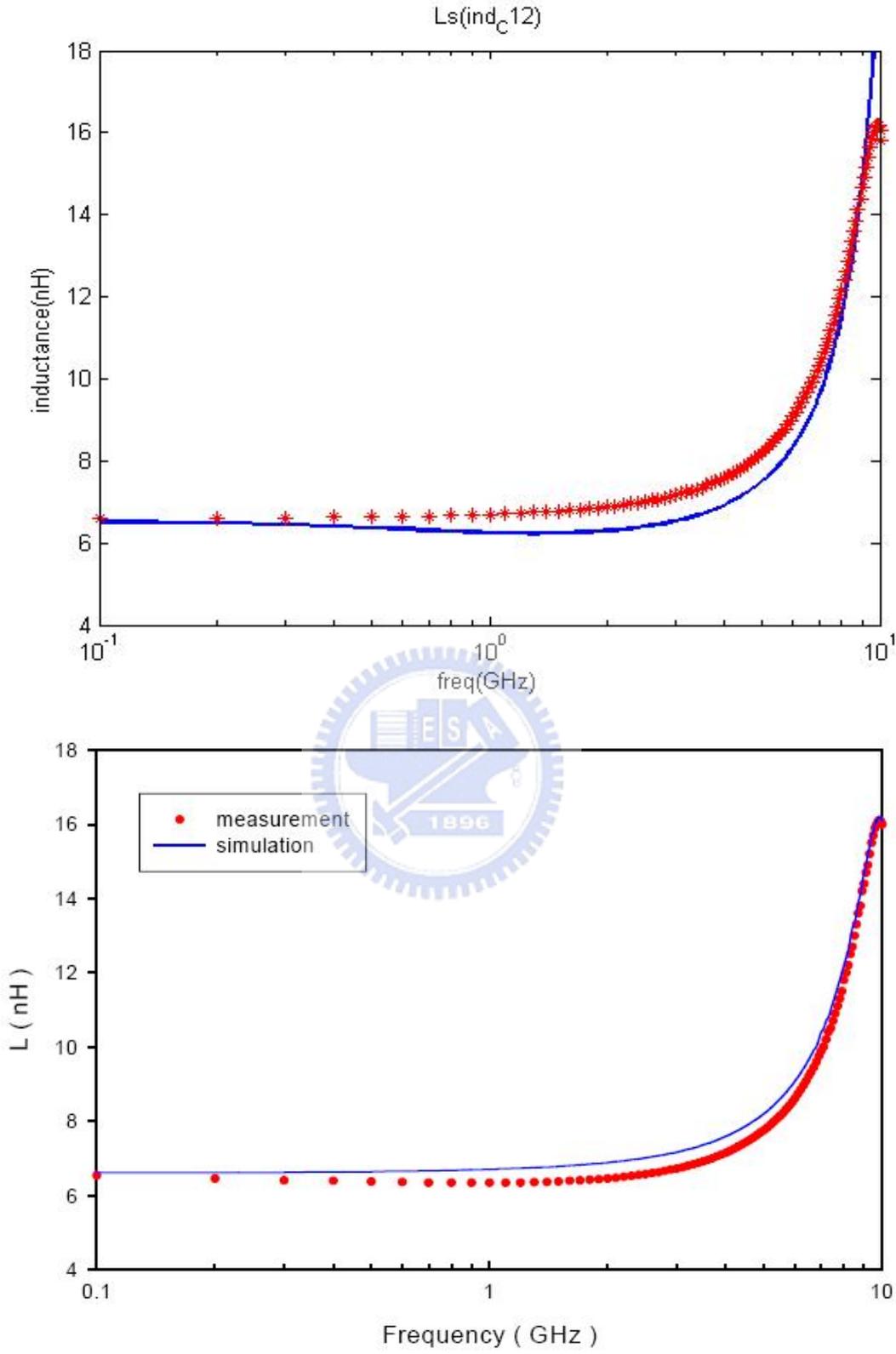


圖 3-7-7 ind_c12 電感值比較圖

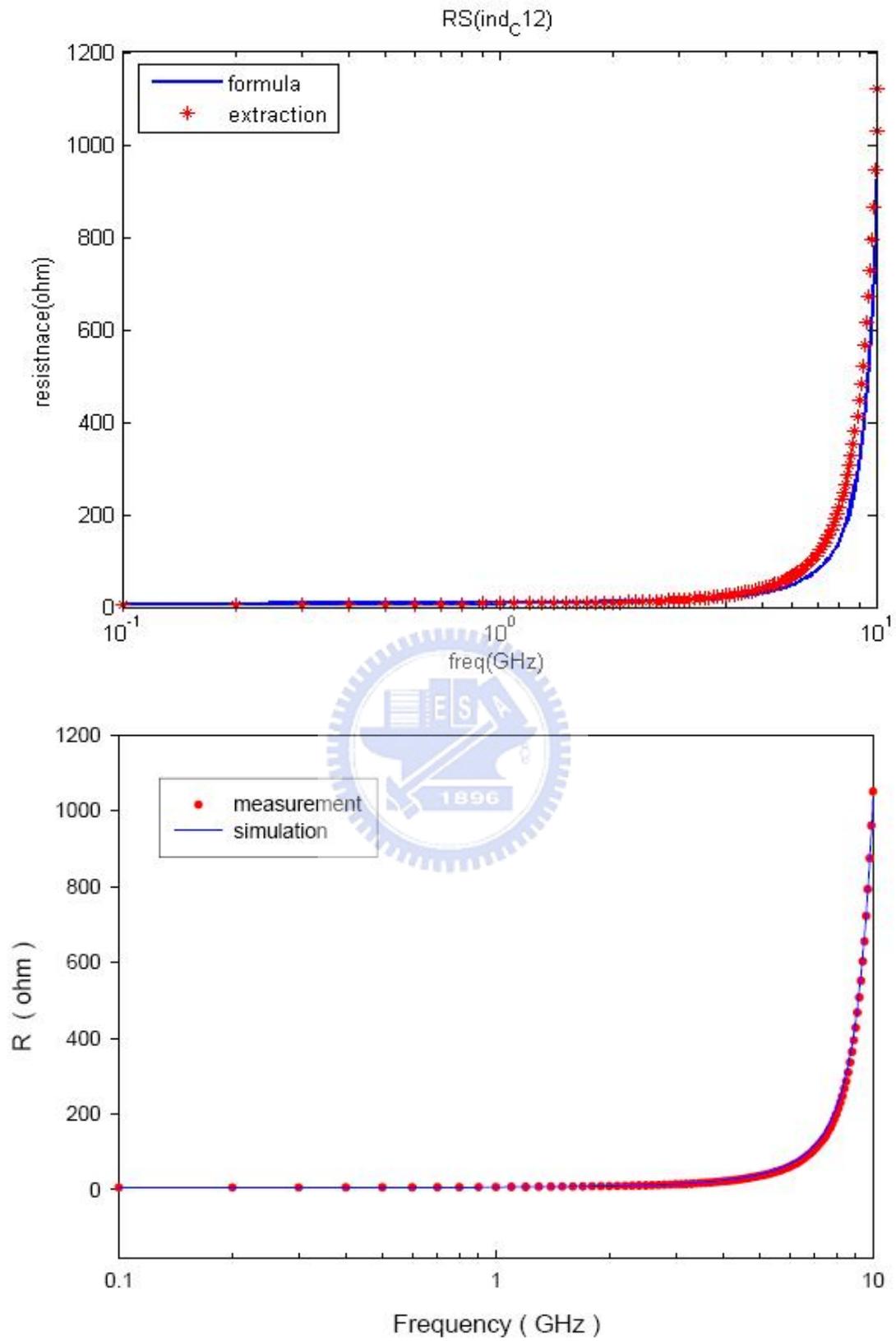


圖 3-7-8 ind_c12 電阻值比較圖

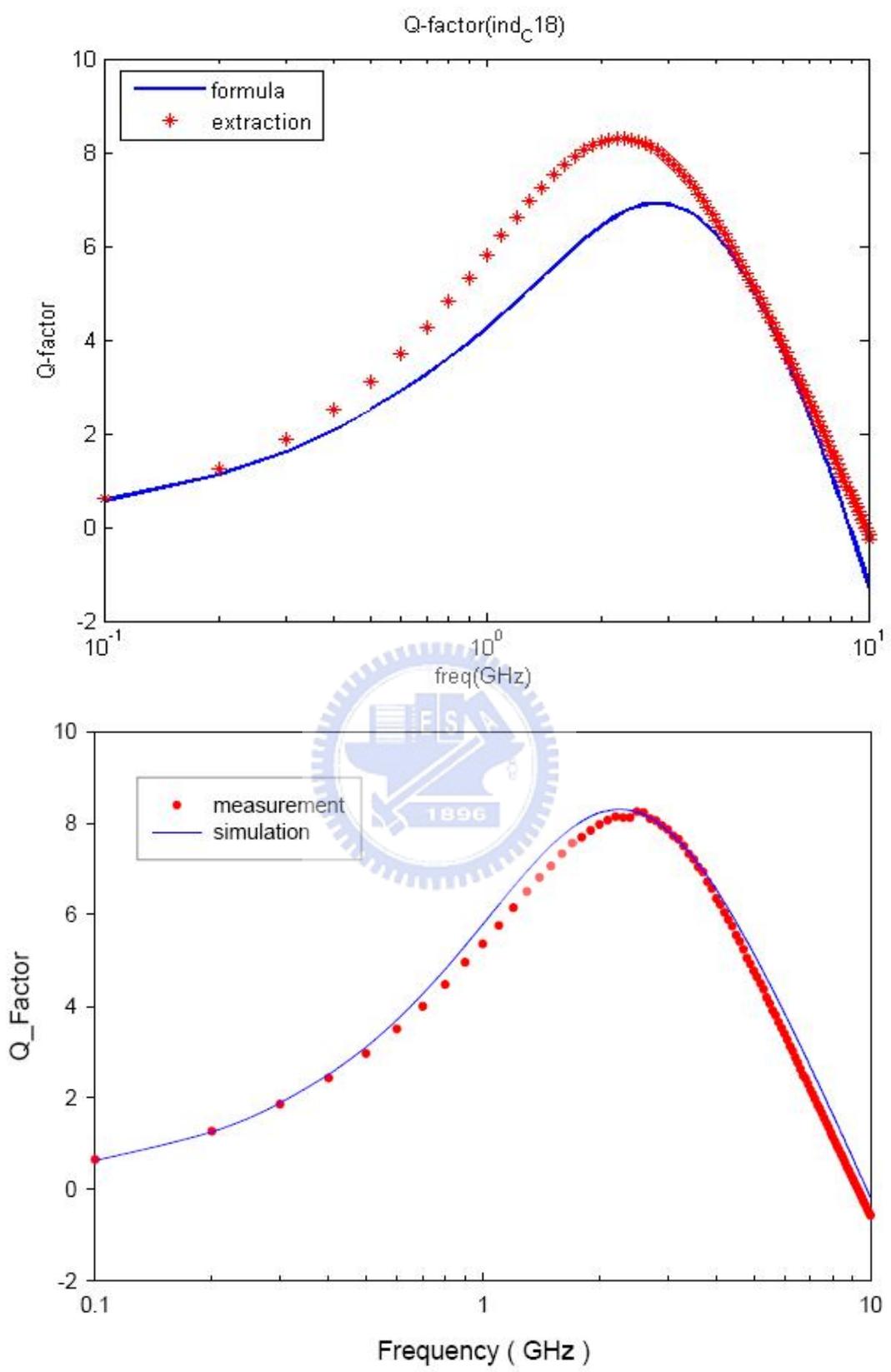


圖 3-7-9 ind_c18 品質因子比較圖

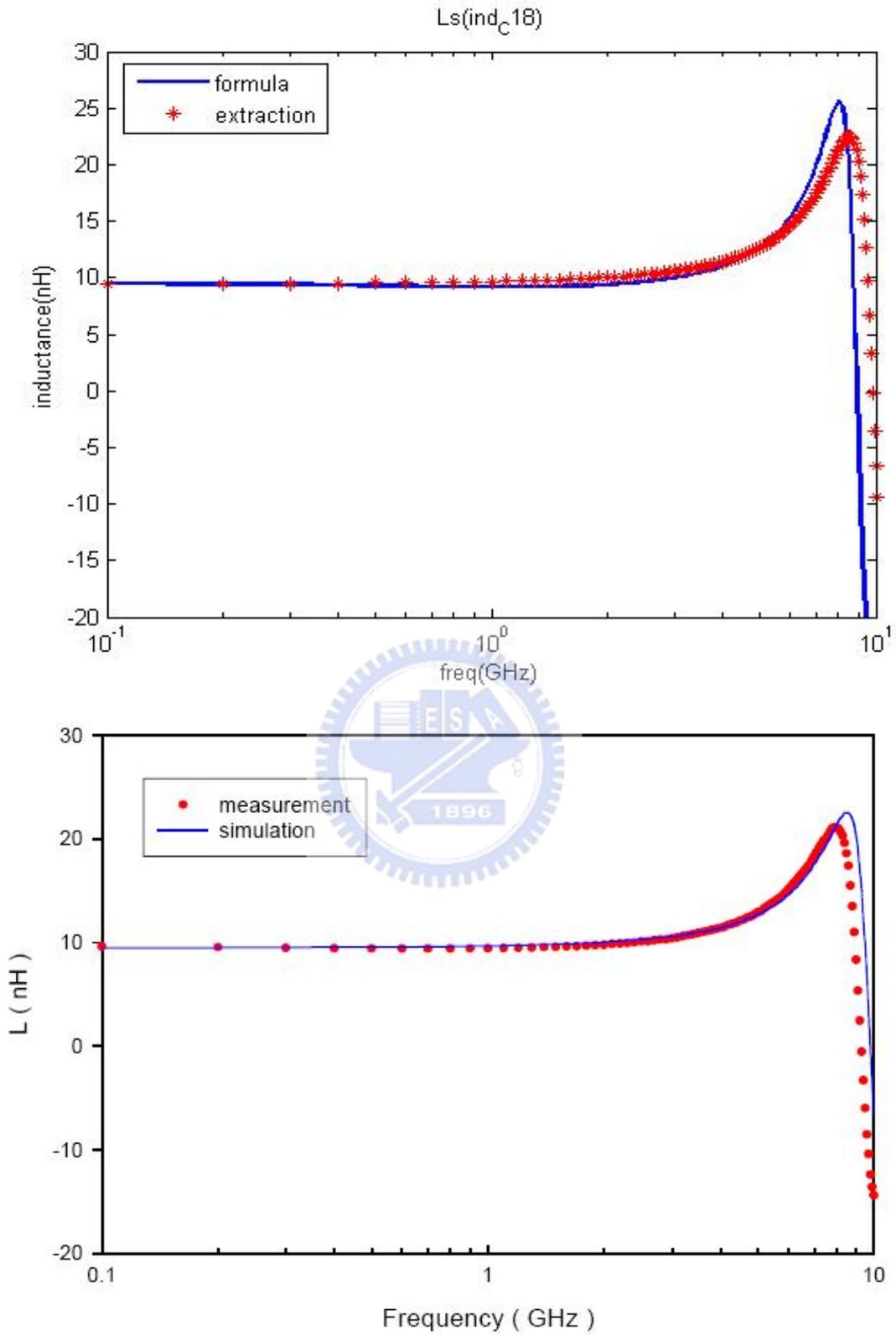


圖 3-7-10 ind_c18 電感值比較圖

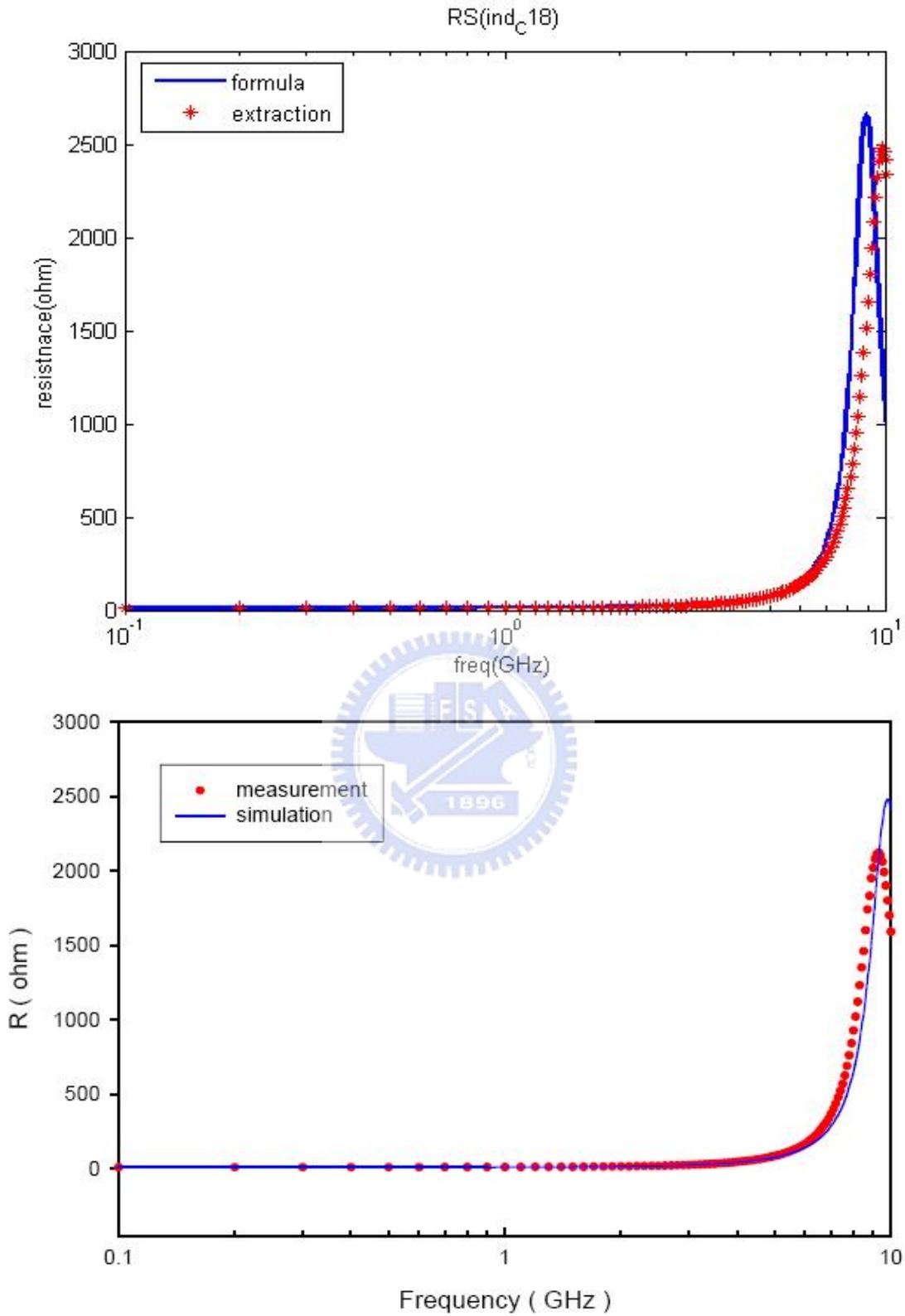


圖 3-7-11 ind_c18 電阻值比較圖

在前面幾個模擬與量測之比較圖，可以發現吾人所使用之元件公式與實際量測有所誤差，因為公式僅只有考慮到理想的狀態下，並沒有考慮到其他之寄生效應。因為這是理想的狀態下，假若我們需要萃取量測參數在 CMOS 等效電路之值時，可以將這些利用公式所計算出各個元件之值當作初始條件。

表 3-7-2 為量測與公式模擬得到之感值比較，當圈數少時齊感直的誤差較大，但當圈數增加時誤差變少，所以吾人所使用之公式計算適用在於當圈數多時，其精確度較高。

	inductance (measurement) nH	inductance (formula) nH	error (%)
ind_c1	0.98	1.088	11.02040816
ind_c2	1.4	1.566	11.85714286
ind_c3	1.9	2.187	15.10526316
ind_c4	2.37	2.526	6.582278481
ind_c5	2.9	3.069	5.827586207
ind_c6	3.37	3.548	5.28189911
ind_c7	3.88	4.015	3.479381443
ind_c8	4.37	4.627	5.881006865
ind_c9	4.86	5.047	3.847736626
ind_c10	5.43	5.584	2.836095764
ind_c11	6	6.045	0.75
ind_c12	6.42	6.504	1.308411215
ind_c13	6.94	6.876	-0.922190202
ind_c14	7.4	7.553	2.067567568
ind_c15	7.93	8.056	1.5889029
ind_c16	8.5	8.454	-0.541176471
ind_c17	9.02	8.989	-0.34368071
ind_c18	9.49	9.463	-0.284510011
ind_c19	10.03	10.01	-0.199401795
ind_c20	10.51	10.495	-0.142721218

表 3-7-2 CMOS 螺旋電感電感值比較

表 3-7-3 為量測與公式模擬得到之品質因子最大值和品質因子最大值所在頻率之比較，由此可以得知公式得到之品質因子最大值誤差在 ± 1 之間，而品質因子最大值所在之頻率誤差在 $-2 \sim +0.5$ 之間。

	Q_max (measurement)	freq_Q_max (measurement) GHz	Q_max (formula)	freq_Q_max (formula) GHz
ind_c1	19.41	9.8	19.14	8
ind_c2	15.6	6	14.88	6.35
ind_c3	12.96	4.9	14.75	5
ind_c4	12.4	4.4	13.4	4.7
ind_c5	11.6	4	11.79	4.4
ind_c6	10.4	3.7	12.18	4
ind_c7	10.2	3.4	11.21	3.9
ind_c8	10.2	3.3	10.05	4
ind_c9	9.85	3.2	9.51	3.7
ind_c10	9.49	3.2	8.67	3.9
ind_c11	9.36	3.2	9.58	3.3
ind_c12	9.09	2.9	8.67	3.3
ind_c13	8.93	2.6	8.37	3.2
ind_c14	8364	3	7.53	3.5
ind_c15	8.46	2.8	7.61	3.4
ind_c16	8.59	2.6	7.55	3.3
ind_c17	8.41	2.6	7.27	3.2
ind_c18	8.25	2.5	6.91	2.8
ind_c19	7.98	2.3	6.81	2.7
ind_c20	7.88	2.2	6.61	2.6

表 3-7-3 CMOS 螺旋電感品質因子比較

第四章 電感等效電路與互感之討論

4.1 節 電感等效電路元件對品質因子之討論

一般來說，CMOS 螺旋電感等效電路對於品質因子的影響通常細分為高頻與低頻的情形分析，但是無法得知哪一元件對於品質因子的影響最大，所以將各個元件增大或是縮小看看對於品質因子之最大值(maximal value of the Q-factor)影響[15]。

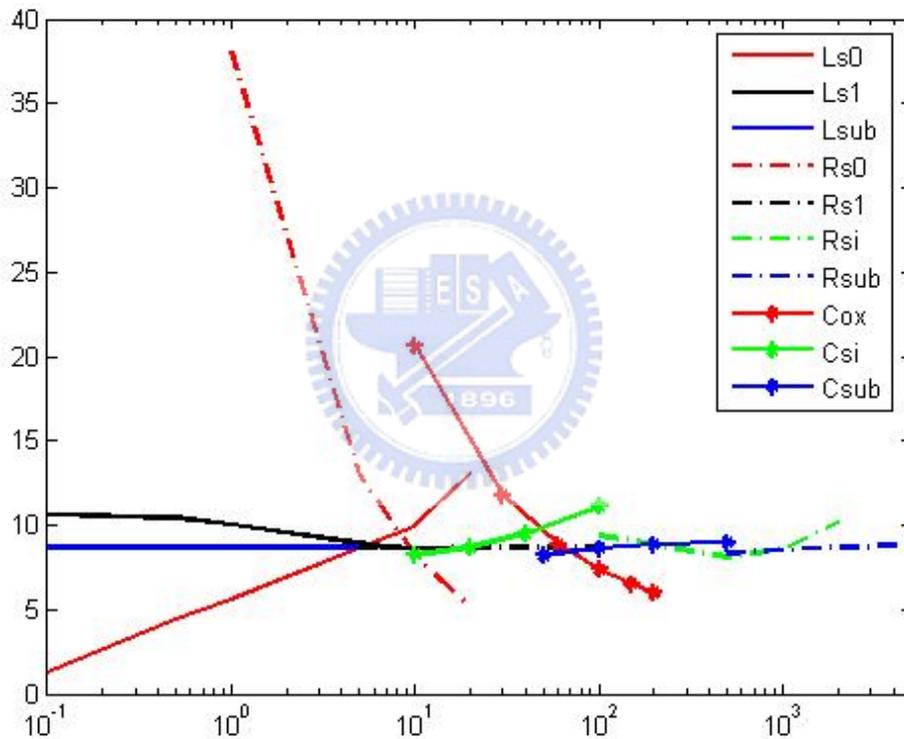


圖 4-1-1 元件變化對品質因子最大值變化圖

由上圖得知， L_{s0} 、 C_{si} 值變大時，品質因子最大值亦跟著變大，以 L_{s0} 影響最劇烈。另外， L_{s1} 、 R_{s0} 與 C_{ox} 值變大時，品質因子最大值變小。當 L_{s1} 值相當小時，對品質因子最大值幾乎沒有影響。 R_{s0} 變大時，其品質因子最大值變化相當迅速。而其中 L_{sub} 、 R_{s1} 、 C_{sub} 與 R_{sub} 變化時對於品質因子最大值的影響幾乎沒有。

以 L_{sub} 、 R_{sub} 、 C_{sub} 來說，因為在低頻的時候， C_{ox} 視為開路，電感能量並無法耦合至矽基底層，且在高頻時， C_{sub} 視為短路，且矽基底感應電流不會往 L_{sub} 與 R_{sub} 流，所以對矽基底耦合效應電路而言，並不會影響到品質因子最大值。以 R_{s1} 來說，因為在高頻或是低頻的狀態下，金屬導線的品質因子(式)並不是由 R_{s1} 所決定，而是由其他三個元件所影響。 R_{si} 比較特殊變大或變小時，都會增加品質因子最大值。假若在所有結構參數不變的話，改變矽基底之摻雜質(doping)的濃度會提升品質因子最大值得大小。

經由討論可以得知，當 CMOS 螺旋電感線寬變大與內徑變小，或增加線圈數時，可以增加品質因子最大值，但是亦會讓金屬高頻效應增加，使品質因子變小，所以其設計 CMOS 螺旋電感時會有最佳化設計之情形。

4.2 節 二氧化矽蝕刻對品質因子之影響討論

由上節得知，在所有的物理特性與外形參數不改變之下，例如:CMOS 螺旋電感圈數、線寬、線距，與金屬導電率、二氧化矽層與矽基底之介電常數、導電率，所想到的方法為將二氧化矽層之電容縮小，即是將二氧化矽蝕刻改變相對介電常數，

$$C_{ox} = \epsilon_0 \epsilon_r \frac{A}{d}$$

當 $\epsilon_r = 3.9$ 改變為 $\epsilon_r = 1$ 時，其二氧化矽電容值會改變為原來的四分之一的觀念下，可將品質因子之最大值變大且可以將品質因子最大值所在之頻率往後移，可以讓品質因子更穩定。

上述為理想的狀態下，將所有的二氧化矽層利用蝕刻除去，但是在現實上無法做到此種狀況，所以只能將部分金屬導線沒有覆蓋的部份蝕刻，如圖 4-2-1 與圖 4-2-2 所示。

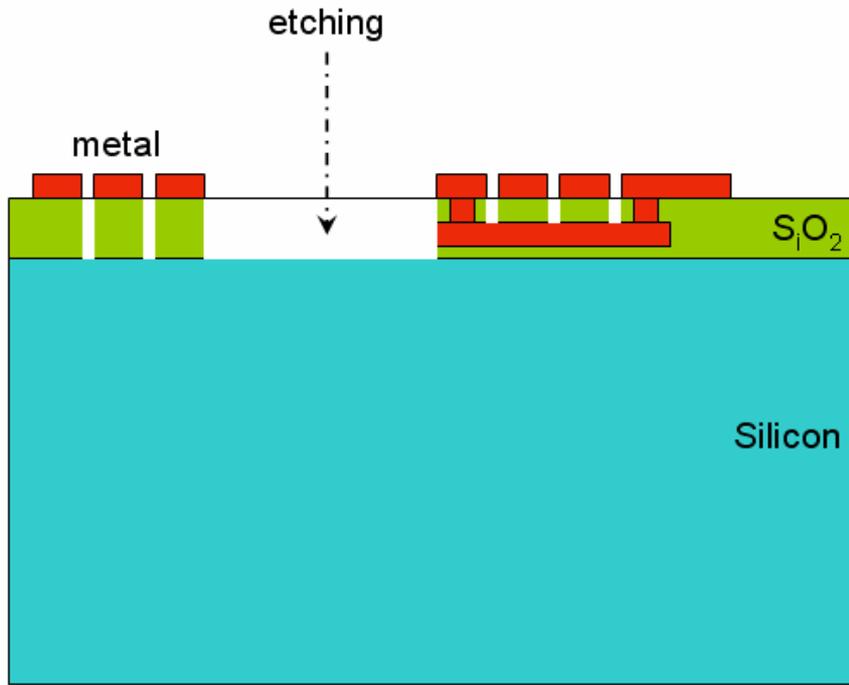


圖 4-2-1 二氧化矽蝕刻側視示意圖

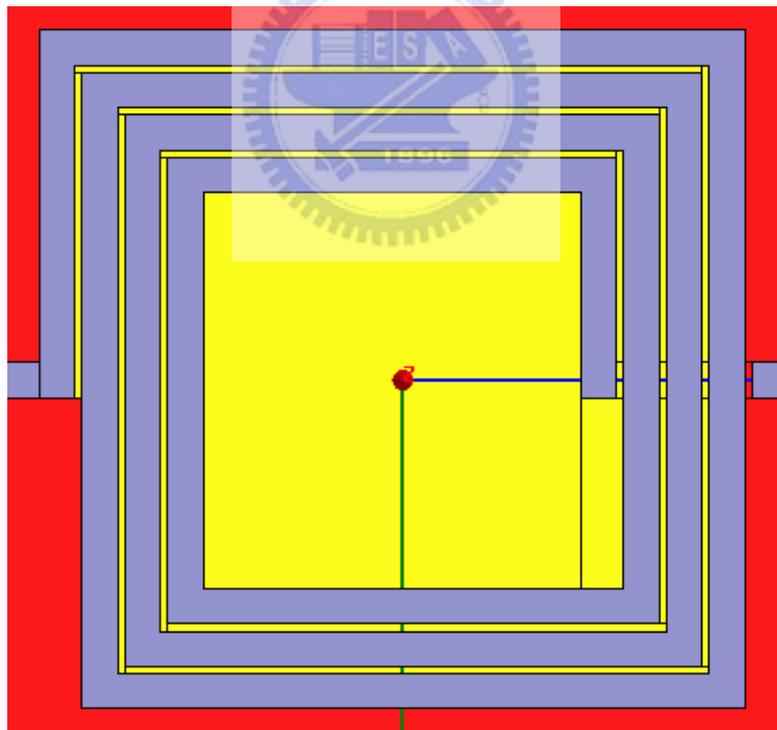


圖 4-2-2 二氧化矽蝕刻俯視示意圖

淺藍色的部份為一般 CMOS 螺旋電感金屬導線佈局(layout)，紅色部分即為一般二氧化矽層，黃色的部份即為此次二氧化矽蝕刻之部分。在蝕刻部份，吾人此次分

成為四種狀況：

一. 僅蝕刻金屬導線中，線與線之間的二氧化矽部分，如圖 4-2-3 所示。

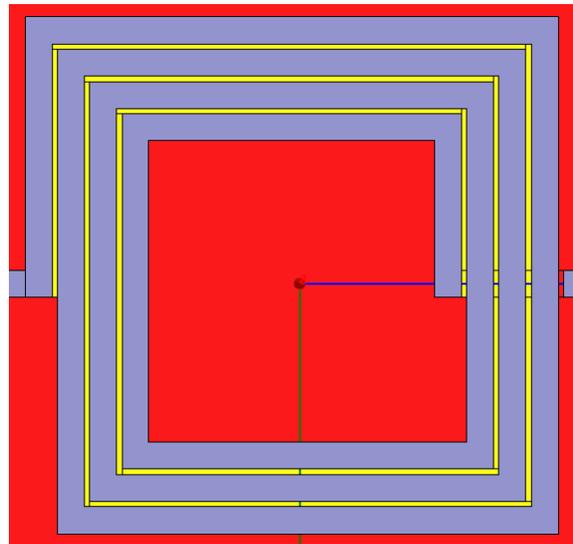


圖 4-2-3 線與線間距蝕刻表示圖

二. 僅蝕刻 CMOS 螺旋電感中空部份之二氧化矽層，如圖 4-2-4 所示。

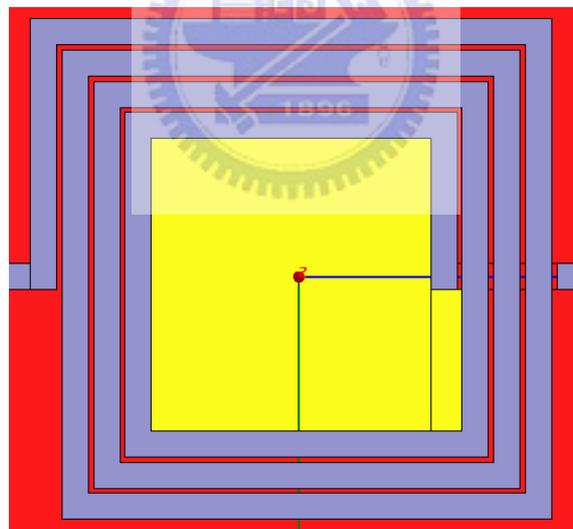


圖 4-2-4 內部中空蝕刻圖

三. 蝕刻 CMOS 螺旋電感中空部份與金屬導線線與線之間的二氧化矽部分，如圖 4-2-5 所示。

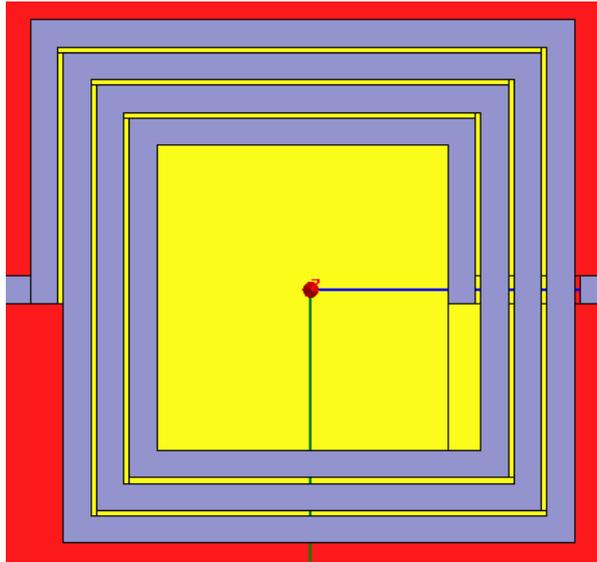


圖 4-2-5 內部中空與線與線間距蝕刻圖

四. 蝕刻 CMOS 螺旋電感中空部份、金屬導線線與線之間與 CMOS 螺旋電感與接地面之間的二氧化矽部分，如圖 4-2-6 所示。

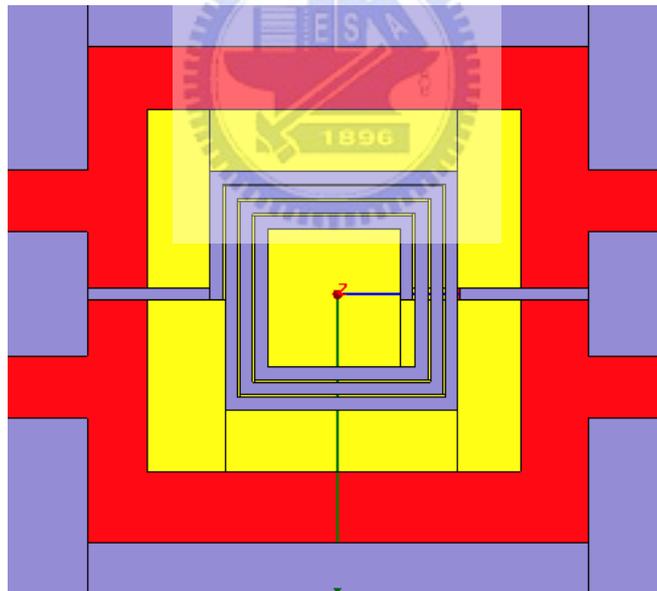


圖 4-2-6 外部、內部中空與線與線間距蝕刻圖

在這四種狀況下，與原來之 CMOS 螺旋電感比較，看是否品質因子有所改善。圖 4-2-8 即為此次蝕刻部份的品質因子比較圖，其設計為圈數為 3.5 圈，線寬 $10\ \mu\text{m}$ ，線距 $2\ \mu\text{m}$ ，內徑為 $100\ \mu\text{m}$ ，CMOS 螺旋電感與接地面的距離為 $100\ \mu\text{m}$ 。而 CMOS 螺旋電感與接地面之間二氧化矽蝕刻部分分為 $50\ \mu\text{m}$ 與

100 μm 。

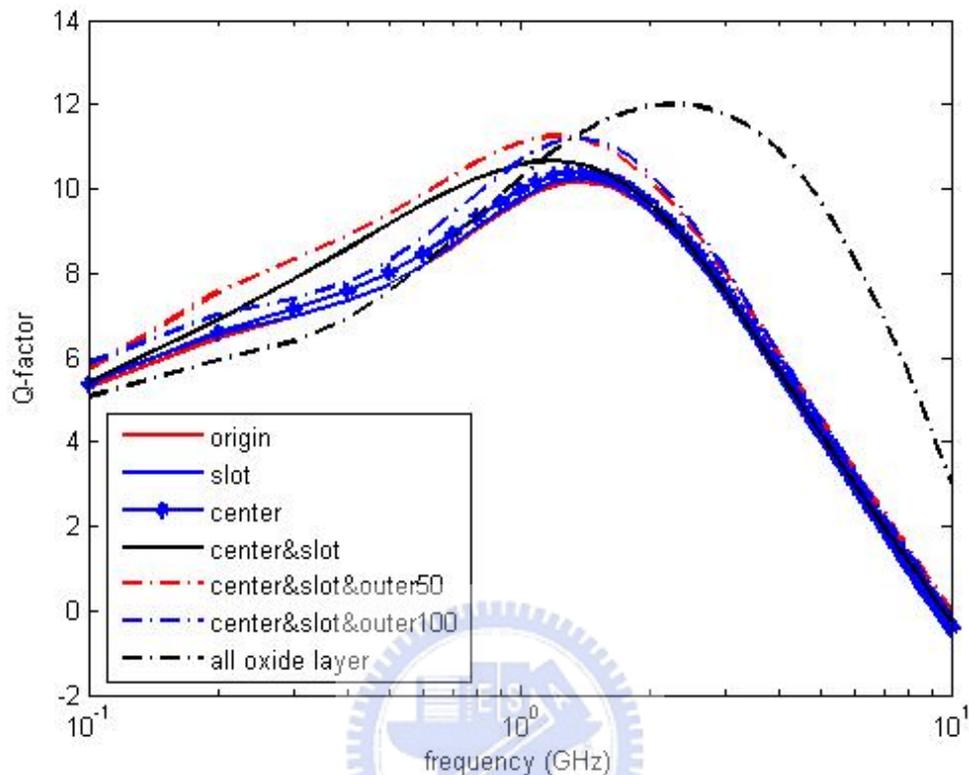


圖 4-2-7 電感蝕刻比較圖

在圖 4-2-7 中可以看出，蝕刻的部份越多，其品質因子的最大值有增加的趨勢，第一種情形小於第二種情形，第二種情形小於第三種情形，第三種情形小於第四種情形。但是在第四情形之下，似乎蝕刻的範圍有一最佳化之值，所以繼續將外圍蝕刻的部分變動，進而討論出一最好之值。

亦由圖 4-2-8 中可以得知，當外圍蝕刻變大時，品質因子最大值部份幾乎沒有影響，但對於品質因子最大值之前的部份先增加後減少，而可以得之 70 μm 為最佳化之值。而在高頻的部份，因為二氧化矽電容已經無法視為開路，其由量測端看進來的等效電路即為完整之 CMOS 螺旋電感等效電路，所以對於高頻部份之品質因子部分沒有影響。

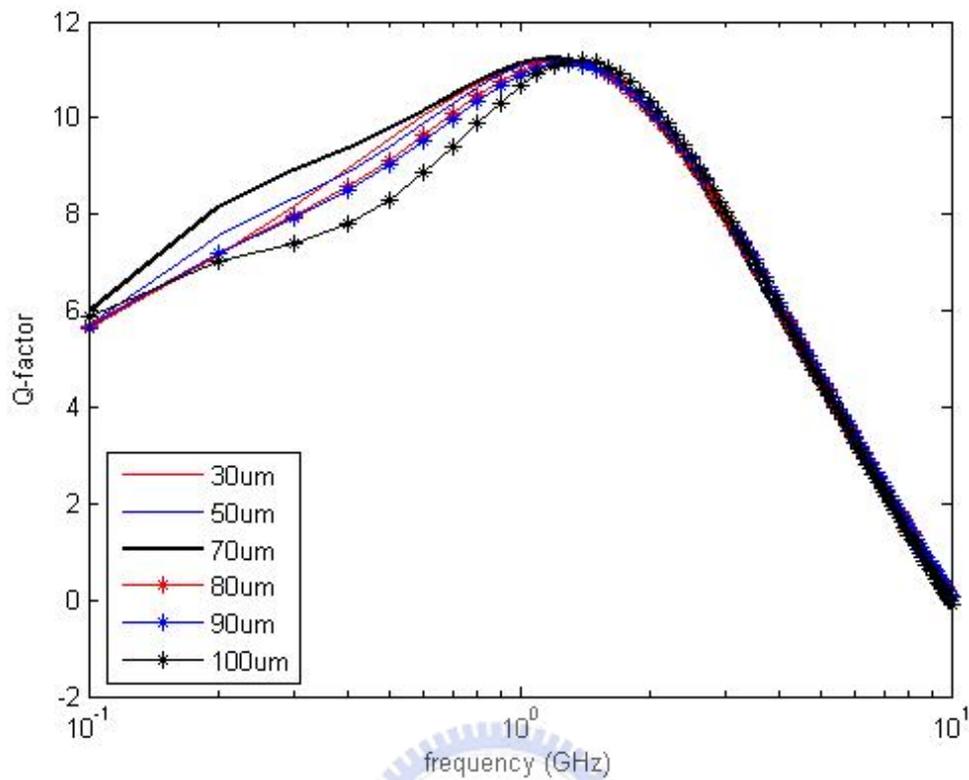


圖 4-2-8 電感外圍蝕刻品質因子變化比較圖

4.3 節 互感之討論

一般在 IC 上面,不太可能只做一 CMOS 螺旋電感,而是有兩個以上的 CMOS 螺旋電感,進而討論兩個相鄰之間的 CMOS 螺旋電感對彼此之間的影响大小 [16]。在研究的方面,因為一般接地面的遠近對於電感的能力有相當大的影响,進而討論一下對於互感的部分是否影响也一樣大。兩個 CMOS 螺旋電感之互感影响對於距離影敏度應該相當的高,所以討論一下 CMOS 螺旋電感之間間距與互感效應的關係。

4.3.1 接地面距離對互感影响之討論

一般來說,對於接地端的距離是我們考量對於互感的影响的重要指標,因為考量 CMOS 螺旋電感能量會集中往地端,若接地端越近期效應越大,所以模擬

其接地端的距離看對於互感的影響。在這個例子中吾人使用， D_{in} 為 $100\ \mu m$ ，線寬為 $10\ \mu m$ ，線距為 $2\ \mu m$ ，如圖 4-3-1 所示。

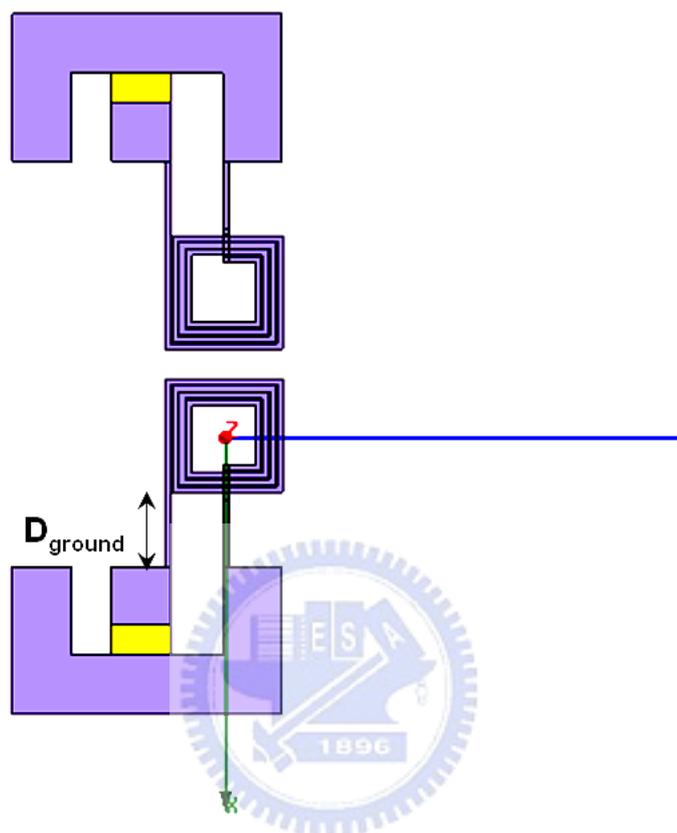


圖 4-3-1 D_{ground} 示意圖

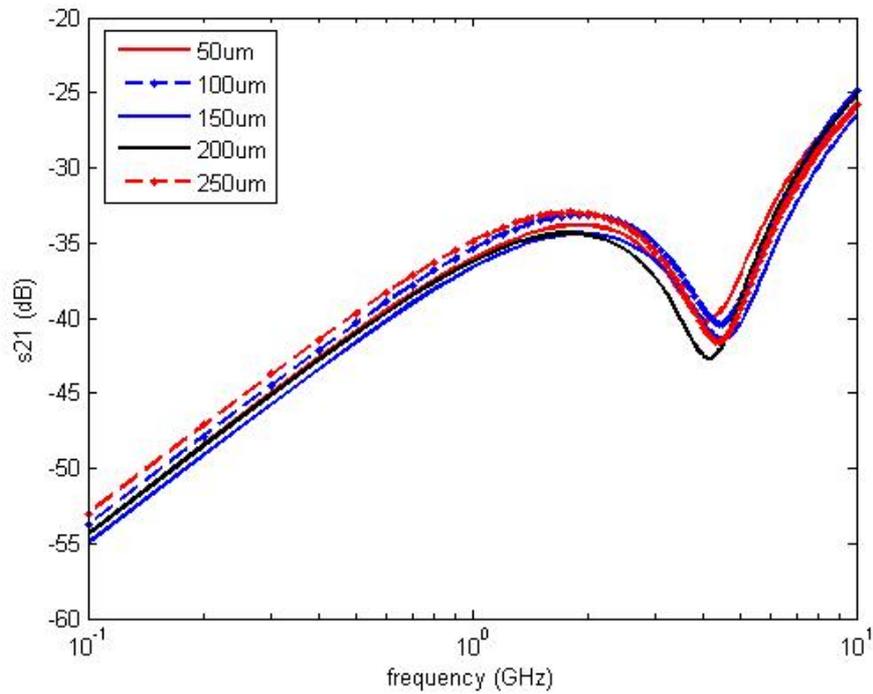


圖 4-3-2 D_{ground} 變化影響互感模擬圖

在圖 4-3-2 中，可以看出接地端的距離對於互感之影響，對於互感數量級來說，其影響性相當的微量。所以若實際在製造量測互感效應時，不需要考量與接地端之距離。

4.3.2 電感間距對互感影響之討論

考量電感間距的影響，必須要考慮到兩兩相鄰電感所繞之方向性，討論其是否有差異。首先先討論相鄰的電感所繞之方向為相反，其外觀圖形為圖 4-3-3 與圖 4-3-4 所示，其中模擬之 CMOS 螺旋電感之 D_{in} 為 $100 \mu m$ ，線寬為 $10 \mu m$ ，線距為 $2 \mu m$ ， D_{ground} 為 $50 \mu m$ ，如圖 4-3-3 所示。

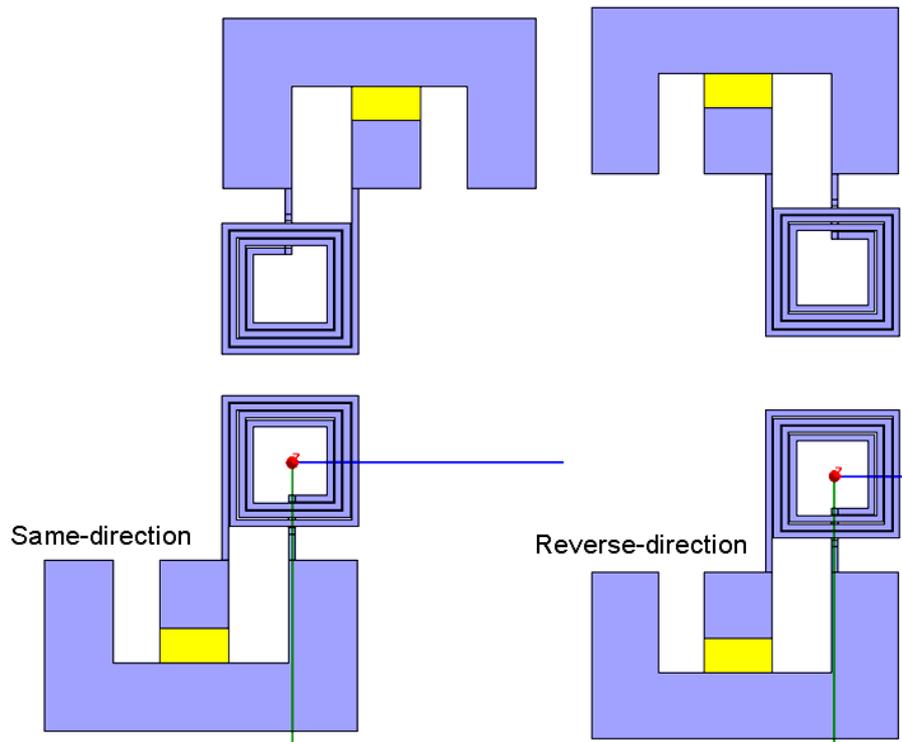


圖 4-3-3 互感螺旋方向示意圖

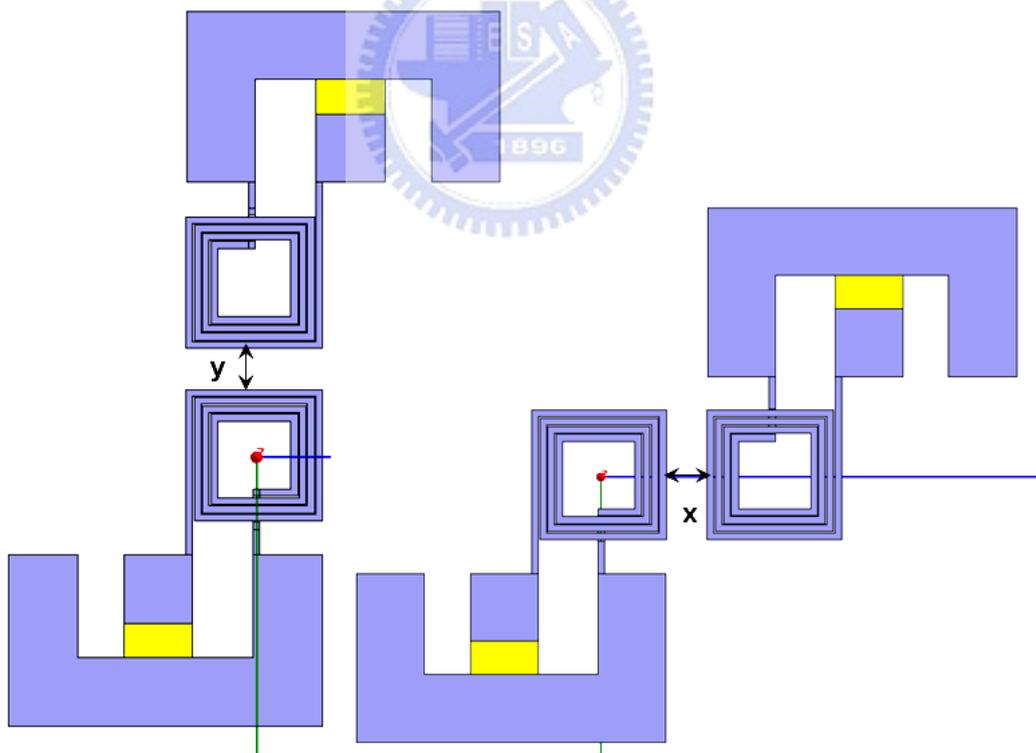


圖 4-3-4 互感方向變化圖

由圖 4-3-5 可以得知，在不同變動軸變化(X 軸, Y 軸)，其耦合效應將會有
所差距。圖 4-3-6 至圖 4-3-8，可以看出耦合效應會隨著頻率增加而增加，此乃

因為頻率增加其電磁場輻射增加，所以至鄰近的 CMOS 螺旋電感耦合量亦增加。圖 4-3-9 之輸出為 Y 軸 $100\ \mu\text{m}$ ，而圖可以看出不同螺旋方向的 CMOS 螺旋電感其耦合量亦有所差異，其同方向的耦合量較少，但是在高頻的部份，其耦合量已經相距不大。且在前幾張圖中所觀察到的，當某些頻率與距離下，有一些電感耦合量與一般所想像的不一樣，則圖 4-3-9 可以得知，結構上的對稱性與否影響耦合量，假若為不對稱結構時，電感耦合量較低，其耦合量在某一頻段時，會突然減少。進而可以解釋為何會有如此的現象發生。

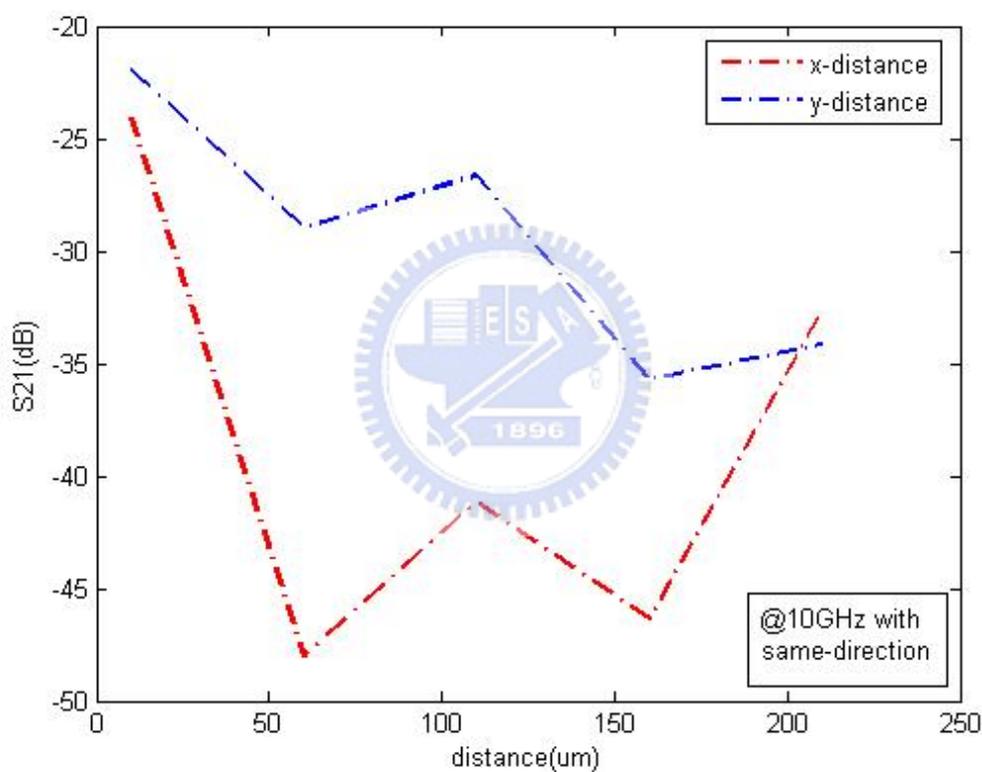


圖 4-3-5 變更方向耦合比較圖

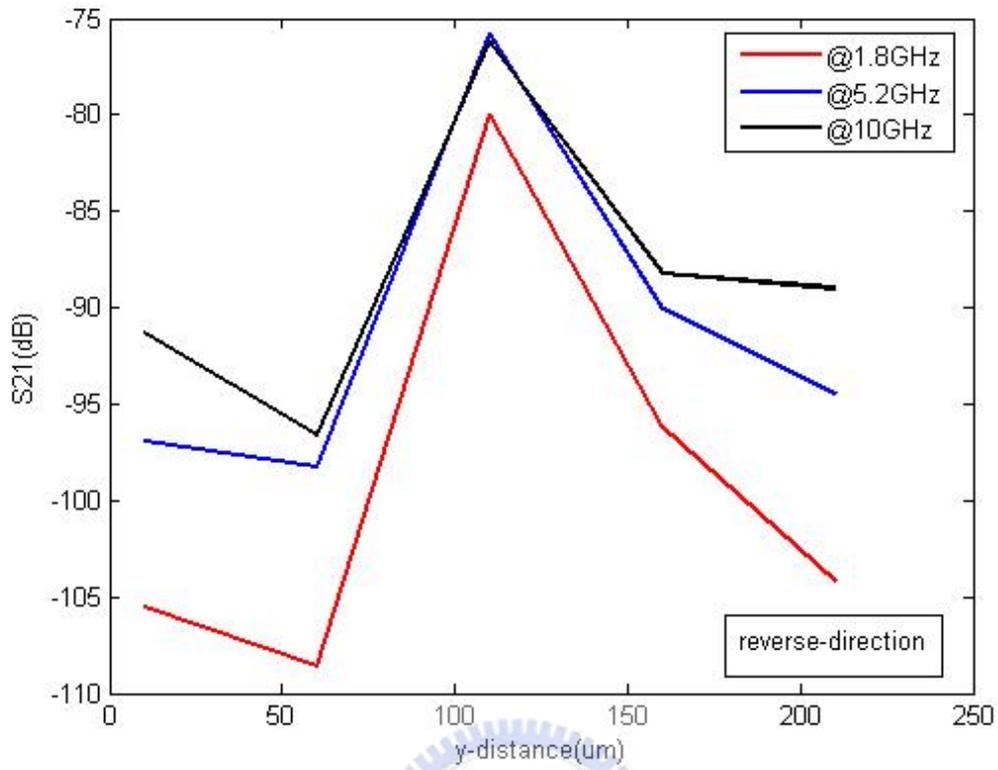


圖 4-3-6 反方向間距耦合變化圖

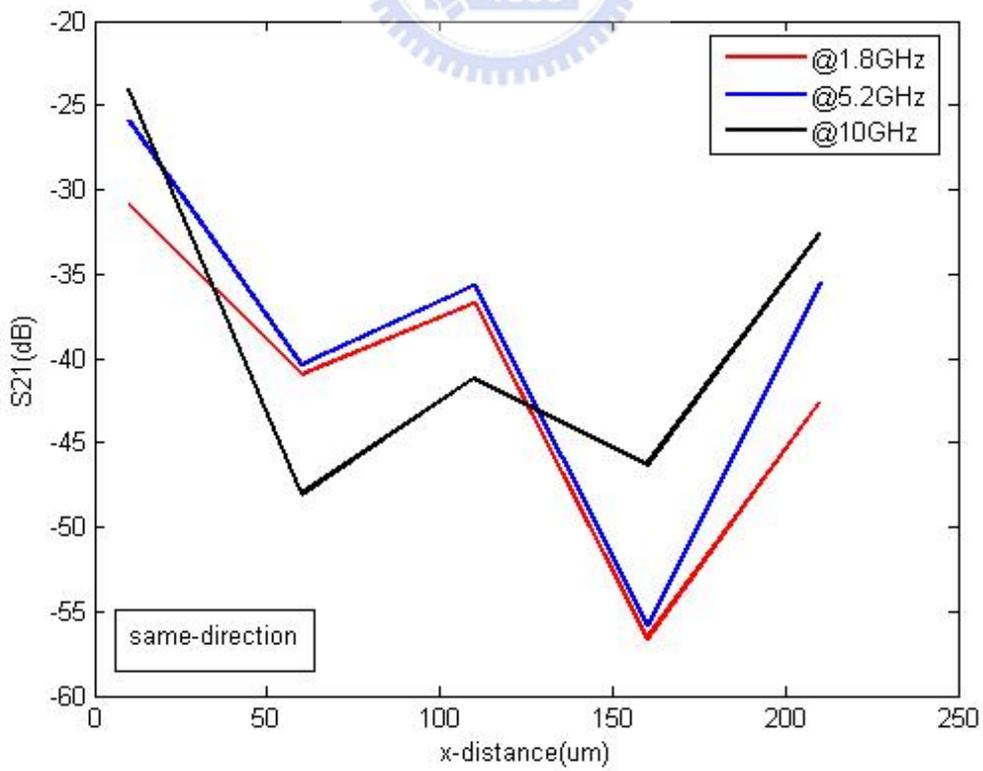


圖 4-3-7 同方向 X 軸間距耦合變化圖

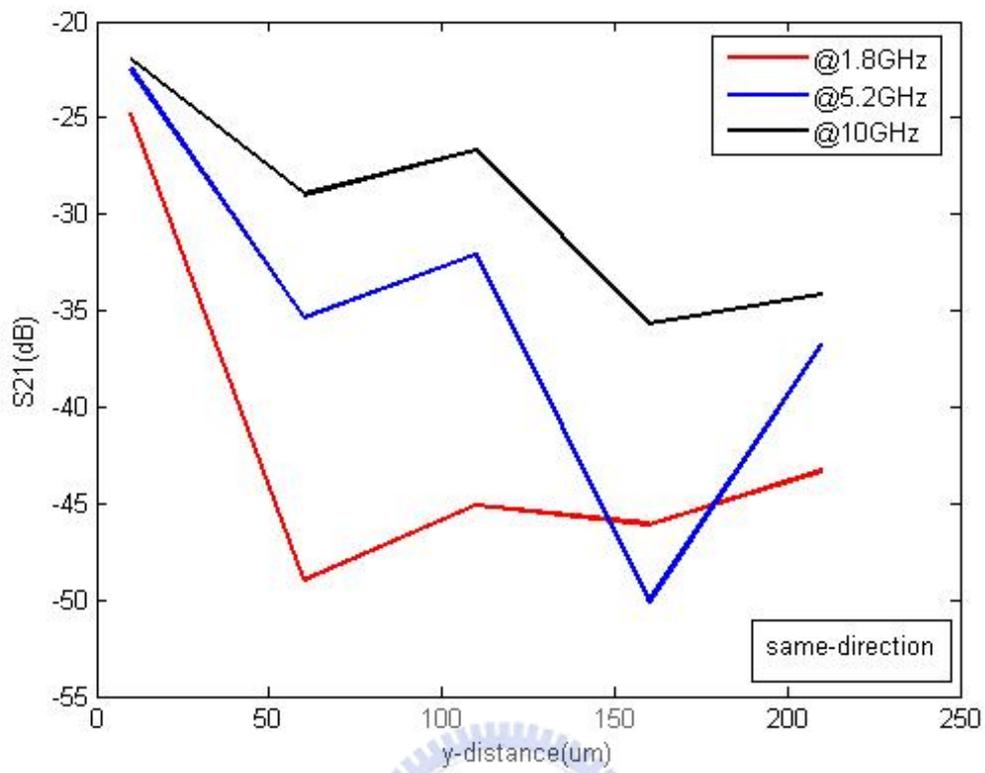


圖 4-3-8 同方向 Y 軸間距耦合變化圖

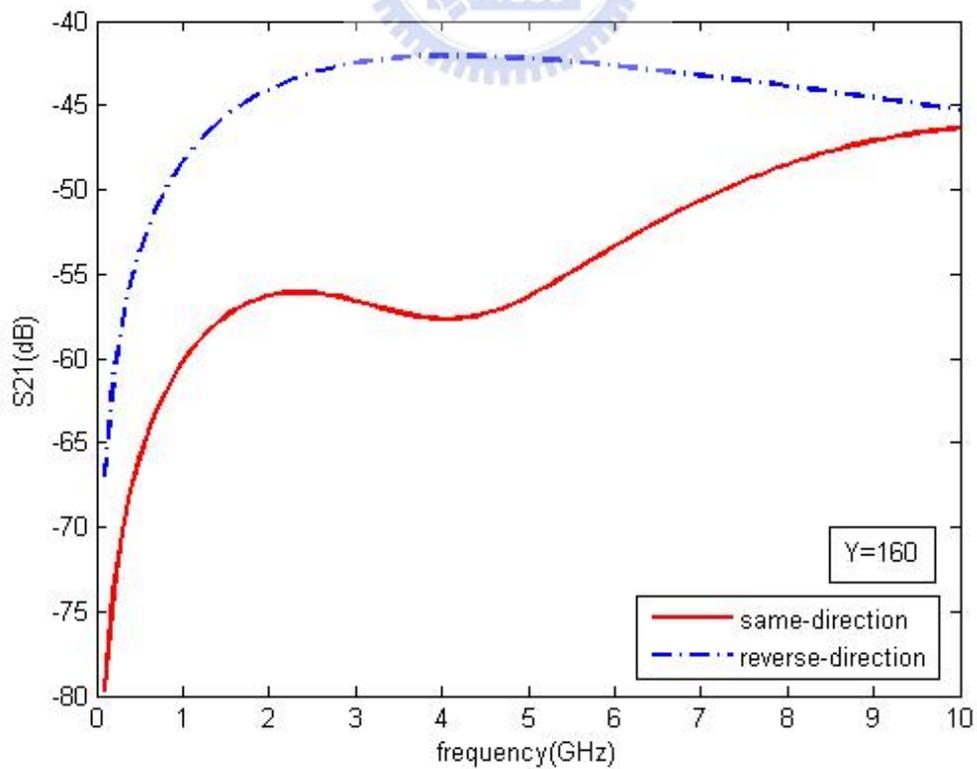


圖 4-3-9 不同輸出方向耦合變化圖

第五章 結論

本論文最重要的是建立一 CMOS 螺旋電感等效電路且探討其元件之物理特性，並利用物理特性之原理推導出其計算公式。在不同的幾何結構與製程參數下，即可以預估 CMOS 螺旋電感之感值與品質因子。

在第三章中，主要探討 CMOS 螺旋電感之物理特性與計算公式，接著討論 CMOS 螺旋電感等效電路在不同的頻率之下其等效電路會呈現如何的狀態。在低頻之中，因為二氧化矽電容是為開路狀態，CMOS 螺旋電感之等效電路僅只有看到金屬導線的部份。而在高頻之中，因為二氧化矽電容已經無法視為開路狀態，所以從量測端所看進去的電路為完整之電路。

第四章中，探討每個元件對於品質因子最大值之影響，為了改善其品質因子而提出一新的方法，蝕刻二氧化矽層，將二氧化矽層電容變小，其相對高頻狀態的頻率往後移動，進而品質因子提高。在兩相鄰之 CMOS 螺旋電感，例用電磁模擬軟體討論互感效應的大小與相鄰 CMOS 螺旋電感、接地面間距之關係。

未來的工作，希望能夠利用其他製程來驗證與修正其 CMOS 螺旋電感等效電路之公式，亦驗證 CMOS 螺旋電感互感模擬與量測之比較。

參考資料

- [1] D.K. Cheng , 'Field and Wave Electromagnetics 2/e'.
- [2] Stefaan Decousteru, '**Physics-Based Closed-Form Inductance Expression for Compact Modeling of Integrated Spiral Inductors**', IEEE Journal of Solid-State Circuits, VOL. 37, NO. 1, January 2002.
- [3] David M. Pozar, '**Microwave Engineering, 2nd Ed**'., New York: John Wiley & Sons, Inc., 1998.
- [4] S. Simon Wong, '**Analysis and Synthesis of On-Chip Spiral Inductors**', Electron Devices, IEEE Transactions on, VOL. 52, NO. 2, FEBRUARY 2005
- [5] Hyungcheol Shin, '**A Simple Wide-Band On-chip Inductor Model for Silicon-Based RF ICs**', Microwave Theory and Techniques, IEEE Transactions on, VOL. 51, NO.9, September 2003.
- [6] Yannis Papananos, '**Systematic Analysis and Modeling of Integrated Inductor and Transformers in RF IC Design**', Circuits and Systems, IEEE Transactions on, VOL. 47, NO. 8, August 2000.
- [7] William B. Kuhn, Nouredin M. Ibrahim, '**Analysis of Current Crowding Effects in Multiturn Spiral Inductors**', Microwave Theory and Techniques, IEEE Transactions on, Volume: 49, NO. 1, January 2001.
- [8] Chenming Hu, '**Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors**', IEEE Journal of Solid-State Circuits, VOL. 38, NO. 3, March 2003.
- [9] Chenming Hu, '**Impact of On-chip Interconnect Frequency-Dependent R(f)L(f) on Digital and RF Design**', VLSI systems, IEEE Transactions on, VOL. 13, NO. 1, January 2005.
- [10] Philip C. H. Chan, '**Accurate Modeling of Lossy Silicon Substrate for On-Chip Inductors and Transformers Design**'. IEEE Radio Frequency Integrated Circuits Symposium, 2004.
- [11] Andreas Weisshaar, '**CAD-Oriented Equivalent-Circuit Modeling of On-Chip**

Interconnects on Lossy Silicon Substrate', Microwave Theory and Techniques, IEEE Transactions on, Volume: 48, NO. 9, September 2000.

[12] Shen-Iuan Liu, '**Analysis of On-Chip Spiral Inductors Using the Distributed Capacitance Model**', IEEE Journal of Solid-State Circuits, VOL. 38, NO. 6, June 2003.

[13] UMC & CIC(國家晶片系統設計中心), '**UMC_018_RF_Model_inductor**'.

[14] Chin-Hsing Kao, '**A Simple Systematic Spiral Inductor Design With Perfected Q Improvement for CMOS RFIC Application**', Microwave Theory and Techniques, IEEE Transactions on, Volume: 53, NO. 2, February 2005.

[15] Y. B. Gan, '**Experimental Characterization of Coupling Effects Between Two On-Chip Neighboring Square Inductors**', Electromagnetic Compatibility, IEEE Transactions on, Volume: 53, NO. 2, February 2005.

