

圖目錄

圖1.1	雙轉換式(double conversion)調諧器模組方塊圖.....	5
圖2.1.1	使用頻率合成器產生穩定的本地端振盪訊號.....	9
圖2.2.1	鎖相迴路輸入輸出頻率示意圖.....	10
圖2.2.2	鎖相迴路系統方塊圖.....	11
圖2.3.1	相位頻率偵測器方塊圖.....	12
圖2.3.2	相位頻率偵測器的狀態圖.....	12
圖2.3.3	在理想的狀態下相位頻率偵測器的輸入信號 (REF、DIV) 和輸出信號 (U、D) 的時序圖.....	13
圖2.4.1	電荷幫浦的示意圖.....	14
圖2.5.1	二階迴路濾波器.....	17
圖2.6.1	簡單回授電路.....	18
圖3.1.1	鎖相迴路鎖定時，具有不匹配電流示意圖.....	21
圖3.1.2	壓控振盪器輸出頻譜.....	21
圖3.1.3	具有快速交換速度的電荷幫浦[11][20].....	22
圖3.1.4	鎖相迴路鎖定時，在不同的電荷幫浦輸出電壓下，充/放電流 的大小.....	23
圖3.1.5	改良過後具有良好電流匹配的電荷幫浦.....	24

圖3.1.6 鎖相迴路鎖定時，在不同的電荷幫浦輸出電壓下，充/放電流 的大小.....	24
圖3.1.7 當輸入參考訊號領先回授訊號時，迴路濾波器充電電壓上 升.....	25
圖3.1.8 當回授訊號領先輸入參考訊號時，迴路濾波器放電電壓下 降.....	26
圖 3.1.9 在迴路鎖定後，未使用回授放大器時，對迴路濾波器充電的 mismatch current 大小。.....	27
圖 3.1.10 在迴路鎖定後，使用回授放大器時，對迴路濾波器充電的 mismatch current 大小。.....	27
圖 3.1.11 Reference spur 對 current mismatch 作圖.....	29
圖 3.2.1 傳統的相位頻率偵測器電路.....	30
圖 3.2.2 推薦使用的 D 型正反器.....	30
圖3.2.3 動態式相位頻率偵測器.....	31
圖3.2.3 當輸入參考頻率領先回授到 PFD 的除頻頻率.....	32
圖3.2.4 當回授到 PFD 的除頻頻率領先輸入參考頻率.....	33
圖3.3.1 National Semiconductor loop filter design 程式介面.....	34
圖3.4.1 具有寬頻的 CMOS 壓控振盪器.....	35
圖3.4.2 振盪器振盪頻率對控制電壓作圖.....	36

圖3.4.3 靈敏度對控制電壓作圖.....	36
圖3.4.4 相位雜訊模擬.....	37
圖3.5.1 鎖相迴路所使用的除頻器電路.....	37
圖3.5.2 預除器電路.....	38
圖3.5.3 預除器的輸出波型圖.....	39
圖3.5.4 串列轉並列介面 (SPI).....	39
圖3.5.5 串列轉並列介面 (SPI) 輸入訊號.....	40
圖3.5.6 串列轉並列介面 (SPI) 輸出訊號.....	40
圖3.5.7 可程式除頻器.....	41
圖3.5.8 除頻器的輸出波型圖.....	42
圖3.5.9 緩衝放大器.....	43
圖3.6.1 使用改良前電荷幫浦鎖相迴路的迴路濾波器輸出電壓.....	44
圖3.6.2 使用改良過後的電荷幫浦鎖相迴路的迴路濾波器輸出電壓.....	44
圖3.6.3 迴路濾波器輸出電壓比較圖.....	45
圖3.6.4 鎖相迴路鎖在 2.56 GHz 的輸出波型.....	45



