

第一章

緒論

1.1 研究背景與動機

鎖相迴路(phase-locked loop,PLL)早在 1932 年就被提出，當初最早的想法是為了要同調 (coherent) 通訊系統，並用來消除都普勒位移(Doppler shift)的影響[1][2]。而鎖相迴路最早的應用是在30年代被用於同步檢波的收音機，50年代開始被用於電視廣播，但是由於價格昂貴，使得它的應用也受到了限制。到了 70 年代，積體電路 (integrated circuits , IC's) 快速的發展，鎖相迴路使用了單晶片系統設計(system on chip) ，使得它的價格降低，而價格的降低也增進了鎖相迴路應用的範圍，並開始被廣泛的應用於現代的通訊系統，更進一步被使用於消費性電子產品[1]。因此有越來越多學者投入研究，到 70 年代末鎖相迴路的理論便更加的完整 [3][4][5]。

到近年來由於全球電信自由化的趨勢，以及無線通訊硬體及軟體技術改良，無線通訊已邁向了數位的領域，因此建立與研發滿足各種數位通訊需求的硬體及軟體是通訊產業極力發展的目標。數位通訊技術的迅速成長，也使得各類相關視訊壓縮編碼、通訊標準陸續被制

定，資訊、通訊及娛樂儼然已與數位傳輸技術融合為一體，尤其是近年來各國政府大力推廣的數位電視，便是使用數位傳輸技術中具有龐大商機的應用，而這也是本論文所探討鎖相迴路要應用的領域。除此之外還有許許多多無線通訊的相關應用，這也使得無線多媒體通訊成為目前最熱門的研究領域。

在無線通訊之中，為了減小天線的大小以及使得訊號易於輻射，因此在發射端部分我們常常需要利用本地端振盪器將訊號升頻（UP converter）到射頻（Radio Frequency, RF），接著才將射頻的訊號透過天線來輻射；而在接收端在收到射頻訊號後也需要一個振盪器來將射頻訊號作降頻（Down Converter）的動作，來得到原本的訊號。因此提供一個穩定的本地端振盪器便成了一個很重要的研究，透過鎖相迴路以及內部的除頻器，我們也可以很容易的得到想要合成的頻率，因此將鎖相迴路電路運用於本地端振盪器，儼然已成為目前主流的趨勢。


近年來由於鎖相迴路易於積體電路化，而且可以產生穩定的輸出振盪頻率，而利用積體電路的技術，也可以使產品整體的成本降低，增加產品的競爭力。

在鎖相迴路電路的設計上，我們必須考慮鎖相迴路鎖住相位之後電荷幫浦充/放電電流不匹配的問題[6] [7] [8][9][10]，在鎖相迴路中電

流不匹配的問題會使得電壓控制器振盪器的輸出端產生 Spur 的不良效應，並導致整體鎖相迴路相位雜訊的惡化。

現今由於晶片操作的速度越來越快，而且新的無線通訊規範越來越嚴苛，因此在本論文探討一個具有快速交換速度的電荷幫浦[11]以適用於數位電視調諧器的應用，然而在這個電路中仍然有電流不匹配的問題，因此改良此電路並設計一個具有高速操作以及良好電流匹配特性的電荷幫浦電路來適合數位電視中調諧器的規格為本論文目的。

1.2 研究方法與流程



首先上網找相關的報告資料，接著參考比較各種電路設計的優缺點後，決定鎖相迴路各部分電路所要使用的架構後，利用 ADS 模擬軟體個別驗證其功能。接著從電荷幫浦架構的改良來改進電流不匹配的效應，並且使用 ADS 來驗證改良前和改良之後的差異。個別電路架構驗證完成之後，將它們組成一個完整的鎖相迴路系統，除了電荷幫浦外，其它電路架構完全相同，這裡我們應用 ADS 軟體來進行整合並模擬，藉此來比較電路幫浦改進過後對整體鎖相迴路的影響。

1.3 數位電視接收機中之調諧器 (Tunner) 模組[12]

在接受到數位電視節目的訊號後，在接收端都必須要有調諧器來做選台的作用，因此調諧器在數位電視中是非常重要的模組。目前有線及地面廣播數位電視的播送是應用於 50 MHz 到 860MHz 間的頻帶，而調諧器的功用便是從這麼寬的訊號頻帶裡選出其中一個需要頻道，接著經過降頻後再取出我們所要收看節目的中頻頻率。

如圖 1.1 所示，當電視信號進入調諧器 IC 之後，由於整個系統的雜訊取決於第一級，因此要求前級放大器必須低雜訊，故使用寬頻可調增益低雜訊放大器 (LNA) 將接收到的信號放大。接著，利用一混波器 (mixer) 與我們所設計具有寬頻輸出的頻率合成器來與輸入信號作混波，讓頻道訊號升頻至一固定頻率之第一中頻後，將訊號輸出晶片外，經過一個 1220MHz 的表面聲波濾波器 (SAW filter) 濾除不必要的雜訊，而留下所需要的頻道訊號。接著再將線路拉回晶片內，配合一 image rejection mixer，與一窄頻的頻率合成器的輸出做混波，該頻率合成器通常設定在一固定頻率輸出，將所需頻道訊號降頻至固定的中頻後，再輸出給調諧器後端的解調變電路或 IC，將數位電視訊號解調出來。

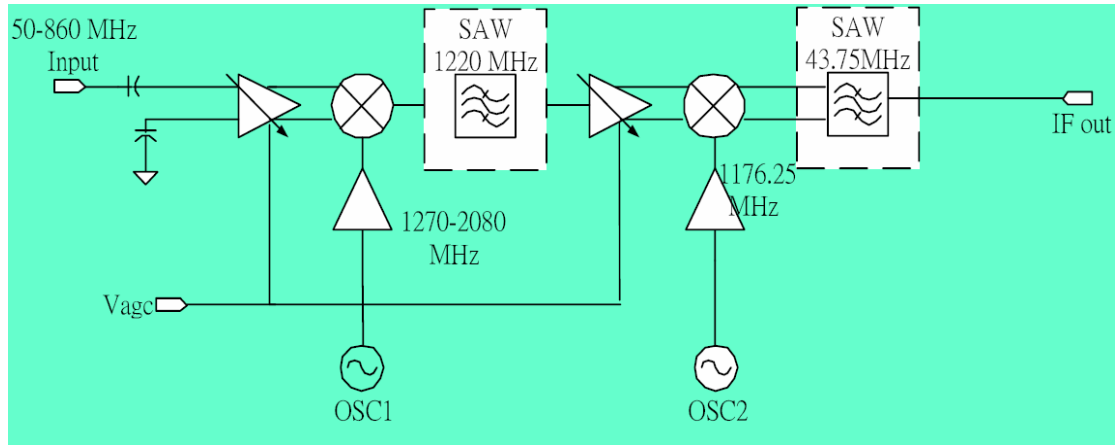


圖 1.1 DVB-T 雙轉換式(double conversion)調諧器系統方塊圖

1.4 文獻探討

在相位頻率偵測器方面，[13][14]中提到 PFD 電路由於有內部電路延遲的問題，因此當輸入訊號相位差較小時，*UP*、*DOWN* 並不會有相位誤差的信號輸出，使得電荷幫浦無法正常的動作而造成所謂的 *dead zone* 現象產生，因此在 *NAND gate* 前加入延遲電路，使得輸入訊號無相位差時，可有效防止電路有 *dead zone* 現象的產生，但是此電路使用了較多的邏輯閘因此內部電路的延遲，限制了此電路在高頻電路上的應用以及增加了功率的消耗。[15]提出了具有最少電晶體架構以及不具有 *dead zone* 的相位頻率偵測器，在迴路鎖定時，這個相位頻率偵測器可以在輸出的 *UP* 和 *DN* 端同時產生脈波，並藉此來消除 *dead zone* 的效應，而不需要借助額外的緩衝器 (*Buffer*)，

因此可以達到節省功率的消耗。

在電荷幫浦方面，[11]中使用了具有正迴授特性而且可快速關閉充/放電流的電晶體的電荷幫浦來使得切換速度加快，因此可以適合在高頻來使用。[6]中提出了一個 self-bias 架構的電荷幫浦來解決鎖相迴路鎖相之後，壓控振盪器控制電壓的改變在輸出端所產生雜訊的效應，並節省功率的消耗。[7]中比較了各種電荷幫浦的特性，並且量化這些電荷幫浦不理想效應對鎖相迴路輸出端的影響，可以藉此來判斷所設計電荷幫浦的優劣。[10]中利用了誤差放大器（error amplifier），以及外加了額外的電晶體，利用電晶體 drain 電流（ I_D ）相等的特性，來解決鎖相迴路鎖相時，電流不匹配的問題。

在壓控振盪器方面，[16]中使用了具有較大負阻抗的 CMOS 交連耦和對（Cross couple pair）以及 MOS Varactor 來設計電路，來得到可容忍範圍內的相位雜訊（Phase noise），以及可調範圍比較大的壓控振盪器輸出頻率。

在相位頻率偵測器的設計上，由於使用了較少的電晶體所以可以有效的解決功率消耗的問題，而且由於 critical path 變短因此可以很容易的應用於高頻電路的設計。電荷幫浦的部分，改良了原本電荷幫浦不匹配電流問題，可以有效的減少鎖相迴路輸出端 spur 的效應。在電壓控制振盪器部分，我們使用了具有較低相位雜訊的 LC tank

壓控振盪器。最後我們設計一個可以穩定振盪於 2.56 GHz 的本地端振盪器。

1.5 論文簡介

本論文主要分為四個章節：在第一章中提出這篇論文的研究背景。第二章說明了鎖相迴路的基本原理。第三章說明本論文在電荷幫浦不匹配電流改良上的貢獻，接著建立整個鎖相迴路的電路並模擬。第四章為結論，最後為參考資料。

