

第三章

電荷幫浦充/放電流不匹配效應的改進以及鎖相迴路 系統的模擬

3.1 簡介

在鎖相迴路之中，當鎖相迴路鎖住相位後，為了消除 Dead Zone 的問題，在 PFD 的 UP 和 DN 的輸出端會同時產生一個短暫的脈波，此時 S_U 和 S_D 同時導通 (ON) 電荷幫浦充/放電流不匹配的效應使得差異電流 I_{DIF} ($I_{DIF} = I_U - I_D$) 對濾波器充放電，會使得壓控振盪器的輸出端產生 Spur 的不良影響，如圖 3.1.1 圖 3.1.2 所示，如此鎖相迴路輸出弦波的相位雜訊便會增加。因此在電荷幫浦的電路設計上我們，我們必須要減少鎖相迴路鎖定後充/放電流不匹配的效應，來得到一個具有低雜訊的振盪訊號。

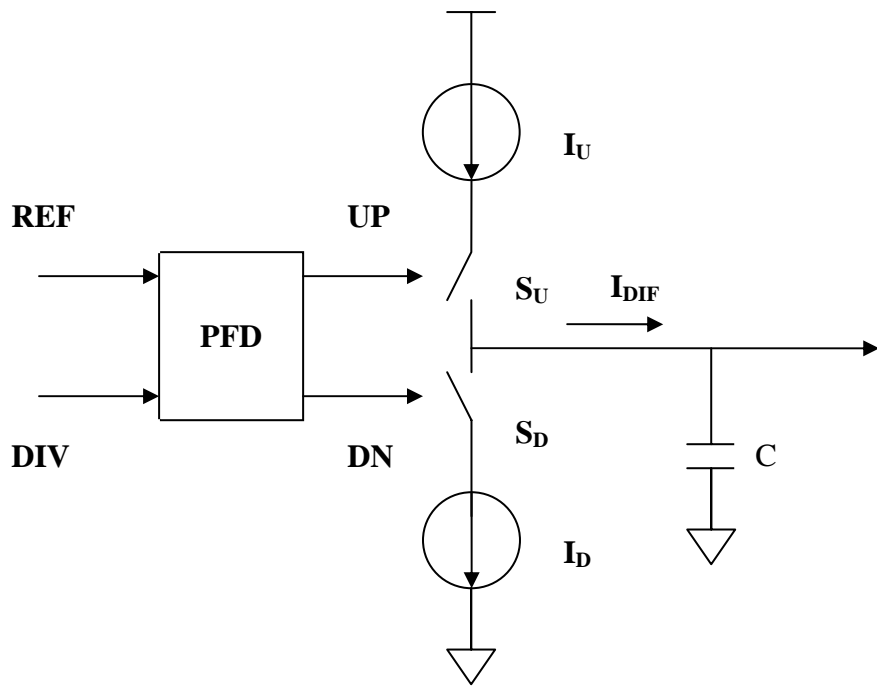


圖 3.1.1 鎖相迴路鎖定時，具有不匹配電流示意圖

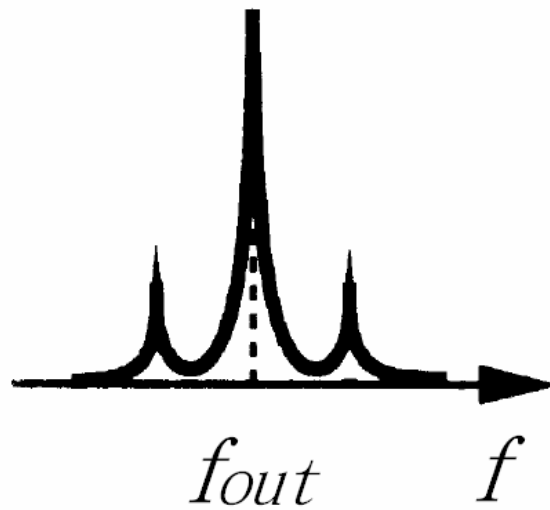


圖 3.1.2 壓控振盪器輸出頻譜

圖 3.1.3 的電荷幫浦電路在鎖相迴路鎖定的狀態時，仍然會有電流不匹配的問題，如圖 3.1.4 所示，這將會導致當鎖相迴路在鎖定狀態下仍然會對迴路濾波器充放電，因此在迴路濾波器的輸出電壓會產生小小的漣波，這個漣波會導致壓控振盪器的輸出端產生 spur 進而導致相位雜訊的問題更加嚴重。

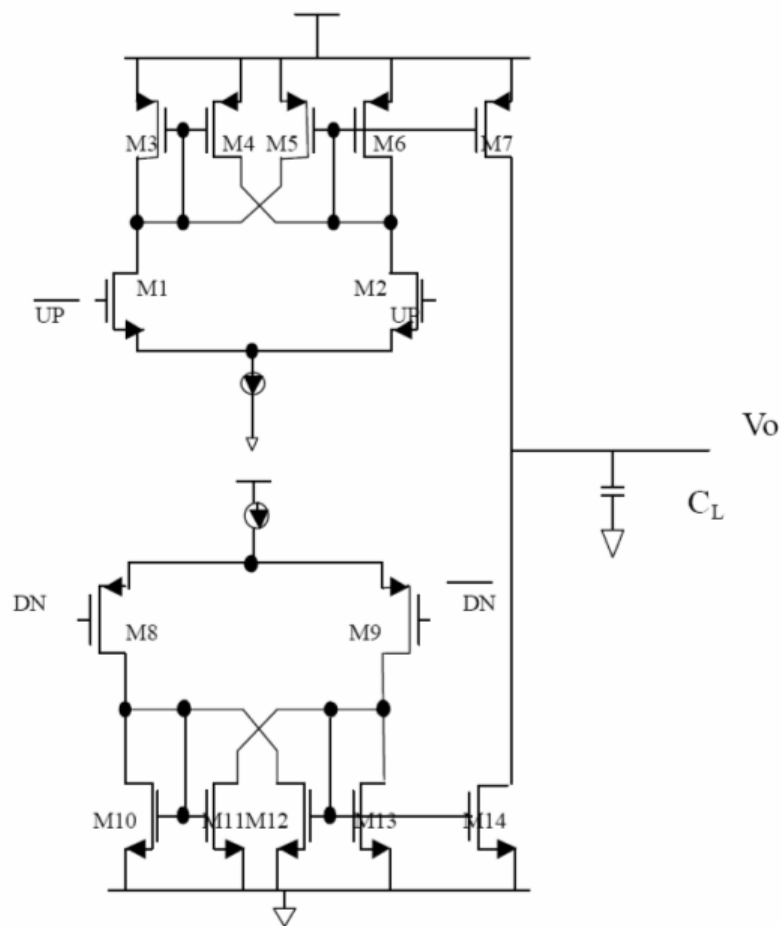


圖 3.1.3 具有快速交換速度的電荷幫浦[11][20]

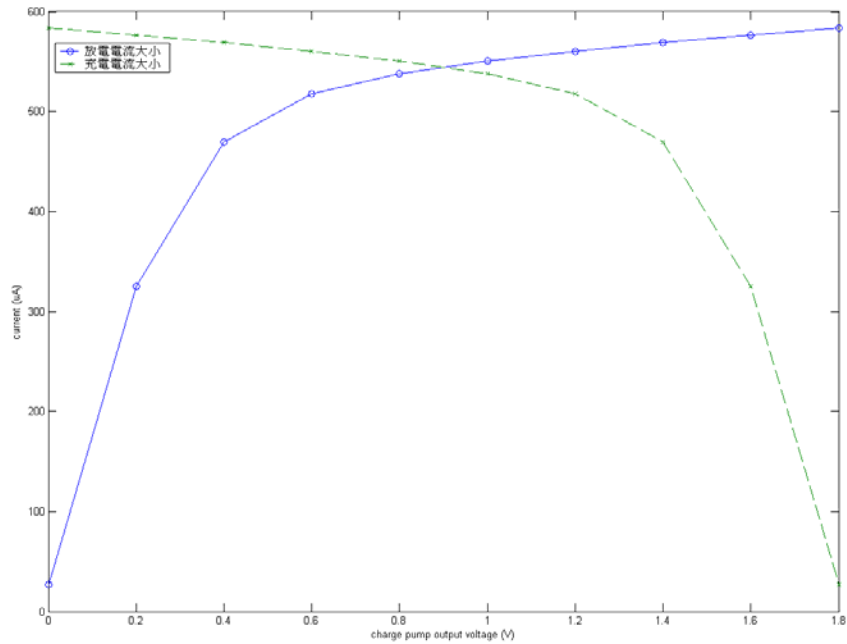


圖 3.1.4 鎖相迴路鎖定時，在不同的電荷幫浦輸出電壓下，充/放電流的大小



在具有快速交換速度的電荷幫浦中加入了回授的放大器以及 M15 和 M16 電晶體，如圖 3.1.5 所示。在鎖相迴路鎖定時，為了消除 Dead Zone 的問題，在 PFD 的 UP 和 DN 的輸出端會同時產生一個短暫的脈波，此時回授放大器產生作用，當回授放大器的增益夠大時，會使得 X 的電壓追隨 Y 的電壓，又因為 M15 以及 M16 有相同的電流值，因此 M15 和 M7 的閘級電壓會相等，M16 和 M14 的閘級電壓也會相等，因此會使得 M7 和 M14 也會有相同的電流，如此便可以有效解決電流不匹配的問題。

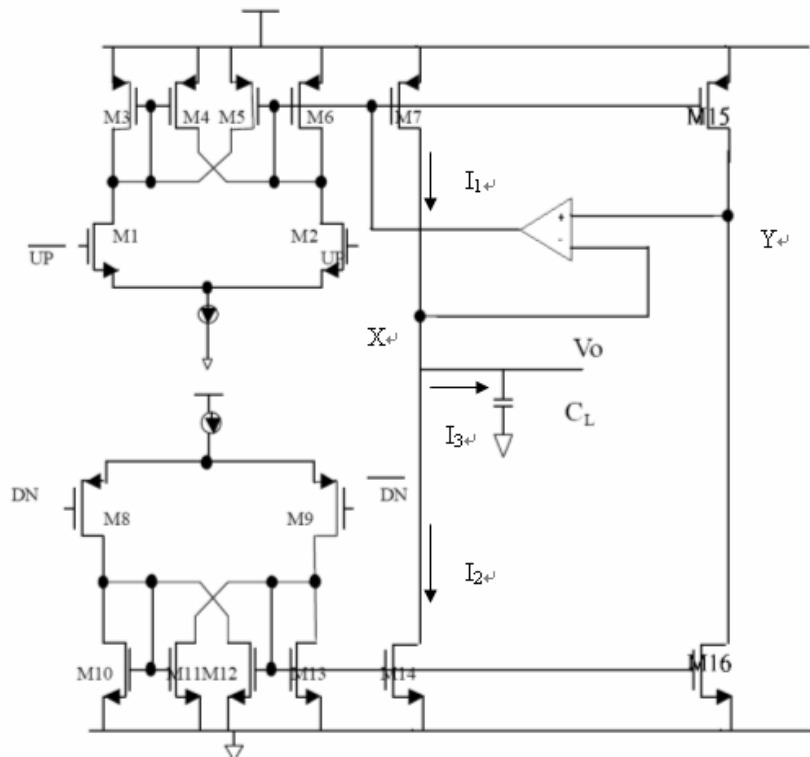


圖 3.1.5 改良過後具有良好電流匹配的電荷幫浦

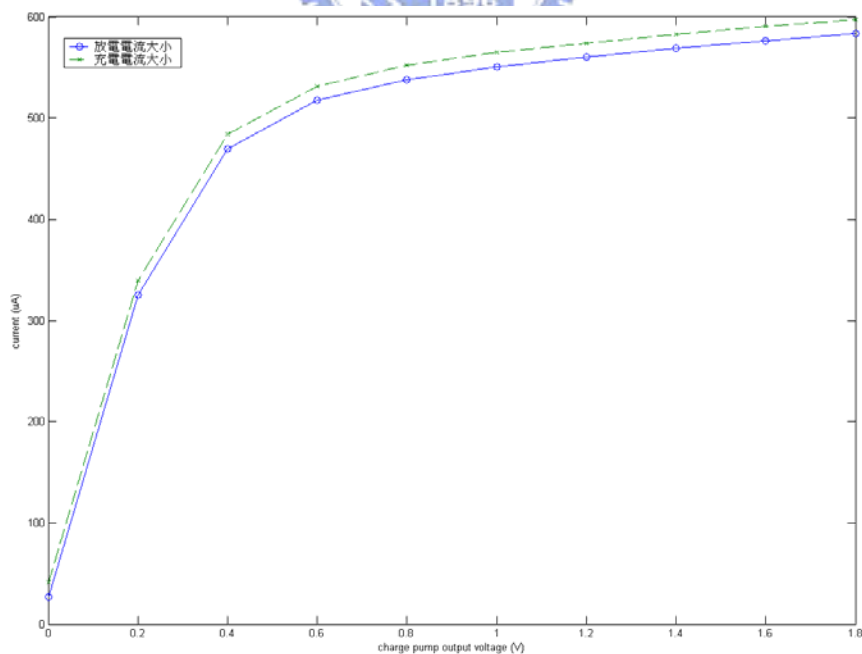


圖 3.1.6 鎖相迴路鎖定時，在不同的電荷幫浦輸出電壓下，充/放電流的大小

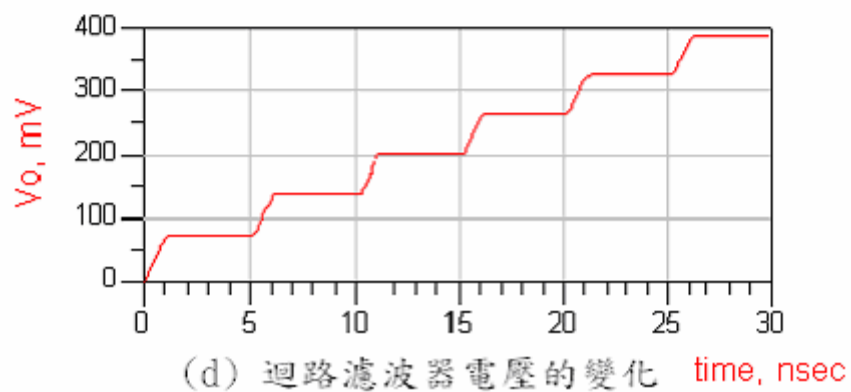
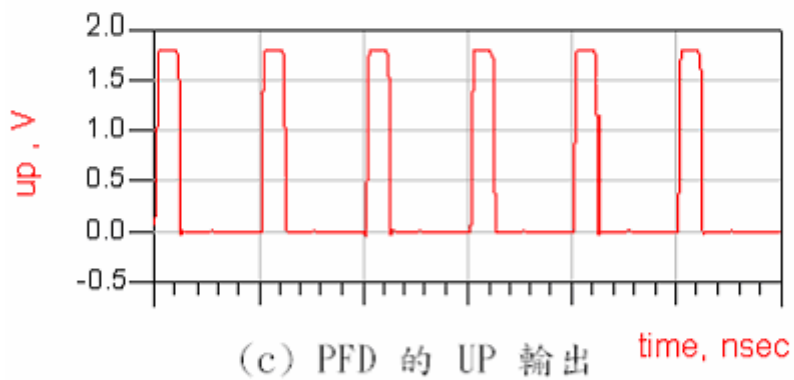
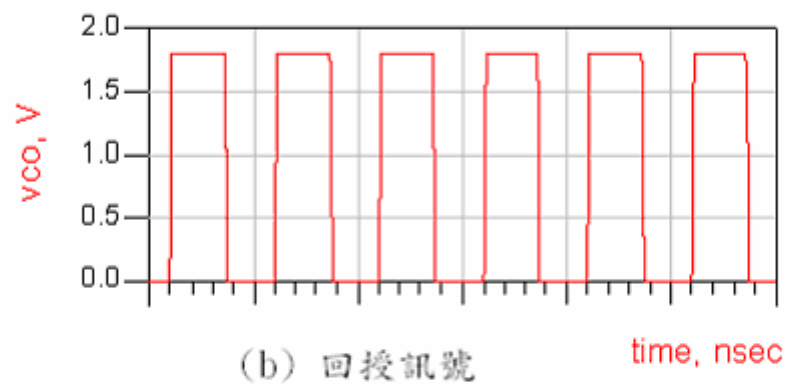
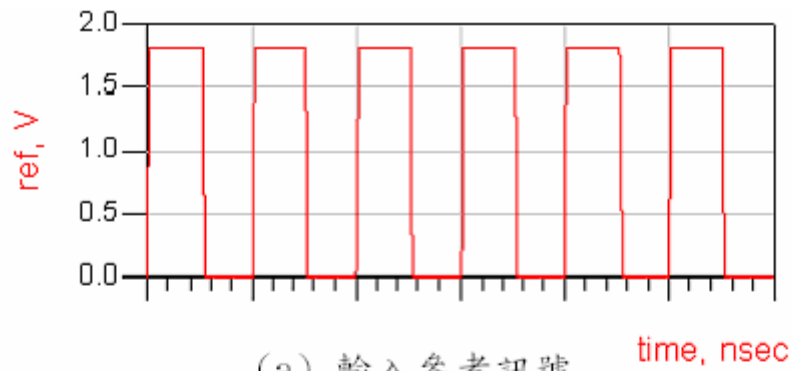


圖 3.1.7 當輸入參考訊號領先回授訊號時，迴路濾波器充電電壓上升

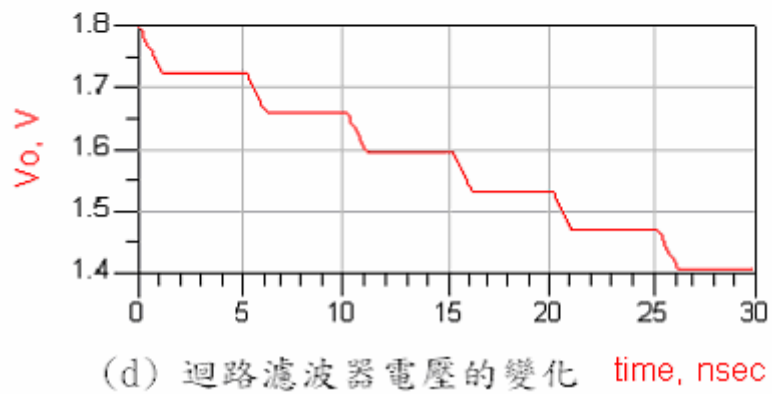
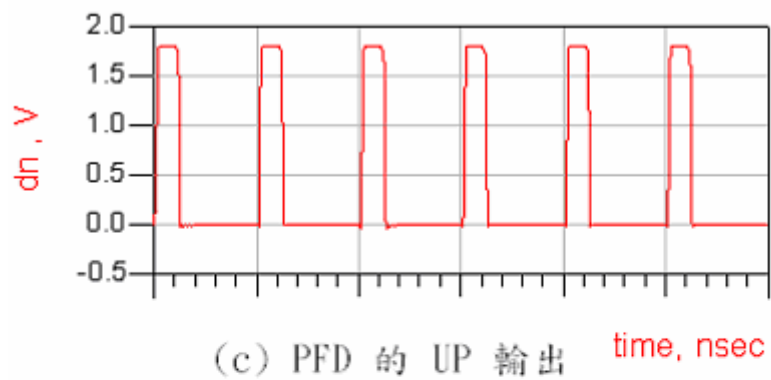
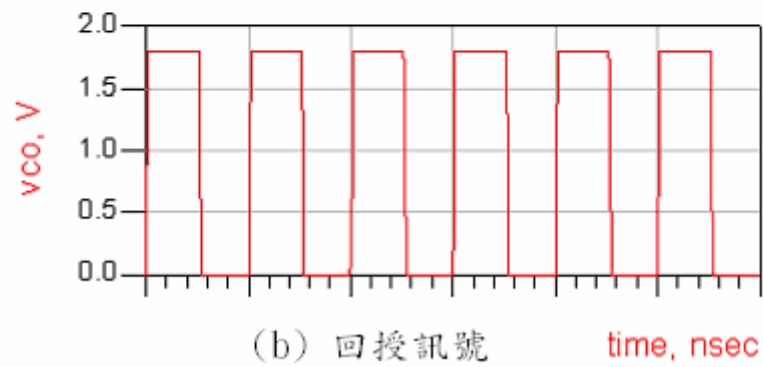
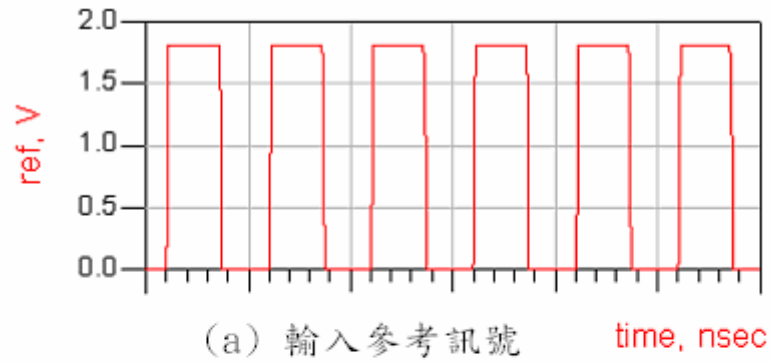


圖 3.1.8 當回授訊號領先輸入參考訊號時，迴路濾波器放電電壓下降

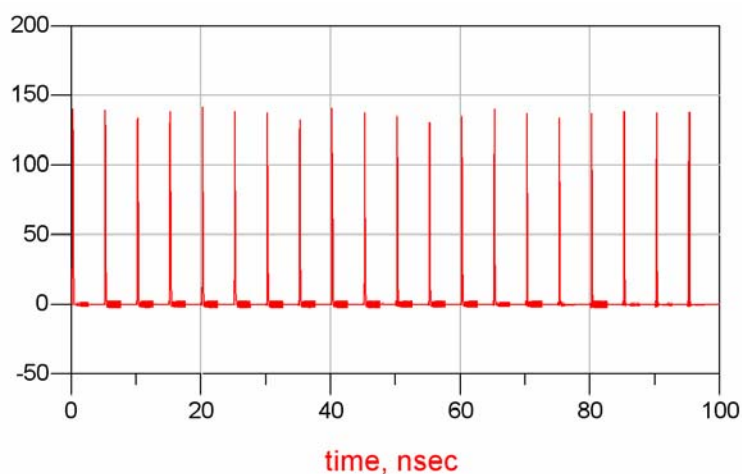


圖 3.1.9 在迴路鎖定後，未使用回授放大器時，對迴路濾波器充電的 mismatch current 大小。

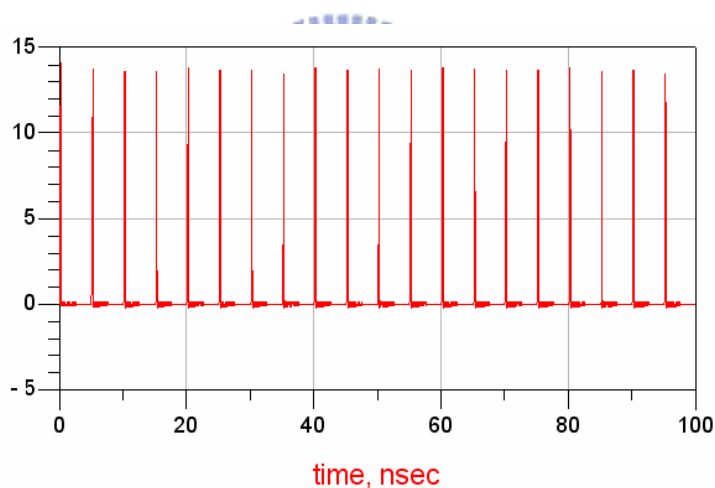


圖 3.1.10 在迴路鎖定後，使用回授放大器時，對迴路濾波器充電的 mismatch current 大小。

由圖 3.1.9 我們可以發現當鎖相迴路鎖定時，Mismatch Current 對迴路濾波器充電電流的大小大約 140 uA。而由圖 3.1.10 我們可以發現當鎖相迴路鎖定時，Mismatch Current 對迴路濾波器充電電流的

大小大約 14 uA。

接著我們來計算當 Mismatch Current 改良後對 VCO 的輸出端 reference Spur 的影響[7]

$$\Phi_{\varepsilon} = 2\pi \frac{\Delta t_{on}}{T_{ref}} \frac{\Delta_i}{I_{cp}} \quad [rad] \quad (3.1.1)$$

Φ_{ε} : phase offset , Δt_{on} : turn-on time of the PFD ,

T_{ref} : reference clock period , I_{cp} : charge pump current ,

Δ_i : current mismatch of the charge pump

$$P_r = 20 \log \left[\frac{\sqrt{2} (I_{cp} R / 2\pi) \Phi_{\varepsilon} K_{VCO}}{2f_{ref}} \right] - 20 \log \frac{f_{ref}}{f_{p1}} \quad (3.1.2)$$

P_r : reference spur , R : the resistor value in the loop filter ,

K_{VCO} : VCO gain , f_{ref} : reference frequency for the PFD ,

f_{p1} : frequency of the pole in the loop filter

利用式 (3.1.1) 以及 (3.1.2) 我們可以在不同的 Current mismatch 下，計算輸出端 reference spur 的大小，得到如圖 3.1.11 所示。在此的橫軸為 mismatch current 對電荷幫浦充放電電流 I_{cp} 的比值。

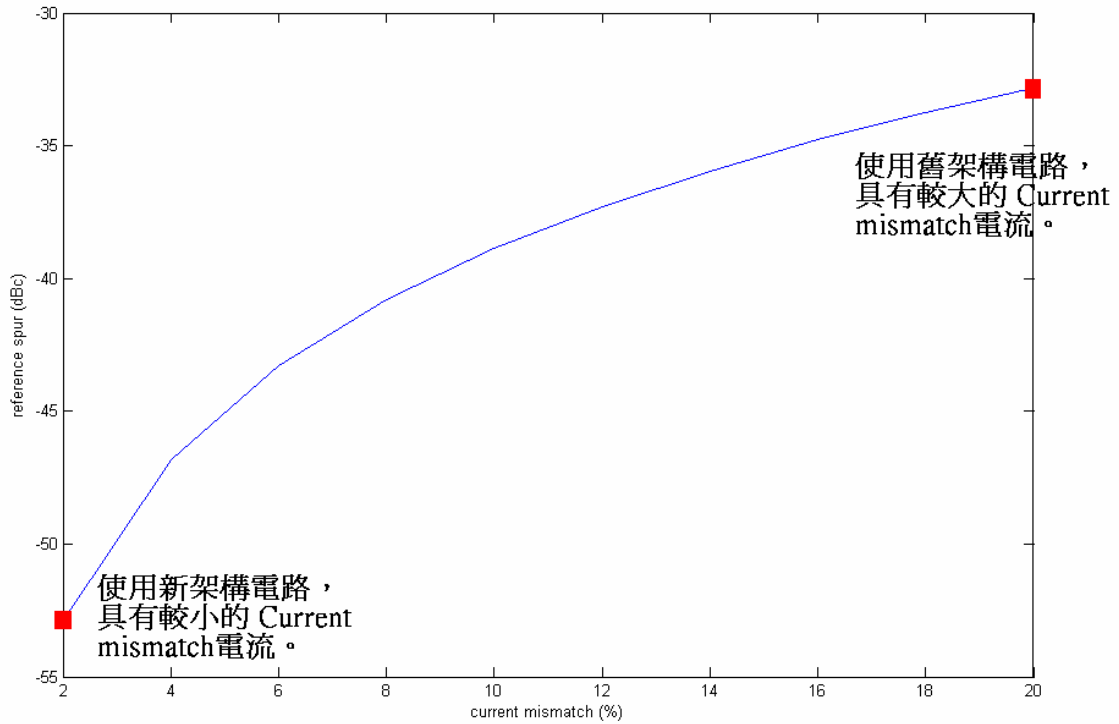


圖 3.1.11 Reference spur 對 current mismatch 作圖

從本圖中我們可以看到，新架構電路對 Reference spur，可以有明顯的改善。從圖中我們可以知道，對 Reference spur 而言，新的電路可以有效的降低 20 dB 左右的 Reference spur。

3.2 相位頻率偵測器

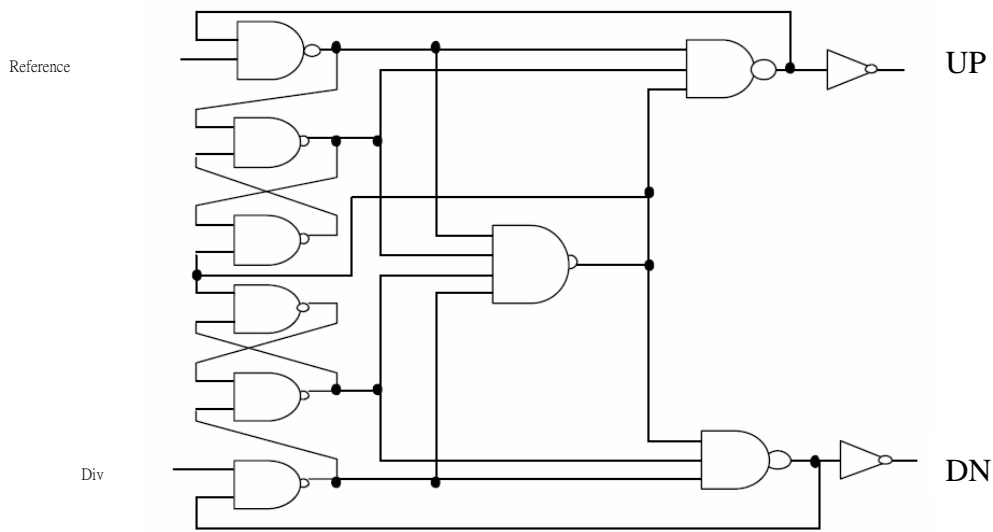


圖 3.2.1 傳統的相位頻率偵測器電路

圖 3.2.1 為傳統的相位頻率偵測器電路，此種的電路需要許多的邏輯閘，因而限制了它的高速操作，在這裡我們將使用較快速的 D 型正反器來模擬相位頻率偵測器電路。

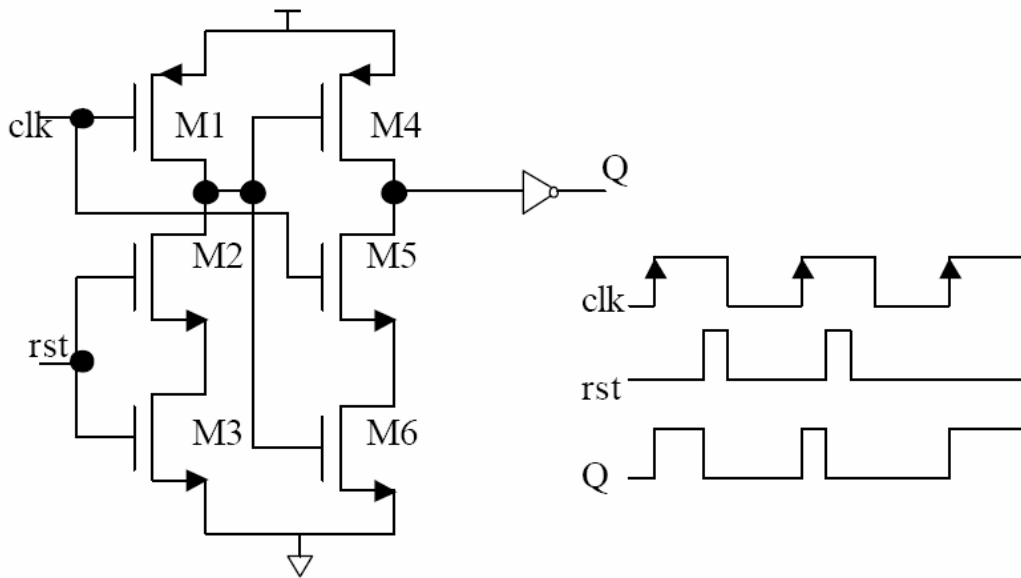


圖 3.2.2 推薦使用的 D 型正反器

如圖 3.2.2 所示，此種的 D 型正反器有較少的電晶體，因此較適合操作於高頻的電路，我們將使用此 D 型正反器來模擬我們的相位雜訊偵測器電路。

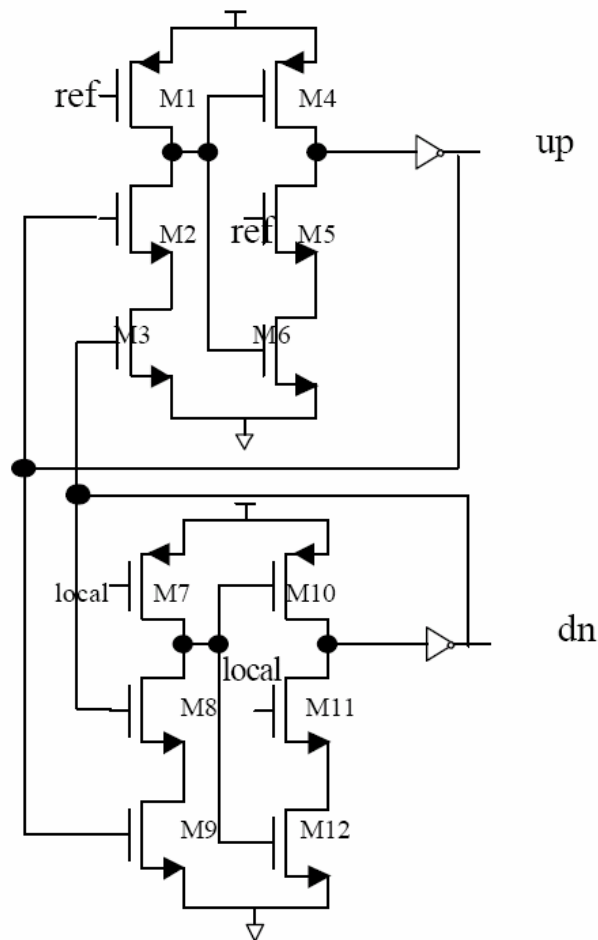


圖 3.2.3 動態式相位頻率偵測器

如圖 3.2.3 我們將兩個 D 型正反器組成相位頻率偵測器，此相位頻率偵測器由於使用了較少的電晶體因此具有低功率的特性，主要的功能將輸入參考頻率和壓控震盪器回授的頻率作比較後，產生足夠寬度的 UP 和 DN 來控制電荷幫浦對迴路濾波器快速的充放電，因此產生了控制電壓來對壓控震盪器的頻率作調整。

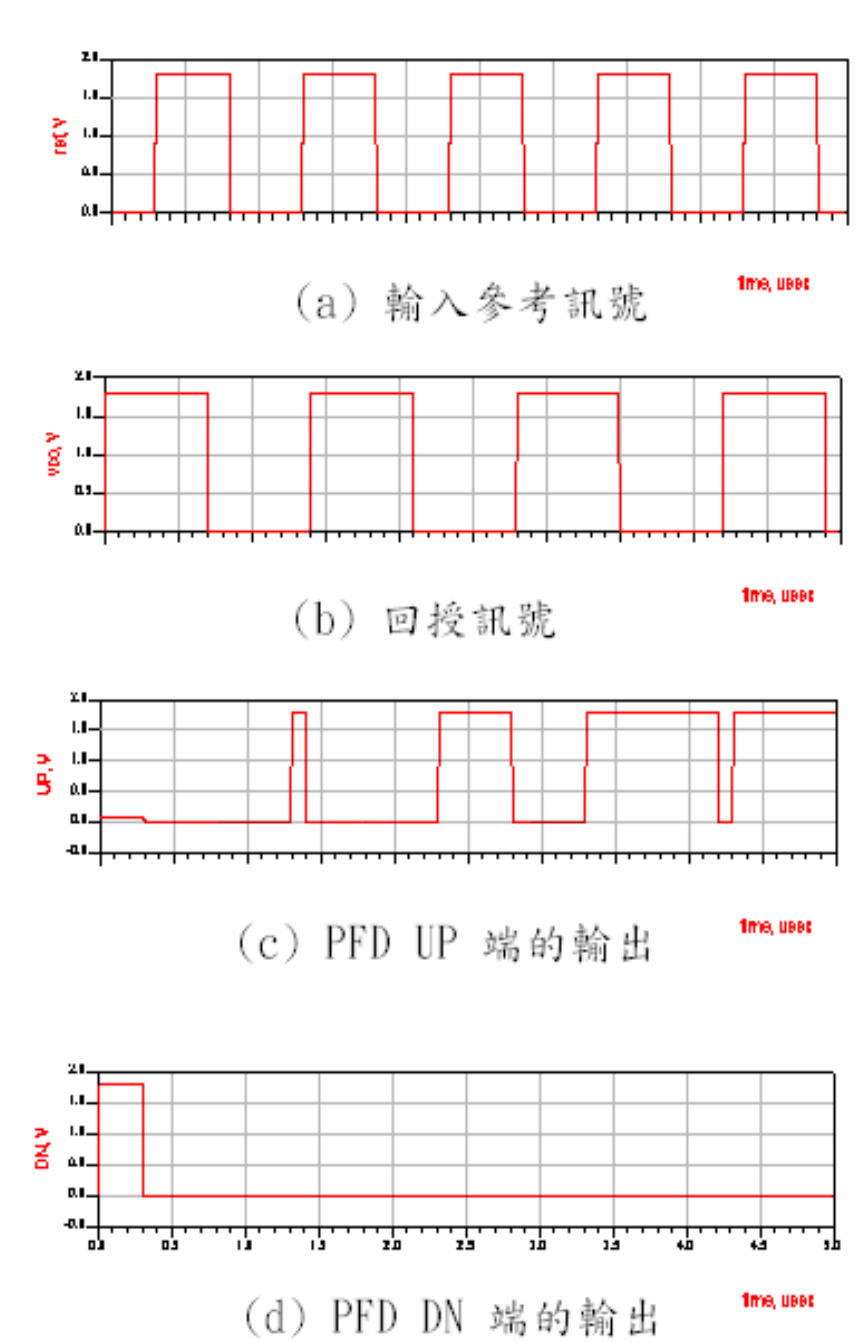
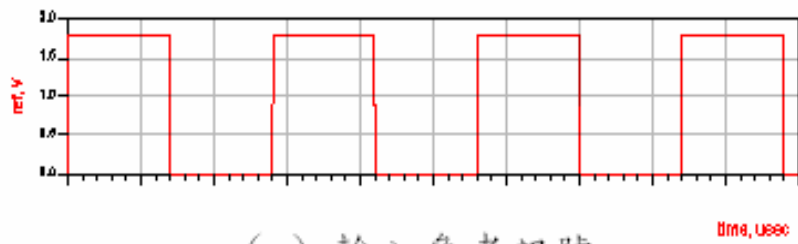
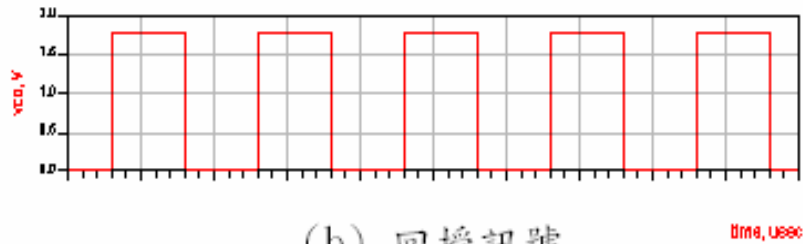


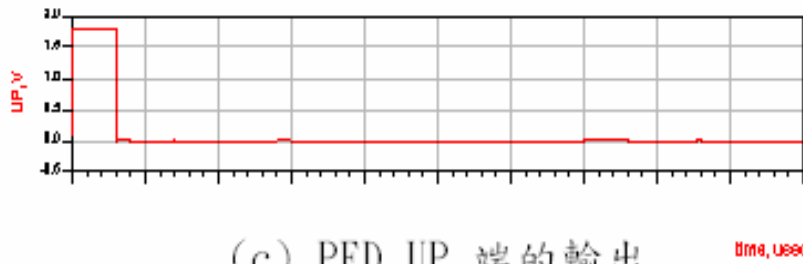
圖 3.2.3 當輸入參考頻率領先回授到 PFD 的除頻頻率



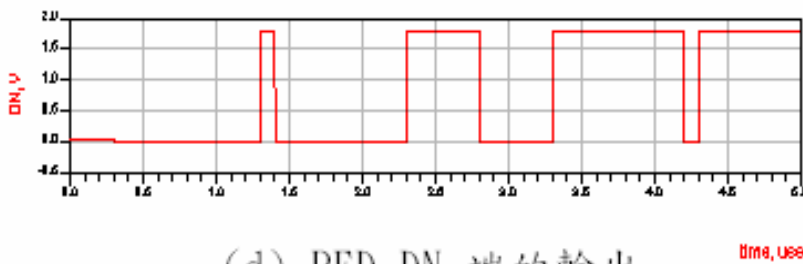
(a) 輸入參考訊號



(b) 回授訊號



(c) PFD UP 端的輸出



(d) PFD DN 端的輸出

圖 3.2.4 當回授到 PFD 的除頻頻率領先輸入參考頻率

這裡我們在 PFD 的輸入端加入了具有相位差的訊號，來驗證電路功能的正確性，由圖 3.2.3 以及 圖 3.2.4 我們可以清楚的看到

PFD 電路的功能正確無誤。

3.3 迴路濾波器

對迴路濾波器的電容和電阻值的計算，在這裡我們使用 National Semiconductor loop filter design 的程式來計算我們二階迴路濾波器的電容和電阻值，

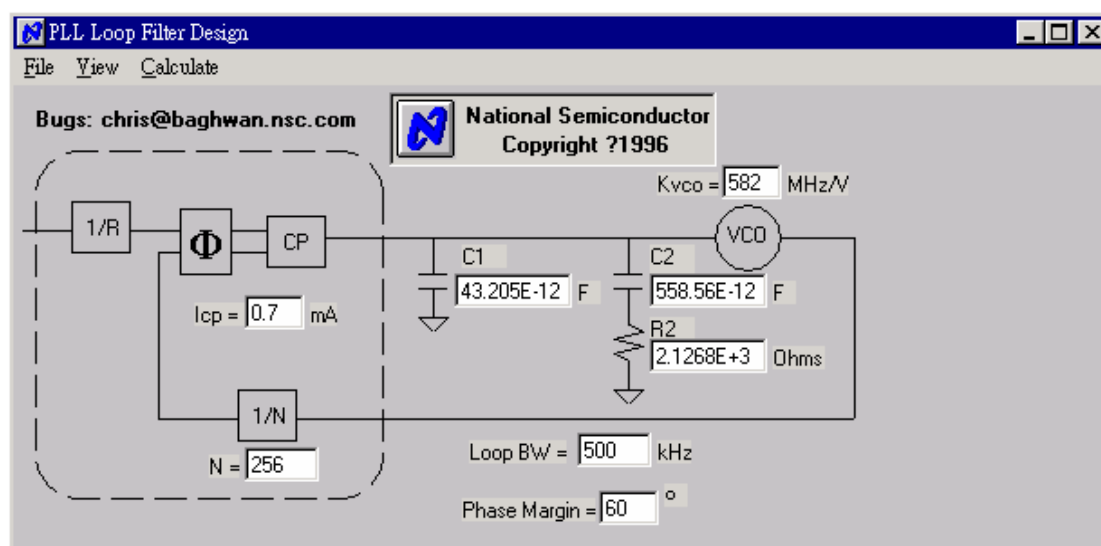


圖 3.3.1 National Semiconductor loop filter design 程式介面

在這裡我們只要提供所需要的 loop bandwidth 與 phase margin 以及振盪器本身的靈敏度 K_{VCO} 與頻率合成器本身的 charge pump 電流 (I_{CP}) 與除頻值 (N)。即可算出迴路濾波器的元件值。在這裡我們設定元件參數: $I_{CP}=0.7\text{ mA}$ 、 $K_{VCO}=582\text{ (MHz/Volt)}$ 、phase margin =

60° 、 $N=256$ 、loop bandwidth = 500 KHz，依上述參數值代入模擬軟體求得 $C_1=43.205$ pF、 $R_2=2.1268$ k Ω 及 $C_2=558.56$ pF，如圖 3.3.1 所示。

3.4 電壓控制振盪器

在壓控制振盪器部分，採取互補式 PN core 全對稱之架構，具有低功率，低相位雜訊之優點，取消電流源，可具有最大的輸出訊號振幅且可消除相位雜訊來源[21][22]。

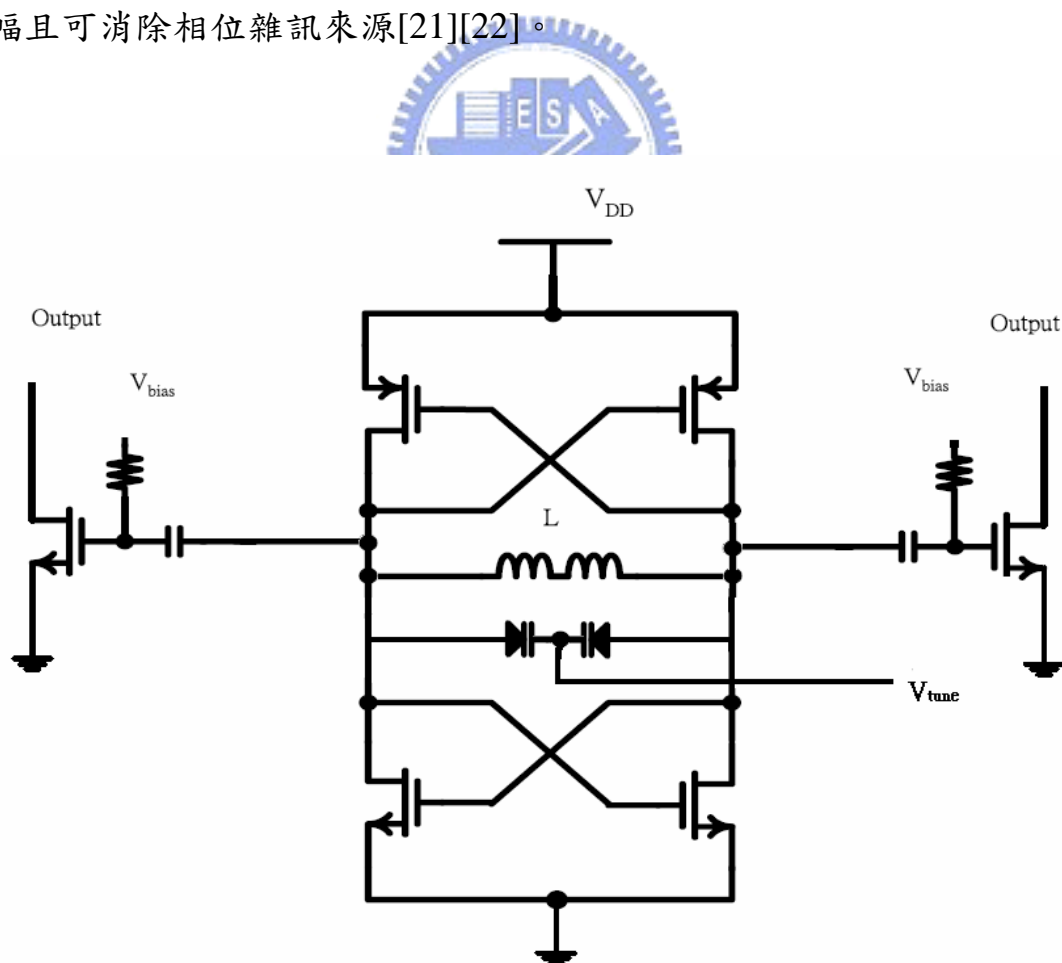
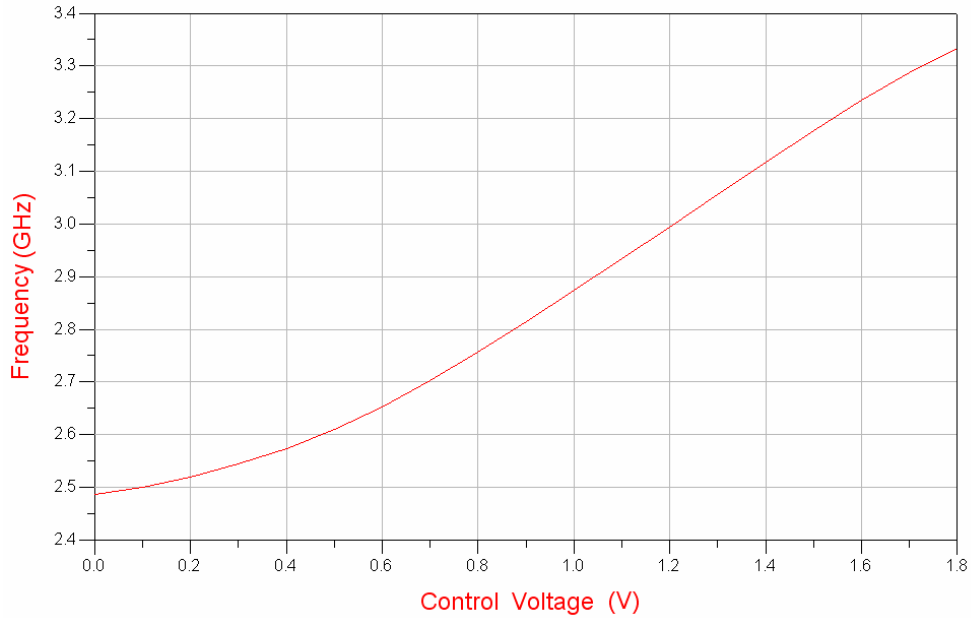


圖 3.4.1 具有寬頻的 CMOS 壓控振盪器

如圖 3.4.1 所示，為本次所利用的 LC-tank 振盪器，其中 V_{tune} 為迴路濾波器的輸出電壓。以下為本 VCO 的模擬特性。



$f = 2486 \sim 3333 \text{ MHz}$; Tuning range = 847 MHz

圖 3.4.2 振盪器振盪頻率對控制電壓作圖

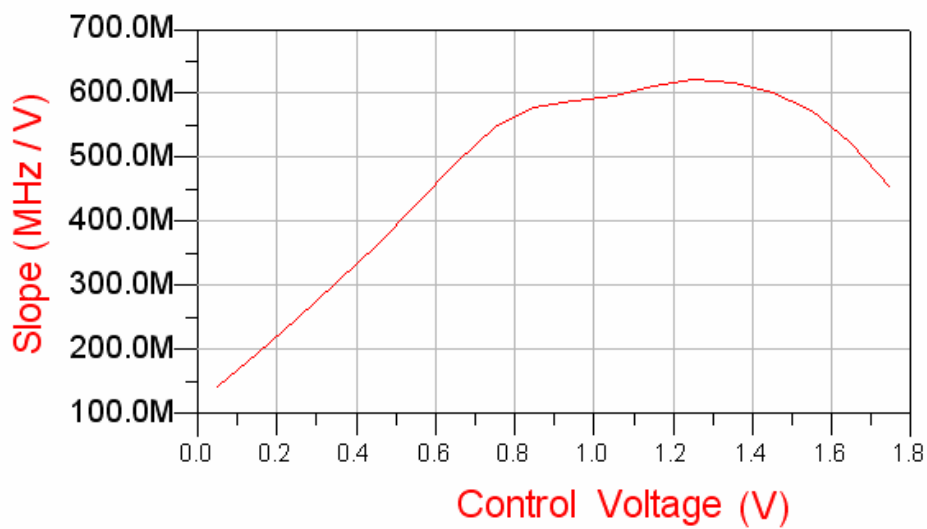
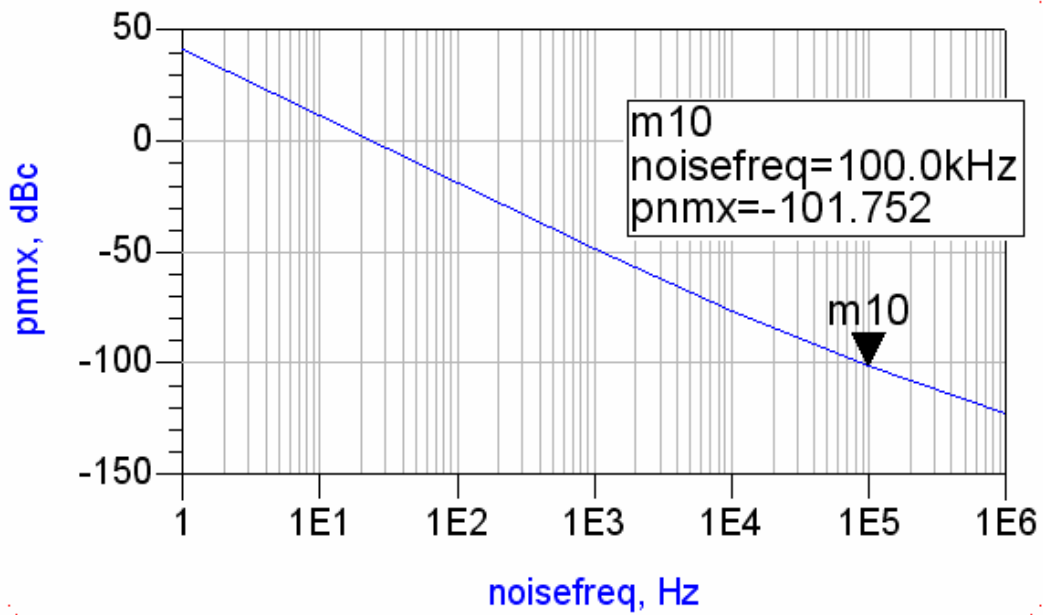


圖 3.4.3 靈敏度對控制電壓作圖



-101.752 dBc/Hz @ 100KHz

圖 3.4.4 相位雜訊模擬



3.5 除頻器[23]

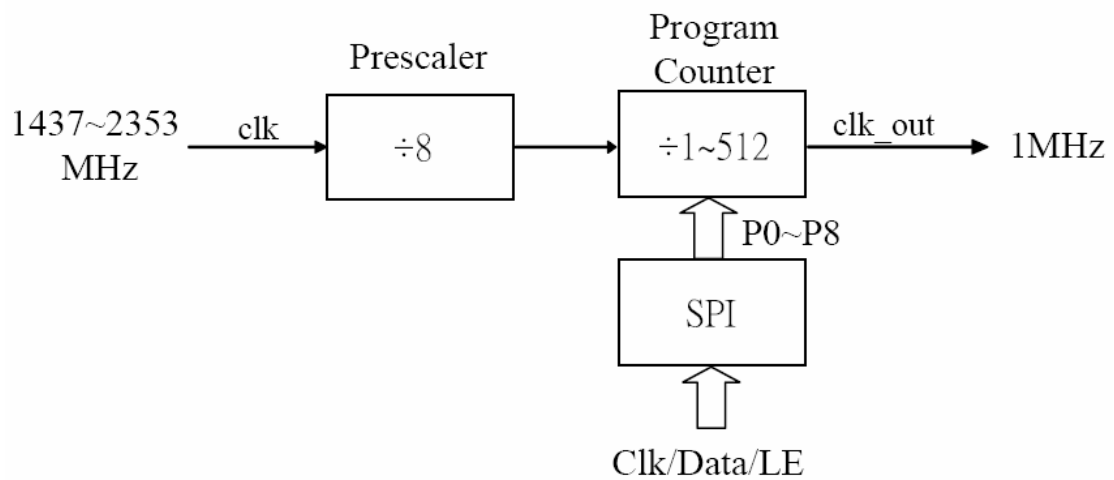


圖 3.5.1 鎖相迴路所使用的除頻器電路

在本次設計的鎖相迴路，使用了除以 8 的預除器以及可以除以 1 ~ 512 可程式除頻器來當做本次的除頻電路如圖 3.5.1 所示，用來搭配 PFD 電路的 1 MHz 的參考頻率。

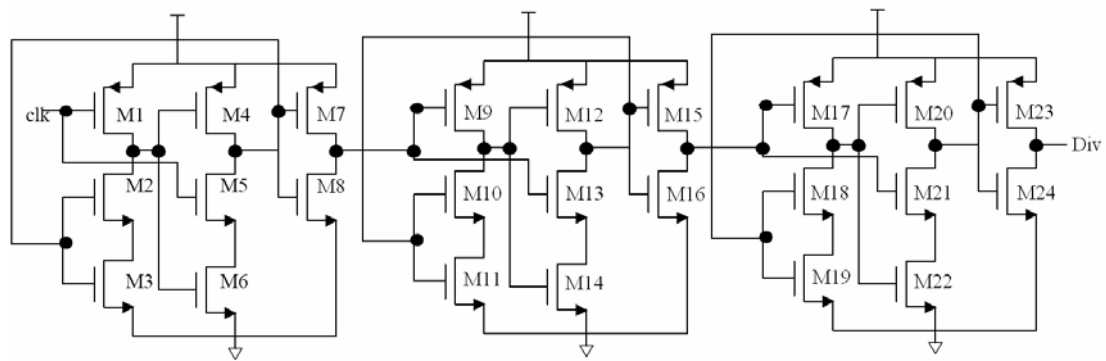


圖 3.5.2 預除器電路

本次的鎖相迴路的壓控振盪器提供了最高 3.333 GHz 的震盪頻率，因此在預除器的設計上我們也是採用了圖 3.2.2 具有較少的電晶體而且操作簡單的D 型正反器來設計本次的除以 8 的預除器電路如圖 3.5.2 所示。

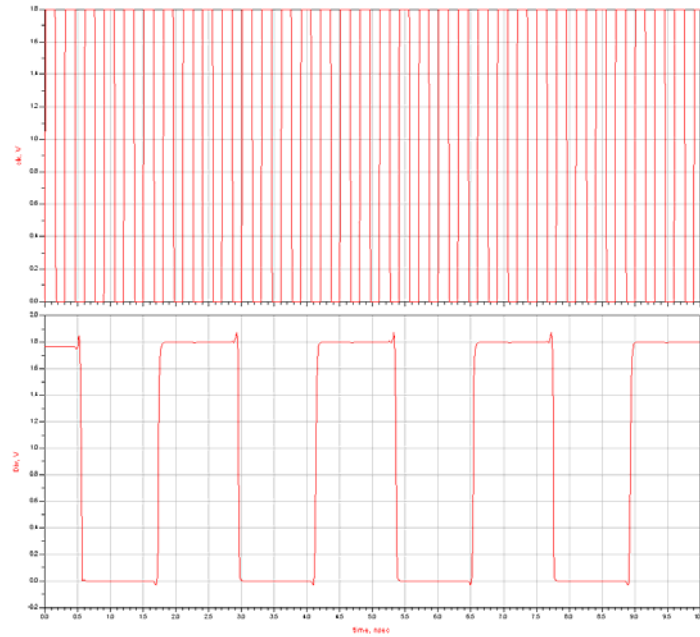


圖 3.5.3 預除器的輸出波型圖

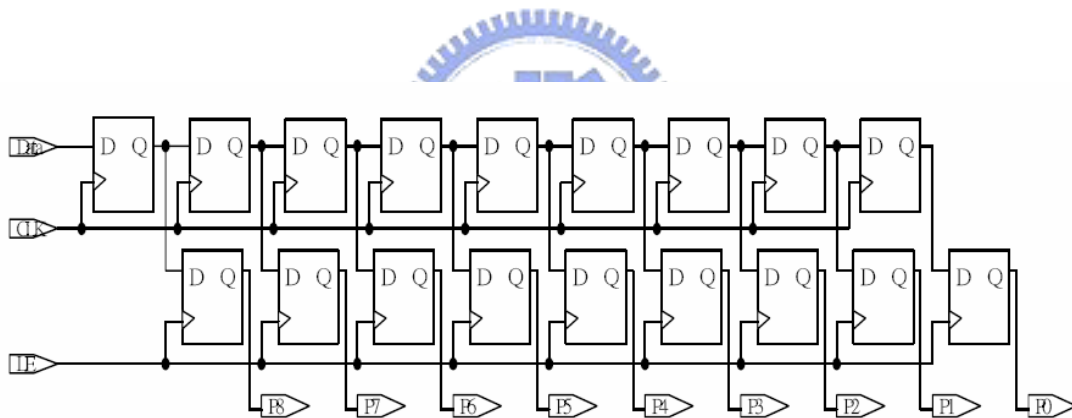


圖 3.5.4 串列轉並列介面 (SPI)

由於數位電路的數位訊號是依序輸入或輸出，但是在我們的可程式除頻器中我們必須要同時的輸入一串 9 個位元的數位訊號來達到控制可程式除頻器的電路，因此我們需要串列轉並列的介面 (SPI) 來達成這個目的，如圖 3.5.4 所示，為一個串列轉並列的電路方塊圖。在此利用了 18 個 D 型正反器來達成串列轉並列的動作，Data

是我們將要除的數目，而 CLK 每一次的上緣觸發時，我們要除的除數便依序相右邊的 D 型正反器移動，當經過了 9 個 Cycle time 之後，我們輸入一個 LE 的訊號，將原本串列的訊號一起輸出，如此便可以達到串列轉並列的目的。

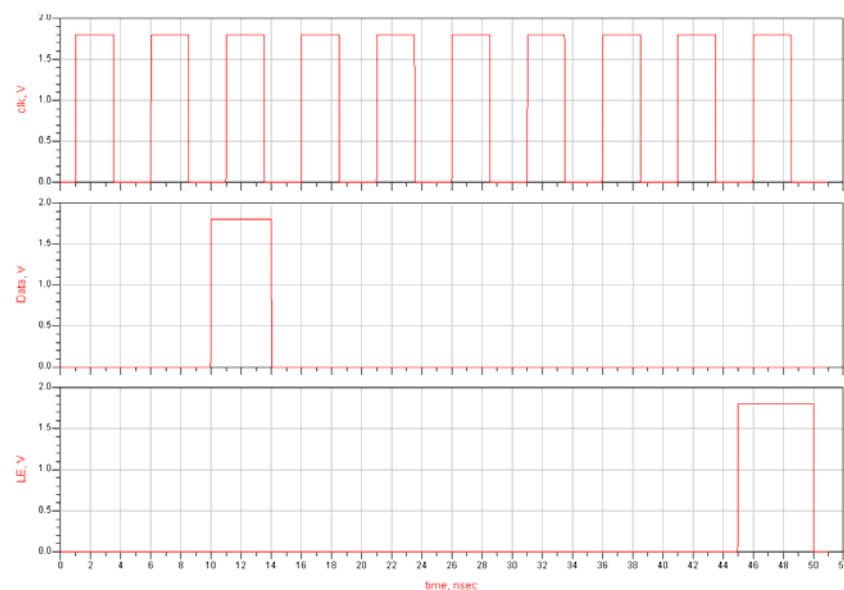


圖 3.5.5 串列轉並列介面 (SPI) 輸入訊號

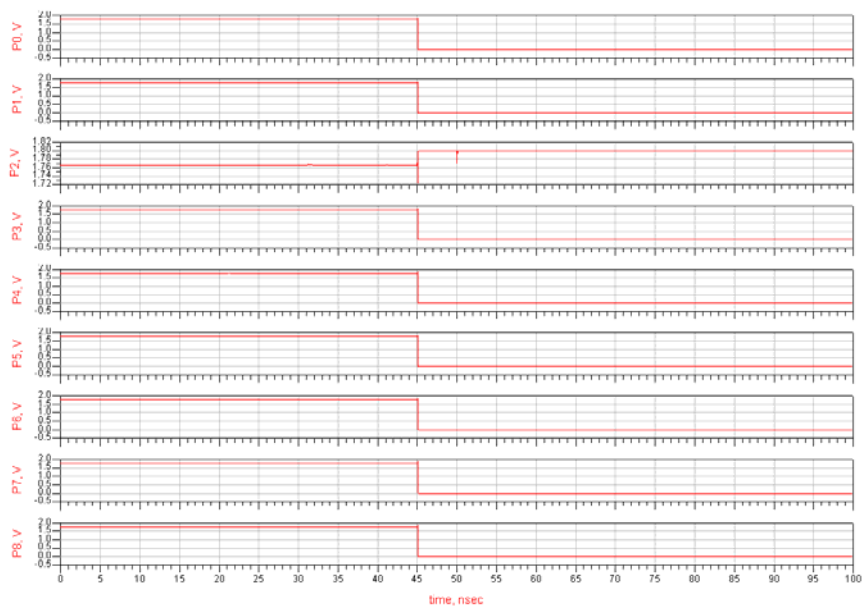


圖 3.5.6 串列轉並列介面 (SPI) 輸出訊號

由圖 4.5.5 我們可以看到，我們輸入的訊號由 LSB 開始依序為 0、0、1、0、0、0、0、0、0 即 10 進位的 4，而圖 3.5.6 則顯示出當經過了 9 個 Cycle time 之後，LE 產生了上緣的觸發後，將會在 P0~P8 同時產生輸出，並將串列訊號轉為並列訊號。

可程式除頻器如圖 3.5.7 所示，利用了 D 型正反器以及互斥或 (XOR) 邏輯閘所組成，藉由輸入控制的訊號來設定此除頻器的除數。

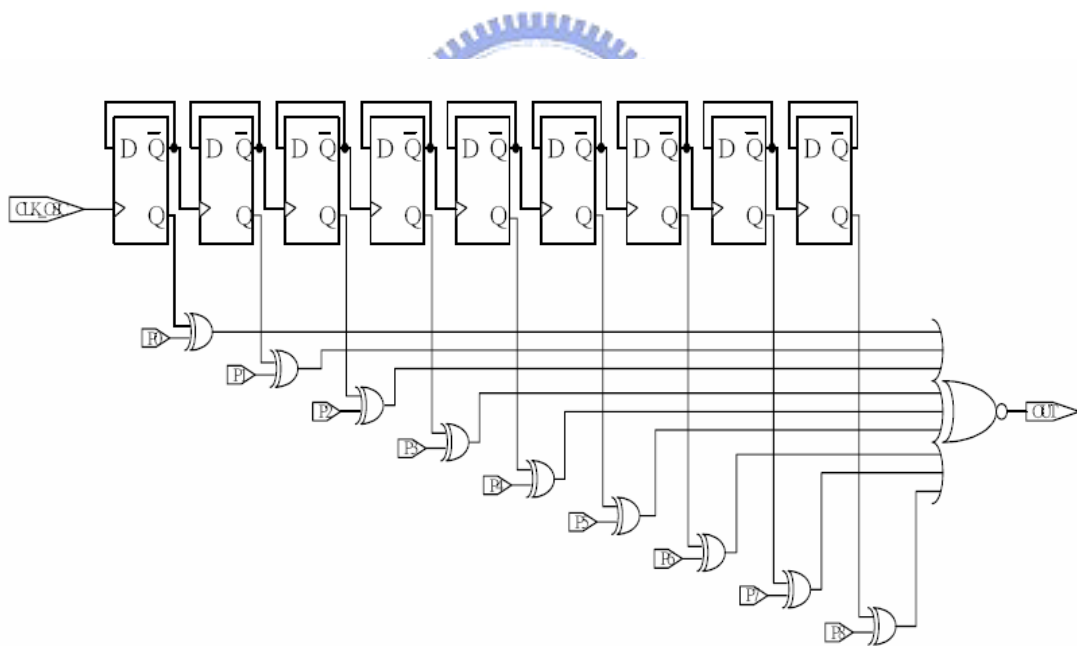


圖 3.5.7 可程式除頻器

在此我們設定可程式除頻器的除數為 320，以及預除器除以 8 的電路，因此我們可以知道整個除頻器的部分我們除了 2560 的除

數，而輸出的結果如圖 3.5.8 所示。

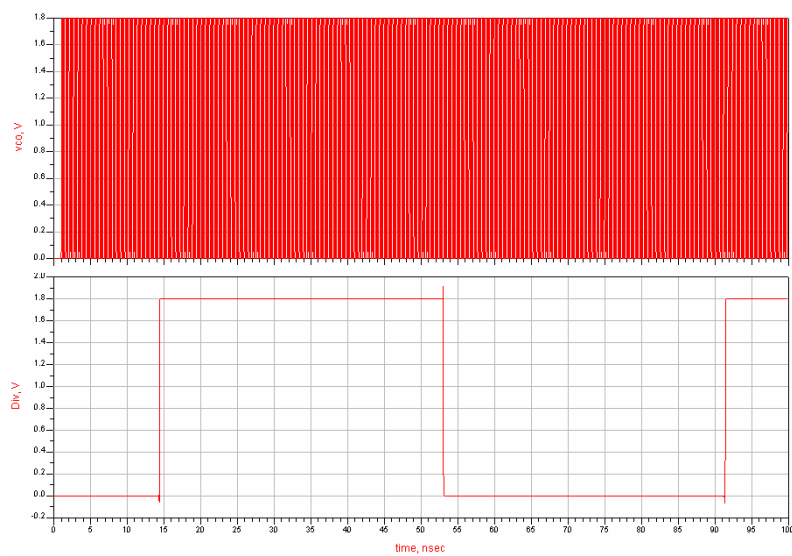


圖 3.5.8 除頻器的輸出波型圖

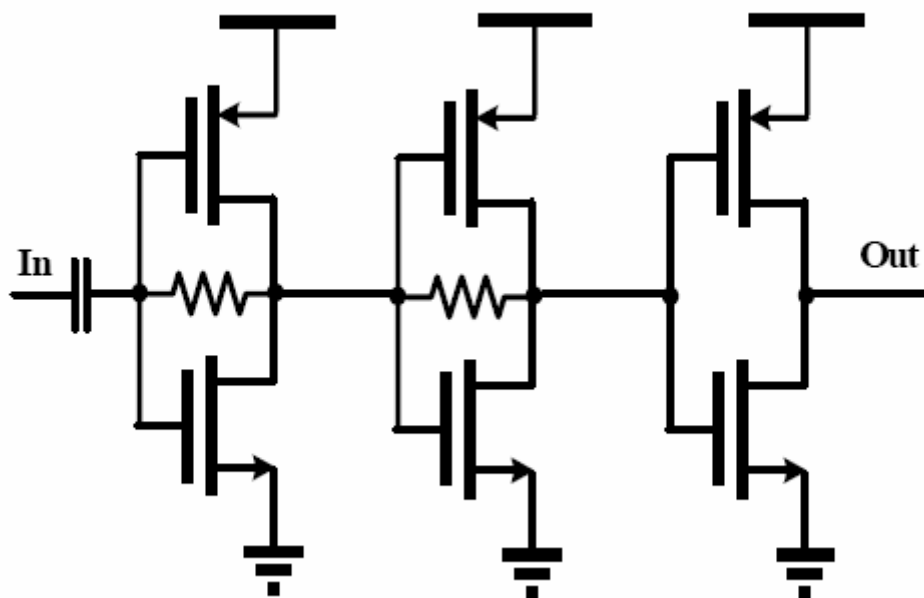


圖 3.5.9 緩衝放大器

LC – tank 壓控振盪器的輸出直流的位準通常不會是在 $V_{DD}/$

2，因此為了讓我們的除頻器可以正常的動作，我們必須在壓控震盪器的輸出端和除頻器的輸入端之間加入緩衝放大器（如圖 3.5.9 所示），使得我們可以調整它的直流的位準。

3.6 鎖相迴路的模擬結果

最後我們將我們設計的相位頻率偵測器、電荷幫浦、迴路濾波器、壓控振盪器以及頻率除頻器組成一個完整的鎖相迴路並模擬比較使用改良過後的電荷幫浦以及改良前的電荷幫浦在迴路濾波器電壓的改變。在本模擬中，我們所使用的是 1 MHz 的輸入參考頻率。

由圖 3.6.1、圖 3.6.2 以及圖 3.6.3 我們可以觀察到，當使用了具有較好的充/放電流匹配特性電荷幫浦，在迴路濾波器的輸出電壓可以減小漣波的產生。

由圖 3.6.4 我們可以看到，在鎖相迴路的輸出端得到一個 $2560 \times f_{\text{ref}}$ 頻率的弦波信號。

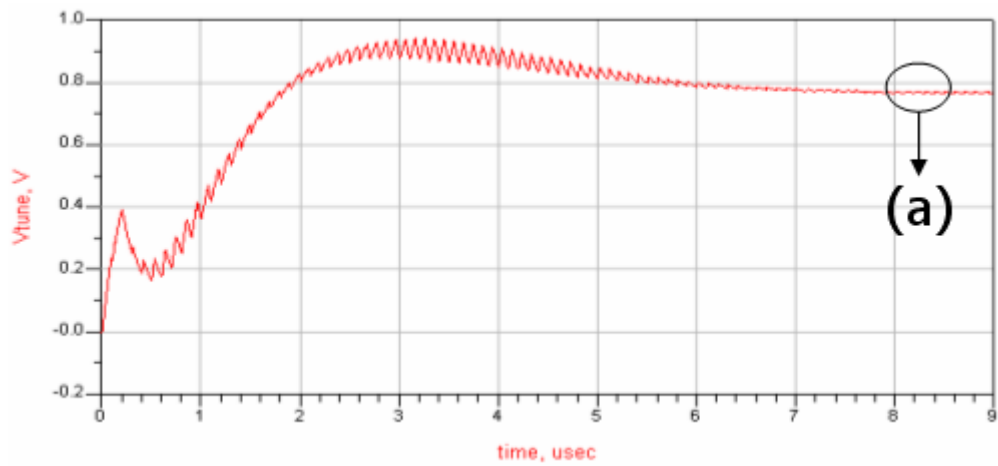


圖 3.6.1 使用改良前電荷幫浦鎖相迴路的迴路濾波器輸出電壓

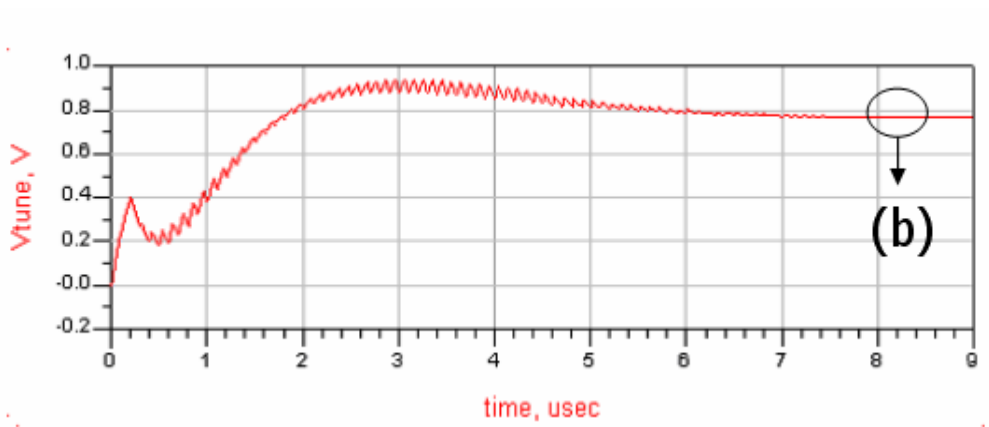


圖 3.6.2 使用改良過後的電荷幫浦鎖相迴路的迴路濾波器輸出電壓

電壓

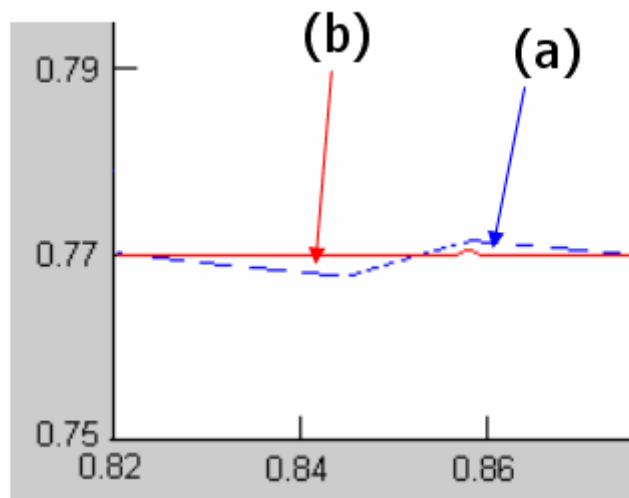


圖 3.6.3 迴路濾波器輸出電壓比較圖

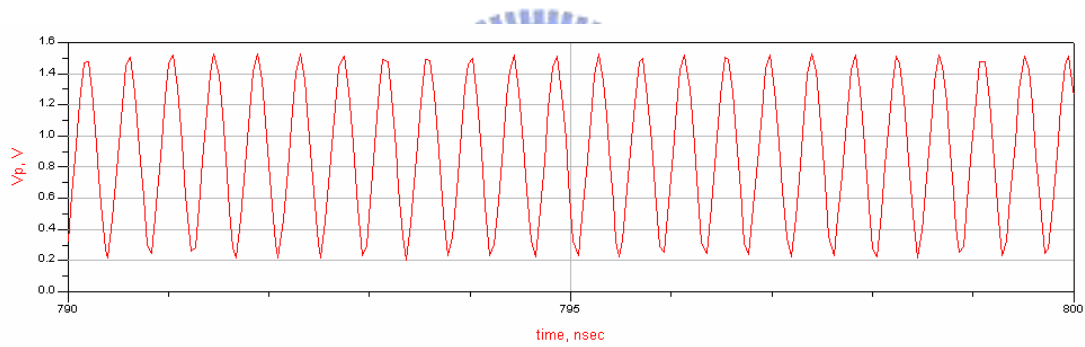


圖 3.6.4 鎖相迴路鎖在 2.56 GHz 的輸出波型

在本鎖相迴路鎖在 2.56 GHz 時，其控制電壓為 0.77 V 而鎖相迴路鎖住的時間約為 7.5 μm ，如圖 3.6.2 所示。