

國立交通大學

電信工程學系

碩士論文



數位音訊廣播接收機本地振盪器
鎖相迴路之設計與模擬分析

Design and Simulation of DAB Local
Oscillator Phase Locked Loop

研究生：蘇芳正

指導教授：唐震寰 博士

中華民國九十四年十月

數位音訊廣播接收機本地振盪器 鎖相迴路之設計與模擬分析

研究生：蘇芳正 指導教授：唐震寰 博士

國立交通大學

電信工程學系碩士班

碩士論文



本研究以 TSMC $0.25\ \mu\text{m}$ 1P5M 之製程，設計 L-Band 數位音訊廣播接收機之本地振盪器鎖相迴路。該數位音訊廣播接收機射頻頻段為 1452MHz~1492MHz，中頻選定為 172MHz~212MHz，而本地振盪器鎖相迴路訊號固定為 1280MHz；而經降頻至第一中頻後，利用 VHF-Band 頻率合成器將第一中頻訊號，再降頻至第二中頻 43MHz。本論文設計 1280MHz 本地振盪器之鎖相迴路，提供射頻訊號降至第一中頻。鎖相迴路是由相位/頻率偵測器、電荷幫浦、迴路濾波器、電壓控制振盪器以及除頻器所組成。本論文提出可調式迴路濾波器與改良式動態邏

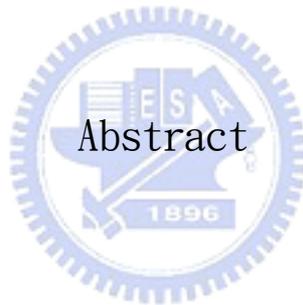
輯型的相位/頻率偵測器，可調式迴路濾波器是利用開關來控制迴路濾波器，讓鎖相迴路在切換頻率時迴路濾波器的頻寬較寬，在頻率鎖定時頻寬較窄。而改良式動態邏輯型相位/頻率偵測器的優點是使用較少的電晶體數目，改良式動態邏輯型相位/頻率偵測器只需 16 顆電晶體，而重置回授路徑的邏輯閘延遲也由 6 個邏輯閘延遲降低為 3 個邏輯閘延遲，功率散逸則由 2.412mW 降低為 0.0363mW，而改善鎖相迴路的鎖定時間，由原本 36 μ sec 以內改善為小於 16 μ sec 以內。並且參閱相關研究與資料，參考各相關的電路設計之優缺點，設計電流匹配電荷幫浦、互補式交錯耦合 LC-tank 電壓控制振盪器以及除頻器之元件，並局部修改電路，以符合系統之要求。最後利用各元件組成完整的本地振盪器之鎖相迴路，並且使用 AGILENT ADS 軟體，對設計之電路作模擬分析，以驗證鎖相迴路之功能。而電荷幫浦的部份則是利用回授電路來使充/放電流匹配，可減少突波雜訊干擾，不匹配之充/放電流降至小於 1.5%以內。電壓控制振盪器則是互補式交錯耦合 LC-tank 電壓控制振盪器，其優點是輸出波形較為完整、對稱，並且有較好的相位雜訊(-101dBc/Hz@100kHz)，而鎖相迴路之功率散逸為 21.7mW。Adrian Maxim[1] 設計 2-5GHz 鎖相迴路，可獲得 -90dBc/Hz@200kHz 之相位雜訊，並且鎖相迴路之功率散逸為 65mW。

Design and Simulation of DAB Local Oscillator Phase Locked Loop

研究生：蘇芳正 指導教授：唐震寰 博士

Student: Fang-Jeng Shu Advisor: Dr. Jenn-Hwan Tarnng

Department of Communication Engineering, National
Chiao Tung University



This research aims to design the DAB local oscillator phase locked loop by the production process of TSMC standard $0.25\ \mu\text{m}$ CMOS process. The RF of L-band DAB receiver is from 1452MHz to 1492MHz with a PLL local oscillator at 1280MHz. The first IF is down-converted to the second IF at 43MHz. This dissertation designs PLL of the 1280MHz local oscillator and the RF converts down to the first IF. The phase locked loop includes phase/frequency detector, charge pump, loop filter,

VCO, and frequency divider. This dissertation provides the tuned loop filter and the improved dynamic phase/frequency detector. The tuned loop filter uses the switches to control the loop filter. The tuned loop filter allows a wide loop bandwidth to be used for locking frequencies, and a narrower one to be used in the steady state. The advantage of improved dynamic phase/frequency detector is the usage of the less transistors number by the traditional type 60 transistors reductions 10. Therefore, the improved dynamic phase/frequency detector reduces the gate-delay of feedback path from 6 gate-delays to 3 gate-delays. The power dissipation decreases from 2.412mW to 0.0363mW. Then the locked time of PLL, which bellows from 36usec, can be reduced to below the locked time from 16usec. This dissertation designs current-matching charge pump, loop filter, complementary cross-coupled LC-tank VCO, and frequency divider by the literature review. The partial circuit is revised in order to satisfy the requirement of the system. Finally, the local oscillator phase locked loop is composed completely. This dissertation uses the AGILENT ADS

software to simulate the PLL and confirms function of the PLL. Besides, the part of charge pump utilizes charging/discharging current matching by the feedback circuit and reduces spur noise. Hence, the feedback circuit can avoid current mismatch. The current mismatch is able to smaller than 1.5% . In addition, the VCO is implemented by the complementary cross-coupled LC-tank VCO. The advantage of VCO is that output wave shape is more complete, symmetrical and has better phase noise($-101\text{dBc}/\text{Hz}@100\text{kHz}$).



誌謝

首先要致上最誠摯的感謝給我的指導教授唐震寰老師，在碩士兩年的研究生涯中，給于最細心的指導與叮嚀，並引領我一窺通訊領域研究的奧妙，在在皆使學生獲良多。

感謝口試委員—交通大學的黃瑞彬老師、中華大學的田慶誠老師，針對本論文的多項問題予以指正並給予寶貴的意見，使得本論文更加的完整。

感謝波散射與傳播實驗室的學長、同學與學弟們，在課業以及生活上的幫忙與協助，使我在知識上和精神上均受益良多；另外要感謝我的好朋友們—俊德、金鍊，給予我精神上的支持與鼓勵，對完成本論文有莫大的助益。

最後，要感謝的是我的家人—爸爸、媽媽、弟弟、妹妹，由於他們的給予我的支持與關懷，使我在人生的過程裡得到最細心的呵護與照顧，讓我在成長與求學的過程中能夠有所依靠。沒有他們，就沒有此篇論文。

僅以此篇論文獻給所有關心我的人

蘇芳正

國立交通大學，新竹市

中華民國九十四年十月

目錄

第一章 緒論

1.1	研究背景	1
1.2	數位音訊廣播系統簡介	2
1.3	數位音訊廣播系統架構簡介	5
1.4	數位音訊廣播接收機中之降頻器射頻模組[3]	7
1.5	回顧相關研究	9
1.6	論文簡介	11

第二章 鎖相迴路基本理論

2.1	簡介	12
2.2	基本原理	13
2.3	相位/頻率偵測器	15
2.4	電荷幫浦	18
2.5	迴路濾波器	20
2.6	電壓控制振盪器	21

2.6.1	LC 振盪器	23
2.6.2	環型振盪器	24
2.7	除頻器	25
第三章	L 頻帶數位廣播接收機本地鎖相迴路 振盪器之設計	
3.1	前言	26
3.2	相位/頻率偵測器設計與比較	27
3.3	電荷幫浦設計與充/放電流匹配	37
3.4	迴路濾波器設計	45
3.5	互補式交錯耦合 LC-tank 電壓控制振盪器設計	47
3.6	除頻器設計	51
3.7	鎖相迴路模擬結果	54
第四章	結論	60
	參考文獻	62

表目錄

表 1.1 Eureka-147 系統規格表..... 3



圖目錄

圖 1.1	數位音訊廣播	5
圖 1.2	數位音訊廣播系統	6
圖 1.3	數位音訊廣播之接收機系統圖	7
圖 1.4	L-Band 數位音訊廣播接收機中之降頻器射頻模組	8
圖 2.1	鎖相迴路之簡單基本架構	13
圖 2.2	鎖相迴路	14
圖 2.3	相位/頻率偵測器運作示意圖(a)A 領先 B(b)A 落後 B	16
圖 2.4	相位偵測器狀態圖	17
圖 2.5(a)	架構圖	19
圖 2.5(b)	時間域響應圖	19
圖 2.6	電荷幫浦的二階迴路濾波器	21
圖 2.7	閉迴路系統	22
圖 2.8	電壓控制振盪器起振波形圖	23
圖 2.9	(a)理想 LC 結構 (b)真實的 LC 結構 (c)並聯式結構	23
圖 2.10	環型振盪器	24
圖 3.1	L-Band 數位廣播接收機的射頻模組	27
圖 3.2	傳統門鎖式相位/頻率偵測器	28

圖 3.3	(a)無死帶(b)具有死帶.....	29
圖 3.4	輸入端無相位差之傳統門鎖式相位/頻率偵測器暫態響應 圖.....	30
圖 3.5	輸入端有相位差之傳統門鎖式相位/頻率偵測器暫態響應 圖.....	30
圖 3.6	動態邏輯型相位/頻率偵測器.....	31
圖 3.7	輸入端無相位差之動態邏輯型相位/頻率偵測器暫態響應 圖.....	32
圖 3.8	輸入端有相位差之動態邏輯型相位/頻率偵測器暫態響應 圖.....	32
圖 3.9	改良式的動態邏輯型相位/頻率偵測器.....	33
圖 3.10	輸入端無相位差之改良式的動態邏輯型相位/頻率偵測器暫 態響應圖.....	34
圖 3.11	輸入端有相位差之改良式的動態邏輯型相位/頻率偵測器暫 態響應圖.....	35
圖 3.12	突波消除電路.....	36
圖 3.13	無突波消除電路.....	36
圖 3.14	具有突波消除電路.....	37
圖 3.15	漣波現象.....	38

圖 3.16 (a)電荷幫浦 (b)當 $V_{control} = \frac{V_{dd}}{2}$ 時 $I_1 = I_2$	39
圖 3.17 電流匹配之電荷幫浦.....	39
圖 3.18 (a)無負回授電荷幫浦(b)具有負回授電荷幫浦.....	40
圖 3.19 具有相位差時之非理想效應.....	41
圖 3.20 無相位差時之非理想效應.....	41
圖 3.21 具有相位差時電荷幫浦電路模擬.....	43
圖 3.22 無相位差時電荷幫浦電路模擬.....	44
圖 3.23 迴路濾波器.....	45
圖 3.24 可調式迴路濾波器.....	46
圖 3.25 互補式交錯耦合電壓控制振盪器.....	48
圖 3.26 電壓控制振盪器輸出波形.....	48
圖 3.27 相位雜訊模擬:-101dBc/Hz @ 100KHz.....	49
圖 3.28 控制電壓對振盪頻率.....	49
圖 3.29 前置緩衝放大器.....	50
圖 3.30 前置緩衝放大器輸出波形.....	50
圖 3.31 D 型門鎖(D-Latch).....	51
圖 3.32 D 型門鎖電路操作方式.....	52
圖 3.33 CMOS 邊緣觸發主僕式 D 型正反器.....	52
圖 3.34 除 2 之模擬結果.....	53

圖 3.35	N=128 之除頻器	53
圖 3.36	除 128 之模擬結果	54
圖 3.37	電荷幫浦之輸出波型	55
圖 3.38	電壓控制振盪器之輸出頻率(GHz)	55
圖 3.39	鎖相迴路之相位雜訊模擬結果	56
圖 3.40	電荷幫浦之輸出波型	57
圖 3.41	電壓控制振盪器之輸出頻率(GHz)	58
圖 3.42	鎖相迴路之相位雜訊模擬結果	59



第一章

緒論

1.1 研究背景

由於時代的進步，無線廣播已是一般人，在日常生活中不可獲缺的一部分。然而由於人們使用無線廣播的歷史已久遠，所以其系統已略顯老舊，不適合使用。再加上由於電子技術日益精進，並且社會朝著高度資訊化發展。人們對於高品質影音視聽的需求，日益增高。所以傳統式的無線廣播系統，已難再滿足大眾的需求。故近年來，新一代的無線廣播系統正朝向高音質以及數位化發展。希望無線廣播系統，所撥放的聲音能夠具有更好的真實感和臨場感。目前，為了使無線廣播系統能夠達到要求，世界各國近幾年來，投入了大批的人力與物力積極的推動無線廣播系統數位化，故近幾年來，數位廣播系統，其技術發展已日漸成熟，歐美各國以及日本也皆已相繼公布，相關傳輸標準以及應用規定。中國大陸也已訂定製撥時程。同時，台灣數位廣播也陸續開播。所以在這幾年的寬頻化、無線化以及數位化的發展下，正從傳統的影音視聽娛樂走向，資料處理傳輸的發展。以提供原

來無線廣播系統無法作到的服務。

而在廣播收音機中，需要有一個接收機來做為選台的功能，所以接收機在未來的數位傳播系統中，是佔有十分重要的角色。而隨著最近幾年來，電子電路技術長足的發展，消費性電子產品也不斷的朝著體積小、低耗電量以及性能卓越等特性發展。所以電子電路的積體化也快速的發展，目前已經成為電子電路的主流。

1.2 數位音訊廣播系統簡介



自從1901年馬可尼(Guglielmo marconi)證實了無線通訊的商業價值以來，歷經一世紀，今天我們已隨處可見行動通訊、無線網路卡、無線廣播收音機等產品，若屏除伴隨而生的行動性，個性化等附加價值，至少就無線通訊而言，它確實扮演著舉足輕重的角色。

就無線廣播服務而言，使用了不同的電磁波頻段，電磁波頻譜的使用效率反映了訊號調變技巧，以提供更多的多媒體服務，相對於類比調變技術而言，數位調變技術可以大幅提高頻譜的使用效率，如果再加上數位資料壓縮技術的突破，由傳統的地面類比式無線廣播走向數位廣播的時代是必然的。

自從電腦興起後，數位化的風潮就席捲到各個領域，但唯有無線

廣播卻仍是類比的天下。數位音訊廣播 (Digital Audio Broadcasting, 簡稱DAB)取代類比廣播已是世界未來之趨勢,亦就是無線廣播的一大革命。數位音頻廣播(DAB)於70年代末期開始研製,1986年歐洲共同體制定了Eureka-147系統規格(如表1.1所示)[2],並於1988年的日內瓦世界無線電行政會議(WARC-88)上首度展示,而其基礎性研究和初步的實驗結果都顯示它成為新一代無線廣播系統的強大生命力,引起了世界各國的矚目與重視。伴隨著數位多媒體技術的不斷發展,無線廣播除了傳統意義上只傳輸聲音信號外,現在任何型式數據業務信號的傳輸已成為可能,例如文字,靜止畫面、電腦程式、電視節目等圖文並茂的信息。



System Parameter	Mode I	Mode II	Mode III	Mode IV
Frame duration	96 ms	24 ms	24 ms	48ms
Service	Terrestrial	Terrestrial	Satellite	Terrestrial
Nominal maximum transmitter separation for SFN	96 km	24 km	12 km	48 km
Nominal frequency range (for mobile reception)	≤375MHz	≤1.5GHz	≤3GHz	≤1.5GHz
No. of Symbol per frame	76	76	153	76
Useful symbol duration	1ms	250us	125us	500us
Guard interval duration	246us	62us	31us	123us
Total symbol duration	1246us	312us	156us	623us
No. of radiated carriers	1536	384	192	768

表1.1 Eureka-147系統規格表

網路科技在二十世紀末葉開始深入人群生活的層面既深且廣，數位化的數位音訊廣播技術(DAB)更挾網路科技之助凌駕了傳統類比式無線廣播(AM/FM)，成為無線廣播科技的新寵兒，加上數位音訊廣播技術的長足進步，無線廣播技術的數位化、多元化已成為未來的無線廣播模式以及趨勢。

而國內引進的數位音訊廣播系統是歐規的 Eureka-147，其主要優點有：能夠提供高品質、雙聲道、多聲道立體聲廣播。其主要音質與 CD 雷射唱片一樣(16bit/44.1 KHz)；在多重路徑、遮蔽、移動和靜止環境下接收品質極佳，有非常高的抗干擾和誤碼校正能力，有很高功率效率，發射機功率只有 FM 發射機 1/10~1/100，節省能源較多，減少了對環境影響，實現單頻網路覆蓋，可節省頻率資源。覆蓋有效性（覆蓋區邊緣地帶的接收可靠性）能達到 95%，時間有效性 99%，可以傳送附加信息等。今後如果利用衛星直播(如圖 1.1 所示)，可以有更大的覆蓋範圍，甚至代替短波廣播。

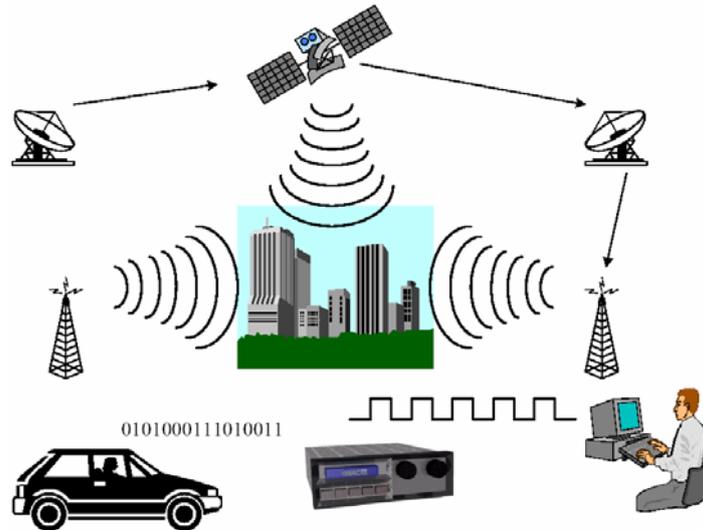


圖1.1 數位音訊廣播

1.3 數位音訊廣播系統架構簡介

數位音訊廣播系統的頻率主要有L-Band(1452MHz~1492MHz)以及VHF兩種頻帶，Eureka-147數位音訊廣播系統(如圖1.2所示)每一個頻道約為1.5MHz的頻寬，其中包含了六組高音質的立體聲廣播，而調變技術則是使用正交碼分頻多工(Orthogonal Frequency Division Multiplexing：OFDM)之最新技術，依據Eureka-147數位音訊廣播系統的Mode I(<375MHz)，在每個1.536MHz寬的頻道內，有1536個副載波，而Mode II(<1.5GHz)則在每個1.536MHz寬的頻道內有384個副載波，如表1.1。OFDM系統可以有效的克服頻率選擇衰頹(Frequency Selective Fading)所造成的傳輸錯誤之影響，音訊編碼則採用

ISO/MPEG1 layer-2之標準，可以壓縮資料傳輸速率[3]。

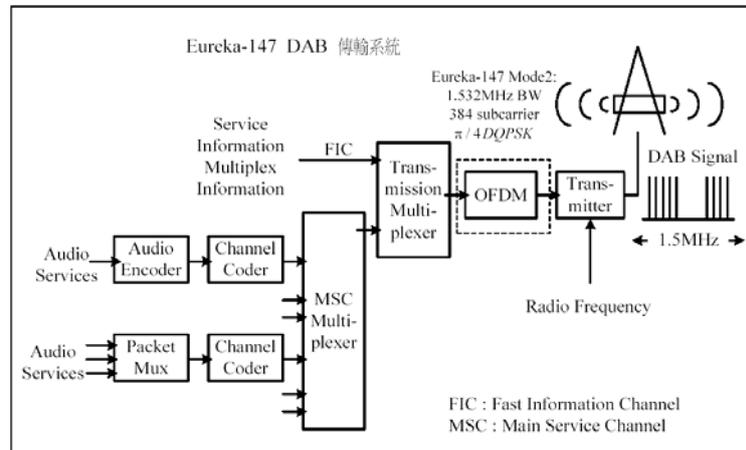


圖1.2 數位音訊廣播系統

圖1.3為數位音訊廣播之接收機系統圖，射頻訊號經由天線接收進來，然後經過降頻處理後，以最新技術帶通類比/數位轉換器(Bandpass ADC)直接輸出I、Q訊號，然後經過數位訊號處理後，包括載波同步，自動頻率控制，資料框(Frame)同步，OFDM的解調以及Viterbi解碼，音訊解碼，最後再經由數位/類比轉換器(DAC)輸出音頻訊號。

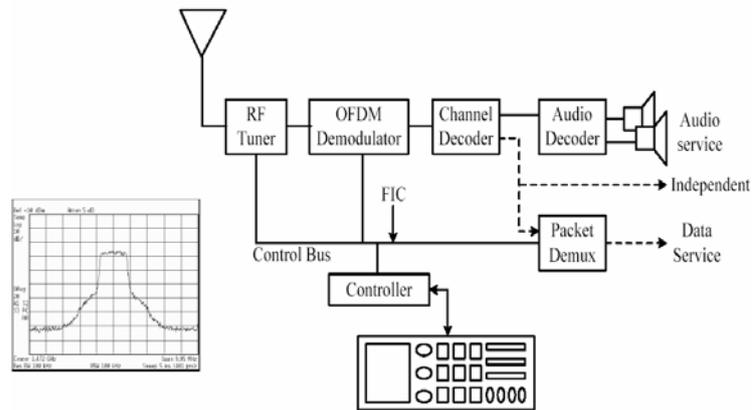


圖1.3 數位音訊廣播之接收機系統圖

1.4 數位音訊廣播接收機中之降頻器射頻模組

[3]

圖1.4為L-Band數位音訊廣播接收機的中之降頻器射頻模組圖，其中射頻電路包含了低雜訊放大器(Low Noise Amplifier)、自動增益控制放大器(Automatic Gain Control Amplifier)、第一級本地振盪器(First Stage Local Oscillator)、混波器(Mixer)、帶通濾波器(Band Pass Filter)、以及頻率合成器(Frequency Synthesizer)等。

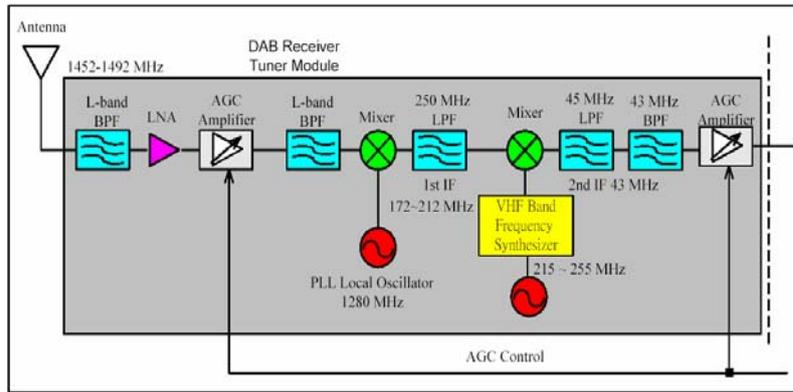


圖1.4 L-Band數位音訊廣播接收機中之降頻器射頻模組

1.452GHz~1.492GHz的射頻訊號經由天線接收進來，然後經過降頻器(Down Converter)降至172MHz~212MHz之第一中頻，再經過215MHz~255MHz VHF Band之頻率合成器作選台的功能，最後降至43MHz之中頻，其中在低雜訊放大器後面放置了一個自動增益控制放大器，其主要的目的是針對數位音訊廣播系統之寬頻道多載波(OFDM)的特性，如果訊號過於強，則所引起的交互調變失真將會比傳統式的系統來得嚴重；所以在這情況時，訊號必須在前級被適當的衰減，以克服前述的問題。而接收機的降頻器射頻模組後端，則輸出至一含類比/數位轉換器(ADC)之OFDM解調變IC作基頻(Base Band)的訊號處理，以解出音頻訊號以及資料內容。

在L-Band本地振盪器之鎖相迴路中，為了防止訊號在降頻時，所造成訊號的失真，需要一個穩定的本地振盪器。因而電壓控制振盪器為重要的電路之一，但是電壓控制振盪器所產生的訊號容易受到干

擾，而發生偏移誤差。所以如何設計一個高穩定的電壓控制振盪器，並且利用鎖相迴路技術來配合良好的電壓控制振盪器，以達到系統的要求，就成了相當重要的課題。

1.5 回顧相關研究

Hiroyasu Yoshizawa[4]等人比較動態邏輯型相位/頻率偵測器與普通型相位/頻率偵測器的特性，而動態邏輯型相位/頻率偵測器的優點主要是在於電晶體的減少，使得邏輯閘延遲與功率散逸獲得改進。Kuo-Hsing Cheng[6]等人則是比較差動型相位/頻率偵測器與普通型相位/頻率偵測器的特性，雖然差動型相位/頻率偵測器與普通型相位/頻率偵測器的電路複雜度差不多，但因回授路徑的縮減，性能得以提昇，但電路複雜度較高，且佔較大的面積，功率散逸也較大。Chien-Ping Chou[7]等人所設計差動型相位/頻率偵測器，該差動型相位/頻率偵測器在輸出端多加一個反及閘(NAND Gate)與兩個互斥或閘(XOR Gate)，因此使得差動型相位/頻率偵測器可同時偵測正緣與負緣之相位差，但該差動型相位/頻率偵測器輸出端的電路共需28顆電晶體所組成，因而其電路複雜度較高，且佔較大的面積，功率散逸也較大。Tord Johnson[8]等人則是探討動態邏輯在不改變組態的

情形下，可改變反相器的接法，來降低寄生電容，使得電路的暫態響應可獲得提昇。

電荷幫浦的部分，Adrian Maxim[9]使用回授電路，來提高充/放電流的匹配性，使突波雜訊干擾得以降低。而Chung-Yu Wu[10]等人同樣利用回授電路，來提高匹配性，並且還使用一對電晶體，解決電路啟動問題。

電壓控制振盪器Graum-Young Tak[11]等人則是使用一對互補式交錯耦合LC-tank電壓控制振盪器，可降低VCO的相位雜訊，並利用電容陣例，來改善LC-tank電壓控制振盪器的頻率調整範圍。

所以在相位/頻率偵測器的設計，可朝減少重置回授路徑的邏輯閘延遲來改善效能，並降低電晶體的使用數目，改善面積和功率散逸的問題。而電荷幫浦的部分，則提高充/放電流的匹配性，使突波雜訊干擾減少。電壓控制振盪器方面，利用互補式交錯耦合LC-tank電壓控制振盪器，來降低VCO的相位雜訊。

因此，本論文參閱各相關電路設計之優缺點，按選定主題找出幾個適合的電路，決定系統的架構，並局部修改電路，以符合系統之要求。最後設計出一個穩定的L-Band本地振盪器之鎖相迴路。

1.6 論文簡介

本論文的重點在於使用TSMC所提供的標準CMOS半導體製程，來設計數位音訊廣播接收機中，所需使用到的固定頻率之本地振盪鎖相迴路，其中包含了相位/頻率偵測器、電荷幫浦、迴路濾波器、電壓控制振盪器以及除頻器。並且使用惠普公司(HP)所研發之軟體AGILENT ADS(Advanced Design System)，對設計電路作模擬以驗證其功能。

本論文共分為四個章節。第一章緒論為簡介數位音訊廣播系統，並介紹數位音訊廣播接收機之基本架構。第二章則是說明鎖相迴路之基本理論。第三章則為設計用於數位音訊廣播接收機中之L頻帶鎖相迴路本地振盪器，並模擬驗證其電路設計。最後第四章作為結論。

第二章

鎖相迴路(Phase-Locked Loops)基本理論

2.1 簡介

鎖相迴路至今已有幾十年的發展歷史了，其控制模式廣泛地被應用在電子、電機…等等的各個科學領域當中，所以目前鎖相迴路已被廣泛的運用在各個領域裡，例如無線通訊系統、數位電視系統、數位廣播系統、頻率合成器、時脈同步器等等。

在無線通訊裡，一般需要一個穩定的本地振盪器。而本地振盪器電路之中，電壓控制振盪器為重要的電路之一，但是電壓控制振盪器所產生的訊號容易受到干擾，而發生偏移誤差。所以如何設計一個高穩定的電壓控制振盪器，並且利用鎖相迴路技術來配合良好的電壓控制振盪器，以達到系統的要求。

2.2 基本原理

鎖相迴路之簡單基本架構如圖 2.1 所示，其中由相位/頻率偵測器(Phase-Frequency Detector)、電荷幫浦 (Charge Pump)、迴路濾波器 (Loop Filter)、電壓控制振盪器 (Voltage Controlled Oscillator) 以及除頻器 (Frequency Divider) 所構成。

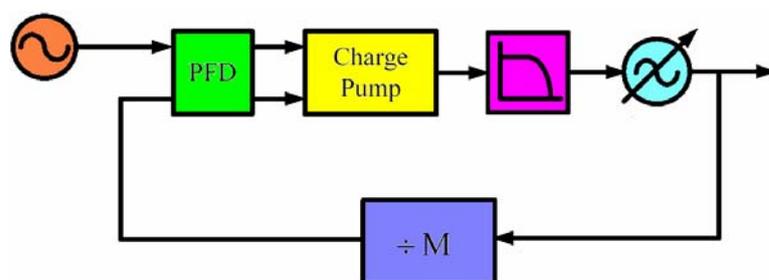


圖 2.1 鎖相迴路之簡單基本架構

經由電荷幫浦將相位/頻率偵測器所輸出的相位差之數位信號，轉換成相對應的電流量，而其電流量與相位/頻率偵測器所偵測到的相位差成比例。經由電荷幫浦所輸出的電流，對迴路濾波器進行充/放電，並且去除在信號中的干擾雜訊。除此之外，電壓控制振盪器的輸出，會經由除頻器，將其回授送到相位/頻率偵測器；因此電壓控制振盪器的輸出頻率將被除頻器除以 M ，並且其結果會與參考頻率作比較。然後，我們即可合成 M 倍參考頻率的輸出頻率。

鎖相迴路基本的整體作用即是使用於電路內部精準，頻率變動量極低的振盪頻率源作為基準參考，經由閉迴路自動控制系統的反饋作用，驅使另一個動作不精準、頻率變動量高的作用元件的動作頻率，使其能快速且一直保持穩定地，與正確的頻率參考源達到同相甚至是同相又同頻的狀態，如此即是相位鎖定(Phase Locked)的狀態。

其功能是利用相位鎖定一個輸入的參考時脈時，鎖相迴路會產生一個輸出時脈。為了滿足這項條件，其輸出時脈的頻率必須等於輸入時脈的頻率，或是等於輸入時脈之頻率的某個倍數，例如 $f_{out} = N \cdot f_{ref}$ ，其中 f_{out} 是輸出頻率， f_{ref} 為輸入頻率。如圖 2.1 所示 (N=4)。

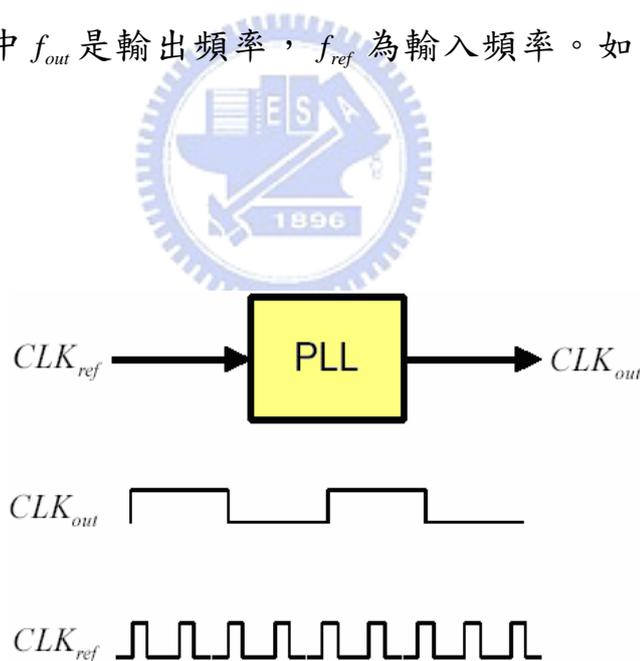


圖 2.2 鎖相迴路 (N=4)

當輸出頻率等於輸入頻率的某個數倍時，鎖相迴路將會鎖定該頻率，並且其相位誤差會被保持在一個小範圍之內。換句話說，在鎖定

狀態下，鎖相迴路的輸出頻率和相位會與輸入時脈維持同步。

2.3 相位/頻率偵測器

在鎖相迴路的架構中，相位/頻率偵測器偵測兩個輸入端的相位差，如果相位差在時間變化時，仍然為一常數，則鎖相迴路為相位鎖定狀態，在相位鎖定狀態時，鎖相迴路中的所有信號都為穩定態。傳統的相位/頻率偵測器可分為類比乘法器，以及數位邏輯型式，目前大部份都是使用數位邏輯型式的積體電路。

一個理想的相位/頻率偵測器會產生一個具有直流成份的輸出信號，而直流成份的大小與兩個週期性輸入信號的相位差，成線性比例：

$$\bar{V}_{out} = K_{PFD} \cdot \Delta\phi \quad (2.1)$$

其中 K_{PFD} 為相位/頻率偵測器的增益(單位為 V/rad)，而 $\Delta\phi$ 為輸入端之相位差。然而，假如電路能夠偵測相位差與頻率差將會極有助益，因為它能大大的增加鎖相迴路的適用範圍與鎖定速度。

圖 2.3 為簡單的相位/頻率偵測器的操作模式。相位/頻率偵測器有兩個輸出端 Q_A 、 Q_B 。如果輸入端 A 之頻率為 ω_A ，其少於輸入端 B 之頻率 ω_B ($\omega_A < \omega_B$)，則相位/頻率偵測器的 Q_A 端會產生脈衝，而 Q_B 則會保持為零。相反的，如果 $\omega_A > \omega_B$ 則 Q_B 端會出現脈衝，而 Q_A 端則會保持在零。

假如是 $\omega_A = \omega_B$ 時，則電路會同時在 Q_A 、 Q_B 產生脈衝，其脈衝的寬度剛好等於兩個輸入的相位差。因此 Q_A 、 Q_B 的平均值是表示著 A 和 B 輸入端的相位差或頻率差。而 Q_A 、 Q_B 通常稱為 UP 和 DOWN 的信號。

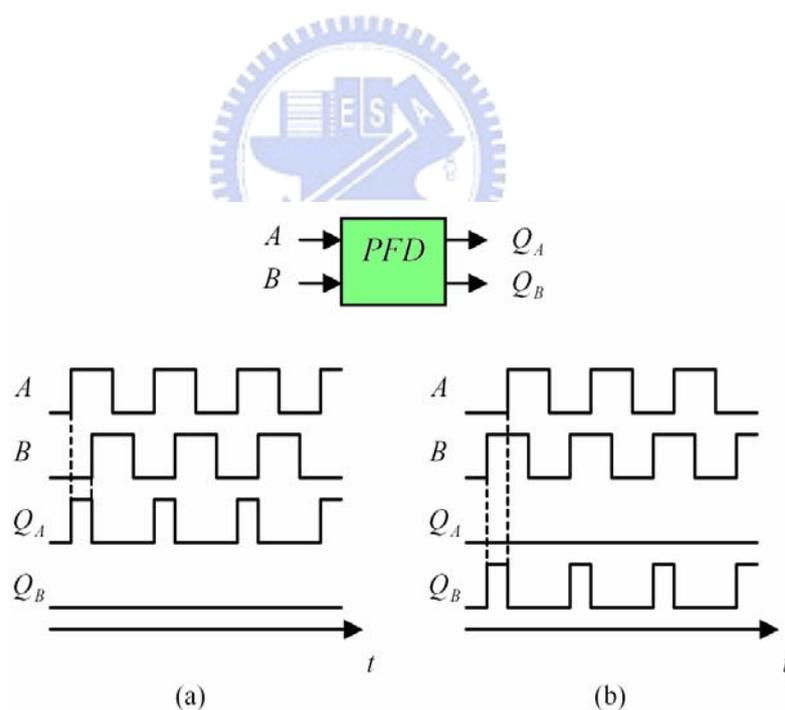


圖 2.3 相位/頻率偵測器運作示意圖 (a) A 領先 B (b) A 落後 B

在電路達到上述的模式時，我們假設至少有三種邏輯狀態是必需的： $Q_A = Q_B = 0$ ； $Q_A = 0$ 、 $Q_B = 1$ ； $Q_A = 1$ 、 $Q_B = 0$ 。並且，為了避免在輸

入週期內輸出端的相依性，電路應該使用邊緣觸發時序邏輯來實現。

我們假設電路的轉換態只出現在 A 跟 B 的上升暫態。圖 2.4 則為其說明。

明。

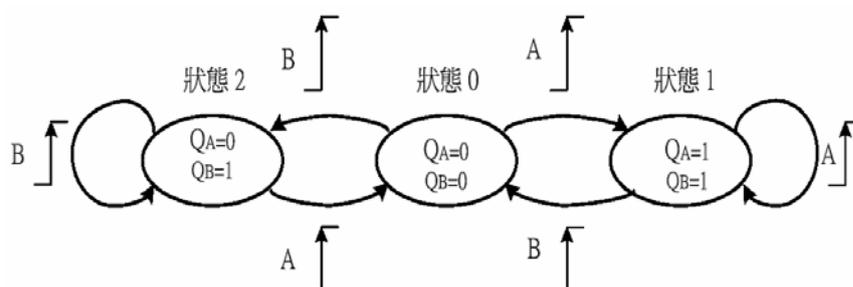


圖 2.4 相位偵測器狀態圖

當 A 跳到較高的狀態而 B 跳到較低的狀態時，狀態將會被改變，在 A 和 B 的上升邊緣。假設電路的初始狀態為狀態 2，然後 A 與 B 交替上升，則只會在狀態 2 和 0 裡循環。如果 B 在 A 之後下降，如圖 2.4 所示，在兩個 A 上升邊緣之間，沒有 B 的上升邊緣時。將會跳到狀態 0。

如果相位差 $\Delta\phi$ 為零時，A 與 B 的上升邊緣將會一致，而且相位/頻率偵測器會一直保持在狀態 0 中。

2.4 電荷幫浦

相位/頻率偵測器無法提供精確的電壓或電流信號比例，來對應其輸入的相位差。電荷幫浦是用於轉換兩個相位/頻率偵測器的輸出信號 Q_A 、 Q_B ，轉換成充/放電流，其量與相位成比例。接著電荷幫浦直接對迴路濾波器進行充/放電，並將干擾雜訊濾除。圖 2.5(a)、2.5(b) 為相位/頻率偵測器、電荷幫浦與迴路濾波器組合在一起的架構圖，還有其相應的時間域響應圖。電荷幫浦，基本上由兩個電流開關所組成，藉由電流開關將電荷注入，或放出迴路濾波器，進而控制迴路濾波器的電荷量大小。

電荷幫浦基本上有三種狀態，當輸入端 A 的頻率高於 B 或是與 B 的頻率相同但領先某個相位時，則電荷幫浦會產生一固定值的電流 I_1 ，經由開關 S_1 對電容進行充電，而電壓並隨之穩定的上升。相同的，如果 A 的頻率低於 B，或是相位落後時，則經由開關 S_2 對電容進行放電，且 V_{out} 會穩定的下降。那麼如果輸入端同頻率、同相位時，則 Q_A 、 Q_B 會同時出現短週期的脈衝。在這情形下， $I_1 = I_2 = I$ ，而開關 S_1 、 S_2 會同時打開，因而不會有淨電流通過電容，而 V_{out} 會保持在原本的狀態。

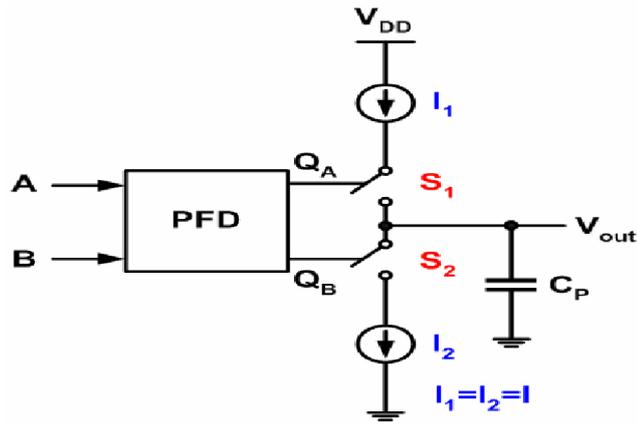


圖 2.5(a) 架構圖

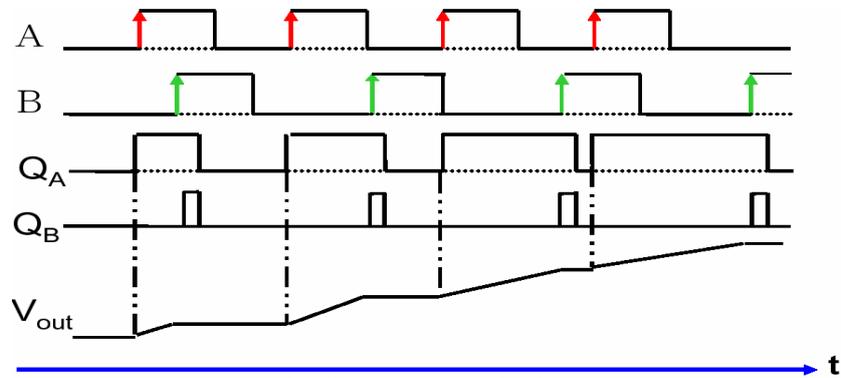


圖 2.5(b) 時間域響應圖

相位/頻率偵測器、電荷幫浦與迴路濾波器組合在一起的關係式為：

$$I_{PUMP} = I \cdot \frac{\phi_e}{2\pi} \quad (2.2)$$

其中 I_{PUMP} 是電荷幫浦的輸出電流， $\phi_e = \phi_A - \phi_B$ 表示相位/頻率偵測器兩個輸入端的相位差，而 $I = I_1 = I_2$ 則是電荷幫浦的兩個電流源。然而，這個公式是一個近似。我們應該注意到電荷幫浦是一個離散系

統，不過它仍然提供了一個良好的近似。

而 I_1 與 I_2 的電流大小，會影響到干擾雜訊的大小，若 I_1 與 I_2 的電流量小時，那我們可以得到較小的干擾雜訊，但是可能卻達不到穩定時間，相反的，若使用較大的 I_1 與 I_2 電流，會使得穩定時間減短，但是干擾雜訊會增加，進而影響到電壓控制振盪器的頻率穩定性。所以 I_1 、 I_2 電流量和穩定時間需要互相妥協。

2.5 迴路濾波器



迴路濾波器的設計在鎖相迴路裡非常重要，因為迴路濾波器將決定鎖相迴路的效能，例如迴路頻寬、相位雜訊以及鎖定時間，等等。同時，迴路濾波器與一般的濾波器一樣，能夠消除不要的高頻干擾雜訊，並且提供電壓控制振盪器一穩定的控制電壓。因此減少突波(Spur)對電壓控制振盪器的干擾。迴路濾波器也決定了鎖相迴路的動態響應。而為了得到較好的暫態響應，迴路頻寬必須要盡可能的加大，使得電壓控制振盪器能更迅速的追蹤輸入端的變化，但電壓控制振盪器也會被較多的突波所干擾，因此，迴路濾波器的頻寬是由暫態時間與突波減低之間，所要作的選擇。

圖 2.6 是一個簡單的二階迴路濾波器。因為它在直流點放置了一

個極點，所以可以得到較寬的頻寬，因而減少靜態的相位差。而為了增加相位邊界而加了一個零點，而第二個則是減少高頻干擾雜訊。這功能與放大器的補償效應相似。

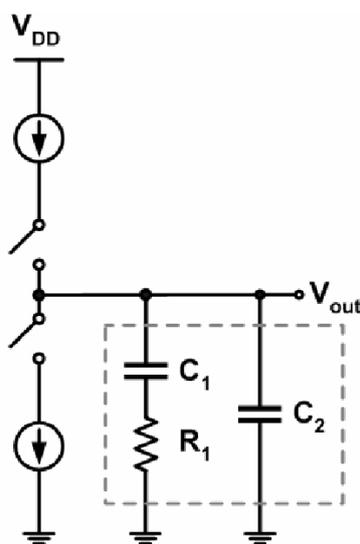


圖 2.6 電荷幫浦的二階迴路濾波器

2.6 電壓控制振盪器

電壓控制振盪器被應用於許多電子設備當中，應用範圍從微處理器裡的時脈產生器，到無線通訊設備裡的頻率合成器。而在鎖相迴路設計過程中，電壓控制振盪器是雜訊干擾的主要來源，所以設計一個低相位雜訊的電壓控制振盪器是必要的。

依據巴克豪森準則 (Barkhausen's Criteria)，圖 2.7 為鎖相

迴路的閉迴路系統，並且如果此迴路能滿足(2.3)以及(2.4)這兩個條件時，則閉迴路將在頻率 ω_0 作振盪。但是實際上巴克豪森準則是必要條件，卻非充分條件，因為在溫度與製程的變化下，為了確保電路能振盪，我們會選擇至少迴路增益有理想選擇至少迴路增益有理想值的兩三倍左右。

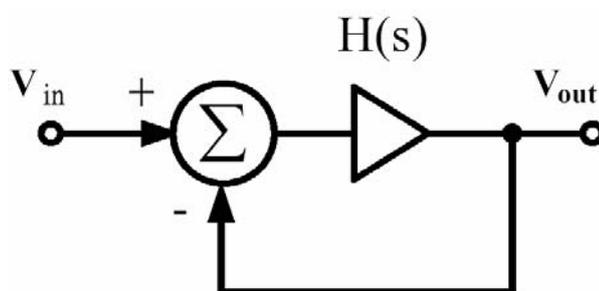


圖 2.7 閉迴路系統

$$\angle H(j\omega_0) = 180^\circ \quad (2.3)$$

$$|H(j\omega_0)| \geq 1 \quad (2.4)$$

而電壓控制振盪器藉由電晶體本身的雜訊開始起振，而此雜訊則在此迴路中被放大如圖 2.8 所示。

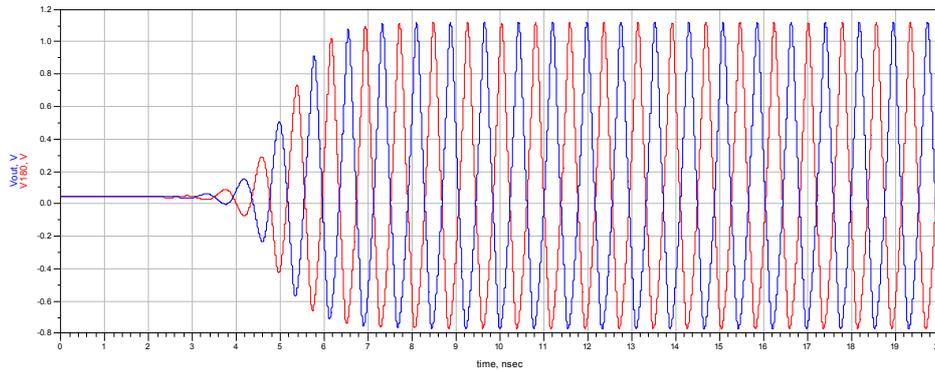


圖 2.8 壓控制振盪器起振波形圖

2.6.1 LC 振盪器



LC 振盪器可廣泛的應用在需高速、低干擾雜訊系統中，其結構如圖 2.9 示。

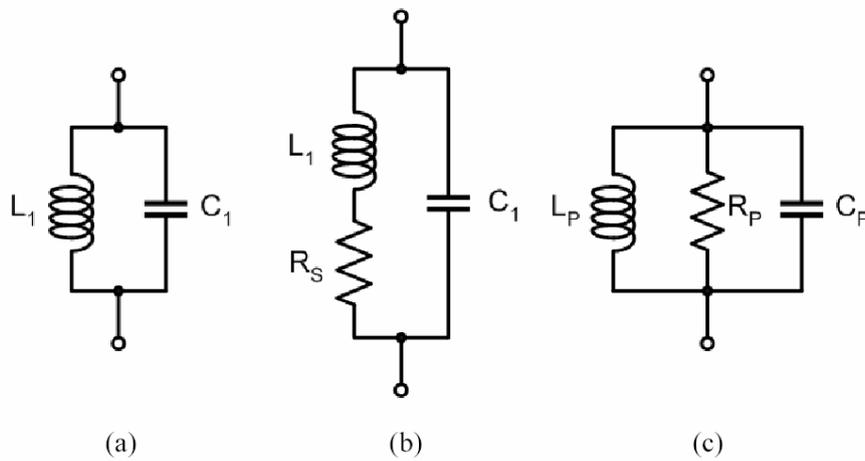


圖 2.9 (a)理想 LC 結構 (b)真實的 LC 結構 (c)並聯式結構

2.6.2 環型振盪器(Ring Oscillator)

環型振盪器基本上是使用奇數個反相器串接回授而振盪，如圖 2.10 所示。

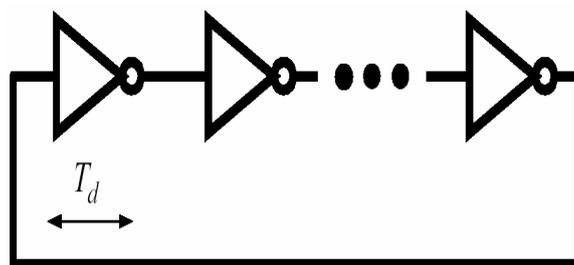


圖 2.10 環型振盪器

$$f_0 = \frac{1}{2NT_d}$$

(2.5)

由(2.5)式可知，環型振盪器的振盪頻率(f_0)由迴路的延遲時間決定。其中 N 為反相器個數。

而相對於環型振盪器來講，LC 振盪器有幾項優點：(1)有較低的相位雜訊和功率散逸；(2)較大的輸出電壓擺幅；(3)能夠操作在較高的頻率。而 LC 振盪器的最大優點是相位雜訊，但是因為 LC 振盪的可振盪的可變頻率範圍較小，而且由於電感與電容受製程上的限制，而導致輸出頻率範圍的偏移，其範圍大約是 $\pm 20\%$ ，而為了補償製程的

誤差，所以輸出頻率需要至少有 $\pm 20\%$ 的調整範圍。

而環型振盪器由(2.5)式可知，經由改變延遲時間，可調整振盪的頻率，因此可達到電壓控制振盪頻率的功能。而環型振盪器的優點是電路所佔的晶片面積較小，所以易與鎖相迴路作整合。

2.7 除頻器

除頻器的基本架構有整數除 N (Integer- N)以及小數除 N (Fractional- N)兩種。這兩種架構最大的不同是在於除頻器數目與參考頻率的選擇。整數除架構的除頻器可利用簡單的 D 型正反器 (D-Flip-Flop)來實現，使得鎖相迴路的輸出頻率為參考頻率的整數倍。而整數除 N 除頻器的架構在實現上較簡單，但參考頻率卻會受限於頻道的寬度(Channel Spacing)，使得迴路的頻寬較窄，並且對電壓控制振盪器的相位干擾雜訊抑制能力較差以及所需的定位時間 (Settling Time)較長。

而相對的，在小數除架構的除頻器，其參考頻率則不受限於頻道的寬度，且解析度較好，而較大的迴路頻寬也得到較好的電壓控制振盪器對相位干擾雜訊抑制能力，所需的定位時間亦較短，但是所需付出的代價，則是電路的複雜度也相對的提高很多。

第三章

L 頻帶鎖相迴路本地振盪器之設計

3.1 前言

本論文設計可調式迴路濾波器與改良式動態邏輯型相位/頻率偵測器，並且參閱相關研究與資料，參考各相關的電路設計之優缺點，設計電流匹配電荷幫浦、互補式交錯耦合 LC-tank 電壓控制振盪器以及除頻器之元件。並局部修改電路，以符合系統之要求。最後利用各元件組成完整的本地振盪器之鎖相迴路。

L-Band 數位廣播接收機的射頻模組結構如圖 3.1 所示，其中數位音訊廣播的射頻訊號，經由天線接收進來後，經過混波器的作用降至第一中頻，然後再經過 VHF 頻帶頻率合成器來做選台的功能，最後降至第二中頻，而在兩次的降頻過程中，為了避免在降頻的過程裡，接收機的正交碼分頻多工 (Orthogonal Frequency Division Multiplexing : OFDM) 之多工調變訊號，受到本地振盪器訊號雜訊的干擾而失真，所以需要有穩定的本地振盪器之訊號源。

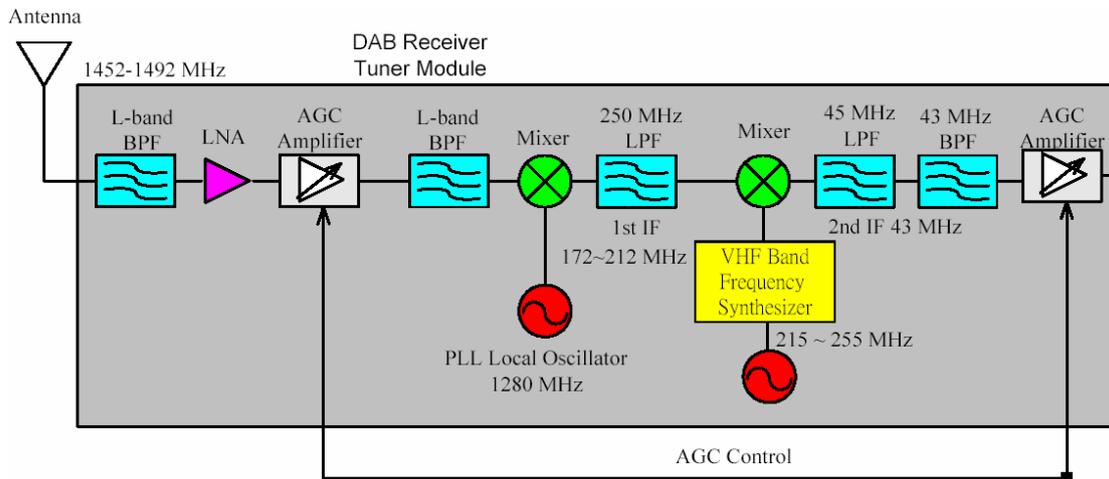


圖 3.1 L-Band 數位廣播接收機的射頻模組

3.2 改良式相位/頻率偵測器設計與比較



傳統的相位/頻率偵測器電路如圖 3.2 所示，是由四個閃鎖 (Latch)、一個四輸入之反及閘電路(NAND Gate)以及八個反相器電路 (Invert)所組成。

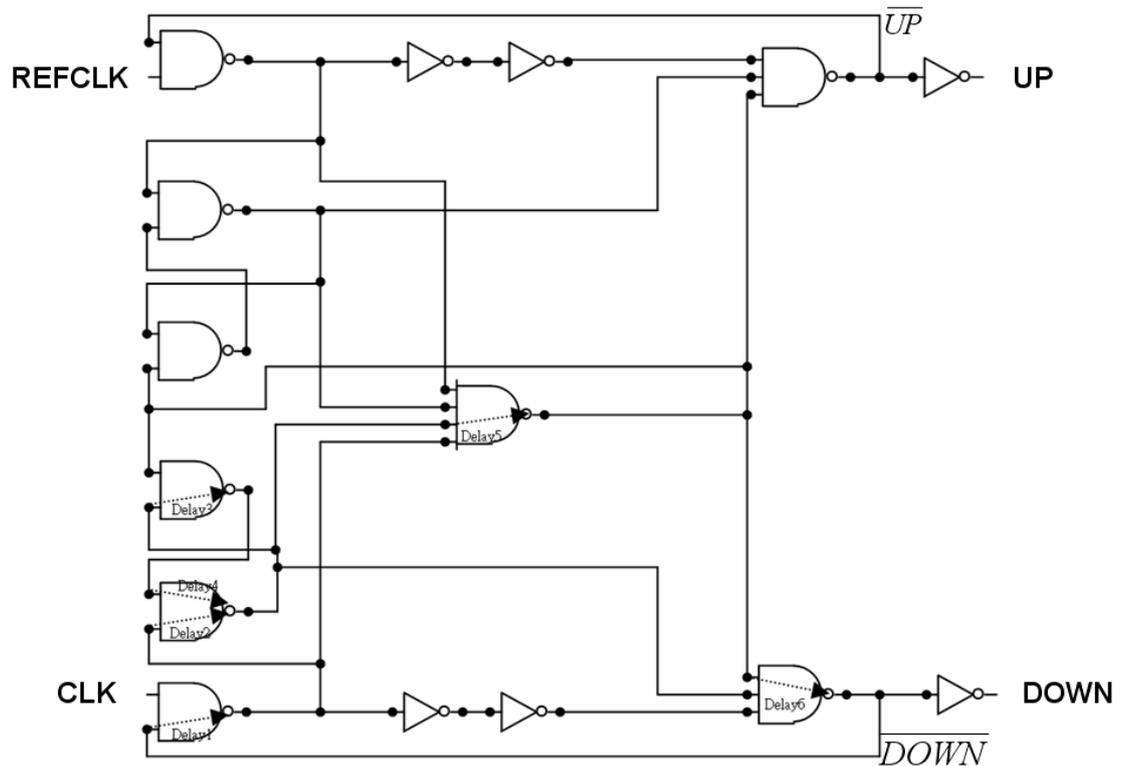


圖 3.2 傳統閃鎖式相位/頻率偵測器[12]



其中四組閃鎖可以暫存輸入訊號與輸出訊號的相位/頻率差，而四輸入之反及閘則可重置(Reset) \overline{UP} 、 \overline{DOWN} 的輸出訊號。

然而傳統閃鎖式相位/頻率偵測器有幾個缺點，傳統閃鎖式相位/頻率偵測器會有較大的死帶(Dead Zone)如圖 3.3 所示，因而導致鎖相迴路在鎖定狀態時會產生較大的時基誤差(Jitter)。

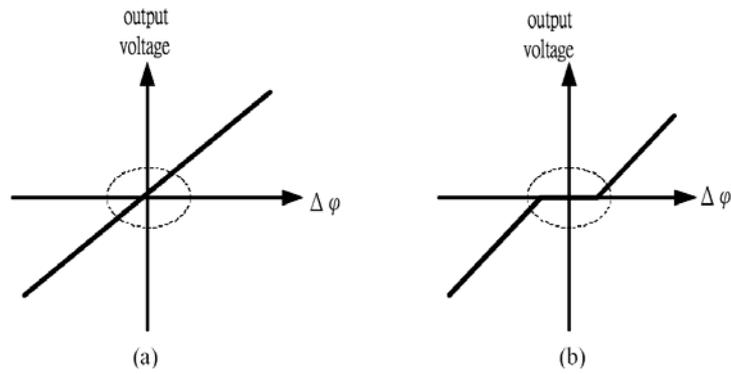


圖 3.3 (a)無死帶(b)具有死帶

由於傳統門鎖式相位/頻率偵測器是六十顆電晶體所組成，並且其內部節點電壓未推至 V_{DD} 或拉到地，因此功率散逸會較大。再加上操作的最高頻率由重置負回授路徑所決定，其負回授路徑需經過六個邏輯閘的延遲(如圖 3.2 所示)，所以該負回授路徑限制住傳統門鎖式相位/頻率偵測器的速度。

傳統門鎖式相位/頻率偵測器模擬結果如圖 3.4、圖 3.5 所示。

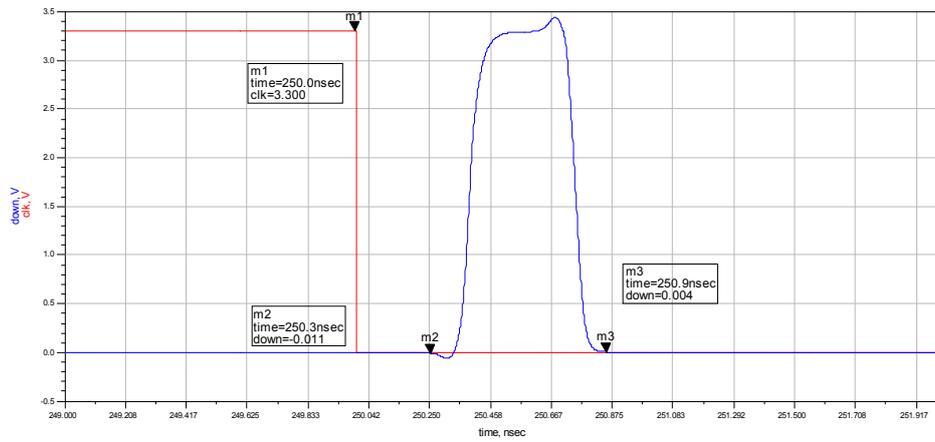


圖 3.4 輸入端無相位差之傳統門鎖式相位/頻率偵測器暫態響應圖

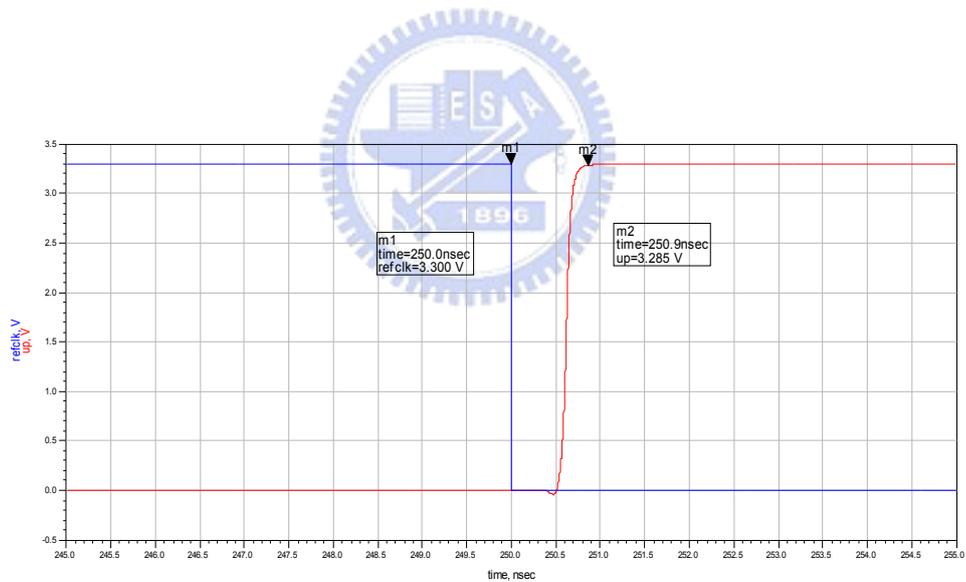


圖 3.5 輸入端有相位差之傳統門鎖式相位/頻率偵測器暫態響應圖

利用步階訊號來模擬電路的暫態響應，由圖 3.4、圖 3.5 模擬結果可知道，傳統門鎖式相位/頻率偵測器在 0.3nsec 時，電路才有反

應，而電路完成整個動作則共需 0.9nsec，因為傳統門鎖式相位/頻率偵測器共有六個邏輯閘延遲(如圖 3.2 所示)，所以速度較慢。

為了提高效能，因而有論文提出使用動態邏輯型相位/頻率偵測器(Dynamic Logic Phase-Frequency Detector)如圖 3.6 所示，因為重置回授路徑的縮短，使得相位/頻率偵測器的效能得以提昇。

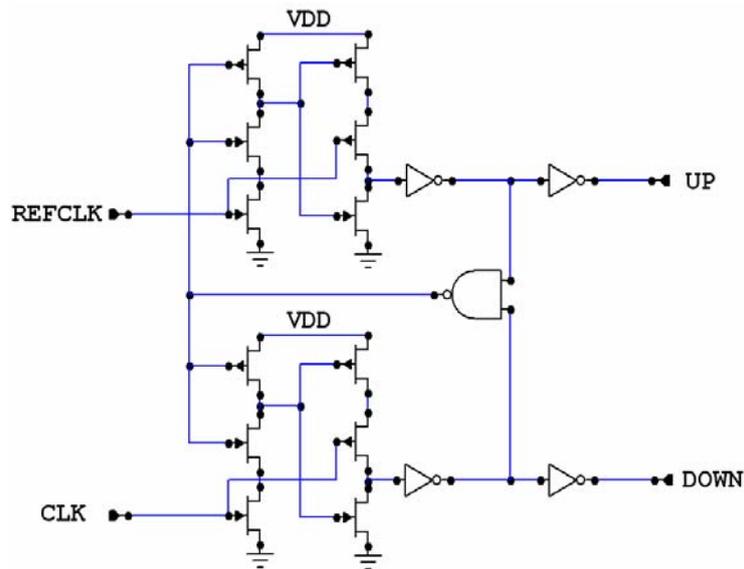


圖 3.6 動態邏輯型相位/頻率偵測器[13]

動態邏輯型相位/頻率偵測器之電路模擬結果如圖 3.7、圖 3.8 所示。

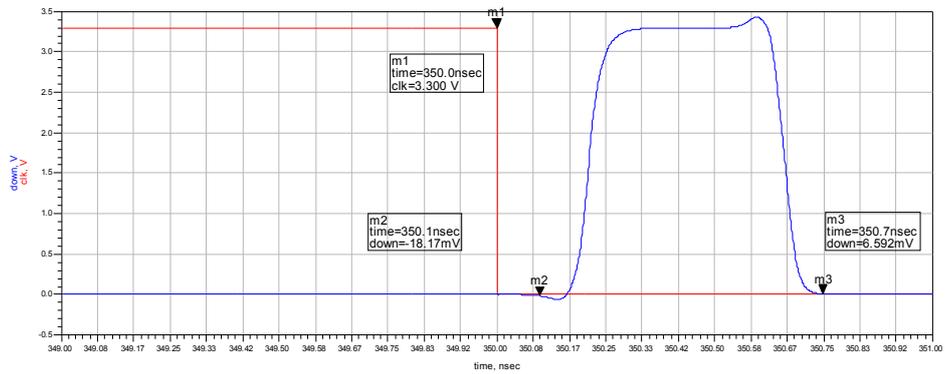


圖 3.7 輸入端無相位差之動態邏輯型相位/頻率偵測器暫態響應圖

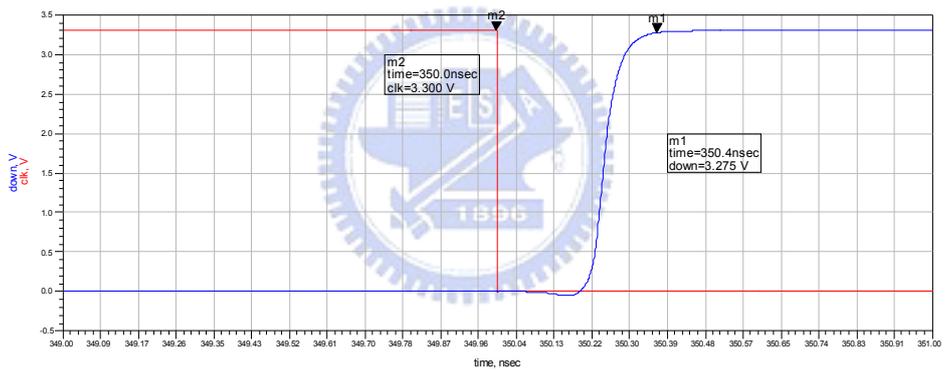


圖 3.8 輸入端有相位差之動態邏輯型相位/頻率偵測器暫態響應圖

利用步階訊號來模擬電路的暫態響應，由圖 3.7、圖 3.8 模擬結果可知道，動態邏輯型相位/頻率偵測器在 0.1nsec 時，電路即有反應，而在無相位差時電路完成整個動作需 0.7nsec，有相位差時電路完成整個動作需 0.4nsec，因為動態邏輯型相位/頻率偵測器共有四

個邏輯閘延遲，所以速度較傳統閃鎖式相位/頻率偵測器來的快，並且所需使用之電晶體較少，因而面積較小，功率散逸也較低。

而提出一改良式的動態邏輯型相位/頻率相位偵測器(Dynamic Logic Phase-Frequency Detector)之電路(如圖 3.9 所示)，來改進其效能。

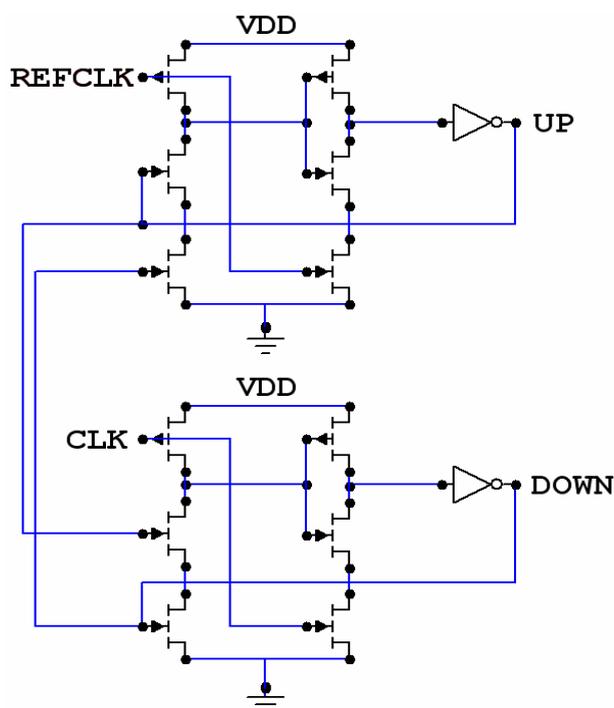


圖 3.9 改良式的動態邏輯型相位/頻率偵測器

改良式的動態邏輯型相位/頻率偵測器，不僅減少了使用的邏輯閘數目，並且降低了功率散逸，以及減輕了 fan-in、fan-out 的負載效應問題>Loading Effect)，更因為電晶體的閘極延遲(Gate Delay)所造成的回授重置路徑延遲，也因此所需經過的電晶體個數變少，而

得以獲得減短，使得相位/頻率偵測器的速度得以提高。圖 3.10、圖 3.11 為其模擬結果。需注意的是改良式的動態邏輯型相位/頻率偵測器為正緣觸發電路(Positive Edge Triggered Circuit)。

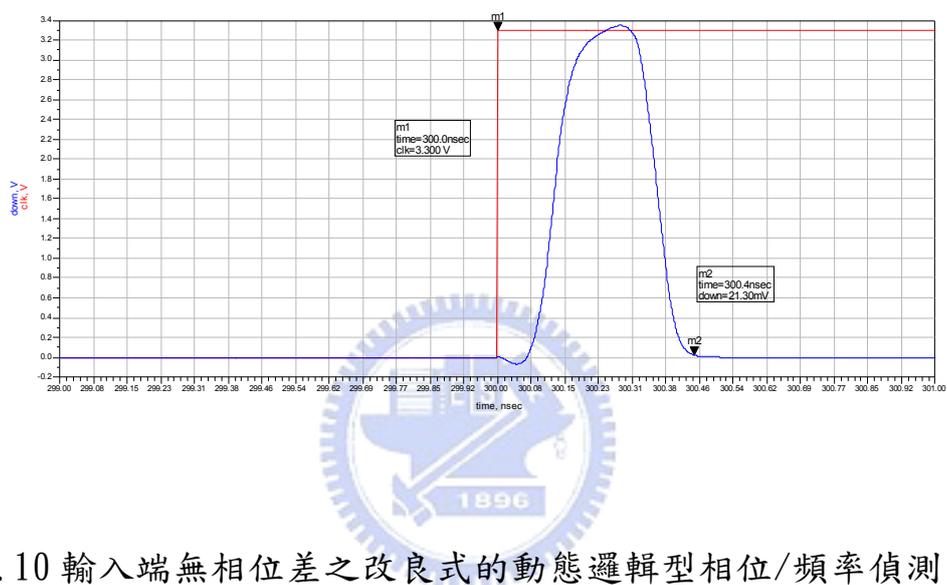


圖 3.10 輸入端無相位差之改良式的動態邏輯型相位/頻率偵測器暫

態響應圖

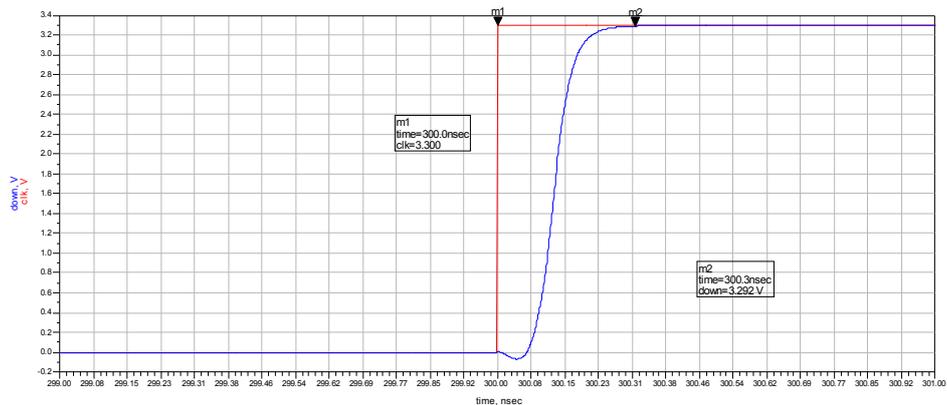


圖 3.11 輸入端有相位差之改良式的動態邏輯型相位/頻率偵測器暫

態響應圖

利用步階訊號來模擬電路的暫態響應，由圖 3.10、圖 3.11 模擬結果可知道，改良式動態邏輯型相位/頻率偵測器在 0nsec 時，電路即有反應，而在無相位差時電路完成整個動作需 0.4nsec，有相位差時電路完成整個動作需 0.3nsec，因為改良式動態邏輯型相位/頻率偵測器共有三個邏輯閘延遲，所以速度較傳統門鎖式相位/頻率偵測器來的快，並且所需使用之電晶體最少，共需 10 顆電晶體來組成，因而面積最小，功率散逸也最低。

然而相位/頻率偵測器在輸入訊號無相位差時，輸出端仍會在輸出相同的窄脈衝。雖然脈衝極窄，但是會造成電荷在電荷幫浦中，使得電荷幫浦的開關動作會不正常運作，因為導致電荷幫浦的電流不

匹配(Current Mismatch)之效應，而影響鎖相迴路的穩定性。所以在
相位/頻率偵測器中加入突波消除電路(如圖 3.12 所示)，圖 3.13、
圖 3.14 為其電路模擬結果。

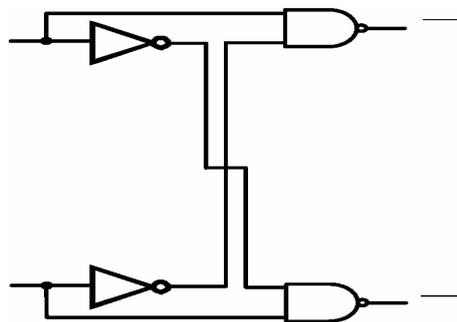


圖 3.12 突波消除電路[14]

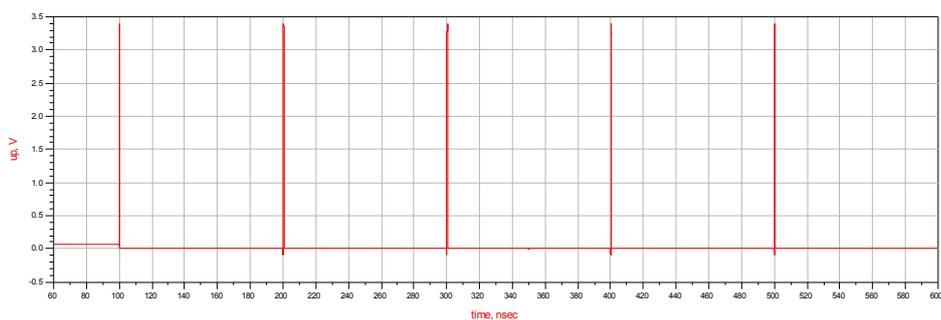


圖 3.13 無突波消除電路

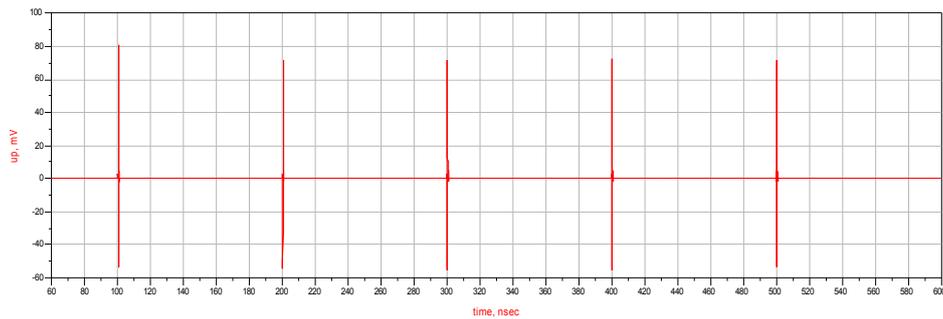


圖 3.14 具有突波消除電路

由圖 3.13、圖 3.14 模擬結果可知道，突波由 3.3V 降至 70mV，所以突波雜訊干擾，可大幅減輕，避免影響鎖相迴路的穩定性。

3.3 電荷幫浦設計與充/放電流匹配

在電荷幫浦的設計上，必須要考慮充/放電時，電荷幫浦的充/放電之匹配性，否則在整個鎖相迴路的頻率輸出結果，相位雜訊 (Phase Noise) 表現上將產生突波的現象，而在時間域則是在電荷幫浦的輸出電壓，會出現漣波(Ripple)現象如圖 3.15 所示。

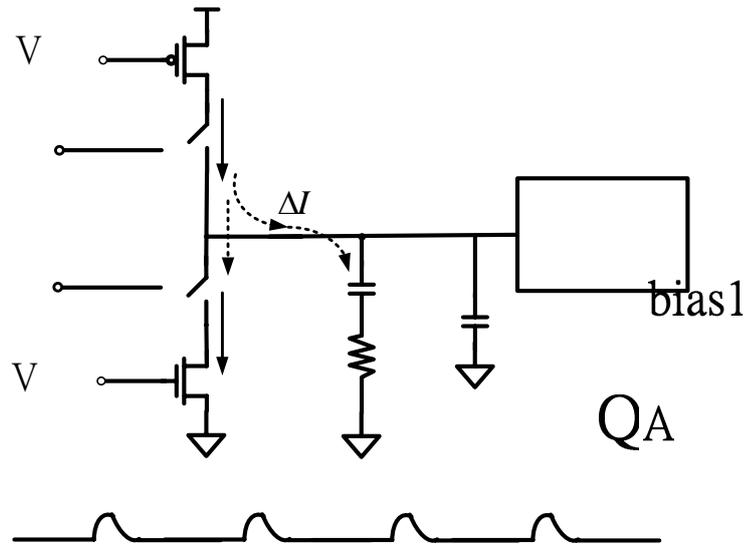


圖 3.15 漣波現象[15]

由於 I_1 、 I_2 的不匹配，因而產生 ΔI 對電容 C_p 進行充/放電，使得 $V_{control}$ 發生漣波現象。而一般之電荷幫浦 I_1 、 I_2 電流，只有當 $V_{control} = \frac{V_{dd}}{bias2^2}$ 時，才會使得 $I_1 = I_2$ (如圖 3.16 所示)。因此，要改善電荷幫浦的充/放電流匹配性，則須在電荷幫浦中的參考電流源以及充/放電流路徑間，以回授電路作回授補償的修正，如圖 3.17 所示。

$V_{control}$

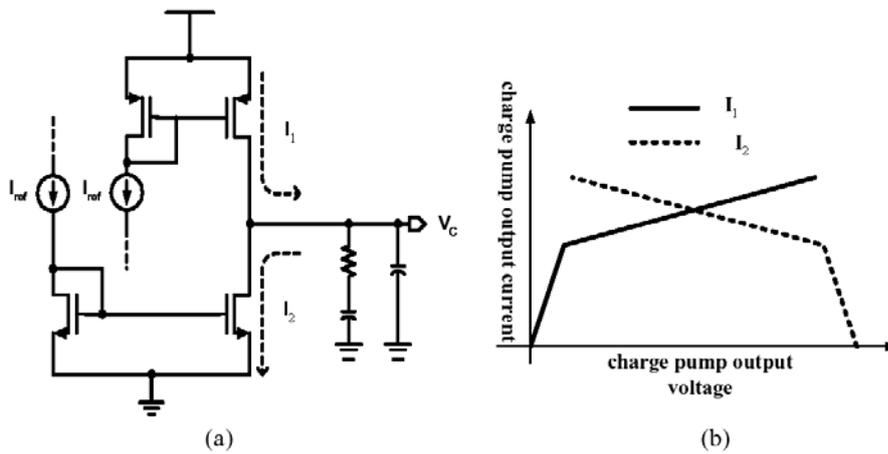


圖 3.16 (a)電荷幫浦 (b)當 $V_{control} = \frac{V_{dd}}{2}$ 時 $I_1 = I_2$ [15]

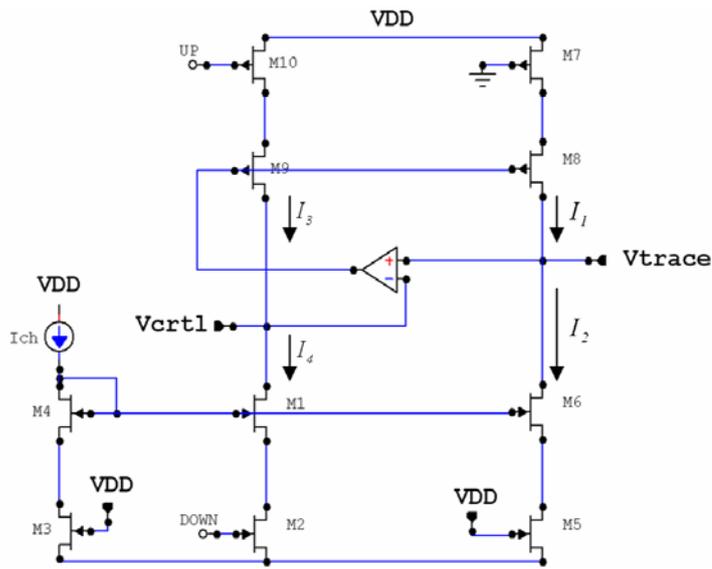


圖 3.17 電流匹配之電荷幫浦 [15]

由於回授路徑的作用，所以使得 $V_{trace} = V_{ctrl}$ ，而當 $V_{trace} = V_{ctrl}$ 時，則

$I_1 = I_3$ 、 $I_2 = I_4$ ，又因 $I_1 = I_2 = I_{ch}$ ，所以我們可以得到 $I_1 = I_2 = I_{ch} = I_3 = I_4$ ，

故電荷幫浦的充/放電流為匹配。圖 3.18 為其特徵圖，圖 3.21、圖

3.22 為模擬結果。

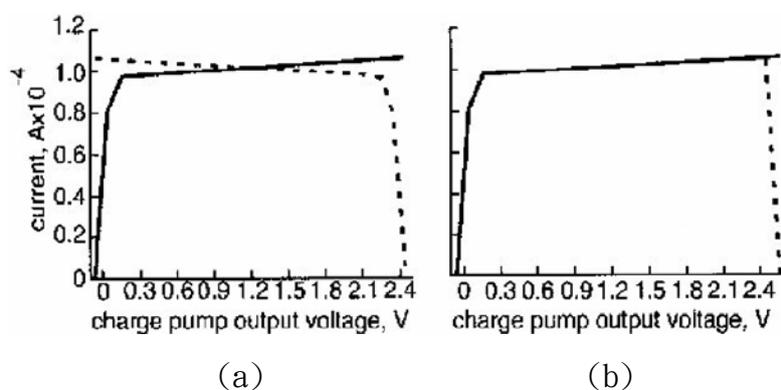


圖 3.18 (a)無負回授電荷幫浦(b)具有負回授電荷幫浦[14]

由圖 3.18(a)與圖 3.18(b) 比較可知，當有負回授電路時，可使電荷幫浦的充/放電流匹配，但相對的當無負回授電路時，則只有當 $V_{pump} = \frac{V_{dd}}{2}$ 時，才會充/放電流匹配，而 $V_{pump} \neq \frac{V_{dd}}{2}$ 時，則充/放電流完全不匹配。

而當電荷幫浦電流未匹配時，所造成之非理想效應，如圖 3.19、圖 3.20 所示。故需將電荷幫浦予於電流匹配，以降低其非理想之效應。

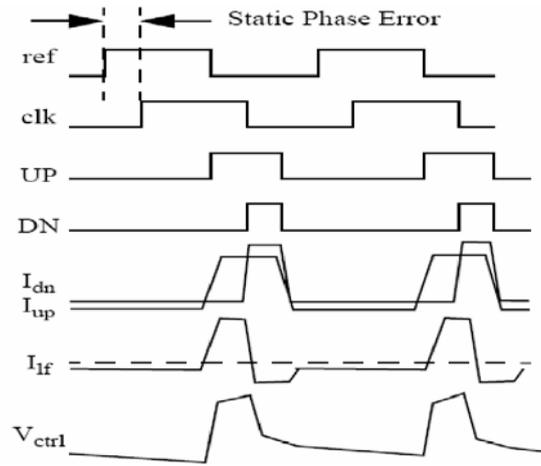


圖 3.19 具有相位差時之非理想效應[16]

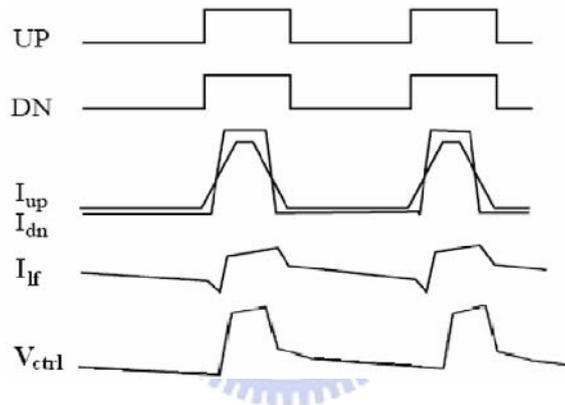


圖 3.20 無相位差時之非理想效應[16]

由圖 3.19 與圖 3.20 可知，當充/放電流 I_{up} 、 I_{dn} 未匹配時，會在 V_{ctrl} 產生漣波之非理想效應。

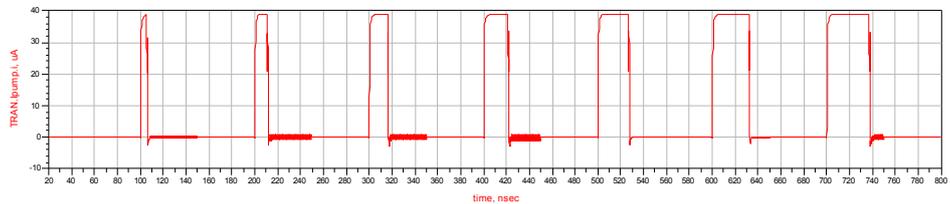
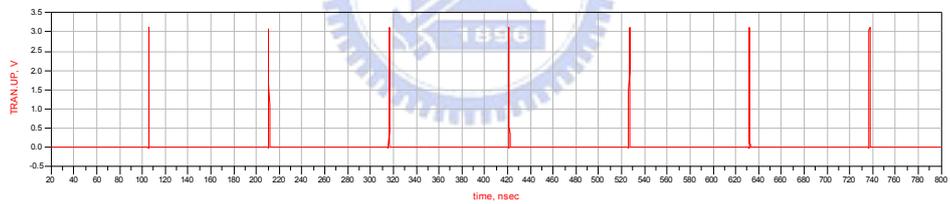
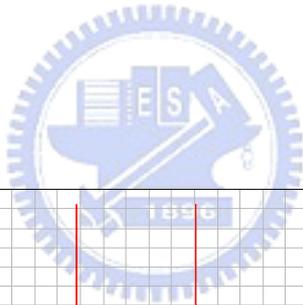
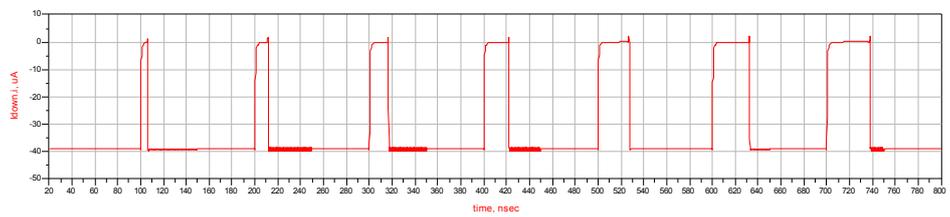
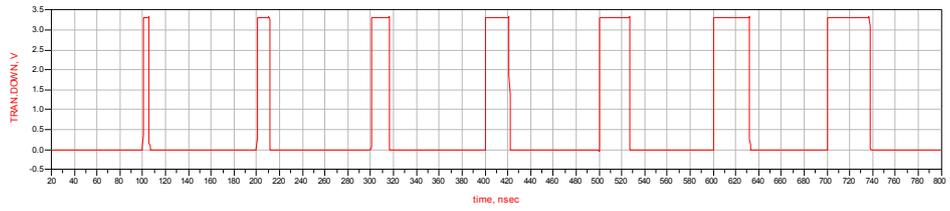
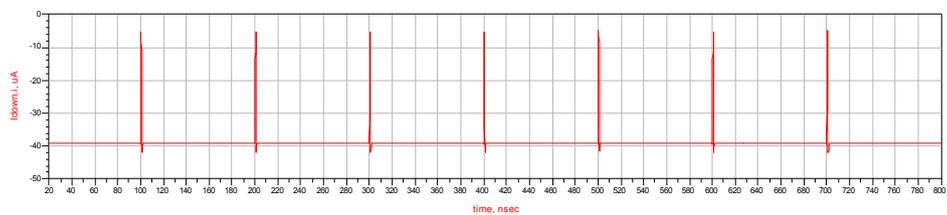
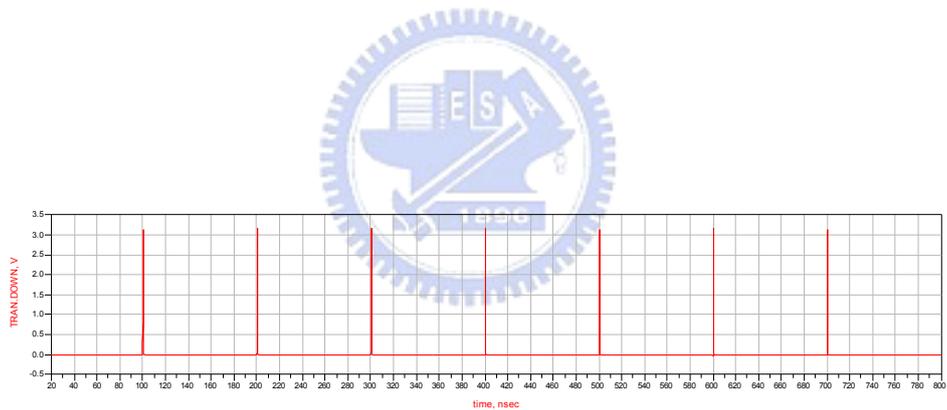




圖 3.21 具有相位差時電荷幫浦電路模擬

由圖 3.21 可知，電荷幫浦電路模擬圖的輸出端 V_{pump} 波形圖，與圖 3.19 比較，可發現 V_{pump} 波形圖無非理想效應。



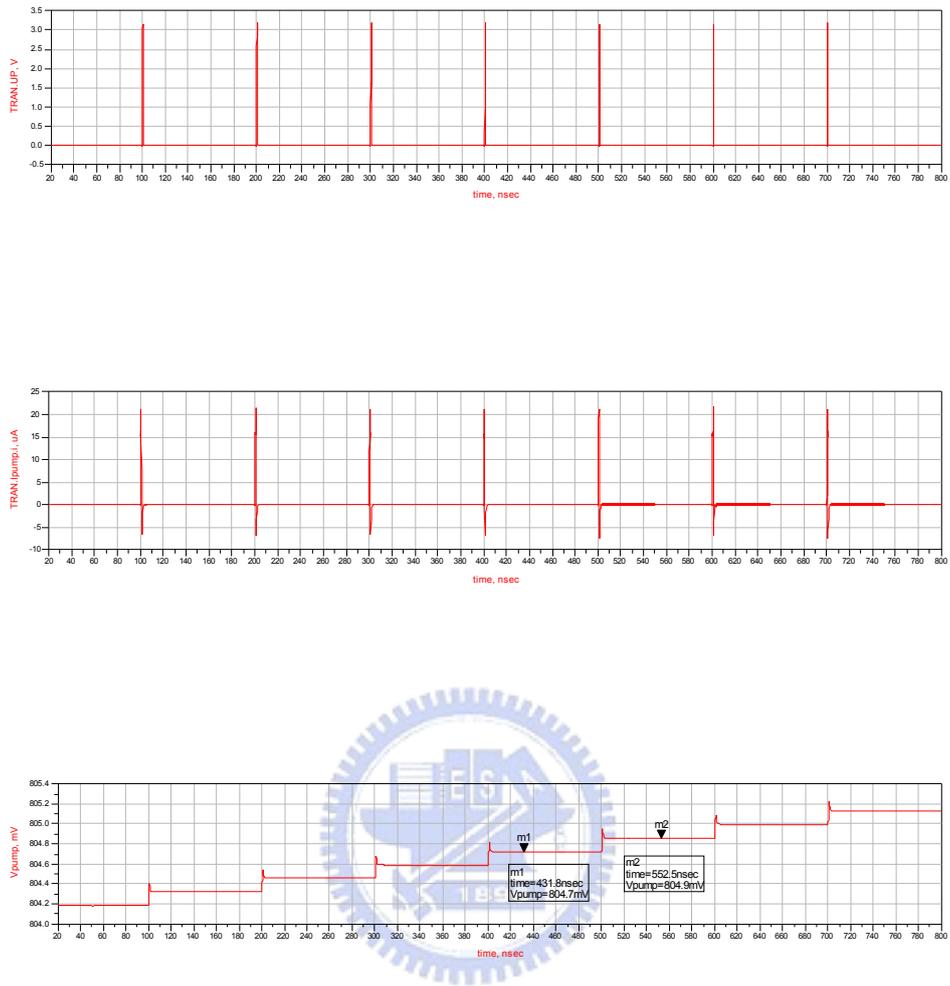


圖 3.22 無相位差時電荷幫浦電路模擬

由圖 3.22 可知，當無相位差時，由不匹配的充/放電流所產生的 V_{pump} ，約為 0.2mV，並且電荷幫浦的不匹配性 < 1.5%。

3.4 迴路濾波器設計

使用 NS 所提供的鎖相迴路之迴路濾波器設計軟體，設定其參數，迴路濾波頻寬(Loop Filter Bandwidth)為 100KHz，相位邊界(Phase Margin)為 56° ，而電壓控制振盪器的靈敏度為 166MHz/V，所以可以得到迴路濾波器各元件的數值，如圖 3.23 所示。圖 3.24 為迴路濾波器響應圖。

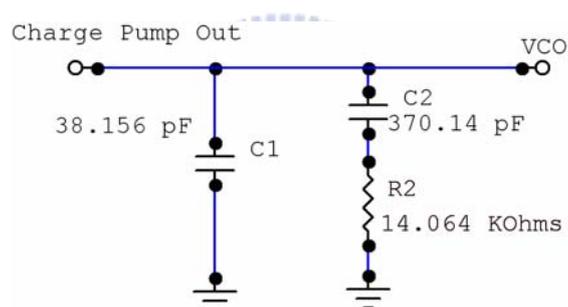


圖 3.23 迴路濾波器

由於迴路濾波器影響整個鎖相迴路相當大，所以設計一個可調式的迴路濾波器，來改進鎖相迴路的效能，如圖 3.24 所示。

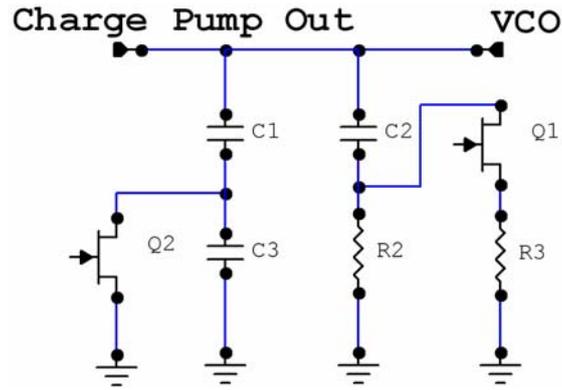


圖 3.24 可調式迴路濾波器

可調式迴路濾波器利用 Q_1 與 Q_2 兩顆電晶體，來當開關切換 R_3 與 C_3 ，使迴路濾波器得以作調整改變。

一般二階被動迴路濾波器之轉換函數為：

$$H(s) = \frac{1 + \frac{s}{1/C_2 R_2}}{s \cdot (C_1 + C_2) \cdot \left(1 + \frac{s}{(C_1 + C_2) / C_1 C_2 R_2}\right)} \quad (3.1)$$

由 3.1 式可知，可調式迴路濾波器改變 C_1 與 R_2 ，來控制迴路濾波器的零點與極點，進而改善鎖相迴路的效能。

3.5 互補式交錯耦合LC-tank 電壓控制振盪器設計

以 LC-tank 電壓控制振盪器而言，其相位雜訊較環型振盪器要來的低，但頻率可調範圍也較小，且容易受到製程的影響，而產生可調範圍的偏移。而為了相位雜訊的考量，所以決定採用 LC-tank 的架構。

圖 3.25 為互補式交錯耦合(Complementary Cross-Coupled Pair) LC-tank 電壓控制振盪器，上半部的兩個 PMOS 電晶體，是為了隔離供應電源對振盪器的干擾，並且使得輸出振盪頻率有較為對稱與完整的訊號，避免了下半部兩個 NMOS 電晶體的汲極接面電容，受到供應電壓干擾，但也增加了寄生電容。同時因 Complementary Cross-Coupled Pair 具有較大的轉導，使得電晶體有較快速的切換，而輸出電壓波形(如圖 3.26 所示)的上升時間(Rise-Time)以及下降時間(Fall-Time)也較為對稱，而較對稱的波形亦有較低的 $\frac{1}{f^3}$ Noise Corner Frequency，因而具有較低的相位雜訊： -101dBc/Hz @ 100KHz (如圖 3.27 所示)。而振盪頻率範圍為 1220MHz~1587MHz、控制電壓範圍為 0.0V~2.5V(如圖 3.28 所示)。

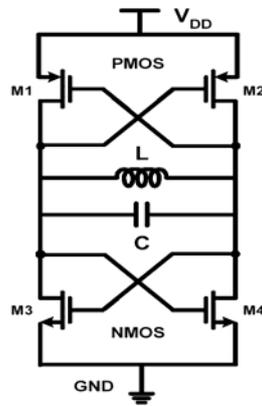


圖 3.25 互補式交錯耦合電壓控制振盪器[14]

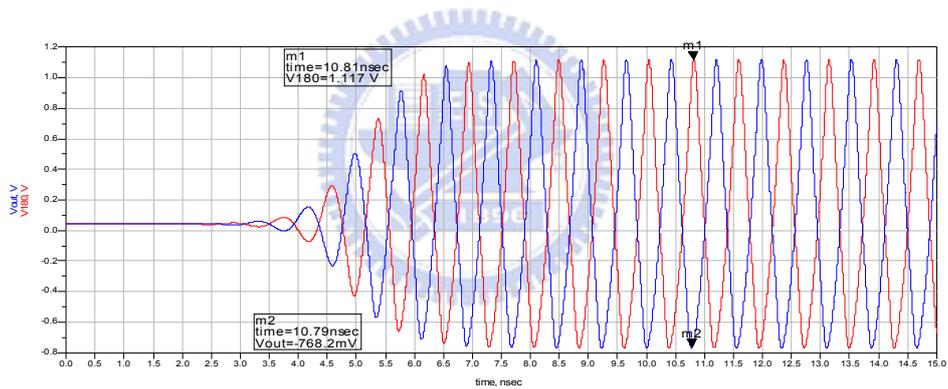


圖 3.26 電壓控制振盪器輸出波形

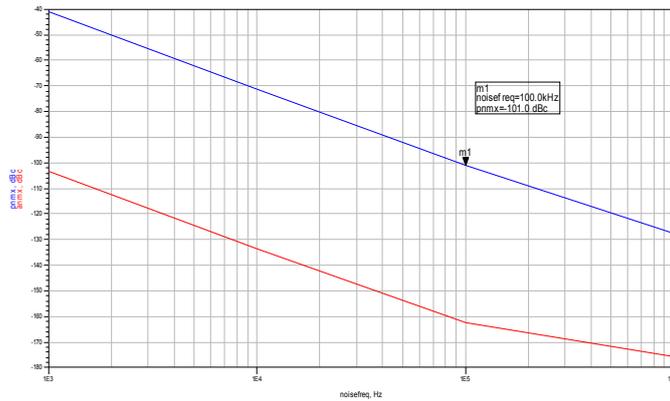


圖 3.27 相位雜訊模擬

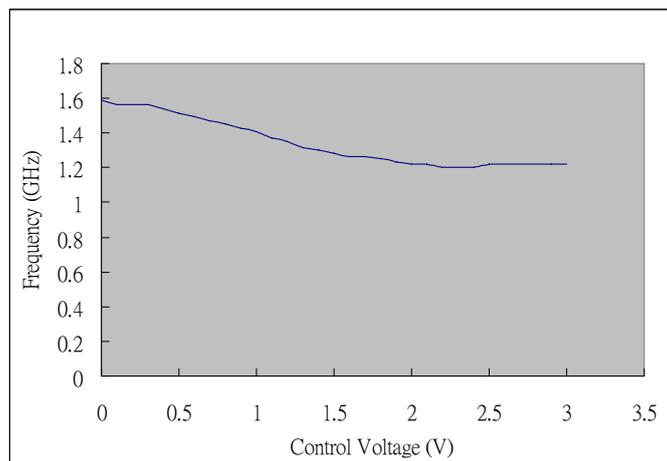


圖 3.28 控制電壓對振盪頻率

由圖 3.26 可發現，電壓控制振盪器的 DC 準位並非 $V_{DD}/2$ ，且其振幅大小並非全擺幅(Full Swing)，所以需在除頻器的輸入端加入一個前置緩衝放大器(如圖 3.29 所示)，使得訊號可以放大並且調整 DC 準位(如圖 3.30 所示)。

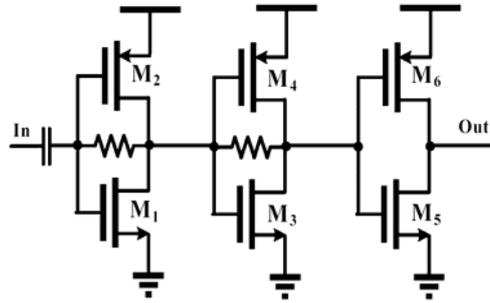


圖 3.29 前置緩衝放大器[14]

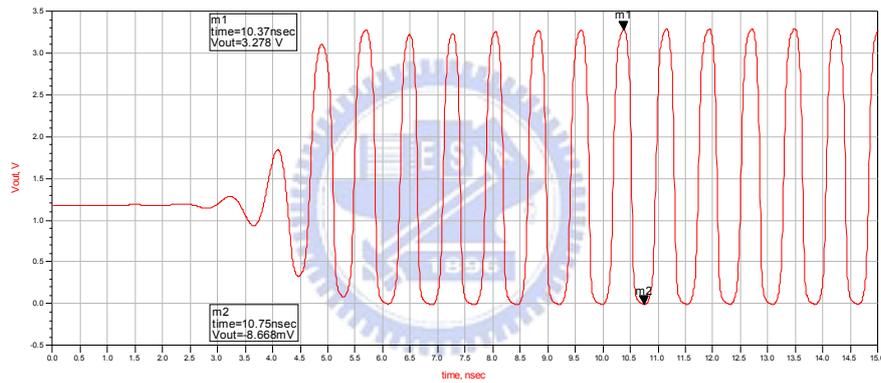


圖 3.30 前置緩衝放大器輸出波形

由圖 3.26 與圖 3.30 比較可知，加了前置緩衝放大器後可得到全擺幅之波形(3.3V)，並且得到 DC 準位為 $V_{DD}/2$ 。

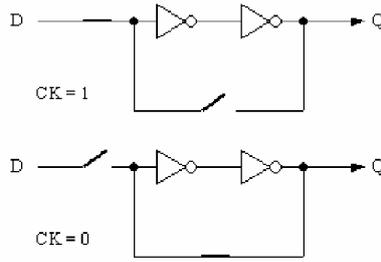


圖 3.32 D 型門鎖電路操作方式[19]

由圖 3.32 可知，當 $CK=1$ 時，可將 D 端之訊號送到 Q 端，而當 $CK=0$ 時，則 D 端開路，D 端之訊號無法送到 Q 端，並且 Q 端原始之訊號，經由回授而鎖住不可改變。

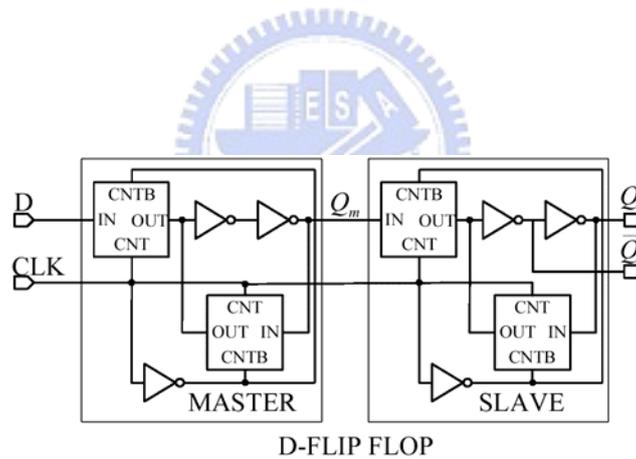
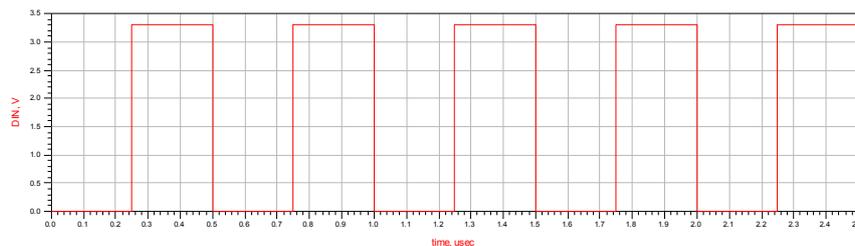


圖 3.33 CMOS 邊緣觸發主僕式 D 型正反器[19]



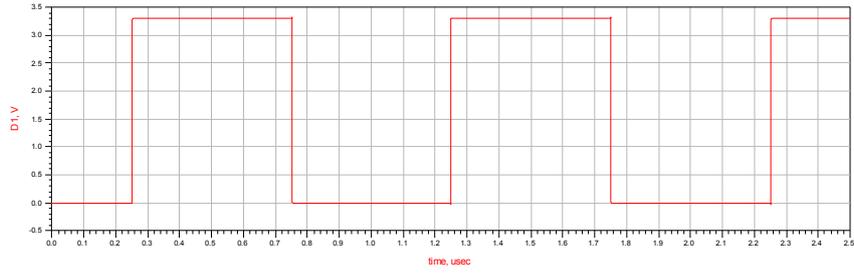


圖 3.34 除 2 之模擬結果

由圖 3.32 可知，主僕式 D 型正反器的輸入端 DIN 之週期為輸出端 D1 之週期的兩倍，故為除 2 之結果。

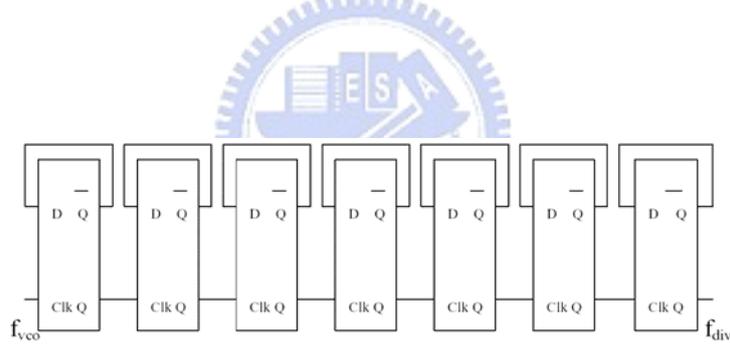
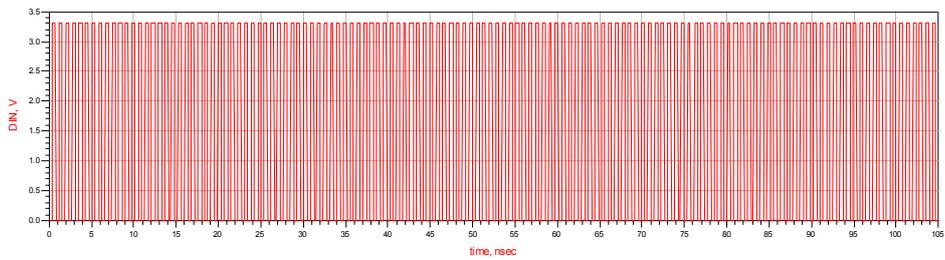


圖 3.35 N=128 之除頻器



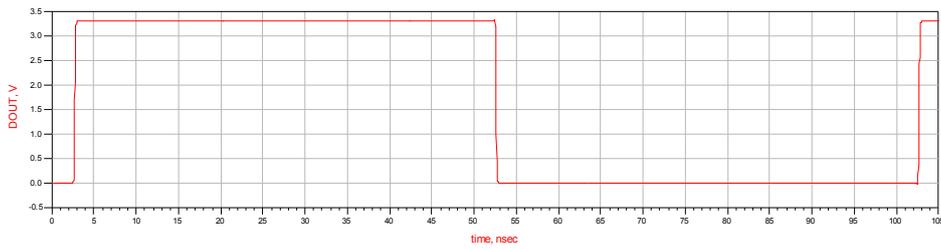


圖 3.36 除 128 之模擬結果

由圖 3.36 可知，七級串接主僕式 D 型正反器的輸入端 DIN 之週期為輸出端 DOUT 之週期的 128 倍，故為除 128 之結果。

3.7 鎖相迴路模擬結果

首先模擬一般型的迴路濾波器所組合成之鎖相迴路，如圖 3.37、圖 3.38、圖 3.39 所示。

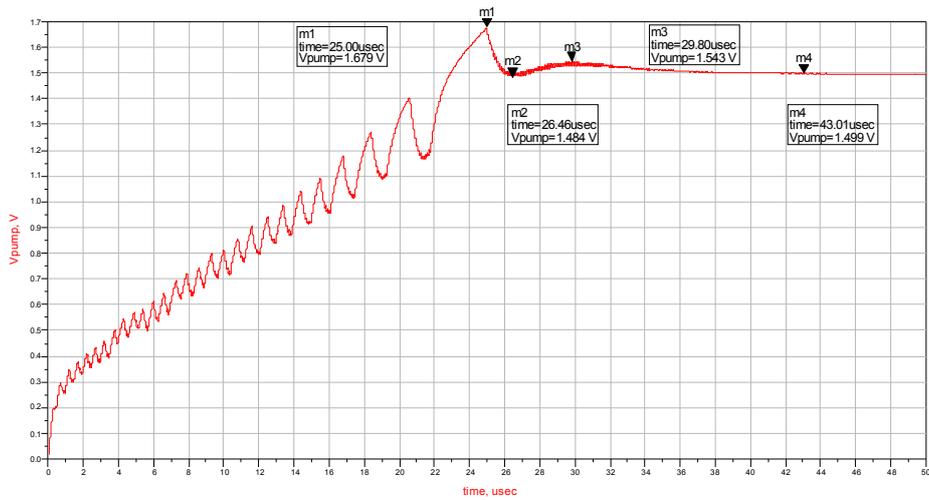


圖 3.37 電荷幫浦之輸出波型

由圖 3.37 可知，電荷幫浦約在 36 μsec 開始收斂，而最後電荷幫浦的輸出電壓，約收斂在 1.499V。

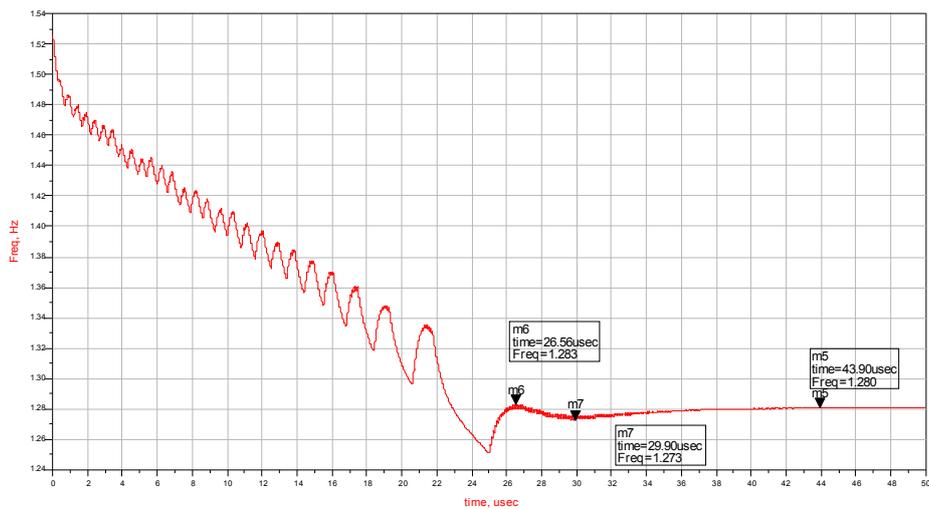


圖 3.38 電壓控制振盪器之輸出頻率(GHz)

由圖 3.38 可知，電壓控制振盪約在 $36\ \mu\text{sec}$ 開始收斂，而最後電壓控制振盪器的輸出頻率，收斂在 1280MHz，此為 DAB 之本地振盪器鎖相迴路的振盪頻率。

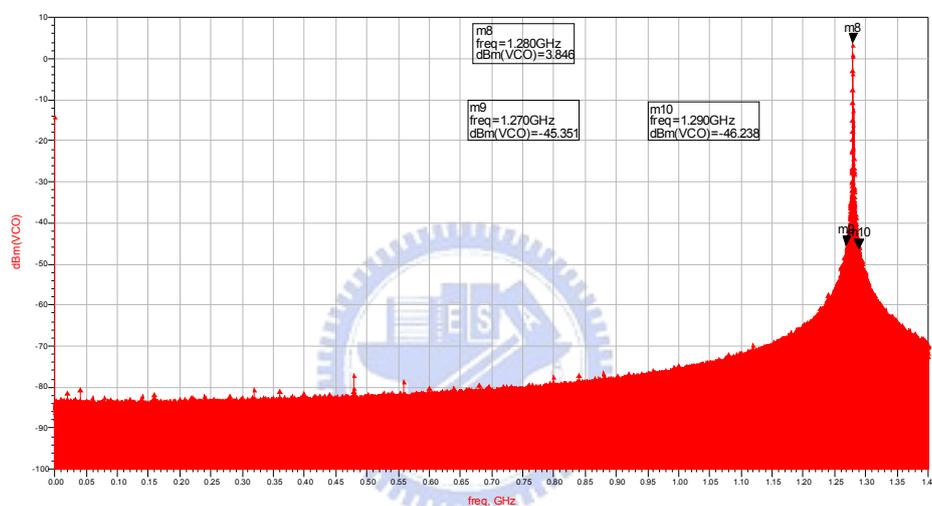


圖 3.39 鎖相迴路之相位雜訊模擬結果

由圖 3.39 可知，在中心頻率 1280MHz 為 3.846dBm、1270MHz 為 -45.351dBm、1290MHz 為 -46.238dBm，其中解析度為 20kHz。

接下來，則是模擬可調式迴路濾波器所組成之鎖相迴路，如圖 3.40、圖 3.41、圖 3.42 所示。

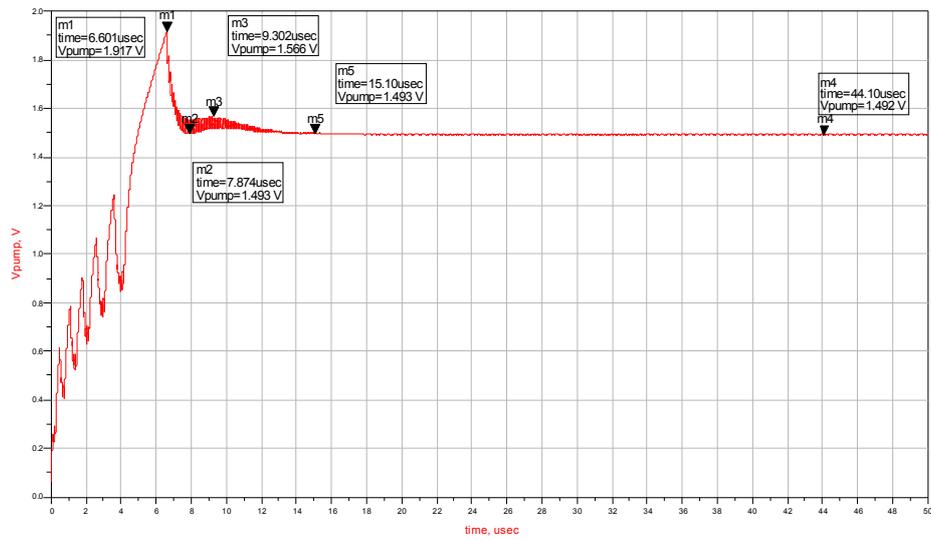


圖 3.40 電荷幫浦之輸出波型

由圖 3.40 可知，電荷幫浦約在 16 μsec 開始收斂，而最後電荷幫浦的輸出電壓，約收斂在 1.492。

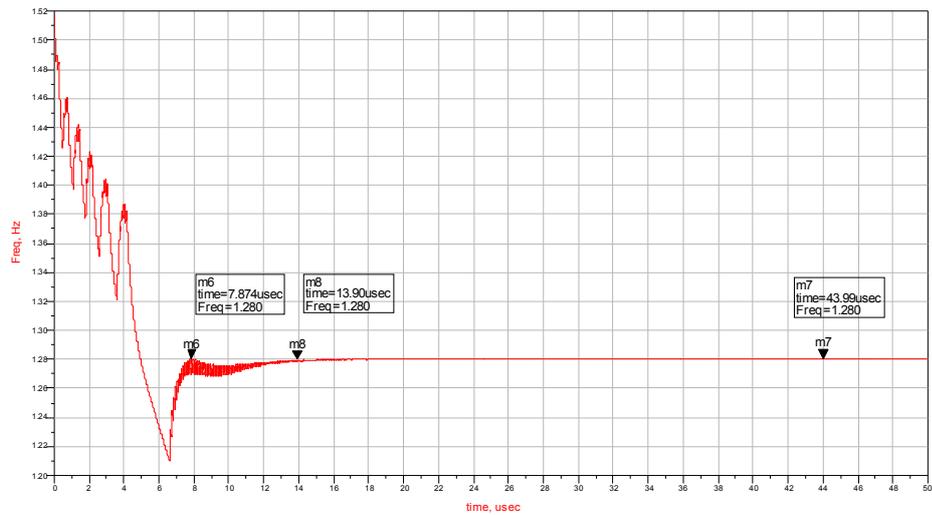


圖 3.41 電壓控制振盪器之輸出頻率(GHz)

由圖 3.41 可知，電壓控制振盪約在 $16 \mu sec$ 開始收斂，而最後電壓控制振盪器的輸出頻率，收斂在 1280MHz，此為 DAB 之本地振盪器鎖相迴路的振盪頻率。

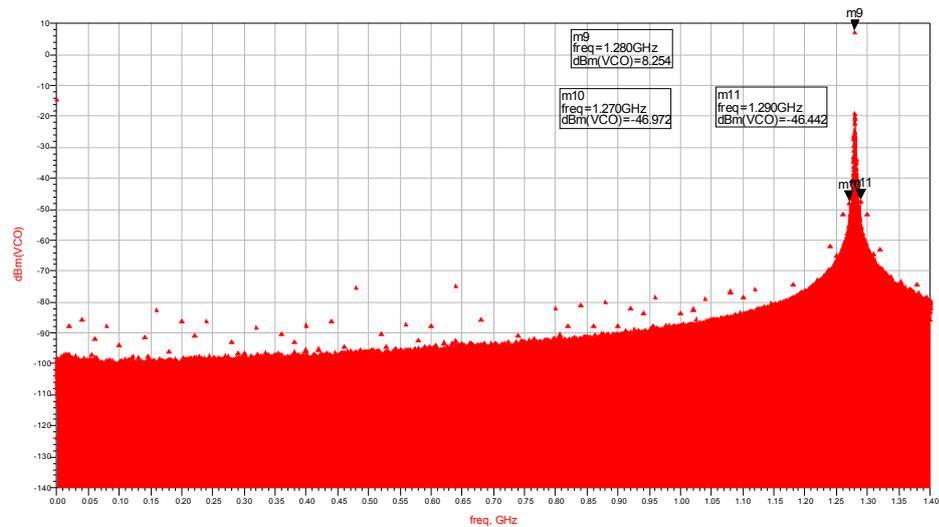


圖 3.42 鎖相迴路之相位雜訊模擬結果

由圖 3.42 可知，在中心頻率 1280MHz 為 8.256dBm、1270MHz 為 -46.972dBm、1290MHz 為 -46.442dBm，其中解析度為 20kHz。

最後比較圖 3.37 與圖 3.40 可知，使用一般型迴路濾波器需 36 μsec 才收斂，而使用可調式迴路濾波器則只需 16 μsec 就收斂。同樣的，比較圖 3.38 與圖 3.41 可知，使用一般型迴路濾波器需 36 μsec 才收斂到 1280MHz，而使用可調式迴路濾波器則只需 16 μsec 就收斂到 1280MHz。而比較圖 3.39 與圖 3.42 可知，在相位雜訊方面，則是可調式迴路濾波器優於一般型迴路濾波器。

第四章

結論

本論文以 TSMC 0.25 μm 1P5M 製程，來設計研究數位音訊廣播接收機本地振盪器之鎖相迴路。鎖相迴路之電路包括相位/頻率偵測器、電荷幫浦、迴路濾波器、電壓控制振盪器以及除頻器各部分。在頻率/相位偵測器部分，本論文設計可調式迴路濾波器與改良式動態邏輯型相位/頻率偵測器，可調式迴路濾波器是利用開關來控制迴路濾波器，讓鎖相迴路在切換頻率時迴路濾波器的頻寬較寬，在頻率鎖定時頻寬較窄。而改良式動態邏輯型相位/頻率偵測器只需 16 顆電晶體即可組成，所以佔較小面積。而功率散逸只有 0.0363mW，並且回授重置路徑比傳統式相位/頻率偵測器改善許多，由 6 個邏輯閘延遲減少為 3 個邏輯閘延遲，再利用反相器的接法，降低相位/頻率偵測器的寄生電容。並且可使用於高速操作。

而電荷幫浦的部分，則利用運算放大器設計負回授電路，使電荷幫浦的充/放電流匹配，讓不匹配之充/放電流小於 1.5% 以內，進而減低突波雜訊的干擾。

電壓控制振盪器的部分，則設計互補式交錯耦合 LC-tank 電壓控

制振盪器，使電壓控制振盪器之輸出波形較為對稱、完整，並且可以得到 $-101\text{dBc/Hz}@100\text{kHz}$ 之相位雜訊。而控制電壓範圍： $0.0\text{V}\sim 2.5\text{V}$ ，電壓控制振盪器輸出頻率範圍： $1587\text{MHz}\sim 1200\text{MHz}$ ， K_{vco} 則是為 166MHz/V 。

整個鎖相迴路組合之後，經電路模擬，本論文所設計之鎖相迴路可正確操作，而鎖相迴路約在 $16\mu\text{sec}$ 即可鎖住。



參考文獻

- [1] Maxim, A., “A 2-5GHz low jitter 0.13um CMOS PLL using a dynamic current matching charge-pump and a noise attenuating loop-filter,” Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004 3-6 Oct. 2004 Page(s):147-150
- [2] K. Taura, et al., “A Digital Audio Broadcasting (DAB) Receiver,” IEEE Transactions on Consumer Electronics, Vol. 42, No. 3, pp. 322-327, August 1996.
- [3] 王仲宗，數位音訊廣播接收機 L 頻帶降頻器及相關單晶射頻微波積體電路之研製，國立成功大學電機工程學研究所碩士論文，民國八十七年。
- [4] Yoshizawa, H.; Taniguchi, K.; Nakashi, K., “An implementation technique of dynamic CMOS circuit applicable to asynchronous/synchronous logic,” Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Volume 2, 31 May-3 June 1998 Page(s):145-148vol. 2
- [5] Arshak, K; Abubaker, O; Jafer, E, “Design and simulation

difference types CMOS phase frequency detector for high speed and low jitter PLL,” Devices, Circuits and Systems, 2004. Proceedings of the Fifth IEEE International Caracas Conference on Volume 1, 3-5 Nov. 2004 Page(s):188-191

[6] Kuo-Hsing Cheng; Tse-Hua Yao; Shu-Yu Jiang; Wei-Bin Yang, “A difference detector PFD for low jitter PLL,” Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on Volume 1, 2-5 Sept 2001 Page(s):43-46 vol. 1.

[7] Johnson, T. ; Fard, A. ; Aberg, D. , “An improved low voltage phase-frequency detector with extended frequency capability,” Circuits and Systems, 2004. MWSCAS 2004, The 2004 47th Midwest Symposium on Volume 1, 25-28 July 2004 Page(s):1-181-4 vol. 1.

[8] Maxim, A, “A 2-5GHz low jitter 0.13/spl mu/m CMOS PLL using a dynamic current matching charge-pump and a noise attenuating loop-filter,” Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004 3-6 Oct. 2004 Page(s):147-150

[9] Chung-Yu Wu; Chih-Yuan Hsieh; Wei-Ming Chen, "A 1-V 2.4GHz CMOS frequency synthesizer with current-match charge pump," Circuits and Systems, 2004. Proceedings. The 2004 IEEE Asia-Pacific Conference on Volume 1, 6-9 Dec. 2004 Page(s):433-436 vol. 1

[10] Kuo-Hsing Cheng ; Tse-Hua Yao ; Shu-Yu Jiang ; Wei-Bin Yang, "A difference detector PFD for low jitter PLL," Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on Volume 1, 2-5 Sept. 2001 Page(s):43-46 vol. 1



[11] Geum-Young Task; Seok-Bong Hyun; Tae Youny Kang; Byoung Gun Choi; Seong Su Park, "A 6.3-9GHz CMOS fast settling PLL for MB-OFDM UWB applications," Solid-state Circuits, IEEE Journal of Volume 40, Issue 8, Aug. 2005 Page(s):1671-1679

[12] Chien-Ping Chou; Zhi-Ming Lin; Jun-Da Chen, "A double-edge-checking phase-frequency-detector with 4.78GHz operating frquencies," Circuits and Systems, 2004. Proceedings. The 2004 IEEE Asia-Pacific Conference on Volume 2, 6-9 Dec.

20004 Page(s):937-940 vol.2

[13] Johnson, T. ; Fard, A. ; Aber, D, “An Improved Low Voltage Phase-Frequency Detector with Extended Frequency Capability,” Circuits and Systems, 2004. MWSCAS '04 .The 2004 47th Midwest Symposium on Volume 1, 25-28 July 2004 Page(s): 1-181-4 vol.1

[14] 王嘉仁，應用於數位電視寬頻調諧器及數位音訊廣播接收機之 CMOS 頻率合成器的設計研究，國立成功大學電機工程學研究所碩士論文，民國九十二年。

[15] 吳重雨，類比積體電路(一)，交通大學，台灣，2003

[16] Te-Hsien Hsu, “A Low Spurious Tones of 5-GHz CMOS Frequency Synthesizer with New Current-Match Charge Pump, ” National Chiao Tung University, 2004.

[17] W.-H. Lee, J.-D. Cho, S.-D. Lee, “A High Speed and Low Power Phase-Frequency Detector and Charge-pump,” Design Automation Conference, 1999 Proceedings of the ASP-DAC '99 .Asia and South Pacific, vol.1, pp.269-272,1999.

[18] Behzad Razavi, “Design of Analog CMOS Integrated Circuits, ” McGraw-Hill, 2001.

[19] Houg-Liang Pan, “Design of CMOS RF Synthesizer for 802.11a,” National Chiao Tung University, 2003.

