

## 第二章 微機電系統化模仁的製作程序

### 2.1 摻雜

材料中所謂的半導體即是一種導電能力介於導體與絕緣體之間的一種材料，例如矽、砷化鎵(GaAs)、III-V族等。半導體之導電能力除了由自身所帶自由電子數量決定外，也會受到外來雜質的影響，這些雜質將使半導體的電性發生變化，例如4價的矽裡面含有少量5價的磷，將使原本的矽導電能力增加。這種特地半導體材料上加入少量特定雜質的動作稱為「摻雜(doping)」，而所加入的雜質為「摻質(dopant)」。本研究所製作之微機電系統化模仁最主要概念就是以摻雜的概念，使模仁的特定區域具有適當的導電性，成為電阻式電熱線，對模仁之區域具有選擇性加熱功能。

主要的摻雜技術中，有傳統式的擴散法(Diffusion)，及較先進的離子植入法(Ion Implantation)。擴散法是以含有摻質的材料，如：固態的砷、液態的 $\text{POCl}_3$ 、及氣態的 $\text{B}_2\text{H}_6$ ，作為摻雜源(impurity)，利用高溫烘烤(約 $800^\circ\text{C}$ 以上)予以氣化(vaporized)，在主材質(host)裡面進行摻質從高濃度區往低濃度區移動的動作，然後傳送到晶片的表面上完成預置(pre-deposition)，來進行矽的摻雜；而所謂的離子植入法則是將摻質離子化(ionized)，藉著加速器的加速提升能量，來把這些經離子化的摻質，如 $\text{P}^+$ 及 $\text{BF}_2^+$ ，直接打入矽晶片裡，來進行摻雜的預置。

兩種方式的目的都是一致的，就是對半導體進行摻質的摻入。但就離子植入法而言，因為以離子植入法來進行摻質的預置時，所預置的摻質濃度，可以經由離子束的電流大小來控制，且摻質在晶片裡的分布，也可以藉著離子經加速所獲得的能量來調整，因此能精確掌握摻質在晶片內的濃度和分布情形(尤其是對深度及橫向濃度的掌握)。隨元件尺寸的縮小，能越來越精準的控制植入於晶片中的摻雜位置與數量這兩個因素，使傳統以擴散法來進行摻質預置的做法，逐漸被離子植入技術所取代。

而被摻雜的晶片分成P型跟N型的矽晶片。所謂的P型與N型

的晶片，是指本質半導體依不同的摻質來區分為 P 型和 N 型來降低本質半導體的阻值。P 型晶片是在本質半導體中摻入另一族的原子- 第三族，像硼、鎵、鋁等，因為三族原子只有三個價電子，當他們取代矽原子時，這三個價電子會與周圍的矽電子形成共價鍵，但是因為摻質只有三個電子，所以第四個共價鍵會少一個電子，產生一個電洞，這個電洞可以由其他電子來佔據，本質半導體加入這些摻質後，電洞數目會增加，這時候半導體主要是靠這些多餘的電洞在導電。N 型晶片是在本質半導體中摻入第五族的原子像磷、砷、或銻等，因為這些原子具有五個價電子，所以當它取代四價原子矽時，其中四個價電子會和周圍的矽原子形成共價鍵，剩下的一個電子就解離成為可以導電的自由電子，整個 N 型半導體的導電主要來自於導電電子。在實驗中(參考黃重凱論文[29])，摻雜磷的製程是利用高溫爐管來進行後以四點探針量測其阻值，P 型晶片阻值較高，其原因是摻雜的磷原子會與 P 型晶片本身的三族原子結合成無效的摻雜質，降低它的導電性質，由於我們實驗利用熱電阻的概念，需要較高的阻值以產生較多的熱量，所以我們選用 P 型矽晶片，同時 P 型矽晶片價格亦較便宜，更為經濟。

以下就對擴散法及離子植入法兩種摻雜磷的原理做進一步的解說。

### 2.1.1 擴散法原理

所謂的擴散，就是指分子或原子，從高濃度區往低濃度區移動的一種自然現象。現象的發生原因，基本上可以從熱力學的角度來加以解釋，在熱力學第二定律中，有一個熵(Entropy)的概念，指系統傾向於往高亂度存在的一個趨勢指標，以(2-1)式子來量化並表示熵，即 S。

$$\Delta S = \frac{\Delta Q}{T} \geq 0 \quad (2-1)$$

其中 T 為環境溫度，Q 為系統獲自環境的熱量。所謂的亂度，就是指不同的物體或粒子相混合後，其不以特定的模式相排列的紊亂程度。

當紊亂程度越高，熵的大小也越大。再把熱力學第一定律加以考慮，則可得到(2-2)式關係式。

$$\Delta G = \Delta E + W - T \cdot \Delta S \quad (2-2)$$

其中 E 為系統內能(internal energy)，W 為系統對外所做的功(work)，而 G 為所謂的自由能(free energy)。當摻雜質摻入物質時，一開始亂度並不高，所以  $\Delta S$  比較低，使得(2-2)式的自由能大於零，在這個自由能的驅使下，摻雜質分子將開始往外擴張以增加亂度，而逐漸的調降  $\Delta G$ 。當(2-1)式的亂度達到最高時，即摻雜質分子在物質內的分佈達到最均勻的狀態時， $\Delta G$  將為最低，這時，驅使分子進行擴散的趨動力已消失，摻雜質的擴散也就到達一個平衡的狀態了。簡單的說，使分子間的擴散效應發生的因素，是來自系統的自由能調降，而這個自由能調降的程度，則取決於分子在系統內的亂度，即熵。

由以上我們知道當系統內粒子分佈尚未到達熱力學的平衡狀態時，高濃度區的粒子將會不斷的向低濃度區擴散。當假設系統內的粒子含量濃度為 C，系統處於穩定狀態(steady state)時，因系統內局部濃度差所導致的粒子擴散流量(flux)，J，可以表示為

$$J = -D \cdot \frac{dc}{dx} \quad (2-3)$$

其中 D 為粒子在主材質內進行擴散的擴散係數(diffusion coefficient)，單位為  $\text{cm}^2/\text{sec}$ ； $dc/dx$  則表示粒子在某一固定距離下的濃度差。式子等號右邊的負號則表示粒子的擴散是從高濃度區往低濃度區進行的。這個方程式稱為 Fick 的第一擴散定律。但這個式子僅適用在系統的擴散已到達穩定狀態時才適用，也就是指系統內所發生的變化或是所進行的反應，並不隨著時間的延伸而改變的一種狀態。但在半導體擴散製程裡，要讓製程達穩定狀態所需的時間相當長，因此涉及的製程其擴散的濃度變化，將會是時間的函數。通常以精簡化的擴散方程式，來表示濃度 c，距離，及時間 t 之間在非穩定非平衡狀態下的關係，如(2-4)式所示。

$$\frac{dc}{dt} = D \cdot \frac{d^2c}{dx^2} \quad (2-4)$$

這個方程式稱為 Fick 的第二定律。

### 2.1.2 離子植入法原理

離子是一種經離子化的分子或原子，帶有一定電荷。當經加速的離子撞擊一個固體靶面(solid target)之後，離子與靶面的原子將經歷多種不同的交互作用。如圖 2-1 所示，這些被植入固體靶內的高能離子，將與固體靶內的晶格原子及電子產生程度不同的撞擊，其中離子與固體靶原子因為質量上接近，可視為是一種彈性的碰撞(elastic collision)，且每一次離子與固體靶原子的撞擊，均將使離子對固體靶原子轉移約 $E_T$ 的能量，如(2-5)式所示。

$$E_T = \frac{4M_1M_2}{(M_1 + M_2)^2} \times E_0 \times f(\theta) \quad (2-5)$$

其中， $E_0$ 為離子在經歷每一次撞擊前所具備的能量， $M_1$ 與 $M_2$ 分別為離子與固體靶原子的質量，而 $f(\theta)$ 則是一個與兩者的撞擊角度相關的函數。很顯然的，當具有一定初始能量的入射離子射入固體靶(target)時，植入固體靶內的離子的能量，會與靶中的原子核或電子發生碰撞，在碰撞過程中將部份能量傳給靶材內的原子核或電子，入射離子的能量則將隨著與固體靶原子的碰撞次數的增加，而逐漸的減弱。至於植入離子與晶格原子之電子間的庫倫交互作用(Coulombic Interaction)則可以視為一種非彈性(inelastic)碰撞，運動方向發生偏折。這些吸收離子轉移能量的電子，視所吸收的能量高低，將被激發或從原子之內解離，而形成二次電子(secondary electrons)，爾後，此入射離子又與另外的靶材原子核或電子發生碰撞。這個過程一直不斷地發生，直到入射離子停下來為止。因此，具有一定初始能量的入射離子射入靶材後，會有一個十分曲折的運動路徑，同時持續地損失能量，最後在靶材內的某一位置停止下來。至於被激發的電子經過一段時間後，將回到基態釋出這些轉移自離子的能量，部分這個能量將以輻射能的形態釋出，而形成光波。

離子佈植後的濃度分佈，可以用高斯分佈函數加以估算。其深入

晶圓內部的平均投影路徑深度為  $R_p$ ，在佈植方向上的分佈特性參數為  $\Delta R_p$ 。在深度為  $R_p$  時，其所對應的佈植雜質原子濃度為雜質分佈曲線上的峰值濃度  $C$ 。

## 2.2 微奈米模仁光罩之設計

光罩即是將我們所要之設計圖形，利用電子束曝光系統將鉻膜上圖形製作在玻璃或石英上，再利用此光罩上金屬鉻膜擋住光線，而沒有金屬鉻膜的地方，光線就會穿透玻璃到達已塗佈有機光阻的晶圓上，經由光罩上透光與不透光的差別，可在光阻塗層上定義出曝光及不曝光的區域，經由適當的顯影步驟，去除感光的光阻，即可用未感光的光阻，定義出光罩圖形。

一般常用傳統光罩(mask)大致可分類為三種：乳膠光罩(emulsion mask)、硬面鉻膜光罩(hard-surface Cr mask)及抗反射鉻膜光罩(antireflective Cr mask)。乳膠光罩又稱簡易光罩，係在玻璃片或石英片上塗佈一層光敏乳膠，經由紅膠紙照射、顯影後，再經硬烤，以固化乳膠形狀，使紅膠紙上之設計圖案轉移至乳膠。硬面鉻膜光罩又稱正式光罩，是玻璃或石英片上濺鍍一層厚約 60~100 奈米鉻(Chromium, Cr)膜，其上旋轉塗佈一層光學微影或電子束微影用阻劑。阻劑圖案可以紅膠紙照射、雷射光直寫、電子束直寫等方式產生。經阻劑顯影、鉻膜蝕刻及阻劑清除後可得。抗反射鉻膜光罩是為了在以光學照射定義圖罩上阻劑圖案時，降低圖罩上鉻膜反射率，提高圖罩上阻劑解像度，而在鉻膜上增加一層氧化層為抗反射層，常用者為厚約 20 奈米之氧化鉻( $\text{Cr}_2\text{O}_3$ )。此種圖罩亦可增加晶圓上阻劑解像度。

乳膠光罩之精度較低，最小線寬僅可做到  $2\mu\text{m}$ 。在曝光時需貼於玻璃片上，與 wafer 之間會因乳膠光罩有扭曲而接觸不完全，在曝光時損失精確之位置；且若是晶圓具有方向性，在貼附乳膠光罩於玻璃片上時就更要注意。但乳膠光罩之價格相較於硬面鉻膜光罩較為便宜，若是線寬等不是重要考量，可以採用乳膠光罩。硬面鉻膜光罩則

較為精準，且其曝光後之結構邊緣不會產生如乳膠光罩般的產生毛邊，側邊垂直度及平滑度會較佳。

第一道光罩如圖 2-2 所示，此光罩之目的在製作電極，於晶片周圍開出導線接線區，接線區為長  $2000\mu\text{m}$ 、寬  $200\mu\text{m}$  之矩形區域，考慮到(110)晶片蝕刻之方向性，因此設計矩形區域之長超過切割線約  $500\mu\text{m}$ ，使切割晶圓時切除此斜角部份，供電線放入。第二道光罩設計結構為線寬  $2\mu\text{m}$  之直線形光柵溝槽，結構與結構間相間隔  $100\mu\text{m}$ ，每  $500\mu\text{m}$  設計一結構密集區供賦形性之觀察，此結構密集區之線寬為  $2\mu\text{m}$ ，相間隔  $4\mu\text{m}$ ，如圖 2-3 所示。第三道光罩之目的在製作可發熱之導電線路，此導電線路為寬  $300\mu\text{m}$ ，總長  $84\text{mm}$  之連續 S 型線路用以環繞結構區對結構區進行選擇性加熱，同時亦在其上製作壓力微感測器及溫度微感測器之線路，如圖 2-4 所示。

## 2.3 微機電系統化模仁之製作

本章節在敘述模仁製作之流程，製作的方式是採用矽晶圓為[110]方向之四吋 p 型矽晶片為載具，製作模仁使用之儀器設備如表 2-1 所示，模仁製作流程用如表 2-2 及圖 2-5 所示，以下各節則對製作之方法、細節及參數做說明。

### 2.3.1 清潔晶圓

在進行各種半導體製程的時候，首先要進行清潔晶圓的步驟清除晶圓表面上的各種污染源，包括有機物、微塵粒子及離子等雜質。由於半導體製程線寬相當微細，如果在製程中遭到微塵粒子、金屬等的污染，很容易造成晶片後續製程的失敗，例如形成短路或斷路等。利用無塵室操作工作台，依照標準 RCA(Radio Corporation of America，美國無線電公司)清潔晶圓方式可在不破壞晶圓表面特性的前提下，有效地使用化學溶液清除殘留在晶圓上之微塵、金屬離子及有機物之雜質。標準 RCA 清潔晶圓方式、步驟及溶液配置如表 2-3 所示，以

下就各步驟之目的做說明。

去離子水的沖洗，主要是將晶圓表面的塵埃沖洗乾淨。各步驟間做去離子水的沖洗目的則在洗淨晶圓表面上殘留之化學藥品。

在進行RCA清洗之前，若是晶圓表面沾附有有機物污染，會造成疏水性(hydrophobic)表面，使接續之水溶液清洗步驟效率大減，硫酸清洗採用硫酸與過氧化氫( $H_2O_2$ )的混合溶液，主要功用是利用硫酸的強氧化性破壞有機物中的碳氫鍵結，造成有機物使脫水而碳化，而雙氧水可將碳化產物氧化成一氧化碳或二氧化碳氣體。除了除去晶片上的有機物，同時去除一些重金屬。

氫氟酸清洗採用氫氟酸與水的混合溶液，主要功用為去除矽晶圓表面的氧化層，因為HF會和 $SiO_2$ 形成 $H_2SiF_6$ ，而將 $SiO_2$ 清除，除去 $SiO_2$ 後的晶圓，其表面將不沾水，可以用來確定 $SiO_2$ 是否已經去除。

氨水清洗的步驟採用的溶液是氨水、過氧化氫與水的混合溶液，此步驟具有兩種去除塵粒污染的機制，一是溶液的雙氧水可將矽晶圓氧化並生成二氧化矽氧化層，由於溶液中含有氨水，為鹼性溶液，可將生成之氧化層水解溶除，而使吸附氧化層上的塵粒脫除。第二是在鹼性水溶液中，微塵與晶圓表面同時帶負電荷，藉由「電雙層(double layer)排斥力」清除微塵。

氯化氫清洗採用氯化氫、過氧化氫與水的混合溶液，藉由氯化氫溶液中氯離子與殘留金屬離子形錯合物而溶解於水溶液中，可溶解鹼金屬離子和鋁、鐵及鎂之氫氧化物。

由於矽原子非常容易在含氧氣及水的環境下氧化形成氧化層，稱為原生氧化層。因此矽晶圓經過氨水溶液清洗和氯化氫溶液清洗後，由於雙氧水的強氧化力，在晶圓表面上會生成一層化學氧化層。最後再利用1%的HF清洗的目的即是在將之前可能因為強氧化劑而氧化的部分去除乾淨。稀釋氫氟酸水溶液被用以去除原生氧化層，去除氧化同時，含在矽晶體圓表面形成矽氫鍵，而再次呈現疏水性表面。

最後再以去離子水清洗五分鐘後，用旋乾機將晶片旋乾，即完成晶片的清洗步驟。

### 2.3.2 氧化層與氮化矽層之製作

成長氧化層使用爐管加熱氧化之乾式氧化的方式產生，而氮化矽層經由 LPCVD 沉積而成。由於製作方法不同，由下分述：

#### 2.3.2.1 氧化層之製作

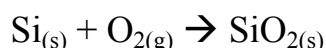
氧化矽絕緣層在半導體製程中有多種用途。依功能可區分為電性隔離、離子植入、熱擴散遮屏或表面保護層及介質緩衝層等；本研究在製作之過程考慮 $\text{Si}_3\text{N}_4$ 直接於晶圓上沉積後之拉伸應力極高，這是由於 $\text{Si}_3\text{N}_4$ 薄膜與矽晶圓間的受熱膨脹係數差距太大，所以當沉積 $\text{Si}_3\text{N}_4$ 後由高溫降至低溫，矽晶圓與 $\text{Si}_3\text{N}_4$ 間衍生之熱應力會過大，而發生彎曲現象，更甚者，可能造成晶圓的破裂。此處二氧化矽製作之目的即是為提升 $\text{Si}_3\text{N}_4$ 對Si表面附著能力的緩衝層(buffer layer)。

在氧化層薄膜成長的方式最主要有熱氧化法(Thermal Oxidation)及沈積法(Deposition)。其中較常用的熱氧化法又可分為乾氧化法(Dry oxidation)及濕氧化法(Wet oxidation)，而沉積法則分為 LPCVD(低壓化學氣相沈積, Low Pressure Chemical Vapor Deposition, 簡稱 LPCVD)與 PECVD(電漿增強式化學氣相沈積, Plasma Enhanced Chemical Vapor Deposition, 簡稱 PECVD)等幾種主要的二氧化矽製造技術。

熱氧化法所需溫度一般約  $900^\circ\text{C}$  以上，LPCVD 在  $400^\circ\text{C}\sim 750^\circ\text{C}$ ，PECVD 則在  $450^\circ\text{C}$  以下，若元件製作時不容許達到高溫，例如已沉積金屬鋁，即使用 PECVD 法進行二氧化矽沉積。當二氧化矽品質是重點，或在元件製作之最初期，高溫環境並不會影響元件製作時，皆採熱氧化法。所謂熱氧化法需要在高溫爐管區中進行，爐內溫度控制在  $800\sim 1100^\circ\text{C}$ 。矽晶圓置於含氧之爐內高溫環境下，氧分子通過一邊界層，而到達矽的表面，並與矽原子反應生成二氧化矽，由於氧化反應是在矽晶圓表面進行，所以矽也是反應物之一，所氧化反應將消耗晶片表面之矽。若是像 MOS 結構已在晶片上建立完成後，晶片表面所剩餘的矽面積不多，便需要採沉積方式進行二氧化矽製作，此時即採用 LPCVD 法製作二氧化矽。



由於此處製作氧化層是在製程之最初期，不需使用昂貴之 LPCVD 進行沉積；而使用 PECVD 生成二氧化矽速度雖快，但製作之二氧化矽結構鬆散，在充當緩衝層及阻擋 KOH 蝕刻晶圓方面之效果不佳(高溫爐管所生成的二氧化矽層 BOE 蝕刻率約 800~1200Å/min，PECVD 製作之二氧化矽以 BOE 蝕刻速率約 3500Å/min)，因此本研究選用熱氧化法中的乾氧的方式製作 SiO<sub>2</sub> 層，化學反應式如下：



其使用設備如圖 2-6 所示，操作過程首先要將爐管區的載具拉出，之後我們將晶圓放入載具，再將載具推入爐管中，進行氧化製程。製程參數為溫度 1050°C，製程時間 4 小時，成長約 2000Å 厚度的氧化層。

### 2.3.2.2 氮化矽層之製作

在矽晶圓上蝕刻出所要結構前，通常會先製作一層氧化層來當犧牲層，然後再塗佈光阻，微影過後利用氧化層的阻擋，依蝕刻速率對材料的差異(或稱選擇性，selectivity)在極少破壞犧牲層的情況下對矽晶圓上蝕刻出所需結構。蝕刻後再將氧化層去除掉，然後在下一道製程的微影前再製作一層氧化層來做犧牲層。如此繁複製作與去除氧化層需要花費不少時間。在半導體製程的前段製程中常使用 Si<sub>3</sub>N<sub>4</sub> 做為保護層(passivation)材質，此作用為作「硬式罩幕」(hard mask)，其硬度強，對鹼金屬離子的防堵能力很好，且不易被水氣(moisture)所滲透。利用 Si<sub>3</sub>N<sub>4</sub> 做為所有製程中的保護層，就僅需要製作一次的犧牲層及保護層，對於製程的改善有莫大效益。

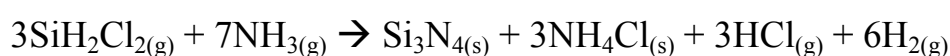
Si<sub>3</sub>N<sub>4</sub> 之製作主要是以化學氣相沉積，即利用熱能、電漿放電或紫外光照射等形式的能源，使氣態物質在固體表面上發生化學反應，並在該表面上沈積，形成穩定固態膜的一種薄膜沈積技術。化學氣相沈積(CVD)依照工作壓力及能源形式 區分為：

1. 常壓化學氣相沉積法(APCVD)
2. 低壓化學氣相沉積法(LPCVD)
3. 電漿增強式化學氣相沉積法(PECVD)

#### 4.光反應式化學氣相沉積法(PHCVD)

其中又尤以PECVD及LPCVD為主要沉積方式，PECVD於Si<sub>3</sub>N<sub>4</sub>沉積之應用其特點在於其沉積溫度低(450°C)，但此法所沉積之Si<sub>3</sub>N<sub>4</sub>組成較不單純，其沉積結果也較不理想。本研究之氮化矽層的製作是在前段製程，考慮產能及後續RIE蝕刻製程之使用機台的情況下，選用LPCVD製作氮化矽層以做為矽晶圓之保護層。

LPCVD通常以二氯矽甲烷(SiH<sub>2</sub>Cl<sub>2</sub>)為主要反應物，與NH<sub>3</sub>在適當的溫度和低壓下混合，經由下式的化學反應完成：



通常該反應所需溫度約在 700°C~800°C 左右，壓力在 0.1~1Torr 之間。其使用設備為 LPCVD 水平式爐管，如圖 2-7 所示，一般而言，每次進行沈積的晶圓數量，可以多達 120 片以上。環繞爐管外圍的是一組用來對爐管進行加熱的裝置，氣體從爐管前端送入爐管內，晶圓則置於石英晶舟(boat)上，放入爐管的適當位置，進行沈積。沈積反應所剩下來的廢氣，則經由真空系統排出。

由於沉積之Si<sub>3</sub>N<sub>4</sub>後會產生應力殘留的現象，因此在沉積Si<sub>3</sub>N<sub>4</sub>前已先在晶圓上製作一層氧化層來做緩衝層，但其沉積厚度仍不宜超過一定範圍，以免發生龜裂。考慮Si<sub>3</sub>N<sub>4</sub>在此之目的為摻雜時之阻擋層，因此Si<sub>3</sub>N<sub>4</sub>與SiO<sub>2</sub>之厚度變成為影響阻擋效果的重要因素。參考黃重凱論文，純以SiO<sub>2</sub>做阻擋層，厚度超過 5000Å 表面阻層已經相當高，以Si<sub>3</sub>N<sub>4</sub>做為保護層材質，其非導電性更好，在本研究即以製程參數為溫度 850°C，製程時間 2 小時，成長約 2500Å 厚度的氮化矽。

#### 2.3.3 微影

微影技術(photolithography)是先將結構圖形製作在光罩(mask)上，利用光學成像原理，光線經過光罩、透鏡而成像在晶片表面上，然後將光罩上的圖形轉印在塗佈有機光阻(photo resist)薄膜的晶圓上，經過穿過光罩光線的照射及顯影處理，光阻層便可呈現出與光罩上相同圖形結構，如圖 2-8 所示。首先在晶片表面必須有如照相底片

般之物質存在，屬於可感光之膠質化合物(即光阻)，經與光線產生化學作用處理後，即可將光罩上之圖形轉移到晶片上，形成阻擋蝕刻或阻擋離子佈置之罩幕層(mask)，以選擇性進行蝕刻或植入等製程。在微影製程要素中，光罩、光阻、光阻塗佈顯影設備及對準曝光光學系統等，皆為必備之條件。此外，微影成像之光阻材料是對光敏感物質，若暴露在一般光線下，將使之產生變化，而無法做好定像之工作，因此微影製程需被限定在特殊環境下，一般皆在黃光下進行，所以通稱為黃光室。微影的基本製程大體上由光阻覆蓋(coating)、曝光(expose)、顯影(develop)等三大步驟所構成的，將在以下分節討論。在為了加強圖案傳遞的精確性與可靠性，整個製程還包括去水烘烤(dehydration)、塗底(priming)、軟烤(soft bake)和硬烤(hard bake)等步驟，使整個製程的複雜性跟著增加。本研究微影製程之步驟及主要參數列於表 2-4 及表 2-5 中。



### 2.3.3.1 光阻塗佈

在光阻塗佈前需先選取所需使用之光阻。光阻主要是由樹脂(resin)，感光劑(sensitizer)及溶劑(solvent)等三種不同的成分所混合而成，其中樹脂的功能是做為黏合劑(binder)，感光劑則是一種光活性(photoactivity)極強的化合物，其與樹脂在光阻內的含量通常相當，兩者一起溶在溶劑裡，使混合好的光阻能以液態的形式存在，以便利使用。光阻分為正光阻與負光阻，正光阻(positive photoresist)在接收光能量後，其鏈結被打斷，在顯影時被溶掉，未曝光部分則存留，形成耐酸性腐蝕之保護膜。負光阻(negative photoresist)則相反，受紫外光照射後會產生鏈結(cross linking)，使遇光的光阻結構加強而不溶於顯影劑，未曝光部分則被溶掉。正負光阻之顯影示意圖如圖 2-9 所示。正光阻具有較佳之解析度(resolution)及較明顯的對比(contrast)因而可得到較細的線寬(line width)因此選用正光阻製程。

光阻塗佈前先進行晶片清洗及前處理：對於正光阻，為了使光阻覆蓋平整且均勻，並考量光阻與晶片間之附著性，通常必須於光阻旋

轉塗佈前，對晶片做預處理。即上光阻前先清潔晶片，若晶片剛從爐管、蒸鍍或 CVD 等取出，可立即上光阻；若是放置了一段時間，則預處理的第一步驟是脫水烘烤，通常是於真空或乾氮的環境下以 150~200°C 烤 10 分鐘，此步驟的目的是要去除晶片表面上大部份的水氣，再上光阻。若是未清潔，晶片上有塵粒，則光阻會形成缺陷(如 pin hole)，若未乾燥則附著性差。為增加附著性，於晶片烘烤之後通常會立刻上一層六甲基雙氧矽甲烷(hexamethyldisilazane, HMDS)，以提升光阻與晶片間的附著。HMDS 薄膜通常是利用蒸氣沉積的方式來達成，亦即將晶片懸浮於含高蒸氣壓之 HMDS 液體容器的上方，使得蒸氣可覆蓋在晶片的表面上。單層的 HMDS 會快速地與晶片之表面鍵結，而分子的另外一邊則會快速地與光阻鍵結。脫水烘烤與上 HMDS 可置入 YES(Yield Engineering Systems, 如圖 2-10)烤箱之中一次完成。烤箱會以溫度 150°C，並抽真空到 20torr 左右，將水蒸氣去除，同時，在 YES 烤箱之中通入 HMDS 蒸氣。

接著是覆蓋一層光阻。最常見之方法是利用光阻塗佈機(如圖 2-11 所示)旋轉覆蓋。將晶片放置在塗佈機中，當晶片置於其表面時，其真空夾頭會吸住晶片，使得晶片與夾頭之間作緊密的接觸。之後，在晶片表面施加光阻，光阻之厚度與施加之光阻量之間並不具強烈的相關性，於旋轉後通常僅有少於 1% 的施加光阻會留在晶片上，而其厚度主要由黏度及旋轉速度所決定，較高的黏度及較慢的轉速所得之光阻會較厚。當光阻施加在晶片之後，其內的溶劑就開始蒸發，因此加速步驟對於得到良好之光阻均勻度有決定性的影響。晶片先於低速旋轉晶片以將光阻佈滿整個晶片上，而後於高速旋轉時，使散佈於整個晶片上的光阻厚度均勻。典型薄膜光阻製程以 1000rpm 旋轉 10 秒，再以 4500rpm 的轉速旋轉 25 秒，可以得到約 1.0 微米厚的光阻。而選用厚膜光阻以 500rpm 旋轉 15 秒，再以 800rpm 的轉速旋轉 25 秒，得到光阻厚度約 20  $\mu\text{m}$ 。

本實驗當中，所選用的光阻劑薄膜光阻採用 FH-6400L，厚膜光阻則採用 AZ-P4620。

### 2.3.3.2 曝光

經過光阻塗佈之後，會經過一道軟烤的步驟，此步驟之功能為驅除光阻中大部分的溶劑，使原本液態的光阻便在晶片上適當的固化，並建立曝光特性。光阻於顯影液中的溶解速率與最後光阻中所剩的溶劑濃度具強烈的相關性。一般而言，若軟烤之時間較短或溫度較低，則於顯影液中的溶解速率將增加，使得敏感度較高，但對比度卻開始降低。軟烤溫度過高則會開始驅動感光化合物(photo active compound, PAC)的光化學，使得未曝光區域之光阻溶解於顯影液中。典型的軟烤是將晶片置於加熱板上一分鐘，溫度為 90°C。軟烤之後，殘留於光阻內之溶劑濃度通常約為原來濃度的 5%。此一參數仍能保持一可接受之光學敏感度，同時使對比得到最佳化。

使原本液態光阻在晶片上適當的固化後，再利用光源透過光罩，照射到光阻上進行圖案的轉移。在一次半導體製程晶片之製作上，通常會經由數道不同圖案光罩重重加工製造而成，為了讓各層圖像能準確疊放無誤，在曝光機執行晶片光阻的曝光步驟前，都需進行「對準(alignment)」的工作，好讓將轉移的圖像與製作在晶片上的前幾層圖像做對準定位。

曝光機使用之光源包括可見光、紫外光(UV)、深紫外光(DUV)或 g-line、i-line 等，因光波波長不同，所提供之終極解析度(ultimate resolution)也不同，選取的 Karl Suss 光罩對準曝光機(如圖 2-12 所示)是採 UV 光，其曝光參數依機台光源強度及光阻厚度不同都會有所差異，曝光時間太長會對光阻產生光電子效應，曝光時間不足則顯影時光阻去除不夠乾淨。一般採經驗法則，使用薄膜光阻時曝光參數約 40~60 秒，而厚膜光阻則依轉速不同厚度變化更大，曝光時間從 90 秒至 300 秒不等。

### 2.3.3.3 顯影

經過曝光後的光阻可以準備進行顯影的步驟，以便將光阻層所轉

移的潛在圖案顯現出來。正光阻顯影製程的原理乃是利用如氫氧化鉀水溶液之類的鹼性顯影液與經曝光後的有機酸性光阻層進行酸鹼中和的反應而形成胺類及金屬鹽，使其與未經光阻層結構進行對比而達到顯像的效果。此過程會消耗氫氧化鉀。如果要保持一穩定的顯影過程，則必須注意不斷的補充顯影液。於簡單的浸泡顯影中，通常是於顯影了某一定數目的晶片後，換掉顯影槽中的顯影液。於顯影過程期間，顯影液會貫穿暴露於顯影液中的光阻表面而產生膠體，懸浮於顯影液內。

這裡所選用的顯影劑配合FH-6400L及AZ-P4620的正光阻，皆為FHD-5。FHD-5的主要成分為四甲基胺水(Tetramethy Ammonium Hydroxide,  $(\text{CH}_3)_4\text{NOH}$ )。顯影所需時間不一，一般約超過30秒，在由目測判定是否顯影完畢，或再進一步經過定影後先由OM觀察。顯影完畢後接著進行定影，定影液為去離子水，最後再經一道三分鐘 $120^\circ\text{C}$ 之硬烤的步驟，將光阻內所殘留的溶劑含量，藉由蒸發而降到最低，使光阻內未溶解之感光化合物和樹脂間之結合更為緊密，以增加光阻對熱之穩定性及底層物質之附著力。完成硬烤後即完成了整個微影的步驟。

#### 2.3.4 蝕刻

蝕刻製程的功能，是要將進行微影製程前所沈積的薄膜，把沒有被光阻覆蓋及保護的部分，以化學反應或是物理作用的方式加以去除，以完成轉移光罩圖案到薄膜上面的目的。

蝕刻製程可分為溼式蝕刻(wet etching)和乾式蝕刻(dry etching)兩類。溼式蝕刻又稱化學蝕刻，主要是以化學溶液化學來對欲蝕刻材質進行反應以達到蝕刻的效果，藉由化學溶液的選取與調配，可得到適當的蝕刻速率，以及對光阻、對欲蝕刻材質與對下層材質的良好蝕刻選擇比；乾式蝕刻則以鈍態或反應性氣體來進行蝕刻，其間夾雜化學反應或物理方式的離子撞擊效果，來進行薄膜移除的蝕刻技術。

蝕刻製程的評估必得考量右列三個項目：(1)蝕刻速率(2)被蝕刻

材料的選擇性(selectivity)(3)蝕刻之方向性。蝕刻速率要求快對於控制停止方面會有問題，且其蝕刻後之輪廓會較不細緻。選擇性涉及對不同材料有不同蝕刻速率的問題，若能選擇一種反應物可侵蝕某一材料而不侵蝕另一材料則其選擇性最是理想(即  $\text{selectivity}=1$ )，選擇適當的化學溶液來進行反應可達到如此效果；反之，如果兩種材料的蝕刻速率相等則  $\text{selectivity}=0$ ，物理方式的離子撞擊即屬此類。蝕刻的方向性係指：如果任一方向均有同樣的蝕刻速率，即  $\text{anisotropy} = 0$ ，稱為等向性蝕刻(isotropic)，通常溼式蝕刻有此特性，這種完全利用化學反應的方法來進行蝕刻的技術有其先天上的缺點，也就是其蝕刻結構的形狀是各方向均勻的，這樣會造成嚴重的側向腐蝕現象，顯著地限制了元件尺寸向微細化的發展，如圖 2-13a)所示即是覆蓋層下之底切(undercut)現象。但某些蝕刻溶液卻有十足的非等向性，例如 KOH 水溶液對單晶矽；若僅沿單一方向會侵蝕則  $\text{anisotropy} = 1$ ，物理方式的離子撞擊即具有這樣的特色，可以獲得良好的尺寸控制，如圖 2-13b)所示。



#### 2.3.4.1 乾式蝕刻

乾式蝕刻若以蝕刻機制來分類，可以分成三大類，物理式蝕刻、化學式蝕刻、物理與化學混合蝕刻。物理乾式蝕刻是使離子有足夠的能量將晶片表面的原子撞離晶片，以達到蝕刻的目的。化學乾式蝕刻則是將具反應性的粒子擴散到晶片表面，並藉著與表面物質間的化學反應，把曝露在電漿下的表面物質反應成具揮發性的生成物，由於電漿蝕刻是由化學反應主導，因此和濕式蝕刻一樣會有較高的選擇比，並且會有較高的蝕刻速率，但化學反應較不具有方向性，因此蝕刻是以等向性方式進行，並會有底切的現象產生。物理、化學混合蝕刻能同時具備有高選擇性、非等向性蝕刻、及較高的蝕刻速率等優點，一種稱為反應性離子蝕刻(Reactive Ion Etch)的蝕刻法即是介於濺擊蝕刻與電漿蝕刻之間的乾蝕刻技術，藉由結合物理與化學兩種蝕刻技術，得以兼具兩種技術的優點。

反應性離子蝕刻可藉由氣體種類、流量、電漿源及偏壓功率來控制蝕刻速率與選擇比等。本研究使用交通大學奈米中心之複晶矽活性離子蝕刻系統(如圖 2-15 所示)，用以蝕刻 $\text{SiO}_2$ 及 $\text{Si}_3\text{N}_4$ ：

蝕刻功率：RIE 偏壓功率：100W

壓力：20mTorr

蝕刻氣體： $\text{SF}_6=30\text{sccm}$

$\text{CHF}_3=10\text{sccm}$

對 $\text{SiO}_2$ 蝕刻率 $\approx 1500 \text{ \AA} / \text{min}$

對 $\text{Si}_3\text{N}_4$ 蝕刻率 $\approx 1000 \text{ \AA} / \text{min}$

#### 2.3.4.2 濕式蝕刻

由於乾式蝕刻對於單晶矽的蝕刻速率太慢，因此在本研究上使用濕式蝕刻以 KOH 水溶液來達到對單晶矽之非等向性蝕刻。單晶矽非等向性蝕刻之特性與其晶格結構及晶格面有關，如圖 2-16 所示即是(110)晶片蝕刻後之截面圖，A-A 線蝕刻凹槽將垂直於晶圓表面，因此將蝕刻長窗對準正確晶格方向是極重要的，否則無法形成正確之微結構。不同晶格面所得之蝕刻速率並不相同，而其蝕刻速率與濃度及溫度又有相當之關係。許多鹼性溶液蝕刻單晶矽可發現單晶矽之[111]面通常是蝕刻速率最緩慢的面，例如以 50wt%之 KOH 水溶液在 85°C 的蝕刻條件下可造成[100]面與[111]面之蝕刻速度比為 200:1[35]。

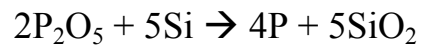
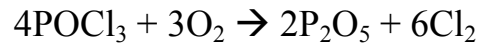
蝕刻單晶矽之速率依圖 2-17 所示，溫度設定為 75°C。KOH 水溶液對 $\text{Si}_3\text{N}_4$ 無反應，但會對 $\text{SiO}_2$ 進行蝕刻，由圖 2-18 顯示對 $\text{SiO}_2$ 進行蝕刻之速率，底切對影響線寬不大。

#### 2.3.5 摻雜

利用高溫氧化擴散系統在清洗過後的矽晶圓表面摻雜磷原子，將 5 價的磷摻入 4 價的矽中，使原本的矽的導電能力增加，使用 $\text{POCl}_3$ 當作磷的來源，藉 $\text{POCl}_3$ 與 $\text{O}_2$ 在高溫下反應來形成 $\text{P}_2\text{O}_5$ ，並把 $\text{P}_2\text{O}_5$ 預置在矽的表面上，這些 $\text{P}_2\text{O}_5$ 會進一步與矽反應產生磷原子，然後再藉由



熱趨入把磷摻入矽晶片裡，完成摻雜的工作。其摻雜過程的反應式為：



摻雜製程參數為溫度 950°C、時間 30 分鐘，摻雜製程結束後熱趨入的參數條件為溫度 950°C、時間 30 分鐘，完成之後待降溫至 400°C，以 1%之 HF 去除在晶圓表面形成的磷矽玻璃(PSG)，最後以四點探針量測其阻值。



表 2-1 實驗設備

No.	設備名稱	所屬單位
1	無塵室操作工作台 (Wet bench)	交通大學 奈米中心
2	真空烤箱 (Vacuum Bake) Yield Engineering Systems , YES-5	
3	光阻塗佈機 (Spinner Coater)	
4	加熱板 (Hot plate)	
5	光罩對準曝光機 (Mask Aligner) Karl Suss , MJB-3	
6	光學顯微鏡 (Optical Microscope) Olympus , BH2-MJLT	
7	高溫氧化擴散系統 ( Oxidation and Diffusion Furnaces)	
8	LPCVD (Low Pressure Chemical Vapor Deposition)	
9	複晶矽活性離子蝕刻系統(Polysilicon Reactive Ion Etching RIE-10N) SamCo , RIE-10N	
10	四點探針 ( 4-point probe) NAPSON , RT-7	
11	橢圓測厚儀 ( Ellipsometer) RUDOLPH RESEARCH , Auto EL <sup>R</sup> -11	
12	場射掃描式電子顯微鏡 (FESEM) HITACHI , S-4000	行政院 國科會 國家奈米實驗室

表 2-2 微機電系統化模仁製程之步驟

步驟	設備	時間	內容
1.RCA clean	濕式工作台	2 小時/批	晶圓清潔
2.乾氧化法成長氧化層	高溫爐管	4 小時/批	成長 2000Å之SiO <sub>2</sub> 做為矽晶圓與Si <sub>3</sub> N <sub>4</sub> 間的緩衝層
3.LPCVD 成長氮化矽層	LPCVD 爐管	3 小時/批	成長 2500Å之Si <sub>3</sub> N <sub>4</sub> 做為結構之保護層
4.第一道光罩微影	真空烤箱、光阻塗佈機、加熱板、光罩對準曝光機	2 小時/3 片	將光罩圖形轉移至光阻上，第一道光罩需注意將蝕刻長窗對準正確晶格方向
5.乾式蝕刻	Poly-RIE	2 小時/3 片	對Si <sub>3</sub> N <sub>4</sub> 及SiO <sub>2</sub> 未被光阻覆蓋處蝕刻將圖案轉移
6.去光阻	濕式工作台	15 分鐘/3 片	90°C 硫酸雙氧水溶液
7.濕式蝕刻	濕式工作台	6 小時/3 片	在 Si wafer 上蝕刻 200µm 深之導線接線區
8.第二道光罩微影	光罩對準曝光機等	2 小時/3 片	定義結構圖案
9.乾式蝕刻	Poly-RIE	60 秒 90°C	對Si <sub>3</sub> N <sub>4</sub> 及SiO <sub>2</sub> 蝕刻所需結構
10.去光阻	濕式工作台	15 分鐘/3 片	以 90°C 硫酸雙氧水溶液
11.濕式蝕刻	濕式工作台	2 小時/3 片	在 Si wafer 上蝕刻結構
12.第三道光罩微影	光罩對準曝光機等	2 小時/3 片	定義電路圖案
13.乾式蝕刻	HDP-RIE	60 秒 90°C	對Si <sub>3</sub> N <sub>4</sub> 及SiO <sub>2</sub> 蝕刻所需結構
14.去光阻	濕式工作台	15 分鐘/3 片	以 90°C 硫酸雙氧水溶液
15.摻雜	高溫爐管	4 小時/批	製程溫度 950°C 30 分鐘，熱驅入溫度 950°C 30 分鐘

表 2-3 晶圓清洗之步驟[RCA clean]

步驟	使用藥品	清洗溫度與時間	目的
1. 去離子水	D.I. H <sub>2</sub> O	室溫、5 min	去除塵埃
2. 硫酸	H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> (3:1)	85°C、10~15 min	去除有機物、重金屬
3. 去離子水	D.I. H <sub>2</sub> O	室溫、5 min	去除殘留之化學藥品
4. 氫氟酸	HF+ H <sub>2</sub> O (1:100)	室溫、10~15 sec	去除自然氧化層
5. 去離子水	D.I. H <sub>2</sub> O	室溫、5 min	去除殘留之化學藥品
6. 氨水 (SC-1 清洗溶液)	NH <sub>4</sub> OH+H <sub>2</sub> O <sub>2</sub> +H <sub>2</sub> O (1:1:5)	70~80°C、 10~15 min	去除微塵粒子
7. 去離子水	D.I. H <sub>2</sub> O	室溫、5 min	去除殘留之化學藥品
8. 氯化氫 (SC-2 清洗溶液)	HCl+H <sub>2</sub> O <sub>2</sub> +H <sub>2</sub> O (1:1:6)	70~80°C、 10~15 min	去除金屬離子
9. 去離子水	D.I. H <sub>2</sub> O	室溫、5 min	去除殘留之化學藥品
10. 氫氟酸	HF+ H <sub>2</sub> O (1:100)	室溫、10~15 sec	去除原生氧化層
11. 去離子水	D.I. H <sub>2</sub> O	室溫、5 min	去除殘留之化學藥品
12. 旋乾	旋乾機	室溫、1 min	旋乾晶片

表 2-4 微影製程之步驟-薄膜光阻 FH-6400L

步驟	設備或溶液	時間、溫度	目的
1. 預烤 (Pre-Bake)	真空烤箱	30 分鐘	去除晶片表面水氣，同時塗佈 HMDS 增加光阻與晶片的黏著性
2. 塗底 (Priming)		150°C	
3. 光阻塗佈 (Coating photo resist)	光阻塗佈機	1000rpm 10sec 4500rpm 25sec	控制塗佈機轉速及時間來塗佈光阻 此參數旋轉塗佈之光阻厚度約 10000Å
4. 軟烤 (Soft Bake)	加熱板	60 秒 90°C	去除多餘的光阻溶劑
5. 曝光 (Exposure)	光罩對準曝光機	60 秒	將光罩圖形轉移至光阻上
6. 曝後烤 (Post Exposure Bake)	加熱板	60 秒 90°C	去除曝光時入射光與反射光之干涉所產生的駐波
7. 顯影 (Develop)	FHD-5 溶液	視顯影狀況而定：30~40 秒	定義出曝光後圖案
8. 定影 (Rinse)	DI Water	60sec	去除殘留之顯影液
9. 硬烤 (Hard Bake)	加熱板	3 分鐘 120°C	將光阻內溶劑降至最低

表 2-5 微影製程之步驟-厚膜光阻 AZ-P4620

步驟	設備或溶液	時間、溫度	目的
1.預烤	真空烤箱	30 分鐘 150°C	去除晶片表面水氣，同時塗佈 HMDS 增加光阻與晶片的黏著性
2.塗底			
3.光阻塗佈	光阻塗佈機	500rpm 15sec 800rpm 25sec	控制塗佈機轉速及時間來塗佈光阻 此參數旋轉塗佈之光阻厚度約 20 $\mu$ m
4.軟烤	加熱板	10 分鐘 90°C	去除多餘的光阻溶劑
5.去除邊緣(Remove Edge Bead)	丙酮	1000rpm	去除最邊緣之厚膜光阻
6.水合(Rehydration)	抽氣櫃	20 分鐘 室溫	吸收空氣中水分扮演催化劑
7.曝光	光罩對準曝光機	95 秒	將光罩圖形轉移至光阻上
8. 曝後烤	加熱板	60 秒 90°C	去除曝光時入射光與反射光之干涉所產生的駐波
9. 顯影	FHD-5 溶液	視顯影狀況而定： 120~180 秒	定義出曝光後圖案
10. 定影	DI Water	60sec	去除殘留之顯影液
11. 硬烤	加熱板	3 分鐘 120°C	將光阻內溶劑降至最低

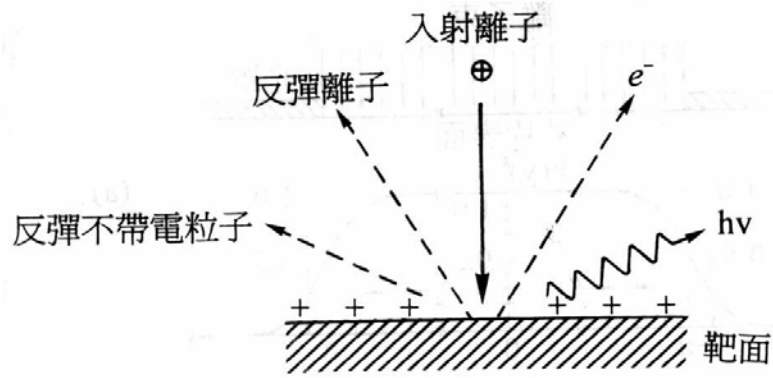


圖 2-1 離子與固體靶面原子相撞擊後靶面產生的主要粒子

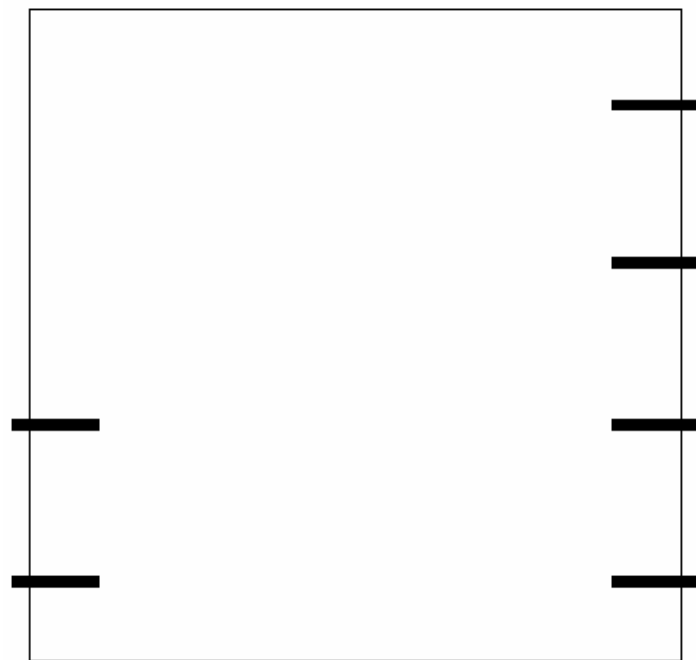


圖 2-2 光罩一-電極區

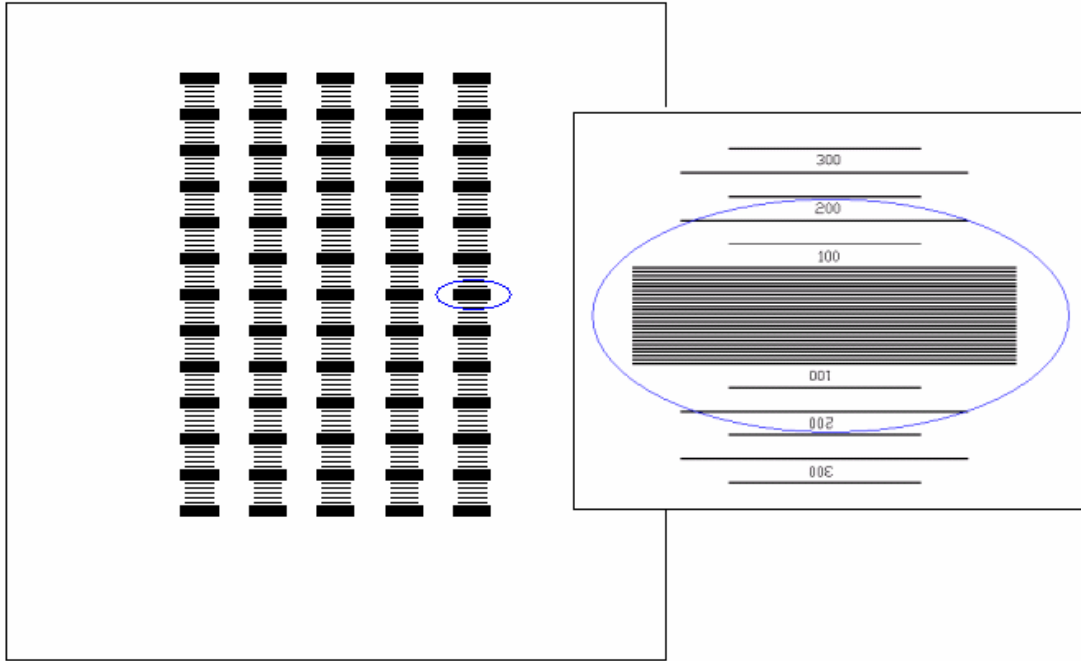


圖 2-4 光罩二-結構區

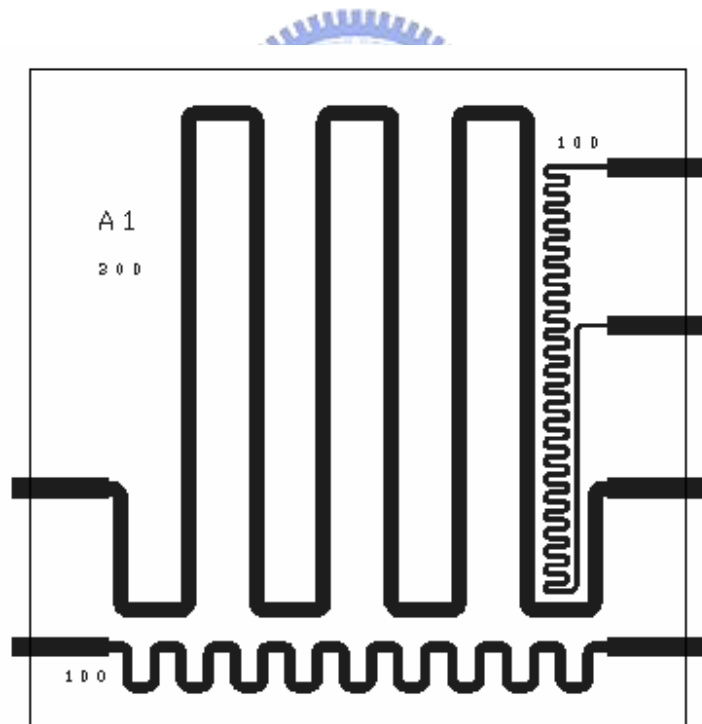


圖 2-5 光罩三-電路區



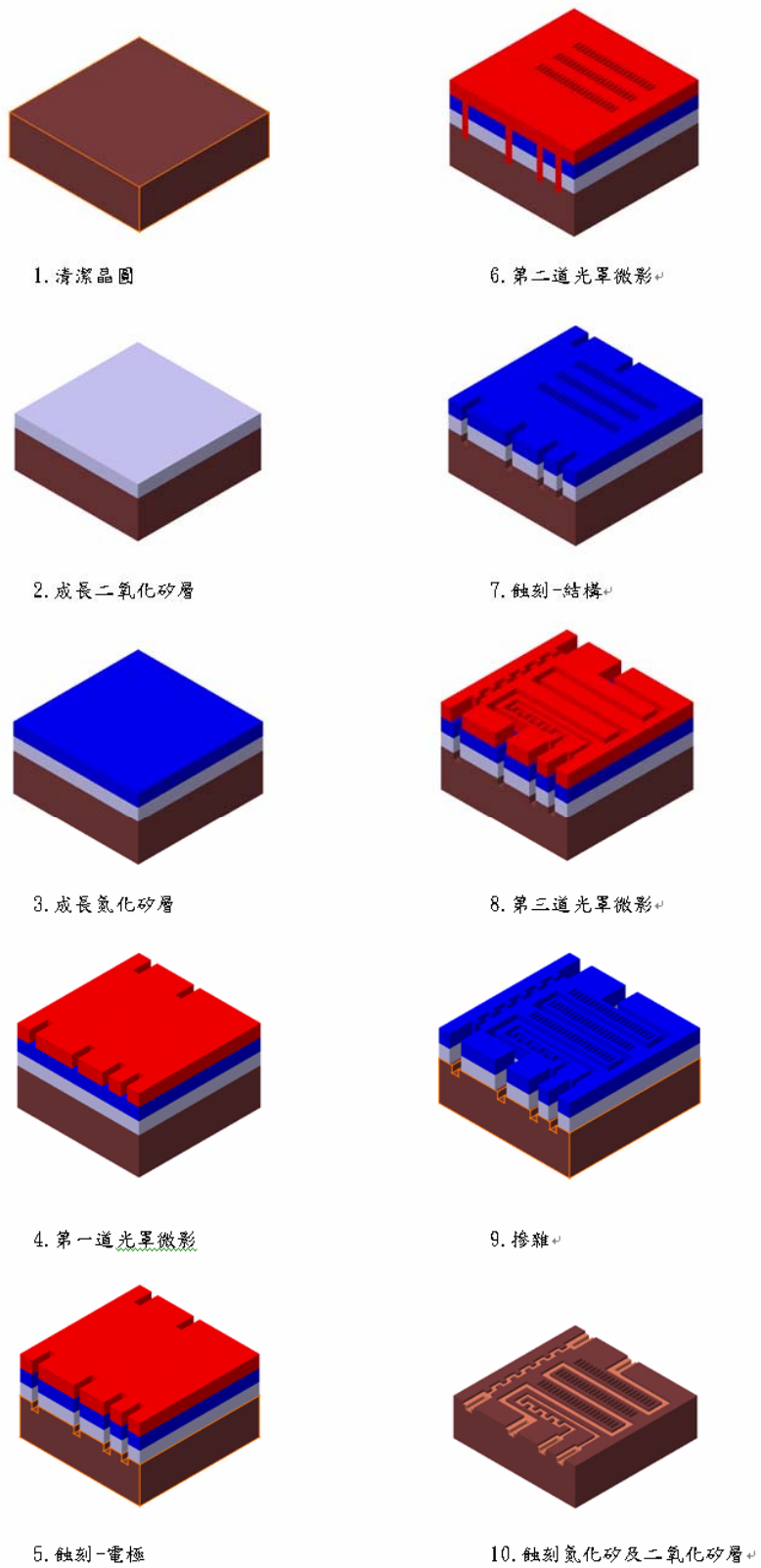


圖 2-6 微機電系統化模仁製作流程



圖 2-7 高溫爐管



圖 2-8 LPCVD

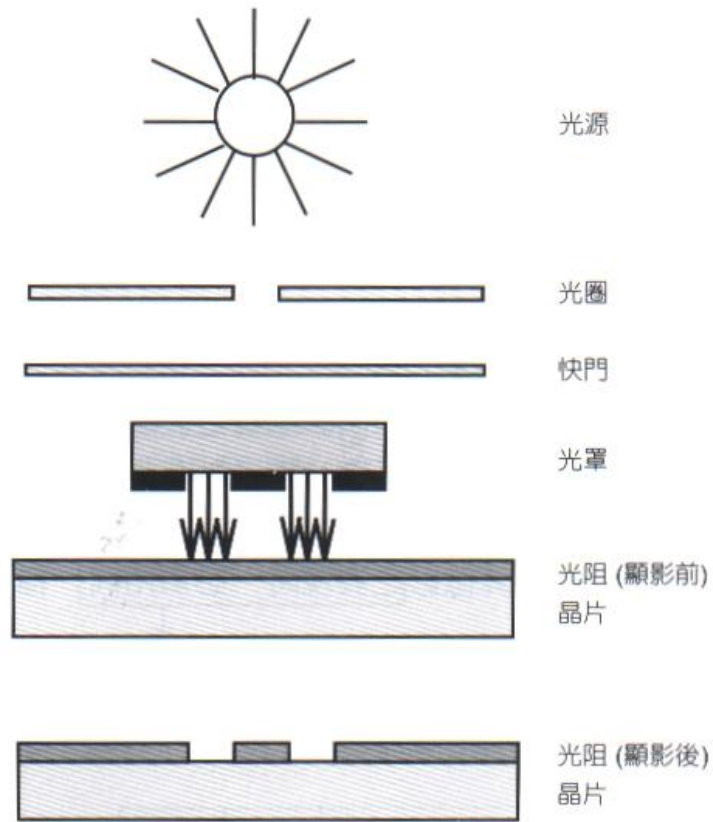


圖 2-9 微影技術

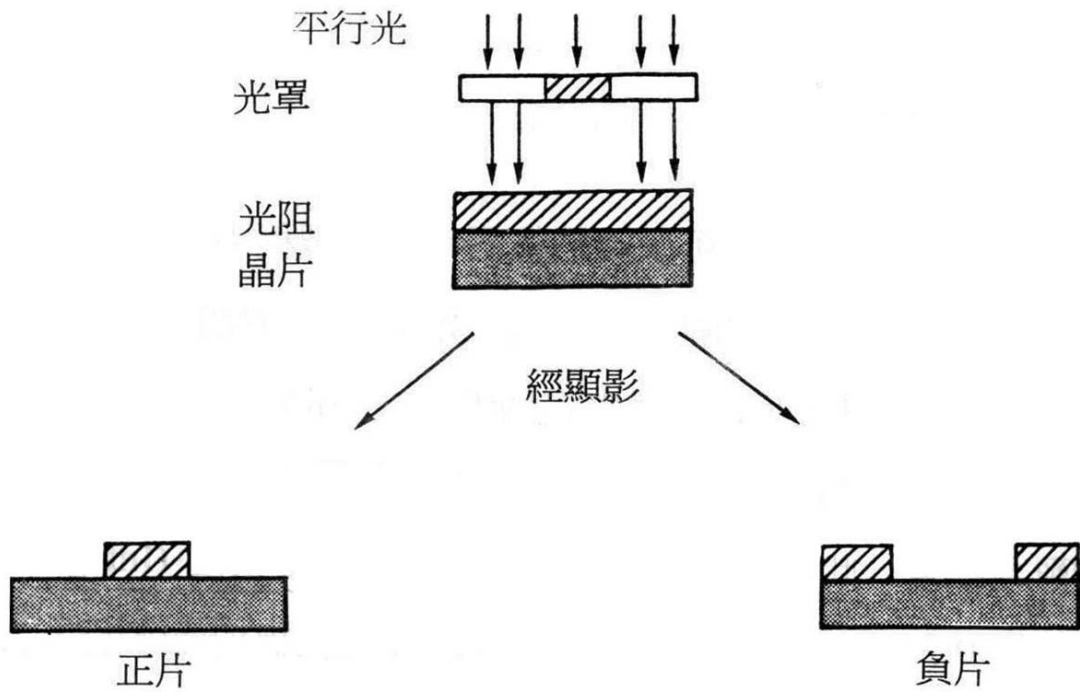


圖 2-10 正、負光阻顯影示意圖



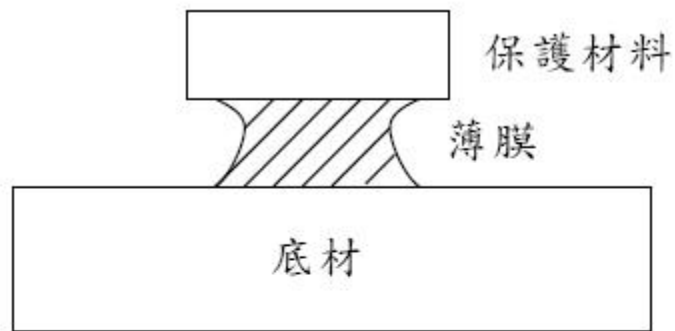
圖 2-11 YES 烤箱



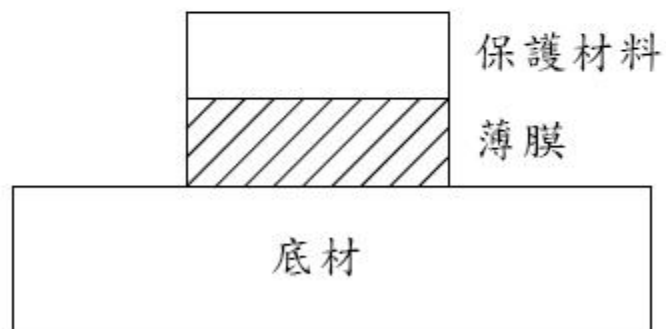
圖 2-12 光阻塗佈機



圖 2-13 Karl Suss 光罩對準曝光機



(a)



(b)

圖 2-14 等向性蝕刻(a)與非等向性蝕刻(b)



圖 2-15 複晶矽活性離子蝕刻系統

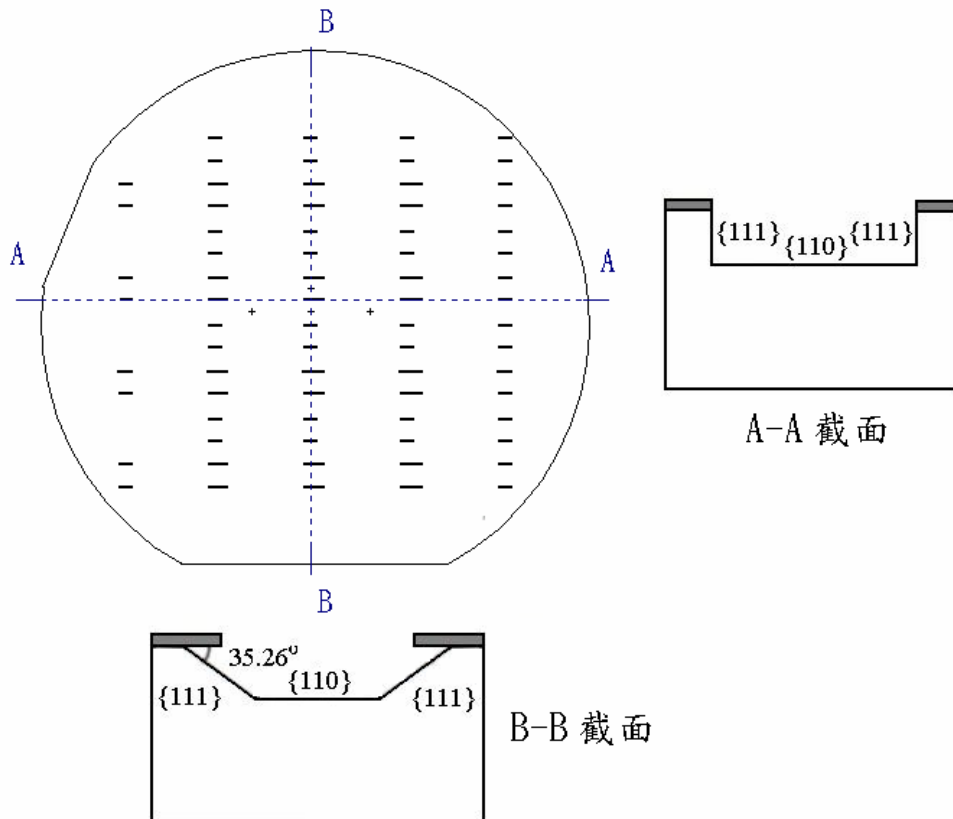


圖 2-16 (110)晶片蝕刻後之截面圖

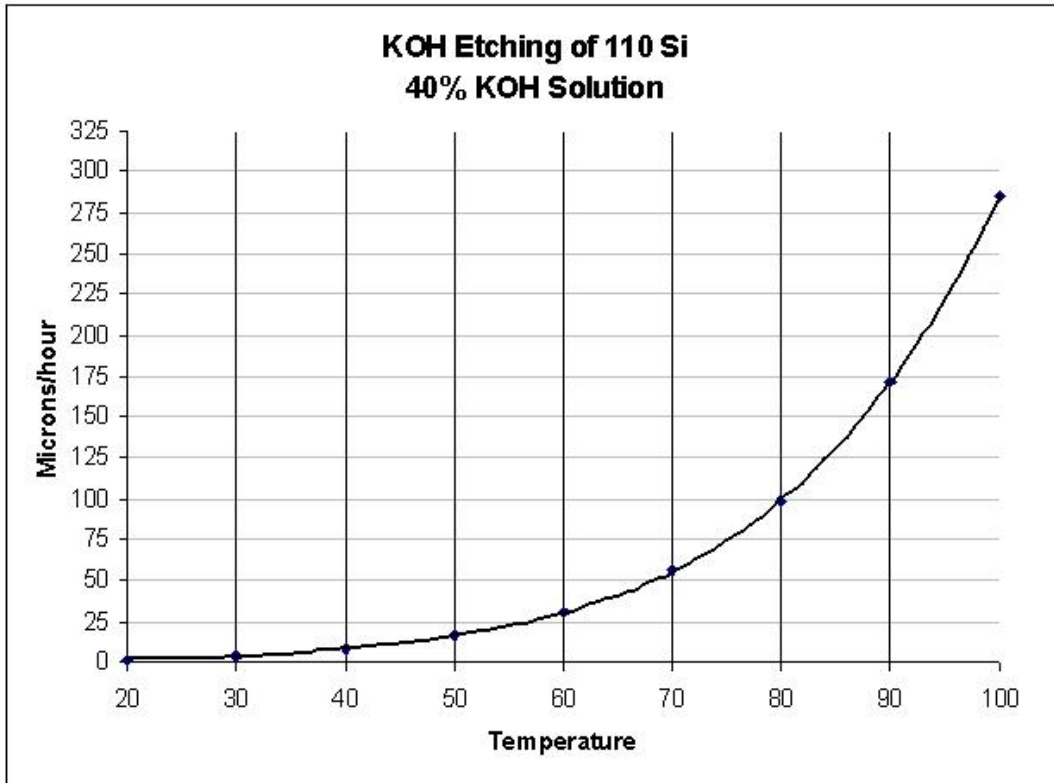


圖 2-17 40wt%之 KOH 水溶液對蝕刻(110)晶片之蝕刻速率圖[36]

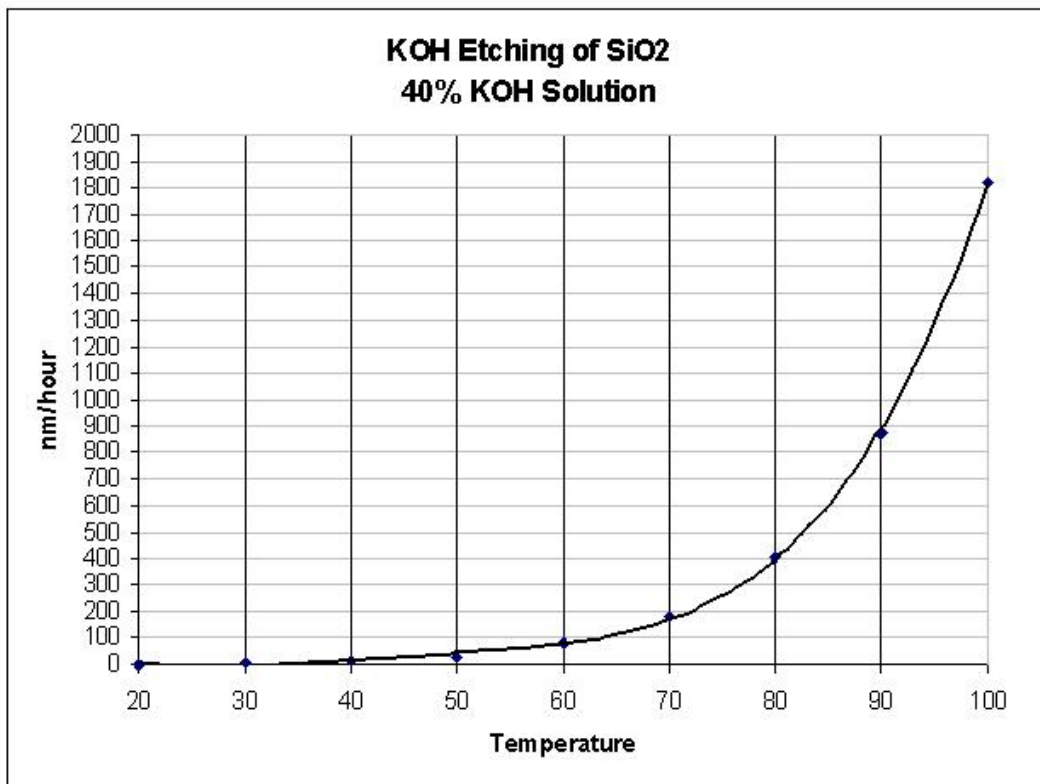


圖 2-18 40wt%之 KOH 水溶液對 SiO2 之蝕刻速率圖[36]