

國立交通大學機械工程學系

碩士論文

高頻覆晶構裝散熱最佳化設計

**An Analysis for an Optimal
Heat Transfer Design of
High Frequency Flip-Chip Package**



研究生:趙自皓

指導教授:林振德

中華民國九十四年七月

高頻覆晶構裝散熱最佳化設計

**An Analysis for an Optimal
Heat Transfer Design of
High Frequency Flip-Chip Package**

研究生：趙自皓

Student : Chao Tzu-Hao

指導教授：林振德

Advisor : Jenn-Der Lin

國立交通大學



A Dissertation

Submitted to Department of Mechanical Engineering
College of Engineering
National Chiao Tung University
In partial Fulfillment of the Requirements
For the Degree of
Master
In

Mechanical Engineering

July 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

高頻覆晶構裝散熱最佳化設計

研究生:趙自皓

指導教授:林振德

摘要

隨著科技的快速發展，電子產品朝向小型化且多功能的目標邁進，因此設計出擁有高散熱能力產品的挑戰伴隨而來。本研究以計算流體力學的方法，針對III-V族高頻通訊(HEMT)積體電路電子覆晶構裝(Flip Chip Package)的熱傳現象進行模擬；考慮之電子構裝包括了傳統(Traditional)的覆晶構裝及新提出的同軸式(Co-Axial)覆晶構裝設計；本文針對此二種不同形式，並配合於封裝體內與封裝體外設計多種不同形式下探討其散熱的效益，並且經過系統化的分析與歸納，俾求得低熱阻目標的最佳散熱設計。

分析結果顯示：於微米尺寸設計時，材料對於封裝體內部的影響最劇，且線路的厚度在有限尺寸下將其設為 $8\ \mu\text{m}$ 對熱的散逸有比較好的效果，而散熱通孔的設計則因為個數上的限制對溫度的影響有限。在同軸式覆晶外部設計封裝上，在金屬蓋上加上一基底為 $2500\ \mu\text{m} \times 2500\ \mu\text{m} \times 1500\ \mu\text{m}$ ，鰭片高度、厚度及間距分別為 500 、 100 及 $166\ \mu\text{m}$ 的熱沈；並於測試入口處加入一 $5\ \text{m/s}$ 的強制對流時，此時封裝體擁有最佳的散熱效果。

An Analysis for an Optimal Heat Transfer Design of High Frequency Flip-Chip Package

Student : Chao Tzu-Hao

Advisor : Prof. Jenn-Der Lin

Abstract

In this study, the computational fluid dynamics approach is employed to simulate and analyze the heat transfer for III - V group high frequency (HEMT) electronic flip chip package. Considered packages include the traditional type flip chip package, and the co-axial flip chip package. In order to obtain an optimal design for those two kinds of different forms package, we examine the effects of various parameters.

The results show that at the microns scale the material is the most important factor and significantly influence the heat dissipation. In addition, circuits under the size of 8 microns thickness can dissipate heat more effectively, while the effect at the temperature is limited by the vias's design because the number of vias is limited. For the co-axial flip chip package, we cover a metal lid in the crystal and add a heat sink with basis of $2500\ \mu\text{m} \times 2500\ \mu\text{m} \times 1500\ \mu\text{m}$. Analysis shows that the package has the optimal heat transfer at the fin's altitude, thickness and spacing of 500, 100 and $166\ \mu\text{m}$, respectively, associated with 5 m/s force convection in the test entrance.

誌謝

這篇論文能夠完成，首先我要感謝林振德老師在這段期間的指導，老師對於理論觀念上適切的引導，幫助我在進行論文研究時能夠有清晰的思路，此外老師也教導我們以較為嚴謹的邏輯來處理論文的每一個環結，這樣的訓練相信對於將來在處理問題時的會有很大的幫助，在此再次謝謝老師。

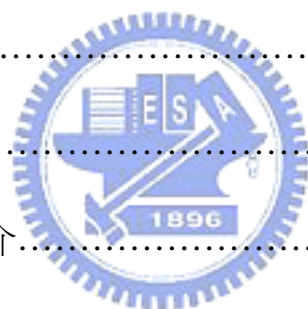
感謝口試委員洪勵吾教授、周復初教授以及許隆結學長對於論文上的指正及建議，使得論文能夠順利完成。

我非常珍惜在交大的每一個日子，感謝學長文福、志銘、永賢、柏霖、智通以及余博、勤暉、家宏、盈立對於我的照顧，還有昱宏、本權、俞任等同窗好友在衝刺時的互相打氣，還有學弟豐庭、懋勳你們的陪伴與鼓勵，雖然相處的時間短暫，但沒有你們就沒有這樣一段值得回味的實驗室時光，謝謝大家。

最後感謝我的家人以及芋頭，有了你們的培養和支持，讓我充滿信心去做任何事情，往後我也會盡力去做好自己，扮演好每一個角色。

目錄

中文摘要	I
英文摘要	II
誌謝	III
目錄	IV
表目錄	VIII
圖目錄	X
符號表	XV
第一章 緒論	1
1-1 研究背景	1
1-2 電子構裝簡介	2
1-2-1 構裝的目的	2
1-2-2 構裝的計技術層級區分	4
1-2-3 構裝的演進	5
1-3 覆晶與 BGA 構裝方式	6
1-3-1 覆晶構裝簡介	6
1-3-2 覆晶晶粒尺寸構裝之製程	7
1-3-3 覆晶構裝之優點	8
1-3-4 BGA 簡介	8



1-3-5	BGA 構裝之優點.....	9
1-4	高電子遷移率電晶體 (HEMT)覆晶構裝.....	9
1-4-1	鉍化鎵與矽半導體之差異	10
1-4-2	傳統式高電子遷移率電晶體覆晶結構封裝.....	11
1-4-3	同軸式高電子遷移率電晶體覆晶結構封裝.....	11
1-5	覆晶式 BGA 構裝熱傳改善的探討.....	12
1-6	文獻回顧.....	15
1-7	研究動機與目的.....	16
第二章	物理模式與數學模式.....	19
2-1	物理模式.....	19
2-2	數學模式.....	19
2-2-1	統御方程式.....	19
2-2-2	無因次化分析.....	22
2-2-3	熱源的處理	22
2-2-3	熱輻射的處理	23
2-3	電子構裝熱阻的定義.....	24
第三章	數值方法.....	25
3-1	數值模擬流程.....	25
3-2	數值方法.....	26

3-2-1	離散方程式.....	26
3-2-2	SIMPLE Algorithm 壓力與速度的修正.....	27
3-2-3	收斂條件	31
3-3	網格系統與配置	32
3-3-1	等效熱阻	32
3-3-2	非均勻化網格設定.....	33
第四章	結果與討論	35
4-1	網格測試	35
4-2	封裝體內之熱分析及設計	35
4-2-1	傳統式高頻(Traditional-HEMT)覆晶封裝內部設計....	36
4-2-2	同軸式高頻(Co-Axial-HEMT)覆晶封裝內部設計.....	39
4-3	封裝體外之熱分析及設計	41
4-3-1	傳統式高頻覆晶封裝外部設計.....	42
4-3-2	同軸式高頻覆晶封裝外部設計.....	42
4-4	強制對流設計.....	46
第五章	結論	48
5-1	結論	48
5-2	未來展望	49
參考文獻	50

表53

圖68



表目錄

表 3-1	熱分析係數範圍表.....	53
表 3-2	構裝材料性質表.....	53
表 4-1	傳統式高頻覆晶封裝內部設計溫度及熱阻分佈圖表.....	54
表 4-2	同軸式高頻覆晶封裝內部設計溫度及熱阻分佈圖表.....	54
表 4-3	傳統式高頻覆晶外部封裝設計溫度及熱阻分佈圖表.....	54
表 4-4	同軸式 Type.0 No enhancement 溫度及熱阻分佈圖表.....	55
表4-5	同軸式 Type.1 With heat spreader溫度及熱阻分佈圖表.....	56
表4-6	同軸式 Type.2 With heat spreader and soft pad溫度及熱阻分佈 圖表.....	57
表4-7	同軸式 Type.3 With metallic lid 溫度及熱阻分佈圖表	58
表4-8	同軸式 Type.4 With mold compound (varying percentage of converage,25%)溫度及熱阻分佈圖表...59	
表4-9	同軸式 Type.5 With mold compound (varying gap in the mold compound)溫度及熱阻分佈圖表.....	60
表4-10	同軸式 Type.6 With mold compound and Cu heat spreader (varying gap between the die and the heat spreader)溫度及 熱阻分佈圖表	61
表 4-11	熱沈(Heat sink)尺寸設計數	62

表4-12	Type.7 With metallic and heat sink溫度及熱阻分佈圖表....	63
表 4-13	同軸式高頻覆晶封裝外部各設計之 Rja (Junction-air-resistance) 列表	64
表 4-14	同軸式高頻覆晶封裝在不同風速下平均溫度分佈圖表...	65
表 4-15	同軸式高頻覆晶封裝在不同風速下 Rja (Junction-air-resistance) 分佈圖表.....	66
表 4-16	傳統式高頻封裝設計前後溫度及 Rja (Junction-air-resistance) 分佈圖表.....	67
表 4-17	同軸式高頻封裝設計前後溫度及 Rja (Junction-air-resistance) 分佈圖表.....	67



圖目錄

圖 1-1	IC 元件在封裝型態上的發展與演進	68
圖 1-2	IC 元件在引腳的發展與演進	68
圖 1-3	引起電子元件損壞的主要因素	69
圖 1-4	IC 構裝的四大功能	69
圖 1-5	電子構裝的層級區分	70
圖 1-6	構裝技術的演進	70
圖 1-7	不同覆晶的型態	71
圖 1-8	以錫球凸塊接合的覆晶	71
圖 1-9	傳統式高頻元件覆晶封裝俯視圖	72
圖 1-10	傳統式高頻元件覆晶封裝側視圖	72
圖 1-11	傳統式高頻覆晶晶片實體	72
圖 1-12	同軸式覆晶結構封裝俯視圖	73
圖 1-13	同軸式覆晶結構封裝側視圖	73
圖 1-14	自然對流下 FC-BGA 散熱量的分佈	74
圖 1-15	各種型態的散熱裝置	74
圖 1-16	底部填膠示意圖	75
圖 1-17	熱沈(Heat sink)示意圖(1)	75
圖 1-18	熱沈(Heat sink)示意圖(2)	75

圖 1-19	熱界面材料(Thermal Interface Material)	76
圖 1-20	FC-BGA 熱傳方向	76
圖 2-1	ICEPAK 求解流程圖	77
圖 2-2	物理模式示意圖	77
圖 2-3	介面能量守衡示意圖	78
圖 2-4	FC-BGA 熱阻示意圖	78
圖 3-1	數值方法流程示意圖	79
圖 3-2	不同形式之網格切割	79
圖 3-3	二維三角格點	80
圖 3-4	Assembly 非均勻分部網格功能	80
圖 4-1	傳統式高頻覆晶元件模擬網格測試	81
圖 4-2	同軸式高頻覆晶元件模擬網格測試	81
圖 4-3	傳統式高頻覆晶封裝球格設計 Junction-air-Resistance 圖表	82
圖 4-4	傳統式高頻覆晶封裝球格設計 Junction-board-Resistance 圖表	82
圖 4-5	傳統式高頻覆晶封裝材料設計變更 Junction-air-Resistance 圖表	83

圖 4-6	傳統式高頻覆晶封裝材料設計變更	
	Junction-board-Resistance	83
圖 4-7	傳統式高頻覆晶封裝線路厚度設計變更	
	Junction-air-Resistance 圖表	84
圖 4-8	傳統式高頻覆晶封裝線路厚度設計變更	
	Junction-board-Resistance 圖表	84
圖 4-9	傳統式高頻覆晶封裝熱通道設計變更	
	Junction-air-Resistance 圖表	85
圖 4-10	傳統式高頻覆晶封裝熱通道設計變更	
	Junction-board-Resistance 圖表	85
圖 4-11	同軸式高頻覆晶封裝材料設計變更	
	Junction-air-Resistance 圖表	86
圖 4-12	同軸式高頻覆晶封裝材料設計變更	
	Junction-board-Resistance 圖表	86
圖 4-13	同軸式高頻覆晶封裝線路厚度設計變更	
	Junction-air-Resistance 圖表	87
圖 4-14	同軸式高頻覆晶封裝線路厚度設計變更	
	Junction-board-Resistance 圖表	87

圖 4-15	同軸式高頻覆晶封裝熱通道設計變更	
	Junction-air-Resistance 圖表	88
圖 4-16	同軸式高頻覆晶封裝熱通道設計變更	
	Junction-board-Resistance 圖表	88
圖 4-17	傳統式高頻覆晶外部點膠式封裝設計	89
圖 4-18	傳統式高頻覆晶外部點膠式等效體積封裝設計	89
圖 4-19	傳統式高頻覆晶外部點膠式	
	等效體積封裝設計溫度分佈圖	90
圖 4-20	傳統式高頻覆晶外部點膠式	
	等效體積封裝設計溫度分佈圖(有填入空氣)	90
圖 4-21	同軸式高頻覆晶封裝	
	在晶片上方不同型式的散熱裝置之設計	91
圖 4-22	同軸式高頻覆晶封裝外部各設計之	
	Rja (Junction-air-resistance) 分佈圖表	92
圖 4-23	同軸式高頻覆晶封裝外部各設計	
	晶片上方熱傳量所佔整體散熱部分之百分比	92
圖 4-24	同軸式高頻覆晶封裝當熱沈散熱座邊長為 1500 μm ,	
	鰭片各數為 5 時在不同風速下平均溫度分佈圖表	93

圖 4-25	同軸式高頻覆晶封裝當熱沈散熱座邊長為 $1500\ \mu m$ ， 鰭片各數為 10 時在不同風速下平均溫度分佈圖表93
圖 4-26	同軸式高頻覆晶封裝當熱沈散熱座邊長為 $2500\ \mu m$ ， 鰭片各數為 5 時在不同風速下平均溫度分佈圖表94
圖 4-27	同軸式高頻覆晶封裝當熱沈散熱座邊長為 $2500\ \mu m$ ， 鰭片各數為 10 時在不同風速下平均溫度分佈圖表94
圖 4-28	同軸式高頻覆晶封裝當熱沈散熱座邊長為 $2500\ \mu m$ ， 鰭片各數為 15 時在不同風速下平均溫度分佈圖表95
圖 4-29	滯流現象對溫度分佈的影響圖96
圖 4-30	滯流現象對速度分佈的影響圖97



符號表

A_e	壓力作用下的面積
\vec{A}_f	格點的面積向量
a_p	對任意相關變數線性化係數
a_{nb}	對鄰近格點相關變數線性化係數
b	殘差值
b	源項
F	源項
\vec{g}	重力向量
h	焓
I	單位張量
$K_{//}$	並聯之等效熱阻熱傳導係數
K_{\perp}	串聯之等效熱阻熱傳導係數
k	熱傳導係數
k_t	紊流熱傳導係數
N_{faces}	格點的面數
P	所欲求值的格點
p	壓力



p^*	預測壓力
p'	修正壓力
P_d	晶片發熱量
R_{ja}	晶片接點到外界的熱阻
R_{jb}	晶片接點到印刷電路板的熱阻
R_{jc}	晶片接點到模子的熱阻
R^ϕ	殘差值
s	源項
T_a	外界溫度
T_b	印刷電路板的溫度
T_c	模子溫度
T_j	晶片接合點溫度
u	x 軸方向速度
u^*	x 軸方向速度預測值
u'	x 軸方向速度修正值
v	y 軸方向速度
v^*	y 軸方向速度預測值
v'	y 軸方向速度修正值
w	z 軸方向速度



w^* z 軸方向速度預測值

w' z 軸方向速度修正值

Γ_ϕ 擴散係數

μ 黏滯係數

ρ 密度

ϕ 任意相關變數

ϕ_{nb} 鄰近格點的任意相關變數

$(\nabla\phi)_{nb}$ $\nabla\phi$ 垂直到面的量

上標

T 紊流

* 預測值

' 修正值

ϕ 與相關變數有關的值

下標

a 外界

b 印刷電路板

c 模子

d 晶片

e x 方向控制容積表面的點



- f 控制體積的面
- j 晶片接合處
- n y 方向控制容積表面的點
- t 紊流
- t z 方向控制容積表面的點
- nb 所有鄰近的格點
- ϕ 與相關變數有關的值
- // 平行水平方向
- \perp 垂直方向



第一章 緒論

1-1 研究背景

電子構裝屬於半導體產業的後段製程技術，因此電子構裝普遍被認為只是積體電路製程技術的配角之一。事實上構裝技術的範圍涵蓋範圍相當廣泛；它運用了物理、化學、機械、材料、電機、電子等相關知識學門。在微電子產品功能不斷追求提昇及新一代科技產品的開發下，如高亮度發光二極體(Light Emitting Diode；LED)及晶片薄膜接合(Chip on Film；COF)的技術，各項構裝技術的重要性已不亞於積體電路(IC)製程技術與其它微電子相關製程技術。

隨著半導體產業的高度發展與技術不斷的精進，電子產品更朝向外型短小輕薄(如圖 1-1、1-2 所示)、性能提昇與價格降低的趨勢發展。由於系統與元件的發熱密度不斷的增加，過熱的問題日益嚴重，於是造成了產品的可靠度降低以及壽命的減少，所以散熱問題也就成為半導體產業在構裝技術上的一大挑戰。根據美國空軍 1995 年所發表的研究報告中指出，造成超過 50% 的半導體元件損壞或缺陷的主要原因來自於熱的問題(如圖 1-3 所示)。許多探討相關熱所造成的損壞與缺陷的文獻，於各知名的期刊與國際研討會之文獻中歷歷可見 [1-3]。

早期電子構裝的材料以陶瓷材料為主，陶瓷材料的最主要的特色

是可以變化化學組成，大幅調整其各項物化性質。陶瓷構裝屬於密封(Hemetic)構裝，能提供 IC 優良的熱、電、機械特性、保護性與可靠性，極適合軍事、衛星用途或大型積體電路等高價位的電子元件構裝。但由於陶瓷材料脆性較高，易受應力破壞，與塑膠封裝相比它的製程溫度高、成本亦高，因此陶瓷構裝只見於高可靠度需求的 IC 構裝中[4]。自 80 年代以後，構裝技術的推動力來自於消費性電子產品，其技術開發必須同時考慮成本、品質及功能，此時塑膠構裝便成為首要的選擇。雖然在散熱與可靠度等材料本質上，塑膠材料不如陶瓷材料；但在近年來在熱傳設計上的進步，經由加裝散熱裝置等各種技術不斷的開發，塑膠構裝已可處理一些高瓦數的熱量。不過在目前電子系統不斷的提升功能與性能下，現在又即將面臨新一波散熱上的問題；Intel 公司也於今年提出其中央處理器(CPU)將不再往 4G 以上作發展的決定，原因就是歸咎於在熱對策上的問題無法得到有效的解決，故如何處理高熱通量的電子產品將成為現在科技進步的一重要議題。

1-2 電子構裝簡介

1-2-1 構裝的目的

積體電路是在一個小面積的矽或砷化鎵晶片上，構築非常多的電路與電子元件，它們的尺寸相當的小，一般整體面積範圍小於 2 平方

公分，在結構上也相當的小，即使空氣中的灰塵或濕氣，就可使得電路失常甚至完全失效，因此爲了保護積體電路的正常運作，必須使用一套方法將它們“包裝”起來，以防止因外力或外界環境的因素而喪失功能，確保訊號與電的傳遞，使其能發揮功能，由此可見構裝對積體電路的重要性。一般而言，積體電路構裝主要有以下的四大功能[5](如圖 1-4 所示):

(1) 電源的分佈:

需有外來的電源方可使積體電路運作，外來電源需佈局於構裝體的各層內，才可穩定的驅動基體電路，使積體電路正常運作。

(2) 訊號的分佈:

積體電路本身所產生的訊號或外界傳入的訊號，與電源分佈的道理相同，均需於構裝體的各層內佈置訊號線，如此方可接收訊號或將訊號傳至正確的位置。

(3) 散熱的功能:

一般電子元件的發熱量僅有數瓦，但對於高速度、高功能的電子元件發熱可達數十瓦，發熱量相當驚人，這些熱量的散逸可經由構裝的熱傳設計將熱排出，使積體電路在容許的溫度範圍內操作。

(4) 保護的功能:

構裝可提供承載與結構保護的功能，並可將積體電路密封，隔絕

外界環境的污染及外力的破壞。

1-2-2 構裝的技術層級區分

如圖 1-5 所示，電子構裝一般可區分為三個不同的層級[6]，而各層級範圍的定義如下：

(1) 第一層級構裝(First Level Package):

將已完成電路設計與製造的晶圓切割成許多的小晶片，直接將切下的晶片與基板做接合為第一層級構裝。此層級一般可分為單晶片模組(Single Chip Module; SCM)，也就是一般所稱的積體電路構裝；另一則為多晶片模組(Multi Chip Module; MCM)。

(2) 第二層級構裝(Second Level Package):

第二層級構裝係指將第一層級構裝完成的單晶片模組或多晶片模組裝配在印刷電路板或電腦卡上。

(3) 第三層級構裝(Third Level Package):

第三層級構裝係指將裝配有單晶片模組或多晶片模組之印刷電路板或電腦卡組裝在主機板上。

第一層級構裝與第二層級構裝的分野，隨著構裝技術的不斷進步而日漸模糊，比如最近發展之技術將打線接合(Wire Bonding)、捲帶式自動接合(Tape Automated Bonding ; TAB)和覆晶接合直接組裝於印刷電路板或電腦卡上，此技術即一般所稱的 Direct Chip Attach (DCA)

或 Chip On Board (COB)，因此通常 COB 或 DCA 被稱為第 1.5 層級構裝[7]。

1-2-3 構裝技術的演進

電子構裝除了在材料的革新外，連線的方式與腳距(Pitch)細微化在表面黏著技術(Surface Mount Technology; SMT)的成熟下，所有的構裝技術在此一技術潮流猛然推進。在早期電子構裝的型態以插裝式(Pin-Through-Hole; PTH)為主，以雙邊引腳(Dual Inline Package; DIP)為主流產品，但 DIP 可運用的腳數並不多，進而發展出 PGA(Pin Grid Array)，由於 PGA 的引腳由構裝體的下表面拉出，可容納的腳數自然比 DIP 可容納的腳數為多。隨著半導體工業的快速發展，消費性電子產品需求快速的增加，電子產品朝著輕、薄、短、小演進，並在 SMT 技術的發展下，原本的 DIP 演變成 SMT 型雙邊引腳的 SOP(Small Out-Line Package)與 SOJ(Small Out-Line J-Lead)，以及更多腳數的四邊引腳的 PLCC(Plastic Leaded Chip Carrier)與 QFP(Quad Flat Pack)。

直到 1993 年 Motorola 推出 BGA(Ball Grid Array)產品，稱為 OMPAC(Overmolded Pad Array Carriers)，面積構裝的技術才真正從 PTH 進入 SMT，其構裝技術的演進如圖 1-6 所示。由於 SMT 技術的成熟，構裝的技術也朝向更薄型化、腳距更細微化。各種構裝型態在設計及製程技術上不斷的改良，使得不同的構裝技術出現相互競爭的

局面，最常被人們拿來比較的便是 QFP 與 BGA。因為 QFP 在尺寸不變的情況下縮小腳距是增加腳數的唯一方法，如此一來製程的困難度增加，進而使得良率降低；BGA 在相同尺寸下，其引腳是以面積陣列的方式引出，在相同的腳數下，其腳距要比 QFP 大的非常多，所以生產的良率也較高[8]。

承上所述，構裝技術無論在材料上與製程上不斷的革新與進步，朝輕、薄、短、小的目標邁進，但電子元件所需的功率與發熱密度卻不斷的增加，所以如何改善電子元件所產生的熱其排放至外界環境，使晶片溫度維持在可容許的範圍內操作，增加電子元件的可靠度與壽命，是目前一項重要的課題。

1-3 覆晶與 BGA 構裝方式

常見覆晶構裝如圖 1-7 所示，而我們常會將其與 BGA 構裝方式相結合來做討論；而本研究也將會從不同型態之覆晶(Flip Chip)式球腳格陣列(BGA)構裝切入來做探討；包括了傳統的高功率電子遷移(HEMT)及同軸式(Co-Axial)覆晶構裝。

1-3-1 覆晶構裝簡介

覆晶接合的技術起源於1960年代由IBM公司所開發，當時主要的目的是以控制接點高度為主的技術，因此進而命名為C4 (Controlled Collapse Chip Connection)技術[9]，當時因內部技術不公開、專利限

制、高成本與市場需求上尙未成熟等因下，其應用範圍僅限於較高階電腦。C4接合屬於面積矩陣式(Area Array)的接合，而非如打線接合及TAB聯線技術僅能提供周邊式(Peripheral Array)的接合，因此覆晶接合能應用於極高密度的構裝聯線製程。

1-3-2 覆晶晶粒尺寸構裝之製程

對於覆晶廣義的定義即是指，只要晶片的正面(電路面)翻轉向
下，無論運用何種技術方法、材料與基板做連接，皆可稱為覆晶構裝，
一般而言，覆晶構裝是屬於第一層級的構裝。以下將介紹目前最常被
使用的錫球凸塊(Solder Bump)接合技術，其示意圖如圖 1-8。

承上所述，以面朝下的方式透過金屬導體與基板進行接合，覆晶
構裝技術是利用電鍍或印刷的方式將錫鉛(Solder) 長在IC 腳墊上，
經回焊(Reflow) 形成錫球，再利用覆晶接合機台(Flip Chip Bonder)
精確對位後與基板接合，在此過程中，以有機基板進行覆晶接合時，
矽晶片與基板間之熱膨脹係數差異甚大，往往造成局部疲勞應變，進
而導致錫鉛連接處破壞，因此需添加縫隙填膠(Underfill) 以降低錫鉛
連接點疲勞應力。而晶粒尺寸構裝(Chip Scale Package)泛指封裝後，
晶片面積在裸晶面積的1.2 倍以內。覆晶晶粒尺寸構裝具有連線短、
電感低、高頻雜訊易控制及構裝尺寸縮小等優點，因而較能滿足電子
產品散熱性佳、高速度及輕薄短小的需求，且覆晶晶粒尺寸構裝仍具

有基本程度的封裝，因此在組裝運送和使用過程中不易受到損害。

1-3-3 覆晶構裝之優點

綜合以上所述覆晶構裝有以下的優缺點，覆晶技術的優點有: (1) 具有高輸入/輸出數 (2) 基板面基小 (3) 良好的電氣特性 (4) 一次完成輸入/輸出接腳 (5) 簡化組裝降低成本；在缺點方面有 (1) 不易重工(Rework) (2) 不易檢測 (3) 凸塊製作複雜，製程設備昂貴。

1-3-4 BGA 構裝簡介

由於電子元件多功能與小型化的趨勢，BGA 的構裝方式已漸漸的取代了 QFP 的構裝方式，雖然 QFP 構裝具有體積較小和有利產品小型化的優點，但要在一定的面積內進一步增加腳數，便會產生許多的困難，因為增加腳數的惟一方式，只有靠減少腳距的方式來達成，因此使 QFP 構裝技術面臨多腳化聯線技術、細微引腳成形技術、小腳距的電路板銲接技術和散熱問題等發展上的挑戰。BGA 的研發主要是為了解決 QFP 無法達到多腳化與製程上的困難。

BGA 在技術層級的區分上屬於第二層級的構裝。BGA 係指單一晶片或多晶片以打線接合、自動捲帶接合或覆晶接合的方式與基板上的導線相連接，基板本身以面積陣列方式分佈的錫球做為基體電路與外連接的接點，而 BGA 在分類上，主要是以基板所使用的材料為依據，可分為 PBGA(Plastic BGA)、CBGA(Ceramic BGA)、TBGA(Tape

BGA)與 MBGA(Metal BGA)四種。BGA 構裝的設計是將原先 QFP 構裝對外連接的導線架，改為位於基板腹底的銲錫接腳，這種以錫球接合方式，既可疏散腳距又可增加腳數。

1-3-5 BGA 構裝之優點

電子產品使用 BGA 構裝日見廣泛，一般會運用 BGA 構裝大多屬高階的產品，例如電腦的晶片組、筆記型電腦、3D 的圖形處理基體電路、消費電子產品中的特殊應用積體電路(ASIC)晶片及快閃記憶體(Flash Memory)、靜態記憶體。對於一些較低階的產品，需要電氣、散熱等特性需求時，一般也會考慮運用 BGA 的構裝方式。

綜合以上所述，BGA 構裝有以下的優點 (1) 可提供小面積高密度的表面黏著構裝 (2) 回銲時錫球能自我對準，減少對位誤差造成生產上的損失 (3) 銲接溫度低，散熱也較容易 (4) 良率較高、電氣特性佳及成本低 (5) BGA 與 SMT 製程和現有製程相容，具有高生產率。

1-4 高電子遷移率電晶體 (HEMT)覆晶構裝

高頻三五族半導體積體電路為一新興之產業，產業之大規模生產不超過五年，且由於技術之多變性，各生產廠家因應用方向不同，差異性極大，在進入大規模量產期，其製程技術構裝技術及製程機器皆尚有極大之改進空間。目前砷化鎵元件的生產泰半集中在 10GHz 以

下，而以手機使用之 IC(<2GHz)為最大宗，本研究擬開發之毫米波元件及其構裝技術，由於仍未達生產階段，樣品極為昂貴，因此必須降低產品成本，產品方能廣泛被接受使用；為達到此境界，製程及構裝技術必須不斷的創新，才有可能普及應用在商用產品上。

國內三五族半導體產業投資，過去二、三年十分熱絡，三五族半導體科技由材料、製程、構裝、測試已儼然成一完整體系。值此產業萌芽期，若能適時切入，發展新製程及構裝技術，以降低高頻元件產品成本，國內業者將在國際三五族產業佔一重要地位。而根據本計畫所規劃之 60GHz 以上毫米波技術等相關研究更將進一步拓展國內三五族之產品範圍及技術領域。

1-4-1 鉀化鎳與矽半導體之差異

半導體材料可分為由單一元素構成的元素半導體與兩種以上元素之化合物所構成的化合物半導體兩類，前者如矽(Silicon)、鍺(Germanium)等所形成的半導體，後者如砷化鎳(Gallium Arsenide, GaAs)、磷化銾(Indium Phospide, InP)等化合物形成的半導體。在過去以個人電腦為應用主軸的時期，全球半導體業皆以矽材料為發展重心。但由於矽元素先天上的物理限制，傳統的矽-互補金氧半導體(Complementary Metal Oxide Semiconductor, CMOS)製程較無法勝任處理 1GHz 以上的高頻訊號【如高電子遷移電晶體(HEMT-High

Electron Mobility Transistor)和異質接面雙載子電晶體(HBT)等】，近幾年來在通訊應用半導體的需求急增後，特別是對於高工作頻率、高放大率與低雜訊等條件極為要求的無線通訊 IC 而言，三五族化合物半導體砷化鎵的材料與製程的需求便格外受到重視。

1-4-2 傳統式高電子遷移率電晶體(Traditional HEMT)覆晶結構封裝

當高功率元件在操作時，所施加的功率除了有效高頻輸出功率，大部分輸入的功率都是以熱的形式釋放出來，使通道(channel)溫度高達 300°C，元件發生自我加熱現象(self-heating)，降低了元件的高功率特性，因此元件的特性亦取決於元件的散熱以及其熱穩定性；故需要做散熱設計加以改良。如圖 1-9、1-10 所示，中間兩顆球格為訊號部(Signal)旁邊兩側為接地部(Ground)。由於其中間訊號傳遞需有效之空間利用，故不適宜填加其他材料如底部填膠(underfill)等等，屆時便會有熱應力的問題產生。另外在球格(bump)部分我們又討論傳統的 6 balls 結構及 4 balls 補償式結構來分析之，圖 1-11 為 60GHZ-Traditional -HEMT 晶片實體；而從實驗可知在補償式結構中對於電性的效果是優於傳統 6balls 結構，因此為了找出我們封裝設計之最佳化，本研究也將對於此兩種結構作分析之。

1-4-3 同軸式高電子遷移率電晶體(Co-axial)覆晶結構封裝

爲了能夠填加底部填膠以克服熱應力的問題，運用 co-axial(電視

cable 的原理)將其訊號層利用接地部包起來;屆時填入底部填膠因為中間仍為真空不會影響其訊號，如圖 1-12、1-13，所示，所以能同時符合散熱及訊號上的設計。另外，若考慮熱膨脹係數(CTE)的差異所可能造成的影響，可將鉀化鎳接合在 CTE 較相近的基板上，例如銅基板，但是銅表面度上一層 AlN 或是 diamond 作為絕緣及導熱之用。

1-5 覆晶式 BGA 構裝熱傳改善的探討

根據文獻的研究，如圖 1-14 的百分比圖所示，在自然對流的情形下，晶片上方無任何散熱裝置，晶片所產生的熱約有 98.5%會以熱傳導(Conduction)的方式進入基板，僅有約 1.5%的熱經由晶片的背表面散逸到外界。一般為了使熱快速通過基板進入錫球層，會在基板內增加熱通道(Thermal vias)，但目前僅知，在基板上位於晶片的正下方的區域內對熱效能影響較大，根據理論非晶片正下方的區域內，越靠近晶片正下方的區域影響程度也應越大，但晶片正下方與非晶片正下方兩區域面積相差懸殊，所以本研究欲從基板非晶片正下方區域的物理設計出發，探討出熱通道的最佳配置位置，此外在晶片上方加裝散熱裝置實質上的確能改善熱效能，所以將更進一步探討不同散熱裝置對於熱效能的改善情形，及分析從晶片背面的散熱量。

熱一直是電子元件無法避免的問題，也是影響電子元件或系統可

靠度與壽命的重要因素，如何使熱能適時的排出外界是個重要的課題。覆晶式的 PBGA 熱的散逸主要可分為兩個方向，往上經由晶片的背表面散逸到外界，往下經由基板、錫球，最後經由印刷電路板將熱量散逸至外界空氣。雖然矽晶片的熱傳能力相當的良好，但由於矽晶片與外界的接觸面積相當的小，所以決大部分的熱會往基板方向傳遞。所以一般構裝的熱設計多會針對基板、錫球與印刷電路板的材料與結構來考量。

在成本的考量下，構裝基板所使用的陶瓷材料漸漸的被塑膠材料所取代，而塑膠基板的熱傳導係數僅約陶瓷基板的十分之一倍，為增加基板的熱傳能力，一般會在基板內各層增加許多的熱通道(Thermal Vias)，熱通道一般所使用的材料為銅，連接基板內的銅層增加熱往下傳的量，使熱能更迅速的傳入錫球。除了增加熱通道能增加基板的熱傳能力外，另一種方式可採用多層的基板，因為多層基板內的含銅量較多，因此可藉由較多的含銅量來減少基板的擴散熱阻。

改善覆晶式 BGA 的熱傳能力除了從基板結構來考量外，也可從覆晶的凸塊層與 BGA 的錫球層來改善。在 BGA 錫球層內可增加散熱錫球(Thermal Balls)，散熱錫球是指直接安裝在晶片下方的錫球，可以藉由錫球直接將熱傳入印刷電路板，散熱錫球的使用一般會與熱通道配合使用。同理，對於覆晶的錫球凸塊層，只要增加錫球凸塊

數就能增加熱傳能力。又，在空間的許可之下，在晶片的上方增加散熱片是一種相當好的方法，因為加裝散熱片可增加散熱面積使得晶片背面熱傳量增加。除了加裝散熱片，尚有幾種不同的散熱裝置，可增加晶片背表面的散熱量，如圖 1-15 所示。

承上所述，要改善覆晶式球格陣列構裝的熱傳能力，可從下幾點方面來考量：

【封裝體內-熱往下傳為主】

- (1)晶片與基板的幾何尺寸[10][11]
- (2)構裝的材料探討在於材料上作變更之影響
- (3)分析當 circuit 的厚度做部分增加時熱阻的變化
- (4)分析底部填膠(Underfill)對溫度分佈之影響

(克服熱應力問題外的應用) 如圖 1-16 所示。

- (5)在基板內各層增加熱通道(Thermal Vias)之模擬分析
- (6)在 BGA 錫球層內增加散熱錫球(Thermal Balls)之模擬分析

【封裝體外】

- (1)晶片上方不同型式的散熱裝置
- (2)探討使用熱介面材料(Thermal Interface Materials)及不同散熱片(Heat Sink)的設計對於熱阻之影響

【如圖 1-17、1-18、1-19 所示】

(3)探討不同強制對流所帶來之影響

1-6 文獻回顧

在過去數十年裡，已有許多文獻相關於電子構裝熱效能分析的研究。在 Teng 與 Lee 的研究中提出[12]，在 RF 通訊電路覆晶構裝模擬時，當其晶片、基板以及球格材料做改變時其散熱效果會有明顯之增加。而在 Darwish 等人的研究[13]及 Lau 的書籍中[14]也提及：當構裝體中訊號部(Signal)及接地部(Ground)線路的厚度及比例分布作適當的調整時，其熱阻值會有下降的趨勢。Lee 與 Lemczyk 的研究中也提到[15]，當構裝結構中的熱通道(Thermal Vias)的數目增加時，基板的熱阻值亦會有明顯的降低情形。

近年來，雖然電腦的運算能力快速的增加，但以一詳細的結構來進行模擬分析還是相當的費時，因此先簡化結構再進行模擬是一被常用的途徑； Johnson 與其研究伙伴[16]，[17]提出以熱的子模式 (Thermal Sub-modeling)的方法來求得覆晶的凸塊層、BGA 錫球層、基板與印刷電路板的等效熱阻，並經由實驗與模擬的比較之下，證明熱的子模式相當準確。另，Hwang[18]使用熱的子模式，探討影響覆晶熱傳的各種變數影響。Lee[19] 亦引用 CFD 軟體並引用熱的子模式，針對覆晶式 BGA 各類型的熱增強方式進行模擬，探討其熱從晶

片正面與背面的散逸量的不同，並探討熱阻值在不同熱增強方式下的改變程度。

在散熱片的討論中；Bar-Cohen 與 Rohensow[20]探討互相平行之垂直平板在自然對流環境下之最佳化間距(Optimum Spacing)，假設平行平板間流體為完全發展流(Fully Develop Limit)，他們分別針對等壁溫與等熱通量之情形進行研究推論其對流熱傳係數經驗公式與最佳化間距公式。Morgea 與 Bejan[21]則推論平板行鰭片之厚度與高度變化對於鰭片溫度分佈之影響，其研究結果顯示若鰭片高度維持等高度時，且鰭片厚度隨長度變化時其等溫性最佳，而若鰭片厚度維持等厚度時，鰭片高度隨長度成線性增加時，形成鰭片之等溫性最佳。

在 Karimanal[22]，[23]與 Sahan[24]的研究中，他們運用 ICEPAK 軟體對不同的封裝，用 compact 及 Detailed Model，針對各類型的熱增強方式進行模擬及作散熱設計。

1-7 研究動機與目的

發熱量與散熱量能力為電子元件的可靠度及壽命的主要因素，根據「10°C 理論」[4]，當電子元件每升高 10°C，其壽命則相對減少一半，可見溫度對 IC 的重要性，這也是熱管理(Thermal Management)技術日益受到重視的原因。所謂的「熱管理」指的是電子元件中熱的產生與熱控制的一門技術，它主要的目的是使電子元件晶片的接合處

溫度(Junction Temperature)維持在容許的範圍內，使得電子元件的可靠度與壽命得以維持，因此電子元件熱的控制是相當重要的。電子產品熱的生成主要是由於晶片中百萬個電晶體運作時所產生的，這些問題雖然可由降低電壓的方式來減少發熱量，但是仍然不能解決因功能提升及體積縮小所產生發熱密度增加的問題。

在電子構裝中熱所造成的主要影響可歸納為:

- (1) 晶片溫度過高導致燒毀
- (2) 高溫造成的熱應力問題
- (3) 不同材料間不匹配的膨脹速率導致撓曲破壞
- (4) 過度的溫差影響訊號的傳遞

因此過量的熱會減少產品的壽命，相對的元件在較低溫度下可提高性能。而在平衡產品的成本、性能及可靠度等方面，從熱傳分析中可以就構裝的型式、構裝的材料與結構等取一較佳的選擇。以覆晶式 BGA 構裝系統為例，熱於晶片中產生經由傳導至模子 (Moldcompound)、基板(Substrate)及印刷電路板(PCB)表面，再經由熱對流及熱輻射將熱散逸至周遭大氣中，如圖 1-20 所示，倘若有需要，須另加裝散熱鰭片以加強對流效應。

首先由於電子產品朝向小型化與多功能的目標邁進，因此電子構裝的型態必需具備有高 Input/Output 接點及小腳距的優點，在目前的

構裝型態中覆晶(Flip Chip)式的 BGA 構裝方式(FC-BGA)兼具有此兩項優點；而若討論到高頻 IC 的設計與製程中，陶瓷材料的使用也將成爲一重要因素。

本研究針對 III-V 族高頻通訊積體電路及覆晶系統構裝(SIP)新製程之研究發展計畫中有關覆晶構裝設計進行分析討論；於其中並提出了同軸式(Co-Axial)覆晶構裝之新設計；其內部設計上所使用之製程及材料均與目前之傳統式(Traditional)高功率電子遷移(HEMT)構裝方式不同[12-18]，且在封裝外型上也提出了多種的設計[19-21]，經過此研究，我們期望能在高頻通訊電路的研究上能帶給人們更廣的視野並提供日後研究高頻通訊封裝者有效之參考資料。因此本文將針對傳統式及同軸式二種高頻覆晶式的 BGA 構裝探討其熱傳現象，俾求得最佳化之設計。

第二章 物理模式與數學模式

2-1 物理模式

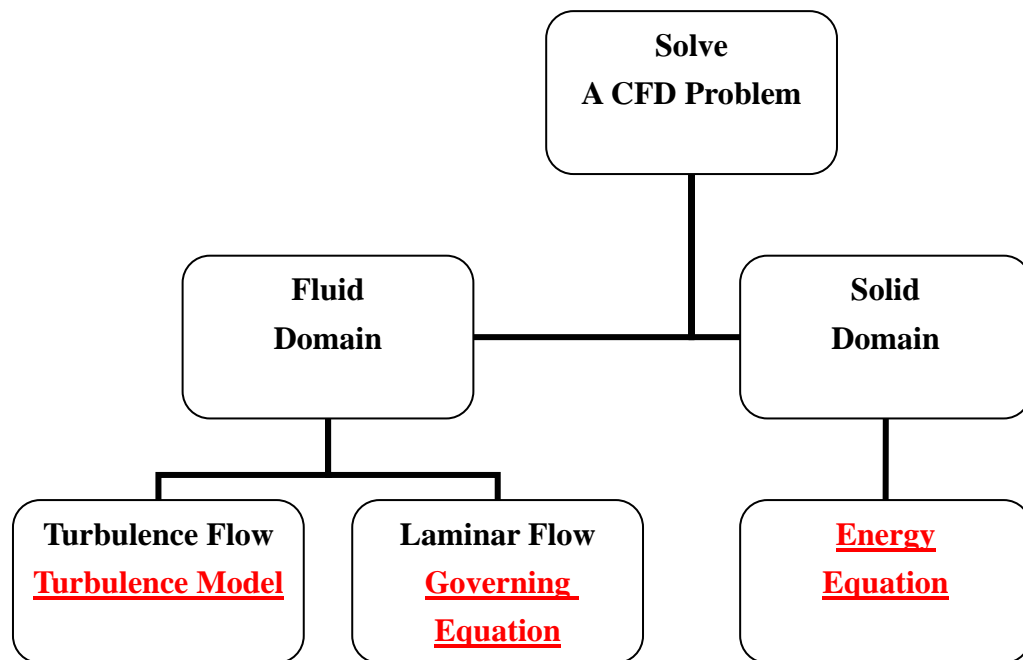
本研究主要是，以 IcePak 軟體，來模擬電子構裝的熱傳現象；利用 Fluent 計算流體力學的求解器，以有限體積法求解流場及溫度場的問題，其流程圖如圖 2-1 所示。物理模式如圖 2-2 所示，所用晶片及基板分別 GaAs、AlN 等陶瓷材料，選用之球格及 Circuit 為傳統之錫鉛焊料及擁有較好的電信性質與不錯熱傳性質的純 Au 當作材質，熱分析的參數範圍與材料性質如表 2-1 與 2-2 所示。選擇一開放的六面體空間對封裝體作自然對流及強制對流之測試；在進口(minY 平面)的邊界條件，對強制對流而言，其質量流率與外界溫度被固定(大氣溫度)；對自然對流而言，停滯壓力(Stagnation Pressure)與外界溫度被固定。在出口(maxY 平面)的邊界條件，對自然對流與強制對流，則無溫度梯度且壓力為常壓。

2-2 數學模式

2-2-1 統御方程式

為了解電子構裝在自然對流與強制對流下的溫度場，需從統御方程式及紊流方程式下手求解，進而可求得物理域的溫度場與熱傳現象。

其流程圖如下圖所示



首先討論層流部分，以物理現象來區分我們可以將其分為兩大部分討論；流體區域(Fluid Domain)及固態區域(Solid Domain)。

(1) Fluid Domain

計算流體力學是以統御方程來描述實際的物理現象，因此必須解得連續、動量與能量方程式等統御方程。其統御方程式可表示如下：

$$\text{連續方程式: } \frac{\partial \rho}{\partial t} + \nabla \cdot (\rho \vec{v}) = 0 \quad (2-2-1)$$

$$\text{動量方程式: } \frac{\partial}{\partial t}(\rho \vec{v}) + \nabla \cdot (\rho \vec{v} \vec{v}) = -\nabla \cdot p + \nabla \cdot (\bar{\vec{\tau}}) + \rho \vec{g} + \vec{F} \quad (2-2-2)$$

$$\text{能量方程式: } \frac{\partial}{\partial t}(\rho h) + \nabla \cdot (\rho h \vec{v}) = \nabla \cdot [(k + k_t) \nabla T] + S_h \quad (2-2-3)$$

其中 g 表物體重力(Body Force)， p 為靜態壓力(Static Pressure)， $\bar{\vec{\tau}}$ 表

應力張量(Stress Tensor)；可表示如下式 $\bar{\tau} = \mu[(\nabla \bar{v} + \nabla \bar{v}^T) - \frac{2}{3} \nabla \cdot \bar{v} I]$ 。

I 為單位張量(Unit Tensor)， F 表源項(Source Term)， S_h 表熱源； h 表焓。

本研究主要為討論穩態之流場且流體為不可壓縮流體 $\rho = \text{constant}$ ，熱源的處理(Source)我們將其視為邊界條件(Boundary Condition)，故其 S_h 為零。

則統御方程式可改為：

$$\text{連續方程式: } \nabla \cdot (\bar{v}) = 0 \quad (2-2-4)$$

$$\text{動量方程式: } \nabla \cdot (\rho \bar{v} \bar{v}) = -\nabla \cdot p + \nabla \cdot (\bar{\tau}) + \rho \bar{g} \quad (2-2-5)$$

$$\text{能量方程式: } \nabla \cdot (\rho h \bar{v}) = \nabla \cdot (k \nabla T) \quad (2-2-6)$$

(2) Solid Domain

其只適用統馭方程式中的能量方程式；且無速度項，經換算後可得一般所見之熱傳導式子。

$$\text{能量方程式: } 0 = \nabla \cdot (k \nabla T) \quad (2-2-7)$$

以二維熱傳導方程式為例

$$\text{二維熱傳導方程式: } 0 = \alpha \cdot \left(\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} \right) \quad (2-2-8)$$

一般在解紊流流場可分為 Zero-Equation Model 及 Advanced Turbulence Model 等。

2-2-2 無因次化分析

IcePak 層流及紊流的判斷以及流體的性質判別，是經由邊界條件及無因次化參數來做決定；首先由 Reynolds number (Re)判定流體形式，Re 定義如下：

$$\text{Re} = \rho v L / \mu \quad (\text{inertial/viscous}) \quad (2-2-9)$$

再經由 Prandtl number (Pr)分析速度與溫度之關係，Pr 定義如下：

$$\text{Pr} = \mu c_p / k \quad (\text{viscous/thermal diffusion}) \quad (2-2-10)$$

經無因次化參數及邊界得給定之後，我們便可判斷出流體的形式及性質；本研究所測試出流體均為層流，故沒有使用到紊流方程式模型。

2-2-3 熱源的處理

由於本研究之熱源處理為 2D 平面式，因此把熱源視為邊界條件來做處理；首先我們將式子(2-2-8)與(2-2-6)做修正可以分別得到：

固態區熱傳導能量方程式

$$0 = \left(\frac{k_s}{\rho_s C p_s} \right) \left(\frac{\partial T_s}{\partial x^2} + \frac{\partial T_s}{\partial y^2} \right) \quad (2-2-11)$$

外流場之能量方程式

$$\rho_f C p_f \left(u_f \frac{\partial T_f}{\partial x} + v_f \frac{\partial T_f}{\partial y} \right) = k_f \left(\frac{\partial^2 T_f}{\partial x^2} + \frac{\partial^2 T_f}{\partial y^2} \right) \quad (2-2-12)$$

如圖 2-3 所示，當在一固液接觸表面下兩網格交接處，存在著其介面能量守衡方程式：

$$k_f \frac{\partial \theta_f}{\partial Y} = k_s \frac{\partial \theta_s}{\partial Y} \quad (2-2-13)$$

若為固態-固態，或是液態-液態交接處；上式作 k 值及溫度的修正亦可使用。且當為固態-固態(熱源交接面時)可將此式修正為：

$$k_{s1} \frac{\partial \theta_{s1}}{\partial Y} = k_{s2} \frac{\partial \theta_{s2}}{\partial Y} + q \quad (2-2-14)$$

(當固態交接面不為熱源所處平面時，其 q 值為零)

最後再運用數值方法的計算，便可求得我們欲知道的流場及溫度場。

2-2-4 熱輻射的處理

IcePak 預設熱輻射(Radiation)的計算是採用 surface-to-surface model，能量流動的傳遞是靠表面的放射及反射交相作用產生，將離開物體表面的能量表示為下式：

$$q_{out,k} = \varepsilon_k \sigma T_k^4 + \rho_k q_{in,k} \quad (2-2-15)$$

其中 ε_k 表物體之放射率係數， σ 表波茲曼係數， $q_{in,k}$ 表經由四周入射到其表面的能量。而所有經由其他表面入射之能量我們必須考慮到表面因子(view factor) F_{ij} ，並表示為

$$F_{ij} = \frac{1}{A_i} \int_{A_i} \int_{A_j} \frac{\cos \theta_i \cos \theta_j}{\pi r^2} \delta_{ij} dA_i A_j \quad (2-2-16)$$

其中 i 表示為物體所在之表面，j 表入射的表面處，而 δ_{ij} 表示其可見度，有 1 及 0 兩種可能；當表面 j 處能看見表面 i 時其值為 1，反之則為 0。並最後整理可得能量關係為

$$A_k q_{in,k} = \sum_{j=1}^N A_j q_{out,j} F_{jk} \quad (2-2-17)$$

2-3 電子構裝熱阻的定義

在電子構裝的熱預算(Thermal Budget)一般定義為，晶片接合點(Junction)的最大溫度、熱的散逸量與周遭環境的狀況。這三個係數通常會以 R_{ja} (Junction-to-ambient thermal resistance)、 R_{jb} (Junction-to-board thermal resistance)及 R_{jc} (Junction-to-case thermal resistance)來呈現，如圖 2-4 所示。因為了解這三個熱阻值便可了解電子構裝的散熱能力，其表示式如下：

$$R_{ja} = \frac{T_j - T_a}{P_d} \quad (2-3-1)$$

$$R_{jb} = \frac{T_j - T_b}{P_d} \quad (2-3-2)$$

$$R_{jc} = \frac{T_j - T_c}{P_d} \quad (2-3-3)$$

其中

P_d ：為晶片的發熱量

T_j ：晶片接合點的溫度

T_b ：印刷電路板的溫度

T_c ：模子(Moldcompound)的溫度

第三章 數值方法

3-1 數值模擬流程

1. 建立實體模型:使用 Icepak 所提供的物件為實際的系統及元件,以建構其三維與二維的系統模型。
2. 分割網格:Icepak 使系統模型產生網格的方法有 hexahedra, tetrahedral 及混合模式。
(本文所探討之封裝散熱模組為採用 hexa unstructured 網格)
3. 設定材料:利用內部所建立的 material property database 以設定材料性質。
4. 選擇物理模式 在 Icepak 提供以下物理模式
 - 層流與紊流模式。
 - 穩態與暫態分析。
 - 強制、自然及混合對流熱傳模式。
 - 固體內熱傳導。
 - 固、液體區間之共軛熱傳。
 - 面與面間之輻射熱傳模式。
 - 速度與能量之體積熱阻及熱源。
 - 在亂流模式:可選擇混合長度、雙方程式(即標準 $k-\epsilon$ 或 RNG $k-\epsilon$ turbulence model)進行計算。



- 接觸熱阻模式。

3-2 數值方法

IcePak 解答的步驟如圖 3-1 所示：在求解的過程中我們運用對控制體積積分的技巧，先將統御方程式離散成代數方程式，也就是一般所稱的離散方程式(Discretization Equations)，然後採用 Patankar[25]所提之 SIMPLE SIMPLE(Semi-Implicit Method for Pressure-Linked Equation)演算法以求得其正確壓力與速度場。較詳細的求解方式將在下面各節討論。

3-2-1 離散方程式

為了將統御方程式轉換為代數方程式，也就是為了獲得離散方程式。離散方程式是由統御方程式對每個控制體積作積分而得。以一穩態的統御方程式為例，對一任意的控制體積 V 積分的型式可表示如下：

$$\oint \rho \phi \vec{v} \cdot d\vec{A} = \oint \Gamma_{\phi} \nabla \phi \cdot d\vec{A} + \int_V S_{\phi} dV \quad (3-2-1)$$

其中 ϕ 表任意相關變數， \vec{v} 為速度向量， \vec{A} 為表面積向量， Γ_{ϕ} 為擴散係數， $\nabla \phi$ 表 ϕ 的梯度， S_{ϕ} 表源項。

式(3-2-1)可運用到計算域每一個控制體積。格點切割有數種方式(如圖 3-2)，以一個二維三角格點為例(如圖 3-3 所示)式(3-2-1)可離散

成下式:

$$\sum_f^{N_{faces}} \rho \vec{v}_f \phi_f \cdot \vec{A}_f = \sum_f^{N_{faces}} \Gamma_\phi (\nabla \phi)_n \cdot \vec{A}_f + S_\phi V \quad (3-2-2)$$

其中 N_{faces} 表格點的面數， ϕ_f 指透過面 f 轉換的 ϕ 值， $\rho \vec{v}_f \cdot \vec{A}_f$ 表每個面的質量通量， \vec{A}_f 表面 f 的面積， $(\nabla \phi)_n$ 為面 f 垂直 $\nabla \phi$ 的分量。

對於(3-2-2)式的對流項 ϕ_f 值須進一步根據格點中心的值，運用 upwind scheme 作修改。

在式(3-2-2)的離散方程中，包含在格點中心未知變量 ϕ 與在鄰近格點的未知值。一般而言，(3-2-2)式仍然可能還是非線性，因此進一步線性化的行式可表示如下式:

$$a_p \phi = \sum_{nb} a_{nb} \phi_{nb} + b \quad (3-2-3)$$

其中下標 nb 指的是鄰近的格點， a_p 及 a_{nb} 是對於 ϕ 與 ϕ_{nb} 線性化的係數， b 為源項。

3-2-2 SIMPLE Algorithm 壓力與速度的修正

壓力與速度修正主要是使在疊代的過程中，能滿足所有的物理現象，計算出較符合實際狀況的值，其修正的過程如下:

1. 首先對壓力場 P^* 作預測。
2. 將 P^* 代入動量方程式求得相關的速度場 u^* 、 v^* 與 w^* 。
3. 求得的 P^* 、 u^* 、 v^* 與 w^* 並不滿足連續方程式，因此運用連續方程式建構壓力修正 P' ，進而獲得相關的速度修正 u' 、 v' 、 w' ，藉此

可得到正確的壓力與速度場，

4. 令 $p = p^* + p'$ ，其中 p^* 為預估壓力 (Estimated Pressure) 及 p' 為修正壓力 (Pressure Correction)，由於 p^* 值的不同，則會產生不同的速度對應值 u^* 、 v^* 、 w^* 。即可令
- 並使用速度修正方程式解得 u 、 v 與 w 。如下所示:

$$P = P^* + P' \quad (3-2-4)$$

$$u = u^* + u' \quad (3-2-5)$$

$$v = v^* + v' \quad (3-2-6)$$

$$w = w^* + w' \quad (3-2-7)$$

5. 假如計算出的值會因流體性質與源項影響流場，必須先解其它的變數(如溫度、濃度、紊流量)，若流場不被影響，其餘變數值待其收斂後再進行求解。
6. 將計算出的壓力 P 視為新的預測值，重複步驟 2 到 4 直到其解收斂為止。

第 4 點中其 u^* 、 v^* 與 w^* 分別為預估速度 (Estimated Velocity) 而 u' 、 v' 與 w' 則各分別為修正速度 (Velocity Correction)，因此重新改寫(3-2-3)方程式分 x, y, z 方向為以下型式

$$a_e u'_e = \sum a_{nb} u^*_{nb} + (p^*_P - p^*_E) A_e + b \quad (3-2-8)$$

$$a_n v'_n = \sum a_{nb} v^*_{nb} + (p^*_P - p^*_N) A_n + b \quad (3-2-9)$$

$$a_t w'_t = \sum a_{nb} w^*_{nb} + (p^*_P - p^*_T) A_t + b \quad (3-2-10)$$

其中下標 nb 代表著所有鄰近的格點， P 為現在所欲求值的格點， e

則代表著位於 P 格點與 E 格點的控制容積表面的點，n 與 t 則分別代表 y、z 方向格點 P 與 N、T 間控制容積表面的點。而 $\sum a_{nb} u_{nb}$ 項為對流和擴散效應的結合，b 為源項(source term)， A_e 為壓力作用下的面積。

將(3-2-3)式之 x 方向減(3-2-8)可得

$$a_e(u_e - u_e^*) = \sum a_{nb}(u_{nb} - u_{nb}^*) + [(p_P - p_P^*) - (p_E - p_E^*)]A_e$$

同理

$$a_n(v_n - v_n^*) = \sum a_{nb}(v_{nb} - v_{nb}^*) + [(p_P - p_P^*) - (p_N - p_N^*)]A_n$$

$$a_t(w_t - w_t^*) = \sum a_{nb}(w_{nb} - w_{nb}^*) + [(p_P - p_P^*) - (p_T - p_T^*)]A_t$$

將(3-2-5)、(3-2-6)與(3-2-7)

代入上式後可得

$$a_e u'_e = \sum a_{nb} u'_{nb} + [(p'_P) - (p'_E)]A_e \quad (3-2-11)$$

$$a_n v'_n = \sum a_{nb} v'_{nb} + [(p'_P) - (p'_N)]A_n \quad (3-2-12)$$

$$a_t w'_t = \sum a_{nb} w'_{nb} + [(p'_P) - (p'_T)]A_t \quad (3-2-13)$$

在 SIMPLE 演算法中，是將 $\sum a_{nb}(u'_{nb})$ ， $\sum a_{nb}(v'_{nb})$ 與 $\sum a_{nb}(w'_{nb})$ 從方程式中忽略，因此修正可得

$$u_e = u_e^* + d_e [(p'_P) - (p'_E)] \quad (3-2-14)$$

$$v_n = v_n^* + d_n [(p'_P) - (p'_N)] \quad (3-2-15)$$

$$w_t = w_t^* + d_t [(p'_P) - (p'_T)] \quad (3-2-16)$$

其中

$$d_e = \frac{A_e}{a_e} \quad d_n = \frac{A_n}{a_n} \quad d_t = \frac{A_t}{a_t}$$

首先將連續方程式取積分式，並離散化後可得

$$\begin{aligned} & \frac{(\rho_p - \rho_p^0) \Delta x \Delta y \Delta z}{\Delta t} + [(\rho u)_e - (\rho u)_w] \Delta y \Delta z \\ & + [(\rho v)_n - (\rho v)_s] \Delta z \Delta x + [(\rho w)_t - (\rho w)_b] \Delta x \Delta y = 0 \end{aligned} \quad (3-2-17)$$

若將上述三式之速度值代入上式(3-2-16)，則可以得到壓力修正方程

式 (Pressure-Correction Equation)

$$a_p p'_p = a_E p'_E + a_W p'_W + a_N p'_N + a_S p'_S + a_T p'_T + a_B p'_B + b \quad (3-2-18)$$

其中

$$a_E = \rho_e d_e \Delta y \Delta z$$

$$a_W = \rho_w d_w \Delta y \Delta z$$

$$a_N = \rho_n d_n \Delta z \Delta x$$

$$a_S = \rho_s d_s \Delta z \Delta x$$

$$a_T = \rho_t d_t \Delta x \Delta y$$

$$a_B = \rho_b d_b \Delta x \Delta y$$

$$a_p = a_E + a_W + a_N + a_S + a_T + a_B$$

$$\begin{aligned} b = & \frac{(\rho_p - \rho_p^0) \Delta x \Delta y \Delta z}{\Delta t} + [(\rho u^*)_w - (\rho u^*)_e] \Delta y \Delta z \\ & + [(\rho v^*)_s - (\rho v^*)_n] \Delta z \Delta x + [(\rho w^*)_b - (\rho w^*)_t] \Delta x \Delta y \end{aligned} \quad (3-2-19)$$

由於求解的方程式為非線性，且變數間彼此耦合、相互影響，使

得流場中各變數的變化很大，亦導致計算過程中發散，因此必須引入小於或等於 1 之鬆弛係數以緩和每一疊代的變化，期能增加數值計算的穩定性。一般而言，適當的低鬆弛係數有助於收斂，但若將鬆弛係數定的太小，則收斂緩慢，增加計算時間；若定的太大，則又容易發散，因此選擇適當的低鬆弛係數在數值模擬上是很重要的。

上式 b 可視為殘餘質量源 (residual mass source)，是以上次計算所得壓力分佈 p^* 解得 u^* 、 v^* 、 w^* ，隨後代入連續方程式而得，當 p^* 、 u^* 、 v^* 與 w^* 趨近正確值時， b 將趨近於零，此時即無須再作修正。以 SIMPLE 法則計算之整個過程中，關鍵的一步是將

$\sum a_{nb} u'_{nb}$ ， $\sum a_{nb} v'_{nb}$ 與 $\sum a_{nb} w'_{nb}$ 省略，以忽略周圍各點速度修正量，如此使壓力修正量 p' 對 u' 的影響變得只有部分隱含而非全部隱含，所以 Patankar 將這種求解方法命名為半隱性壓力聯結法(Semi-Implicit Method for Pressure-Linked Equation，SIMPLE)。

3-2-3 收斂條件

由以上的敘述得知，SIMPLE 演算法則之收斂與否的取決，可依照壓力修正方程式中 b 項是否趨近於零來做判斷。主要是因為其具有連續方程式的差分型式，若其值大小趨近於零，則代表著滿足質量守恆定理。基於此一觀念，IcePak 對於質量殘差值 R^θ 為

$$R^\phi = \sum_{cells} \left| \sum_{nb} a_{nb} \phi_{nb} + b - a_p \phi_p \right| \quad (3-2-20)$$

大部分的情況下，使用上式決定是否收斂，此方式十分困難，所以

ICEPAK 以下公式，定義收斂條件

$$R^\phi = \frac{\sum_{cells} \left| \sum_{nb} a_{nb} \phi_{nb} + b - a_p \phi_p \right|}{\sum_{cells} |a_p \phi_p|} \quad (3-2-21)$$

本文所進行的數值模擬計算結果，在流場與溫度場之收斂條件，分別設定為 10^{-6} 與 10^{-7} [26]。

3-3 網格系統與配置

為了使內部網格區分大小、多寡，不至於影響到最後結果的正確性。因此在數值模擬之前，格點的測試的工作有其必要性。而網格空間分佈主要有準確性，數值穩定性和花費時間等三大考量。通常而言，網格區分愈細密，則所計算出來的值也會愈精密，相對地花費時間也較多。但在某些特殊情況下，網格區分愈細密、因四捨五入 (Truncation-Error) 網格變形的緣故，反而會導致結果的不正確及數值的不穩定現象。因此可藉由格點測試的工作，有限的電腦資源中尋得網格分佈的最佳化：即為利用最少量的網格數，且其存在著最小的變形量，以獲得相同結果的正確解。

3-3-1 等效熱阻

雖然電腦的運算能力快速的增加，但以一詳細的結構來進行模擬分析還是相當的費時，因此先簡化結構再進行模擬是一必然的途徑，於是提出以熱的子模式(Thermal Sub-modeling)的方法來求得覆晶的凸塊層、BGA 錫球層、基板與印刷電路板的等效熱阻，並經由實驗與模擬的比較之下，證明熱的子模式相當準確。

此方法是運用 thermal Ohm's law 來進行並聯與串聯之等效熱阻計算，其計算式子如下

$$\text{並聯部分} \quad K_{//} = K_M \sum \frac{t_M}{T} + K_I \sum \frac{t_I}{T} \quad (3-3-1)$$

$$\text{串聯部分} \quad K_{\perp} = \left(\frac{1}{K_M} \sum \frac{t_M}{T} + \frac{1}{K_I} \sum \frac{t_I}{T} \right)^{-1} \quad (3-3-2)$$

其中

K_M :金屬之熱傳導性

K_I :第 I 層之熱傳等性

t_I :第 I 層之厚度

T:總厚度

而當只有 2 種材料時我們可以運用比例的關係將上二式表示成

$$k_{xyz} = \frac{1}{\left(\frac{t_M}{k_M} \right) + \frac{(1-t_M)}{k_I}} \quad (3-3-3)$$

$$k_{xyxy} = k_M t_M + k_I (1 - t_M) \quad (3-3-4)$$

3-3-2 非均勻化網格設定

因爲尺寸大小及 size ratio 的關係使得當我們的 model 不作特別的簡化處理時，其網格數約有 80、90 萬之間，一個 case 要跑一天多，不方便我們作系統化之分析；故除了使用等效熱阻的方式用一個 Block 來簡化某一區域之網格數外，我們亦可利用 IcePak 的 assembly 的功能使用非均勻化網格來作分析；這樣不但可以將主要之發熱源以及散熱設計做更精確之模擬同時也減少了封裝體四周之網格數(如圖 3-4 所示)，運用此功能可以將我們的網格數從 80,90 萬降到 20 多萬左右，更有利於我們作系統化之分析。



第四章 結果與討論

4-1 網格測試

由第三章第三節網格系統配置裡頭，我們提出了運用等效熱阻及非均勻網格的方式可以減少我們的網格數以利我們作系統化的分析。而在 ICEPAK 定義網格方式，是定義網格最大邊長，Max X size 代表 X 軸最大邊長，Max Y size 代表 Y 軸最大邊長，Max Z size 代表 Z 軸最大邊長，因此網格最大邊長不會超過限定的邊長，只要定義網格的邊長後，即由電腦自動產生網格，本文採用多組網格尺寸進行網格測試，最後選定網格尺寸分別為 $200\text{ microns} \times 200\text{ microns} \times 200\text{ microns}$ 【如圖 4-1】、與 $500\text{ microns} \times 500\text{ microns} \times 500\text{ microns}$ 【如圖 4-2】【其最小間距皆為 0.1998microns (最小尺寸的 1/10)】分別來作傳統的高電子遷移率(HEMT)及同軸式 (Co-Axial)覆晶構裝之網格切割。

4-2 封裝體內之熱分析及設計

未經設計前的高頻覆晶封裝我們在晶片的材料設定為 GaAs，而在基版的材料設定為 AlN 及 Al_2O_3 ，選用之球格($50\ \mu\text{m}$)及線路($2\ \mu\text{m}$)為傳統之錫鉛焊料及擁有較好的電信性質與不錯熱傳性質的純 Au 當作材質。由於在本研究的模擬與過往的封裝型態大不相同，特別是在

尺寸上的設定為 μm 等級，這也使得在熱通道及球格的設計受此條件限制，故將基板連接印刷電路板的球格固定為五顆，並分別在傳統式及同軸式此二種不同形式之覆晶封裝形式作模擬。

而在第一章第五節當中，我們討論在整個封裝的熱模擬分析中可分為「封裝體內-熱往下傳為主」及「封裝體外」的設計變更來做探討；又因為在 μm 尺寸等級下，從溫度上去做討論變化不大，故採用第二章第三節所提出運用 Junction-air & Junction-board resistance 來比較其設計改良的效益程度。

4-2-1 傳統式高頻(Traditional-HEMT)覆晶封裝內部設計

首先在封裝體內的設計，我們知道在正常晶片運作下，Junction 處所產生的熱量(heat source)為 0.04 w，不過為了看出熱阻變化趨勢及取晶片工作安全容許範圍；固本文在內部設計模擬時將 Junction 處發熱瓦數設定為 0.04、0.06 及 0.08 w。我們分別對此兩種形式做了以下討論：

- (1)球格個數的變更(傳統及補償式之高頻覆晶封裝)
- (2)晶片、基板及球格在材料上的改變
- (3)將線路的厚度做部分的增加
- (4)在基板內各層增加許多的熱通道

圖 4-3 及 4-4 當基板為 Al_2O_3 金屬球格為 PbSn 時，傳統的 6 balls 結

構及 4 balls 補償式結構高頻覆晶封裝 Junction-air & Junction-board resistance 分佈曲線。在正常工作條件發熱瓦數為 0.04 w 的情況下，我們將連接線路(Circuit) 的球格由 4 顆 (Junction Temperature 為 67.0973°C) 增加為 6 顆 (Junction Temperature 為 63.9711°C) 時， Junction-air-resistance 由 $1002.43^{\circ}\text{C/W}$ 降為 924.27°C/W 、而在 Junction-board-resistance 部分則由 $330.807^{\circ}\text{C/W}$ 降為 251.90°C/W 。

從此結果可知在不考慮電信的情況下單以熱傳的角度來看，傳統的 6 balls 結構高頻覆晶封裝其散熱的效果明顯比 4 balls 補償式結構優於許多；其結果判斷應由於在傳統高頻覆晶晶片與基版之間並沒有填加底部填膠，這也使得球格成爲了最主要將熱往下傳給基版的媒介，故在球格的個數我們選用傳統的 6 balls 結構。

在基板及球格材料上的設計變更上我們繼續延用 6 balls 結構設計方式，分別將基板設定爲 AlN 及 Al_2O_3 、球格設定爲錫鉛及純 Au 兩種不同材料作模擬；從圖 4-5 及 4-6 可得之當基板從 Al_2O_3 變更爲 AlN 時， Junction-air-resistance 由 924.27°C/W 降爲 888.29°C/W 、 Junction-board-resistance 則由 251.90°C/W 降爲 215.86°C/W 。另外當球格從 PbSn 變更爲 Au 時； Junction-air-resistance 由 888.29°C/W 降爲 776.69°C/W 、 Junction-board-resistance 的部分則由 215.86°C/W 降爲 103.22°C/W 。

選定了 AlN 基版及 Au 球格之後，接著討論當線路(circuit)的厚度做部分增加時，其散熱效能的改善程度；首先我們知道在封裝的設計裡頭，尺寸有一定的限制，不能作無限的放大(散熱面積越大其散熱效果越好)，因此將線路厚度分別作 2、4 及 8 μm 的模擬；(如圖 4-7 及 4-8 所示) 當線路厚度從 2 μm 增加為 4 μm 時，我們發現在 Junction-air-resistance 部分由 776.69°C/W 下降為 769.90°C/W 、Junction-board-resistance 的部分則由 103.22°C/W 降為 95.92°C/W 。當 circuit 厚度從再增為 8 μm 時，Junction-air-resistance 由 769.90°C/W 降為 759.02°C/W 、Junction-board-resistance 的部分則由 95.92°C/W 降為 85.29°C/W 。



由文獻[15]得知在晶片正下方增加大量的散熱通道時有助於整體的散熱效果，但由於尺寸上的限制，我們在散熱通道設計上並不能像一般晶片做全陣列式的分布，有其個數上的限制。又因為本研究所作模擬為 detail model，在許多原件部分會因為尺寸比例的關係使得電腦無法做運算；此處若欲作散熱通道的模擬便會有此一問題產生，因此我們使用了第三章第三節裡所提出等效熱阻的方式，作熱通道 (Cu 材料) 及基板 (AlN) 間區域的等效熱阻 k 值。在此區域中我們最多可以作到 4 個熱通道的設計，其橫向及縱向之等效 k 值分別為『當 vias 各數為 2 時；其橫向之等效 k 值為 206.77W/m-k ，縱向之等效 k

值為 187.82W/m-k 、當熱通道各數為 3 時；其橫向之等效 k 值為 225.27W/m-k ，縱向之等效 k 值為 198.256W/m-k 、最後當熱通道各數為 4 時；其橫向之等效 k 值為 243.76W/m-k ，縱向之等效 k 值為 211.59W/m-k ；另外在基版正下方之球格也因此受到尺寸比例的影響而必須將圓柱狀體積改成等效之立方體體積來加以模擬。

圖 4-9 及 4-10 分別為設計熱通道之後 Junction-air 及 Junction-board resistance 分佈曲線圖，從分部曲線圖中我們可以發現在熱通道的設計上，其改變散熱的效能並不明顯。

彙整以上資料，以表 4-1 表示之：我們可以看出傳統高頻覆晶封裝內部分別在球格個數上的變更、封裝材料上的改變、線路的厚度以及熱通道的設計；對於我們整體封裝體散熱效益所帶來的影響程度有多寡。

4-2-2 同軸式高頻(Co-Axial-HEMT)覆晶封裝內部設計

在同軸式與傳統高頻覆晶外觀上的不同，除了有無填充底部填膠的差別外，最主要的不同在其訊號部與接地部的配置及 BCB 膠質材料上的運用；因此在整個溫度的分佈上也有明顯的不同。我們同樣對其作封裝材料、線路的厚度以及熱通道的設計變更來作其散熱效能的探討：

從圖 4-11 及 4-12 可得之在正常工作條件發熱瓦數為 0.04 w 的情

況下，當基板從 Al_2O_3 變更爲 AlN 時，Junction-air-resistance 由 906.95°C/W 降爲 881.385°C/W 、而 Junction-board-resistance 則由 212.97°C/W 降爲 187.19°C/W 。另外當球格從 PbSn 變更爲 Au 時；Junction-air-resistance 由 881.385°C/W 降爲 819.5°C/W 、而 Junction-board-resistance 的部分則由 187.19°C/W 降爲 125.66°C/W 。

同傳統高頻覆晶封裝將線路厚度分別作 2、4 及 8 μm 的模擬，當線路厚度從 2 μm 增加爲 4 μm 時，我們發現在 Junction-air-resistance 部分由 819.5°C/W 下降爲 811.51°C/W 、Junction-board-resistance 的部分則由 125.66°C/W 降爲 117.89°C/W 。當 circuit 厚度從再增爲 8 μm 時，Junction-air-resistance 由 811.51°C/W 降爲 795.2°C/W 、Junction-board-resistance 的部分則由 117.89°C/W 降爲 104.22°C/W 【如圖 4-13 及 4-14 所示】。

在熱通道的設計上同樣運用等效 k 值的方式來做模擬；如圖 4-15 及 4-16 所示，Junction-air & Junction-board resistance 範圍在 $795.2\sim 794.8^\circ\text{C/W}$ 及 $104.2\sim 103.7^\circ\text{C/W}$ 間作震盪，其變化與上一小節傳統高頻覆晶封裝熱通道的設計變更結果一樣並不明顯。

彙整以上資料，以表 4-2 表示之：我們可以看出同軸式高頻覆晶封裝內部分別在封裝材料上的改變、線路的厚度以及在熱通道的設計；對於我們整體封裝體散熱效益所帶來的影響程度有多寡。

比較傳統式及同軸式高頻覆晶封裝內部設計可得到以下結論:

- (1)當球格數由 4balls 增為 6balls 其擁有較好之散熱效益。
- (2)使用 Au 材比傳統之錫鉛材料擁有更好的散熱效果，且基板材料的改變亦能將其 junction 處的降溫做很大的改善。
- (3)線路的厚度在允許的空間中作部分的增加有不錯之散熱效果。
- (4)運用等效熱阻的方式可以計算出在晶片正下方加入熱通道能改善其散熱之效能，但由於熱通道之數目受晶片面積影響不能過多，故效果並不明顯。
- (5) Rjb (Junction-board-resistance)在傳統式高頻覆晶封裝比同軸式高頻覆晶封裝來的較小。
- (6) 在無封裝外型設計上的設計情況下；傳統式高頻覆晶封裝因少了 BCB 等高分子材料其熱阻值較同軸式高頻覆晶封裝來的低且散熱效果較佳。

4-3 封裝體外之熱分析及設計

晶片之正常工作下所產生熱量為 0.04w，故在外部之封裝設計將以 0.04w 為準則；而因為應用方面的不同，傳統式及同軸式高頻覆晶封裝在封裝外型上也有不同的設計，傳統式高頻覆晶封裝為點膠方式封裝，而同軸式高頻覆晶封裝將從散熱片(Heat Spreader)，熱界面材料(TIM)，Heat Sink 等各種晶片上方不同型式的散熱裝置之設計及利

用強制對流(Force convection)的方式找出其封裝後的最佳散熱徑。

4-3-1 傳統式高頻覆晶封裝外部設計

由於網格功能上的限制(Icepak 教育版不能使用 Tetra 網格)，在晶片上方的 Mold compound 無法做出圓球狀的形體來作模擬，【如圖 4-17】。因此我們運用數值模擬上常見的方式；使用等效體積用一個立方體【如圖 4-18】來取代圓球狀體。

且在晶片與基版交接處的空隙分別探討有無空氣的植入(在電信的角度上，有填入空氣的結果其效能更佳)，其溫度分佈等溫線圖形如圖 4-19 及 4-20 所示；並以表 4-3 來比較其之間的差異。從表 4-3 可以發現當加上 Mold compound 之後；雖然整體的傳導效能增加，但在對流部分的影響就相對減緩(熱源直接對空氣作自然對流的影響)，所以在整體的溫度分部改變並不明顯；不過當晶片與基板交接處的空隙填入空氣時，不但減少熱源直接對空氣對自然對流的影響外，在傳導部分的影響也變小，故溫度分佈也較封裝前較高。

4-3-2 同軸式高頻覆晶封裝外部設計

在同軸式高頻覆晶封裝外型上的設計，我們規劃了 8 種不同的類型來做比較；分別為 Type.0 No enhancement、Type.1 With heat spreader、Type.2 With heat spreader and soft pad、Type.3 With metallic lid、Type.4 With mold compound (varying percentage of coverage,25%)

- 、 Type.5 With mold compound (varying gap in the mold compound
- 、 Type.6 With mold compound and Cu heat spreader(varying gap between the die and the heat spreader) 以及 Type.7 With metallic and heat sink 。

【如圖 4-21 所示】：

在 Type.0 No enhancement 部分最主要是要當作其他設計比較的準則，從表 4-4 可知道其溫度及熱阻的分佈範圍。

當在晶片上方加上 Heat spreader（交接處有一層散熱膏薄膜）使成 Type.1 With heat spreader 形式時：首先在散熱膏的模擬上其尺寸設定 10~20 μm 區間，由於其熱傳導係數值極小，故尺寸所帶來之效應不大。且在的 Heat spreader 設計，Al 與 Cu 材料所帶來之影響並無特別明顯；且當厚度在超過 50 μm 時，對溫度的影響趨緩，為了同時考量封裝尺寸的微小化，將其設定值為 50 μm 。【表 4-5 描述其溫度及熱阻的分布情形】

在 Type.2 With heat spreader and soft pad 部分，除了沿用了 Type.1 裡使用 50 μm 的 Heat spreader 外，另外加入寬度各為 200、300 及 400 μm Soft Pad 來增加其往下傳的熱傳量；從模擬結果可得知加上 Soft Pad 之後比單只有 Heat spreader 的封裝形式擁有更好散熱的效果；不過當 Soft Pad 增為 400 μm 之後其影響趨緩，為了同時顧慮到封裝尺寸上的設計考量，我們將其 Soft Pad 尺寸設定為 300 μm 。【表 4-6 描述其溫

度及熱阻的分佈情形】

在 Type.3 With metallic lid 我們選用兩種不同的材料 Al 及 Cu 來做模擬，其 Junction-air-resistance 分別由 794.79°C/W 降為 744.15°C/W 及 741.41°C/W ；以表 4-7 來描述 Type.3 的溫度及熱阻的分布情形。

Type.4 與 Type.5 是針對 substrate 不同的比例(25%及 100%)作 Mold compound 分佈對於封裝體散熱的影響程度探討；另外為了更加符合實際情形在晶片與 Mold compound 之間也加入一層 $20\ \mu\text{m}$ 的散熱膏；並且將 Mold compound 的 gap 設為 25 及 $50\ \mu\text{m}$ ，以表 4-8 及 4-9 分別表示其溫度及熱阻的分佈情形；則我們可以發現 mold compound 所佔基版的比例越多其散熱效果越好。

Type.6 是將 Type.5 上方再加上 Heat spreader 來作模擬，Heat spreader 厚度同樣設定為 25 及 $50\ \mu\text{m}$ （當厚度在超過 $50\ \mu\text{m}$ 時，對溫度的影響趨緩，故將在 heat sink 的設計時再來討論大體積變化之影響），其 Junction-air-resistance 分別由 794.79°C/W 降為 773.91°C/W 及 772.75°C/W ；以表 4-10 來描述 Type.6 的溫度及熱阻的分布情形。

在 Type.7 Heat sink 的設計上面，首先我們要先決定一散熱座基底尺寸及鰭片尺寸、鰭片材料、輸入熱源，環境溫度，並限定散熱座底部可接受的最高溫；為推測 CPU 中心溫度，要求輸入散熱膏熱阻，加熱片長寬；可計算出最適用的鰭片及最佳鰭片間距。

運用表 4-11 所設計的 heat sink 尺寸參數，以表 4-12 來描述 Type.7 的溫度及熱阻的分布情形我們可以知道當 Heat sink 的基底面積越大其散熱效果越好；而鰭片數目越多散熱面積也越多；但間距相對的越來越小，區間空氣的影響也越小，對整體之散熱效能影響勢必趨緩。

將以上 8 種不同之同軸式高頻覆晶封裝外型上設計所模擬出的 Rja 整理出表 4-13，並彙整成圖 4-22 我們可以更加容易看出哪種設計對於散熱上有較佳的效能；另外我們去量測晶片上方熱傳量所佔整體散熱部分的百分比，整理成圖 4-23 可以看出在哪一種設計下其往晶片上方運用傳導及對流得熱傳量各有多少。

根據圖 4-22 與 4-23 我們可以發現在以上 8 種不同之同軸式高頻覆晶封裝外型上設計所模擬出的結果，我們可以作出以下結論：

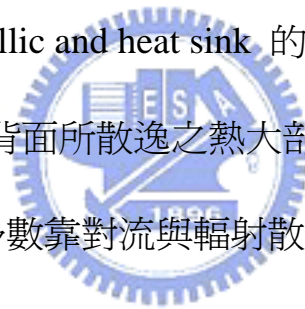
- (1)在模擬過程中，需考慮 TIM 的接觸熱阻；其尺寸設定 10~20 μm 區間，由於其熱傳導係數值極小且熱絕大部分為向下傳遞，故尺寸所帶來之效應不大。
- (2)mold compound 所佔基版的比例越多其散熱效果越好。
- (3)在 μm 級的 Heat spreader 設計，Al 與 Cu 材料所帶來之影響並無特別明顯(由於其熱絕大部分為向下傳遞且熱傳導係數值差距並不大)；當厚度在超過 50 μm 時，對溫度的影響趨緩，為了同時考量封裝

尺寸的微小化，將其設定值為 $50\ \mu\text{m}$ 。

(4)Heat sink 的基底面積越大其散熱效果越好；而鰭片數目越多散熱面積也越多；但間距相對的越來越小，區間空氣的影響也越小，對整體之散熱效能影響勢必趨緩。

(5)在 Type(0) No enhancement 與(1) With heat spreader 往晶片背面所散逸之熱由於往上延伸之 enhancement 無再接觸基板區域；固熱全經由對流與輻射散逸到大氣當中。

(6)在 8 種設計中以 Type(2) With heat spreader and soft pad(3) With metallic lid (7) With metallic and heat sink 的散熱效果較有明顯的提升；其中 Type(2)往晶片背面所散逸之熱大部分再經由 soft pad 傳導致基板而 Type(3)與(7)則多數靠對流與輻射散逸到大氣當中。



4-4 強制對流設計

一般光電元件之強制對流範圍設定在 $1.5\sim 2.5(\text{m/s})$ 區間，設計由 $1\sim 5(\text{m/s})$ 來做模擬；其結果與散熱座基底尺寸及鰭片尺寸、鰭片材料有極為密切關係。模擬部分將由 Co-axial Type(7)得 5 種 Heat sink 設計來分別作強制對流的模擬。

表 4-14 與 4-15 為 Type(7)得 5 種 Heat sink 設計在各風速下的平均溫度及 R_{ja} (Junction-air-resistance) 分佈情形；並將其結果分別作

成圖 4-24~4-28 來討論之，我們可以發現以下結果：

(1)當 Heat sink 的基底面積越大其散熱效果越好；而鰭片數目則需考慮到間距的空氣效應影響，並非數目越多面積越大效果越佳。

(2)當 inlet 風速增加時散熱效果越佳；且呈一趨緩現象，風速從無到有的影響最劇。

(3)一般來說尺寸越大鰭片數越多其散熱面積越大，所能接受強制對流(force air)的範圍也越大；但當鰭片間距過密時會有滯流現象的產生，反而對散熱效果不好【如圖 4-29 溫度分佈及 4-30 速度分佈圖可看出】，故藉由模擬之結果來選擇其不同風速下最適用的鰭片及最佳鰭片間距(同時考量成本、製程及噪音等問題下時所選擇之鰭片)。

而最後我們將傳統式及同軸式此二種不同形式之高頻封裝，在設計前與設計後的平均溫度及 Rja 作成表 4-16 與表 4-17，這樣就可以更清楚的看出在經過封裝設計後，其設計改良效益程度的多寡。

第五章 結論

5-1 結論

本論文是以 IcePak 軟體，利用 CFD 的方式並且有效的運用等效熱阻及非均勻網格等方法來針對目前 III-V 族高頻通訊積體電路電子覆晶構裝的熱傳現象來做模擬；包括了傳統的覆晶構裝及新提出的同軸式覆晶構裝設計；將此二種不同形式封裝於封裝體內與封裝體外設計多種不同情況來探討其散熱的效益，並且經過系統化的整理達到我們所欲求得的最佳化散熱封裝形式。

其結果顯示：材料對於封裝體內部的影響最劇，且當線路的厚度在有限尺寸下將其設為 $8\ \mu\text{m}$ 對熱的散逸擁有較好的效果，而散熱通孔的設計則因為個數上的限制對溫度的影響有限。而在外部設計封裝上，我們應同時考量成本、製程、噪音及溫度影響等問題加以討論；倘若只考慮欲求得最低之熱阻情況時，我們選擇在金屬蓋上加上一基底為 $2500\ \mu\text{m} \times 2500\ \mu\text{m} \times 1500\ \mu\text{m}$ ，鰭片高度、厚度及間距分別為 500、100 及 $166\ \mu\text{m}$ 的熱沈；並於測試入口處加入一 $5\ \text{m/s}$ 的強制對流時，則此時封裝體擁有最佳的散熱效果。

因此，經過本文之探討，除了能讓我們對於高頻通訊電路封裝的散熱最佳化設計有更深入的了解且對同軸式覆晶構裝有新一層面的認識；並期望能在高頻通訊電路的研究上能帶給人們更廣的視野及提

供日後研究高頻通訊封裝者有效之參考資料。

5-2 未來展望

正常的封裝測試程序是需要模擬以實驗兩大步驟配合方能達到最正確之結果；不過由於此封裝實體目前還在試驗階段無法從實驗得知結果相比對，未來等實體完成時，再去做實驗以量測其 **Junction Temperature** 及熱阻值，並與我們的模擬數據作比對以期達到更正確的數值。

在此研究當中，提出了底部填膠會對於熱應力(**Thermal Stress**)有一定程度的影響；又在封裝的熱分析中除了散熱設計的考量外，熱應力的分析也佔很大的一角不能忽略。固未來我們可以運用其他有限元素軟體，利用我們散熱分析之後計算出來的溫度場分布當作邊界條件，再運用耦合場分析的方式以求得熱應力的分佈情形。

參考文獻

- [1] L. T. Yeh, "Review of Heat Transfer Technologies in Electronic Equipment," J. of Electronic Packaging, Vol. 117, pp. 333-339, 1995.
- [2] C. Chapman, "The Basics of Package/Device Cooling," Electronic Packaging and Production, Mc Graw-Hill, pp.57-60, 1998.
- [3] R. Tummala, "Fundamentals of Microsystems Packaging," Mc Graw-Hill, 2002.
- [4] 鐘文仁, "IC 封裝製程與 CAE 應用", 台北市, 全華出版社, 2003.
- [5] D. Brown, "Advanced Electronic Packaging," IEEE Components, Packaging, and Manufacturing Technology Society, Sponsor, 1999.
- [6] H. Lau, "Ball Grid Array Technology," McGraw-Hill, 1995.
- [7] A. Bar-Cohen, "State-of-the-Art and Trends in the Thermal Packaging of Electronic Equipment," Journal of Electronic Packaging, Vol. 114, pp. 257-259, 1992.
- [8] S. Mulgaonker, and H. M. Berg, "Thermal Sensitivity Analysis for the 119 PBGA –A Framework for Rapid Prototyping" IEEE Transaction on Components, and Manufacturing Technology-Part A, pp.66-75, 1996.
- [9] J. H. Lau, "Flip Chip Technologies," McGraw-Hill, 1995.
- [10] K. Ramakrishna, and T.-Y. T. Lee, "Prediction of Thermal Performance of Flip-Chip-Plastic Ball Grid Array (FC-PBGA) Packages: Part I: Effect of Die Sizes," in Proceedings of 2001 ASME International Mechanical Engineering Congress and Exposition, Heat Transfer Division, Paper NO : IMECE2001/HTD-24387, pp. 1-9, 2001.
- [11] M. Eyman, Z. Johnson, and B. Joiner, "Thermal Simulation and Validation of the Fast Static RAM 164-Lead FC-PBGA Package with Investigation of Package Thermal Performance in a Generic CPU Module," IEEE- Electronic Components and Technology, pp.62–69, 1998.

- [12] Sue Y. Teng, and T. Y. Lee, "Thermal Evaluation-Driven Short-Cycle Re-design," IEEE-Electronic Components and Technology Conference, pp.289-295, Motorola, Inc. 1997.
- [13] A. M. Darwish, A. J. Bayba, and H. A. Hung, "Thermal Resistance Calculation of AlGa_N-Ga_N Devices," IEEE Transactions on Microwave Theory And Techniques, Vol. 52, No.11 pp.2611-2620, 2004.
- [14] J. H. Lau, "Low Cost Flip Chip Technologies," McGraw-Hill, pp.304-310, 1996.
- [15] S. Lee, T. F. Lemczyk, and M. M. Yovanovich, "Analysis of the Thermal Vias in High Density Interconnect Technology," Proceedings of the Eighth IEEE SEMI-THERM Symposium, pp. 55-61, 1992.
- [16] Z. Johnson, M. Eyman, "Design-Based Thermal Simulation Methodology for Ball Grid Array Package," Proc. of Inter Society Conference on Thermal Phenomena in Electronic Systems (ITHERM), PP. 82-87, 1998.
- [17] Z. E. Johnson, K. Ramakrishna, B. Joiner, and L. M. Eyman, "Thermal Sub-Modeling of Wirebonded Plastic Ball Grid Array Package," Proc. of Thirteenth Annual IEEE Symp., pp. 1-9, Sponsored by IEEE CPMT. Soc. January 27-28, 1997, Austin, TX.
- [18] C. B. Hwang, "Thermal Design for Flip Chip on Board in Natural Convection," in Proc. 15th Semiconductor Thermal Meas. Symp. (Semi-Therm), pp. 125-132, 1999.
- [19] T. Y. Lee, "An Investigation of Thermal Enhancement on Flip Chip Plastic BGA Packages Using CFD Tool," IEEE Transactions on Components and Package Technologies, Vol. 23, pp. 481-488, 2000.
- [20] A. Bar-cohen, and W. M. Rohsenow, "Thermally optimum spacing of vertical, natural convection cooled, parallel plate," ASME J. Heat Transfer, Vol.106, pp. 116-123, 1984.
- [21] A. M Morega, and A. Bejan, "Plate fins with variable thickness and height for air-cooled electronic modules," Int. J. Heat Mass Transfer, Vol.37, Suppl.1, pp. 433-445, 1994.

- [22]V. Karimanal, “Validation of Compact Conduction Models of BGA Under An Expanded Boundary Condition Set”, Fluent, Inc. 2002. software: icepak
- [23]V. Karimanal, “Compact Conduction Models (CCM) of Microelectronic Packages –A BGA Validation Study’”, Fluent, Inc. 2001. software : icepak
- [24]X. H. Sun, R. A. Sahan, “Detailed and Compact Models of Thermal Vias in a FBGA Package’”, Fluent, Inc. 2003. software : icepak
- [25]S. V. Patankar, Numerical Heat Transfer and Fluid Flow Hemisphere Publishing Corporation, Taylor & Francis Group, New York, 1980.
- [26]ICEPAK 4.1 User Guide 2003.



表 2-1 熱分析參數範圍表

參數	範圍	備註
Cabinet (μm)	13700x13000x18000	
晶片體積 (μm)	600x500x100	GaAs
基板體積 (μm)	1600x2200x250	AlN, Al ₂ O ₃
線路厚度 (μm)	2,4,8	Au
球格厚度 (μm)	50	Au , PbSn
PCB 版體積 (μm)	5500x5500x350	AlN
流體型態	自然對流 強制對流 1~5(m/s)	1.5~2.5(m/s) (一般光電元件之測試範圍)

表 2-2 構裝材料性質表

材料名稱	Thermal conductivity (W/ m .K)	Density (g/ cm^3)
GaAs	54	5.23
AlN	170	3.26
Al ₂ O ₃	27	3.65
PbSn	34	8.64
Au	313	19.28
Cu	387	8.93
Al	205	2.8
underfill	1.6	6.08
BCB	0.29	1.05
Thermal greases	2.5	1.9
Pad	170	1.9
Mold Compound	0.8	1.9

表 4-1 傳統式高頻覆晶封裝內部設計
溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
Al₂O₃ -PbSn-2mi(4balls)	67.0973	1002.43	330.807
Al₂O₃ -PbSn-2mi(6balls)	63.9711	924.27	229.54
AlN-Au-2mi(6balls)	58.0677	776.6925	103.4425
AlN-Au-8mi(6balls)	57.3611	759.02	85.29
AlN-Au-8mi-4vias(6balls)	57.34	758.5	83.86

表 4-2 同軸式高頻覆晶封裝內部設計
溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
Al₂O₃ -PbSn-2mi	63.278	906.95	212.97
AlN-PbSn-2mi	62.2554	881.385	187.19
AlN-Au-2mi	59.7806	819.5	125.66
AlN-Au-8mi	58.808	795.2	104.22
AlN-Au-8mi-4Vias	58.792	794.79	103.63

表 4-3 傳統式高頻覆晶外部封裝設計
溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
Without mold compound	57.34	758.8	83.86
with mold compound and air	58.175	779.38	104.43
with mold compound	57.372	759.3	84.0625

表4-4 同軸式 Type.0 No enhancement

溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63

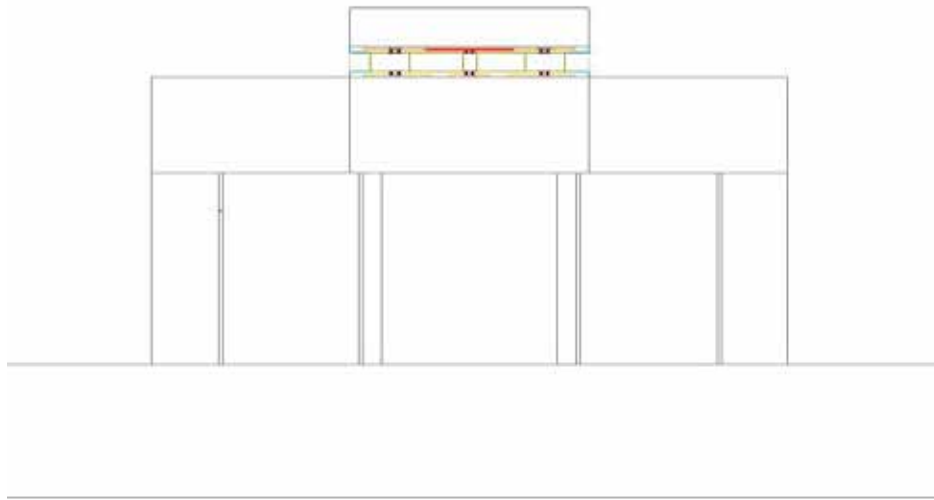


表4-5 同軸式 Type.1 With heat spreader

溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63
With Al heat spreader 25micros	58.25	781.12	99.53
With Cu heat spreader 25micros	58.23	780.75	99.41
With Cu heat spreader 50micros	58.03	775.64	99.32

註:當spreader增為 75 , 100 μm 時 ,其變化微乎其微 ,故將在heat sink時來討論大體積變化之影響。



表4-6 同軸式 Type.2 With heat spreader and soft pad

溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63
With 50micros Cu heat spreader and 200 micros soft pad	56.88	747.08	67.0
With 50micros Cu heat spreader and 300 micros soft pad	56.82	745.52	65.38

註:當soft pad 增為 400 μm 時,變化範圍非常之小,為節省空間故選擇 300 μm 之 pad

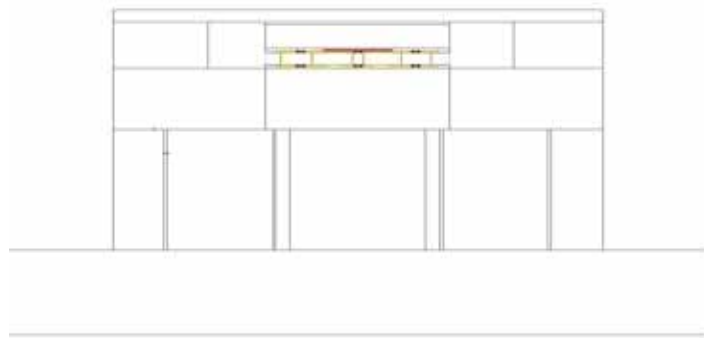


表4-7 同軸式 Type.3 With metallic lid

溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63
With aluminum lid	56.77	744.15	59.02
With copper lid	56.66	741.41	56.17



表4-8 同軸式 Type.4 With mold compound
 (varying percentage of coverage,25%)

溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63
With mold compound, the gap is 25micros, Mold compound covers 25% of the substrate	58.64	791.98	102.0

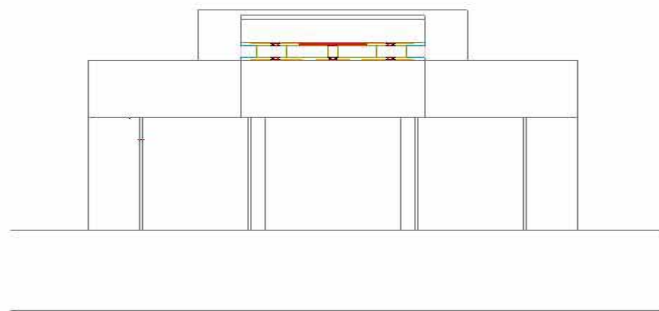


表4-9 同軸式 Type.5 With mold compound
 (varying gap in the mold compound)
 溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63
With mold compound, the gap is 25 micros, Mold compound covers the entire substrate	58.41	785.28	100.49
With mold compound, the gap is 50 micros, Mold compound covers the entire substrate	58.19	779.95	99.23

註:當 gap 超過 50 μm 時,其變化趨緩,故將在Type(6)時來進行討論

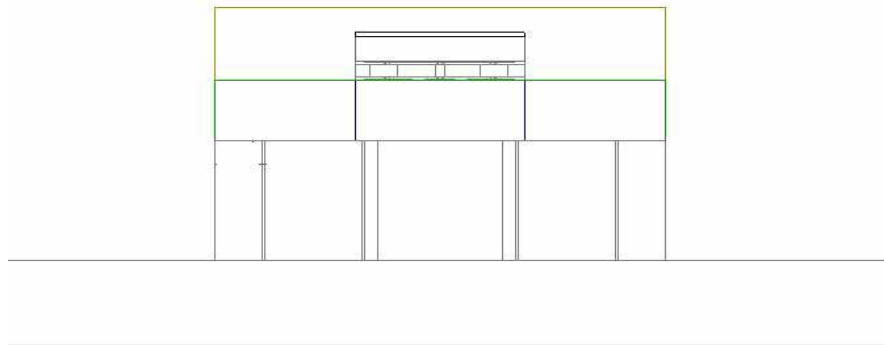


表4-10 同軸式 Type.6 With mold compound and Cu heat spreader
(varying gap between the die and the heat spreader)

溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63
With mold compound and 25 micros thick Cu heat spreader, the gap is 50micros, Mold compound covers the entire substrate	57.95	773.91	92.45
With mold compound and 50 micros thick Cu heat spreader, the gap is 50micros, Mold compound covers the entire substrate	57.91	772.75	92.24

註:當spreader增為 75 , 100 μm 時 ,其變化微乎其微 ,故將在heat sink時來討論大體積變化之影響

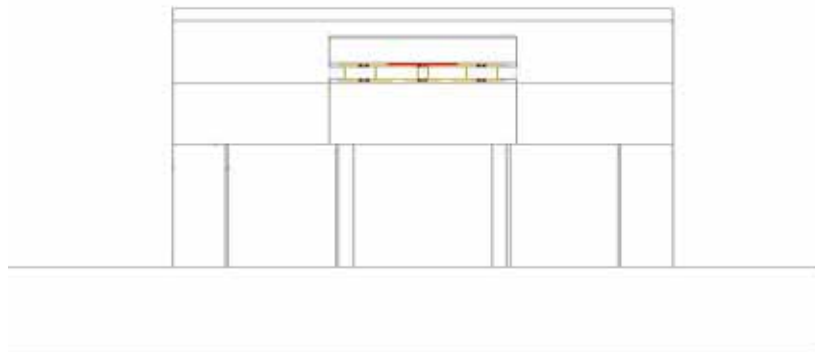


表 4-11 熱沈(Heat sink)尺寸設計參數

Heat Sink Design	散熱座基底體積 (microns^3)	鰭片高度 (microns)	鰭片厚度 (microns)	鰭片間距 (microns)
With copper lid and length 1500micros 100 thickness 5 counts aluminum heat sink	1500x1500x150	500	100	250
With copper lid and length 1500micros 100 thickness 10 counts aluminum heat sink	1500x1500x150	500	100	55
With copper lid and length 2500micros 100 thickness 5 counts aluminum heat sink	2500x2500x150	500	100	500
With copper lid and length 2500micros 100 thickness 10 counts aluminum heat sink	2500x2500x150	500	100	166
With copper lid and length 2500micros 100 thickness 15 counts aluminum heat sink	2500x2500x150	500	100	71

表4-12 同軸式 Type.7 With metallic and heat sink

溫度及熱阻分佈圖表

0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$	$R_{jb} (^{\circ}C/W)$
No enhancement	58.79	794.79	103.63
With copper lid and length 1500micros 100 thickness 5 counts aluminum heat sink	56.22	730.61	54.5
With copper lid and length 2500micros 100 thickness 5 counts aluminum heat sink	55.17	703.32	53.48
With copper lid and length 2500micros 100 thickness 10 counts aluminum heat sink	55.06	701.57	53.24
With copper lid and length 2500micros 100 thickness 15 counts aluminum heat sink	55.04	684.51	53.26



表 4-13 同軸式高頻覆晶封裝外部各設計

之 Rja (Junction-air-resistance) 列表

Type No.	Description	Max. Junction-to-air Thermal Resistance ($^{\circ}C/W$)
0	No enhancement	794.79
1(a)	With Al heat spreader, 25microns	781.12
1(b)	With Cu heat spreader, 25microns	780.75
1(c)	With Cu heat spreader, 50microns	775.64
2(a)	With 50microns Cu heat spreader and 200 microns soft pad	747.08
2(b)	With 50microns Cu heat spreader and 300 microns soft pad	745.52
3(a)	With aluminum lid	744.15
3(b)	With copper lid	741.41
4	With mold compound, the gap is 25microns, Mold compound covers 25% of the substrate	791.98
5(a)	With mold compound, the gap is 25microns, Mold compound covers the entire substrate	785.28
5(b)	With mold compound, the gap is 50microns, Mold compound covers the entire substrate	779.95
6(a)	With mold compound and 25microns thick Cu heat spreader, the gap is 50microns, Mold compound covers the entire substrate	773.91
6(b)	With mold compound and 50microns thick Cu heat spreader, the gap is 50microns, Mold compound covers the entire substrate	772.75
7(a)	With copper lid and length 1500microns 100 Thickness 5 counts aluminum heat sink	730.61
7(b)	With copper lid and length 2500microns 100 Thickness 5 counts aluminum heat sink	703.32
7(c)	With copper lid and length 2500microns 100 Thickness 10 counts aluminum heat sink	701.57

表 4-14 同軸式高頻覆晶封裝

在不同風速下平均溫度分佈圖表

V inlet (m/s)	0	1	2	3	4	5
1500-5-Junction Temperature (°C)	56.224	36.491	34.247	33.211	32.590	32.171
1500-10-Junction Temperature (°C)	56.249	36.594	34.402	33.389	32.773	32.348
2500-5-Junction Temperature (°C)	55.172	35.836	33.656	32.692	32.132	31.761
2500-10-Junction Temperature (°C)	55.062	35.882	33.709	32.718	32.127	31.728
2500-15-Junction Temperature (°C)	55.042	35.931	33.817	32.821	32.267	31.865

表 4-15 同軸式高頻覆晶封裝

在不同風速下 Rja (Junction-air-resistance) 分佈圖表

V inlet (m/s)	0	1	2	3	4	5
1500-5-Junction-air Resistance ($^{\circ}\text{C}/\text{W}$)	730.61	237.29	181.19	155.28	139.77	129.29
1500-10-Junction-air Resistance ($^{\circ}\text{C}/\text{W}$)	731.23	239.85	185.06	159.73	144.33	133.70
2500-5-Junction-air Resistance ($^{\circ}\text{C}/\text{W}$)	704.32	220.92	166.42	142.30	128.31	119.03
2500-10-Junction-air Resistance ($^{\circ}\text{C}/\text{W}$)	701.56	222.07	167.74	142.97	128.19	118.21
2500-15-Junction-air Resistance ($^{\circ}\text{C}/\text{W}$)	701.06	223.28	170.43	145.53	131.69	121.63

表 4-16 傳統式高頻封裝設計前後

溫度及Rja (Junction-air-resistance) 分佈圖表

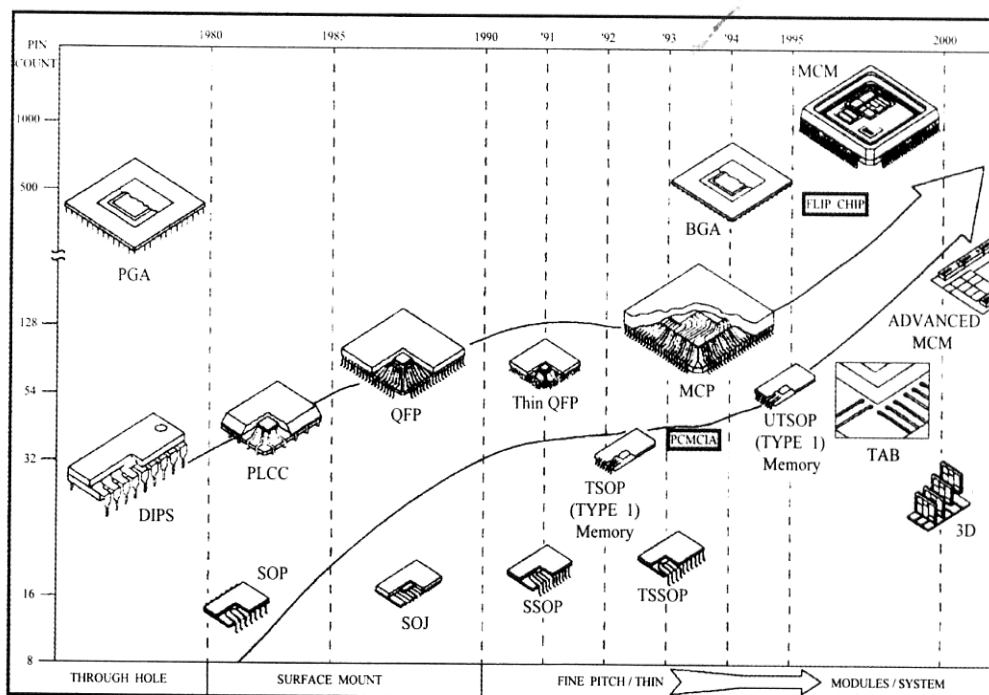
0.04w simulation	$T_{mean} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$
Al2O3-PbSn-2mi(4balls)	67.0973	1002.43
AlN-Au-8mi-4vias(6balls) with mold compound	58.175	779.38

表 4-17 同軸式高頻封裝設計前後

溫度及Rja (Junction-air-resistance) 分佈圖表



0.04w simulation	$T_{mean} (^{\circ}C)$	$T_{force=5} (^{\circ}C)$	$R_{ja} (^{\circ}C/W)$
Al2O3-PbSn-2mi	63.278		906.95
AlN-Au-8mi-4Vias With copper lid and length 2500micros 100 Thickness 10 counts aluminum heat sink	55.0625	31.7284	118.21



TL/P/11824-1

圖 1-1 IC 元件在封裝型態上的發展與演進[3]

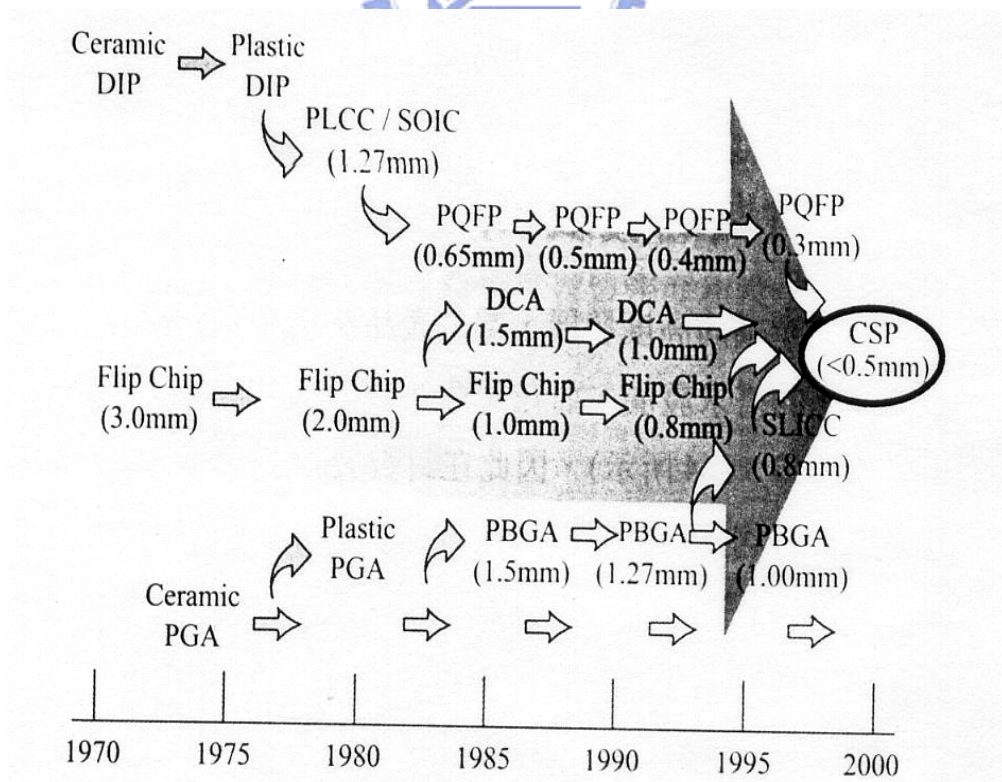


圖 1-2 IC 元件在引腳的發展與演進[3]

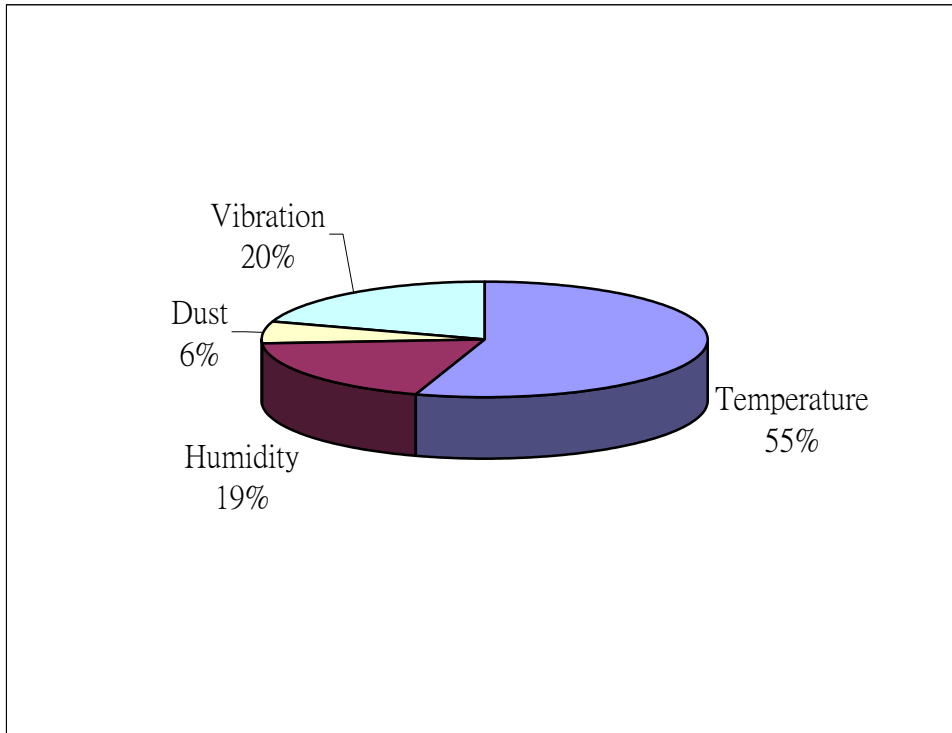


圖 1-3 引起電子元件損壞的主要因素[1]

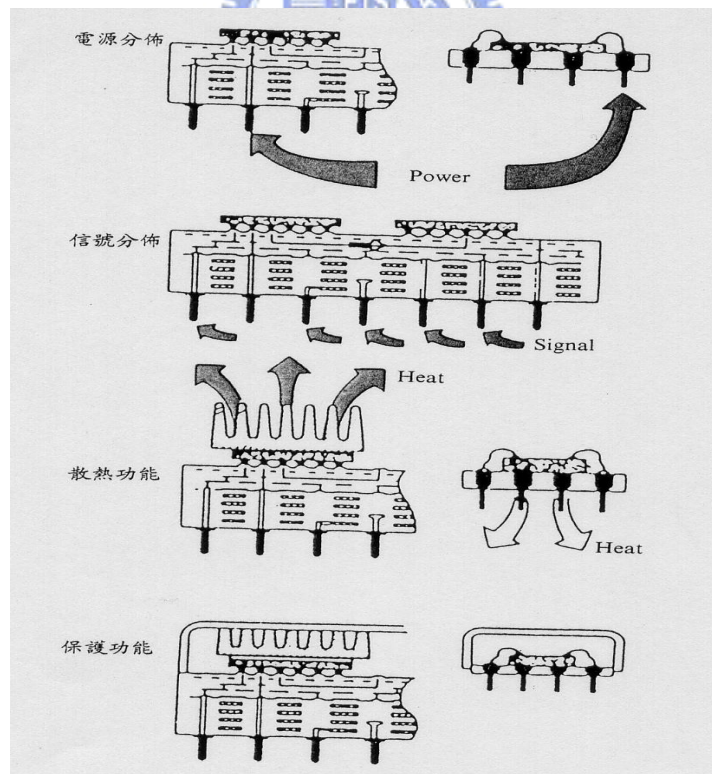


圖1-4 IC構裝的四大功能

(來源:Microelectronics Packaging Handbook)

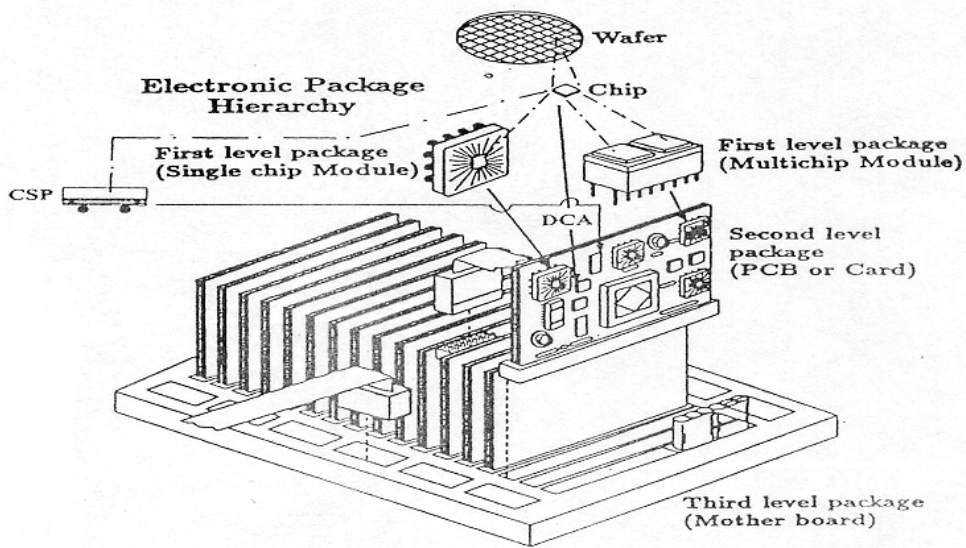


圖 1-5 電子構裝的層級區分[4]

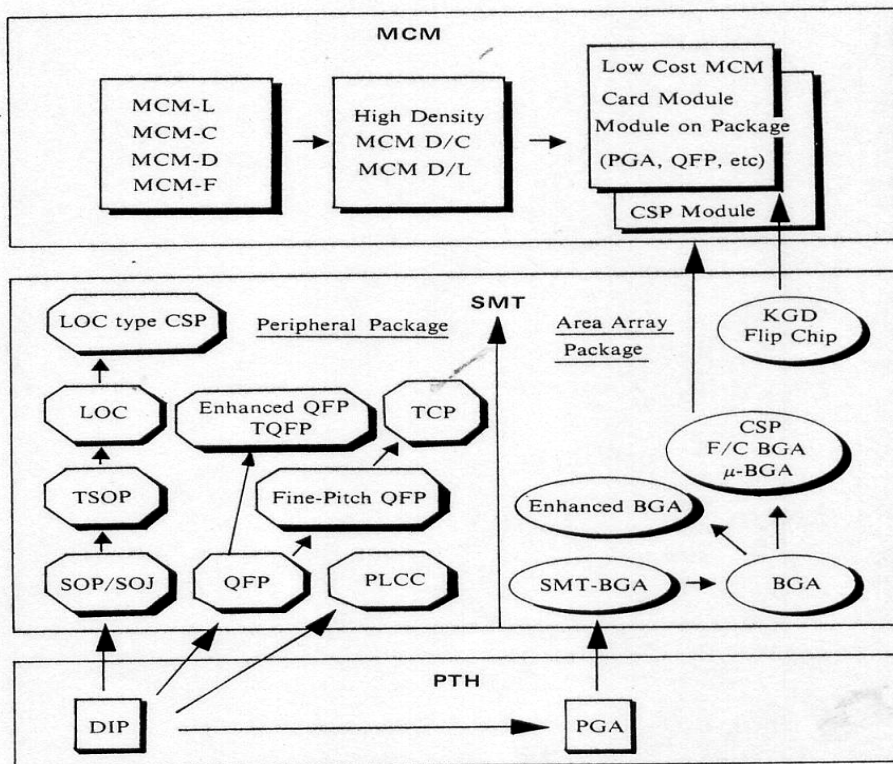


圖 1-6 構裝技術的演進[3]

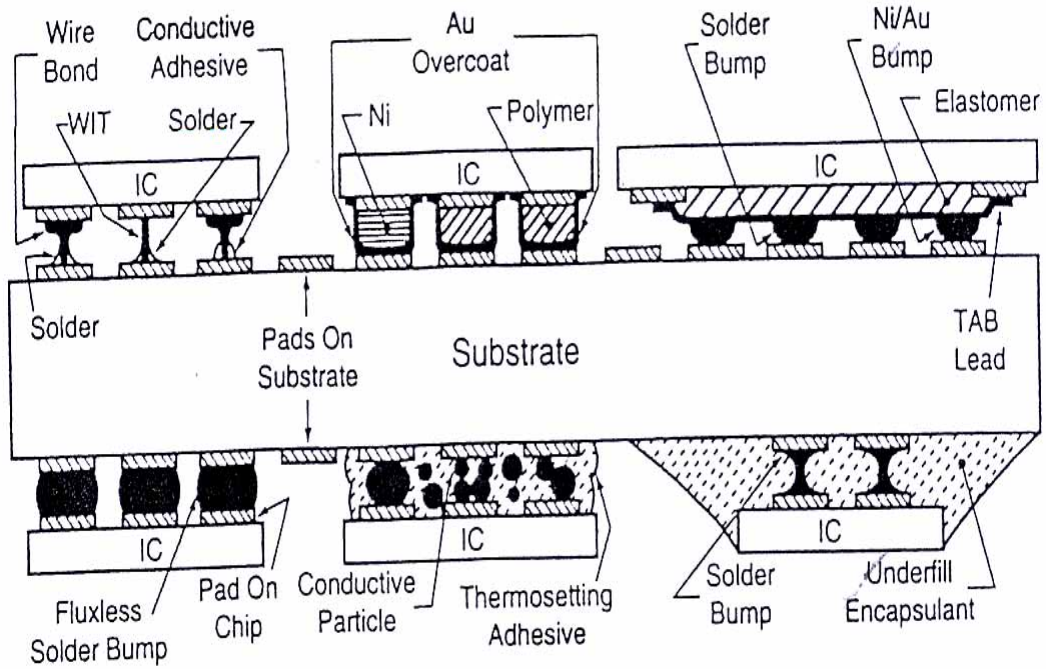


Figure 1.25 Various flip chip technologies.

圖 1-7 不同覆晶的型態[4]

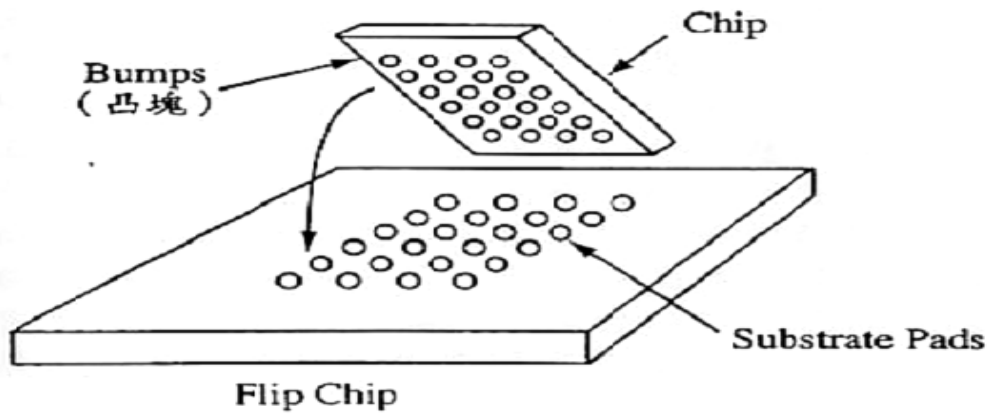


圖 1-8 以錫球凸塊接合的覆晶[4]

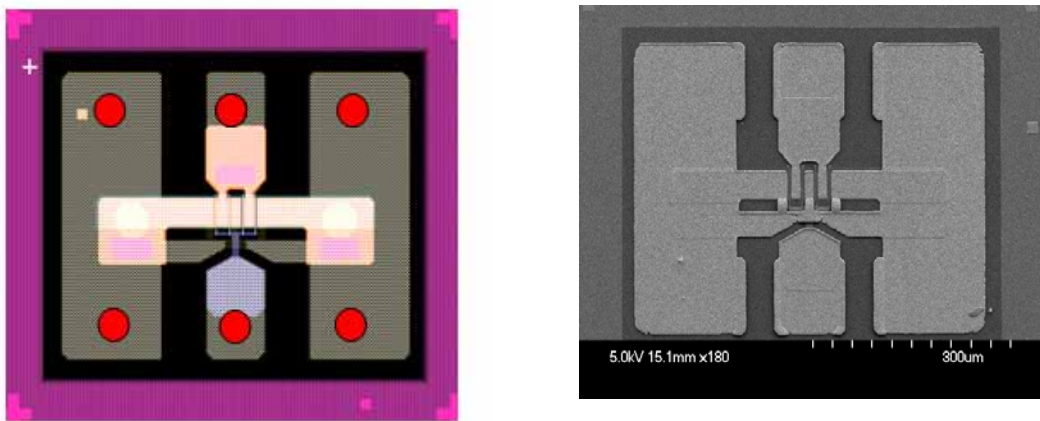


圖1-9 傳統式高頻元件覆晶封裝俯視圖

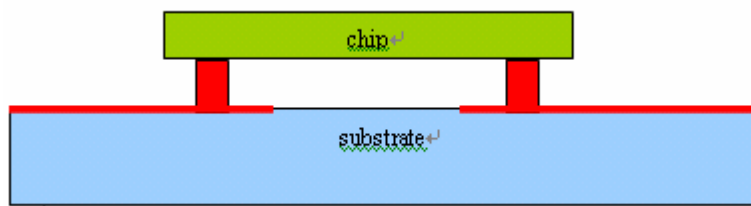


圖 1-10 傳統式高頻元件覆晶封裝側視圖

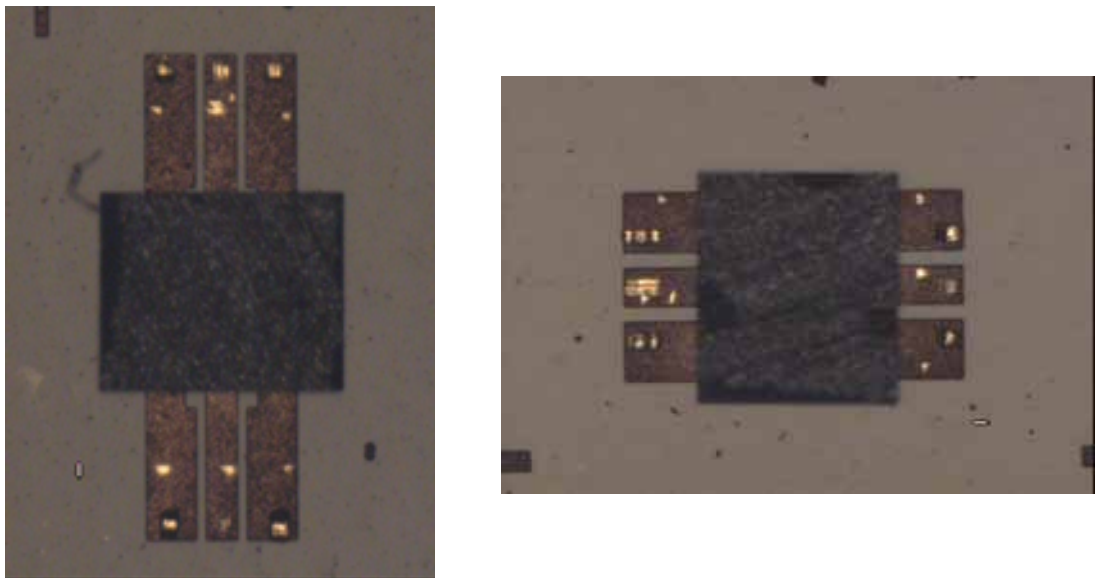


圖 1-11 傳統式高頻覆晶晶片實體

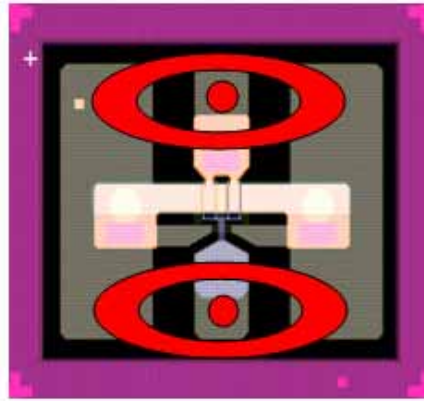


圖 1-12 同軸式覆晶結構封裝俯視圖

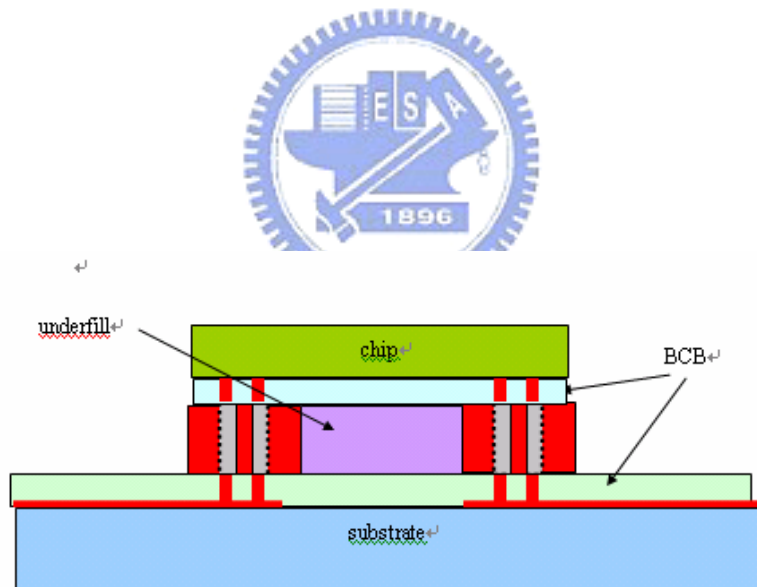


圖 1-13 同軸式覆晶結構封裝側視圖

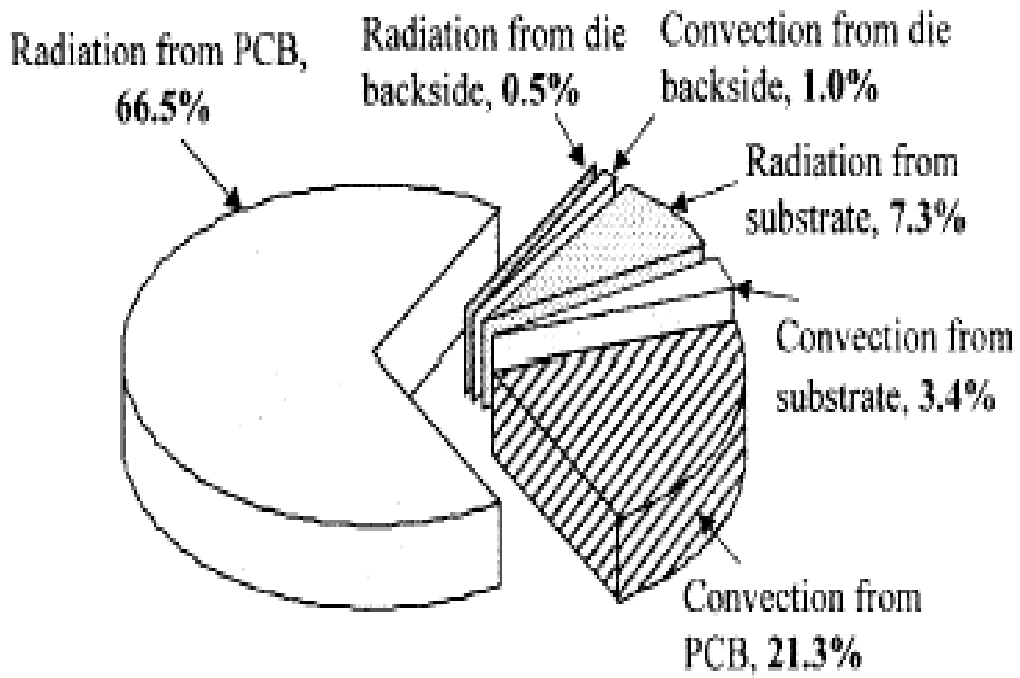


圖 1-14 自然對流下 FC-BGA 散熱量的分佈[14]

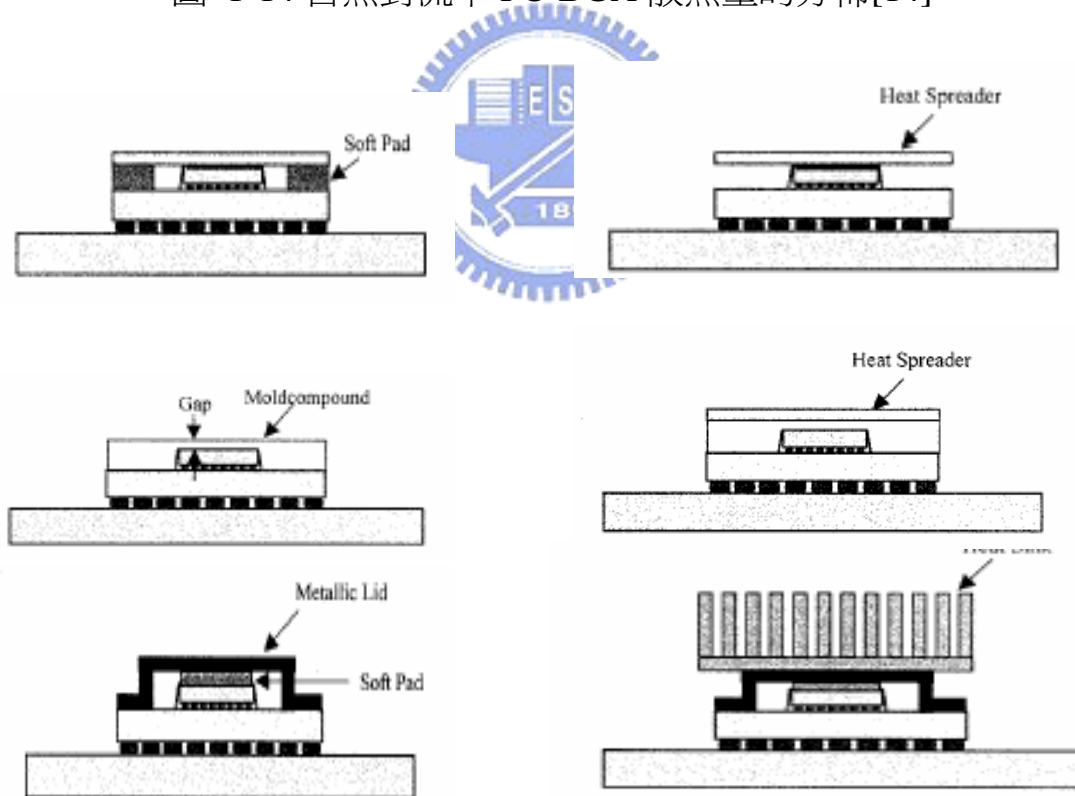


圖 1-15 各種型態的散熱裝置[19]

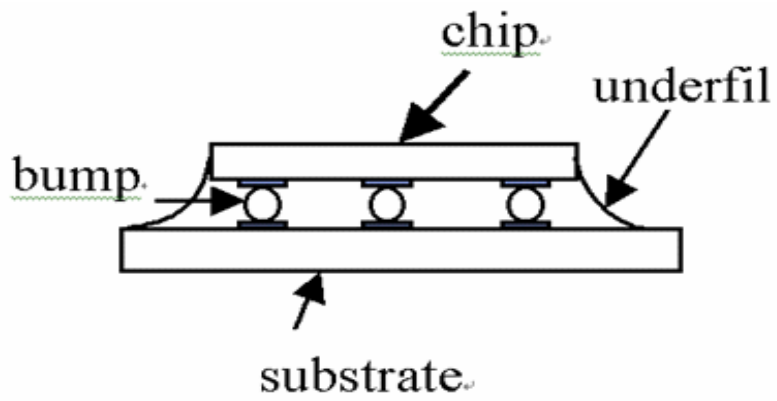


圖 1-16 底部填膠示意圖[4]



圖1-17熱沈(Heat sink)示意圖(1)

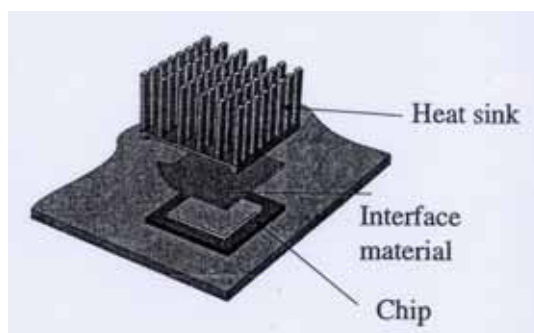


圖1-18熱沈(Heat sink)示意圖(2)

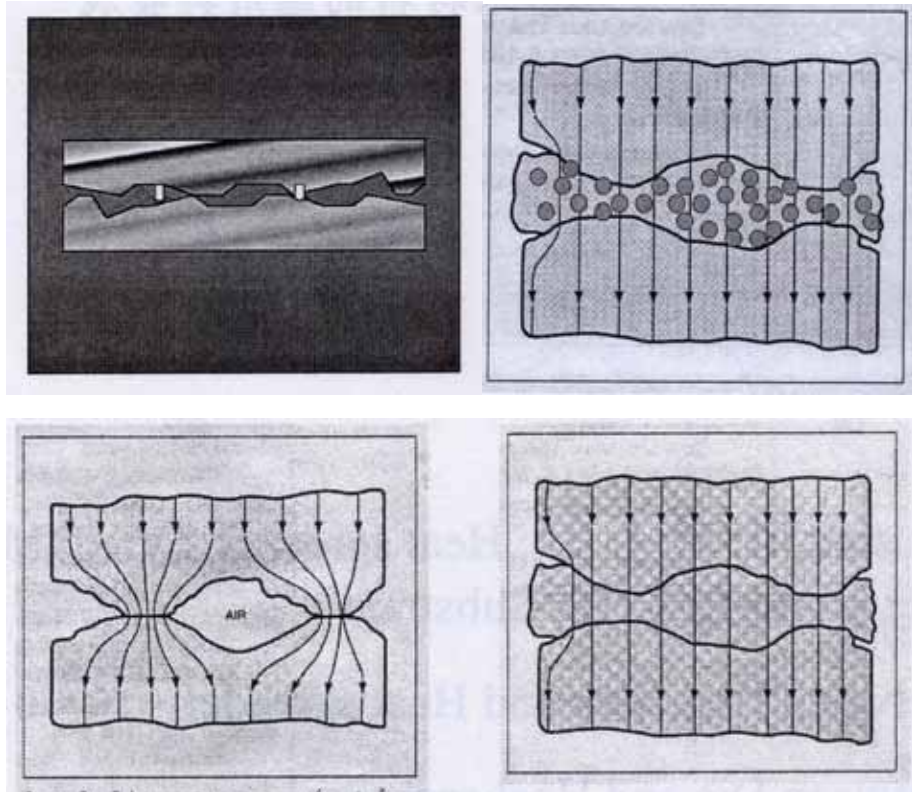


圖1-19 熱界面材料(Thermal Interface Material)

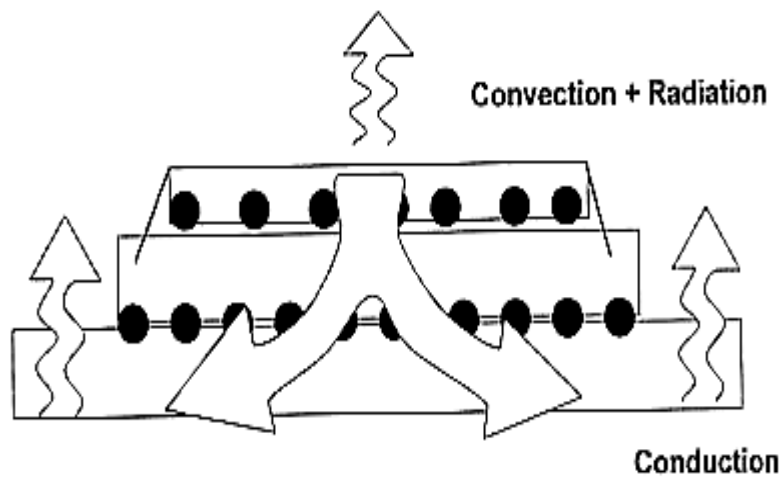


圖 1-20 FC-BGA 熱傳方向

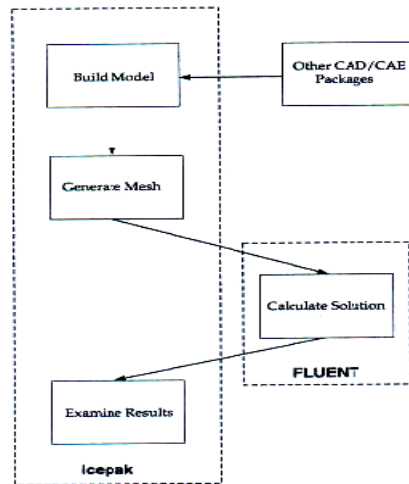


圖 2-1 ICEPAK 求解流程圖[26]

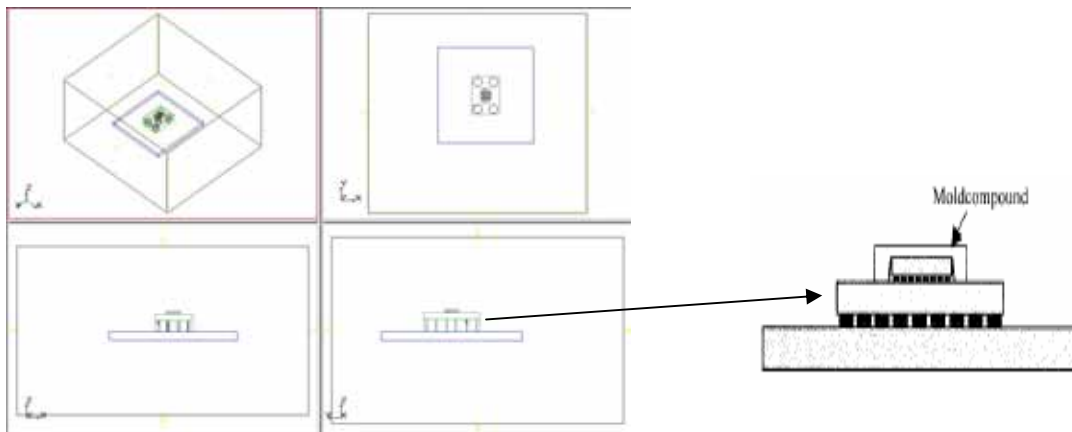


圖 2-2 物理模式示意圖

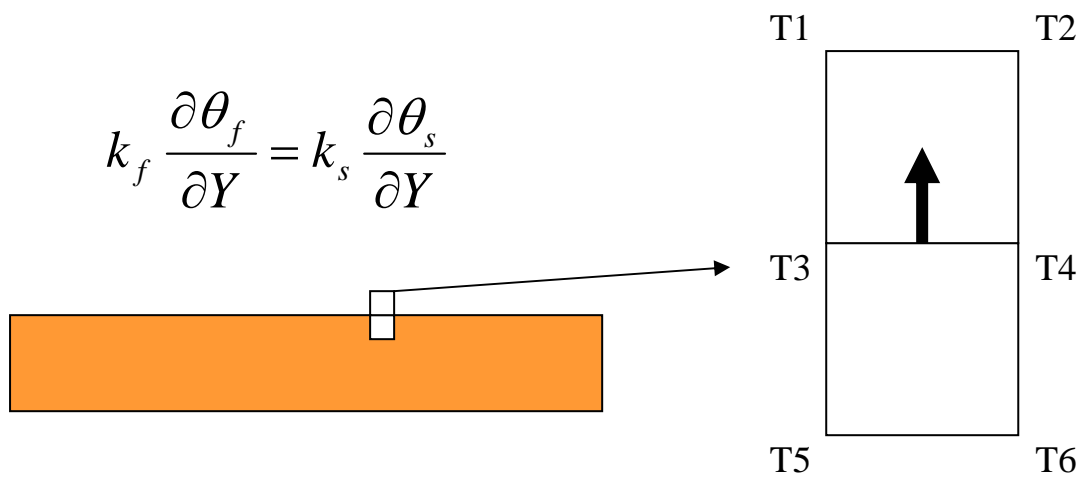


圖 2-3 介面能量守衡示意圖

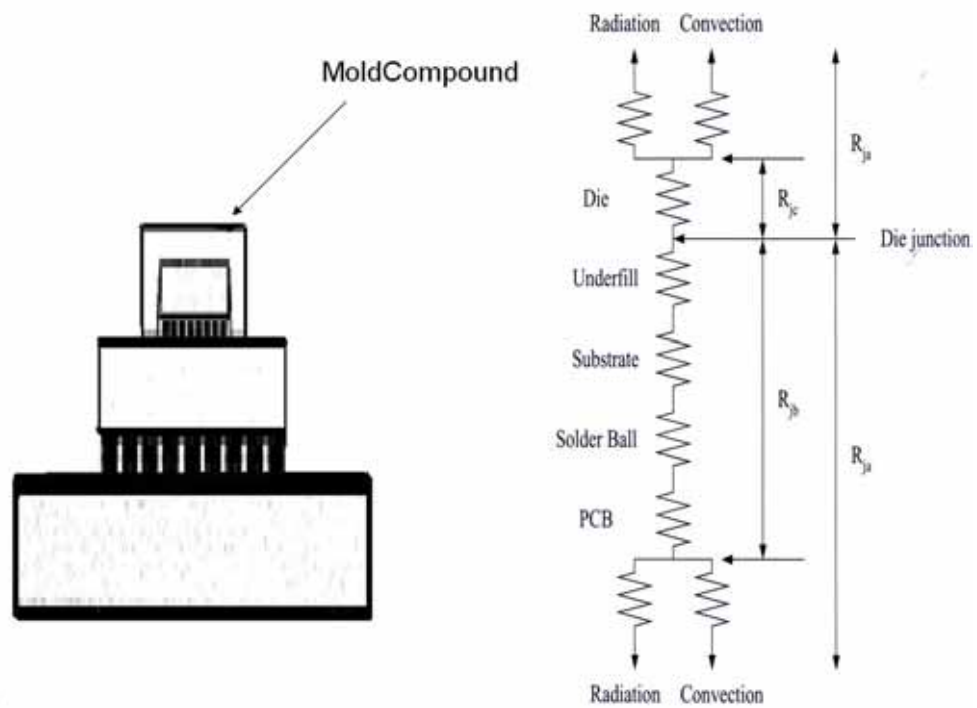


圖 2-4 FC-BGA 熱阻示意圖

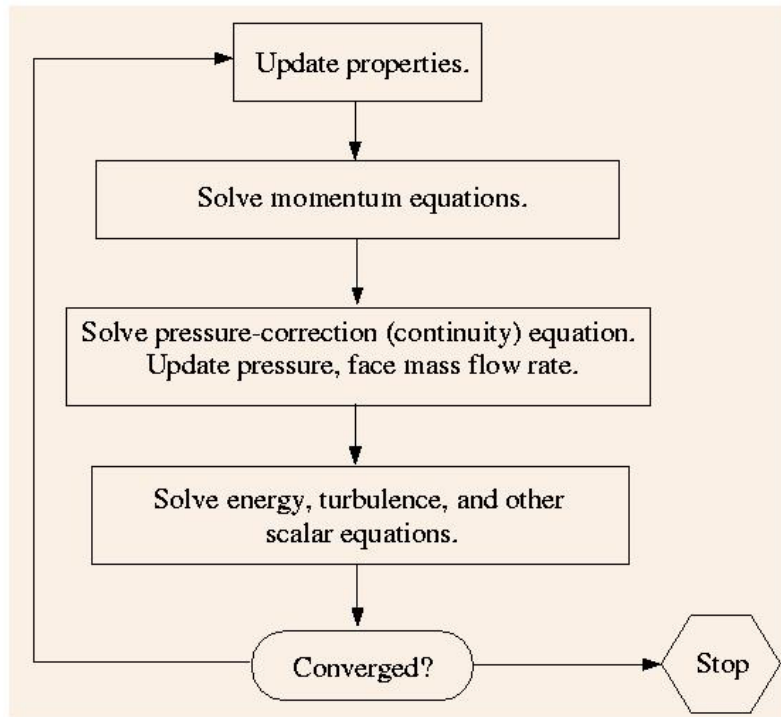


圖 3-1 數值方法流程示意圖[26]

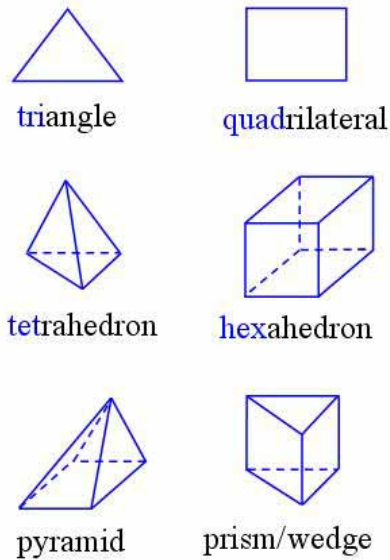


圖 3-2 不同形式之網格切割

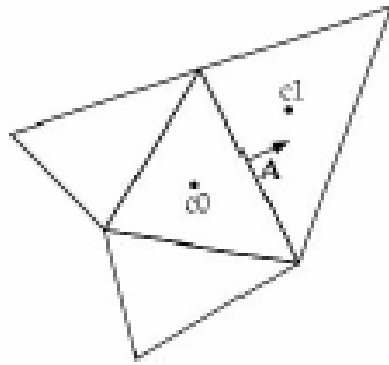


圖 3-3 二維三角格點[26]

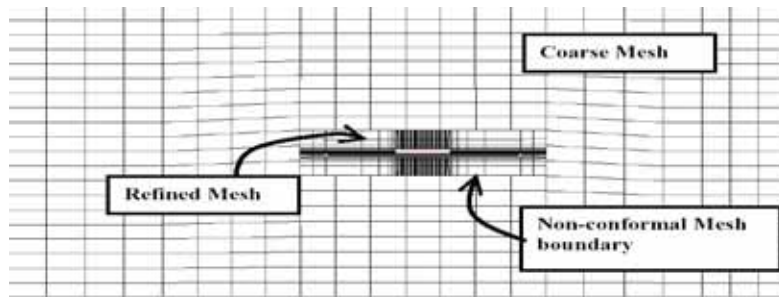


圖 3-4 Assembly 非均勻分部網格功能

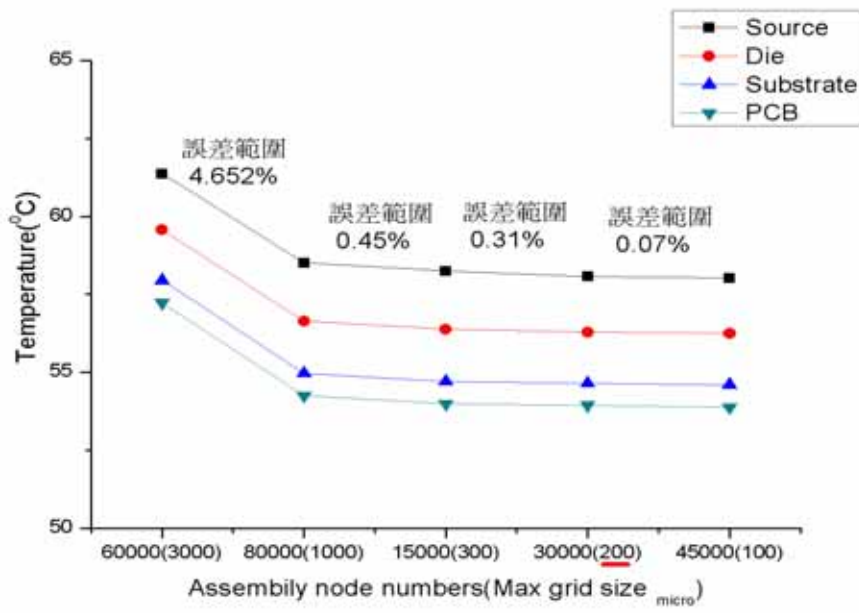


圖 4-1 傳統式高頻覆晶元件模擬網格測試

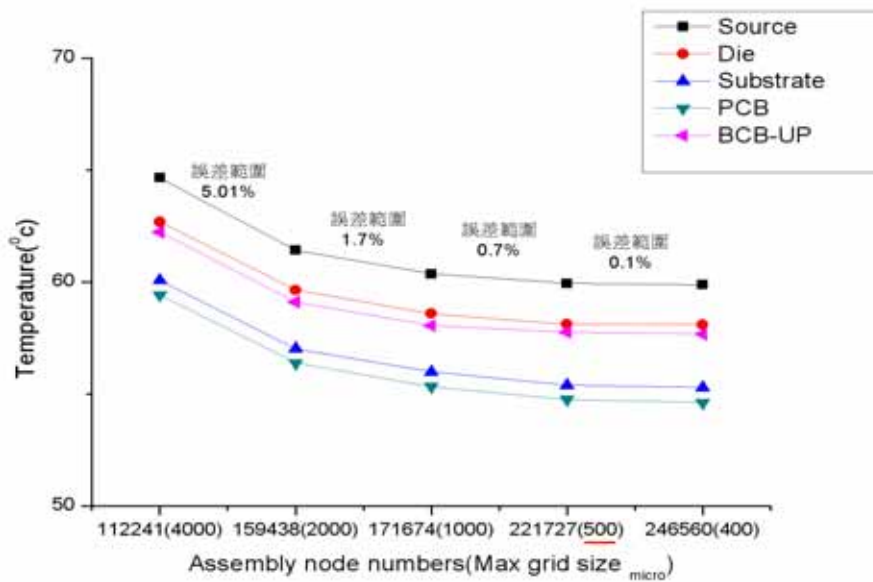


圖 4-2 同軸式高頻覆晶元件模擬網格測試

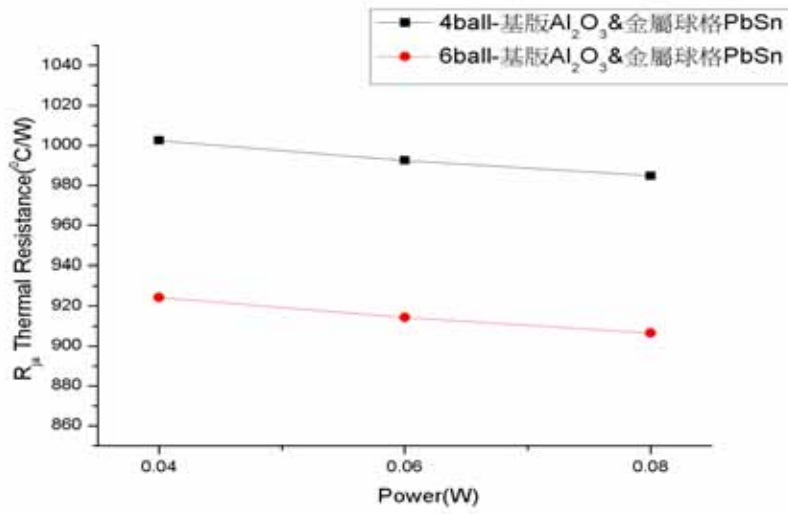


圖 4-3 傳統式高頻覆晶封裝球格設計

Junction-air-Resistance 圖表

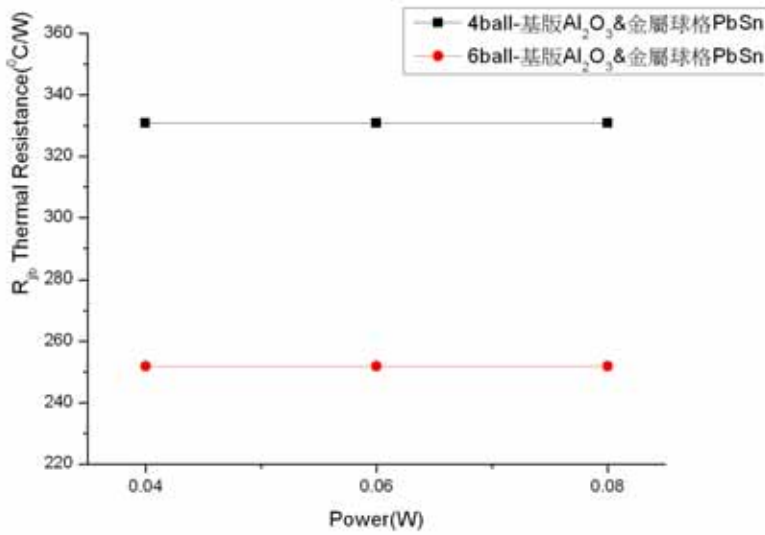


圖 4-4 傳統式高頻覆晶封裝球格設計

Junction-board-Resistance 圖表

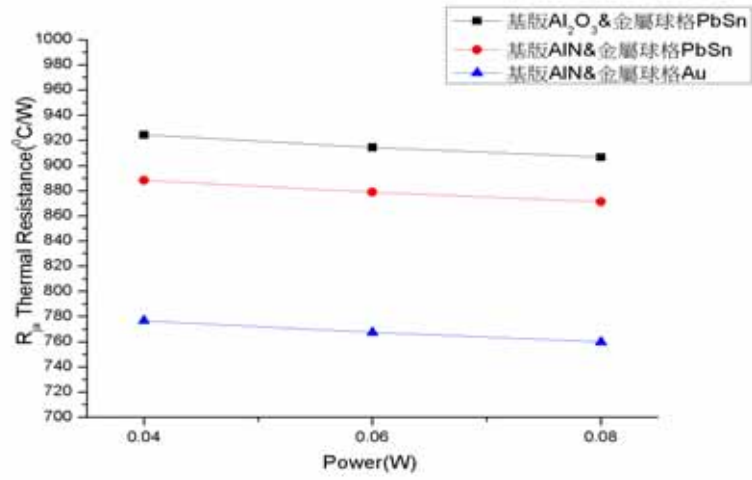


圖 4-5 傳統式高頻覆晶封裝材料設計變更

Junction-air-Resistance 圖表

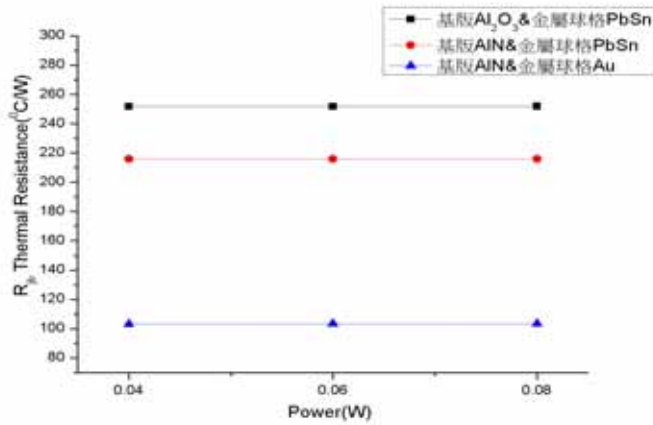


圖 4-6 傳統式高頻覆晶封裝材料設計變更

Junction-board-Resistance 圖表

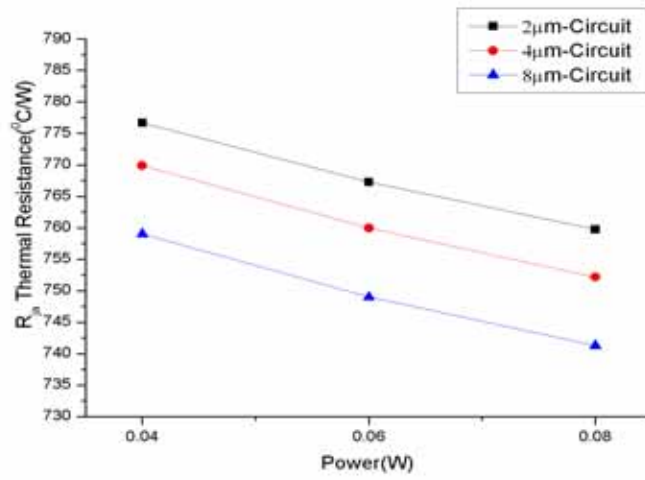


圖 4-7 傳統式高頻覆晶封裝

線路厚度設計變更 Junction-air-Resistance 圖表

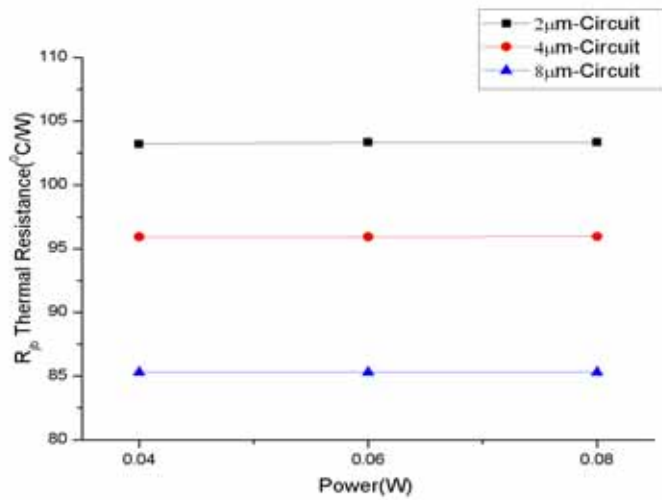


圖 4-8 傳統式高頻覆晶封裝線路厚度設計變

Junction-board-Resistance 圖表

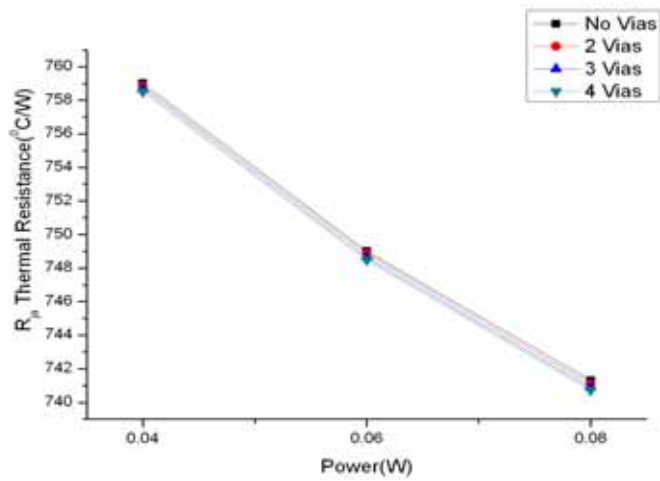


圖 4-9 傳統式高頻覆晶封裝熱通道設計變更

Junction-air-Resistance 圖表

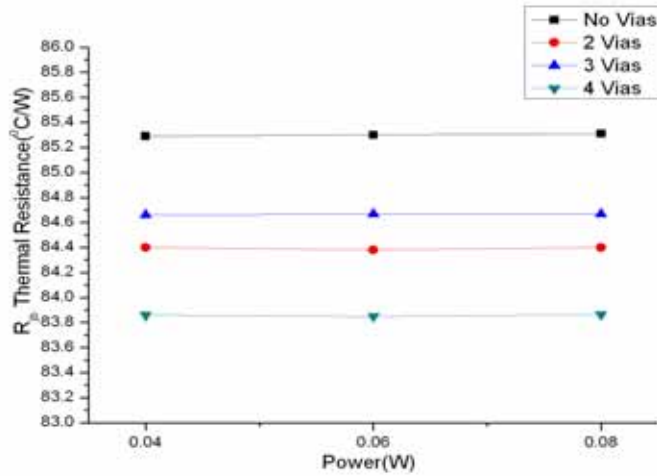


圖 4-10 傳統式高頻覆晶封裝熱通道設計變更

Junction-board-Resistance 圖表

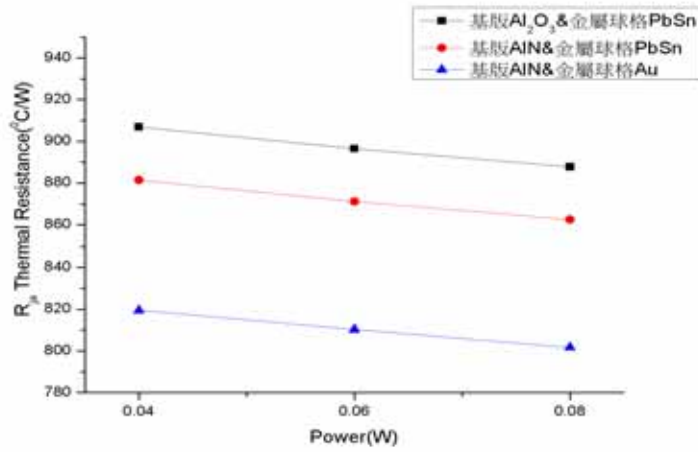


圖 4-11 同軸式高頻覆晶封裝材料設計變更

Junction-air-Resistance 圖表

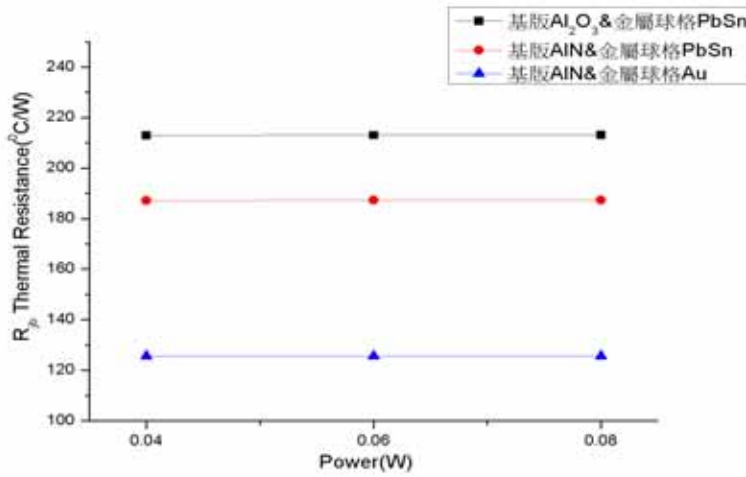


圖 4-12 同軸式高頻覆晶封裝材料設計變更

Junction-board-Resistance 圖表

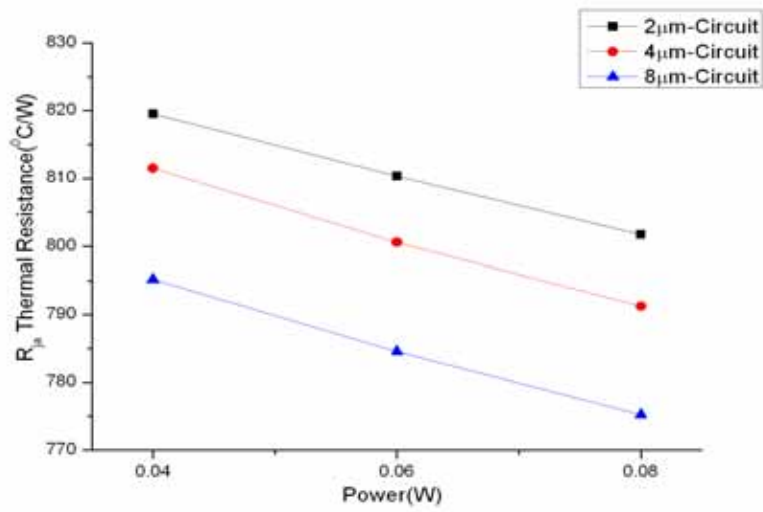


圖 4-13 同軸式高頻覆晶封裝線路厚度設計變

Junction-air-Resistance 圖表

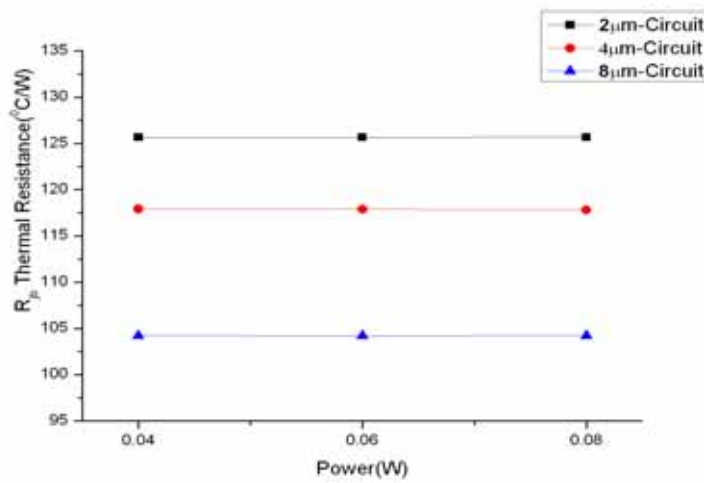


圖 4-14 同軸式高頻覆晶封裝線路厚度設計變更

Junction-board-Resistance 圖表

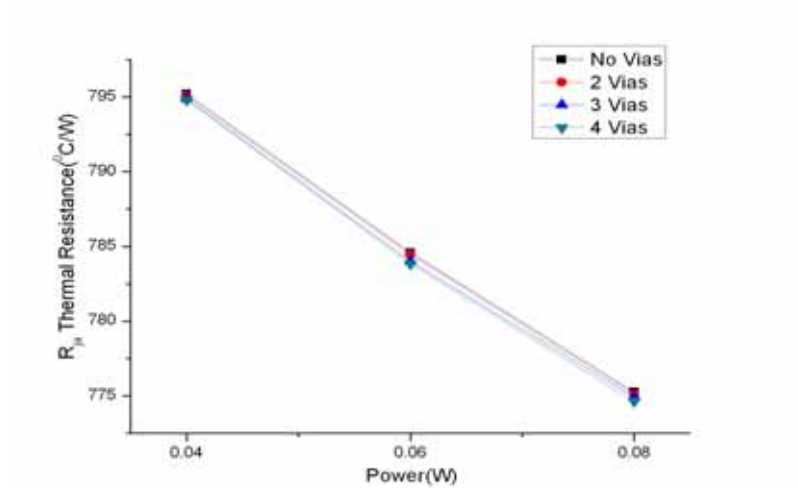


圖 4-15 同軸式高頻覆晶封裝熱通道設計變更

Junction-air-Resistance 圖表

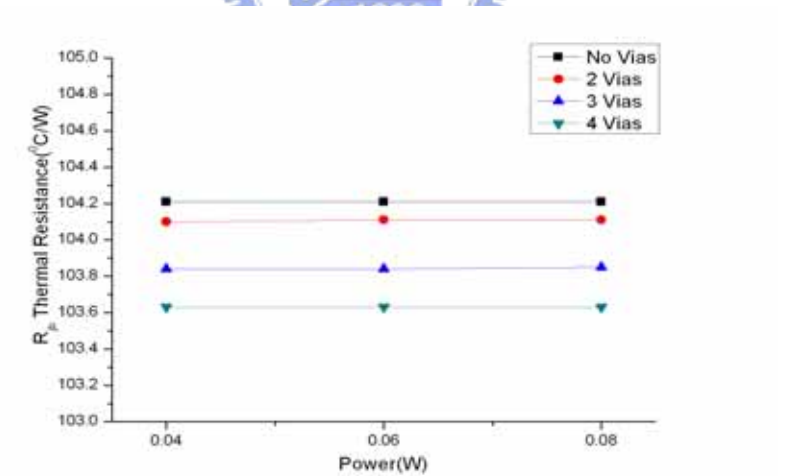


圖 4-16 同軸式高頻覆晶封裝熱通道設計變更

Junction-board-Resistance 圖表

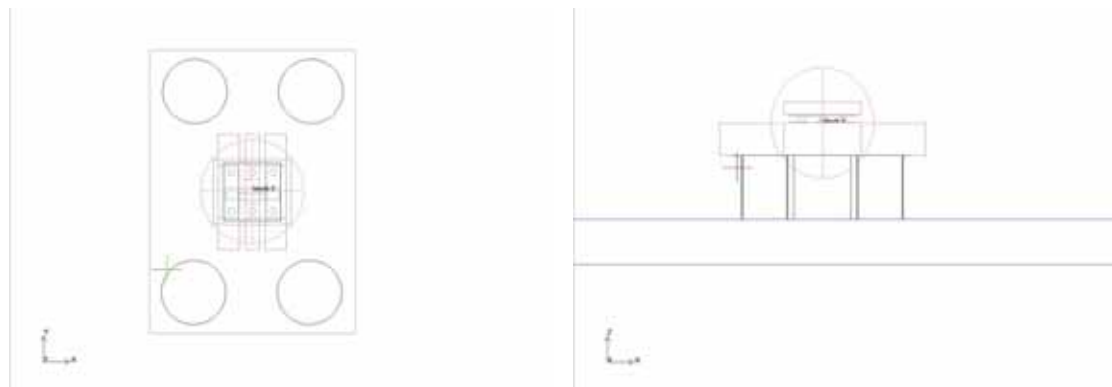


圖 4-17 傳統式高頻覆晶外部點膠式封裝設計

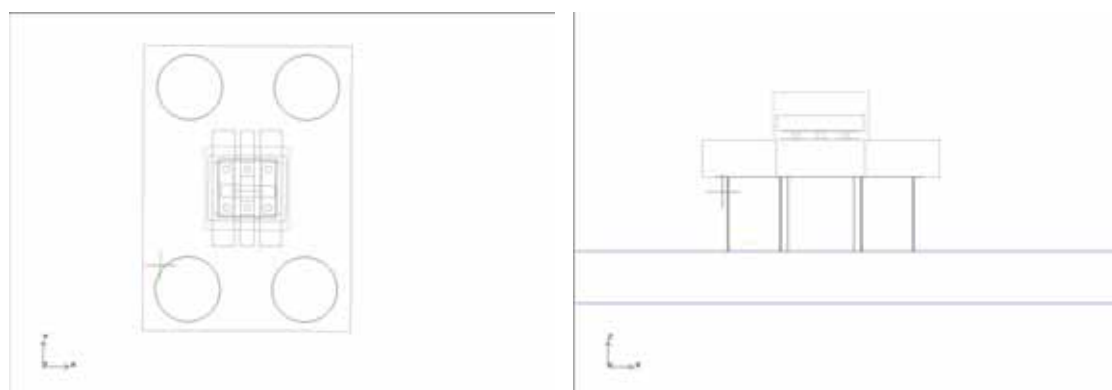


圖 4-18 傳統式高頻覆晶外部點膠式等效體積封裝設計

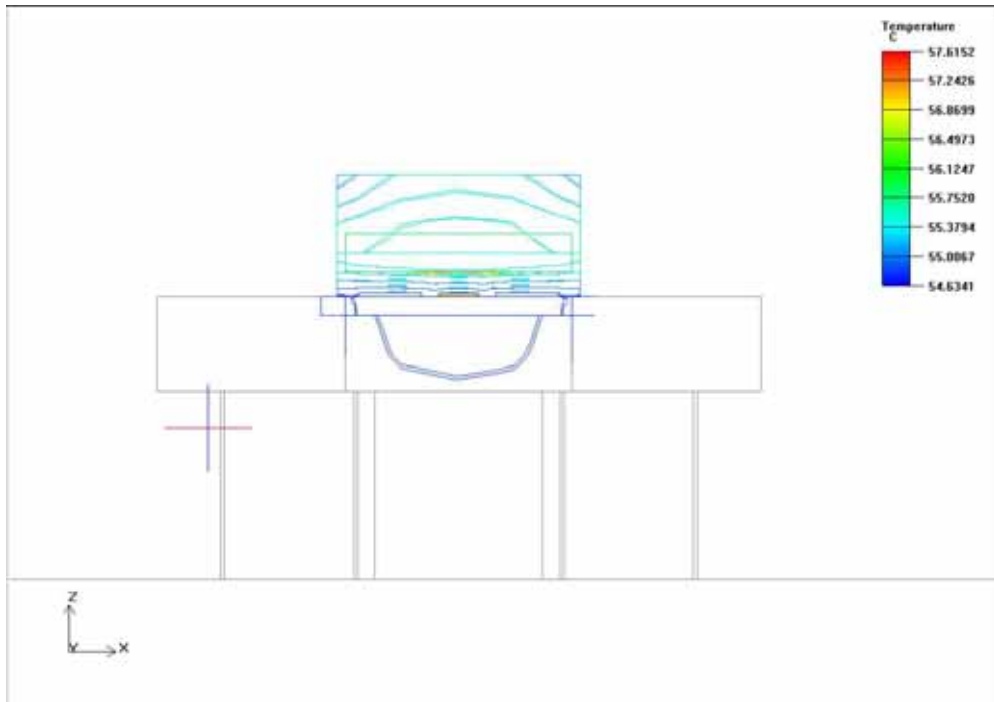


圖 4-19 傳統式高頻覆晶外部點膠式

等效體積封裝設計溫度分佈圖

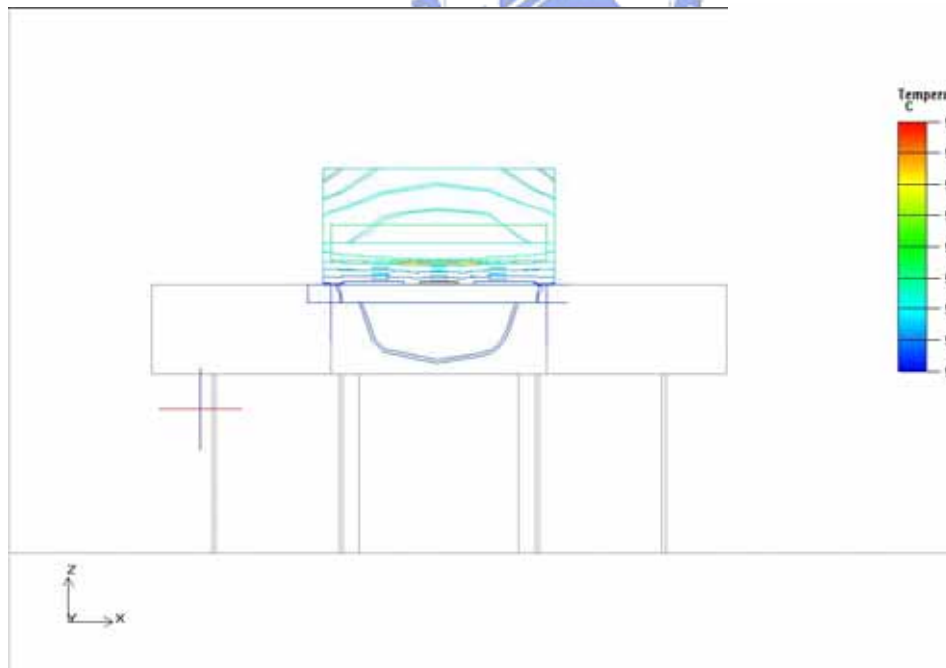


圖 4-20 傳統式高頻覆晶外部點膠式等效

體積封裝設計溫度分佈圖(有填入空氣)

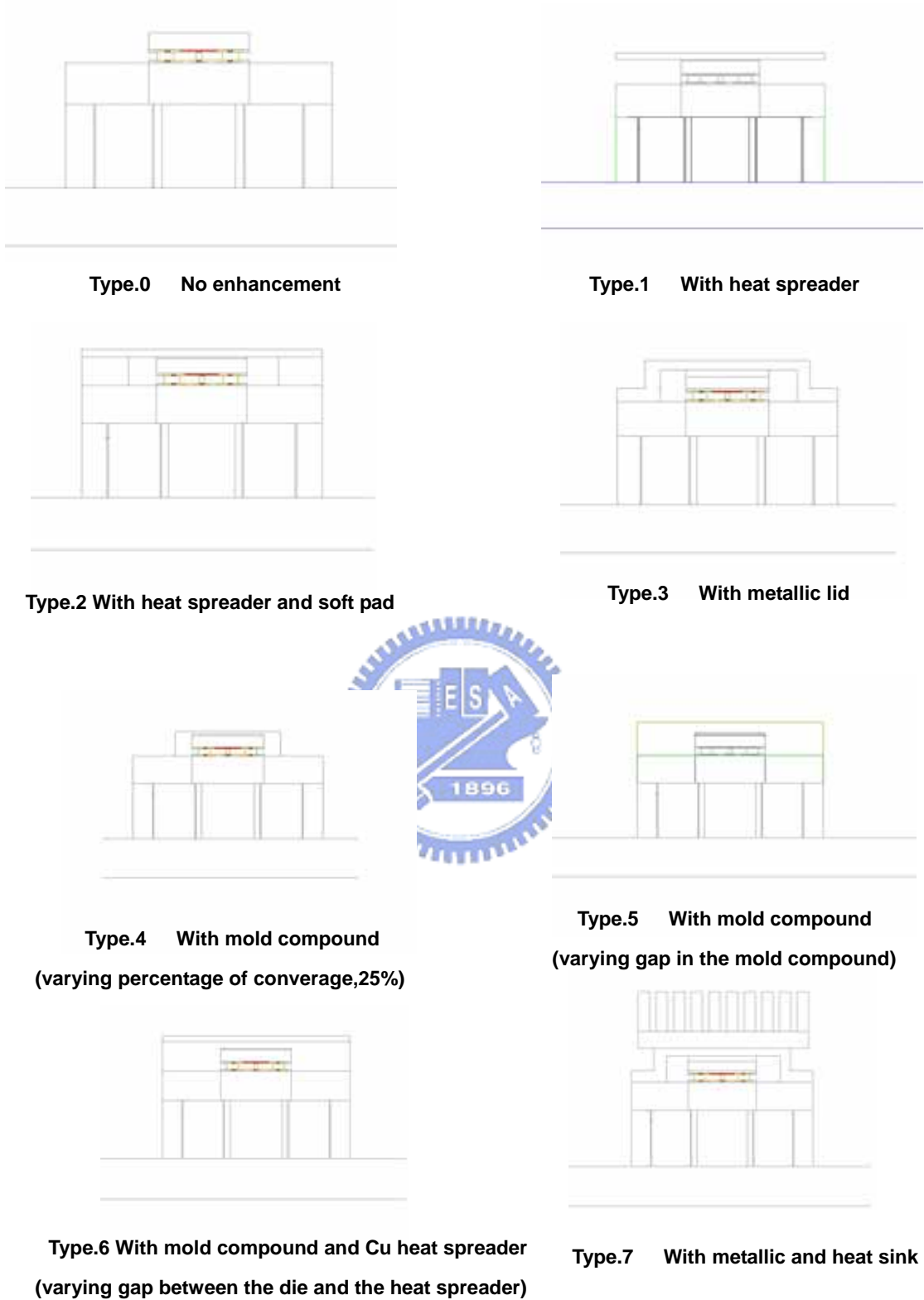


圖 4-21 同軸式高頻覆晶封裝在晶片上方

不同型式的散熱裝置之設計

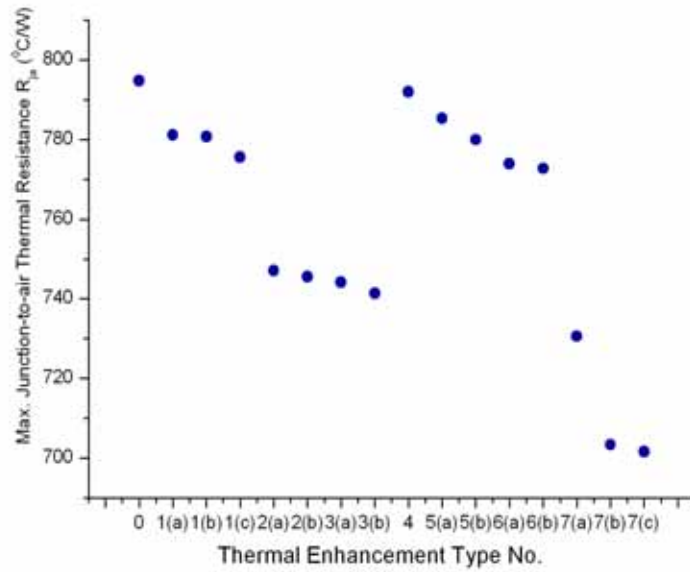


圖 4-22 同軸式高頻覆晶封裝外部各設計

之 R_{ja} (Junction-air-resistance) 分佈圖表

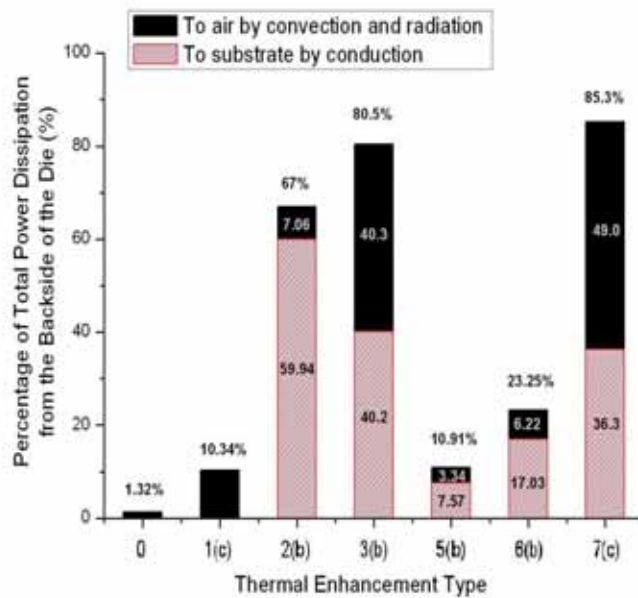


圖 4-23 同軸式高頻覆晶封裝外部各設計晶片上方

熱傳量所佔整體散熱部分之百分比

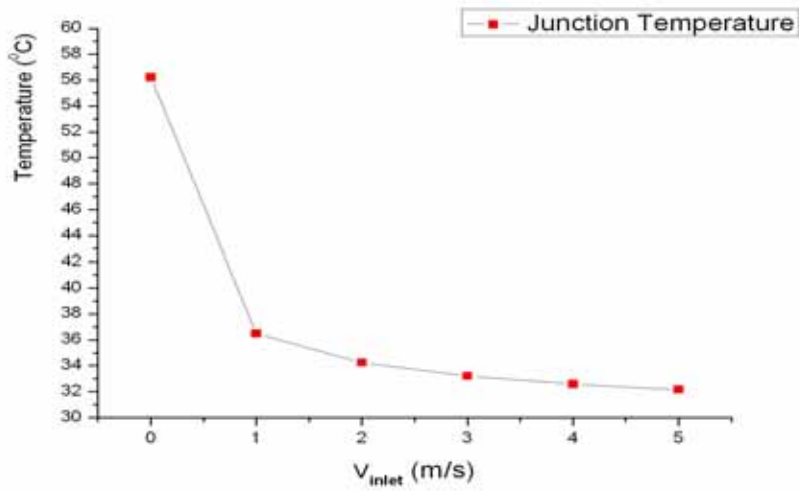


圖 4-24 同軸式高頻覆晶封裝當熱沈散熱座邊長為 $1500\ \mu m$

鰭片各數為 5 時在不同風速下平均溫度分佈圖表

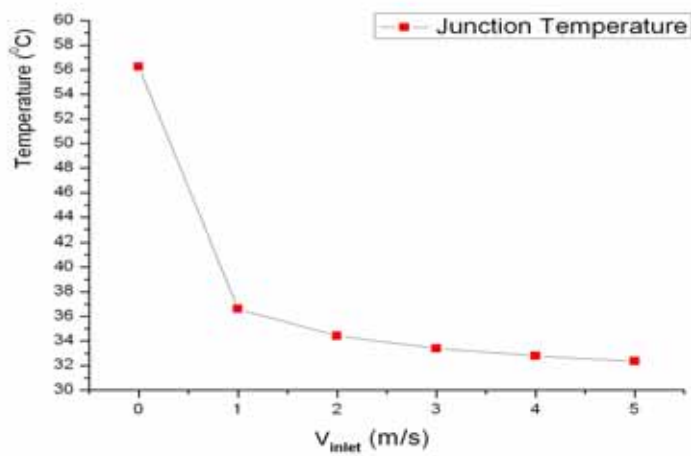


圖 4-25 同軸式高頻覆晶封裝當熱沈散熱座邊長為 $1500\ \mu m$

鰭片各數為 10 時在不同風速下平均溫度分佈圖表

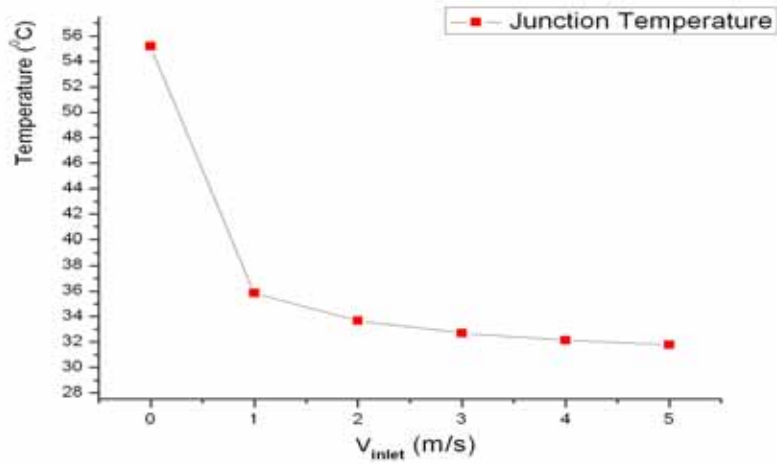


圖 4-26 同軸式高頻覆晶封裝當熱沈散熱座邊長為 $2500 \mu m$

鳍片各數為 5 時在不同風速下平均溫度分佈圖表

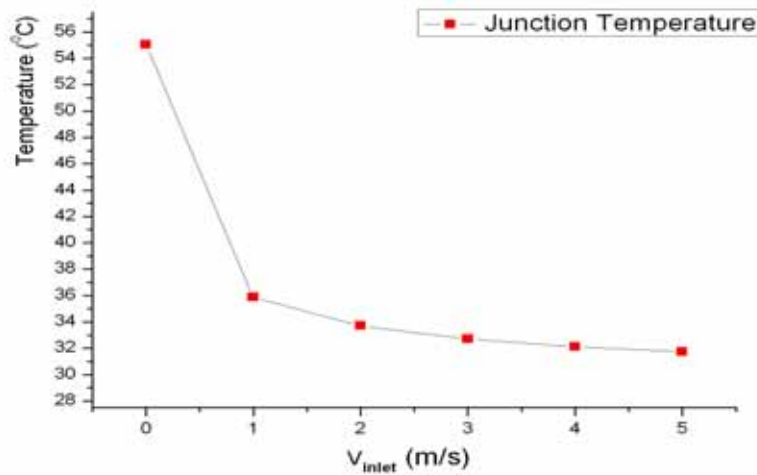


圖 4-27 同軸式高頻覆晶封裝當熱沈散熱座邊長為 $2500 \mu m$

鳍片各數為 10 時在不同風速下平均溫度分佈圖表

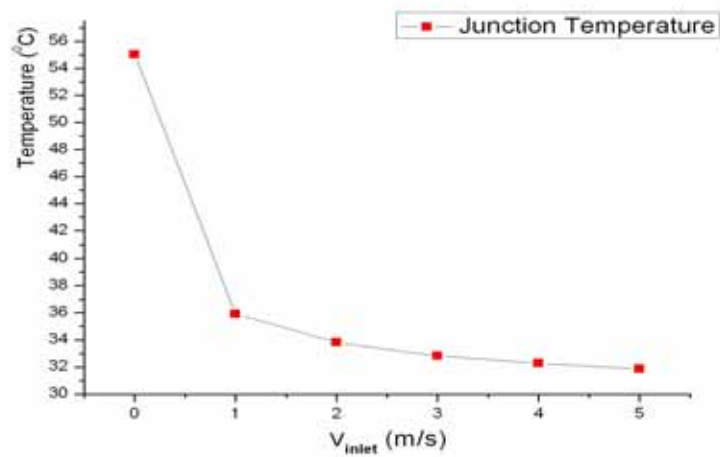


圖 4-28 同軸式高頻覆晶封裝當熱沈散熱座邊長為 $2500 \mu m$

鰭片各數為 15 時在不同風速下平均溫度分佈圖表

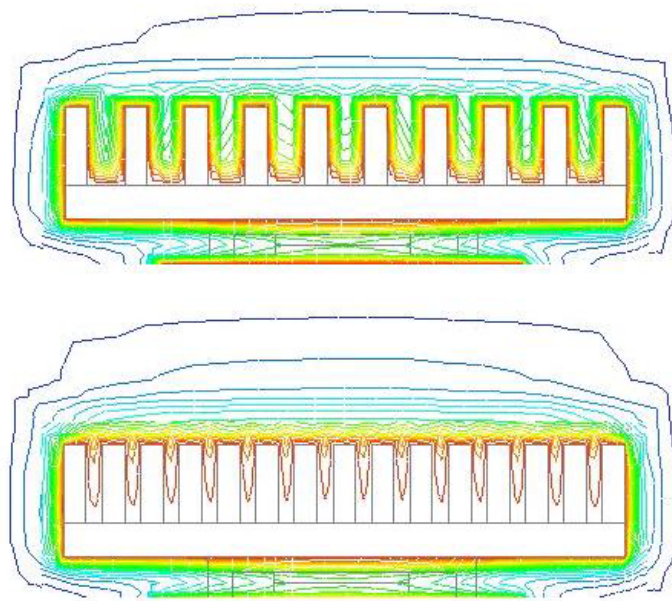
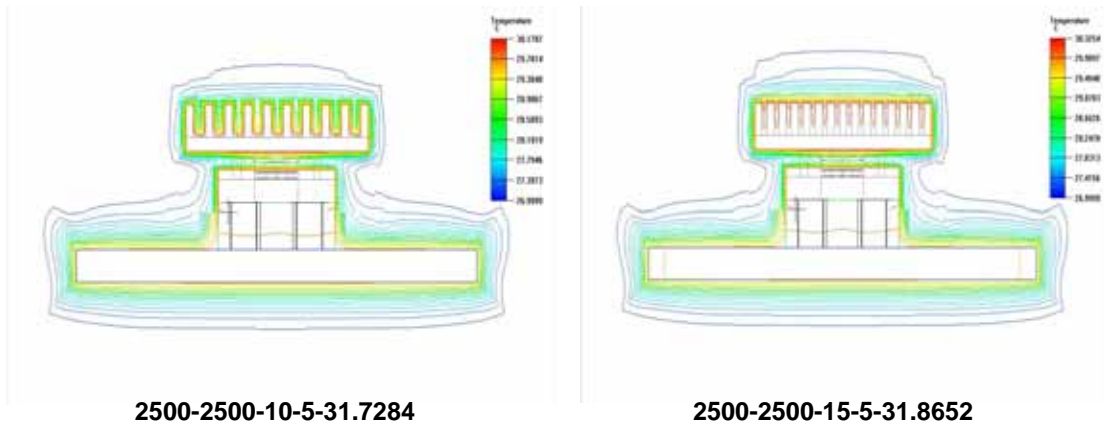


圖 4-29 滯流現象對溫度分佈的影響圖

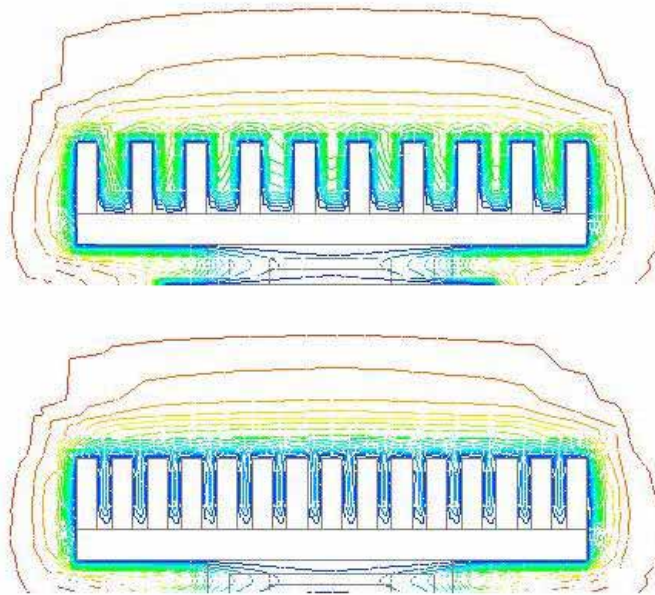
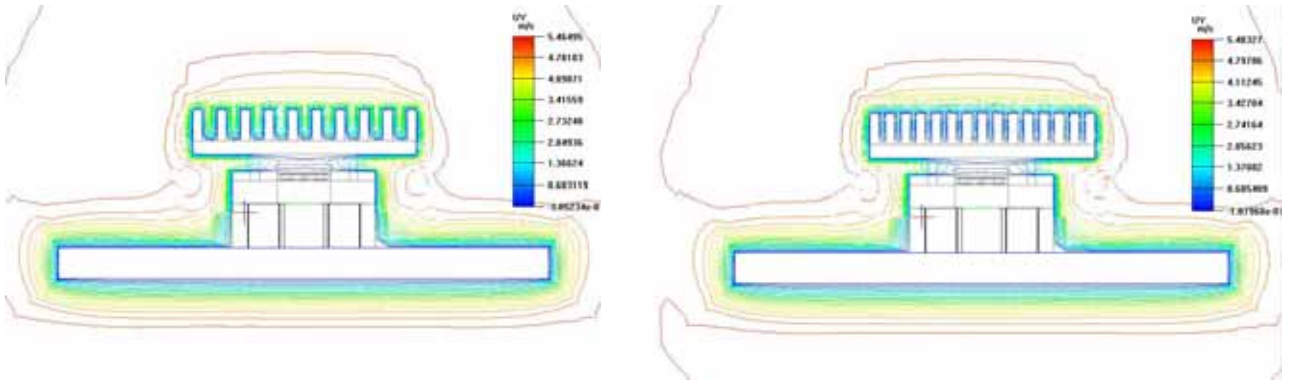


圖 4-30 滯流現象對速度分佈的影響圖