

鍺與矽晶圓接合介面形態與電性研究

學生:邱郁珈

指導教授:吳耀銓 教授

國立交通大學材料科學與工程學系研究所碩士班

摘要

鍺與矽晶圓應用在光電元件上近年來備受矚目，晶圓接合技術可將異質材料作整合，達到高品質的接合介面。材料歷經同軸應力與高溫退火，在試片的表面形成化學鍵結以增加接合強度。但是不同材料之間存在熱膨脹係數差異的問題，在降溫過程中產生的熱應力會導致試片破裂或是試片分離等情況。

本實驗選擇 P 型矽/鍺與 N 型矽/鍺作為直接接合技術研究的材料。首先在矽試片上製作網狀結構，以克服熱應力使得試片可以在高溫退火後成功接合，接著再以穿透式電子顯微鏡觀察介面微結構型態並作電流電壓特性量測。結果顯示存在介面的非晶質區域厚度會隨著退火溫度升高而變薄。而電性量測方面則觀察到崩潰電壓與起始電壓皆會隨著退火溫度的上升而下降，此現象與存在介面的非晶質厚度有關。電性量測結果與能帶對準圖比較，發現高溫退火下並不符合能帶對準圖的趨勢，推測是由於鍺原子與矽原子相互擴散造成陷阱輔助穿隧效應，使得載子可以穿越能障在介面間導通。

Interface morphologies and electrical properties of bonded Ge/Si wafers

Student : Yu Chia Chiu

Advisors : Pro. Yew-Chung Sermon Wu

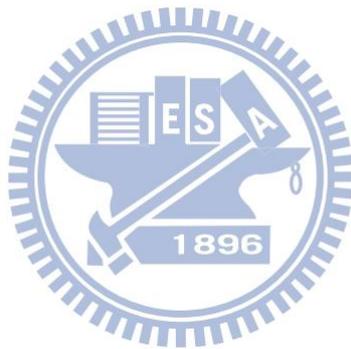
**Department of Material Science and Engineering
National Chiao Tung University**

ABSTRACT

Silicon and Germanium integrated for applications in optical communication systems and interconnection have attracted much attention. The formation of a heterojunction between hybrid materials by wafer bonding technique has been generally successful. During high pressure and high temperature annealing process, wafers are bonded by producing covalent bonds at interface. However, the high temperature annealing produced cracks in both wafers caused by large difference in the thermal expansion coefficients of Ge and Si, resulting in low yield for device fabrication.

In this study, direct wafer bonding technique was applied to combine p-type Ge/Si and n-type Ge/Si. First, mesa structures fabricated on silicon wafers were used to avoid thermal stress during high temperature annealing process. The interface microstructure was investigated by transmission electrical microscopy (TEM) and I-V characteristic was also measured. The thickness of amorphous decreased with the annealing temperature increasing. The result of the I-V measurement also showed that the breakdown and the turn-on voltage decreased with the annealing temperature increasing, because the thickness of amorphous at interface

changed with temperature. Results of I-V measurements and energy band diagram found that high temperature annealing did not meet the trend of the energy band alignment diagram, presumably due to germanium atoms and silicon atoms diffused between interfaces and caused the trap-assisted tunneling effect, the carriers could cross the barrier at interface.



致謝

非常幸運從專題生到碩士班可以在吳耀銓教授指導下作研究，吳老師不僅在實驗過程中悉心給予指導與協助，更像是位父親般平常關心學生們的生活，由衷地感謝這些年的指導。感謝吳文偉教授與廖崢博士在繁忙的工作中還撥空擔任口試委員，你們的提點與叮嚀我都會銘記在心，沒齒難忘。謝謝哇哈哈學長總是不計辛勞地幫我對付難搞的 TEM，且閒時我們時常切磋美食資訊，我由衷地敬佩您；張哥學長謝謝你常常切水果，準備堅果類小點心給我們補腦，以及總是不厭其煩的回答與幫助我許多問題；捲爺你總是可以一針見血，一語道破許多盲點，幫頂組沒有你壯碩的二頭肌撐著早就垮了；俞中學長謝謝你總是含辛茹苦的為中美計畫默默付出，也時常為我們加油打氣；GOD 學長我們本是同一家，謝謝你教會我許多機台，非常感激您；世欽哥謝謝你提供許多材料與好點子讓我們做實驗，也給我們很多就業的資訊；謝謝所有支持與給予協助的學長姐，博文、美儀、東彥、文政還有 Selvi 謝謝你們。

謝謝牛振儀在最後陪著我一起崩潰，妳是我在大學最好的朋友，也是我最親密的室友，不管我做任何決定都無條件的支持，我會愛妳一輩子；感謝胡人立時常傾聽我的煩惱，分擔我的壓力，謝謝你這段時間的陪伴。

還有感謝親愛的學弟妹們，俊旻、冠賓、敬富、俊彥、星凱、建煊、孟彥、佩瑜、家振、群哲、偉倫、汝瑩、博仲還有文陽，謝謝你們這段時間的幫忙。

謝謝邱慎廷這幾年來的照顧，謝謝你在我大學與碩士期間全心全力的照顧我呵護我，陪著我到處吃吃喝喝，由著我胡鬧發脾氣，像家人般百分百支持我，如果這段期間沒有你，我一定無法勇敢追逐我的夢。

謝謝父母親的支持，謝謝你們容忍我任性的脾氣，包容又支持我做的決定，感謝你們讓我後顧無憂的完成學業，你們是全世界最偉大的父母親；謝謝于芳和威傑常常打電話給我加油打氣，你們真的是我最溫暖的避風港，我有最棒的家人支持我，我真的好幸運好幸福。謝謝你們。

目錄

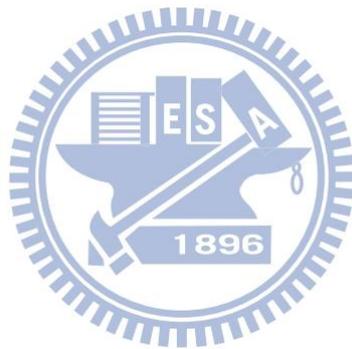
中文摘要.....	i
英文摘要.....	ii
致謝.....	iv
目錄.....	vi
圖目錄.....	ix
表目錄.....	xii

一、 緒論	1
1.1. 前言	1
1.2. 研究動機	2
二、 晶圓接合技術簡介	5
2.1. 晶圓接合機制.....	5
2.2. 晶圓接合技術.....	8
2.3. 晶圓接合變數.....	9
2.3.1. 晶圓表面品質	9
2.3.2. 熱膨脹係數的差異	10
2.3.3. 接合環境.....	11
2.3.4. 退火溫度與時間	12

2.3.5.	退火氣氛.....	12
2.3.6.	同軸應力.....	13
2.4.	晶圓接合的優點.....	13
三、	實驗流程.....	14
3.1.	實驗流程.....	14
3.2.	試片的製備.....	14
3.3.	清洗流程.....	16
3.4.	高溫退火過程.....	17
3.5.	電性量測.....	21
3.6.	微結構觀察與分析.....	22
四、	結果與討論.....	25
4.1.	實驗整體架構.....	25
4.2.	介面微觀結構分析.....	27
4.2.1.	P-type 矽/P-type 鍺 bonding 介面非晶質區域討論.....	28
4.2.2.	P-type 矽/P-type 鍺 bonding 介面成分分析.....	36
4.2.3.	P-type 矽/P-type 鍺 bonding 介面原子擴散情況.....	37
4.2.4.	N-type 矽/N-type 鍺 bonding 介面非晶質區域討論.....	43
4.2.5.	N-type 矽/N-type 鍺 bonding 介面原子擴散情況.....	49
4.3.	P-TYPE 矽/P-TYPE 鍺 BONDING 電性量測分析.....	54



4.4.	N-TYPE 矽/N-TYPE 鍺 BONDING 電性量測分析.....	59
五、	結論	64
六、	未來工作.....	66
七、	參考資料.....	67



圖目錄

圖 1-1	CONTROLLED SPALLING PROCESS ^[11]	4
圖 1-2	鍺/矽 HETEROJUNCTION PHOTODIODE STRUCTURE ^[12]	4
圖 1-3	(A)APD STRUCTURE	5
	(B)CONCENTRATION AND (C)FIELD PROFILES ^[13]	5
圖 2-1	晶圓預結合三種初步吸引力 ^[14]	6
圖 2-2	(A)曲率差異造成擴散現象 (B)退火後的表面鍵結	8
圖 2-3	表面殘留細微粒子影響接合面積的結果 ^[20]	10
圖 2-4	不同材料在不同溫度下熱膨脹係數變化 ^[21]	11
圖 3-1	工作試片切割示意圖	16
圖 3-2	試片清洗流程圖	17
圖 3-3	夾具的分解示意圖	18
圖 3-4	夾具結合圖	19
圖 3-5	鉬與不鏽鋼熱膨脹係數對溫度圖 ^[23]	20
圖 3-6	實驗配置圖	21
圖 3-7	電性量測試片製作流程圖	22
圖 3-8	TEM 試片製作圖	24
圖 4-1	鍺與矽熱膨脹係數與溫度關係圖 ^[25]	27
圖 4-2	P-TYPE 900°C 鍺晶片熔融圖	27
圖 4-3	(A)P-TYPE 500°C 接合介面	29

(B)高倍率 P-TYPE 500°C 接合介面.....	29
圖 4-4 (A)P-TYPE 600°C 接合介面.....	30
(B)(C) 高倍率 P-TYPE 600°C 接合介面	30
圖 4-5 (A) P-TYPE 700°C 接合介面.....	31
(B)(C)高倍率 P-TYPE 700°C 接合介面	31
圖 4-6 (A) P-TYPE 800°C 接合介面.....	32
(B)(C)高倍率 P-TYPE 800°C 接合介面	32
圖 4-7 (A) P-TYPE 900°C 接合介面.....	33
(B)(C)高倍率 P-TYPE 900°C 接合介面	33
圖 4-8 中間介質層成分分析.....	36
圖 4-9 鍺與矽相圖 ^[27]	37
圖 4-10 P-TYPE 500°C 原子擴散圖	38
圖 4-11 P-TYPE 600°C 原子擴散圖	38
圖 4-12 P-TYPE 700°C 原子擴散圖	39
圖 4-13 P-TYPE 800°C 原子擴散圖	39
圖 4-14 P-TYPE 900°C 原子擴散圖	40
圖 4-15 鍺原子擴散示意圖.....	42
圖 4-16 (A) N-TYPE 500°C 接合介面	43
(B)高倍率 N-TYPE 500°C 接合介面	43

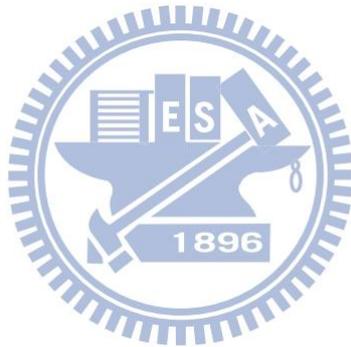
圖 4-17	(A) N-TYPE 600°C 接合介面	44
	(B)(C)高倍率 N-TYPE 600°C 接合介面	44
圖 4-18	(A) N-TYPE 700°C 接合介面	45
	(B)(C)高倍率 N-TYPE 700°C 接合介面	45
圖 4-19	(A) 高倍率 N-TYPE800°C 接合介面	46
	(B)(C)高倍率 N-TYPE800°C 接合介面	46
圖 4-20	(A) N-TYPE 800°C 接合介面	47
	(B)(C)高倍率 N-TYPE 800°C 接合介面	47
圖 4-21	N-TYPE 500°C 原子擴散圖	49
圖 4-22	N-TYPE 600°C 原子擴散圖	50
圖 4-23	N-TYPE 700°C 原子擴散圖	50
圖 4-24	N-TYPE 800°C(MODIFIED REGION)原子擴散圖	51
圖 4-25	N-TYPE 800°C 原子擴散圖	51
圖 4-26	N-TYPE 900°C 原子擴散圖	52
圖 4-27	(A)原子擴散圖	53
	(B)MODIFIED REGION 原子擴散圖 ^[29]	53
圖 4-28	電性量測示意圖	54
圖 4-29	P-TYPE IV-CURVE	55
圖 4-30	未施加偏壓 P-TYPE 能帶圖	57

圖 4-31	P-TYPE 負偏壓於矽(A) 正偏壓於矽(B)能帶圖	57
圖 4-32	P-TYPE 電流密度與電壓關係圖	58
圖 4-33	鍺在二氧化矽中產生的 TRAP STATE ^[30]	58
圖 4-34	TRAP ASSISTED TUNNELING	59
圖 4-35	N-TYPE I-V CURVE.....	59
圖 4-36	退火溫度與磷原子濃度關係圖 ^[31]	62
圖 4-37	N-TYPE 電壓電流密度關係圖	62
圖 4-38	未施加偏壓 N-TYPE 能帶圖	63
圖 4-39	N-TYPE 負偏壓於矽(A) 正偏壓於矽(B)能帶圖	63



表目錄

表 3-1	鍺晶圓參數表.....	15
表 3-2	矽晶圓參數表.....	15
表 4-1	晶圓接合結果.....	25
表 4-2	中間介質層成分分析.....	36
表 4-3	鍺在矽中擴散長度比較表.....	41



一、緒論

1.1. 前言

現今科技的進步，各種材料的應用與整合愈趨重要，尤其是光電半導體元件(Optoelectronic semiconductor devices)，各種半導體材料具有不盡相同的熱傳導度、機械強度、活化能、能隙、電子電洞遷移率、電阻率等材料物理化學特性^[1]，單一材料已無法滿足設計者的需求，因此異質材料整合已是現今科技的趨勢，發揮各種材料的特性，設計高效能、高設計性與發展嶄新的元件。以往常見利用金屬有機物化學氣相沉積(MOCVD)或是分子束磊晶(MBE)，將符合特殊需求的材料成長於基板之上以製作積體電路等半導體元件。

但磊晶技術需克服一個問題，不同的磊晶材料與基板存在晶格常數不匹配(Lattice mismatch)的問題^{[2][3][4]}，磊晶過程中累積的應力常藉由穿透式差排(Threading dislocation)釋放，穿透式差排常扮演載子捕捉中心(Trap center)的角色而影響元件的光電表現，且侷限了磊晶層的厚度。磊晶過程中若應力過大，則將出現試片破裂的現象而無法進行後續加工製程。除此之外，磊晶層的晶面方向受限於基板方向，因此不容易磊晶出與基板方向相異的磊晶層。為了克服晶格不匹配的問題，而發展出各式的異質材料整合技術，本實驗利用晶圓接合技術將異質材料整合，可以解決晶格不匹配的問題，成功的應用

於許多光電元件，例如雷射二極體、高亮度發光二極體^[5]、異質界面電晶體(HBT)^{[6][7][8]}、垂直共振腔面射型雷射(VCSEL)^[9]、光子晶體等光學元件。

1.2. 研究動機

本實驗的內容分為兩大部分:(1)P-type Si/P-type Ge bonding (2)N-type Si/N-type Ge bonding。兩者材料皆包括矽晶圓與鍺晶圓。由文獻中可以得知^[10]，矽與鍺晶圓的結合可以應用到許多光電半導體元件(Optoelectronic semiconductor device)，例如:太陽能光伏(Photovoltaics)、光探測器(Photodetectors)、光發射器(Light emitters)、射頻微機電(Radio frequency MEMS)等等。

由於三五族化合物具有直接能隙(Direct bandgap)的特性，電子在各個能帶之前的跳動較為容易，因此擁有光電高轉換效率，例如InGaP/(In)GaAs/Ge結構^[11]通常被應用在製作高效率太陽能電池(High-efficiency solar cell)。雖然光電轉換效能與設計彈性高，但Ge基板成本過高並不適合用來做廣泛生產。以往利用磊晶的方式，在矽基板上方磊晶一層鍺薄膜以降低成本，但是鍺與矽晶格常數(Lattice mismatch)差異過大，在磊晶時會產生許多的應力，而應力的累積會藉由高密度穿透性差排(Threading dislocation)來釋放。而D. Shahrjerdi與S. W. Bedell等人成功地利用Controlled

spalling技術將InGaP/(In)GaAs/Ge結構與鍺基板剝離，再與矽基板作結合，圖1-1為Controlled spalling流程圖。因矽基板成本便宜，且製作技術已臻成熟，此方法除了可與矽基板結合外，鍺基板還可以達到再利用與降低成本等目的。

除了太陽能電池外，矽與鍺也常被應用於光探測器(Photodetectors)與雪崩光電二極管(Avalanche photodiode, APDs)^[12]。雪崩光電二極管利用光電效應將光能轉換成電能，主要分為兩大部分，吸收層(Absorption layer)與倍增層(Multiplication layer)。當光感測器在n-region施加逆向偏壓時，空乏區會變寬延伸至吸收層π-region，而光子的吸收與光產生主要發生在寬的吸收層，又均勻的電場會將電子電洞對分離，分別送往n-region與p⁺-region等倍增層進而撞擊共價鍵釋放出更多電子電洞對，此雪崩效應達到電流增益的效果^[13]。本實驗探討矽與鍺基板分別作為倍增層與吸收層，鍺對光電流的吸收波長為1.31到1.55 μm，此區段波長可在矽區完全穿透不被吸收，且矽具有低倍增噪音(Multiplication noise)與電離係數(Ionization coefficient)等特性，可以達到光電訊號增強的效果。以往使用磊晶技術在矽基板上成長鍺薄膜，但是兩者晶格常數差異高達4%，薄膜厚度不能成長太高而且容易產生差排，磊晶機台價格高昂且技術困難，因此利用直接接合技術取代磊晶成長技術，以降

低成本且製作方法簡單，後續高溫退火處理可以將低因晶格差異造成的穿隧性差排。接合介面層的晶格情況如差排與缺陷皆會影響元件的表現，因此本實驗會使用穿透式顯微鏡來觀察介面接合情況。

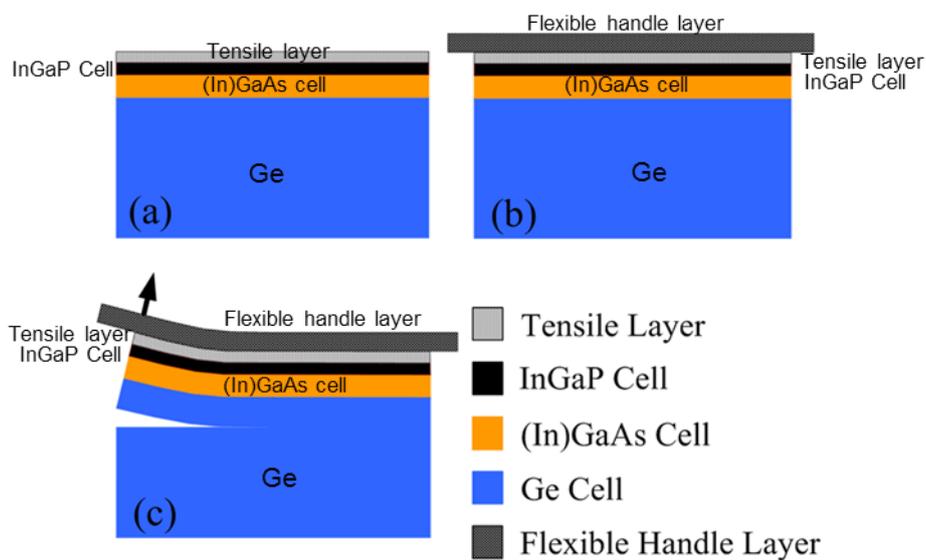


圖1-1 Controlled spalling process^[11]

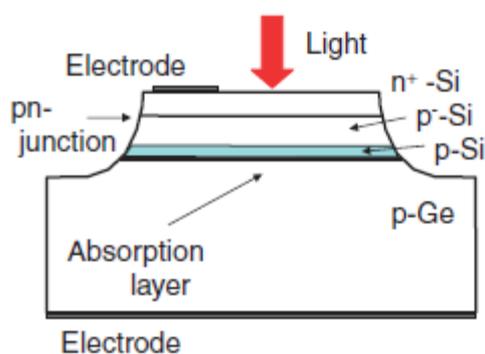


圖1-2 鍺/矽 Heterojunction photodiode structure^[12]

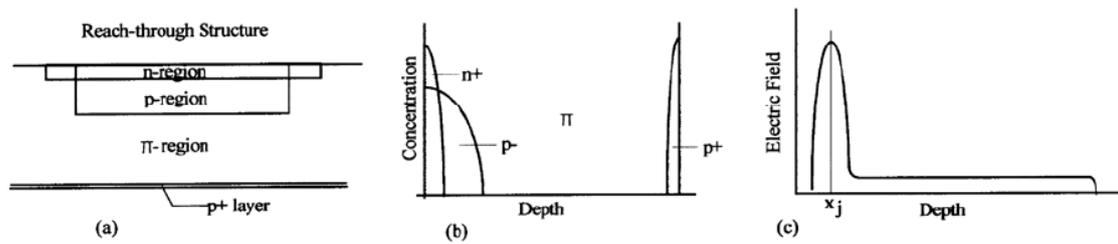


圖1-3 (a)APD structure

(b)Concentration and (c)Field profiles^[13]

二、晶圓接合技術簡介

2.1. 晶圓接合機制

晶圓接合技術簡單來說就是將兩片晶圓作面對面相接，此時晶圓表面會產生微弱的吸引力，讓兩片晶圓產生預接合(Pre bond)，同時對試片施以同軸應力與適當的高溫退火，讓晶圓表面的化學鍵可以產生更大的鍵結強度，達到如塊材般的接合介面。

晶圓接合技術可細分為很多種，如果以接合介面中間是否以黏著劑或其他中間介質層作為接合，可以將晶圓接合技術大略分成兩種：第一種是使用膠或是中間介質物來作接合，稱為中間介質層晶圓接合(Intermediate layer wafer bonding)；第二種是晶圓直接接合而不使用膠或是中間介質物，稱為直接晶圓接合(Direct wafer bonding)。

直接接合技術中，初期兩片晶圓接觸，表面會產生數種微弱的交互作用力，可以讓晶圓具有一定的預接合力，這些初期的吸引力大致可分為三種：(1)凡德瓦爾力；(2)毛細作用力；(3)靜電力。此三種吸引力以下均會做詳細討論。

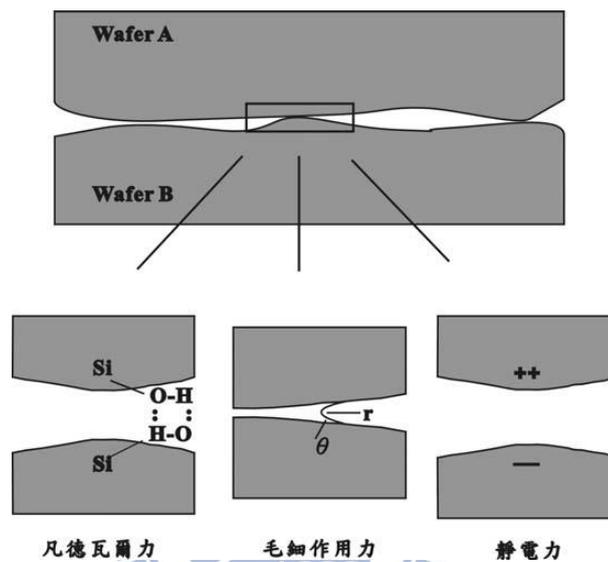


圖2-1 晶圓預結合三種初步吸引力^[14]

第一種的凡德瓦爾力在初步作用力中具有一定的份量^[15]。由於矽與砷化鎵是對稱結構，單純非偶極誘發的凡德瓦爾力難以存在於完全無氧化層的矽晶圓表面上。當我們使用氫氟酸去除矽的原生氧化層後，會在表面殘留許多 F^- 離子，在介面處形成 H-F 的氫鍵結構，因此凡德瓦爾力皆發生於兩片晶圓接合介面處。

雖然晶圓表面皆經過鏡面拋光等處理，但是微觀下的表面仍有許多不平整的地方，而第二種的毛細作用力便會出現在此處，又毛細作

用力通常發生在兩介面處的液體上。

第三種是靜電力亦稱為庫倫力，當兩晶圓接觸時表面的電荷會相互流動，最後在晶圓介面處產生不可動的正負離子而達到化學平衡，產生費米能階效應(Fermi level effect)，兩晶圓表面因正負離子而吸引在一起^[16]。

上述的表面初期吸引力雖然可作預接合，但吸引力太過於微弱，晶圓不足以作為後續的加工與應用，因此晶圓仍須施予適當的同軸應力與高溫退火，方可達到較強的鍵結強度。在施予外加的壓力與退火過程中，晶圓介面主要有兩大驅動力使表面鍵結強度增強：由於晶圓表面原子排列並不如內部塊材來的整齊，表面會產生許多未鍵結的鍵(Dangling bond)，在此區域會以重構狀態(Reconstructed state)存在。這些表面狀態相較於內部塊材具有較高的能量，當受到應力與高溫退火等能量時，基於熱力學為了將低總能量，此重構區域會以類似側向成長的方式使介面撫平並消除，最後以晶界的狀態代替之，此過程與陶瓷的燒結機制頗為相似^[17]；除了以熱力學的觀點探討外，表面張力也是介面消除一大驅動力。微觀下試片表面有許多凹凸不平面，當接受外在能量後，原子會從具有高體積自由能的高曲率處($r > 0$)表面擴散至低曲率($r < 0$)處。總合上述兩大驅動力，晶圓接合技術可讓

介面達到如塊材一般的完美融合。

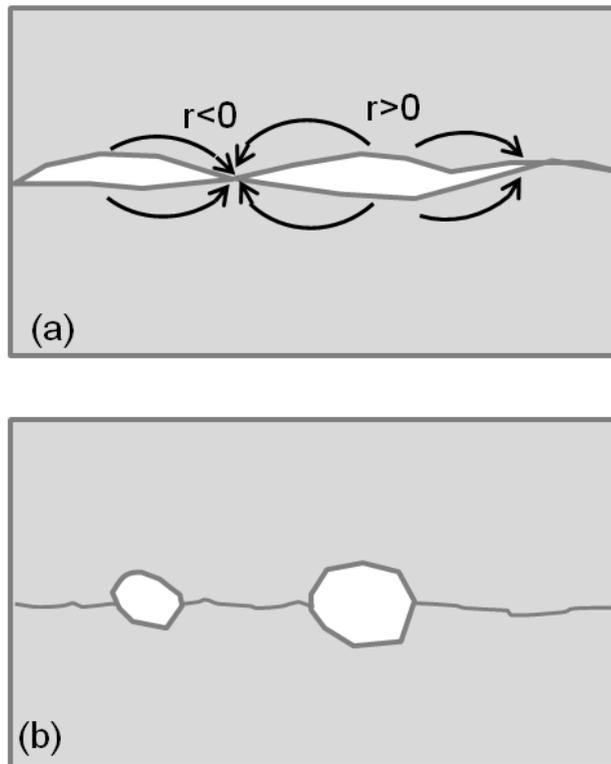


圖2-2 (a)曲率差異造成擴散現象 (b)退火後的表面鍵結

2.2. 晶圓接合技術

上述已有提到可依是否使用膠或中間介質物接合，將晶圓接合技術大致分為兩種，但是不同材料所適用的接合技術各不相同，因此可以再將接合技術細分為以下數種^{[18][19]}：

1. 直接晶圓接合(Direct bonding)

A. 融合接合(Fusion bonding)

B. 陽極接合法(Anode bonding)

C. 低溫接合

2. 間接晶圓接合(Indirect bonding)

A. 金屬共晶接合法(Eutectic bonding)

B. 介金屬化合物接合(Intermaterial compound bonding)

C. 塗佈化學介質層接合

本實驗中使用的方法是融合接合法，先在奈米中心的無塵室中清洗晶圓表面，形成疏水性表面後進行晶圓面對面的接觸，產生預接合。隨即將試片放置於爐管中進行同軸壓力與高溫退火(Anneal)，利用前述兩大驅動力，原子在表面擴散將介面撫平形成完美融合區域，達到可供後續應用與加工的機械性質與鍵結強度。

2.3. 晶圓接合變數

2.3.1. 晶圓表面品質

本實驗使用直接接合技術將兩片晶圓作面對面的接合，在試片表面形成化學鍵結加以結合，因此晶圓表面的品質狀況會直接影響接合結果。表面品質主要以平坦度(Flatness)、平行度(Parallelism)與晶圓表面的平滑度(Smoothness)作為三大表面品質的指標。平坦度是指巨觀下晶圓厚度的差距，平行度是指晶圓相對翹曲的程度，平滑度

是指微觀下晶圓表面的粗糙程度，不良的晶圓表面品質會嚴重影響接合結果。現今晶圓製作技術已趨成熟，平坦度與平行度的問題影響較小，但平滑度的問題仍需經晶圓清潔過程來改善。

除此之外，晶圓表面的潔淨程度也會影響接合狀況，舉例來說，金屬離子、微小粒子與有機物的殘留，尤其是表面殘留的微小粒子影響甚鉅，會造成未接合區域比殘留物本身大上許多^[20]。理論上，一顆直徑 $0.5\ \mu\text{m}$ 的例子會造成直徑 $2.5\ \mu\text{m}$ 的未接合區域。

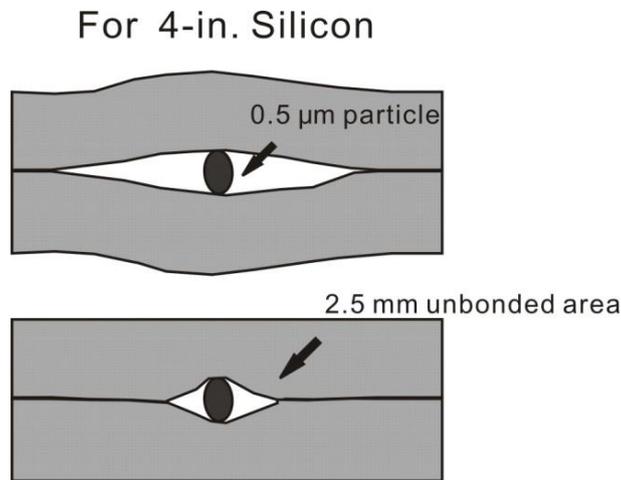


圖2-3 表面殘留細微粒子影響接合面積的結果^[20]

2.3.2. 熱膨脹係數的差異

直接晶圓接合技術會承受適當的高溫退火，而不同材料在不同溫度下的熱膨脹程度皆有所不同。異質材料的熱膨脹係數差異，會造成在升溫與降溫過程中積蓄一定的熱應力，在升溫中兩晶片可能尚未接合，熱膨脹的影響較不明顯，但在降溫時由於兩邊熱膨脹的差異，熱應力會拉扯在高溫時已鍵結的表面，微觀下以差排釋放應力，若熱應

力過大，甚至在巨觀下可觀察到裂縫造成試片分離或是脆裂等現象。本實驗選擇矽與鍺作為接合的材料，鍺與矽的熱膨脹係數比為2:1，可預期在高溫退火過程中造成巨大的影響，可以藉由以下幾種處理方式，改善熱膨脹係數差異造成的接合問題。包括低溫長時間退火，表面活化處理，改變表面形貌或使用間接晶圓接合等等，皆可有效改善此問題。

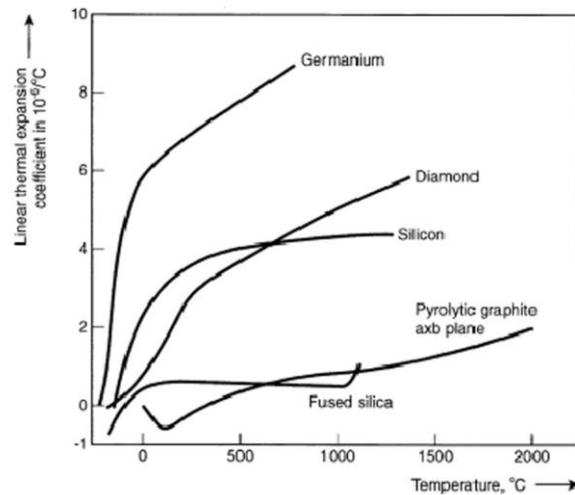


圖2-4 不同材料在不同溫度下熱膨脹係數變化^[21]

2.3.3. 接合環境

由於前文所述微小粒子會直接影響接合結果，因此實驗過程中需要良好的接合環境來排除微小粒子所造成的影響。通常在潔淨腔體或潔淨室內清洗試片可有效解決雜質粒子所帶來的問題。除此之外，清洗過程中，晶圓表面殘留的水氣也會直接影響接合的結果，因為水氣會被捕捉在介面與污染物的產生，水氣在退火的過程中會脫離晶圓表

面，但若無路徑使之蒸散出去，水氣有可能在介面處形成氣泡或孔洞而影響接合結果。本實驗將試片在異丙醇(IPA)中作面對面的接合，此有機溶劑與水相較下較不容易被介面捕捉，所產生的問題較小，且接合強度為在空氣中的兩倍。

2.3.4. 退火溫度與時間

試片在室溫下預接合產生微弱的吸引力，須經過高溫退火長時間處理，表面的化學鍵節方可產生較強的共價鍵結。較高的退火溫度可以產生較強的鍵結，但是異質材料接合還須考慮熱膨脹係數差異所帶來的熱應力問題，降溫過程會使積蓄的熱應力釋放，在介面處形成差排或是擴大造成試片破碎，因此退火溫度與時間必須在表面原子鍵結強度與熱應力所造成的問題間取得平衡點。此外，退火過程會影響異質材料間原子之擴散與參雜濃度的改變，亦是研究的重點之一。

2.3.5. 退火氣氛

為了得到良好的接合介面結果與電流電壓特性，盡量避免在空氣中直接退火。由於在空氣中退火，氧很容易被介面捕捉而形成氧化層，此氧化層會影響電流電壓等特性。可以選擇惰性氣體作為保護性氣氛以降低生成氧化層，甚至可選用還原性氣氛將表面的氧帶走達到表面清潔的功用^[22]。本實驗選擇氮氣(N₂)作為保護性氣氛。

2.3.6. 同軸應力

晶圓接合在退火過程中同時會對試片加以同軸應力，由於試片的平坦度可能不如預期般優良，因此施以同軸應力可以增加試片接觸面積進而增加表面原子間的鍵結機會，前述兩大驅動力可使晶圓表面融合成完美介面。但應力大小須適中並且均勻，否則過大可能會造成試片破碎，過小無助於接合強度，不均勻的施壓則會造成各點的接合強度不同等反效果。

2.4. 晶圓接合的優點

1. 克服磊晶因晶格不匹配(Lattice mismatch)所產生的差排(Dislocation)和缺陷(Defect)，晶圓接合技術可將差排與缺陷侷限於接合介面間，而不會延伸至元件活性層而影響元件特性。
2. 接合強度大，結合材料如塊材般適合切割、研磨、拋光等機械後續加工。
3. 接合結果良好，低電阻歐姆性質的導電性質與高透明度的光學性質，符合光電元件的需求。
4. 增加元件設計的自由度。
5. 設備簡單，價格便宜。

三、 實驗流程

3.1. 實驗流程

本實驗的流程可分為下列幾項：

- A. 晶圓試片的製備
- B. 清洗流程
- C. 室溫下的接合
- D. 高溫退火過程
- E. 電性量測
- F. 微結構觀察與分析

A~D步驟是為了加強晶圓表面間鍵結強度，並克服熱膨脹係數差異所帶來的熱應力問題，因為矽與鍺的熱膨脹係數比為1:2。E~F步驟分別製備穿透式顯微鏡與電性量測使用的試片。最後分析實驗結果並討論。

3.2. 試片的製備

本實驗選用三吋P型與N型鍺晶圓，與四吋P型與N型矽晶圓作研究。

試片詳細資料如表3-1與表3-2所示：

表3-1 鍺晶圓參數表

Ge	P-type	N-type
Thickness (μm)	175	175
Doping	Ga-doped	As-doped
Doping conc.	$(1.7\sim 5.9)\times 10^{17}$	$(1.8\sim 2.2)\times 10^{16}$

表3-2 矽晶圓參數表

Si	P-type	N-type
Thickness (μm)	550	450
Doping	B-doped	P-doped
Doping conc.	$(6.25\sim 3.13)\times 10^{17}$	$(1.15\sim 1.74)\times 10^{18}$

使用晶圓精密切割機(Dicing saw)先將晶圓沿著平邊 $[0\bar{1}\bar{1}]$ 水平與垂直方向，分別切出 $1\text{cm}\times 1\text{cm}$ 大小的試片，再將Si試片裁切出 $1\text{mm}\times 1\text{mm}$ ，深度 $160\ \mu\text{m}$ 溝槽。工作試片製備流程如圖3-1所示：

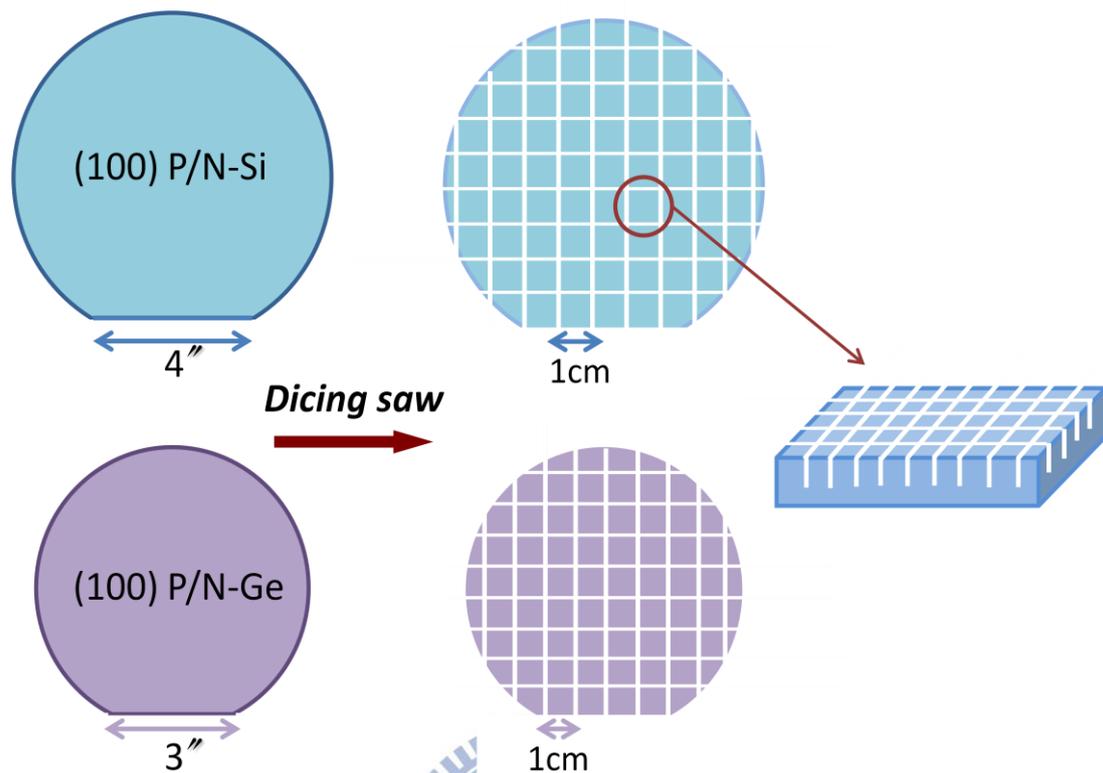
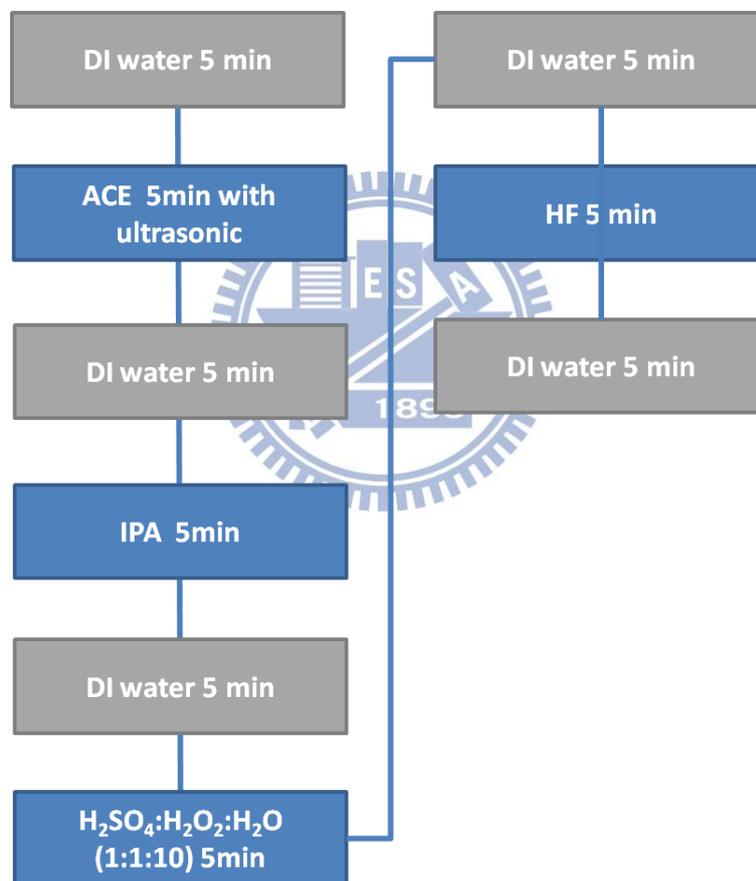


圖3-1 工作試片切割示意圖

3.3. 清洗流程

試片清洗前，先在試片背面沿著平邊方向作記號，再以去離子水 (DI Water) 沖洗五分鐘，接下來每個步驟間皆會以去離子水沖洗五分鐘。接著將試片浸泡丙酮 (Acetone) 並使用超音波震盪器震盪 10 分鐘，此步驟目的是去除試片表面微小粒子與黏著有機物。接著將試片置於異丙醇 (IPA) 五分鐘，以去除試片表面殘餘的丙酮與水氣。再來製備硫酸與雙氧水混合溶液 ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:10$)，將試片浸泡於此混合溶液五分鐘，硫酸先碳化並脫水有機物，雙氧水再將此有機物氧化並帶離表面，藉此去除表面有機污染物。接著將試片短暫浸泡稀釋氟

化氫溶液(DHF)20秒，此步驟可將表面原生氧化層去除，清洗後試片呈現疏水性表面。最後在室溫下異丙醇中作預接合，文獻^[23]指出在甲醇或異丙醇中接合，比在空氣中作直接接合的強度高，而且此類有機物的揮發性高，可將殘留在表面的水氣帶走，且不容易殘留於介面，因此可以避免退火過程中，水氣無逸散路徑而造成孔洞(Void)而大幅降低接合強度。



3.4. 高溫退火過程

先將試片在異丙醇作面對面的預接合，注意兩試片不要滑動且防止介面裸露於空氣中，緊接著將試片置入本實驗室特製的夾具

(Fixture)中，將鉬螺絲帽依序鎖緊，此步驟是防止試片因壓力不均而破裂。夾具由(1)鉬螺帽(2)鉬螺旋棒(3)不鏽鋼(304圓盤)(4)石磨墊片，如圖3-3與圖3-4所示：

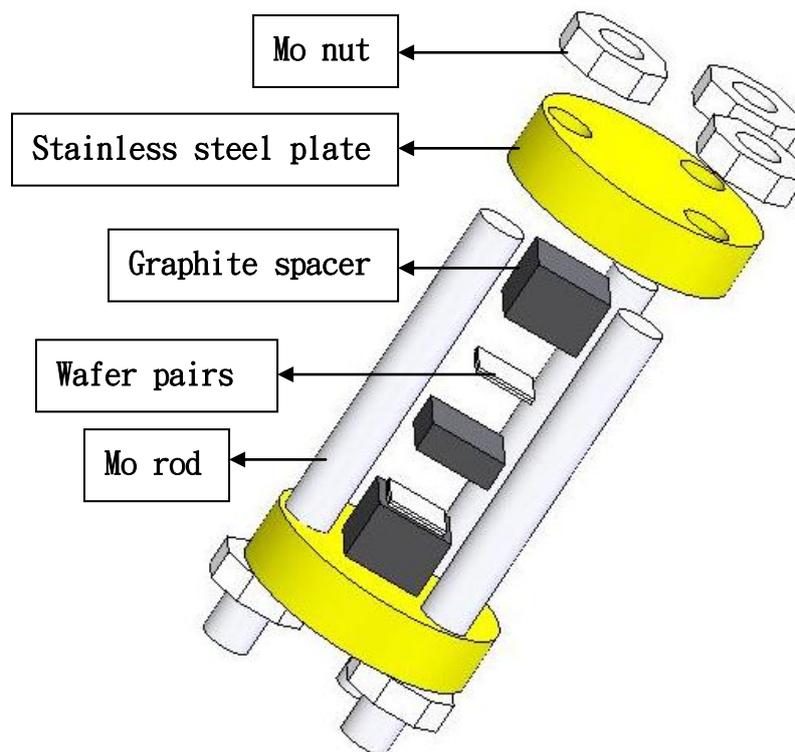


圖3-3 夾具的分解示意圖

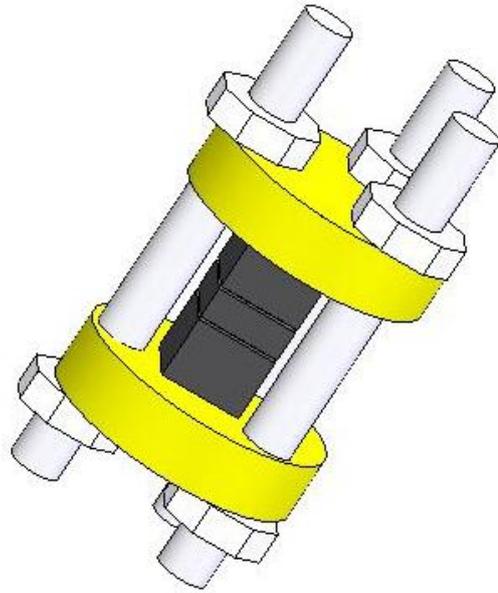


圖3-4 夾具結合圖

直接接合除了高溫退火外，同軸應力也是一大重點，此特製夾具可解決此問題。因鉬螺絲與不鏽鋼熱膨脹係數差異甚大，當升溫時不鏽鋼膨脹體積增加，而固定不鏽鋼的鉬螺絲體積不太變化，因此不鏽鋼膨脹所造成的形變都向內對試片擠壓，而達到同軸應力的效果，應力大小隨著溫度略有變化，估測大約為數十MPa；而石墨墊片的熔點高達 3650°C ，在本實驗中可防止試片沾黏在不鏽鋼上，並且可以達到均溫與提供均壓的功能，防止施壓不均造成試片破裂。

試片與夾具結合後隨即放入長型不鏽鋼爐管中進行高溫退火。首先利用長型熱電偶將夾具緩慢推進至加熱區，保持熱電偶與不鏽鋼圓盤接觸，觀察並控制實驗溫度與實際試片承受溫度不會相差太大。接著將不鏽鋼封蓋確實鎖緊使氣體無法進出。接著將長型爐管內的殘餘

氣體抽至真空，再通入保護性氣氛氮氣(N_2)，反覆此抽氣通氣動作三次，目的在於將爐管內雜質氣體含量降至最低，尤其避免氧氣在介面形成非預期氧化層而影響實驗結果。最後通入氮氣略大於一大氣壓，防止退火時外界空氣進入爐管影響接合結果。完成後即開始升溫，大約升溫至退火溫度的一半，再次進行抽氣通氣的動作，將因升溫從爐管管壁內的逸散水氣(Out gassing)排除，防止過多氧化層在介面生成。升溫至實驗溫度後，控制溫度上下震盪不超過 $10^\circ C$ 。最後本實驗採取爐冷(Furnace cooling)，防止降溫時因熱應力釋放而導致兩片試片裂開或破碎。

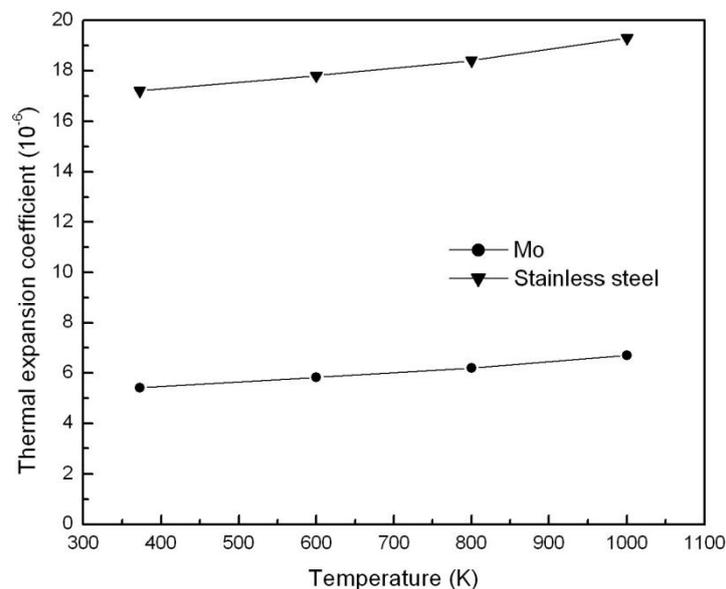


圖3-5 鉬與不鏽鋼熱膨脹係數對溫度圖^[23]

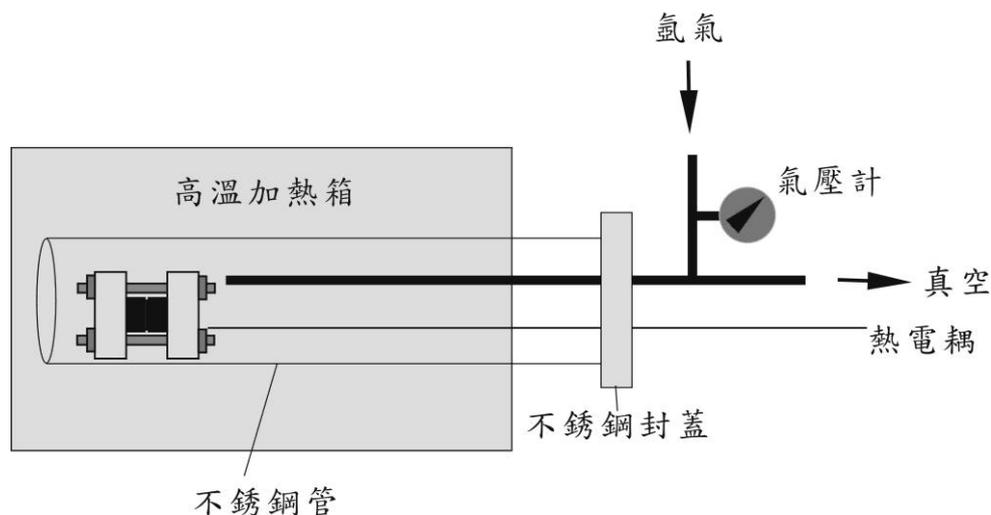


圖3-6 實驗配置圖

3.5. 電性量測

電性量測試片製作流程如下：首先在1cmX1cm的矽晶片上切割出1mmX1mm，深度160 μm 的網狀結構(Mesa)，與1cmX1cm的無網狀結構鍍晶片作接合。經過高溫退火處理後，利用研磨機將矽晶片端減薄至呈現溝槽狀結構，露出底部鍍晶片。接著將真空膠切割出與溝槽大小符合的長條狀結構，仔細蓋覆溝槽區，最後利用真空膠將試片四周區域隔離。接著鍍上歐姆接觸電極(Ohmic contact)，真空膠的功用在於避免金屬鍍覆於溝槽內，避免電性量測時電流沿著底部金屬流過，而非從上下材料介面垂直導通。本實驗採取雙面鍍覆方式，E-gun在鍍晶片端逐層鍍上Ti/Au(300Å/2000Å)，矽晶片端則逐層鍍上Ti/Al(300Å/3000Å)，結束後將真空膠撕除，即完成電性量測的試片。

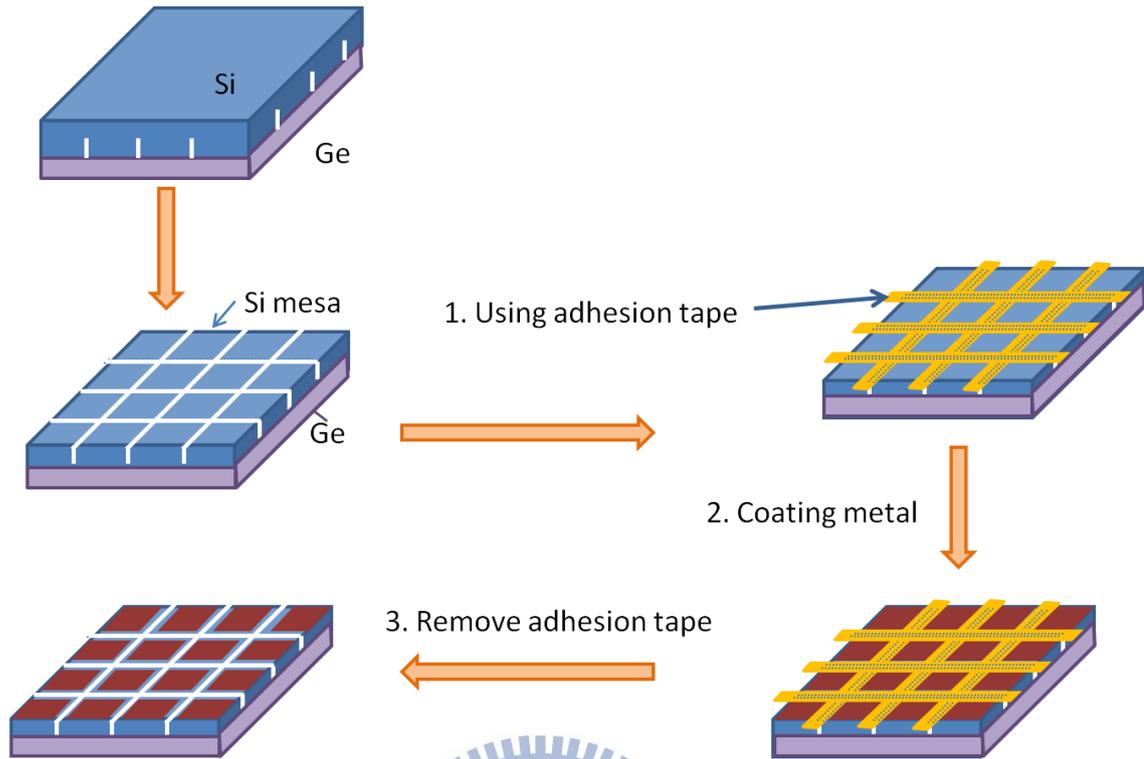


圖3-7 電性量測試片製作流程圖

3.6. 微結構觀察與分析

晶圓接合的介面，可能由數個奈米或是數百奈米不等，為了能精確的觀察到在不同退火條件下的晶圓接合介面情況，本實驗使用穿透式電子顯微鏡(TEM)，因穿透式電子顯微鏡具備超高解像能力，在一般影像觀察比其他分析工具優越許多。在實際操作時可以彈性地放大倍率範圍，常應用於半導體材料研究。在影像觀察方面，對材料有敏銳的觀察能力，包括晶粒方向、同質異型結構、異質異型結構與同質同型結構。而不同材料間的對比主要來源有質量-厚度對比(Mass-thickness contrast)與相對比(Phase contrast)，相對比的影響較為微弱，只有在質量-厚度對比不明顯時才顯得比較重要。穿

透式電子顯微鏡利用高能電子束穿透試片於下方螢光板上成像，通常利用電子成像的繞射比(Diffraction contrast)，作為明視野(Bright field, BF)或是暗視野(Dark field, DF)影像，並配合繞射圖樣來觀察。本實驗使用矽與鍺晶圓作異質材料晶圓接合，原子序差異大，因此在穿透式電子顯微鏡下很好分辨，並不會產生誤判的情況。此外，利用高能電子束的短波長特性做高解析度影像分析，電子束在穿透試片後產生的球型波在穿透試片過程中受到材料內部原子散射的影響，因此穿透後的波帶著許多材料內部的訊息，而每個球型波的互相干涉的結果會在螢光板上展生一顆顆晶格影像(Lattice image)，我們可以藉由這些晶格成像來分析材料內部差排(Dislocation)與疊差(Stacking fault)等缺陷(Defect)分布情況。穿透式顯微鏡還可作電子繞射等分析，此原理與 X 光繞射原理雷同，其中電子波長比 X 光波長短很多，因此在繞射理論下，呈現在倒空間(Reciprocal space)中的長度會長很多，在 Ewald sphere 中一次可以與許多點相交，換句話說，作一次繞射可以得知所有面的訊息，因為許多面同時滿足繞射條件，這也簡化了材料結構的判定^[24]。除了分析材料結構外，我們也搭配承載於穿透式電子顯微鏡上的能量散佈光譜儀(Energy dispersion spectrum, EDX)作成分分析。EDX 原理是利用 X 光照射試片，試片表面原子會吸收能量而逃離表面，這些原子的脫離能與本

身存在的軌域相關，由於每個材料的能階各不相同，因此接收器所接收的訊息可以準確無誤的判斷各種成分，EDX 可定性定量測量極小區域的化學成分(原子序 >4)。

雖然 TEM 具備高度影像解析能力，但是有若干限制如下：

1. 試片的大小必須在 3mm 以下。
2. 製片試片困難度高，薄區有限，相對成功率降低。
3. 基於電子束有限的穿透力，通常理想觀察厚度在 500~1000Å 之間。

本實驗使用聚焦離子束系統(FIB)製做穿透式電子顯微鏡試片，接合好的試片鍍試片面朝上，傾斜一定角度，研磨出連續的鍍/矽晶網狀結構平面，然後利用鍍面的薄區以 FIB 切割出 TEM 試片，

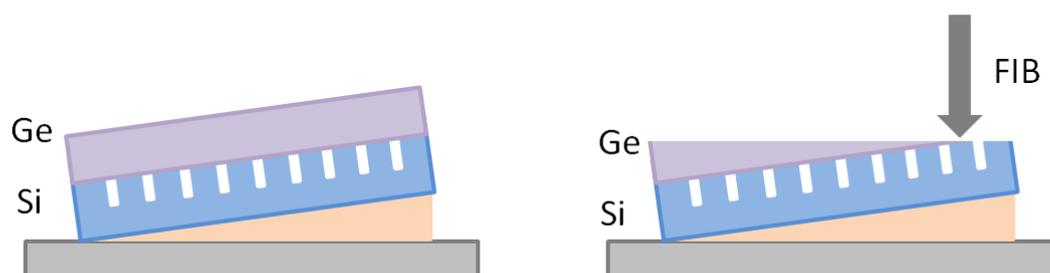


圖3-8 TEM試片製作圖

四、結果與討論

4.1. 實驗整體架構

本實驗的內容主要分成兩大部分：

(1)P-type Si/P-type Ge bonding

(2)N-type Si/N-type Ge bonding

兩者接合材料皆是矽與鍺，之後會分別探討不同型態下接合的介面微觀結構與電性結果。兩部份實驗流程皆相同，皆是1cmX1cm，具有Mesa結構的矽晶片與1cmX1cm的鍺晶片在異丙醇中作直接接合，放入夾具後歷經兩小時高溫退火，退火溫度分別為500~900°C。以下為實驗結果圖：

表4-1 晶圓接合結果

(a) P-type Si/P-type Ge bonding (annealing for 2hrs)

	500°C	600°C	700°C	800°C	900°C
S or F	S	S	S	S	S

(b)N-type Si/N-type Ge bonding (annealing for 2hrs)

	500°C	600°C	700°C	800°C	900°C
S or F	S	S	S	S	S

S= Success, F= Failed.

如表4-1所示，500~900°C中矽與鍺都可以成功接合，雖然是異

質接合，矽與鍺的熱膨脹係數比高達1:2^[25]，外觀上並無破裂或是兩片試片分開的情況。這代表矽端的網格狀(Mesa)設計可以有效解決升溫或降溫過程中熱應力釋放等問題，大大提升直接接合的成功機率。但是在製備FIB與電性量測的試片時，需要經過切割或研磨等手續，500°C試片常會發生兩片試片分離或是破裂的情況，且試片表面光亮如未結合前的模樣，這意味試片雖然經過500°C退火與同軸應力等步驟，但是試片接合強度仍然不大，不適合做後續冷加工等機械處理，當然也侷限試片日後應用的可能性。另一組P-type Si/P-type Ge 900°C的試片，觀察到鍺晶片已有熔融現象，推測有可能是因為鍺熔融溫度僅947°C，再加上施予高壓同軸應力降低鍺晶片熔融溫度，因此P-type鍺晶片在900°C退火時已熔融，另一原因是長型爐管溫度起伏差異大，退火溫度已大於熔點溫度。故進行直接接合實驗時需分別考慮試片熔融溫度與壓力大小，方可進行後續機械加工與元件製作等處理。

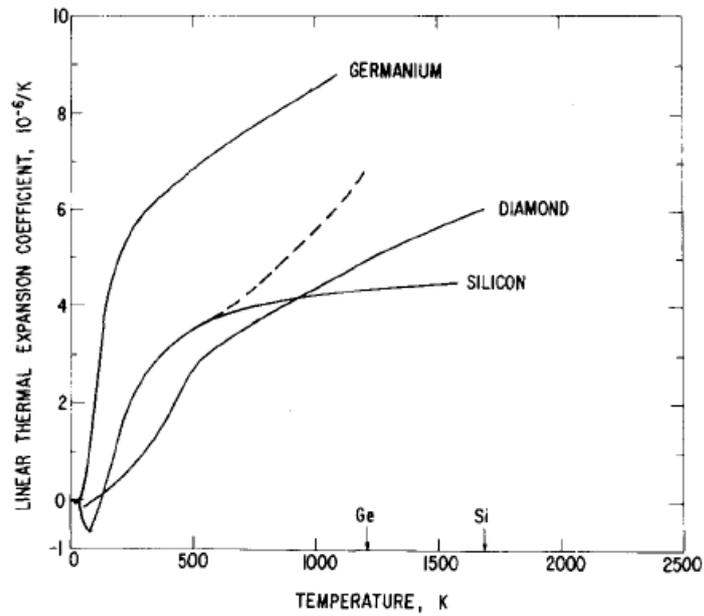


圖4-1 鍺與矽熱膨脹係數與溫度關係圖^[25]



圖4-2 P-type 900°C鍺晶片熔融圖

4.2. 介面微觀結構分析

介面微觀結構主要是由穿透式顯微鏡(TEM)拍攝，而在各種異質接合的介面影像中幾乎都可以觀察到非晶質區域，若以矽與鍺系統為例，這層非晶質區域通常認為為矽與鍺的氧化物、空孔或是汙染物，

大多數由矽與鍺氧化物所組成。若非從清洗、接合到高溫退火等步驟皆在超高真空(Ultra high vacuum, UHV)環境中進行，或是利用特殊方式清潔晶圓表面，氧與水氣無可避免會被捕捉在試片表面，進而在介面間形成氧化層。不過我們無法確定此層成分是矽的氧化物或鍺的氧化物，因此之後會利用EDX作介面成份分析。當進行高溫退火時，氧原子、矽與鍺原子開始相互擴散，氧化層的厚度與型態也會逐漸改變，這也會影響電性量測的結果。

4.2.1. P-type 矽/P-type 鍺 bonding 介面非晶質區域討論

首先我們先討論第一部份P-type矽/P-type鍺bonding的介面非晶質區域，圖4-3到圖4-7分別為退火溫度500~900°C，退火時間是兩小時，由穿透式顯微鏡(TEM)所拍攝到的原子影像：

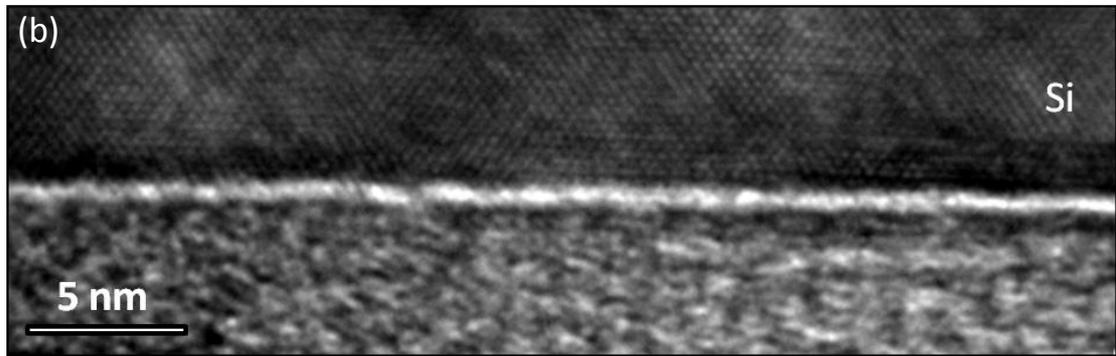
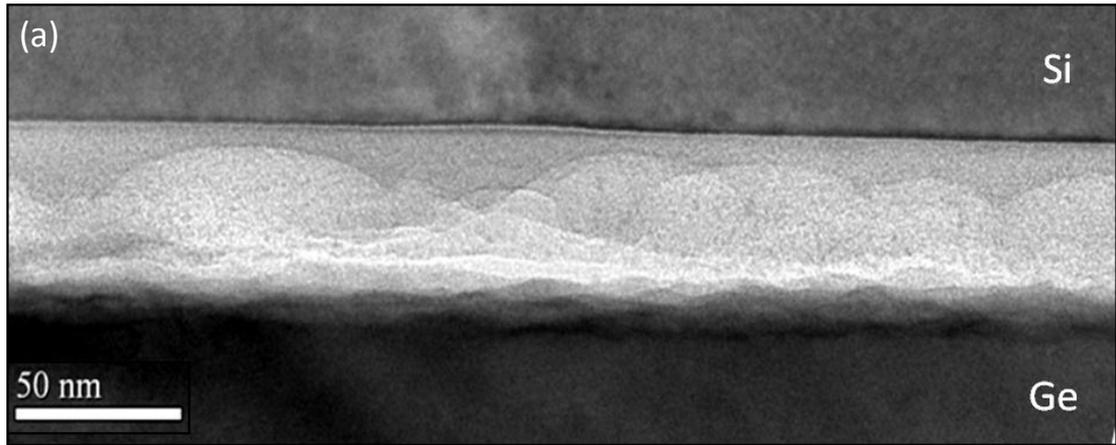


圖4-3 (a)P-type 500°C接合介面

(b)高倍率P-type 500°C接合介面

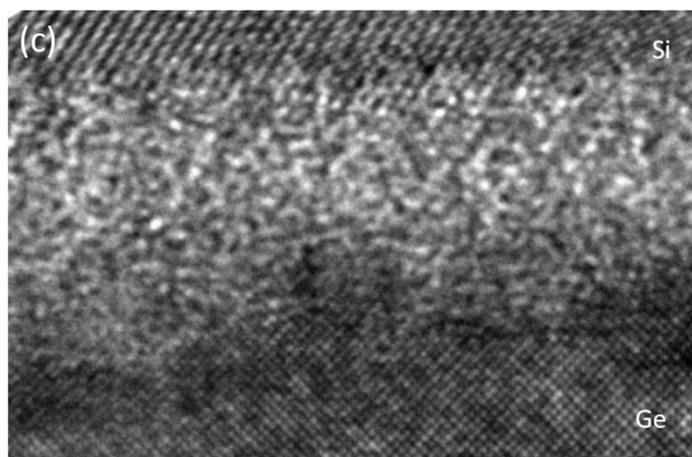
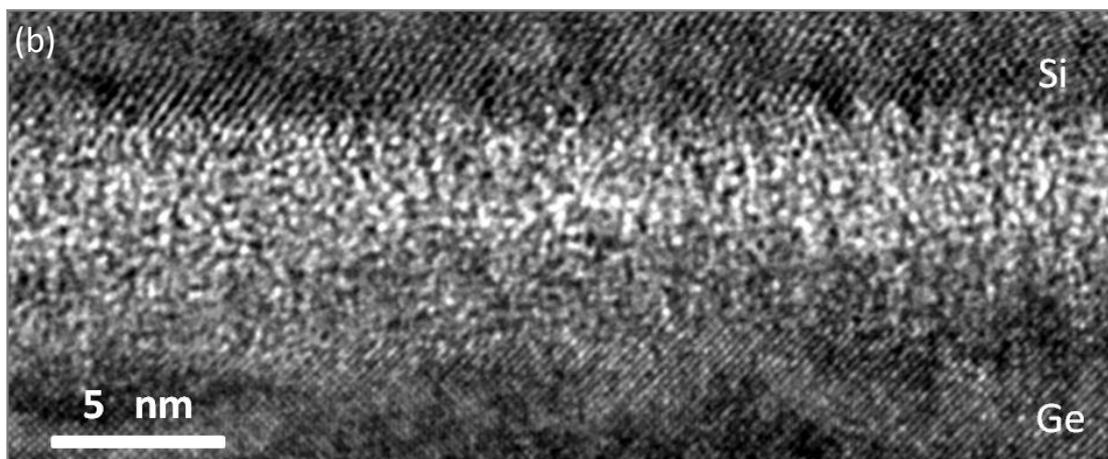
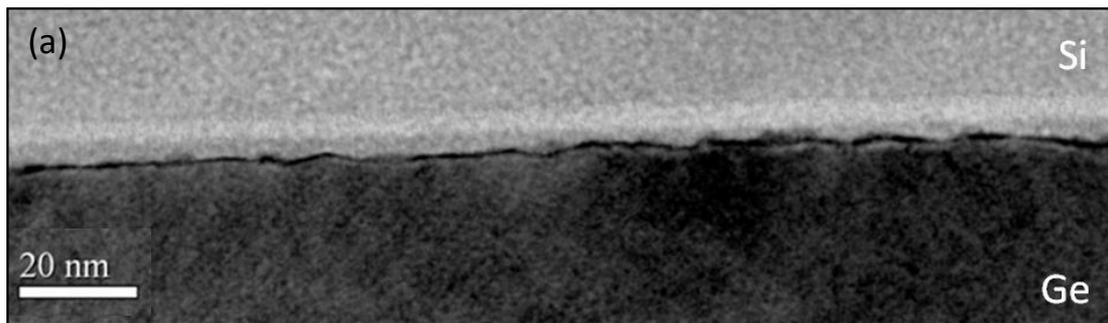


圖4-4 (a)P-type 600°C接合介面
(b)(c) 高倍率P-type 600°C接合介面

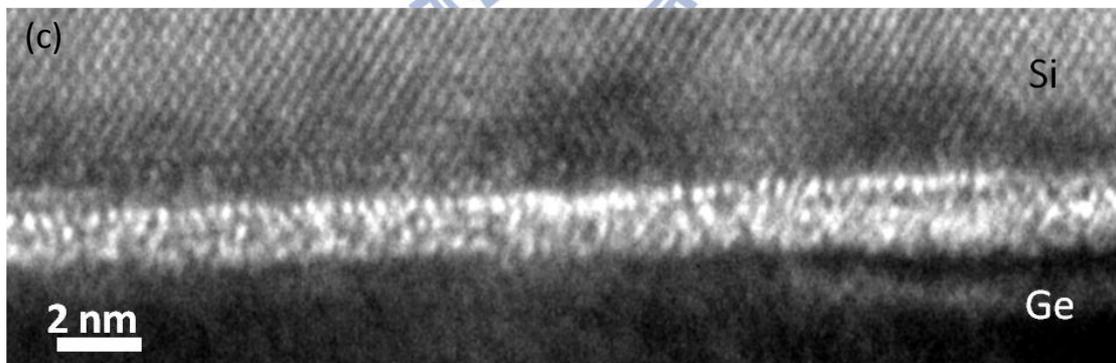
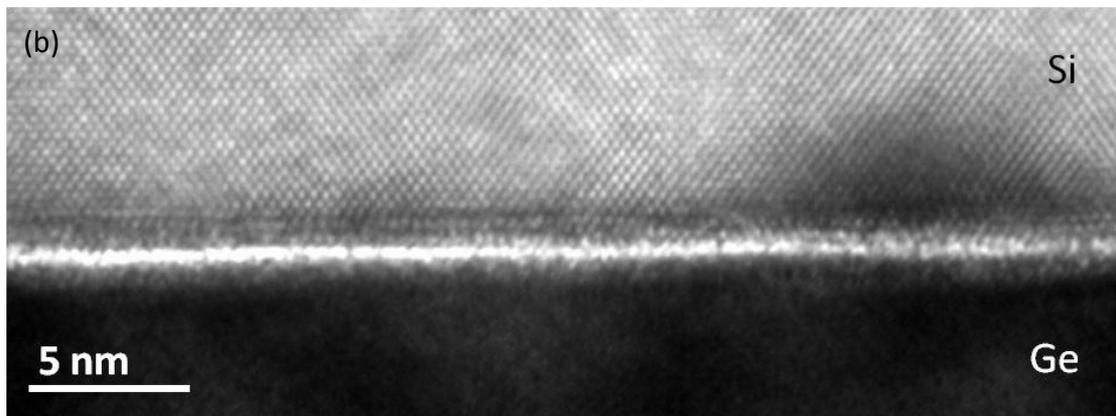
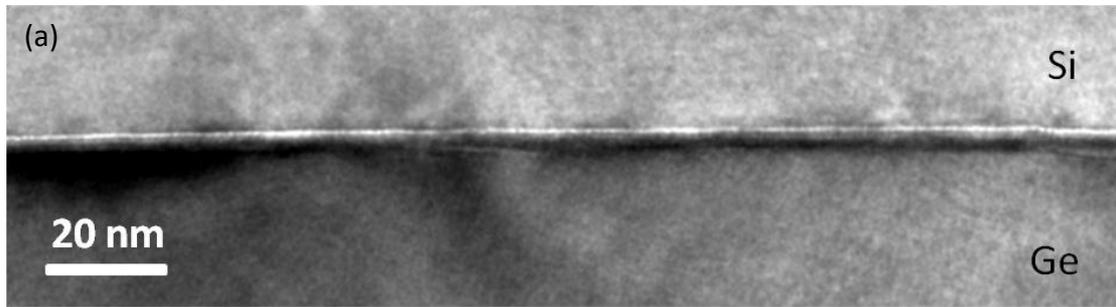


圖4-5 (a) P-type 700°C接合介面

(b)(c)高倍率P-type 700°C接合介面

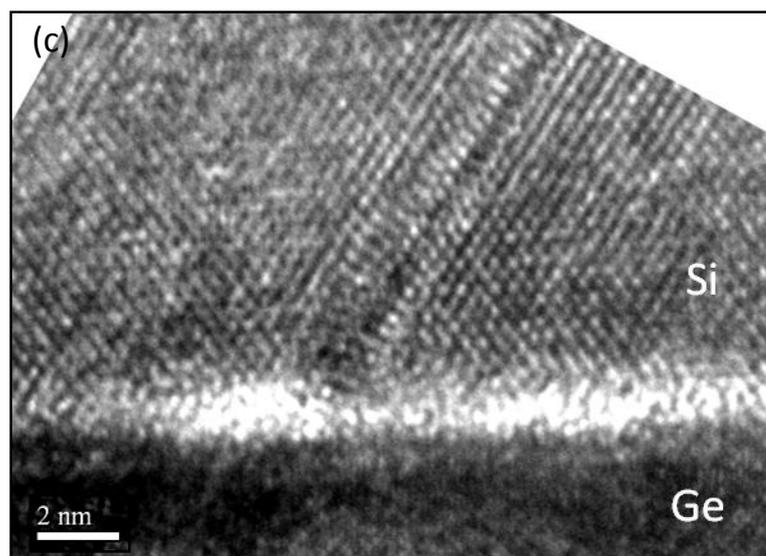
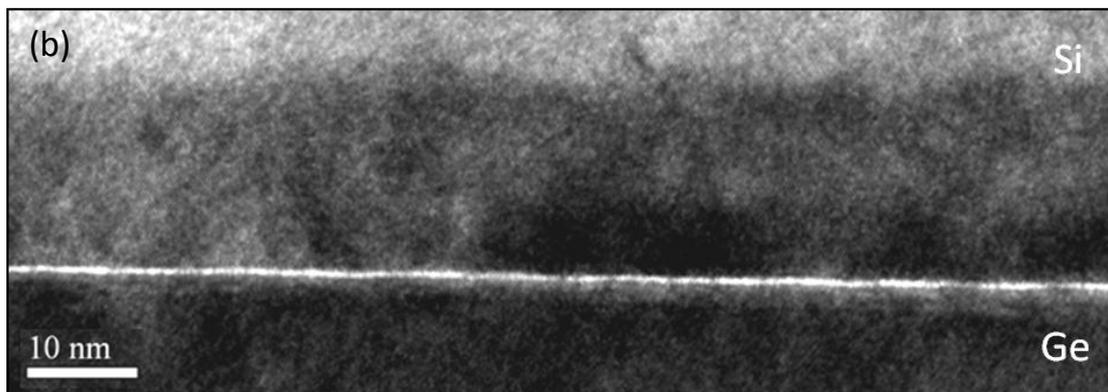
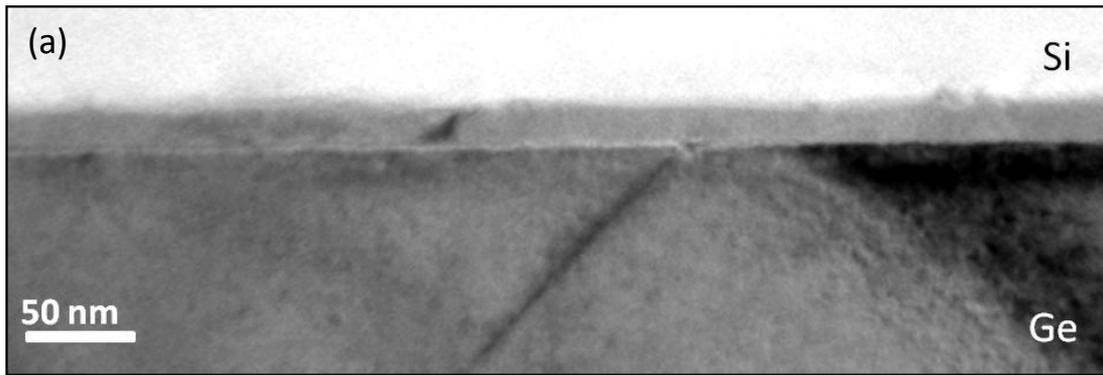


圖4-6 (a) P-type 800°C接合介面

(b)(c)高倍率P-type 800°C接合介面

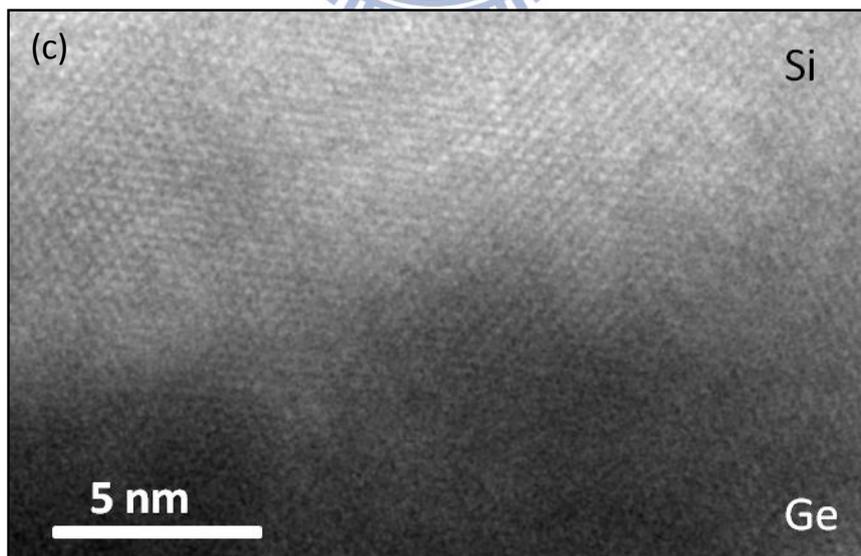
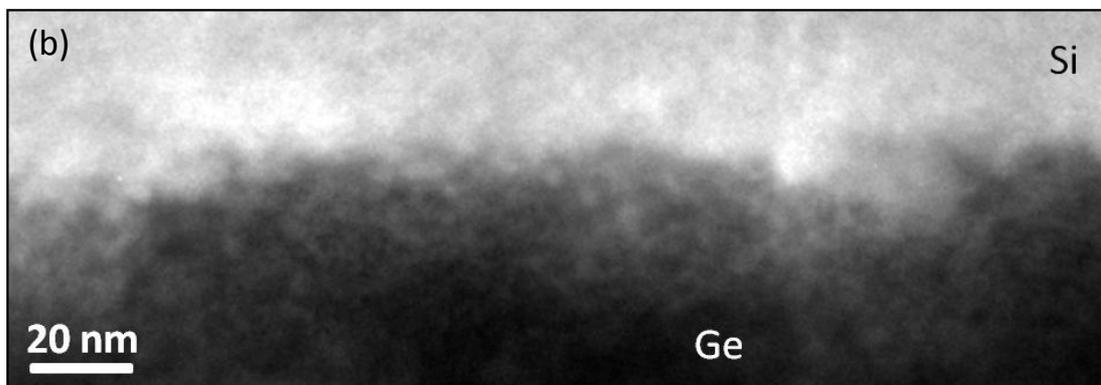
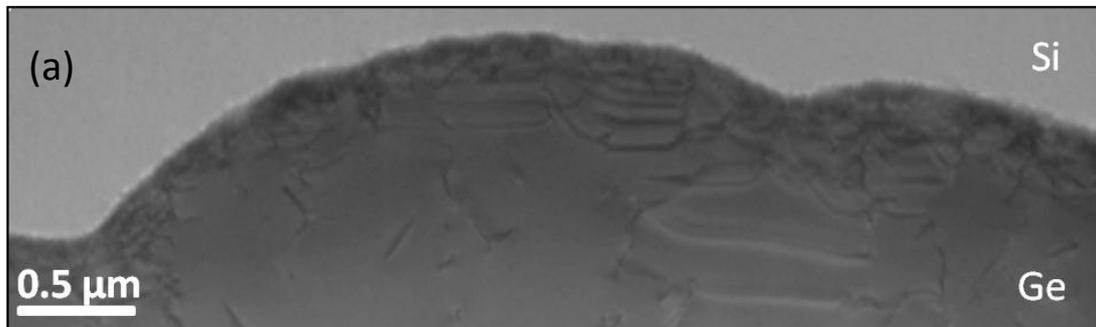


圖4-7 (a) P-type 900°C接合介面

(b)(c)高倍率P-type 900°C接合介面

我們從以上五組退火溫度的介面微觀影像可以觀察到幾個現象。首先探討500°C的介面影像，由圖4-3可以很明顯地觀察到一層非晶質區域，厚度高達50nm，推測這層可能是矽與鍺的氧化物與表面雜質組成。在高倍率影像圖可以清楚看到，上面矽出現明顯晶格點排列，下方卻無此現象，可以推斷此區確實是非晶質區域(Amorphous region)。雖然我們已用DHF去除原生氧化層(Native Oxide)，但本實驗在異丙醇中作室溫直接接合，因此無可避免介面會有氧化層的生成。在500°C退火條件下，原子擴散速度並不是很快，兩小時的退火時間不足以使氧化層消失，因此可以在電子顯微鏡下看到氧化層。低倍率影像中看到非晶質區域表面呈現不平坦波浪貌，是因為非晶質區域比較脆弱，在進行FIB電子束轟擊介面表面時，會在此區剝削較多，因此觀察到不平坦的現象。

接著觀察圖4-4退火600°C的接合介面影像，可以清楚地看到一層平坦的非晶質區域，厚度為35 nm，與500°C相較厚度明顯降低許多，推測是退火溫度升高，非晶質區域內的原子擴散較快，因此非晶質區域的厚度降低。從高倍率影像圖可以觀察到，上方的矽與下方鍺區域皆呈現排列整齊的晶格點，而中間區域晶格點不清楚，確定為非晶質區域。由圖4-5可以得知，700°C兩小時退火條件下，介面微觀影像同樣也可以觀察到一層平坦且均勻的非晶質區域，厚度大約為4nm，比

上述退火500°C與600°C的介面氧化層又降低許多，是由於高溫退火時原子擴散較快，氧化層會擴散進材料內部，因此高溫退火會加速此現象發生。接著在高倍率影像圖中，上方矽晶格排列整齊但與非晶質連接處雖仍可觀察到晶格點，卻有晶格排列扭曲的現象。由於矽與鍺具有4%的晶格常數差異(Lattice Mismatch)，即使是完全潔淨的表面，表面原子相互鍵結也會產生扭曲或轉向，甚至有差排的產生，所以推測不是雜質原子雜亂無章的排列，是鍵結的過度帶導致晶格排列扭曲。

接著觀察圖4-6，800°C退火條件的介面微觀影像。除了觀察到一層均勻非晶質結構，整體厚度大約2nm，且明顯的觀察到似乎有原子均勻且大量擴散進矽塊材中，這部份之後會以Line-scan作分析與討論。除此之外，我們觀察到有差排(Dislocation)從非晶質介面處貫穿至矽與鍺端，由文獻中指出^[27]，由於矽與鍺熱膨脹係數差異大，當升溫或降溫時熱應力以差排形式釋放。最後討論900°C退火條件的介面微結構，由圖4-7可得知，這組接合情況比較特殊，試片經過高溫火與同軸應力處理後，鍺端已有熔化現象，對應微結構影像可以觀察到，介面非晶質區域已消失，中間介面部份都呈現排列整齊的晶格結構，推測兩端原子因高溫退火而大量相互擴散，而氧化層也得到較高能量而擴散進材料內部中，因此中間非晶質結構以消弭，得到完美融

合的晶質區域。

4.2.2. P-type 矽/P-type 鍺 bonding 介面成分分析

經由EDX分析500°C和800°C介面成分組成，可以得到結果如圖4-8

與表4-2所示：

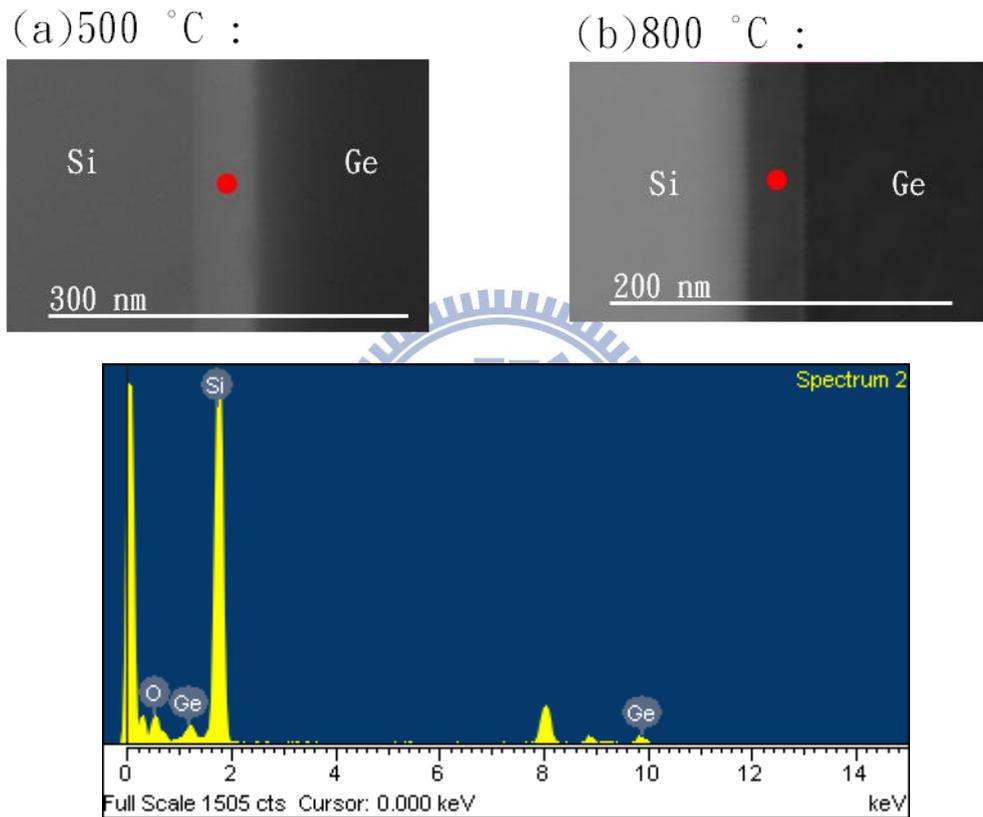


圖4-8 中間介質層成分分析

表4-2 中間介質層成分分析

Element(Atomic%)	O	Si	Ge
500 °C	38.27	21.28	40.45
800 °C	15.50	82.84	1.66

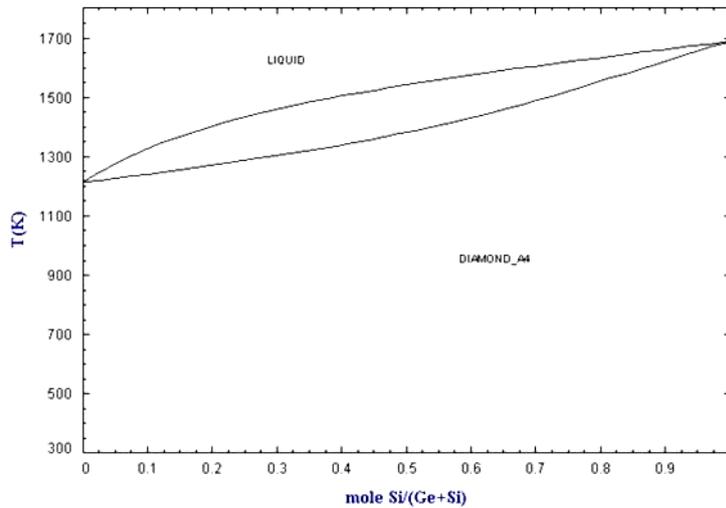


圖4-9 鍺與矽相圖^[27]

由圖4-8與表4-2皆可以發現訊號最強的是矽，其次是氧與鍺。而由圖4-9相圖中可以得知，矽與鍺直接接合介面組成在本實驗退火條件下，並不會有矽與鍺化合物生成。因此可以推論介面組成主要是矽的氧化物(SiO_2 ， $\text{Si}_x\text{O}_{(1-x)}$)，與少量鍺的氧化物(GeO_2 ， $\text{Ge}_x\text{O}_{(1-x)}$)。

4.2.3. P-type 矽/P-type 鍺 bonding 介面原子擴散情況

除了觀察介面微結構外，我們也探討介面間原子在退火過程中相互擴散的關係，以下圖 4-10 至圖 4-14 為各個退火條件下的原子擴散關係：

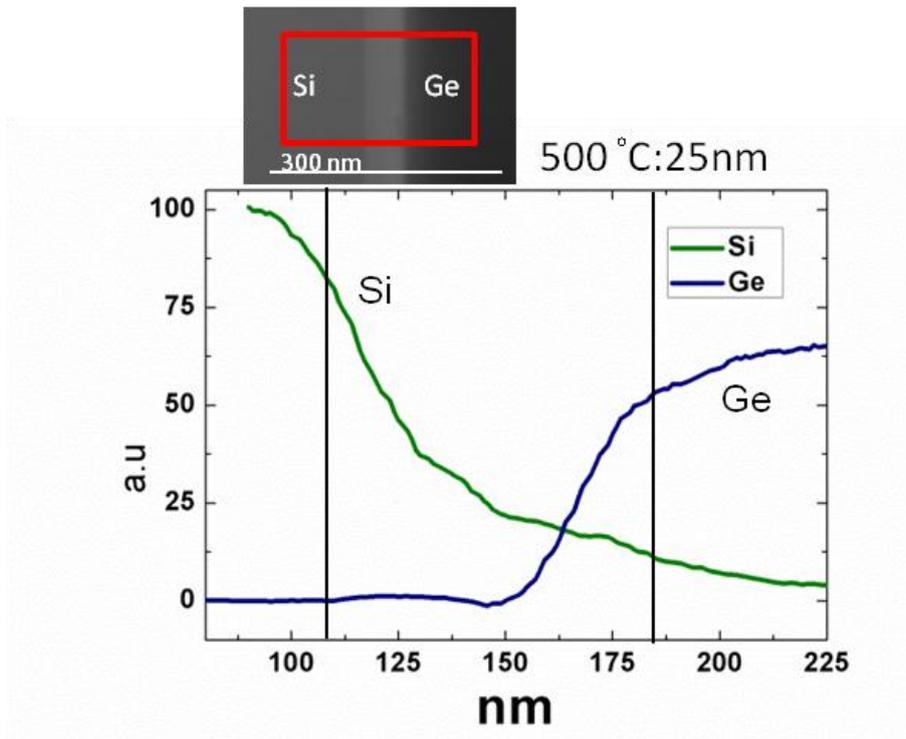


圖4-10 P-type 500°C原子擴散圖

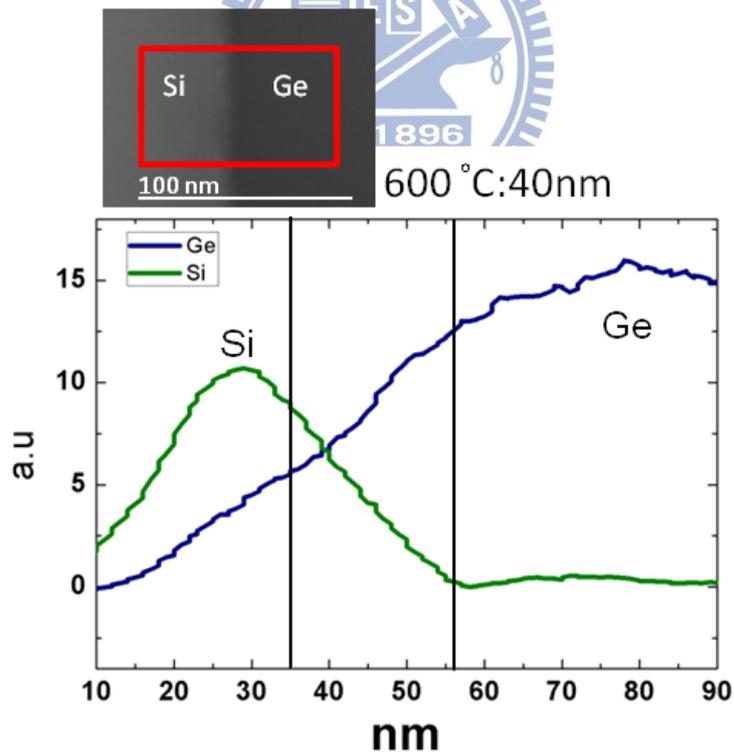


圖4-11 P-type 600°C原子擴散圖

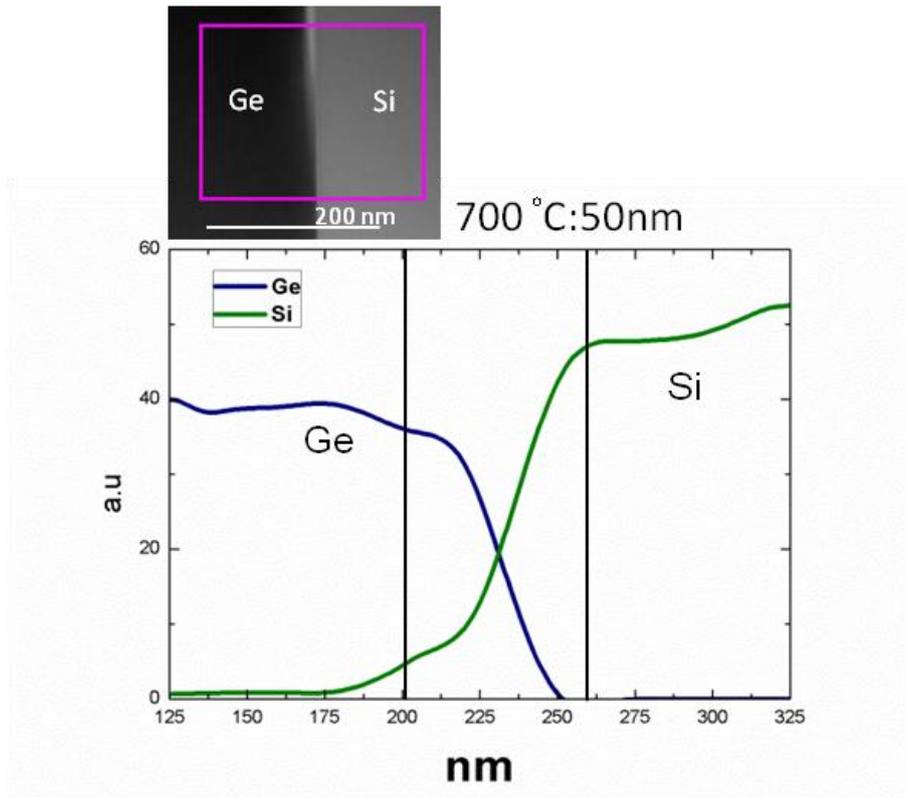


圖4-12 P-type 700°C原子擴散圖

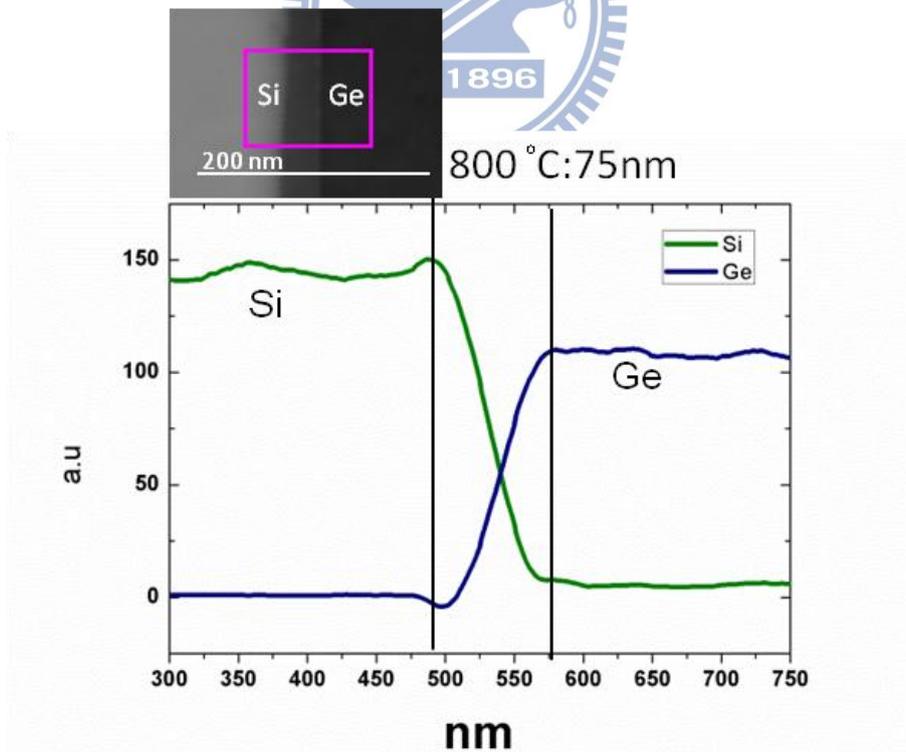


圖4-13 P-type 800°C原子擴散圖

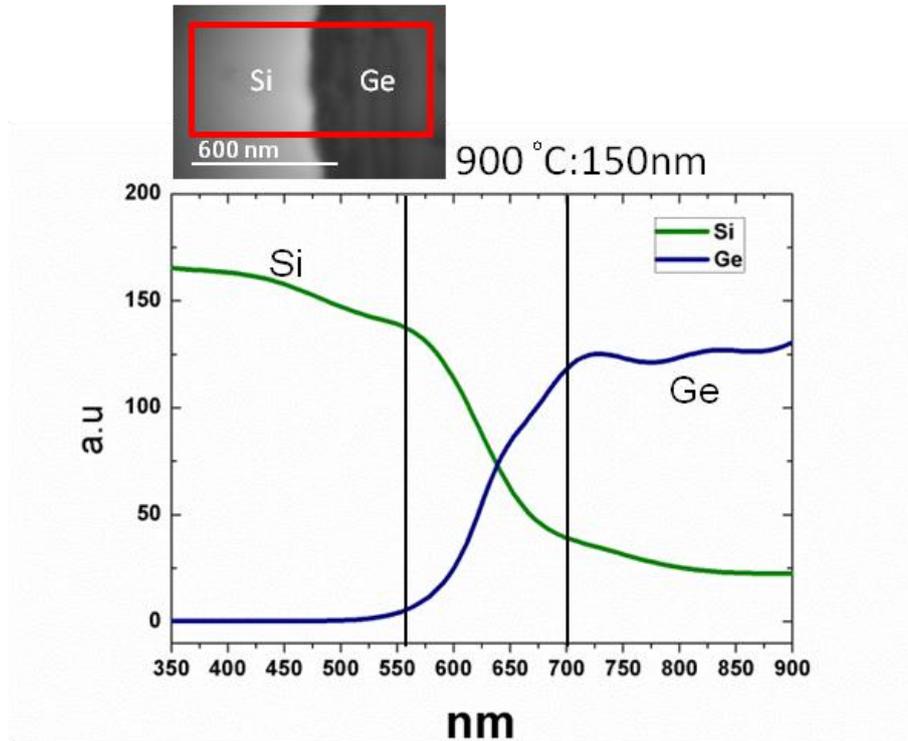


圖4-14 P-type 900°C原子擴散圖

接著利用圖4-10到圖4-14討論各種退火條件下原子相互擴散的情況，以下討論情況皆是由介面處開始計算矽與鍺原子互相擴散的距離。由圖4-10，500°C退火條件時，可以觀察到矽原子大量擴散入鍺材料，擴散距離大於100nm，而鍺原子擴散距離為25nm。接著圖4-11，600°C退火條件時，鍺原子擴散長度為40nm。再來觀察圖4-12，700°C退火條件時，矽原子與鍺原子擴散距離皆大約為50nm。矽與鍺原子800°C退火條件下，由圖4-13得知，分別是80nm與60nm，而在900°C退火條件時，圖4-14明顯看出矽原子擴散距離大於500nm，鍺原子大約是150nm。以上各種退火條件介面處都有氧原子的訊號。首先討論退火溫度與鍺原子擴散距離的關係，由文獻^[28]中去推算各種溫度下鍺

原子在矽材料中的擴散係數(Diffusion constant)，發現實際上量測到的擴散距離比理論值高出許多，詳細數據推算如表4-3所示。

從此篇文獻中^[29]的研究報告也觀察到同樣現象，他提出鍺原子的擴散距離遠大於理論值的原因可能是當升溫過程時，由於矽與鍺的熱膨脹係數差異大，矽材料承受拉伸應力(Tensile strength)，如圖4-15所示，因此在接合介面中鍺原子的擴散係數會比在矽基材中擴散係數大，因此不能單純只考慮鍺原子在基材內的擴散情況。且鍺原子的擴散距離隨著退火溫度升高而增加，在900°C時因為鍺基材已經融化，所以此組擴散距離遠比前幾組高上許多。另一方面，矽在鍺基材中擴散係數本來就很高，因此擴散距離比鍺原子皆較高。

$$D = 7.55 \times 10^3 \exp\left(-\frac{5.08 \text{ eV}}{kT}\right) \text{ cm}^2/\text{s}.$$

上式為鍺在矽中擴散常數^[28]

表4-3 鍺在矽中擴散長度比較表

Annealing T(°C)	Diffusion constant(cm ² /s)	Calculation(nm)	Measure(nm)
500	5.86x10 ⁻³⁰	4.11x10 ⁻⁶	25
600	3.64x10 ⁻²⁶	3.23x10 ⁻⁴	40
700	3.74x10 ⁻²³	0.01	50
800	1.06x10 ⁻²⁰	0.17	75
900	1.14x10 ⁻¹⁸	1.81	150

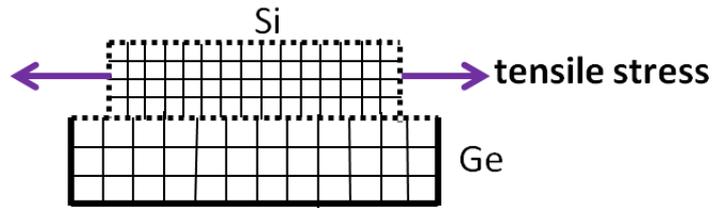


圖4-15 鋅原子擴散示意圖

最後對於TEM、EDX與Line scan分析P-type矽與鋅的接合介面有以下結果：

1. 介面非晶質層的厚度隨著退火溫度上升而下降。
2. 中間介質層的成分主要由矽的氧化物和鋅的氧化物所組成。
3. 鋅原子的實際測得的擴散長度比理論值高出許多，由於矽在升溫中承受拉伸應力，鋅原子在介面的擴散係數比較大，所以出現實際情況與理論值有落差的現象。

4.2.4. N-type 矽/N-type 鍺 bonding 介面非晶質區域討論

第二部分討論 N-type 矽/N-type 鍺 bonding 介面微結構的變化，由圖 4-16 至圖 4-20 分別探討 500°C 到 900°C 各個退火條件之 TEM 結果：

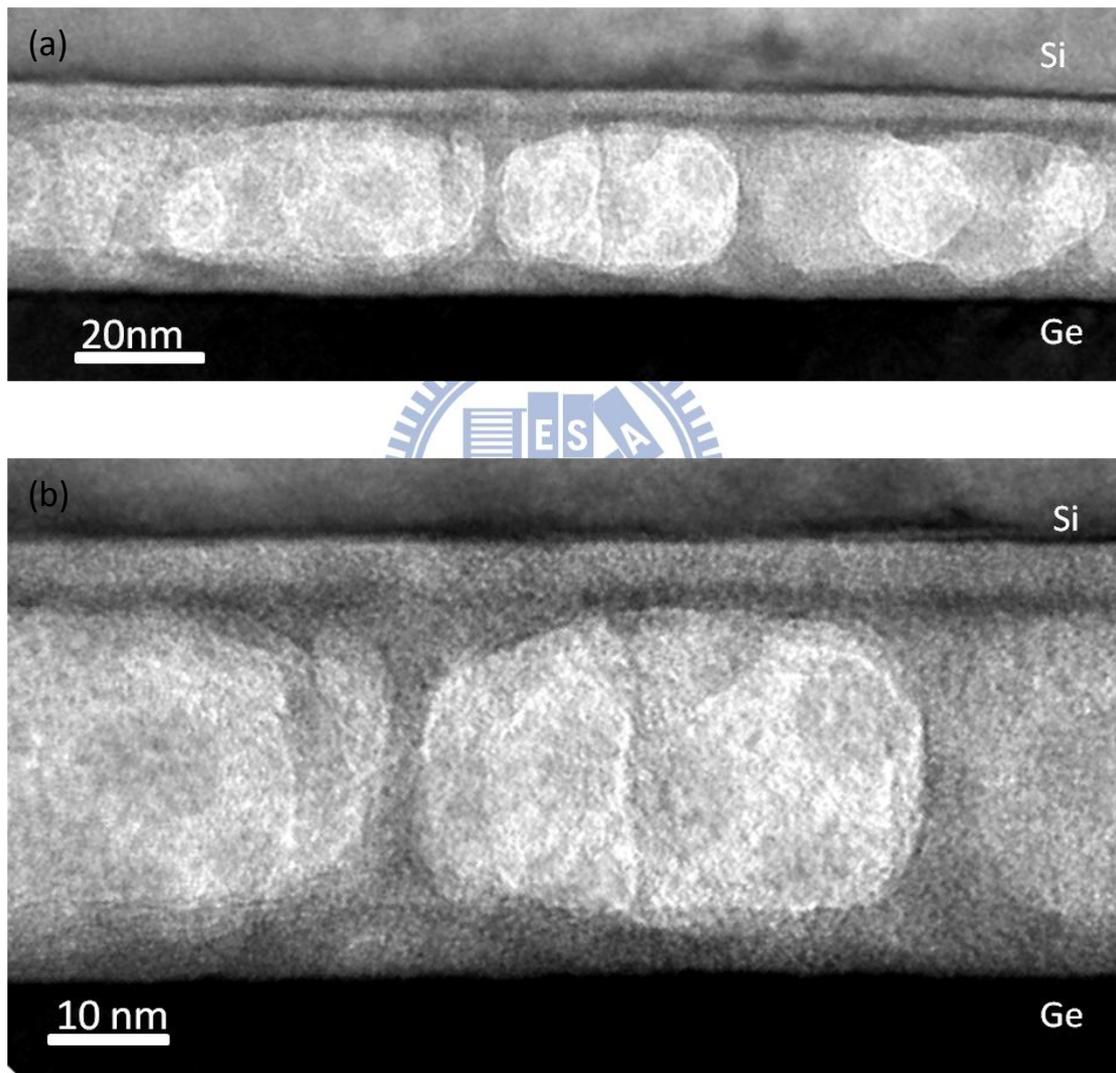


圖4-16 (a) N-type 500°C接合介面

(b)高倍率N-type 500°C接合介面

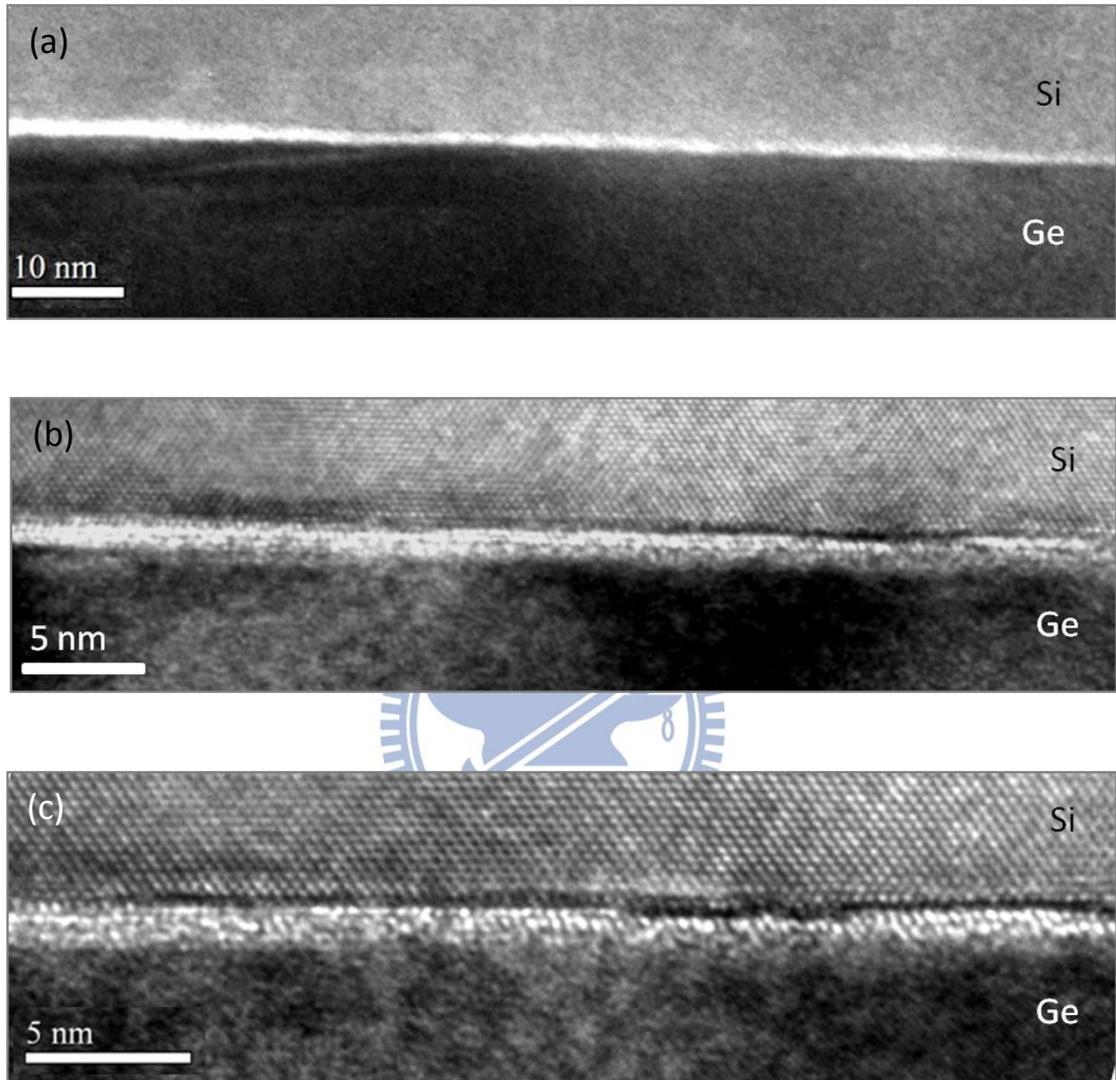


圖4-17 (a) N-type 600°C接合介面

(b)(c)高倍率N-type 600°C接合介面

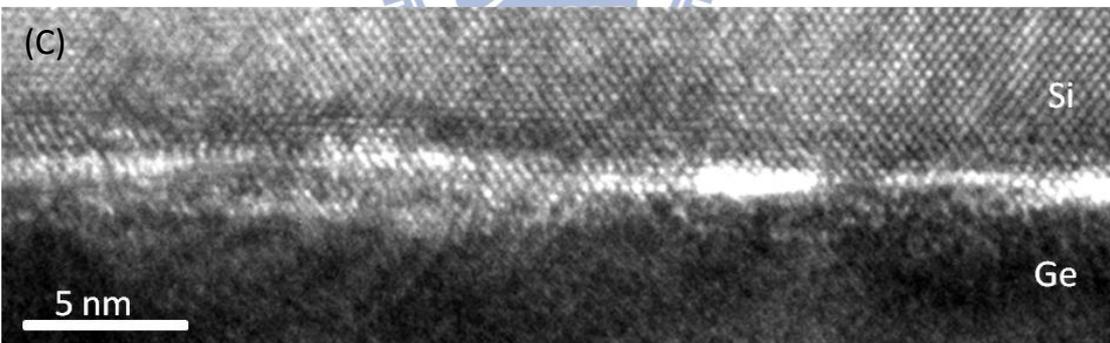
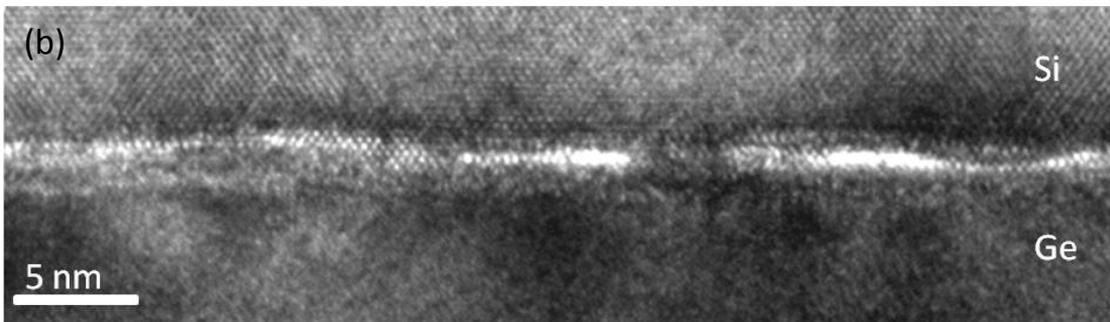
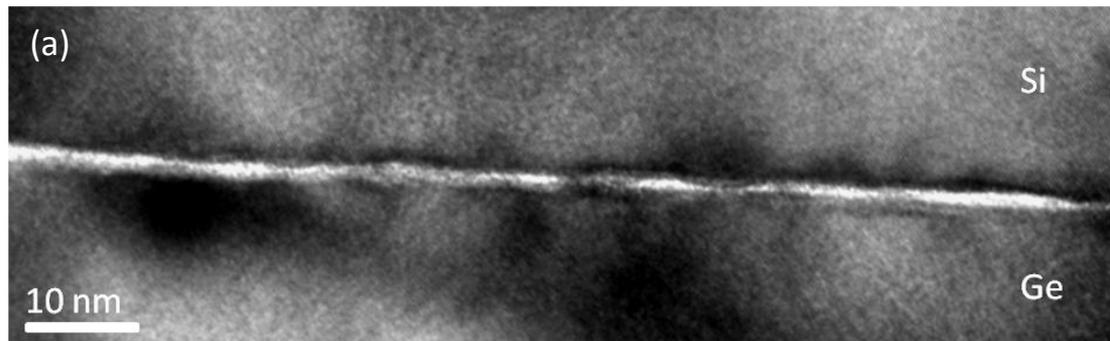


圖4-18 (a) N-type 700°C接合介面

(b)(c)高倍率N-type 700°C接合介面

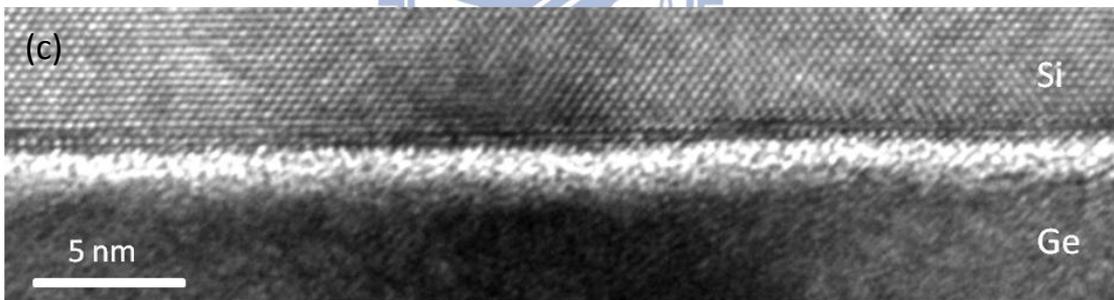
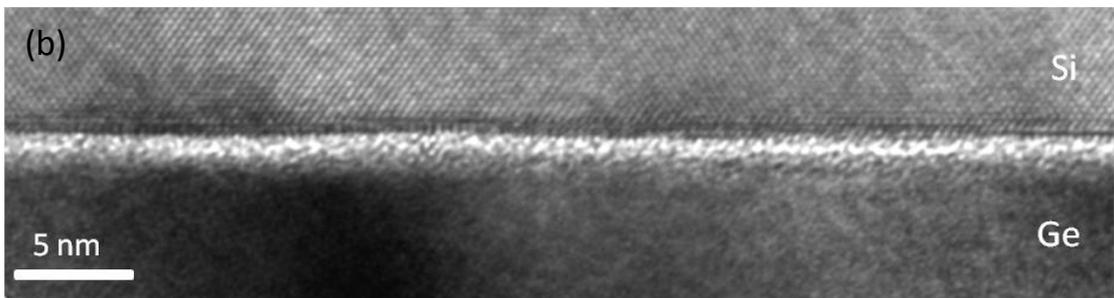
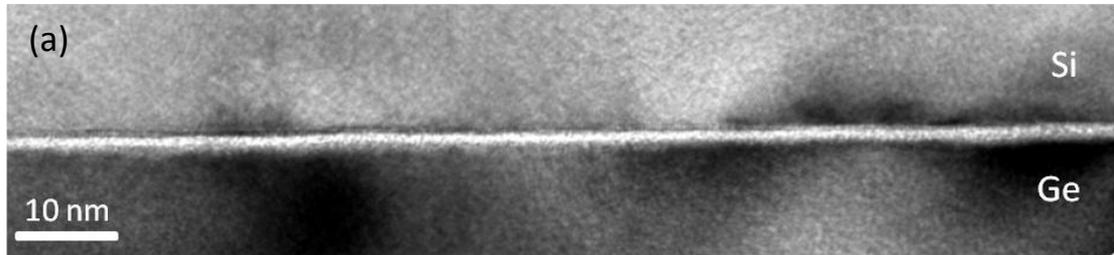


圖4-19 (a) 高倍率N-type800°C接合介面

(b)(c)高倍率N-type800°C接合介面

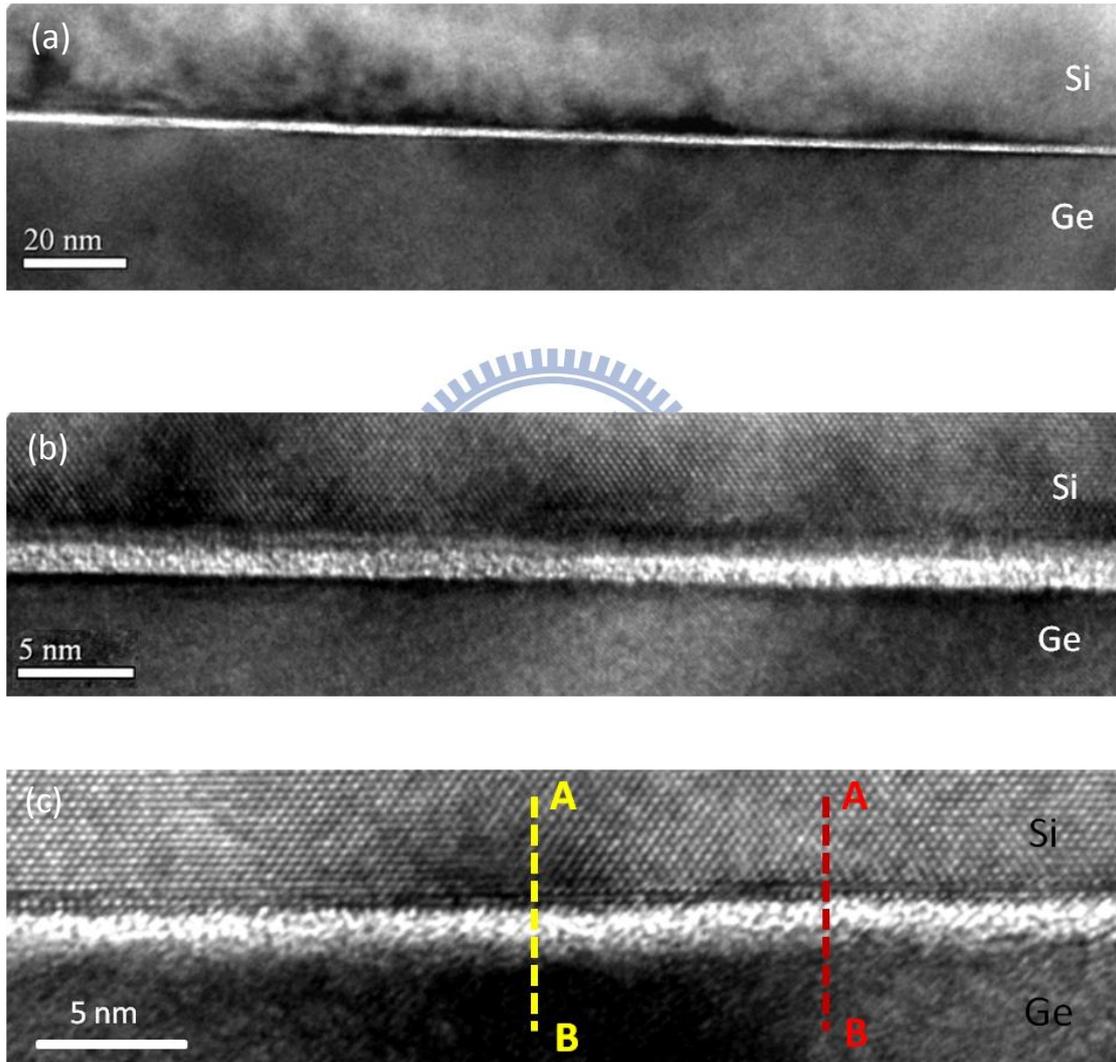


圖4-20 (a) N-type 800°C接合介面

(b)(c)高倍率N-type 800°C接合介面

首先討論退火溫度 500°C 的情況，由圖4-16可以明顯得知，中間非晶質區域非常的厚，厚度高達60 nm。從圖4-8與表4-2可以推測，中間非晶質區域仍由矽與鍺的氧化物所組成，代表在退火條件 500°C ，時間兩小時情況下，氧化物擴散速度不足以使非晶質區域消弭，因此可明顯觀察到相當厚的氧化層。此外，產生氧化層中間圓形等不規則結構是因為氧化物的結構比較脆弱，而利用FIB製作TEM試片時，離子束刮除中間介面層時會造成不均勻的表面，因此才有此現象。

接著討論圖4-17退火溫度 600°C 下的介面微觀影像，如同P-type Si/P-type Ge bonding的接合結果，可以容易地觀察到一層均勻非晶質區域，厚度大約是3 nm，厚度與圖4-16相比，驟降許多。除此之外，並沒有出現熱應力釋放造成差排產生或是試片破裂等現象。接著討論圖4-18, 700°C 介面接合情況，這組介面微觀結構比較特別，我們可以由高倍率影像觀察到一層非均勻介面層，A區域呈現非晶質層，厚度大約2 nm；B區域出現完美融合的介面；C區域晶格排列扭曲不整齊，但並非雜質層造成雜亂無章的排序，推斷是因為矽與鍺具有4%的晶格常數差異，產生表面原子鍵結地過度區。

接下來討論圖4-18, 800°C 退火條件下的介面微觀結構，圖中可以觀察到兩大部份，一部份是在矽端有島狀暗區的形貌，稱之為Modified region，如圖4-18所標示的A-B區；另一部份是矽端無出現

島狀暗區，圖4-18上所示C-D區。此兩區現象與2007年發表的文獻^[29]中矽與鍺的介面接合結構也有類似的情況，之後會再做原子擴散等詳細分析。中間同樣可以觀察到一層非晶質區，厚度約2nm。

最後討論退火條件900°C兩小時的介面接合結構，矽與鍺間的中間介質層顯示接合結果良好，並沒有出現差排或是破裂等現象，顯示利用直接接合法可以承受經過900°C兩小時下的熱應力釋放，中間非晶質區均勻，厚度約2nm。

4.2.5. N-type 矽/N-type 鍺 bonding 介面原子擴散情況

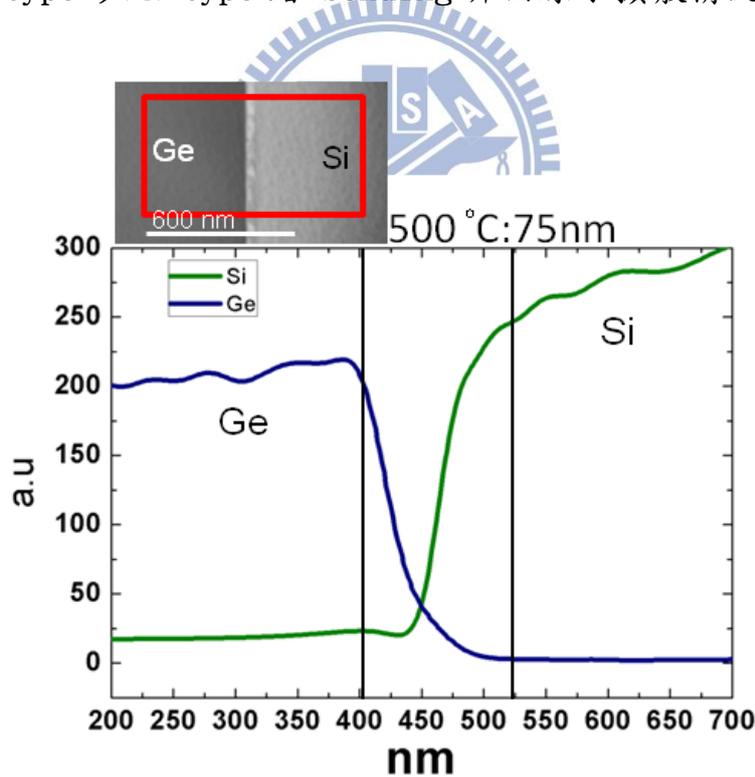


圖4-21 N-type 500°C原子擴散圖

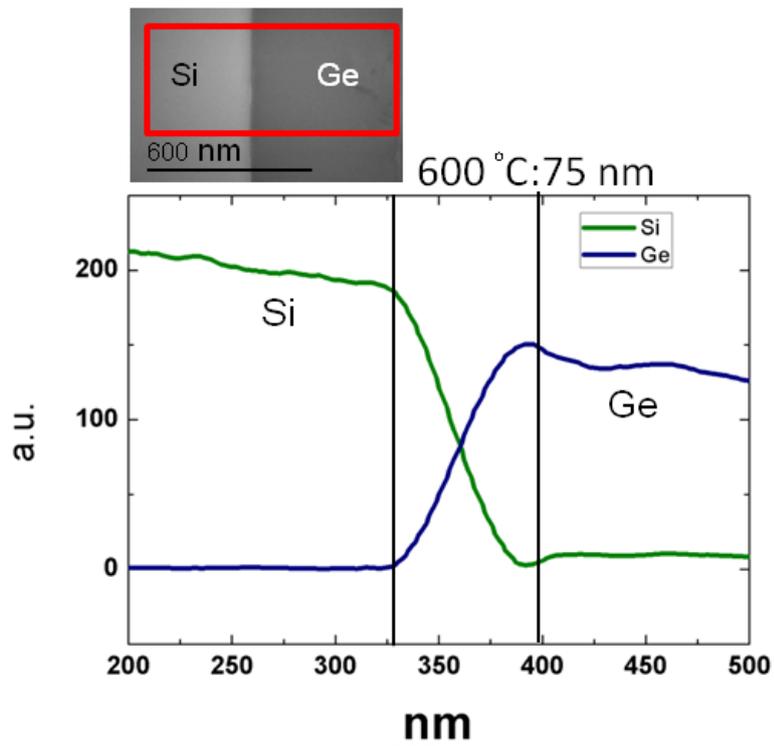


圖4-22 N-type 600°C原子擴散圖

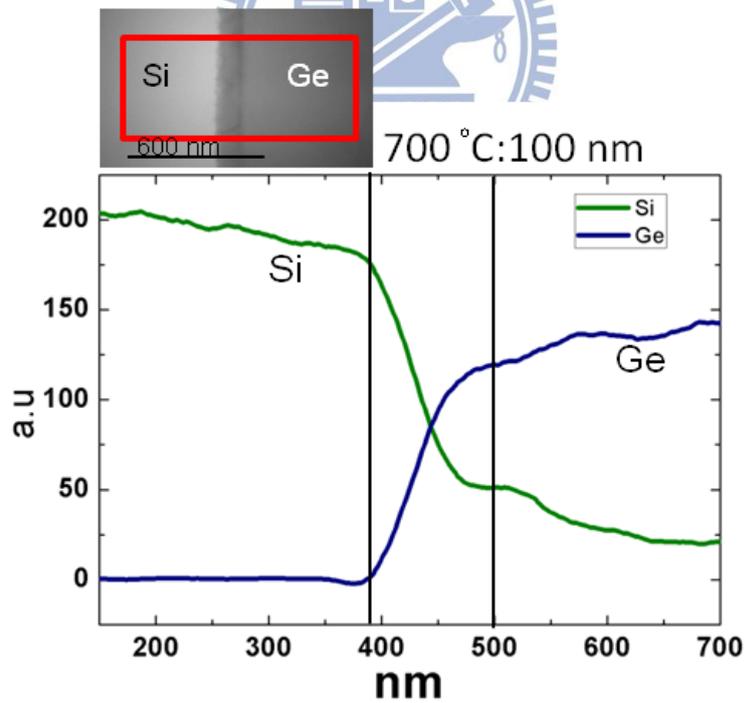


圖4-23 N-type 700°C原子擴散圖

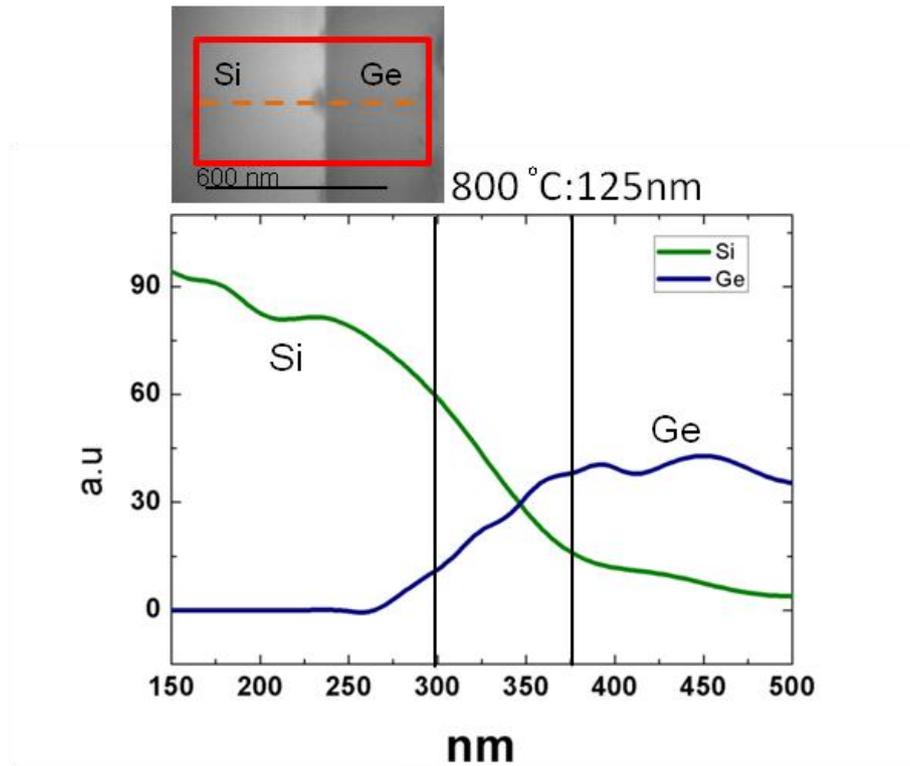


圖4-24 N-type 800°C(modified region)原子擴散圖

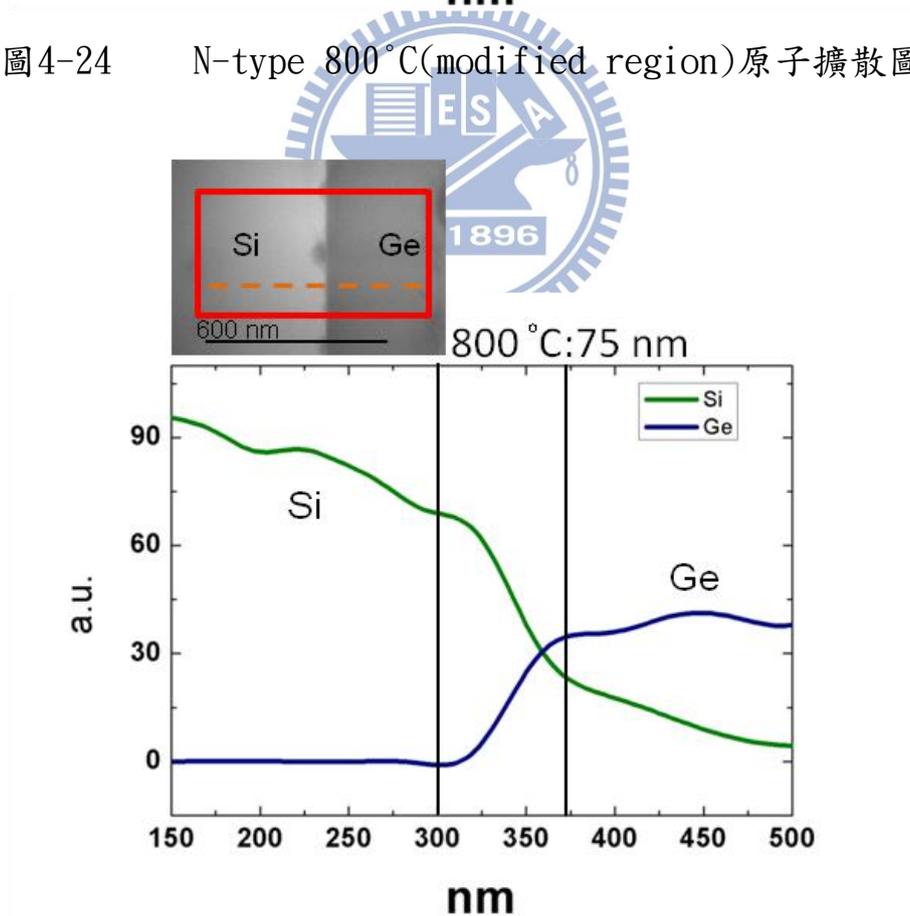


圖4-25 N-type 800°C原子擴散圖

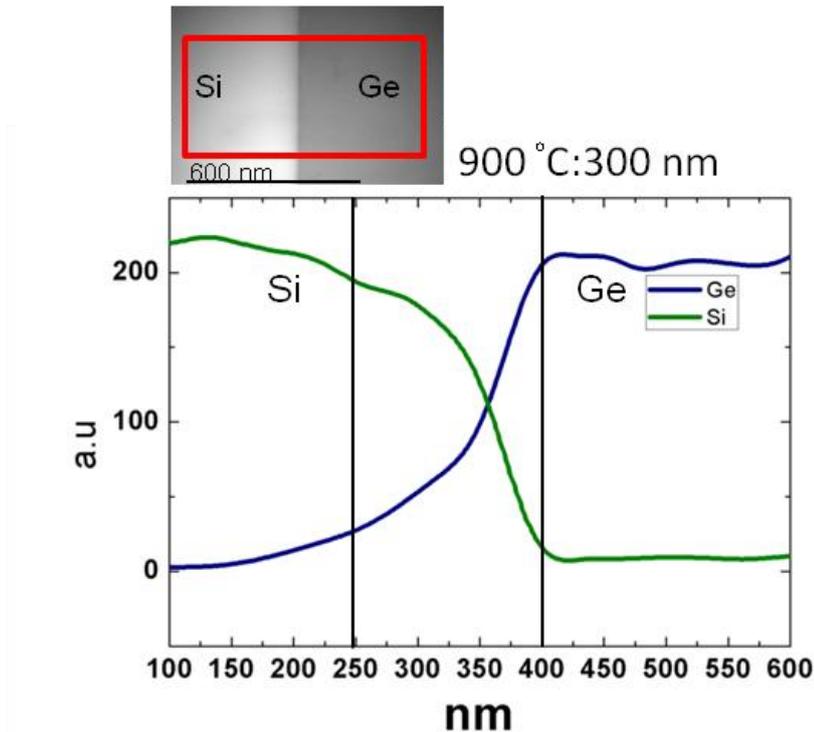


圖4-26 N-type 900°C原子擴散圖

由圖4-21到4-26可以發現矽與鍺原子在500~800°C (A-B)間的擴散距離隨著溫度上升而增加，推論因為高溫下原子受到外界的能量較高，擴散係數變大而使得原子擴散距離增加。接著細部討論800°C兩種介面形態的擴散情況，可以觀察到A-B區Modified region的鍺原子擴散距離為125 nm，而C-D區的鍺原子擴散距離為75 nm，顯示鍺原子在Modified region區域擴散長度較大，而此現象與文獻相符合^[29]。文獻中提到也許是試片表面並不如預期中平坦，或是不均勻地承受熱應力，而形變較多的區域鍺原子擴散距離也較大，由此文獻可以證實所以Modified region的擴散距離比平坦接合介面來的大許多。

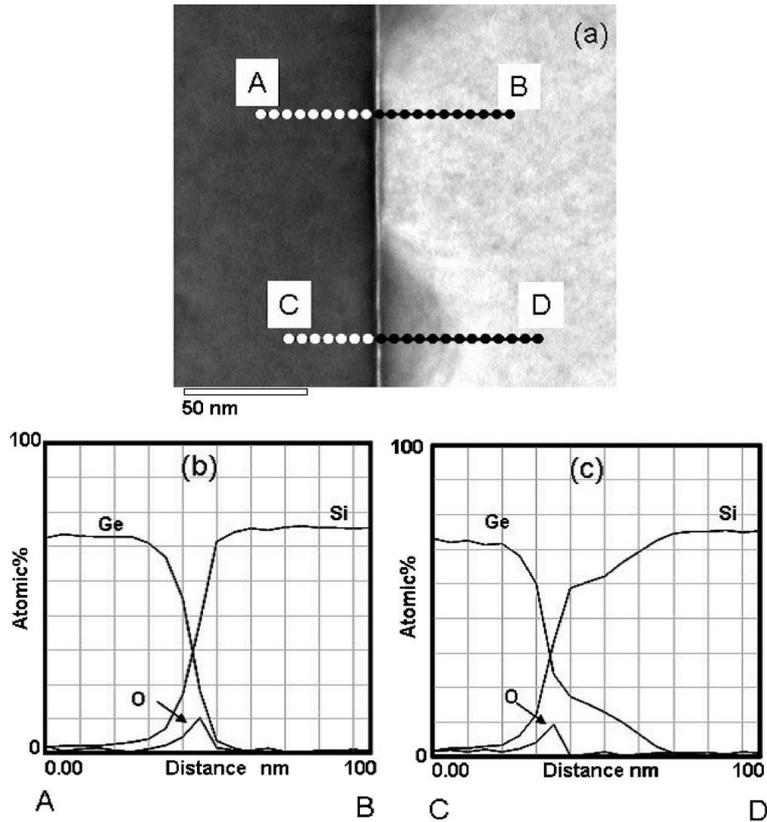


圖4-27 (a)原子擴散圖

(b)Modified region原子擴散圖^[29]

最後對於 TEM、EDX 與 line scan 分析 N-type 矽與鍺的接合介面

有以下結果：

1. 介面非晶質層的厚度隨著退火溫度上升而下降。
2. 在退火條件800°C下的接合介面可以觀察到Modified region。
3. 鍺原子在Modified region擴散區域比一般區域大許多。

4.3. P-type 矽/P-type 鍺 bonding 電性量測分析

電性量測的部分，首先在具有網格狀結構的試片背面處進行研磨，直到露出網格狀結構為止，接著鍍覆上一層金屬為歐姆接觸電極，鍺晶片端為Ti/Au(300Å/2000Å)，矽晶片端則逐層鍍上Ti/Al(300Å/3000Å)作為電極，且使用雙面鍍覆的方式來量測電性，而用來量測電性的機台為KETHLEY 4200。在實驗中，我們將偏壓來源全部加在矽端，鍺端接地，量測示意圖如下：

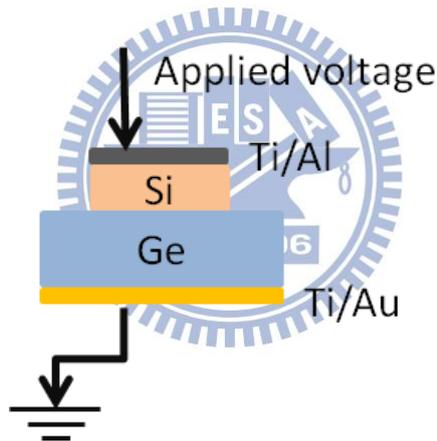


圖4-28 電性量測示意圖

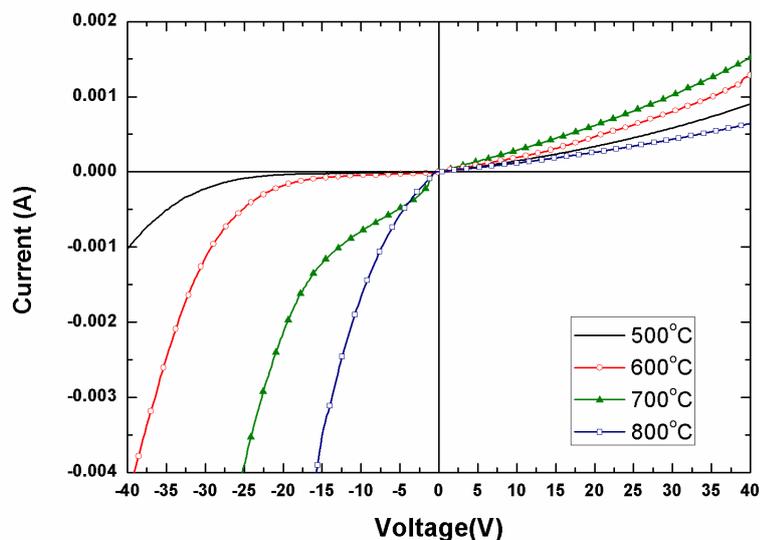


圖4-29 P-type IV-curve

電性量測討論分為兩大部分來觀察，由圖4-29中得知，在逆向偏壓的部分，隨著500°C至800°C溫度的上升，崩潰電壓(Break down voltage)有變大的趨勢；在順向偏壓的部分，可以得知退火溫度從500°C升高到700°C的過程，所需要的起始電壓(Turn on voltage)是逐漸地減少，但是在800°C時起始電壓反而提高，關於這部分目前仍在研究，尚未找到合理解釋，因此以下電性討論僅針對500°C至700°C範圍。

首先討論退火溫度在順向偏壓下的影響，可以觀察到隨著溫度的上升，電洞從矽流向鍺有越來越容易導通的現象。與介面微觀結構作比對，中間氧化層擔任阻擋載子在介面間導通的角色，而氧化層的厚度會隨著退火溫度增加而減少，而降低載子在其介面中流動的阻礙，

因此氧化層的厚度變化符合電性結果。而逆向偏壓的部分也有相同的結果，此時電洞從鍺流向矽，崩潰電壓的確隨著退火溫度的上升而下降，代表載子越容易在介面間導通，試推想也與介面氧化層的厚度有密切關係。

由圖4-30 能帶對準圖可以發現，P型主要載子為電洞(Hole)，施加偏壓時的觀察重點在於價電帶(Valence band)。若矽端施加副偏壓時，電洞受電場驅動流向矽端；反之，矽施加正偏壓時則電洞從矽流向鍺端，但這兩種情況載子遇到的能障是不相同的，由圖4-31得知，由鍺流向矽所遇到的能障大於矽流向鍺的能障，由圖4-32中可以看到500與600°C符合能帶圖的趨勢，電洞的確比較不容易從鍺流向矽，但是700°C時的電性表現反而與能帶圖的趨勢相反。由文獻^[30]中得知，當鍺原子擴散進矽的氧化物中會產生若干缺陷(Defect)，例如：鍺原子取代矽原子的位置(Si-substitutionals, Ge_{Si})、鍺原子在二氧化矽的間隙位置(Interstitial sites (Ge_i)、 $(GeO)_i$ 、 $(GeO_2)_i$)，這些缺陷會在矽的氧化物間會產生陷阱輔助穿隧(Trap assisted tunneling, TAT)現象，由圖4-33可以得知這類缺陷在矽氧化物的能帶圖中有較低的能障，可以幫助電子穿越中間氧化層。配合Line scan的介面間原子擴散結果，可以得知鍺原子從接合介面大量擴散進入矽端，在介面間的氧化層有可能產生 Ge_{Si} 、 (Ge_i) 、 $(GeO)_i$ 與 $(GeO_2)_i$ 等缺

陷，會造成TAT現象使電子容易穿越氧化層，又退火條件 700°C 時鍺原子擴散長度最大，推測TAT現象更為明顯。

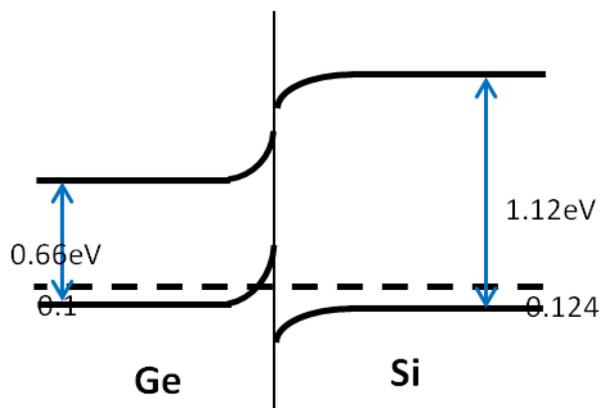


圖4-30 未施加偏壓P-type能帶圖

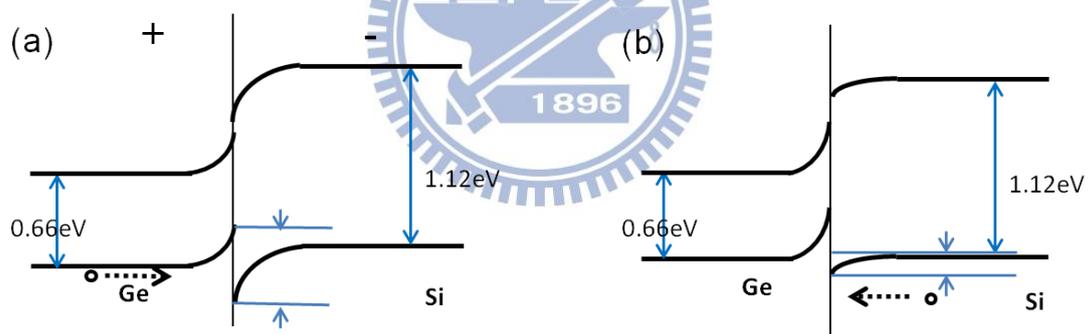


圖4-31 P-type負偏壓於矽(a) 正偏壓於矽(b)能帶圖

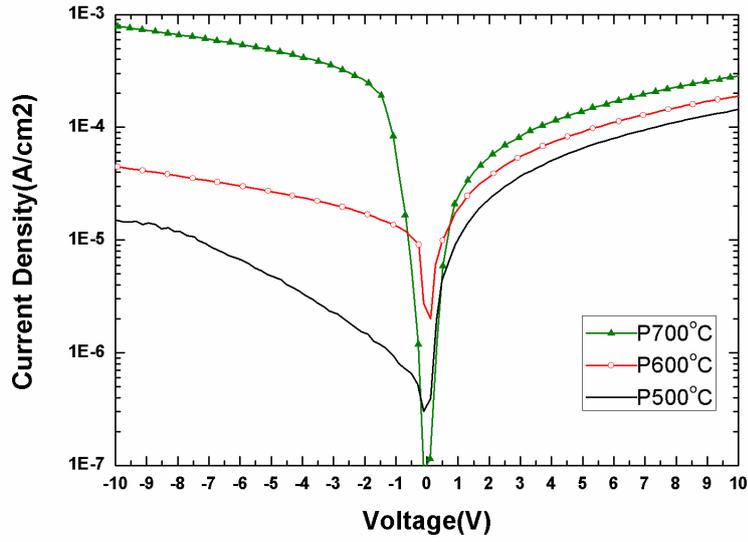


圖4-32 P-type電流密度與電壓關係圖

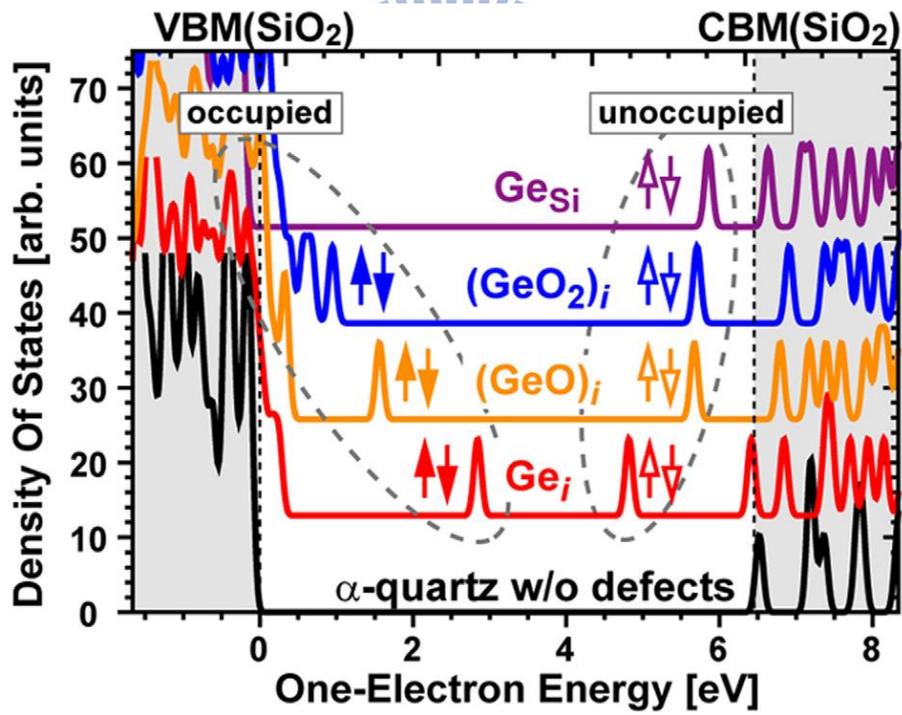


圖4-33 鍍在二氧化矽中產生的trap state^[30]

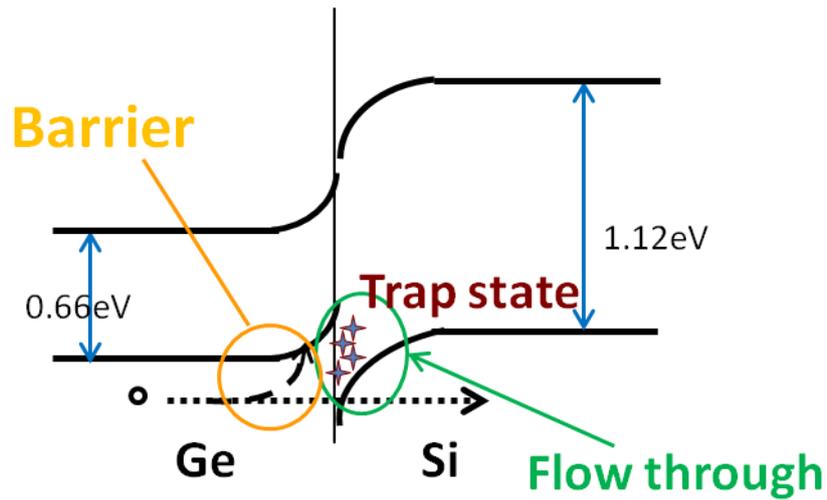


圖4-34 Trap assisted tunneling

4.4. N-type 矽/N-type 鍺 bonding 電性量測分析

此組試片製作方法與 P-type 矽/P-type 鍺 bonding 試片相同，量測電性時同樣將偏壓全部加在矽端，鍺端接地。電性量測結果如下：

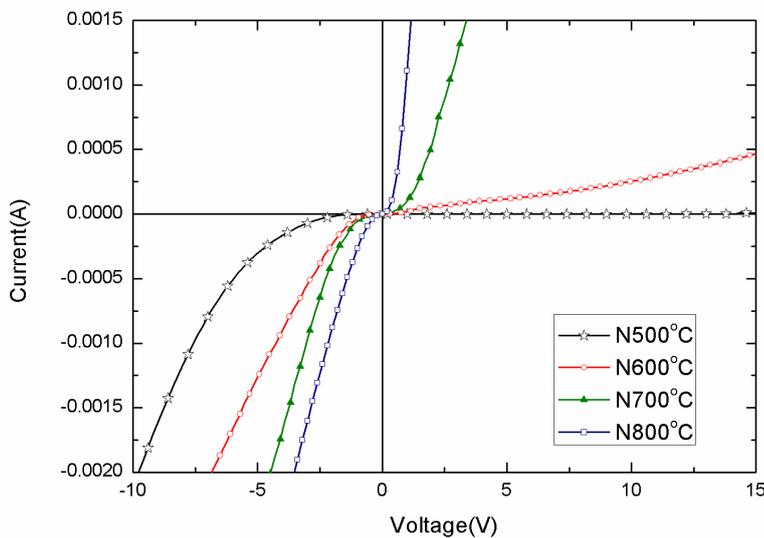


圖4-35 N-type I-V curve

由圖4-35電性結果得知，在順向偏壓的部分，可以明顯發現退火溫度從500°C升高到800°C的過程，所需要的起始電壓(Turn on

voltage)是有減少的趨勢；在逆向偏壓的部分，隨著溫度的上升，崩潰電壓(Break down voltage)則會逐漸增加。

在順向偏壓下，電子會隨著退火溫度上升越容易從鋅流向矽端，特別是電子在退火500°C下，施加高電壓也幾乎無法導通。配合TEM介面微結構分析，推測原因是由於退火條件500°C下的介面氧化層，導致阻礙電子在介面間的流通，此與電性結果相符合。隨著退火溫度的上升，介面氧化層擴散進塊材，進而中間非晶質區域越薄，電子越容易從介面間導通，起始電壓也就逐漸將低。逆向偏壓下崩潰電壓也與退火溫度也與有相同的趨勢，推想與介面非晶質區域的厚度有正相關。

除此之外，由文獻^[31]中得知，當隨著退火溫度的上升，磷原子在矽塊材中會在矽與二氧化矽間偏析出來，因此塊材中的磷原子濃度會逐漸下降，如此一來，矽塊材中的磷滲雜濃度會降低，由圖4-38可以看出，矽端的內建電勢(Built-in potential)會因濃度將低而變小。因此，退火溫度上升，載子更容易在介面間導通，此理論與我們的實驗結果相符合。

觀察圖4-38能帶圖可以得知，流動的主要載子為電子，施加電壓的觀察重點在於傳導帶(Conduction band)，當矽端施加副偏壓時，電子從矽流向鋅，若矽端施加正偏壓時，電子因電場驅動由鋅流向矽，

但兩者所跨越的能障是不一樣的。由圖4-39中得知，矽流向鍺所遇到的能障比鍺流向矽所跨越的能障小，因此由圖4-37可以清楚的觀察到在500°C逆向偏壓所量測的電流密度值會比在順向偏壓時來的高。但是600°C、700°C、800°C退火條件下此現象卻不明顯。理由與P-type電性解釋雷同，當鍺原子擴散進二氧化矽中，鍺原子會取代矽原子的位置(Si-substitutionals, Ge_{Si})、鍺原子在二氧化矽的間隙位置(interstitial sites (Ge_i)、 $(GeO)_i$ 、 $(GeO_2)_i$)，這些缺陷會在矽的氧化物間會產生TAT現象，配合Line scan的介面間原子擴散結果，可以得知鍺原子在各種退火溫度下，大量擴散進入矽端，在介面形成 Ge_{Si} 、 (Ge_i) 、 $(GeO)_i$ 與 $(GeO_2)_i$ 等缺陷，會造成TAT現象使電子容易穿越氧化層，又退火條件600°C、700°C、800°C時鍺原子擴散長度皆很大，推測TAT現象更為明顯。

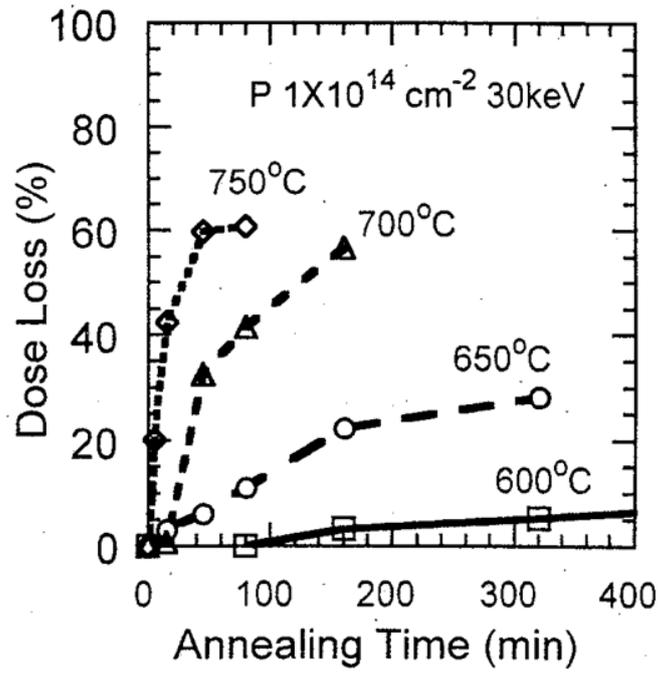


圖4-36 退火溫度與磷原子濃度關係圖^[31]

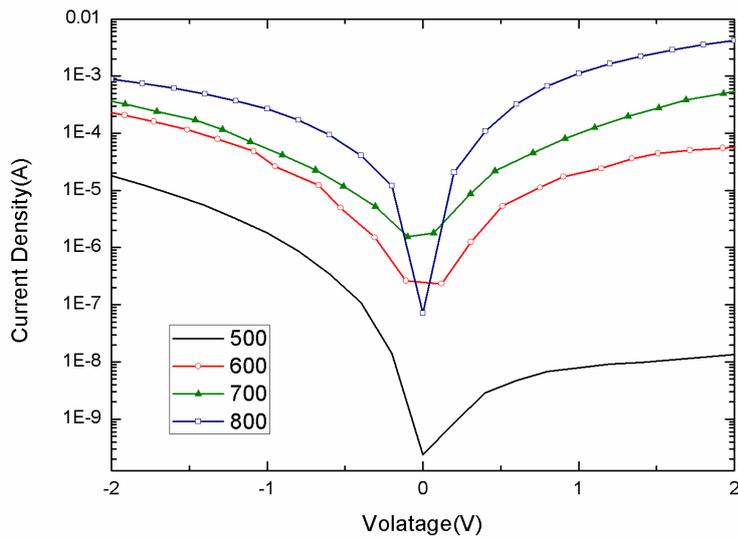


圖4-37 N-type 電壓電流密度關係圖

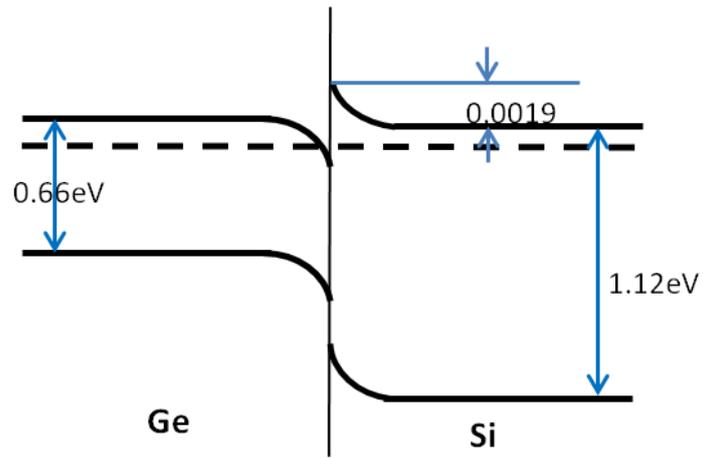


圖4-38 未施加偏壓N-type能帶圖

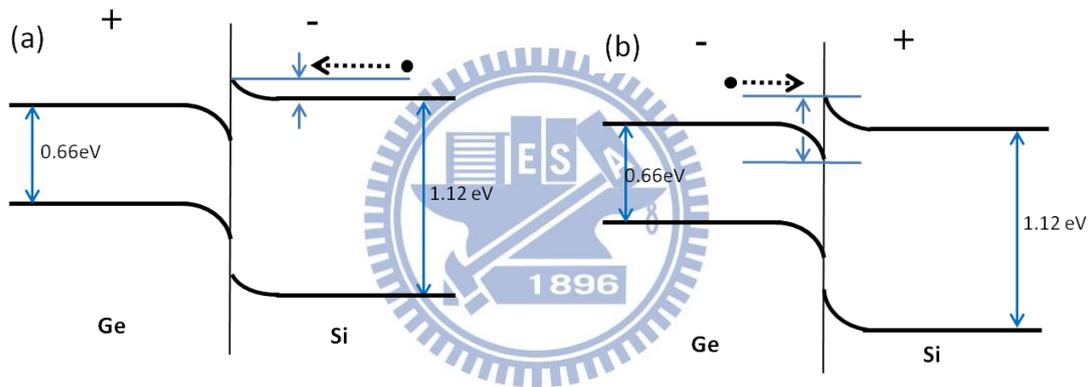


圖4-39 N-type負偏壓於矽(a) 正偏壓於矽(b)能帶圖

五、 結論

本實驗成功地將P-type矽/P-type鍺與N-type矽/N-type鍺試片，在矽晶片上製作網格狀結構將其接合。

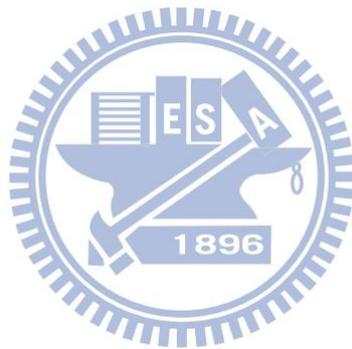
在P-type矽/P-type鍺接合介面形態的部分，可以觀察到一層均勻的非晶質結構，且厚度隨著退火溫度上升而下降；由EDX分析可以得知中間介質層的成分主要由矽與鍺的氧化物所組成；接著Line scan測得的鍺在矽端的擴散長度比理論值高出許多，因將熱膨脹係數的差異所導致在矽端介面的拉伸應力考慮在內。

N-type矽/N-type鍺接合介面情況與P-type矽/P-type鍺的情況大同小異。比較特別的是在退火條件800°C下介面有Modified region，此區鍺原子擴散長度比鄰近區域高，可能與膨脹區域不均與試片表面非預期般平整有關。

而P-type矽/P-type鍺電性分析方面，崩潰電壓與順向電壓皆隨著退火溫度上升而下降，顯示中間氧化層的減薄會增進電流在介面間地導通。又鍺原子擴散進矽端會產生若干缺陷，這將產生TAT現象，增加電流跨越能障區的趨勢。

最後分析N-type矽/N-type鍺電性結果，顯示隨著退火溫度上升電子越容易在介面間導通。而在順向偏壓與逆向偏壓下所測得的電流密度，顯示只有在低溫500°C時的能障趨勢相符合，同樣是TAT導致載

子在介面間加速導通。除此之外，退火步驟會導致矽端滲雜濃度降低，而載子更容易跨越能障區，崩潰電壓即隨著退火溫度上升而下降。



六、 未來工作

接合條件方面，期望嘗試低溫長時間等參數，來解決降溫時熱應力釋放帶來的問題，以及嘗試利用較薄的矽晶片來作接合。

由於在實驗中我們探討原子相互擴散的情況，希望後續的實驗可以利用 SIMS 或 ESCA 來作微量元素分析，得到精準的濃度梯度，以作為電性量測結果的解釋。此外，也希望可以釐清介面氧的來源，因非晶質氧化層的厚度已遠大於原生氧化層的厚度，必定有些因素我們在實驗中並未考慮周全

在量測方式上面，由於釐清確切的電流導通路徑非常困難，因此期望透過模擬的方式，幫助我們釐清量測電流時的真正路徑。



七、參考資料

- [1] 材料世界網，
<http://www.materialsnet.com.tw/DocView.aspx?id=1157>
- [2] A.E. Romanov, W. Pompe, S. Mathis, G.E. Belts, and J.S. Speckj. J. Appl. Phys. **85**,182(1999)
- [3] J. dela Figuera, K. Pohl, O. Rodriguez dela Fuente, A.K. Schmid, N.C. bartelt, C.B. Carter and R.Q. Hwang , Phys. Rev. Lett. **86**,3819(2001)
- [4] E. Koppensteiner, A. Schuh, G. Bauer, V. Holy, G. P. Watson and E. A. Fitzgerald, J. Phys. D: Appl. Phys. **28**(1995)
- [5] F.A. Kish, F.M. Steramka, D.C. DeFevere, D.A. Vanderwater, K.G. Park, C.P. Kuo, T.D. Osentowski, M.J. Peanasky, J.G. Yu, R. M. Fletcher, D.A. Steigerwald, M.G. Craford, V.M. Robbins, Appl. Phys. Lett.**64**, 2839(1994)
- [6] G. E. Hofler, D. A. Vandereater, D. C. DeFevere, F. A. Kish, M. D. Camras , F. M. Steranka, and I. H. Tan, Appl. Phys. Lett. **69**, 803(1996)
- [7] J. Jasinski, Z. Liliental-Weber, S. Estrada, and E. Hu, Mater., Appl. Phys. Lett.**81**,3152(2002)
- [8] S. Estrada, H. Xing, A. Stonsa, A. Huntigton, U. Mishra, S. DenBaars, L. Coldren and E. Hu, Appl. Phys. Lett.**82**,820(2003)
- [9] H.C. Lin, K.L. Chang, K.C. Hsieh, K.Y. Cheng, and W.H. Wang, J. Appl. Phys.**92**, 4132(2002)
- [10] Arnold M. Kiefer, Deborah M. Paskiewicz, Anna M. Clausen, Walter R. Buchwald, Richard A. Soref, and Max G. Lagally, ACS Nano.**5**,1179(2011)
- [11] D. Shahrjerdi, S. W. Bedell, C. Ebert, C. Bayram, B. Hekmatshoar, Appl. Phys. Lett. **100**, 053901(2012)
- [12] Hiroshi Kanbe, Masayuki Miyaji, and Tatsuya Ito, Applied Physics Express, **1**, Issue 7,072301(2008)
- [13] 2012 LASER COMPONENTS ,
<http://www.lasercomponents.com/de-en/>
- [14] Q.Y. Tong, and U. Gösele, Semiconductor wafer bonding: science and technology, John Wiley & Sons. Inc.,17(1998)

- [15] T. A. Michalske and E. R. Fuller, J. Am. Ceram. Soc., **68**,586 (1985)
- [16] J.N. Israelachvili, P. McGuiggan, and R. Horn, 1st ed International Symposium on Semiconductor Wafer bonding: Science, Technology and Applications, 92-7, The electrochemical society, Pennington, NJ, 33(1992)
- [17] W. D. Kingery, H. K. Bowen, D. R. Uhlmann, Introduction to ceramics, John Wiley & Sons. Inc., 469(1976)
- [18] 材料世界網，工業材料雜誌，170
<http://www.materialsnet.com.tw/MagCatalog.aspx?magid=1>
- [19] 吳耀銓 交通大學材料所 材料接合技術與應用課程講義
- [20] M.Shimbo, K.furukawa,K.Gukuda,and K.Tanzawa, J.Appl. Phys.**60**,2987 (1986)
- [21] J. Haisma, G.A.C.M.Spierings, Mater. Sci. Eng., R, **37**,1, (2002)
- [22] I.V. Antonova, O.V. Naumova, V.P. Popov and J. Stano, V.A. Skuratov, J. Appl. Phys.,**93**,426(2003)
- [23] G. N. Yushin and Z. Sitar , Appl. Phys. Lett. **84**, 3993(2004)
- [24] 鮑忠興，劉思謙，近代穿透式電子顯微鏡實務，滄海書局，陳秀珍，台中，5(2010)
- [25] Glen A. Slack and S. F. Bartram, J. Appl. Phys., **46**, 89 (1975)
- [26] Hiroshi Kanbe, Mami Hirose, Tatsuya Ito and Masa Fumi Taniwaki, J. Electron. Mater. , **39**, 1248(2010)
- [27] <http://www.crct.polymtl.ca/fact/documentation/BINARY/Ge-Si.jpg>
- [28] M. Ogino, Y. Oana, and M. Watanabew, Phys. Stat. Sol. , **72**, 535 (1982)
- [29] Hiroshi Kanbe, Masayuki Miyaji, and Mami Hirose, Appl. Phys. Lett., **91**, 142119(2007)
- [30] Toshihide Ito, Yuuichiro Mitani, Yasushi Nakasaki, Masahiro Koike, Takuya Konno, Appl. Phys. Lett. , **100**, 072902 (2012)
- [31] Ruey-Dar Chang, Philip S. Choi, Dim-Lee Kwong, Mark Gardner and Paul K.Chu, Jpn. J. Appl. Phys., Part 1, **41**, 1220, (2002)