

# 國立交通大學

## 電子物理研究所

### 碩士論文

探索交叉奈米線的奈米接點與邏輯特性

Nanocontact and Logic Properties of Crossed  
Nanowire Device

研究生：葉真旭

指導教授：簡紋濱 教授

中華民國 一百零二年 七月

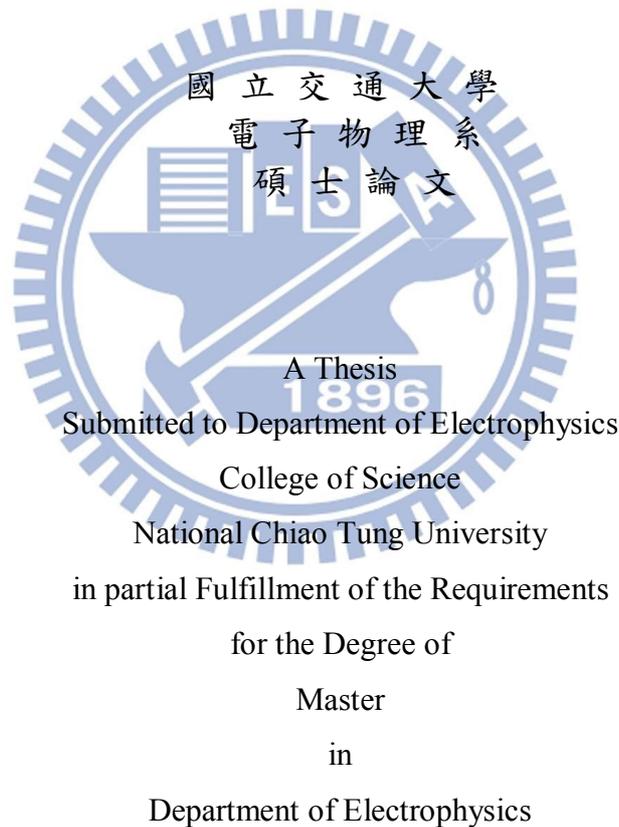
探索交叉奈米線元件的奈米接點與邏輯特性  
Nanocontact and Logic Properties of Crossed  
Nanowire Device

研究生：葉真旭

Student : Jen-Shiu Ye

指導教授：簡紋濱

Advisor : Wen-Bin Jian



July 2013

Hsinchu, Taiwan, Republic of China

中華民國一百零二年七月

# 探索交叉奈米線元件的奈米接點與邏輯特性

學生：葉真旭

指導教授：簡紋濱 教授

國立交通大學電子物理碩士班

## 摘要

隨著奈米線上下交錯排列技術的發展，探討小面積的接面問題與元件電性是相當重要的，本實驗中我們利用氧化鋅錫( $Zn_2SnO_4$ )與金奈米線交疊的方式來組成元件，將元件簡稱為交叉奈米線元件，分別探討元件中氧化鋅錫奈米線與蕭特基接觸的電性差異，以及外加閘極電壓對元件電性的影響。

實驗主要分成兩部分來探討，第一部分是比較氧化鋅錫奈米線與蕭特基接觸的電性，兩者的電流-電壓特性有明顯的不同，其中本質之電流-電壓曲線呈現對稱性與線性，而蕭特基接觸之電流-電壓曲線呈現非對稱性與具有整流性，在零電壓附近有高電阻性質，再利用探針系統變溫量測，進一步分析兩者不同傳輸機制，分別由變程跳躍與熱離子放射理論來分析，氧化鋅錫奈米線的電性傳輸是由三維變程跳躍所主導，不符合熱離子放射理論，而蕭特基接觸之電性在高溫時符合熱離子放射理論，且觀察到蕭特基效應所造成的位障降低，並可得出位障高度與施體摻雜濃度，則在低溫時電性傳輸是由穿隧電流所主導。

第二部分是探討外加閘極電壓對元件電性的影響，我們分別對上與背電極外加電壓來量測元件電性反應，比較兩者的電晶體特性，發現上閘極效應之反應效果比較好，另一有趣的是，我們上下同時調變不同閘極電壓大小，可將元件開發成邏輯元件中的三態緩衝器，期望未來能將元件應用在邏輯電路上。

# Nanocontact and Logic Properties of Crossed Nanowire

## Devices

Student : Jen-Shiu Ye

Advisor : Prof. Wen-Bin Jian

Institute of Electrophysics  
National Chiao Tung University

### Abstract

The technique to assemble nanowire into device structures is vital so is the investigation of electrical properties of crossed-nanowire junction.  $\text{Zn}_2\text{SnO}_4$  (ZTO) nanowire and Au nanowire are chosen to realize crossed nanowire devices.

In the beginning, the electrical property of the intrinsic ZTO nanowire and that of the nano-Schottky contact between ZTO and Au nanowires are explored. The  $I$ - $V$  curve of ZTO nanowire showed symmetrical and linear behavior which could be ascribed to Ohmic contact between the ZTO nanowire and metal electrodes. The  $R$ - $T$  behavior of the intrinsic nanowire property can be well described by three-dimensional Mott's variable range hopping. The electrical property of the nano-Schottky contact is different from that of the intrinsic ZTO nanowire property. The  $I$ - $V$  curve of the nano-Schottky contact junction reveals asymmetrical and rectifying manners. By measuring the  $R$ - $T$  data, the transport mechanism of nano-Schottky contact is decided to follow the thermionic emission theory. In addition, in the low temperature regime, an excess current tunneling through the crossed-nanowire junction is detected. It implies the significant feature of the nano-Schottky contact. The barrier height of the crossed-nanowire junction and the carrier concentration of ZTO nanowire are evaluated.

The crossed-nanowire junction devices are used to demonstrate the top-gated field-effect transistor. Suppression of current flow can be achieved by applying voltage on both top- and back-gate electrodes. It is discovered that the channel controlling ability via the top-gate electrode is much better than that by the back-gate voltage. More interestingly, the conductance of channel can be simultaneously modulated by top- and back-gate voltage to demonstrate the operation of a tri-state buffer.

# 致謝

我能夠順利完成本論文，首先，要感謝我的指導教授簡紋濱教授，提供了我許多建議，以及研究上的方向，也時常關心學生們的平日近況，老師總是以正面想法來鼓勵我們，讓我們對預期的實驗結果充滿著一絲希望。接者要感謝一直為實驗室努力奮鬥的學長姐們，感謝聖聰學長有耐心教導我實驗上技能及幫我找出實驗上問題。感謝紹謙學長提供我許多意見與幫助，也教導我很多做事方法，同時也讓我有許多學習的機會。感謝秀靜學姊分享了許多想法與意見，幫助我們實驗更順利。還有感謝已畢業的學長姐，有他們經驗傳承，讓我減少摸索的時間，也要感謝許世英老師與交大材料所的呂佳凌學姐等人提供我們儀器上的使用。

接下來感謝實驗室同學兩年的陪伴與照顧，政杰、阿峰、宥勳、柏翰、承芳、威佐、奕均，話不多的我，因為有你們，實驗裡總是充滿著歡笑聲，每次我有問題時，你們都樂於協助我，還有一群認真帥帥的學弟們，重興、葳宇、彥廷、喬弼、逸舜、瑞文、建仲、鴻瑋，你們為實驗室增添不少活力與色彩。

最後感謝一路支持與鼓勵我的智浩，還有我的家人，你們總是帶好吃的美食給我，假日時常陪我逛街與吃飯，帶給我許多快樂與幸福。因為有大家陪我一起努力、一起聊天，讓我在這兩年過得很充實，也成長許多，謝謝你們。

# 目錄

|   |     |
|---|-----|
| 中文摘要 .....  | I   |
| 英文摘要 .....  | II  |
| 致謝 .....  | III |
| 目錄 .....  | IV  |
| 圖目錄 .....   | VI  |
| 表目錄 .....   | VII |
| 第一章 緒論 .....  | 1   |
| 第二章 文獻回顧與動機 .....                                       | 2   |
| 2-1 奈米電子元件的製程方式 .....                                   | 2   |
| 2-2 奈米線元件的應用 .....                                      | 3   |
| 2-3 交錯式陣列(Crossbar array)元件的發展 .....                    | 6   |
| 2-4 奈米接面的電子傳輸研究 .....                                   | 10  |
| 2-5 研究動機 .....  | 13  |
| 2-6 氧化鋅錫材料的結構與應用 .....                                  | 14  |
| 第三章 基本原理 .....  | 16  |
| 3-1 變程式跳躍傳輸 (Variable Range Hopping,VRH) .....          | 16  |
| 3-2 蕭特基接觸 (Schottky contact) .....                      | 18  |
| 3-3 電晶體基本特性 .....                                       | 20  |
| 第四章 實驗 .....  | 23  |
| 4-1 儀器介紹 .....  | 23  |
| 4-1-1 高溫加熱爐 (Annealing Furnace) .....                   | 23  |
| 4-1-2 掃描式電子顯微鏡 (Scanning Electron Microscope,SEM) ..... | 23  |

|           |   |    |
|-----------|---|----|
| 4-1-3     | 電子束微影技術 (Electron-Beam Lithography,EBL) | 24 |
| 4-1-4     | 熱蒸鍍系統 (Thermal Evaporation)             | 24 |
| 4-1-5     | 探針系統 (Probe system)                     | 25 |
| 4-2       | 實驗步驟                                    | 26 |
| 4-2-1     | 交叉奈米線元件結構                               | 26 |
| 4-2-2     | 交叉奈米線元件製程與量測                            | 26 |
| 第五章 結果與討論 |   | 31 |
| 5-1       | 金奈米線的電性量測                               | 31 |
| 5-2       | 交叉奈米線元件觀察                               | 32 |
| 5-3       | 交叉奈米線元件之電流-電壓特性分析                       | 33 |
| 5-3-1     | 交叉奈米線元件之電流-電壓特性的比較                      | 34 |
| 5-3-2     | 氧化鋅錫奈米線之電性分析                            | 37 |
| 5-3-3     | 蕭特基接觸之電性分析                              | 39 |
| 5-4       | 交叉奈米線元件的電晶體特性量測                         | 42 |
| 5-4-1     | 上閘極(Top gate)電壓對元件之電性影響                 | 42 |
| 5-4-2     | 背閘極(Back gate)電壓對元件之電性影響                | 43 |
| 5-4-3     | 同時加上閘極與背閘極對元件之電性影響                      | 46 |
| 第六章 結論    |   | 49 |
| 參考文獻      |   | 51 |

# 圖目錄

|   |    |
|---|----|
| 圖2-1 傳統FET元件[15].....   | 3  |
| 圖2-2 交叉奈米線陣列[6].....  | 3  |
| 圖2-3 (a)交叉的pn矽奈米線的SEM圖;(b)I-V特性分別是p-n、p-p與n-n界面，而黑色和綠色曲線分別是p型與n型矽奈米線，紅色曲線是pn界面[7].....        | 4  |
| 圖2-4 矽奈米線與SOI電晶體的元件特性比較[8].....   | 5  |
| 圖2-5 ZnO NW蕭特基二極體在不同溫度下的I-V特性[12].....  | 6  |
| 圖2-6 由p-Si與n-GaN奈米線組合成的奈米線邏輯電路，圖中的A~C為OR、D~F為AND與G~I為NOR[13].....                             | 7  |
| 圖2-7 連結式(Coupled)NW FET元件(a)元件示意圖(b)輸入訊號到G1-G4，輸出訊號分別是NW1的 $V_{IG}$ 和NW2的 $V_{out}$ [14]..... | 8  |
| 圖2-8 全加器(full adder)功能的邏輯元件(a)元件結構(b)電路設計示意圖(c)真值表[14].....                                   | 9  |
| 圖2-9 混合交錯式電路(Hybrid crossbar circuit)[2].....   | 10 |
| 圖2-10 ZnO NW元件的I-V特性，分為三種型態(a)歐姆特性(b)蕭特基特性(c)背對背蕭特基特性[15].....                                | 11 |
| 圖2-11 (a)直徑54nm的Ge奈米線之I-V特性(b)不同直徑奈米線的I-V特性，左上圖為在不同順偏下，奈米線直徑與理想因子的關係圖[16].....                | 12 |
| 圖2-12 氧化鋅錫的結構示意圖[21].....   | 14 |
| 圖2-13 (a)ZTO NW元件之示意圖(b)照光與無照光之I-V特性[25].....   | 15 |
| 圖3-1 電子有A與B兩種跳躍傳輸路徑之示意圖.....  | 17 |
| 圖3-2 在施加順向偏壓下的金屬與n型半導體的能階圖[20].....   | 20 |
| 圖4-1 交叉奈米線元件結構示意圖.....  | 26 |
| 圖4-2 交叉奈米線元件製程流程示意圖.....  | 30 |
| 圖5-1 (a)金奈米線的電流-電壓圖；(b)金奈米線交疊的電流-電壓圖.....   | 31 |

|  |    |
|--|----|
| 圖5-2 (a)氧化鋅錫奈米線與金奈米線的SEM形貌；(b)傾斜45度之SEM圖.....  | 32 |
| 圖5-3 交叉奈米線元件的示意圖 .....   | 33 |
| 圖5-4 室溫下，各元件的電流-電壓特性圖.....   | 35 |
| 圖5-5 在不同溫度下(300 K~80 K)，各元件的電流-電壓特性圖與比較.....   | 36 |
| 圖5-6 氧化鋅錫奈米線的電性以變程跳躍傳輸理論分圖 .....   | 38 |
| 圖5-7 氧化鋅錫奈米線的電性以熱離子放射理論分析圖 .....   | 38 |
| 圖5-8 蕭特基接觸的電性以熱離子放射理論分析圖.....  | 40 |
| 圖5-9 理想因子分析圖.....  | 41 |
| 圖5-10 不同溫度下(300 K~80 K)，零點電阻除300 K電阻對溫度的關係圖.....   | 41 |
| 圖5-11 (a) $V_{FG}$ 在不同電壓下(-1 V~1 V)的 $I_{DS}$ 與 $V_{DS}$ 曲線關係圖；(b) $I_{DS}$ 與 $V_{FG}$ 曲線關係圖( $V_{DS}=1$ V).....   | 43 |
| 圖5-12 (a) $V_{BG}$ 在不同電壓下(-40 V~40 V)的 $I_{DS}$ 與 $V_{DS}$ 曲線關係圖；(b) $I_{DS}$ 與 $V_{BG}$ 曲線關係圖( $V_{DS}=1$ V)..... | 43 |
| 圖5-13 不同退火條件下的 $I_{DS}$ - $V_{BG}$ 曲線關係圖( $V_{DS}=1$ V).....   | 44 |
| 圖5-14 外加背閘極電壓在蕭特基接觸之電性 .....   | 45 |
| 圖5-15 同時外加不同 $V_{FG}$ (-1 V~1 V)與 $V_{BG}$ (-40 V~40 V)對 $I_{DS}$ 的關係圖 .....                                       | 47 |
| 圖5-16 三態緩衝器(a)示意圖；(b)真值表.....  | 47 |
| 圖5-17 (a)輸入電壓 $V_{DS}$ 隨時間變化的關係圖；(b)輸出電流 $I_{DS}$ 隨時間變化的關係圖.....   | 48 |

## 表目錄

|  |    |
|--|----|
| 表5-1 交叉奈米線元件之實驗參數與奈米線尺寸列表.....         | 33 |
| 表5-2 交叉奈米線元件之電性列表.....                 | 34 |
| 表5-3 由VRH理論推算出 $T_0$ .....             | 38 |
| 表5-4 由擬合得出蕭特基位障與施體摻雜濃度 .....           | 40 |
| 表5-5 不同退火條件下，推算本質氧化鋅錫奈米線的移動率、電子濃度，以及開關 |    |

電流比 .....44

表5-6 氧化鋅錫奈米線之電晶體特性參數列表 .....45



## 第一章 緒論

隨著奈米科技的發展，各種奈米電子元件逐一被開發出來，尤其是以直徑約為幾奈米的奈米線來製做奈米電子元件，相當多的研究人員投入這項研究[1]，是希望創造極小尺寸的電晶體，同時增加邏輯運算與儲存資料的能力，並開發體積小且高效能的產品來滿足人們對科技的需求。

利用兩條奈米線的交叉點來形成一接面，製造出一開關元件，這個靈感更是影響日後的科技發展，要形成上下規則排列奈米線，與複雜的微處理器結構相比，在製造上相當簡單，同時可大幅降低成本，更至能夠取代傳統傳電晶體的製程方式，再加上奈米線集合技術的進步，能夠有效的大面積且高密度生產，下一個新時代將建構出混合式的奈米線與COMS結構，但這個構想需要結合不同領域化學、物理、電子與電腦等科技人才，極具有挑戰性。[2,3]

為了生產高效能與尺度微小化的現代奈米電子元件，研究在奈米尺度下金屬與奈米材料的接點電性是很重要的，對於傳統塊材來說，金半間接面是平面式的，但對奈米接點來說，金半間的接觸面積大小不同，會影響元件不同的獨特性質，該電性可能與傳統塊材有所差異[4]，因此要有效的大面積且高密度生產元件前，是必要精準控制接面電性，所以我們要了解奈米接點電性，另一方面元件電性需具備可重複性以及很大的閘極效應，這樣才能建構出高效能且有功能性的元件。

目前有許多團隊研究奈米線之電性與探討直徑不同奈米線的接點電性[4]，也有由下到上的方式排列奈米線，來製作交錯式陣列(Crossbar array)元件，他們以這種方法來發展出多功能的邏輯元件[3]，因此我們利用兩條奈米線交疊的方式去探討元件電性，並將之發展為具有功能性的元件。

## 第二章 文獻回顧與動機

本章節先比較傳統與現今奈米元件製程方法的不同，再介紹目前奈米線元件之應用，從文獻回顧中，因為集合奈米線技術的進步，發展成交錯式陣列元件，同時了解交錯式元件具有多功能的邏輯特性，因兩條奈米線交叉點就可形成一FET，所以奈米接點對元件電性有很大的影響。

### 2-1 奈米電子元件的製程方式

現今的奈米電子元件有兩種製程方式，分別是由上到下的方式(Top down approach)與由下到上的方式(bottom up approach)。

首先，目前的半導體產業所生產的奈米電子元件主要是由上到下的方式，如圖2-1，製程技術是使用光微影技術，再搭配蝕刻方式去除部分材質與沉積材料來做出圖案，以及利用離子佈值來摻雜硼或磷雜質作為元件的源汲極等製程步驟，然而製作元件需要好幾十道甚至幾百道的製程步驟，所以製程過程很複雜。同時科技的發展進步，元件尺度不斷地縮小，線寬的微縮尺度從微米縮小到幾奈米，在縮小的過程，將面臨許多製程技術問題與瓶頸，例如微影技術上的限制，因為光波長具有物理極限，同時光罩製作困難度提高，所以增加技術上的困難，因此需要投資新設備與開發新技術，來達成降低成本、高密度生產、多功能及高速的目標。

於是開始研究奈米結構元件，用直徑為奈米尺度的奈米線來製作元件，來突破上到下的微影技術限制，發展上到下的開發方式，製程方式是先用碳熱還原(carbothermal reduction)與氣態-液態-固態(Vapor-liquid-solid, VLS)等方法成長奈米線[5]，然後再利用奈米線組裝成具有記憶體、邏輯等功能的元件，為了大面積集合奈米線，會利用電場與磁場、fluid flow、Langmuir-Blodgett等化學方法[6]，讓原子或分子因內在的性質，自行排列組合，而這些方式都能有效且高密度上下連結奈米線形成陣列，如圖2-2，所以由下到上的方式開發可以降低成本與高密度生產，但未來在奈米電路上，多數研究者認為仍必須結合這兩種製程方式。

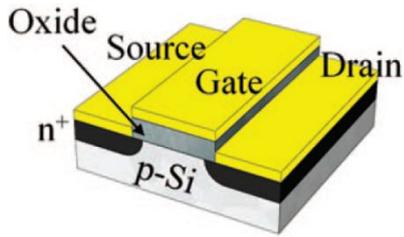


圖2-1 傳統FET元件[15]

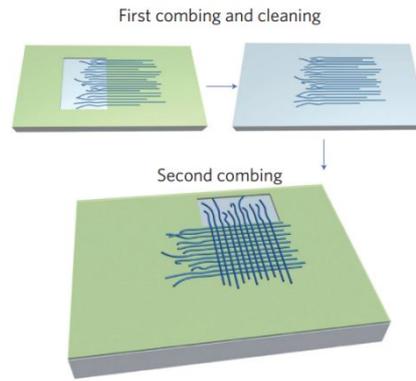


圖2-2 交叉奈米線陣列[6]

## 2-2 奈米線元件的應用

為了取代由上到下的方式所生產的奈米電子元件，目前許多文獻發表有關奈米線方面的研究，將奈米線應用於奈米級pn二極體(Nano pn-diode)、奈米線金氧半場效電晶體(NW MOSFET)、奈米線金屬半導體場效電晶體(NW MESFET)，以及蕭特基二極體(Schottky diode)，能夠製作出具有塊材(bulk)材料的pn二極體、MOSFET、MESFET與蕭特基電性特徵，甚至可以超越塊材(bulk)材料的電性。以下回顧四種利用奈米線所製成的元件特性：

### (a) 奈米級 pn 二極體

在2001年Yi Cui等人成功製作出交叉pn奈米線二極體[7]，在矽奈米線成長過程中，利用摻雜磷、硼來控制奈米線的載子型態(n型或p型)和載子濃度，他們藉由雷射輔助成長(laser-assisted growth)成功長出n與p的矽奈米線，接者再將兩種p與n型奈米線交疊製成pn接面的二極體，如圖2-3(a)，量測其I-V特性，顯示出具有很好的整流特性，如圖2-3(b)，而且與傳統pn半導體的接面電性相同，從他們的結果可以驗證即使pn兩線接觸面積小( $10^{-12}$ 到 $10^{-10}$ cm<sup>2</sup>)，交叉的矽奈米線仍具有很好的電性接觸，且製作二極體元件非常簡單，只要將兩條奈米線交疊，在交疊接面就會形成pn接面特性，同時也具有很好的二極體特性。

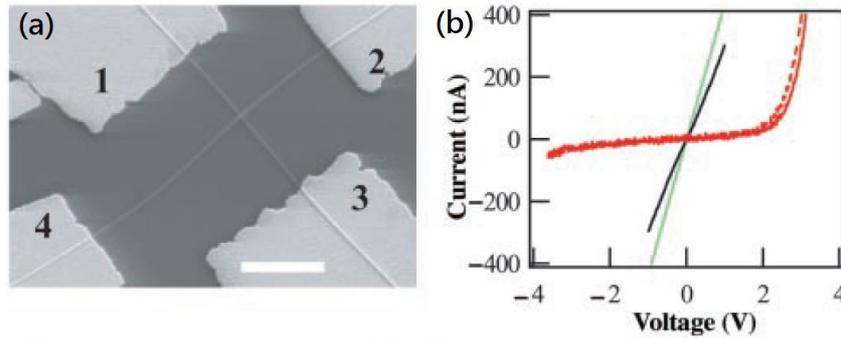


圖2-3 (a)交叉的pn矽奈米線的SEM圖;(b)I-V特性分別是p-n、p-p與n-n接面，而黑色和綠色曲線分別是p型與n型矽奈米線，紅色曲線是pn接面[7]。

#### (b) 奈米線金氧半場效電晶體

而在2003年Yi Cui與2006年Pai – Chun Chang等人製作出奈米線的金氧半場效電晶體[8、9]，Yi Cui等人是以矽奈米線來製作金氧半場效電晶體，一開始所製作出來的矽奈米線MOSFET電性卻沒有預期的好，而且還比平面式矽元件差，可能是由於表面缺陷造成載子的散射與捕捉，因此進一步改善製程方式，發現藉由熱退火與氧缺陷的保護層兩種方式可改善元件MOSFET特性，而且元件電性呈現出p型MOSFET特性，同時提高了平均轉換電導值從45到800 nS與平均移動率從10~100到200~1000  $\text{cm}^2/\text{V}\cdot\text{s}$ 以上，證明元件特性比平面式矽元件的電晶體特性較佳，如圖2-4，因此覆蓋保護層後，元件對閘極電壓具有明顯反應，進而影響元件電性。而Pai-Chun Chang等人是以氧化鋅奈米線來製作電晶體，同樣藉由保護層來改善元件電性，此保護層是 $\text{SiO}_2/\text{Si}_3\text{N}_4$  兩層組成的，覆蓋在氧化鋅奈米線的表面上方，量測元件電性得出移動率高達4000  $\text{cm}^2/\text{V}\cdot\text{s}$ 以上，以及開關電流比為 $10^4$ ，由移動率大小可以決定載子速度以及轉換速度，以上研究成果表示奈米線電晶體是具有潛力發展的元件，可應用高頻積體電路，如記憶體與邏輯元件。

|                                   | nanowire<br>raw data | nanowire <sup>22</sup><br>coverted data | planar Si<br>device <sup>21</sup> |
|-----------------------------------|----------------------|---|-----------------------------------|
| gate length (nm)                  | 800–2000             | 50                                      | 50                                |
| gate oxide thickness (nm)         | 600                  | 1.5                                     | 1.5                               |
| mobility (cm <sup>2</sup> /V s)   | 230–1350             | 230–1350                                |                                   |
| I <sub>on</sub> (μA/μm)           | 50–200               | 2000–5600                               | 650                               |
| I <sub>off</sub> (nA/μm)          | 2–50                 | 4–45                                    | 9                                 |
| subthreshold slope<br>(mV/decade) | 174–609              | 60                                      | 70                                |
| transconductance<br>(μS/μm)       | 17–100               | 2700–7500                               | 650                               |

圖2-4 矽奈米線與SOI電晶體的元件特性比較[8]

### (c) 奈米線金半場效電晶體

接者在2007年Ren-Min Ma等人將CdS奈米線製作成MESFET結構，而且成功做出高效能(high performance)邏輯元件[10]。製作MESFET元件的優點是在半導體通道與蕭特基閘極之間沒有介電層，藉由電容耦合(capacitive coupling)能夠產生很大電壓與訊號功率增益，同時在半導體製程上製作簡單，再加上閘極可獨立控制單根奈米線的通道導通。而本文章是利用Cds奈米線來製作出兩個相同n型通道的MESFET結構，成功建構出高性能NOT邏輯閘(反向器)，此元件擁有極佳的電晶體特性，例如高開關電流比( $\sim 10^7$ )、低臨界電壓( $\sim 0.4$  V)，以及低次起始擺幅( $\sim 60$ mV/dec)。

隔年Ren-Min Ma等人又建構出互補式金半場效電晶體(CMES)反向器[11]，互補式邏輯閘是由n型與p型奈米線導電通道組成的，主要是可降低靜態功率消耗，同樣擁有高效能的奈米線CMES 反向器，此元件特性有低操作電壓( $< 2$ V)、高電壓增益( $> 7$ )，以及很低的靜態功率消耗( $< 0.3$  nW)。

### (d) 蕭特基二極體

另外在2010年Sachindra Nath Das等人在氧化鋅奈米線兩端鍍上不同材料的接觸電極，一端是鍍上Ti/Au電極，與氧化鋅奈米線形成歐姆接觸，則另一端是鍍Au電極，形成蕭特基接觸，成功量測出電流-電壓特性具有電流整流行為，表現出蕭特基二極體的特性，如圖2-5[12]。

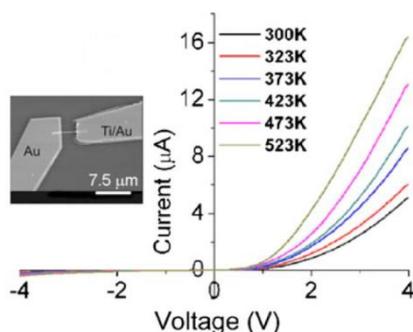


圖2-5 ZnO NW蕭特基二極體在不同溫度下的I-V特性[12]

由以上不同奈米線成功製作出四種奈米線元件，分別是pn二極體、MOSFET、MESFET與蕭特基二極體，電性表現都與傳統元件接近，因此未來都可用奈米線來完成奈米電子元件，將這些高性能的電性進而發展具有功能性的元件，例如記憶體與邏輯元件，最後再利用奈米線的集合技術，將不同功能性的元件組裝成多功能積體電路，所以接下來在2-3章節介紹交錯式陣列元件的發展。

### 2-3 交錯式陣列(Crossbar array)元件的發展

首先，要先製作交叉奈米線形成更複雜與具有功能性的元件，甚至使用下到上的方法來高密度量產，兩條交叉奈米線之電流-電壓特性一定要具有重複性，而且也要有很大的閘極反應，所以在2001年 Yu Huang等人利用p-Si與n-GaN奈米線交叉形成pn接面，同時證明電流整流特性具有重複性以及很大的閘極反應，也成功製作出OR、AND與NOR邏輯元件[13]。

如圖2-6為由p-Si與n-GaN奈米線組合成的奈米線邏輯電路，本論文只介紹OR與AND邏輯元件，先介紹OR邏輯元件，是由1條n-GaN與2條p-SiNW組合而成的，兩者分別為輸出與輸入電壓，OR邏輯操作原理是當輸入電壓為低電位(0 V)時，則輸出電壓為低電位(0 V)，此為logic 0，而輸入電壓只要其中一個為高電位(5 V)，則輸出電壓為高電位(5 V)，此為logic 1，如圖2-6 (B)、(C)為輸入與輸出電壓的邏輯符號表示法，在圖2-6 (B)中的插入圖表示，若有一個輸入電壓固定為低電位(0 V)，另一個 $V_i$ 會與 $V_0$ 為線性增加，而若其中一個輸入電壓固定為高電位(5 V)，其另一個 $V_i$

不管輸入多少，輸出電壓都是高電位(5V)。另一個要介紹的是AND邏輯元件，是由1個p-Si和3個n-GaN奈米線組合而形成多個界面陣列，其中p-Si NW固定輸入5 V，2個GaN NW作為輸入電壓源，則第3個GaN NW為輸入固定電壓當作一個電阻器，AND邏輯操作原理是只要一個輸入電壓為低電位(0 V)，其輸出電壓為低電位(0 V)，此為logic 0，而若兩個輸入電壓都為高電位(5 V)，其輸出電壓才為高電位(5 V)，此為logic 1，本篇推測元件處於logic 0的原因是當 $V_i = 0$  V時對應到pn接面的順向偏壓為低電阻狀態，使得輸出電壓為低電位，而處於logic 1是對應到pn接面的逆向偏壓為大電阻狀態，此電阻大於固定電阻器，所以有較小電壓落在電阻器，因此輸出電壓為高電位。

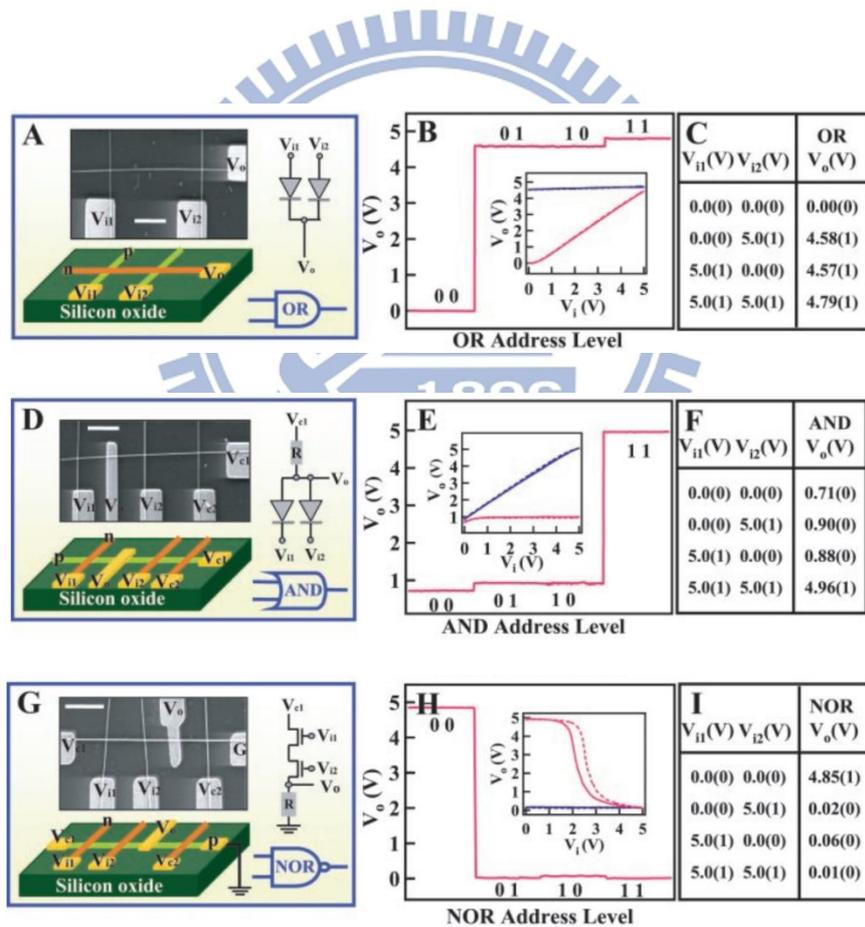


圖2-6 由p-Si與n-GaN奈米線組合成的奈米線邏輯電路，圖中的A~C為OR、D~F為AND與G~I為NOR[13]。

而在2011年Hao Yan等人設計出在交叉陣列中每兩條線交叉後會形成一個節點，把節點的狀態當作是電晶體中的主動態(active)與不主動態(inactive)，類似於一個開關元件，進而設計出邏輯電路[14]。一開始研究的是將兩條奈米線連結在一起，其中一條奈米線上方有多重上閘極來控制NW FET元件輸出狀態，元件架構如圖2-7(a)，在NW1上方有4個獨立輸入閘極分別是G1-G4，然後將NW1的輸出連結到NW2的輸入，圖中綠色圓點表示為NW1的1、3閘極節點和NW2的閘極節點是主動態，則其他的閘極節點為不主動態。由元件操作方式來判斷閘極節點是否為主動態，操作模式為分別獨立輸入NW1與NW2電壓源為2.5V和3V，先輸入G1電壓為0V與1V間轉換，則G2-G4為0V，同時量測NW1與NW2的輸出電壓 $V_{1G}$ 與 $V_{out}$ ，顯示 $V_{1G}$ 在高電位(2.2V)與低電位(0.2V)間轉換，而 $V_{out}$ 在低電位(0.6V)與高電位(3V)，如圖2-7(b)，若將G1輸入改為G3輸入，其他輸入為0V，則 $V_{1G}$ 與 $V_{out}$ 輸出狀態具有相同轉換結果，而若輸入改為G2或G4在0V與1V間轉換，則 $V_{1G}$ 與 $V_{out}$ 卻沒有觀察到相同轉換，因此G1與G3為主動態，G2與G4為不主動態。

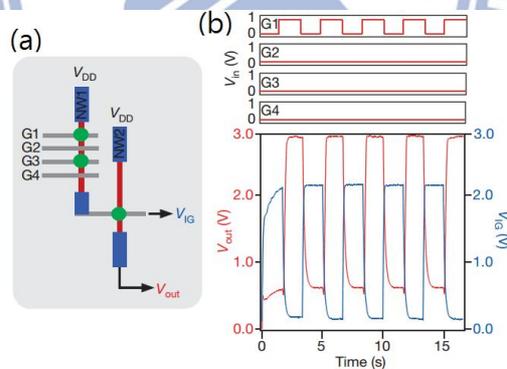


圖2-7 連結式(Coupled)NW FET元件(a)元件示意圖(b)輸入訊號到G1-G4，輸出訊號分別是NW1的 $V_{1G}$  和NW2的 $V_{out}$ [14]。

再者他們利用上下交錯方式來製作出具有全加器(full adder)功能的邏輯元件，元件結構如圖2-8(a)，製程方式是先利用shear-printing方式平行排列Ge/Si奈米線，再沉積一層 $Al_2O_3-ZrO_3-Al_2O_3$ 的介電層，最後使用電子束微影技術來製作輸入閘極電極，製作元件完成後，由圖2-8(b)為1位元全加器電路的結構示意圖，可觀察出元

件分為左右兩區，左區的輸出電壓透過外面黑色線來輸入到右區，從圖中顯示節點上的綠色圓點為主動態，因臨界電壓小於2 V，所以定義為主動態，此決定電路的功能，而A、B、C分別為輸入閘極，S與 $C_{out}$ 為輸出狀態；元件邏輯操作方式是 $V_{DD}$ 電壓源固定輸出3 V，分別輸入六種不同情況，會得出六種輸出狀態，其真值表如圖2-8(c)，從實驗結果得知此元件符合全加器邏輯元件，其輸出符合 $S = A \oplus B \oplus C$ 與 $C_{out} = A \cdot B + A \cdot C + B \cdot C$ ， $\oplus$ 、 $\cdot$ 、 $+$ 符號分別代表邏輯中的XOR、AND、OR，因此利用此結構可以大面積製做積體電路，而且具有邏輯操作的功能。

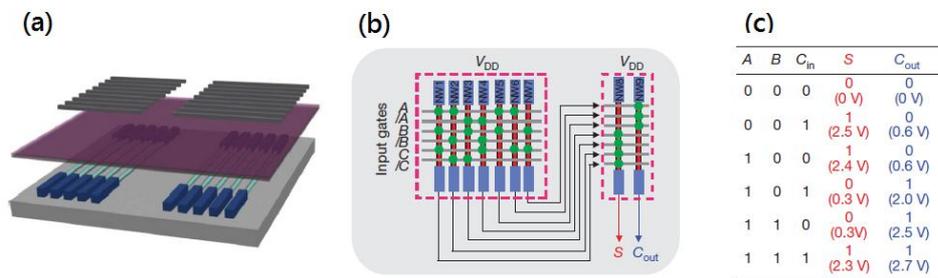


圖2-8 全加器(full adder)功能的邏輯元件(a)元件結構(b)電路設計示意圖(c)真值表 [14]。

再者，在2007年Wei Lu等人描述利用下到上的方式，可將交錯式陣列(crossbar)結合COMS結構，此結構稱為混合式奈米結構[2]，如圖2-9所示，奈米線與COMS之間的介面是由pin分開，圖中有兩種pin，其中高的pin為上方的奈米線電極，低的pin為下方奈米線電極，這些奈米線交叉在COMS上方，在陣列中的每一個奈米線都會連結到1個COMS單元(cell)，在奈米線交叉處可當作開關來存取資料、邏輯電路，或是訊號傳遞的路徑等功用，通常會將最困難的功能，像是反向器、解多工器(demultiplexing)，轉移到COMS層，另一個操作方法是奈米線只有使用在資料傳輸，COMS負責儲存與邏輯運算的功能，然而這個製程方式需要結合不同領域化學、物理、電子與電腦等科技人才，且極具有挑戰性。

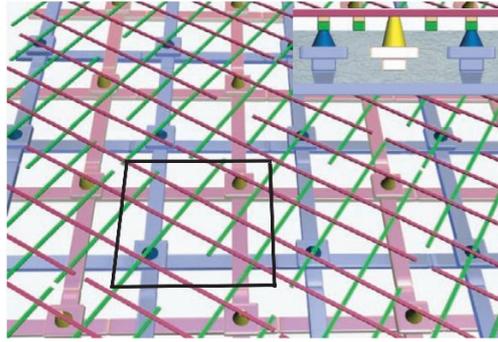


圖2-9 混合交錯式電路(Hybrid crossbar circuit)[2]

由以上幾篇文章的研究，不管是兩條奈米線交叉或是奈米線與COMS間的接面(junction)，這些接面性質都可能會影響到元件電性上的表現，所以我們要進一步探討奈米接面對元件電性的影響。

## 2-4 奈米接面的電子傳輸研究

隨者現代奈米電子元件尺度縮小，在奈米尺度下金屬與奈米材料之間的接點電性是值得探討的，根據半導體理論，金屬與半導體材料間的接觸面積大小與電阻密切有關，奈米線的接面電阻

$$R_c = \frac{\rho_c}{A_c}$$

其中 $A_c$ 為接觸面積， $\rho_c$ 為比電阻率(specific contact resistivity)，由以上公式可知當接面面積愈小時，接面電阻愈大，因此接面電阻主導了奈米線的電性，並可能會與傳統塊材材料之電性有所差異。

在2008年我們實驗室的Yen-Fu Lin學長探討氧化鋅奈米線的奈米接面特性與電子傳輸行為[15]。將奈米線的奈米接面分為三種型態，分別是歐姆接觸、蕭特基接觸，以及半金屬接面的無序或非晶結構，其中歐姆接觸，在零偏壓附近電阻表現出本質奈米線的傳輸特性，與溫度的關係為

$$R = R_0 e^{\frac{E_A}{2kT}}$$

其中 $E_A$ 是活化能常數，另一蕭特基接觸的比接面電阻率與溫度關係為

$$\rho_c = \frac{k}{A^{**}Tq} \exp\left(\frac{q\phi_{BE}}{kT}\right)$$

，而金半間的無序或非晶結構，由於極小面積接觸造成接面電阻增加，在零點電壓附近的電阻與溫度關係是

$$R = R_0 \exp\left[\left(\frac{T_0}{T}\right)^p\right]$$

其中p為2、3或4分別表示為一、二、三維的無序系統，由以上傳輸公式可以了解奈米線元件的基本傳輸特性。

根據實驗得出三種不同型態的電阻大小與I-V曲線變化，如圖2-10(a)，室溫電阻約為15 kΩ，兩端奈米接面為歐姆接觸，由變溫RT分析符合熱活化傳輸，而且電阻主要來自於奈米線本質，而圖2-10(b)，室溫電阻約為50 kΩ，I-V特性顯示出非對稱性的蕭特基接觸，由變溫RT分析符合熱離子放熱理論，並證明理想因子接近1為一個理想的蕭特基接觸，再者圖2-10(c)，室溫電阻約為1.5 MΩ，I-V特性顯示為對稱且非線性曲線，可由背對背蕭特基接觸模型來解釋非線性曲線的半導體NW元件，經由蕭特基理論與VRH理論去分析，發現兩者都符合，推測可能是鈦電極與ZnO NW間產生非晶層或二氧化鈦，因此有不好接面電阻率，所以證明了接面的重要性及奈米接面對元件電性之影響。

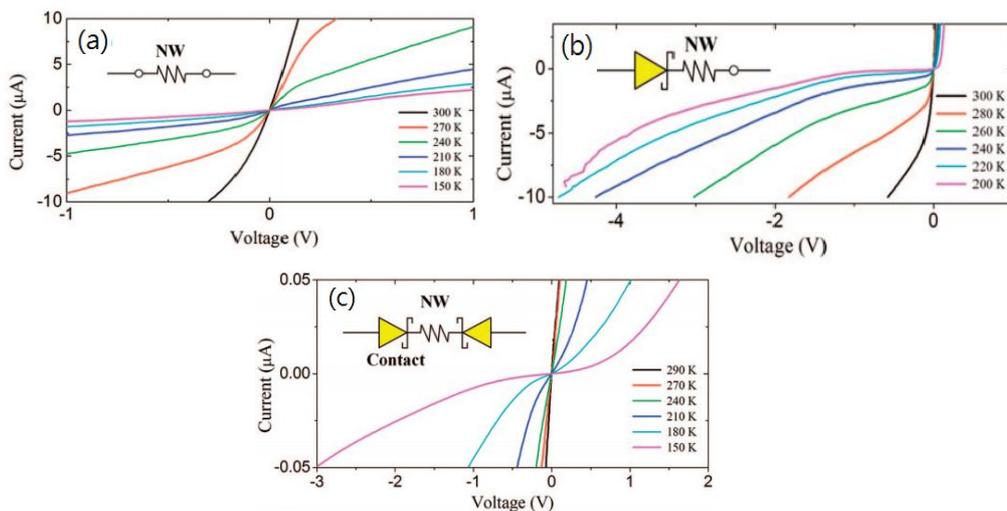


圖2-10 ZnO NW元件的I-V特性，分為三種型態(a)歐姆特性(b)蕭特基特性(c)背對背蕭特基特性[15]。

隔年2009年Francois Leonard等人利用金當作催化劑，在Ge奈米線成長時將金顆粒附著在Ge奈米線上，探索奈米尺度下的接面特性，他們是使用鎢探針來作量測，量得I-V特性具有整流行為，與傳統Au/Ge塊材材料之電性相符，如圖2-11(a)，於是他們又使用不同直徑的奈米線來改變不同金半接面面積大小，如圖2-11(b)所示，發現當奈米線直徑37 nm時之電性不符合傳統蕭特基理論，因此無法由蕭特基效應去解釋，所以他們從載子的傳導機制去推測，去除電子以穿隧與熱離子放射傳輸的可能性，因為直徑愈小，空乏區寬度愈大，載子不可能以穿隧傳導，又因金半接面有很大的位障，也不可能以熱離子放射傳導，所以不是以上兩者的傳輸機制，他們經由理論計算去證明是電子是以電子電洞復合方式來傳導，由本論文說明了奈米接面的面積大小對奈米線之電性影響。[16]

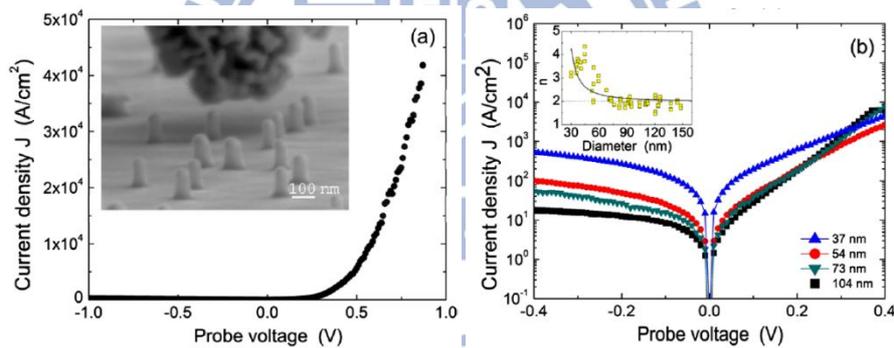


圖2-11 (a)直徑54nm的Ge奈米線之I-V特性(b)不同直徑奈米線的I-V特性，左上圖為在不同順偏下，奈米線直徑與理想因子的關係圖[16]。

## 2-5 研究動機

現今的奈米電子元件技術主要是由上到下的方式開發(Top-down approach)，隨者元件的尺寸微縮到幾十奈米，需要耗費龐大的資金且提高技術上的困難度，於是開啟了由下到上的技術(Bottom-up approach)，可高密度生產且大幅地降低生產成本，所以實驗的研究方向是利用氧化鋅錫奈米線與金奈米線上下交疊的方式，來製作出交叉奈米線元件，並利用金奈米線來當作上閘極電極，而不是用光微影方式來製作，來突破傳統的製程瓶頸。又因交叉奈米線之接觸面積小，接面電阻會影響整個元件的電性，因此需先瞭解元件的基本電性，探索氧化鋅錫奈米線與蕭特基接觸在電性上的差別，再者研究上閘極和背閘極對氧化鋅錫奈米線的電性反應，最後利用同時調變上閘極與背閘極的電壓特性，量測元件之電性變化，將元件開發成具有開關特性的邏輯元件，有助於未來多條奈米線上下排列的奈米電子元件發展。



## 2-6 氧化鋅錫材料的結構與應用

本實驗是使用氧化鋅錫奈米線與金奈米線來製作交叉奈米線元件，所以本章介紹氧化鋅錫材料的結構與應用，以下分為兩個部分(a)與(b)來介紹。

### (a) 氧化鋅錫材料的結構

氧化鋅錫的化學分子式為 $Zn_2SnO_4$ ，簡稱ZTO，在半導體材料中大都是元素或二元(Binary)半導體，氧化鋅錫是屬於三元化合物半導體(Ternary Compound Semiconductor)，因改變化學成份比例的方式，可控制材料的電學、光學與物理特性等，所以在光電產業上有所應用，也成為材料被研究之目的。

氧化鋅錫奈米線的外觀顏色為白色，形狀為細長型彎曲，室溫下能隙約為3.6 eV，因有很寬的能隙( $> 3 eV$ )，所以被應用在紫外光之光電元件上，而該結構為倒置尖晶石結構(inverse spinel structure)，主要是由 $ZnO_4$ 的四面體和 $ZnO_6$ 或 $SnO_6$ 的八面體交錯所組成的，如圖4-1所示，其中 $ZnO_4$ 的四面體是以Zn原子為中心鄰近有4個O原子，也相等於Zn和Sn原子為中心鄰近有6個O原子。

目前有許多的研究中[21~24]發現氧化鋅錫材料具有良好的電晶體特性、高電子移動率( $\sim 16 \text{ cm}^2/\text{V}\cdot\text{s}$ )，以及高透光性等特性，同時氧化鋅錫成本低廉、無毒與化學穩定性等優點，是個有發展潛力的材料，未來可能廣泛應用於透明導電薄膜(TCO)、平面顯示器、光電元件、太陽能電池與氣體偵測器等，而且氧化鋅錫比氧化鋅材料的研究相對比較少，更值得我們仔細探索。

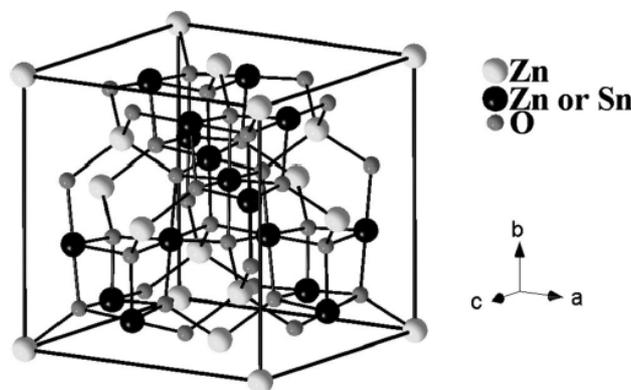


圖2-12 氧化鋅錫的結構示意圖[21]

## (b) 應用

在2010年Yanjun Zhang等人發表的論文中表示，氧化鋅錫奈米線具有很好的光導電特性，他們將氧化鋅錫奈米線元件進行兩點光電流量測，紫外光(254 nm, 0.7 mW)當作照射光源，實驗結果顯示元件對照射紫外線有敏銳反應，當無照光時，導電率很低，此狀態為關，然而當照光時，導電率立即增加好幾倍，此狀態為開，藉由控制紫外光的開關，元件特性也會隨著開關轉變，同時證明元件具有可逆性與很快的轉換速度，接者他們將元件放置於大氣中，在不同時間進行量測，發現光電流強度只有輕微遞減，開關電流比依然很高，表示元件暴露於大氣中仍具有很好的穩定性，代表未來有機會應用於紫外光偵測器或是開關元件。

為何氧化鋅錫奈米線的導電率提高呢？他們進一步推論紫外光能量為4.88 eV大於氧化鋅錫奈米線的能隙(3.6 eV)，當照光時，電子就會從價電帶激發到導電帶，導致載子濃度增加，進而提高導電率，而關掉光源時，載子很快就被復合，導電率就下降[19]。

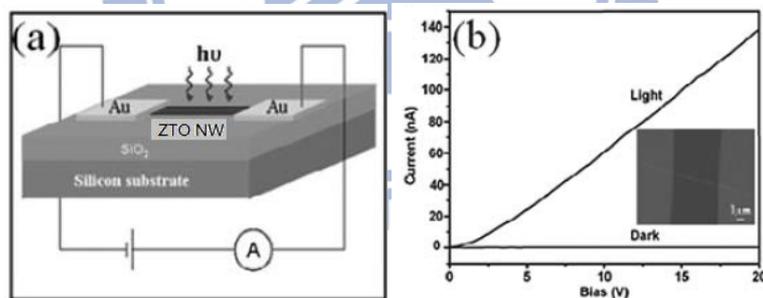


圖2-13 (a)ZTO NW元件之示意圖(b)照光與無照光之I-V特性[25]

## 第三章 原理

本章節介紹實驗結果分析所需的理論，分別是變程跳躍傳輸、蕭特基接觸，與電晶體基本特性，我們將對交叉奈米線元件中的本質氧化鋅錫奈米線與蕭特基接觸之電性，以及閘極效應做討論。

### 3-1 變程跳躍傳輸 (Variable Range Hopping, VRH)

為了判斷奈米線的電子傳輸行為，所以我們要對變程跳躍傳輸有更深入的了解其中的物理。

在無序的半導體中，低溫時電子的傳輸行為不是在缺陷態中以最近距離來傳輸，而是跳躍方式來傳輸，與溫度有關，若溫度愈低時，電子會以最低活化能與最長跳躍距離的方式來作傳輸，這種描述低溫下的電子傳輸行為，稱之為Mott變程跳躍傳輸，由這理論，可深入了解半導體奈米線的電子傳輸過程。[17]

傳輸過程中，電子會遇到缺陷或雜質而散射，因電子具有波的行為，電子波函數會隨著距離增加而指數遞減，這時電子會被侷限於一區域範圍，稱為侷域態，此波函數被侷限長度稱為侷域長度(localization length)。

如圖3-1，考慮兩個電子分別處於不同侷域態，一電子位置在 $\bar{R}_1$ 與能量為 $\varepsilon_1$ ，另一電子位置在 $\bar{R}_2$ 與能量為 $\varepsilon_2$ ，兩者距離差為 $R = |\bar{R}_1 - \bar{R}_2|$ ，假定侷域長度固定，當兩個電子波函數重疊時，電子從原本的侷域態穿隧到另一個侷域態的機率為 $e^{-\frac{2R}{\zeta}}$ ，而兩侷域態跳躍能量差為 $\Delta\varepsilon = \varepsilon_2 - \varepsilon_1$ ，當 $\Delta\varepsilon \gg k_B T$ 時，穿隧機率為 $e^{-\frac{\Delta\varepsilon}{k_B T}}$ ，因此同時考慮侷域態跳躍距離與能量，總跳躍機率[18]

$$p \propto e^{-\left(\frac{2R}{\zeta} + \frac{\Delta\varepsilon}{k_B T}\right)} \quad (\text{式3.1})$$

，我們假設一個侷域態的態密度為定值，可將兩侷域態能量差寫成

$$\Delta\varepsilon \sim \frac{1}{g(\varepsilon)R^d} \quad (\text{式3.2})$$

其中d表示不同維度的無序系統， $g(\varepsilon)$ 為能態密度，再將(式3.2)代入(式3.1)可估算出最大的跳躍距離

$$R_0 \sim \left[ \frac{\zeta}{g(\varepsilon)k_B T} \right]^{\frac{1}{d+1}} \quad (\text{式3.3})$$

其中 $k_B$ 為波茲曼常數， $\zeta$ 為侷域長度， $R_0$ 是與溫度相關的函數。根據以上(式3.2)與(式3.3)，我們可觀察出當兩者侷域態間的距離 $R$ 愈遠時，該能量差 $\Delta\varepsilon$ 愈小，表示在低溫時，電子可能會選擇能量差小且距離遠的路徑來跳躍，此為變程跳躍傳輸。

再根據Mott 理論，在無序系統中的導電公式與溫度相關，表示式為

$$\sigma = \sigma_0 \exp\left(-\frac{T_0}{T}\right)^S \quad [17] \quad (\text{式3.4})$$

將 $S$ 定義為 $\frac{1}{1+d}$ ，其中 $T_0$ 為特徵溫度(characteristic temperature)， $\sigma_0$ 與 $S$ 為常數，由(式3.4)中的指數 $S$ 主導不同維度的傳導機制，當 $S=1/4$ 、 $1/3$ 、 $1/2$ 代表為3維、2維與1維的變程跳躍傳輸，從文獻中可知三維的平均跳躍距離為

$$R = \frac{3}{8} \left(\frac{T_0}{T}\right)^{\frac{1}{4}} \zeta \quad (\text{式3.5})$$

以及平均跳躍能量為

$$\bar{E} = \frac{1}{4} k_B T \left(\frac{T_0}{T}\right)^{\frac{1}{4}} \quad [19] \quad (\text{式3.6})$$

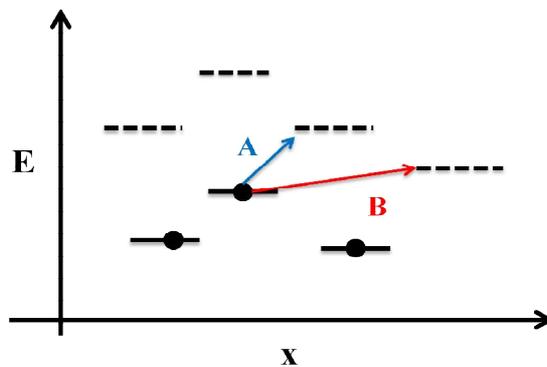


圖3-1 電子有A與B兩種跳躍傳輸路徑之示意圖

## 3-2 蕭特基接觸(Schottky contact)

由於我們所製成的交叉奈米線元件是由半導體奈米線與金奈米線所交疊而成的，在交疊面會形成奈米蕭特基接面，所以要了解蕭特基接觸的原理以及熱離子放射理論。

當金屬與半導體接觸時，因為金屬的功函數與半導體的電子親和力不同，所以在兩者的介面上形成一蕭特基位障，其位障高度為

$$\phi_{B0} = \phi_m - \chi \quad (\text{式3.7})$$

其中  $\phi_m$  是金屬的功函數， $\chi$  是半導體的電子親和力(electron affinity)。

以下分別解釋蕭特基效應與熱離子放射理論：

### (a) 蕭特基效應

我們先考慮蕭特基效應的情形，當施加不同電壓時，金屬表面的正電荷會與電子間產生一影像力(image force)作用，位障高度會被改變，該位障降低量為

$$\Delta\phi = \sqrt{\frac{qE}{4\pi\epsilon_s}} \quad (\text{式3.8})$$

$$\text{其中 } E = \sqrt{\frac{2qN_D}{\epsilon_s} \left( V + \phi_{bi} - \frac{k_B T}{q} \right)}$$

$E$  是在接面上的最大電場， $\epsilon_s$  與  $N_D$  分別是介電常數與摻雜濃度，和  $\phi_{bi}$  是內建電位。

因此受到不同電壓後，最後有效位障高度為

$$\phi_{Bn} = \phi_{B0} - \Delta\phi \quad (\text{式3.9})$$

，其中  $\phi_{B0}$  是不受影像力影響的理想位障高度，以上公式(式3.8)顯示有效位障與外加電壓有密切關係，若施加順向偏壓( $V > 0$ )，因電場與影像力較小，該有效位障高

度就會略大於理想位障高度，反之，若加逆偏( $V < 0$ )時，有效位障高度就會略小於理想位障高度。

### (b) 熱離子放射理論

接者我們試者探討金半接觸的電流傳輸機制，金半界面主要是以多數載子傳輸，與pn界面不同，該是以少數載子傳輸，傳輸機制主要有三種不同傳輸，分別有熱離子放射、穿隧、電子電洞復合，其中熱離子放射是因為沒有很高的位障，所以金屬中的電子只要吸收熱能就能跨越位障，而當位障寬度愈窄時，電子就可能會穿越位障，是以穿隧方式來傳輸，則電子電洞復合是電子與電洞會同時注入在空乏區內結合或是透過缺陷來復合，此為另一種傳輸方式。

金半界面的基本電流傳輸是金屬中的電子會吸收熱能，從半導體區跨越過位障到金屬區，此為熱離子放射，由圖3.2顯示外加順向偏壓 $V_a$ 電流密度為

$$\begin{aligned} J_{s \rightarrow m} &= \left( \frac{4\pi q m^* k^2}{h^2} \right) T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \exp\left(\frac{qV_a}{kT}\right) \\ &= A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \exp\left(\frac{qV_a}{kT}\right) \end{aligned} \quad (\text{式3.10})$$

其中電流 $J_{s \rightarrow m}$ 是電子從半導體流進金屬的電流密度， $A^* = \frac{4\pi q m^* k^2}{h^3}$ 為有效李查遜常數(effective Richardson constant)，而電子從金屬到半導體的電流密度

$$J_{m \rightarrow s} = -A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \quad (\text{式3.11})$$

將(式3.9)與(式3.10)相減，在金屬對半導體中的淨電流密度可寫成

$$\begin{aligned} J_n &= [A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right)] [\exp\left(\frac{qV_a}{kT}\right) - 1] \\ &= J_{ST} [\exp\left(\frac{qV_a}{kT}\right) - 1] \end{aligned} \quad (\text{式3.12})$$

其中 $J_{ST} \equiv A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right)$ 為逆向飽和電流密度(reverse-saturation current density)，

換算一下得出逆向飽和電流為

$$I = AA^*T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \quad (式3.13)$$

其中A為接觸面積。

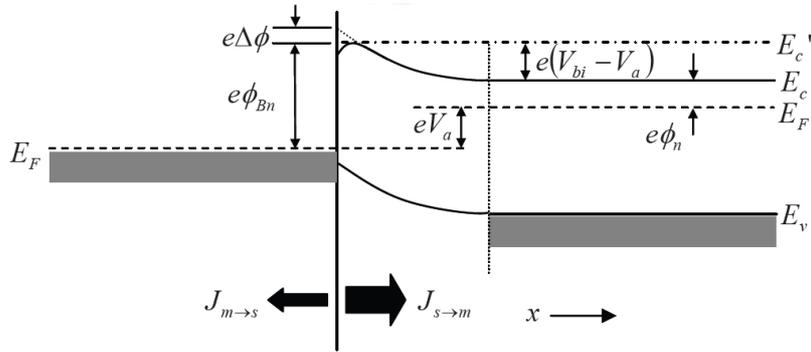


圖3-2 在施加順向偏壓下的金屬與n型半導體的能階圖[20]

由以上兩者理論，同時考慮蕭特基效應與熱離子放射理論，可將逆向飽和電流改寫為

$$I = AA^* \exp\left(-\frac{q\phi_{B0}}{kT}\right) \exp\left(\frac{q}{kT} \sqrt{\frac{qE}{4\pi\epsilon_s}}\right) \quad (式3.14)$$

$$\text{其中 } E = \sqrt{\frac{2qN_D}{\epsilon_s} \left(V + \phi_{bi} - \frac{k_B T}{q}\right)}$$

由(式3.14)我們可由此公式來擬合出理想位障高度與施體摻雜濃度。

### 3-3 電晶體基本特性

是否可發展具有功能性的元件，我們需了解傳統電晶體特性，來判斷我們製作出的元件是否有很大的閘極效應，以及有良好的電晶體特性。

金半場效電晶體MOSFET分為四種結構，分別是n型通道增強模式與空乏模式，以及p型通道增強模式與空乏模式，則n型通道是由電子形成，電導值會隨者閘極正電壓增大而增加，反之，p型通道是由電洞形成，電導值會隨者閘極負電壓增大而增加，而所謂的增強模式是在未加閘極電壓時，此半導體未出現反轉層，若加一

正閘極電壓時，半導體中會出現電子反轉層，但空乏模式是在未加閘極電壓時已有 n 或 p 通道存在，所以 MOSFET 操作方式主要是利用閘極電壓來調變導電通道，由通道電導來決定汲極電流大小。

接下來探討 MOSFET 的電流-電壓關係，當  $I_{DS}$  很小時，在未飽和區的 I-V 關係式寫成為

$$I_D = \frac{W\mu_n C_{ox}}{L} (V_{GS} - V_T) V_{DS} \quad (\text{式3.15})$$

由上公式可決定實驗結果之移動率與臨界電壓，而在飽和區的 I-V 關係式為

$$\sqrt{I_D(sat)} = \sqrt{\frac{W\mu_n C_{ox}}{2L} (V_{GS} - V_T)} \quad (\text{式3.16})$$

，為了判斷是否具有良好的電晶體特性，可由以下參數來作依據：

(1) 臨界電壓(Threshold voltage)：當閘極電壓持續增加時，使元件開始導通的最小電壓，若臨界電壓愈小時，顯示元件具有很低的操作電壓，同時代表元件具有低功率操作的電晶體。

(2) 次臨界擺幅(Subthreshold swing)：此為電晶體的主要參數，可以了解電晶體的關閉時的特性，將 S 定義為

$$S \equiv (\ln 10) \frac{dV_G}{d(\ln I_{DS})} \quad (\text{式3.17})$$

在室溫時 S 的理論最小值約 60mV/dec，若 S 值愈小，表示元件具有很低功率操作的電晶體。

(3) 轉換電導(Transconductance)：定義汲極電流改變量與閘極電壓改變量的比值

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (\text{式3.18})$$

也稱為電晶體增益(transistor gain)，若  $g_m$  愈大時，表示微小輸入電壓變化，會造成很大的輸出電流變化，此為放大器的重要參數。

(4) 開關電流比：來判斷元件是否具有良好的開關特性，定義為

$$\text{on/off ratio} = \frac{I_{DS,on}}{I_{DS,off}} \quad (\text{式3.19})$$

(5) 移動率(Mobility)：是半導體中的重要參數，它描述電子受到電場作用時移動的程度，若電子移動率愈大，表示元件具有高速操作的電晶體特性。傳統的平面式電晶體由(式3.15)的I-V特性，即可求得移動率，但利用奈米線來製作電晶體，其奈米線和基板之間的電容大小與傳統的平面式電晶體不同，需使用到圓柱-平板的電容模式[Cylinder-on-plate(COP)capacitance model]來計算電容值，I-V曲線在線性區域中，電容值為

$$C_i = \frac{2\pi\epsilon_0 k_{eff} L}{\cosh^{-1}\left(1 + \frac{t_{ox}}{r}\right)} \quad (\text{式3.20})$$

則移動率為

$$\mu = \frac{dI_{DS}}{dV_{GS}} \times \frac{L^2}{C_i} \times \frac{1}{V_{DS}} \quad (\text{式3.21})$$

其中 $k_{eff}$ 為介電層的有效介電常數， $L$ 為奈米線長度， $r$ 為奈米線的寬度， $t_{ox}$ 為閘極氧化層的厚度。

## 第四章 實驗

本實驗在4-1節介紹在實驗過程中所需的儀器，然後在4-2節說明我們製作的元件結構，先有初步的了解，再敘述元件的製程與量測方式。

### 4-1 儀器介紹

#### 4-1-1 高溫加熱爐系統 (Annealing Furnace System)

使用高溫加熱爐目的是我們可進行對樣品或是電極做高溫熱退火的製程方式，實驗上之用途可增加氧化鋅錫奈米線的氧空缺以及奈米線與電極間的接觸更好，藉此提高導電效果。

高溫加熱爐的加熱原理是將石棉中的線圈通入電流，以加熱線圈，且石棉具有溫度均勻性的功能，能穩定地控制溫度。

操作高溫加熱爐系統的方式，會先將要加熱的樣品放置在石英載台上，再將其置入石英管內，然後使石英管連通真空系統，因此樣品在高真空環境下加熱，然而真空系統是採用機械幫浦(Mechanical Pump)與渦輪幫浦(Turbo Pump)，先用機械幫浦粗抽(約 $10^{-2}$  托)，再使用渦輪幫浦抽至高真空(約 $10^{-5}$  托)，加熱前，須先確認樣品置於石棉中的加熱點上，以及在加熱爐上的控制面板設定升降溫速率、加熱溫度與時間。

#### 4-1-2 掃描式電子顯微鏡 (Scanning Electron Microscope, SEM)

為了清楚觀察氧化鋅錫奈米線與金奈米線交疊的情形與位置，因此使用掃描式電子顯微鏡來觀察，其比光學顯微鏡具有更高的放大倍率與解析度，是因為光波長的限制，無法得到高放大倍率，而電子具有物質波動性，電子波長與加速電壓有關，當加速電壓愈大，電子波長愈小，所以可得到高放大倍率與解析度，廣泛適用於奈米檢測技術上。

掃描式電子顯微鏡的原理是由電子槍產生電子束，經電磁透鏡聚焦後，照射在

試片表面，電子束與試片作用後，而產生二次電子、背向散射電子與歐傑電子等訊號，再經由二次電子檢測器收集二次電子，以及訊號處理放大後，即可得到試片的表面形貌。

拍攝影像主要是使用冷場發射掃描式電子顯微鏡，因高電場作用下，電子脫離針狀金屬表面而發射出高密度的電子束，其電子束徑小且亮度高，因而有較佳的解析能力，我們使用的機台是JSM-6700。

#### 4-1-3 電子束微影技術 (Electron-Beam Lithography,EBL)

為了製作奈米線兩端的電極，因此需使用到微影技術，微影就是將設計好的圖案轉印到基板上的光阻，再經由顯影的過程中，移除電子束(光)曝寫過的光阻區域，可觀察出所設計的圖案。微影技術分為光微影與電子束微影，一般半導體產業需要大量製造，所以使用光微影技術，以光為曝光源，而本實驗室採用電子束微影，以電子為曝光源，具有較高解析度，但缺點是不適合大量製作。

電子束微影是使用熱游離掃描式電子顯微鏡(Hitach S-3000H)，是利用加熱燈絲的方式發射電子束，其解析度比場發射的差，所以適合電子束微影。而實驗方式是用Designcad軟體來設計圖案，再搭配NPGS軟體以及屏蔽檔板(Beam Blanker)，將圖案曝寫光阻上，經顯影後，即完成微影步驟，另外，因奈米線的線長限制，能將設計圖案精準寫入到正確的位置上是極為重要的一個環節。

#### 4-1-4 熱蒸鍍系統 (Thermal Evaporation)

本實驗我們使用熱蒸鍍機來沉積鈦/金薄膜，以製作鈦/金電極連線之用途，而熱蒸鍍是物理氣相沉積(PVD)中的一種方式。藉著大電流通過鎢舟，利用電阻生熱方式加熱鎢舟，使得欲鍍材料融化，然後欲鍍材料開始轉變為氣態，當氣體分子接觸到溫度較低的試片，就會凝結在試片上形成一層薄膜。在沉積金屬薄膜的過程中，避免欲鍍材料在高溫下與氧或水氣反應，所以需要在一個高真空環境下鍍膜，本實驗室採用機械幫浦(Mechanical Pump)與擴散幫浦(Diffusion Pump)進行抽真空，先

使用機械幫浦粗抽腔體壓力至約 $1 \times 10^{-2}$ 托以下，再使用擴散幫浦細抽腔體壓力至約 $3 \times 10^{-6}$ 托以下，而擴散幫浦需要添加液態氦，才能使腔體達到高真空的環境。

#### 4-1-5 探針系統 (Probe system)

本實驗採用探針系統來量測樣品的電性，其系統除了在室溫量測外也可在低溫下量測，室溫量測方面，搭配光學顯微鏡與螢幕，能夠精確控制探針位置，同時能在真空環境下進行操作，另外在低溫量測方面，可利用液氮(77 K)或液氦(4.2 K)來進行降溫，本儀器操作的溫度範圍為4.2 K至475 K，此系統主要是靠溫控器(LakeShore 336)內部加熱器與液氮(或液氦)的流量之間的抗衡來穩定控制溫度，而通入腔體的液氮(或液氦)流量是透過傳輸線(Transfer Line)上的腳閥(Foot Valve)開關或是氮氣(或氦氣)的流量大小來控制，等待溫度穩定後，並且針與接觸電極間達熱平衡，方可量測。



## 4-2 實驗步驟

### 4-2-1 交叉奈米線元件結構

以氧化鋅錫奈米線來作為導電通道，上方交疊金奈米線作為上閘極，而在氧化鋅錫奈米線兩端與金線一端鍍上鈦/金電極，作為金屬連線用途，其中氧化鋅錫奈米線兩端電極分別為汲極與源極，當施加電壓於汲極( $V_{DS}$ )，電子會從源極流到汲極，則另一端金線與氧化鋅錫奈米交疊面會形成奈米蕭特基接面(Nano-Schottky diode)，元件上半部分結構會形成奈米線金半場效電晶體(NW MESFET)，而下半部分是由矽與二氧化矽作為基板，基板底部作為背閘極，形成奈米線金氧半場效電晶體(NW MOSFET)結構。

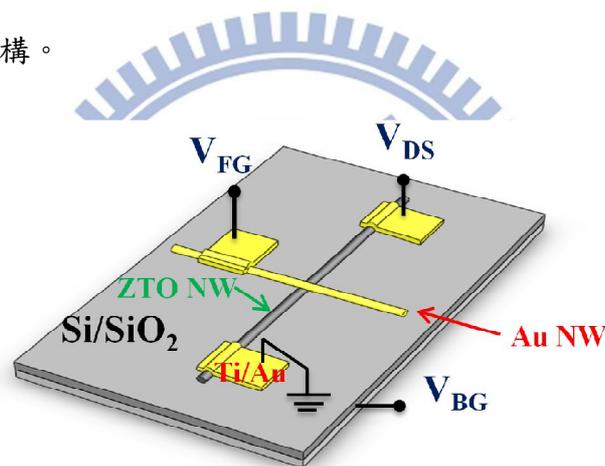


圖4-1 交叉奈米線元件結構示意圖

### 4-2-2 交叉奈米線元件製程與量測

本實驗使用邊長為6.5 cm的正方形基板，其結構分別是矽和300 nm的氧化矽所組成的，還有我們利用光微影技術設計出電極圖形，並製作出鈦/金電極，作為與探針量測所需之外接電極。

製程方法與量測依序為清洗基板、壓印氧化鋅錫奈米線、高溫退火、滴金奈米線、SEM定位、塗佈光阻、電子束微影、顯影、鍍膜、舉離、探針系統量測，如下為每個步驟逐一詳細說明，交叉奈米線元件製程流程圖如圖4-2。

### (1) 清洗基板

因為基板表面存有雜質，在壓印奈米線時，可能會污染到原材料，也會影響到元件的製作，所以需先進行清洗基板，清洗步驟依序使用丙酮、乙醇和去離子水，將基板放入超音波震盪器分別震洗五分鐘以上，清洗完後使用氮氣槍吹乾，並用光學顯微鏡觀察基板以清洗乾淨。

### (2) 壓印氧化鋅錫奈米線

將清洗完成的基板翻轉至充滿氧化鋅錫奈米線的基板上，使用鎢鋼筆在基板背面施力，因此氧化鋅錫奈米線會隨機分布在基板上。

### (3) 高溫退火

將樣品放入石英爐管中，真空度抽至 $5 \times 10^{-5}$ 以下，並設定所需溫度與時間，方可開始加熱。

### (4) 滴金奈米線溶液

將金奈米線溶液隔水放入超音波震盪器震10分鐘，使得金線均勻分布在溶液中，再用滴管將金線溶液滴在灑滿氧化鋅錫奈米線的基板上，等待金線溶液快乾後，浸泡在去離子水中以將溶劑去除，然後用氮氣槍吹乾。

### (5) SEM 定位

為了確定氧化鋅錫與金奈米線交疊的位置，以便設計微影用的圖案，因此使用場發射掃描式電子顯微鏡(JSM-6700)進行倍率1700倍的拍攝，再藉由影像圖片，來設計所需電極圖案。

### (6) 塗佈光阻

本實驗使用正光阻(PMMA A5)，利用旋轉塗佈機(Spin Coater)，使得樣品上滴灑的光阻塗佈均勻，轉速與時間分別是先每秒1500轉15秒後，再繼續以每秒5500轉35秒，為了將光阻中的溶劑蒸發，凝結成固體薄膜，以增強光阻對基板的附著力，所以再把樣品放在加熱器上，軟烤180度1分鐘。

### (7) 電子束微影

將設計好的圖案轉移到基板上，是採用熱燈絲掃描式電子顯微鏡(Hitach S-3000H)。先開啟燈絲電流，將法拉第杯的放大倍率調至最大倍率，慢慢提高燈絲電流至飽和電流，然後調整焦距、像差和物鏡孔徑位置，使得影像畫面達到最清晰。要開始曝寫前，需先屏蔽檔板(Beam Blanker)，同時配合NPGS軟體，即可曝寫，此時正光阻會被電子束轟擊，使得光阻與基板間的分鍵結斷裂。

### (8) 顯影

光阻經曝寫完後，浸泡至顯影液中(甲基異丁酮MIBK:異丙醇IPA=1:3)，時間約為30秒，再用IPA沖洗基板，去除殘留顯影液，最後再用氮氣槍吹乾，即顯影完成，此時曝寫區域的分鍵結都溶於顯影液中，且在光學顯微鏡下觀察可顯現出電極圖案，另外在進行顯影時，必須精準控制顯影液的濃度、溫度，以及顯影時間，否則顯影出的圖案會過顯，造成圖案變形，進而影響鍍膜。

### (9) 鍍膜

本實驗使用熱蒸鍍機沉積20 nm鈦和100 nm金薄膜。操作方法分前段與後段步驟，前段步驟，蒸鍍前先清潔腔體，使腔體更為潔淨，有助於幫浦抽氣速率，接著將鵝舟夾置銅柱兩側上，分別放上鈦與金錠，再蓋上檔板，以擋住高溫熔化的銅蒸氣，然後將欲鍍基板放進腔體內，再將石英震盪器至於欲鍍源的正上方45度以偵測膜厚，最後檢查銅柱與檔板間是否導通，造成短路，再蓋上腔體，並檢查傳輸電流之電極是否與腔體導通。後段步驟，先使用機械幫浦將腔體真空度抽至 $3 \times 10^{-2}$ 托以下，再用擴散幫浦將腔體抽至 $10^{-6}$ 托以下，使用擴散幫浦抽氣前，需先熱油30分鐘，熱油完後每30分鐘要加液態氮，以達高真空度；在準備鍍膜前，膜厚計需設定欲鍍物的密度與電阻率，之後開始慢慢升高電流來加熱鵝舟，融化欲鍍源，當鍍率穩定後，開始沉積欲鍍源至基板上，同時石英震盪器也會開始偵測膜厚，到達所需膜厚，即完成鍍膜製程。

#### (10) 舉離

將蒸鍍完成的樣品放進丙酮浸泡，丙酮會慢慢溶解光阻，使得光阻上的鈦/金薄膜會脫離試片表面，留下沒有光阻的鈦/金薄膜電極，即完成鈦/金電極的製作。

#### (11) 探針系統量測

探針系統分為室溫與低溫量測，以下分為(a)、(b)部分詳細的介紹：

##### (a) 室溫量測

將製作完成的樣品放進探針系統的腔體內，使用機械幫浦粗抽腔體，在真空環境下進行量測，先將探針移動到要量測樣品的正上方3~4 mm，以免探針刮壞樣品表面，同時用光學顯微鏡和螢幕來觀察探針與樣品的位置，藉由調整焦距來判斷探針與樣品間的距離，再移動探針的z軸慢慢靠近量測樣品之電極，直到探針與電極的焦距一樣，探針會在電極上輕微滑動，表示探針已接觸到電極。接者使用6430與6517電表進行量測，6430電表是採用送電壓量電流的方式，而6517電表則是只送電壓的方式來當作閘極電壓的電壓源。

##### (b) 低溫量測

依序使用機械幫浦與渦輪幫浦將腔體抽至 $10^{-4}$ 托以下，此時探針距離量測樣品的正上方3~4 mm，然後將杜爾瓶(Dewar)裝滿液態氮，利用氮氣施壓於杜爾瓶內的液態氮，使得液態氮從傳輸管(Transfer Line)噴出，同時傳輸管上的腳閥(Foot Valve)開2圈，再將傳輸管的前端(Target-side leg)插進腔體，打開溫控器(LakeShore 336)，設定樣品溫度與加熱器等參數，藉由液態氮噴出的量與加熱器之間的抗衡，進而達到溫控效果，等待溫度穩定時，即可下針至量測樣品之電極，等待針與接觸電極達熱平衡，才可開始量測，量測溫度從300 K降至80 K，而量測方式如同室溫量測。

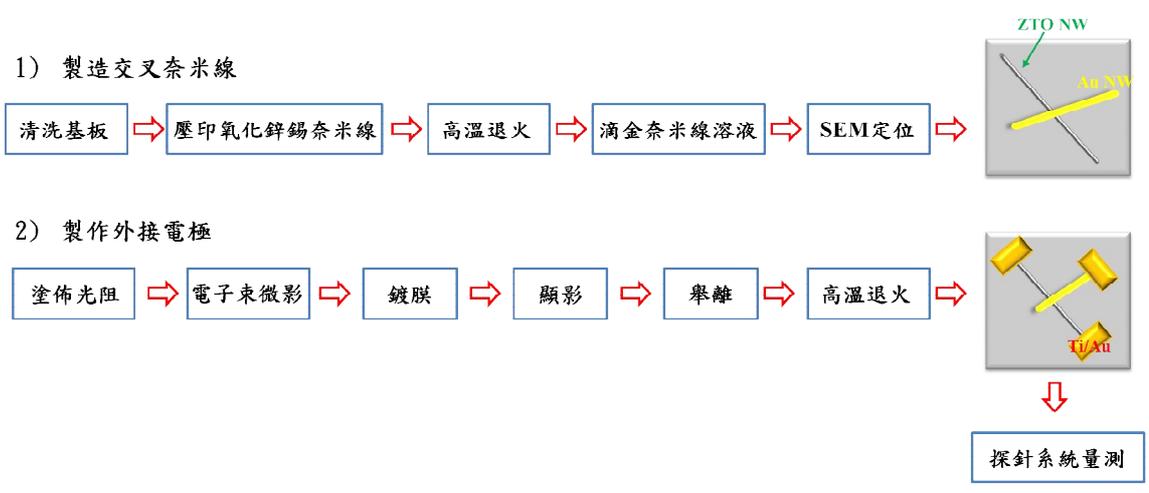
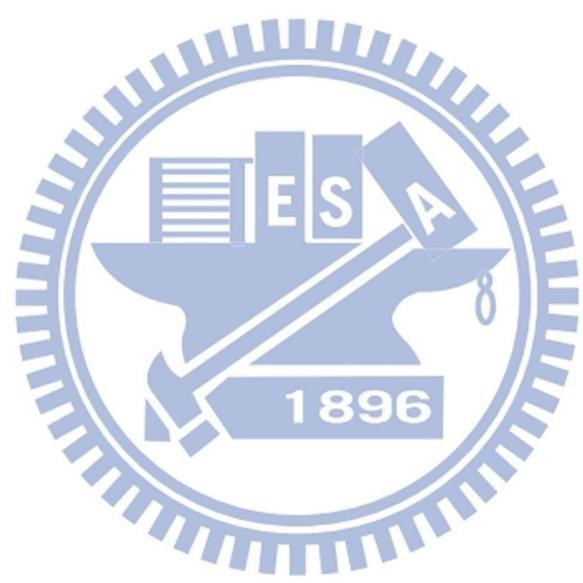


圖4-2 交叉奈米線元件製程流程示意圖



## 第五章 結果與討論

本實驗我們製作氧化鋅錫奈米線與金線交疊的元件，將元件簡稱為交叉奈米線元件，首先，我們會先探討元件中氧化鋅錫奈米線與蕭特基接觸在電性上的差別，並比較兩者不同，再著由變溫的電流-電壓關係圖，分別使用變程跳躍傳輸與熱離子放射理論去分析，探討兩者不同的傳輸機制。

接下來分別探討上閘極(top gate)與背閘極(back gate)電壓對交叉奈米線元件電性的影響，用電晶體特性參數去分析，比較兩者的電晶體特性，以及同時調變不同上閘極與背閘極電壓大小，觀察元件電性變化，判斷是否符合邏輯特性，未來期望可將元件應用在邏輯電路中。

### 5-1 金奈米線的電性量測

本實驗使用金奈米線(金線)來作為元件之上閘極電極，量測元件中之蕭特基接觸電性，除了考慮接面電阻，還要考慮奈米線本身的電阻，因此我們先量測金線之電性，探討金線的電阻。

探討元件的電性前，我們先觀測單根金線的電性，此金線退火參數為500度持續10分鐘，如圖5-1(a)，可知金線電阻約為371歐姆，實驗上也有量測沒退火的金線電性，其電阻約幾百歐姆，因金線電阻遠比奈米線電阻(約 $> 10^6 \Omega$ )小，在分析元件電性時，能不考慮金線電阻，另外，如圖5-1(b)為金線交疊的電性量測，因沒退火的電阻較大(約 $10^6 \Omega$ )，所以同樣退火溫度與時間，得知電阻約為7千歐姆，可知退火能降低接點電阻，並判斷大電阻是由金線與金線間的接點電阻造成。

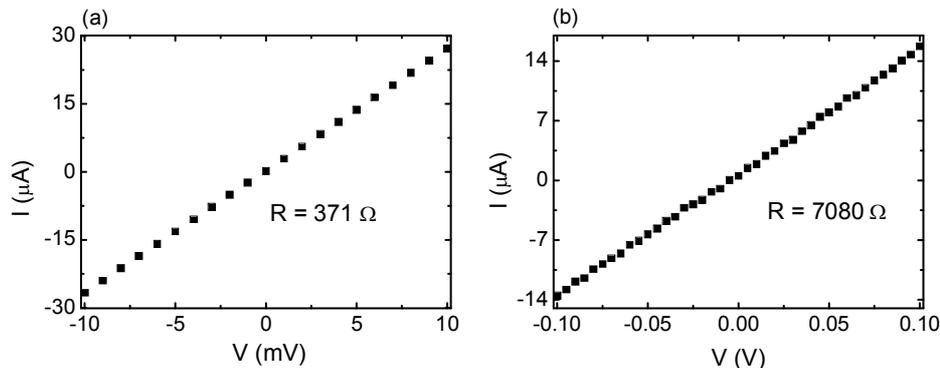


圖5-1 (a)金奈米線的電流-電壓圖；(b)金奈米線交疊的電流-電壓圖

## 5-2 交叉奈米線元件觀察

藉由SEM影像來判別氧化鋅錫奈米線與金線外觀的差異，以及觀察兩條奈米線交疊的情形，同時也能觀察不同電極大小接觸氧化鋅錫奈米線的情形。

為了製作兩線相交元件，必須先從線的外觀看出兩線的差異，大部分氧化鋅錫奈米線的線徑約為30~100 nm，金線的線徑約為100 nm左右，從圖5-2(a)中可明顯看出兩線的差別，除了線徑不同，一為兩線亮度不一樣，氧化鋅錫奈米線外觀顏色比較暗，則金線很亮，二為金線端點形狀比氧化鋅錫奈米線端更為圓弧，所以我們利用以上三個特徵來判斷不同奈米線相交的情形。

如圖5-2(b)是元件完成後之SEM圖，圖中可看到兩條線相交，以及在氧化鋅錫奈米線與金線上鍍上鈦/金電極(約20/100 nm)的情形，然而我們當初在元件設計上理念，除了以金線作為電極，量測奈米蕭特基接面的電性，還可以量測氧化鋅錫奈米線本質電性，並加以比較，同時也可以量測不同線段的電性，加以驗證。

另外，從圖5-2(b)中觀察不同電極大小接觸氧化鋅錫奈米線的情形，金線是從氧化鋅錫奈米線上方接觸，其接觸面積大小不一定，約為一百奈米乘幾十奈米的尺度，所以元件的電性變化主要是由金線所主導，另一蒸鍍沉積在奈米線上的鈦/金電極，其有大面積接觸氧化鋅錫奈米線，接觸面積約為幾微米乘幾十奈米的尺度，然而奈米線之電性的改變也可能會因不同金屬接觸而造成的。

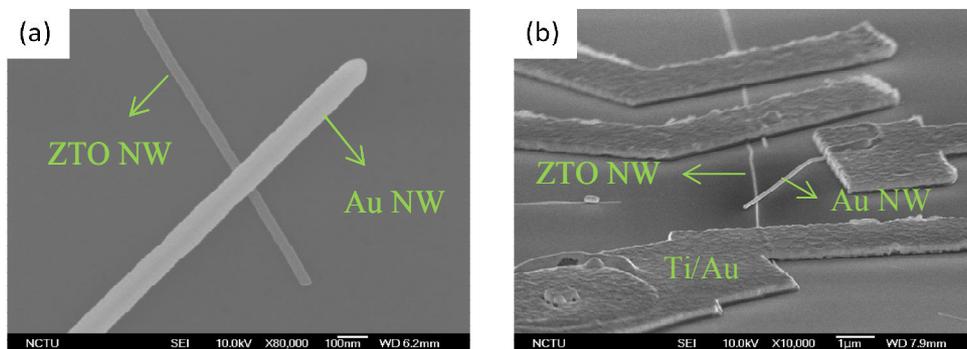


圖5-2 (a)氧化鋅錫奈米線與金奈米線的SEM形貌；(b)傾斜45度之SEM圖

將本實驗參數與元件尺寸列表為表5-1，以及元件尺寸示意圖如圖5-3。實驗參數是固定退火溫度(500 °C)下改變不同退火時間來製作元件，分別量測不同退火條件的元件電性，加以探討，而元件尺寸因各元件的氧化鋅錫與金奈米線之線徑不同，所以做個整理，可知奈米線之線徑大小，因不同線徑的大小，也可能會影響元件的電性。

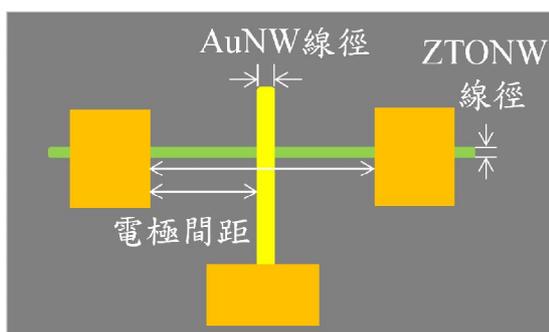


圖5-3 交叉奈米線元件的示意圖

| 元件名        | 元件名<br>簡稱 | ZTONW<br>退火時間<br>(hr) | 元件完成後<br>退火時間<br>(min) | ZTONW<br>線徑(nm) | AuNW<br>線徑(nm) |
|------------|-----------|-----------------------|------------------------|-----------------|----------------|
| ZTO/AUNW-1 | ZA-1      | 24                    | 10                     | 64.3            | 104.2          |
| ZTO/AUNW-2 | ZA-2      | 20                    | 10                     | 57.2            | 63             |
| ZTO/AUNW-3 | ZA-3      | 18                    | 10                     | 37.6            | 96.9           |
| ZTO/AUNW-4 | ZA-4      | 1                     | 180                    | 100             | 126            |
| ZTO/AUNW-5 | ZA-5      | 0                     | 180                    | 72.1            | 221            |

表5-1 交叉奈米線元件之實驗參數與奈米線尺寸列表

### 5-3 交叉奈米線元件之電流-電壓特性分析

我們量測元件的電流-電壓特性分為兩個部分去量測，一為量測氧化鋅錫奈米線的電性，二為量測金線端的蕭特基接觸電性，分別比較氧化鋅錫奈米線與蕭特基接觸在電性上的差異，再依序對變溫的電流-電壓特性做分析，探討本質與蕭特基接觸的傳輸行為。

### 5-3-1 交叉奈米線元件之電流-電壓特性的比較

氧化鋅錫奈米線與蕭特基接觸的電流-電壓圖有明顯差異，因此比較兩者在電性上的不同。

首先，先探討室溫下的電流-電壓特性，如表5-2所示，有各元件中本質與蕭特基接觸電性的編號與簡稱，有助於後面章節的了解，以及整理不同元件中的本質與蕭特基接觸電性分析，分別為是室溫電阻與電阻率，由實驗結果，我們分別對本質與蕭特基接觸的零點電流-電壓分析，其中本質電性的部分，假設接點電阻很小，可忽略不計，因此得出的室溫電阻是氧化鋅錫奈米線本身的電阻，並算出本質電阻率，如表5-2，另一個蕭特基接觸電性的部分，量得室溫電阻比本質的還要大，除了氧化鋅錫奈米線本身電阻，還有接點電阻的存在，因此蕭特基接觸電性在零點電阻具有很大的電阻特性，因量得的電阻不是氧化鋅錫本質的電阻，所以不知道奈米線之電阻率。

如表5-2中的第5組元件，因為此元件退火時間較短(3hr)，其氧化鋅錫奈米線本質的電阻很大，所以其電阻較接近蕭特基接觸的電阻，但蕭特基接觸的電阻仍比較大。

| 本質與蕭特基電性編號     | 編號簡稱   | 電極間距(μm) | 室溫電阻(MΩ) | 室溫電阻率(Ω·cm) |
|----------------|--------|----------|----------|-------------|
| ZA-1-Intrinsic | ZA-1-I | 11.4     | 29.9     | 0.85        |
| ZA-1-Schottky  | ZA-1-S | 2.6      | 67       | ?           |
| ZA-2-Intrinsic | ZA-2-I | 2.52     | 3.32     | 0.339       |
| ZA-2-Schottky  | ZA-2-S | 1.41     | 75.1     | ?           |
| ZA-3-Intrinsic | ZA-3-I | 6.59     | 7.52     | 0.127       |
| ZA-3-Schottky  | ZA-3-S | 1.56     | 684      | ?           |
| ZA-4-Intrinsic | ZA-4-I | 2.93     | 1.76     | 0.473       |
| ZA-4-Schottky  | ZA-4-S | 1.6      | 14.1     | ?           |

|                |        |      |                    |                    |
|----------------|--------|------|--------------------|--------------------|
| ZA-5-Intrinsic | ZA-5-I | 6.58 | $3.32 \times 10^5$ | $2.06 \times 10^4$ |
| ZA-5-Schottky  | ZA-5-S | 3.96 | $9.53 \times 10^5$ | ?                  |

表5-2 交叉奈米線元件之電性列表

如圖5-4所示為不同實驗參數的元件電流-電壓圖，可觀察出氧化鋅錫奈米線本質與蕭特基接觸在電性上的差異，可知因氧化鋅錫奈米線兩端電極為歐姆接觸，本質的電流-電壓特性為對稱性且線性的，而蕭特基接觸電性是因氧化鋅錫奈米線一端為歐姆接觸，另一端為蕭特基接觸，形成蕭特基位障，因此電流-電壓特性為非對稱性且接近具有整流特性，最後由5組實驗數據，證明此實驗結果具有重複性。

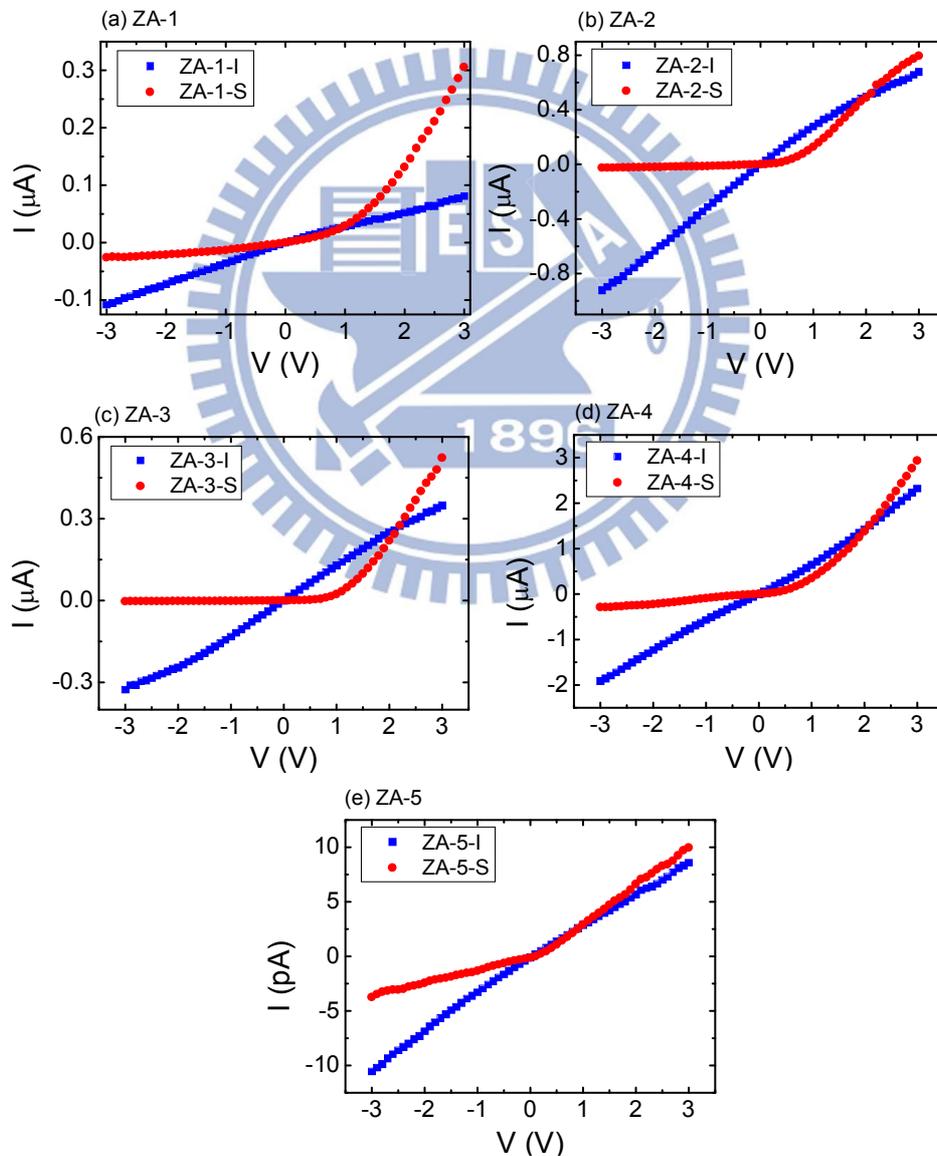


圖5-4 室溫下，各元件的電流-電壓特性圖。

接下來探討變溫的電流-電壓特性(300 K~80 K)，如圖5-5(a)(c)為本質氧化鋅錫奈米線在不同溫度下的電流-電壓圖，圖5-5(b)(d)為蕭特基接觸在不同溫度下的電流-電壓圖，我們可觀察兩者電流-電壓特性的變化，其變化都具有規律性趨勢，在每個溫度下的零電壓範圍電壓-電流關係為線性的，所以主要是探討零電壓附近的零點電阻，並由每個溫度的電流-電壓圖推出電阻值，從圖中觀察出兩者的零點電阻會隨者溫度降低而上升，而圖5-5(e)為本質與蕭特基接觸在不同溫度的電流-電壓特性比較，兩者對照顯示出具有明顯的不同曲線，後面5-3-2與5-3-3章節將會對兩者電流-電壓圖進一步分析。

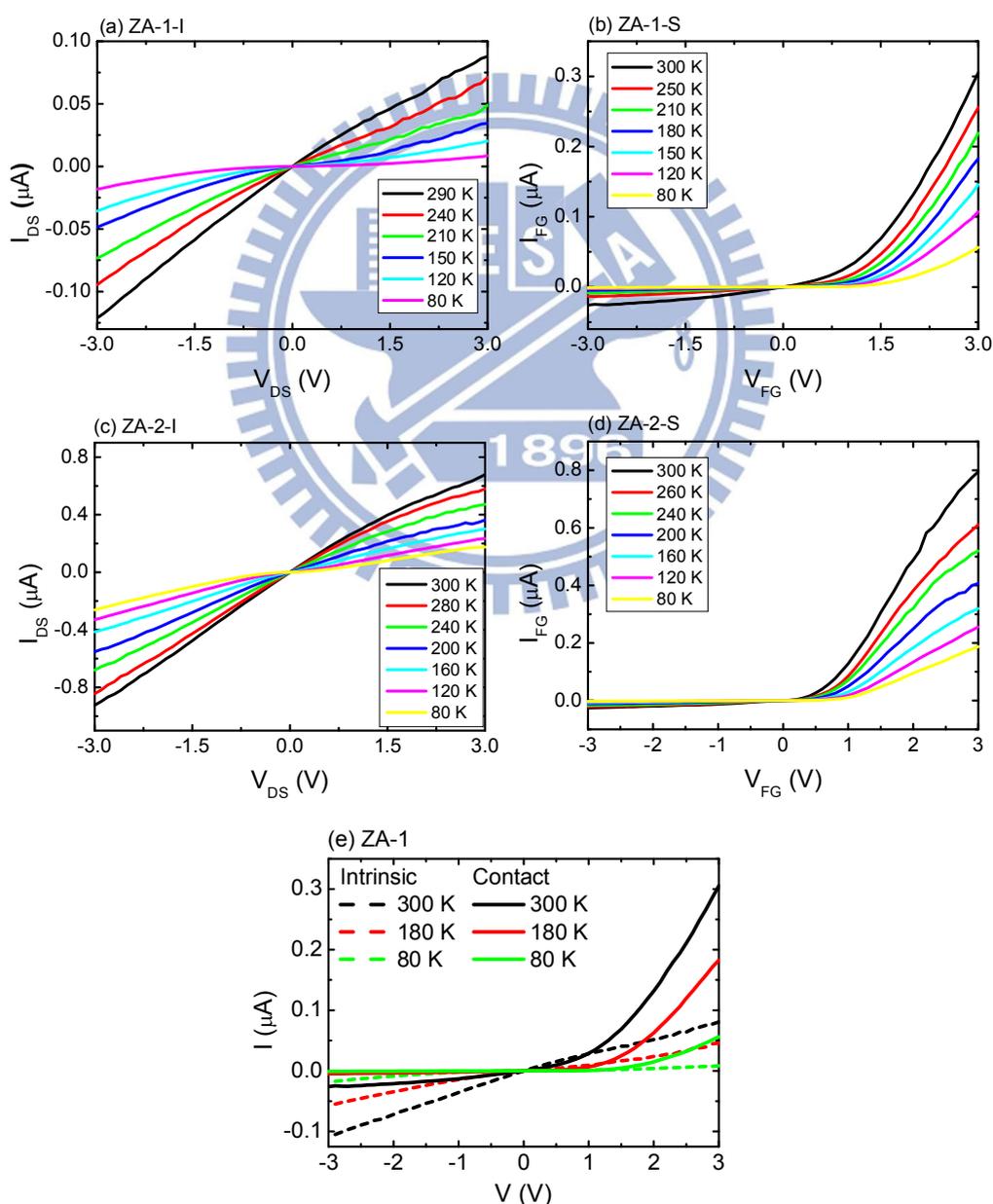


圖5-5 在不同溫度下(300 K~80 K)，各元件的電流-電壓特性圖與比較。

### 5-3-2 氧化鋅錫奈米線之電性分析

由變溫RT數據的變化，我們可以判斷金半接面的電性行為，將氧化鋅錫奈米線之電性分析分為兩個部分來探討，第一是探討氧化鋅錫奈米線的電性傳輸行為，第二是利用熱離子放射理論來分析，主要是可與蕭特基接觸的電性做比較。

為了探討氧化鋅錫的傳輸特性，根據Mott VRH理論中的導電率公式，可觀察電阻大小是與溫度有關。因為量測變溫本質的電流-電壓曲線不夠多，或是若將 $S=1/3$ 與 $S=1/4$ 代入導電率公式來擬合元件中的RT數據，發現兩者都符合此公式，因此無法判斷電性傳輸為何？我們的分析方法是將本實驗室裡有位同學主要是量測單根氧化鋅錫奈米線的電性，從他的變溫數據來做變程跳躍理論分析，該導電率公式為

$$\sigma = \sigma_0 \exp\left[-\left(\frac{T_0}{T}\right)^S\right] \quad (\text{式5.1})$$

其中 $T_0$ 為特徵溫度， $\sigma_0$ 與 $S$ 為一常數，以上三個參數都不隨溫度改變，由指數 $S$ 來判斷奈米線的電性傳輸，若 $S = 1/4$ 、 $1/3$ 、 $1/2$ ，則分別表示為三維、二維與一維的傳輸系統，從文獻中的Zabrodskii與Zinoveva方法[26]來分析，他們定義

$$W(T) = \frac{d \ln \sigma(T)}{d \ln T}$$

以 $\ln W$ 對 $\ln T$ 作圖，從斜率即可求出 $S$ 值，如圖5-6(a)為分析結果，

因此我們得出的 $S$ 為0.25，再將 $S = 0.25$ 代入導電率公式，此時(式5.1)寫為

$$\sigma = \sigma_0 \exp\left(-\frac{T_0}{T}\right)^{\frac{1}{4}}$$

藉由此公式來分析我們的數據，如圖5-6(b)，擬合結果為一條線

性直線，符合三維的變程跳躍理論，由斜率我們得出 $T_0$ ，約為六次方的數量級。再

根據Mott VRH理論，若知道 $T_0$ ，可以進一步推算平均跳躍能量為 $\frac{1}{4}k_B T \left(\frac{T_0}{T}\right)^{\frac{1}{4}}$ ，此公

式是與溫度有關，當溫度愈低時，平均跳躍能量愈小，我們將元件ZA-1-I的 $T_0$ 代入

公式，算得在溫度100 K時的平均跳躍能量為30.2 meV，另外最可能跳躍距離為

$$\frac{3}{8} \left(\frac{T_0}{T}\right)^{\frac{1}{4}} \zeta$$

其中 $\zeta$ 為侷域長度，此公式與侷域長度有關，無法計算此跳躍參數。

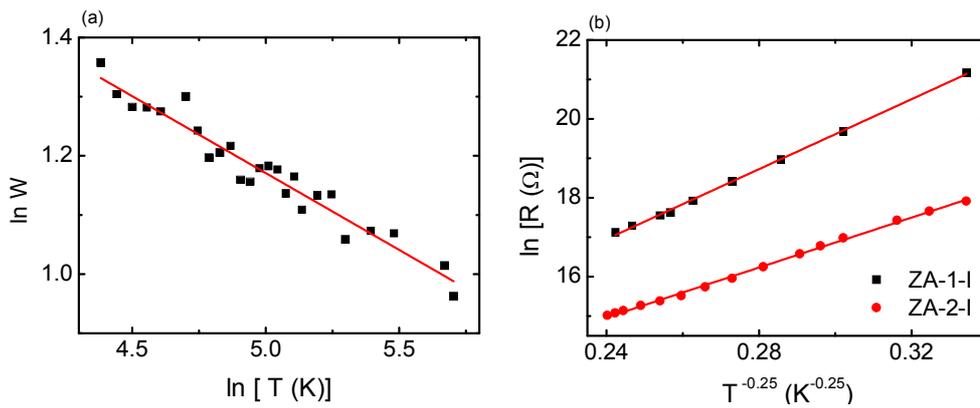


圖5-6 氧化鋅錫奈米線的電性以變程跳躍傳輸理論分析圖

| 本質之電性編號 | $T_0$ (K)          |
|---------|--------------------|
| ZA-1-I  | $3.87 \times 10^6$ |
| ZA-2-I  | $1 \times 10^6$    |

表5-3 由VRH理論推算出 $T_0$

我們將本質變溫的電流-電壓圖用第三章所提的熱離子放射理論去分析，由  $\ln(\frac{I}{T^2})$  對  $1/T$  作圖來判斷是否為蕭特基接觸特性，若  $\ln(\frac{I}{T^2})$  對  $1/T$  為一條線性直線，且斜率是負值，求出來的蕭特基位障才會是正的，是符合蕭特基接觸特性，反之若不是顯示這個特性，就不符合蕭特基接觸特性，如圖5-7所示為分析結果，可清楚看出氧化鋅錫奈米線並不符合蕭特基接觸特性，而後面5-3-3章節可與蕭特基接觸電性分析比較。

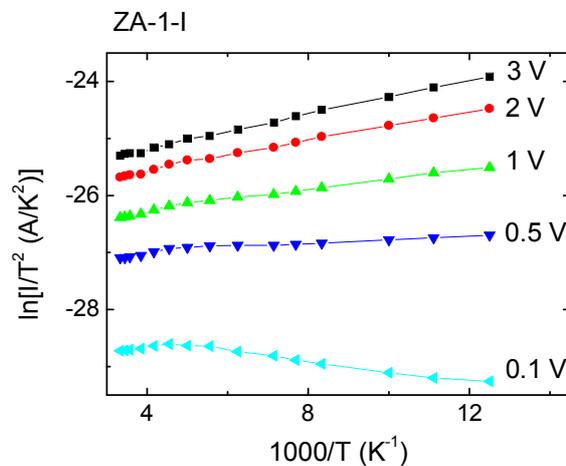


圖5-7 氧化鋅錫奈米線的電性以熱離子放射理論分析圖

### 5-3-3 蕭特基接觸之電性分析

在5-3-2章節有使用熱離子放射理論去分析，本章的蕭特基接觸之電性使用同樣的方法去分析，從圖5-5(b)(d)電流-電壓曲線觀察出非線性特徵，主要認為是金奈米線的功函數與本質氧化鋅錫的親和力不同，形成蕭特基位障(Schottky barrier)，而電子通過蕭特基位障的傳輸方式有三種，分別是熱離子放射、穿隧與電子-電洞復合，一般金半接面的基本傳輸行為是熱離子放射，是因有足夠熱能使電子跨越過蕭特基位障，因此我們使用熱離子放射理論來分析在不同溫度下電流-電壓關係圖的逆向飽和電流。

如圖5-8(a)(c)是以 $\ln\left(\frac{I}{T^2}\right)$ 對 $1/T$ 作圖，分析結果顯示在高溫時(約  $> 170\text{ K}$ )，符合熱離子放射理論，從擬合的斜率算出在不同電壓下位障高度，將位障高度與電壓作圖，如圖5-8(b)(d)，觀察發現位障高度隨電壓增大而降低，從理論來看，位障降低是受到電場與影像力(image force)的影響，位障高度 $\phi_{Bn} = \phi_{B0} - \Delta\phi$ ，其中 $\Delta\phi = \sqrt{\frac{qE}{4\pi\epsilon_s}}$ ， $\phi_{B0}$ 是沒有受到影像力的理想位障高度，當逆向偏壓愈大( $V < 0$ )，影像力 $\Delta\phi$ 也愈大，位障高度就會降低，此是因蕭特基效應所造成的位障降低，再從理論與實驗比較，實驗結果與理論相符合，接下來由同時考慮蕭特基效應與熱離子放射的逆向飽和電流公式(式3.14)來擬合位障高度對應電壓的關係圖，即可得出理想位障高度 $\phi_{B0}$ ，以及摻雜濃度 $N_D$ ，分析結果如表5-4所示，則在低溫時(約  $< 170\text{ K}$ )，發現不符合熱離放射理論，而是在低溫時的數值會偏離在高溫時所擬合的直線，電流有上升的趨勢，發現有穿隧電流的現象，因此我們認為在低溫時主要是以穿隧電流來傳輸，由文獻[28]中可證明我們在低溫下傳導機制的推論。

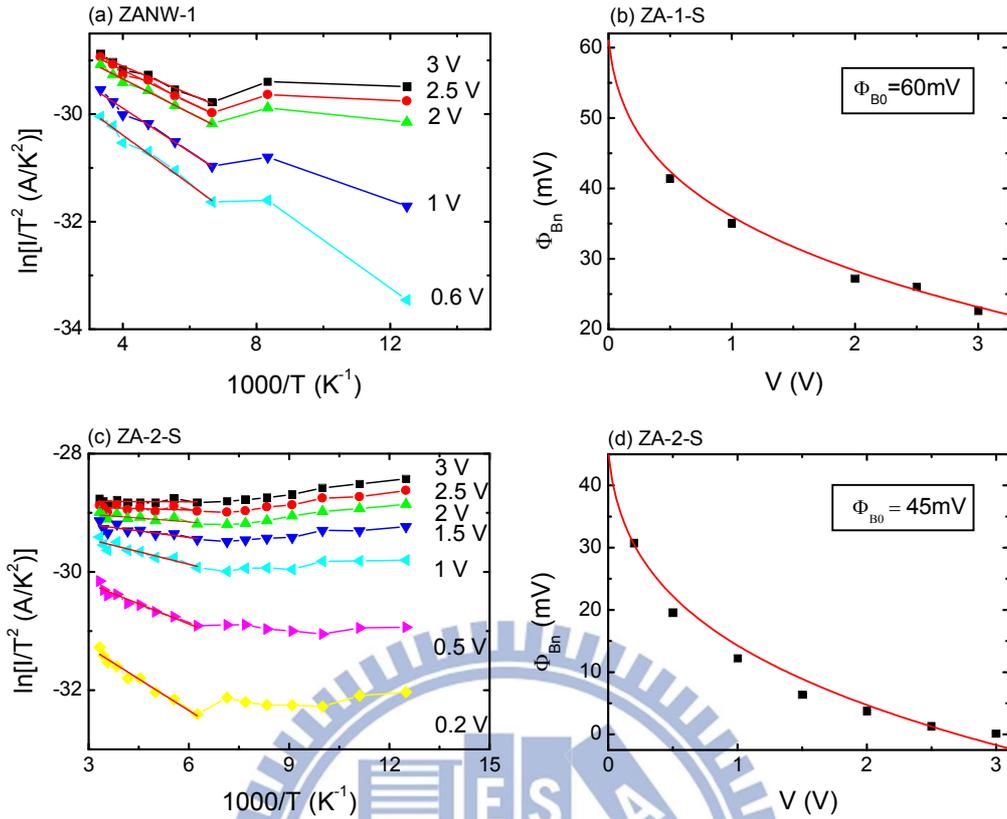


圖5-8 蕭特基接觸的電性以熱離子放射理論分析圖

| 蕭特基接觸之<br>電性編號 | $\phi_{B0}$ (mV) | $N_D$ (cm <sup>-3</sup> ) |
|----------------|------------------|---------------------------|
| ZA-1-S         | 61               | $2.82 \times 10^{16}$     |
| ZA-2-S         | 45               | $6.71 \times 10^{16}$     |

表5-4 由擬合得出蕭特基位障與施體摻雜濃度

實際蕭特基二極體的電流-電壓關係為

$$J = J_{ST} \exp\left(\frac{qV_a}{nkT}\right) [1 - \exp\left(-\frac{qV_a}{kT}\right)] \quad (式5.2)$$

$$J_{ST} = A^* T^2 \exp\left(-\frac{q\phi_{Bn}}{kT}\right) \quad [27]$$

，其中 n 為理想因子(ideality factor)，我們可從 n 值來判斷蕭特基接觸是否具有良好的蕭特基二極體的特性，以及電子傳輸的方式，若 n = 1 時，主是以擴散方式來

傳導，若  $n = 2$  時，則是以電子電洞對復合的方式傳導，將實驗數據以

$\ln\left[\frac{I}{1 - \exp\left(-\frac{qV}{kT}\right)}\right]$  對電壓作圖，如圖5-9所示，當溫度  $T = 250$  K時，由擬合斜率得出

$n = 0.982$ ，同時在不同溫度下，所擬合的  $n$  值約為0.98，因此表示在不同溫度下的傳輸行為都是以擴散方式傳導，而且是一理想的蕭特基二極體。

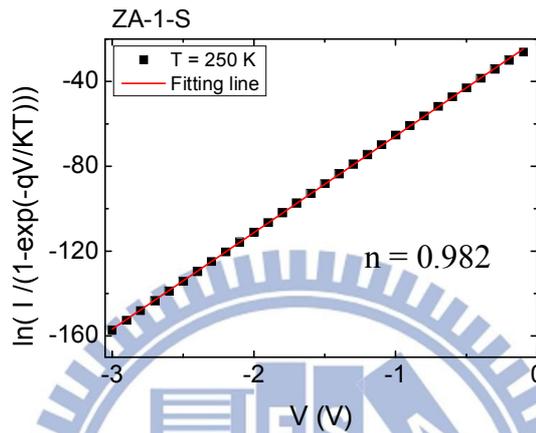


圖5-9 理想因子分析圖

最後我們將蕭特基接觸與氧化鋅錫奈米線之變溫  $R/R_{300}$  對  $T$  作圖，如圖5-10所示，其兩者的變化都明顯的不同，顯示出隨著溫度降低蕭特基接觸的電阻上升速度比本質的還快，由兩者的電阻隨溫度的改變，可知蕭特基接觸之電阻對溫度改變有更顯著影響。

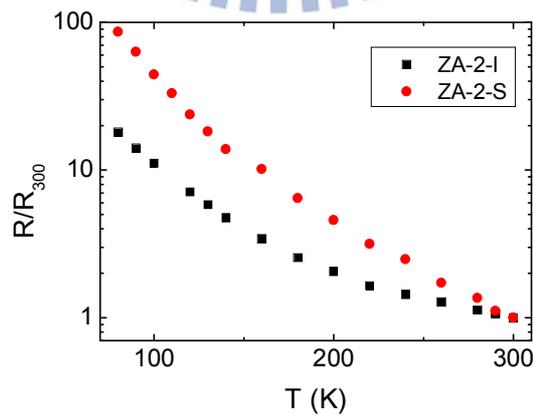


圖5-10 不同溫度下(300 K~80 K)，零點電阻除300 K電阻對溫度的關係圖。

## 5-4 交叉奈米線元件的電晶體特性量測

本章節主要探討外加上閘極與背閘極電壓，先分別只加單一閘極電壓來做分析，利用I-V特性推算出電晶體特性參數，如開關電流比、電子移動率等參數，從而判斷元件是否具備有良好電晶體特性，並將兩者做比較，再者同時加上背閘極電壓對元件之電性影響，判斷是否能將元件應用於邏輯元件。

### 5-4-1 上閘極(Top gate)電壓對元件之電性影響

藉由獨立控制上閘極電壓，可調變氧化鋅錫奈米線的導電通道，進而觀察元件之電性變化，並分析其電晶體特性。

我們是用金奈米線來作為上閘極電極，外加電壓 $V_{FG}$ 通常是在-1 V到1 V之間，因為只需要施加很小電壓，其元件之電性就會有明顯改變，如圖5-10為外加上閘極電壓的量測結果，圖5-10(a)是先固定 $V_{FG}$ ，施加源汲極間的電壓( $V_{DS}$ )，在-1 V到1 V之間，量測源汲極間的電流( $I_{DS}$ )變化，再改變 $V_{FG}$ ，觀察 $I_{DS}$ - $V_{DS}$ 的關係圖，根據電晶體的I-V特性曲線分析，在 $V_{DS} > 0$ 時，此元件是屬於n-通道空乏模式，也就是當外加正上閘極電壓時，此時元件處於導通的狀態，但當外加電壓為-1V時，此時元件處於關閉的狀態。圖5-10(b)是在 $V_{DS} = 1 V$ 時，量測 $I_{DS}$ 對 $V_{FG}$ 的關係圖，從圖中我們計算出電晶體特性參數，其開關電流比為6.43，臨界電壓約為-0.3V，轉換導電值為38.1 nS，再由公式 $S = \ln 10 [dV_G / d(\ln I_{SD})]$ ，算得S為1.7 V/decade，從S值大小可判斷電晶體轉換速度，當S愈小，表示電晶體轉換速度愈快，由 $V_{th} < 0$ 也驗證了圖5-10(a)的推論，此為n-通道空乏模式。

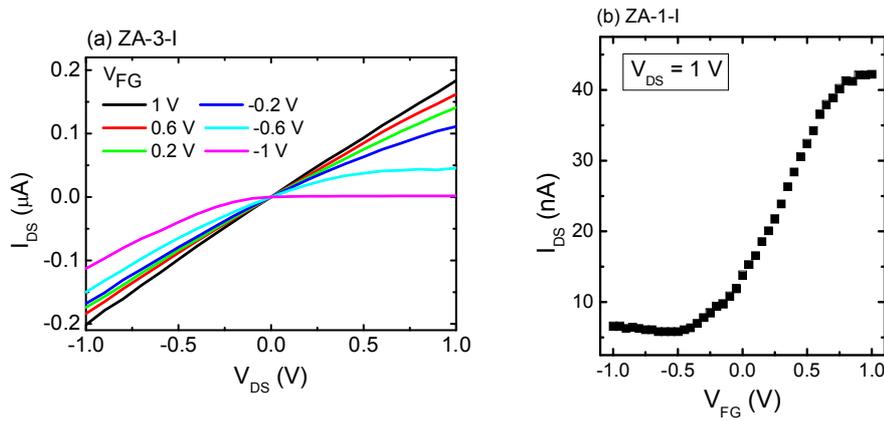


圖5-11 (a)  $V_{FG}$ 在不同電壓下(-1V~1V)的 $I_{DS}$ 與 $V_{DS}$ 曲線關係圖；(b)  $I_{DS}$ 與 $V_{FG}$ 曲線關係圖( $V_{DS}=1\text{ V}$ )。

### 5-4-2 背閘極(Back gate)電壓對元件之電性影響

為了探討氧化鋅錫奈米線是否具備很好的電晶體，因此量測背閘極之閘極效應，從電晶體特性，我們可以判斷是n型還p型摻雜，並推算移動率、載子濃度，以及開關電流比。

我們用矽基板作為背閘極電極，量測方式如同5-4-1章節，外加背閘極電壓範圍是在-40 V到40 V，因需要施加較大電壓，其元件之電性才有反應，實驗結果如圖5-12。圖5-12(a)為在不同 $V_{BG}$ 下 $I_{DS}$ - $V_{DS}$ 的關係圖，觀察出 $V_{BG}$ 對元件之電性並沒有明顯的改變，則圖5-12(b)為在 $V_{DS} = 1\text{ V}$ 時，量測 $I_{DS}$ 對 $V_{BG}$ 的關係圖，從圖中觀察氧化鋅錫奈米線具有n型摻雜，其量測閘極效應並沒有很大的開關電流比，所以我們試者改變實驗製程參數，藉由提高開關電流比，進而提高邏輯中的開關特性。

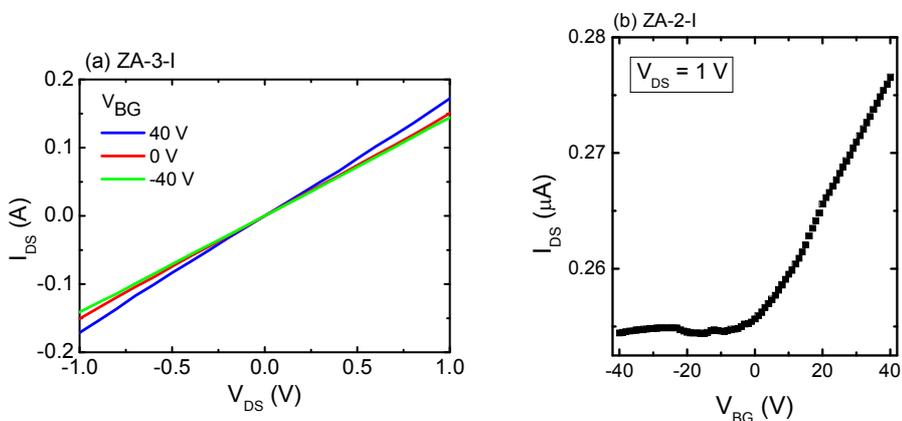


圖5-12 (a)  $V_{BG}$ 在不同電壓下(-40 V~40 V)的 $I_{DS}$ 與 $V_{DS}$ 曲線關係圖；(b)  $I_{DS}$ 與 $V_{BG}$ 曲

線關係圖( $V_{DS}=1\text{ V}$ )。

藉由改變不同的退火時間，設法提升開關電流比，圖5-13所示，退火時間參數分別為圖(a)是本質氧化鋅錫奈米線退火24 hr，圖(b)是本質氧化鋅錫奈米線不退火，元件完成後退火3 hr，觀察出退火時間24 hr能夠提高電子移動率與電子濃度，但開關電流比卻很小，但為了提高邏輯中的開關特性，我們改變(b)製程參數能夠有效提升開關電流比，由不同的退火時間下量測背閘極對元件之電性影響，計算出氧化鋅錫奈米線的移動率、電子濃度，以及開關電流比，如表5-5，發現(b)的製程參數可大幅提升開關電流比，但移動率與電子濃度並沒有跟著提高，因此藉由製程參數的調變，只能因使用者的需求來改變。

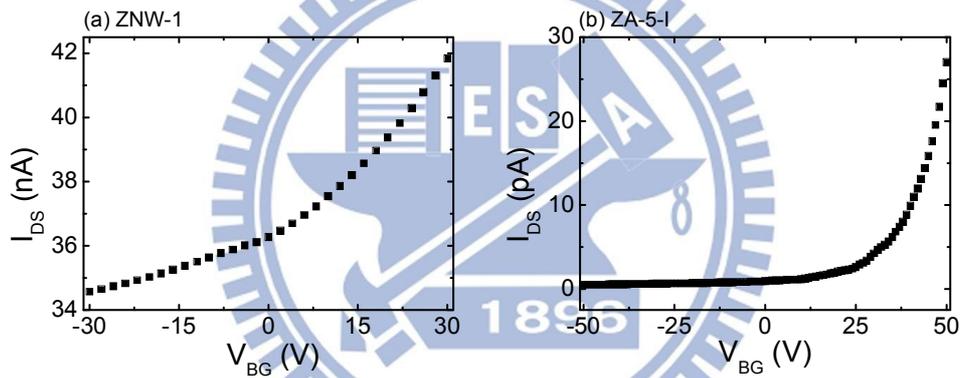


圖5-13 不同退火條件下的 $I_{DS}-V_{BG}$ 曲線關係圖( $V_{DS}=1\text{ V}$ )。

| 本質電性<br>編號 | Mobility<br>$\mu$ ( $\text{cm}^2/\text{V} \cdot \text{s}$ ) | Electron concentration<br>$n$ ( $\text{cm}^{-3}$ ) | On/off current<br>ratio |
|------------|---|--|-------------------------|
| ZA-1-I     | 0.323   | $2.27 \times 10^{19}$                              | 1.15                    |
| ZA-5-I     | $1.49 \times 10^{-3}$                                       | $2.04 \times 10^{17}$                              | 29.1                    |

表5-5 不同退火條件下，推算本質氧化鋅錫奈米線的移動率、電子濃度，以及開關電流比。

最後我們比較上閘極與背閘極之閘極效應，分別計算個別的電晶體特性參數，如表5-6，發現上閘極對元件之電性比背閘極反應效果好，而且隨著元件的尺度縮

小，從這些電晶體特性參數能夠判斷是否具有很低的臨界電壓與低耗功的電晶體。

| ZA-1-I    | $V_{th}$ (V) | $g_m$ (nS) | on/off ratio | S (V/decade) |
|-----------|--------------|------------|--------------|--------------|
| Top gate  | -0.3         | 38.1       | 6.43         | 1.7          |
| Back gate | -7           | 20.3       | 1.15         | 7.53         |

表5-6 氧化鋅錫奈米線之電晶體特性參數列表。

以上是探討氧化鋅錫奈米線之電性的部分外加上或背閘極電壓，若我們在量測蕭特基接觸之電性的部分外加背閘極電壓，其電性變化是怎麼呢？實驗結果如圖5-13，對照如圖5-12(b)為本質的部分，其電性變化與本質的趨勢相同，都顯示出為n型摻雜，但此圖中的開關電流比約為8.5，比本質的變化小。

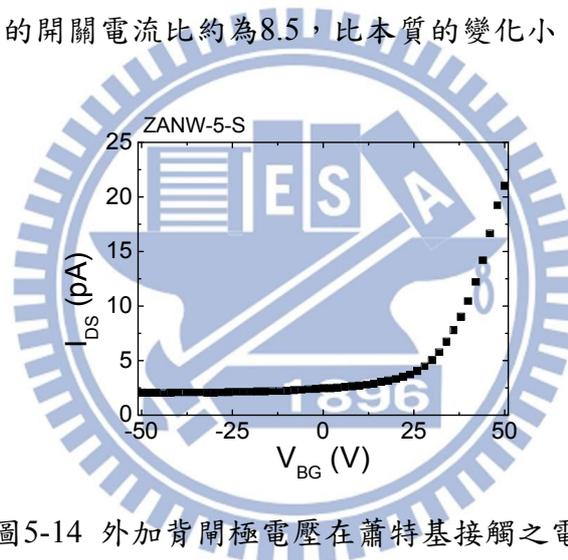


圖5-14 外加背閘極電壓在蕭特基接觸之電性

### 5-4-3 同時外上閘極與背閘極對元件之電性影響

藉由同時外加上背閘極電壓，觀察元件之電性變化，進而判斷元件是否能應用在邏輯元件上。

同時輸入上閘極與背閘極電壓需要兩個電壓源，分別是使用PSM-2010與KEITHLEY 6517電表，其中PSM-2010輸入最大電壓為20 V，此作為輸入上閘極之電壓源，輸入電壓在-1 V至1 V範圍，則KEITHLEY 6517電表作為輸入背閘極之電壓源，輸入電壓在-40 V至40 V範圍，其量測方式先固定上閘極電壓，量測背閘極之閘極效應，再改變上閘極電壓，以間隔為0.2 V，重覆同樣的量測方式，實驗結果經整理後如圖5-14所示，發現當輸入電壓( $V_{FG}$ ,  $V_{BG}$ )等於(-1,40)與(-1,-40)時， $I_{DS}$ 輸出電流最小，顯示元件處於高電阻狀態，此時元件為關閉，而輸入電壓( $V_{FG}$ ,  $V_{BG}$ )等於(1,40)， $I_{DS}$ 輸出電流最大，顯示元件處於低電阻狀態，此時元件為導通，則輸入電壓( $V_{FG}$ ,  $V_{BG}$ )等於(1,-40)， $I_{DS}$ 輸出電流介於最大電流與最小電流之間，此時元件處於另一狀態為次低電阻，由以上元件的三種狀態，能夠將元件應用於邏輯電路中的三態緩衝器(Tri-state buffer)，示意圖如圖5-15(a)，其具有兩個輸入電壓，分別為 $V_{FG}$ 和 $V_{BG}$ ，藉由操作兩者電壓，來控制元件輸出狀態，然而我們將輸入電壓( $V_{FG}$ ,  $V_{BG}$ )等於(-1,40)、(-1,-40)、(1,40)、(1,-40)定義為邏輯符號(0,1)、(0,0)、(1,1)、(1,0)，其輸出狀態的低電阻與次低電阻定義為邏輯符號中的1與0(高電位與低電位)，則第三個狀態的高電阻定義為Z(高阻抗)，如圖5-16(b)為三態緩衝器的真值表。

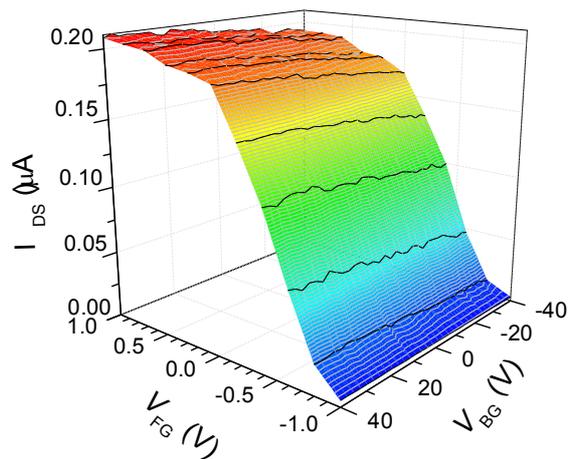


圖5-15 同時外加不同 $V_{FG}$ (-1 V~1 V)與 $V_{BG}$ (-40 V~40 V)對 $I_{DS}$ 的關係圖

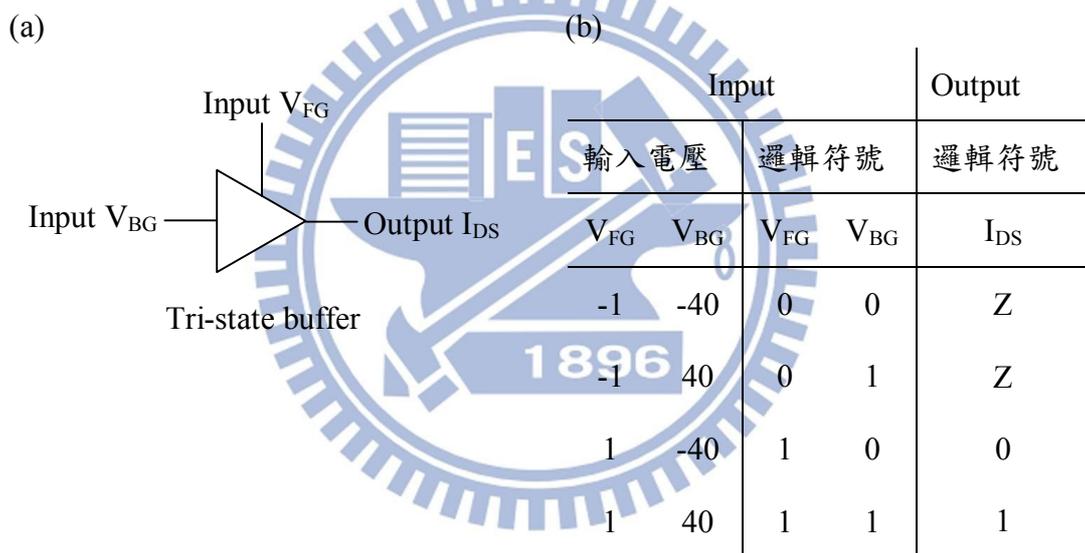


圖5-16 三態緩衝器(a)示意圖；(b)真值表

另一量測方式，隨時間變化我們改變輸入電壓 $V_{DS}$ 為0與1 V，同時外加 $(V_{FG}, V_{BG})$ 等於(-1,40)量測隨時間變化的 $I_{DS}$ ，再改變不同 $(V_{FG}, V_{BG})$ 等於(-1,-40)、(1,40)、(1,-40)，同樣方式量測，量測結果如圖5-16(b)，觀察時間對 $I_{DS}$ 的關係圖，其實驗結果與圖5-15的相同，在 $V_{DS}$ 為1V時，有三種不同的輸出電流，分別表示有三種的輸出狀態(0、1與Z)，因此由這量測方式也驗證元件具有三態緩衝器的功能，並利用元件的三特緩衝器特性，未來元件能夠應用在邏輯電路中，且是具有潛力發展的元件。

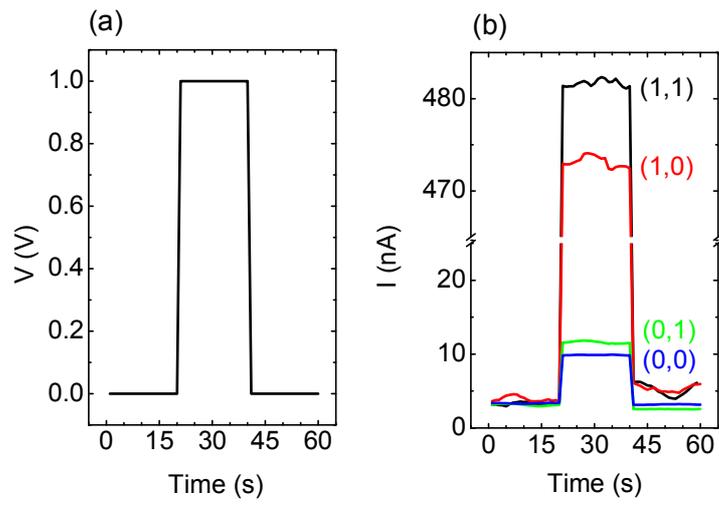
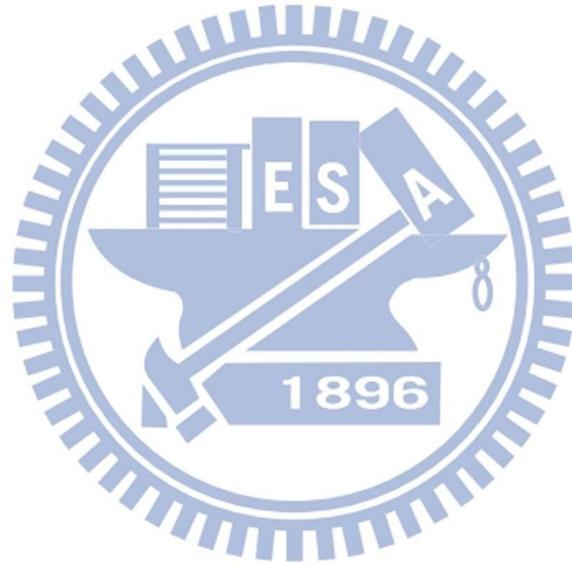


圖5-17 (a)輸入電壓 $V_{DS}$ 隨時間變化的關係圖；(b)輸出電流 $I_{DS}$ 隨時間變化的關係圖



## 第六章 結論

我們利用氧化鋅錫與金奈米線上下交疊的方式成功製作交叉奈米線元件，因交叉奈米線相交之接觸面積小會影響到元件電性，所以需先探討交叉奈米線元件的電性，發現氧化鋅錫奈米線與蕭特基接觸之電性有顯著不同，本質氧化鋅錫奈米線的I-V曲線呈線性且對稱，則蕭特基的I-V曲線呈非線性與有整流特性，並且在零點電壓附近有較大電阻，此是因接點電阻的存在，同時兩者I-V特性具有重複性。為了進一步了解氧化鋅錫奈米線與蕭特基接觸之電子傳輸行為，接者利用探針系統進行300 K~80 K間的變溫量測，由溫度對電阻的變化可清楚了解金半接面的傳輸行為，根據變程跳躍與熱離子放射理論來分析，證明本質氧化鋅錫奈米線符合三維變程跳躍理論，並不是以熱離子放射來傳輸，從3D VRH導電率公式擬合出 $T_0$ 約六次方數量級，進而算出溫度100 K時的平均跳躍能量為30.2 meV，而蕭特基接觸之電性在高溫時符合熱離子放射理論，發現位障高度會隨者外加電壓增加而降低，此是因蕭特基效應所造成的，推算出理想位障高度與施體摻雜濃度，分別約61 mV與 $10^{16} \text{ cm}^{-3}$ ，則在低溫時，發現電流會偏離在高溫時所擬合的直線，電流有上升的趨勢，所以在低溫下電子是以穿隧電流為主導，最後由理想因子證明元件中的蕭特基接觸是一理想的蕭特基二極體。

了解元件基本電性後，接者要探討閘極電壓對元件的影響，先判斷元件是否具有良好的電晶體特性，外加上閘極電壓時， $V_{DS} - I_{DS}$ 特性會隨著上閘極電壓的改變而有明顯不同，在 $V_{DS} > 0 \text{ V}$ 時，I-V曲線呈現出n通道空乏模式，而外加背閘極電壓時，背閘極對元件並沒有很大的開關電流比，但可知氧化鋅錫奈米線具有n型摻雜，同時由閘極效應推算兩者電晶體特性參數，加以比較，發現上閘極反應效果好，此外，為了將交叉奈米線元件開發成邏輯元件，我們試著同時調變上背閘極電壓，觀察元件之電性變化，發現上背閘極輸入兩個不同電壓會有三種不同輸出狀態，此元件具有邏輯中的三態緩衝器特性，將輸出狀態定義為邏輯中的0、1，與Z符號。因此製作具有高效能的邏輯元件，必須改善閘極效應中的開關電流比，元件才有更

好的開關特性，交叉奈米線元件是一個具有潛力開發的邏輯元件。

## 參考文獻

- [1] 魏拯華、李敏鴻、劉致為，奈米電子學，國立台灣大學出版中心(2006)
- [2] 科學人, Philip J. Kuekus et al.,52 (2006.01)
- [3] Wei Lu and Charles M. Lieber,Nature, 6 , 841-850 (2007)
- [4] François Léonard and A. Alec Talin,Nature, 6 ,773-783 (2011)
- [5] Fu-Hsuan Chu,Chun-Wei Huang, et al. ,Nanoscale ,4 , 1471 (2012)
- [6] Jun Yao, Hao Yan and Charles M. Lieber,Nature, 8 , 329-335 (2013)
- [7] Yi Cui,Charles M. Lieber ,Science, 291 , 851-853 (2001)
- [8] Yi Cui, Zhaohui Zhong, Deli Wang, et al.,Nano Lett., 3 , 149-152 (2003)
- [9] Pai-Chun Chang, Zhiyong Fan, and Chung-Jen Chien,Applied physics Lett., 89 ,133113 (2006)
- [10] Ren-Min Ma,Lun Dai,Hai-Bin Huo,Wan-Jin Xu,and G. G. Qin,Nano Lett., 7 , 3300-3304 (2007)
- [11] R. M. Ma, L. Dai, a C. Liu, W. J. Xu, and G. G. Qin, Applied physics Lett., 93 , 0053105 (2008)
- [12] Sachindra Nath Das, Ji-Huck Choi, et al., Applied physics Lett. ,96(2010)092111
- [13] Yu Huang, Xiangfeng Duan, Yi Cui, Lincoln J. Lauhon, Kyoung-Ha Kim, Charles M. Lieber, Science, 294 , 1313-1316 (2001)
- [14] Hao Yan, et al., Nature , 470 , 240-244 (2011)
- [15] Yen-Fu Lin and Wen-Bin Jian, Nano Lett. , 8 , 3146-3150 (2008)
- [16] François Léonard, A. Alec Talin, B. S. Swartzentruber, and S. T. Picraux, Phys. Rev. Lett., 102, 106805 (2009)
- [17] Abdullah Yildiz, Necmi Serin, Tuğay Serin, and Mehmet Kasap, Applied Physics Lett., 48, 111203 (2009)
- [18] 閻守勝編著，倪澤恩校定，固態物理導論，五南出版社 (2006)

- [19] Ralph Rosenbaum, Phys. Rev. B, 44, 3599 (1991)
- [20] 邱奕正, 氧化鋅奈米線電子元件之奈米接點電性研究, 國立交通大學電子物理研究所碩士論文 (2008)
- [21] X. Shen, J. Shen, et al., Applied Physics Lett., 106, 113523 (2009)
- [22] Sung Kyu Park, Yong-Hoon Kim, Hyun-Soo Kim, and Jeong-In Hanz, High, Electrochemical and Solid-State Letters, 12 (7), H256-H258 (2009)
- [23] T. J. Coutts, D. L. Young, X. Li, W. P. Mulligan, and X. Wu, J. Vac. Sci. Technol. A 18, 2646 (2000)
- [24] Y.-J. Chang, D.-H. Lee, G. S. Herman, and C.-H. Changa, Electrochemical and Solid-State Letters, 10 (5), H135-H138 (2007)
- [25] Yanjun Zhang, Jianjun Wang, Hongfei Zhu, Hui Li, Li Jiang, Chunying Shu, Wenping Hua and Chunru Wang, J. Mater. Chem., 20, 9858-9860 (2010)
- [26] A.G. Zabrodski and K.N. Zinoveva, Sov. Phys. JETP, 59, 425 (1984)
- [27] 林彥甫, 半導體奈米結構電性傳輸與奈米元件接點電阻之研究, 國立交通大學電子物理研究所博士論文 (2010)
- [28] L. S. Yu, Q. Z. Liu, Q. J. Xing, D. J. Qiao, S. S. Lau et al., J. Appl. Phys., 84, 2099 (1998)