

國立交通大學

材料科學與工程學系碩士班  
碩士論文

在通電時錫晶粒方向與錫晶界  
對 $\text{Cu}_6\text{Sn}_5$ 生成之影響

**The Effect of Tin Grain Orientations and  
Grain Boundaries during Current Stressing  
on  $\text{Cu}_6\text{Sn}_5$  Formation**

研究生：林玉龍

指導教授：陳 智教授

中華民國 102 年 8 月

在通電時錫晶粒方向與錫晶界對 $\text{Cu}_6\text{Sn}_5$ 生成之影響

The Effect of Tin Grain Orientations and Grain  
Boundaries during Current Stressing on  $\text{Cu}_6\text{Sn}_5$  Formation

研究生：林玉龍

Student : Yu-Lung Lin

指導教授：陳 智

Advisor : Chih-Chen



中華民國 102 年 8 月

# 在通電時錫晶粒方向與錫晶界對Cu<sub>6</sub>Sn<sub>5</sub>生成之影響

研究生：林玉龍

指導教授：陳 智教授

國立交通大學材料科學與工程學系碩士班

## 摘要

隨著電子元件微小化與多功能化的趨勢，晶片的元件密度與 I/O 數需求也越來越高，使得半導體製程技術將面臨種種挑戰。而以往的半導體製程技術已漸漸達到了物理極限，將難以繼續微縮下去。因此，為了滿足未來的種種需求，3D 封裝技術將是未來半導體發展的關鍵技術。

鍍錫微凸塊(microbump)是 3D IC 技術的可行結構之一，其與傳統覆晶鍍錫凸塊的最大差異點在於凸塊尺寸縮小至 20 微米，鍍錫所占體積百分比大幅降低。所以鍍錫內所含的錫晶粒數量將會受限，甚至在一個微凸塊中只會存在著一兩個錫晶粒。此外，在文獻中指出，鎳原子在錫晶粒內的擴散是高度非等向性的，c 軸與電子流的角度差異會造成鍍錫凸塊形成截然不同的破壞模式。因此，錫晶粒方向的研究對於 3D IC 微凸塊的可靠度會是相當重要的議題。然而，在通電的情況下，銅原子在不同錫晶粒方向下擴散的影響還沒有被報導。

本研究利用鍍錫高度為 30 微米的覆晶鍍錫Cu/SnAg/Cu結構來模擬微凸塊的情形，並利用背向散射電子繞射儀(EBSD)來分析錫晶粒的方向。在

140 °C， $1.17 \times 10^4 \text{ A/cm}^2$ 通電測試後，發現銅原子在錫晶粒內的擴散非等向性差異雖然沒有鎳來的高，但不同方向的錫晶粒仍可造成相當顯著的差異。若錫晶粒的c軸平行電子流方向，會使陰極端的介金屬化合物及金屬墊層快速溶解，並在陽極端產生 $\text{Cu}_6\text{Sn}_5$ 累積，且此現象在扇貝狀 $\text{Cu}_6\text{Sn}_5$ 的channel關閉後仍會發生；但若c軸垂直電子流方向的話， $\text{Cu}_6\text{Sn}_5$ 會沿著錫晶界成長，且成長的速率與晶界的角度有關，而此現象在關閉 $\text{Cu}_6\text{Sn}_5$ 的channel後將會變得不顯著。因此除了錫晶粒的方向外，錫晶界對於介金屬化合物的生成也扮演著相當重要的腳色。



# The Effect of Tin Grain Orientations and Grain Boundaries during Current Stressing on $\text{Cu}_6\text{Sn}_5$ Formation

Graduate student: Yu-Lung Lin

Advisor: Chih Chen

Department of Materials Science and Engineering

National Chiao Tung University

## Abstract

As electronic devices become more functional and miniaturization, the microelectronic industry is facing a lot of challenges. The fabrication process is encountering many physical limitations. In order to keep up with Moore's law, the 3D-IC packaging technology is a promising solution to the limitations.

Microbumps are one of the possible solutions for 3D-IC packaging. The bump diameter shrinks to  $20\ \mu\text{m}$  and the bump height decreases to about  $10\text{-}15\ \mu\text{m}$ . As a result, the number of solder grains in a microbump is limited, and these few grains may affect the reliability of microbumps. It is well known that the diffusion is the key factor for intermetallic compounds (IMCs) formation, void formation and electromigration (EM). Previous researches reported that the diffusion of Ni in solder is highly anisotropic. The different Sn grain orientations

can cause different failure modes for solder joints with Ni under bump metallization (UBM) during current stressing. Therefore, the Sn grain orientation is a critical problem for the reliability of 3D IC microbumps. However, no researches reported the anisotropic diffusion of Cu in solder under EM.

In this study, we used flip-chip samples with  $30\ \mu\text{m}$  bump height to study the Sn grain orientation effect on Cu diffusion by Electron Backscatter Diffraction (EBSD). The stressing condition was  $1.17 \times 10^4\ \text{A/cm}^2$  at  $140\ ^\circ\text{C}$ . Even though the anisotropy of Cu in Sn is not as large as Ni in Sn, the effect of Sn grain orientation on Cu-Sn IMC formation was still obvious. If the c-axis of Sn grain was aligned with along electron flow, the IMCs and the Cu UBM dissolved quickly at cathode side and the IMCs accumulated at anode side. Even when the channels of scallop  $\text{Cu}_6\text{Sn}_5$  closed, this phenomenon was unchanged. But if the c-axis of Sn grain was normal to electron flow, the  $\text{Cu}_6\text{Sn}_5$  formed along Sn grain boundary and the growth rate depended on the angle of grain boundary. Therefore, the Sn grain boundary also played an important role in the IMCs formation besides the Sn grain orientation.

## 誌謝

在我的碩士生涯中，不管是在課業、實驗還是生活上，都受到了許多貴人的幫助及鼓勵，讓我能完成實驗並順利畢業。在此，我想對幫助過我的人們致上最深的謝意！

首先，當然是感謝我的指導教授 陳智老師，從大一開始老師就是我的班導師，大三時也找了老師做專題，而碩班當然也是在 CCLab 奮鬥。在老師這 6 年的教導下真的學了很多，不管是做實驗的態度、細節的注重還是推理的邏輯，甚至是做人處事以及面對困境時的心態調適，都讓我成長不少。此外特別感謝老師支持我們出國參加 conference，碩二上的美國 TMS 之旅真的讓我大開眼界，也讓自己知道還有很多地方需要努力與加強。另外，也感謝廖健能老師和歐陽汎怡老師百忙之中撥空參與我的碩士口試，您的問題與建議讓我獲益良多，也讓我的論文能更加的完善與充實。

接下來要感謝的是實驗室親愛的學長姐們~哈，由於在 CCLab 我這屆只有我一個碩班生，沒有其他同學，所以有時候做實驗還蠻寂寞的，不過由於學長姐們都很親切&熱心，讓我的研究所生涯不是孤單無趣，可說是亦師亦學長姐亦友阿！首先感謝翔耀學長，我專題剛進來時啥都不懂，問題相當多，不過你都很有耐心地講解&回答，希望你在新加坡一切順利；感謝健民學長常常與我分享實驗經驗談以及身體保養之道，祝令媛平安快樂順利長大；感謝寬寬哥不管在實驗還是生活上都幫了我很多很多，雖然平常都跟我們嘻嘻哈哈又超級嘴砲<sup>n</sup>，但每當有問題需要幫忙時，總是耐心且認真地給予協助，甚至是義氣相挺，是個可靠又負責的精銳學長；感謝佳凌學姊在儀器使用及實驗製程上的指導與討論，還有提供校外儀器的諮詢以及人脈；感謝阿丸學長(請容我尊稱你為強者我學長!)常常肯與我討論一些奇形怪狀的問題，你嚴謹重邏輯的思維以及細心詳盡的規劃能力是我努力學習的目標之一；感謝漢文學長在 EBSD 領域的功力傳授，以及對我冷笑話的吐槽...我知道你心底其實是很欣賞我的笑話的；感謝菜頭學長總是在我拿到一堆 data 雜亂無章且毫無頭緒時，幫我有系統地分析並殺出一條血路，不然我 TMS 應該就開天窗了，你那觀察入微並能直接切入重點的分析能力是真的很厲害；感謝以撒學長在實驗及生活上的協助與關心，每次都聽我 murmur 然後你再 murmur 回來~哈，除了做好實驗外你在其他有興趣領域也有相當高度的熱忱，且不吝於跟我分享，讓我的研究生生活多了許多趣味；感謝韋嵐學長總是在假日時陪伴我做實驗，昔日的假日三人組如

今就要少一人了...；感謝天麟學長在我水深火熱時願意幫我跑黃光製程，雖然每次都說你胖了，但其實你真的有變瘦拉；感謝育安學長平時的關心與電腦方面的心得分享；感謝奕丞學長(在學制上我還是要稱聲呼你一聲學長!哈)願意跟我討論實驗的細節及不同的看法，假日三人組好夥伴！另外也要特別感謝筱芸學姊，雖然妳很忙超忙無敵忙，但找妳討論時妳也很願意與我分享實驗經驗與看法，找研替時也幫了我很多，而妳樂觀的想法也常常帶給實驗室許多歡笑，真的很謝謝妳！也感謝聖翔學長以及世緯學長提供了許多職場與面試上的經驗談。還有已經畢業的小手、Stanley、偉豪、小莫學長還有秉儒學姊，雖然你們有自己的事要忙，但仍時常關心我並給予我很多重要參考資料及心得，真的很謝謝你們！感謝皆安、璨云、岱陽、順財以及其他學弟妹們，有你們的陪伴讓我的研究生生活豐富了許多，祝你們未來一切順利囉！

除了實驗室同仁外，也特別感謝中山大學的 EBSD 達人志慶學長和恩寧學姊，有你們鼎力協助我的實驗才能拍出如此好的結果；也感謝晨宏學長和荷宏學長在電鍍方面的提點；當然也要感謝我的前&現任室友們：柏安、育誠、士豪、哲儒、柏翰與智聖對我冷笑話的包容與捧場；還有及人 100 的夥伴們！

最後要感謝我的家人，爸、媽、弟弟及妹妹，對我在各方面的無條件支持與鼓勵，讓我能無後顧之憂地在學業上衝刺，遇到挫折時能回到溫暖的避風港，成功時能一起分享我的喜悅，真的很愛你們！

我的研究所生涯，甚至是我的學生生涯將要在此畫下句點，一路走來發生了許許多多事，有汗水有淚水，有熱血有荒唐，真的很高興能認識你、妳還有你們，在未來的日子裡也請多多指教啦！再次由衷感謝所有幫助過我的人們，由於要感謝的人太多了，那就依慣例謝天吧！感謝老天！OH MY GOD！

我，畢業了！



A stylized handwritten signature in blue ink, appearing to be the name '龍' (Long).

2013.08



# 目錄

摘要.....	I
ABSTRACT.....	III
誌謝.....	V
目錄.....	VII
圖目錄.....	VIII
表目錄.....	X
<b>第一章 緒論.....</b>	<b>1</b>
1-1 電子構裝簡介.....	1
1-2 研究動機.....	6
<b>第二章 文獻回顧.....</b>	<b>7</b>
2-1 電遷移理論(ELECTROMIGRATION THEORY).....	7
2-1.1 焦耳熱效應(Joule Heating).....	9
2-1.2 電流集中效應(Current Crowding).....	10
2-1.4 電遷移造成鉛錫接點破壞的機制.....	13
2-2 厚銅柱(COPPER COLUMN)金屬墊層.....	15
2-3 錫銅介金屬化合物(INTERMETALLIC COMPOUND, IMC).....	17
2-4 晶界(GRAIN BOUNDARY)擴散及偏析(PRECIPIATION).....	21
2-5 B-錫的非等向性(ANISOTROPIC)特性.....	24
<b>第三章 實驗方法.....</b>	<b>29</b>
3-1 試片結構.....	29
3-2 實驗步驟.....	29
3-2.1 試片前處理.....	29
3-2.2 通電測試及溫度控制.....	30
3-2.3 分析工具與方法.....	31
<b>第四章 結果與討論.....</b>	<b>36</b>
4-1 錫晶粒方向與介金屬化合物成長.....	38
4-2 錫晶界與介金屬化合物成長.....	43
4-3 $\text{Cu}_6\text{Sn}_5$ CHANNEL 關閉對介金屬化合物生成的影響.....	51
<b>第五章 結論.....</b>	<b>54</b>
參考文獻.....	55

# 圖目錄

圖 1	各層級封裝示意圖[3].....	3
圖 2	不同封裝示意圖：(A)打線接合，(B)捲帶式自動接合，(C)覆晶接合[4].....	4
圖 3	三維積體電路(3D IC)示意圖[5].....	5
圖 4	電遷移方向示意圖[7].....	8
圖 5	BLECH 鋁導線結構的電遷移現象[7].....	8
圖 6	BLECH 結構中的電流集中效應：(A)電子流流向與轉折處示意圖，(B)電流密度模擬圖[7].....	11
圖 7	(A)錒錫凸塊的電流密度分佈模擬圖，(B)錒錫上方與晶片端金屬墊層連接面的電流密度分佈[12].....	11
圖 8	電遷移在電流密度集中區的鬆餅狀孔洞破壞[13].....	12
圖 9	電遷移使銅金屬墊層及導線快速溶解的破壞模式[14].....	14
圖 10	電遷移的孔洞生成破壞模式 (A)不同階段的孔洞成長，(B)孔洞成長趨勢模擬圖[15].....	14
圖 11	不同金屬墊層厚度的電流分佈模擬圖[19].....	16
圖 12	錒銅平衡相圖[23].....	19
圖 13	層狀 $Cu_6Sn_5$ 與扇貝狀 $Cu_6Sn_5$ 轉換示意圖[24].....	19
圖 14	$Cu_6Sn_5$ 通道示意圖[25].....	20
圖 15	金屬在不同溫度下的各種擴散速度。 $T_M$ 為熔點溫度。[26].....	22
圖 16	晶格擴散與晶界擴散在不同溫度下的擴散速率示意圖 (溫度 $A>B>C$ ) [26].....	22
圖 17	$Cu_6Sn_5$ 沿著錒晶界成長[27].....	23
圖 18	B-錒的體心四方結構.....	26
圖 19	沿 B-錒不同軸向擴散的空間示意圖.....	26
圖 20	鎳在不同溫度及不同軸向的擴散速度圖[28].....	27
圖 21	不同的錒晶粒方向造成不同的破壞模式[29].....	27
圖 22	在 MICROBUMP 中錒晶粒方向對 IMC 成長的影響[30].....	28
圖 23	試片結構示意圖.....	34
圖 24	實際試片初始狀態的 BEI 影像圖.....	34
圖 25	SEMI-IN SITU 的前研磨拋光處理示意圖.....	35
圖 26	電路配置示意圖(紅色：晶片端，綠色：基板端).....	35
圖 27	B-錒的 INVERSE POLE FIGURE.....	37
圖 28	錒晶粒 C 軸與 RD 方向的角度示意圖.....	37
圖 29	不同錒晶粒方向在 $140^\circ C$ 時效處理後的變化：(A)C 軸平行 RD 方向，(B)C 軸不平行 RD 方向.....	40
圖 30	在 $140^\circ C$ 電流密度 $1.17 \times 10^4 A/cm^2$ 條件下的通電結果.....	41
圖 31	陰極端金屬墊層電子流流入角度模擬圖。(電子流從左下方流至右上方).....	42

圖 32	高角度晶界在 140°C 電流密度 $1.17 \times 10^4 \text{ A/cm}^2$ 條件下的通電結果 (A) EBSD 結果, (B) BEI 影像, (C) FIB 影像 .....	46
圖 33	低角度晶界在 140°C 電流密度 $1.17 \times 10^4 \text{ A/cm}^2$ 條件下的通電結果 (A) 光學顯微鏡影像(OM), (B) BEI 影像, (C) EBSD 結果 .....	47
圖 34	錫晶界與 SCALLOP $\text{Cu}_6\text{Sn}_5$ CHANNEL 位置關係示意圖 .....	48
圖 35	SCALLOP $\text{Cu}_6\text{Sn}_5$ 俯視圖及三界點位置圖 .....	49
圖 36	錫晶粒 c 軸垂直電子流方向在 140°C 電流密度 $1.17 \times 10^4 \text{ A/cm}^2$ 條件下通電 50 小時的結果, (A) EBSD 結果, (B) BEI 影像 .....	49
圖 37	圖 36 中紅框處的放大分析圖 (A) EBSD 結果, (B) FIB 影像 .....	50
圖 38	SCALLOP $\text{Cu}_6\text{Sn}_5$ 轉化成 LAYER TYPE $\text{Cu}_6\text{Sn}_5$ 示意圖 .....	52
圖 39	經 200°C 10 小時熱時效處理後, 再以 140°C 通電 $1.17 \times 10^4 \text{ A/cm}^2$ 50 小時之結果 .....	52



# 表目錄

表 1	常用的金屬在不同錫晶格方向的擴散係數[29].....	28
表 2	不同錫晶粒方向在 140°C 時效處理後的 IMC 厚度變化.....	40
表 3	不同錫晶粒方向在 140°C, $1.17 \times 10^4$ A/cm <sup>2</sup> 下的 IMC 厚度變化.....	42
表 4	本實驗條件之電遷移流量公式各項參數實際數值[31].....	48
表 5	經 200°C 10 小時熱時效處理後，再以 140°C 通電 $1.17 \times 10^4$ A/cm <sup>2</sup> 50 小時之 IMC 厚度變化.....	53



# 第一章 緒論

## 1-1 電子構裝簡介

西元 1947 年，Bardeen、Walter Brattain 與 Shockley 三人在美國貝爾實驗室製造出了第一個具有放大電流效果的固態三極體[1]，並取名為電晶體 (transistor)，取代了以往龐大、高熱又高成本的真空管元件，自此大大改變了人們以往的生活型態。1958 年 Kilby 提出了積體電路(Integrated Circuit, IC) 的概念[2]，將電阻、電容及電晶體等元件所構成的電路製作在晶片上，使製作成本及時間降低，體積也大幅減少，並同時能提供完整的電路功能。

隨後半導體電子產業蓬勃發展，電子元件尺寸微小化，密度也越來越高，並依照摩爾定律(Moore's Law)每 18 個月單位面積內的電晶體數目會增加一倍的速率下，電晶體尺寸從以往的微米(micron)等級推進到現今的奈米(nano)等級。而隨著積體電路元件數量的增加，其所需的輸入輸出接點(I/O)密度也隨之上升，因此電子構裝必須不斷開發新的技術與型態，才能因應半導體晶片發展的需求。

由於晶片很脆弱且 I/O 的密度相對於其他零件過於密集等因素，因此需要電子構裝來保護晶片並有效分散引導 I/O 至外部零件，而電子構裝的主要功能大約可分為四項，分別是能量傳遞(Power Distribution)、訊號傳遞(Signal Distribution)、散熱(Heat Dissipation)與保護支持(Protection and Support)。

而電子構裝可依與積體電路的距離，分成不同層級如(圖 1)所示[3]：第一層級為晶圓層次構裝(Chip Level Packaging)，其目標是將晶片接合到封裝

載體的導線上；第二層級則是將第一層級與其他電子元件組接合至電路板上；而第三層級之後則是將不同的電路板組合，形成次系統或系統的製程。

第一層級構裝可依其晶片與基板連接的方式傳統上大致可分為三種，如（圖 2）所示[4]：a.打線接合(Wire Bonding, WB)、b.捲帶式自動接合(Tape Automatic Bonding, TAB)與 c.覆晶接合(Flip Chip Bonding, FC)。其中三者可應用的 I/O 數量多寡為  $FC > TAB > WB$ ，然而由於晶片製程技術的發展迅速，電子產品輕巧化、多功能化的趨勢，傳統的覆晶封裝 I/O 數量也已漸漸不敷使用。

為了解決此問題，三維積體電路 (3D Integrated Circuit, 3D IC)堆疊整合技術應運而生，如圖 3 所示[5]，此技術是以覆晶封裝為基礎，將多層矽晶片堆疊，用鉍錫微凸塊(microbump)來連接各層，而層與層之間則用矽穿孔(Through Silicon Via, TSV)來傳遞訊號，此垂直整合的結構將大幅減少封裝體積，也減少了訊號延遲與失真的情形，是未來相當有潛力的封裝型態。然而，在可靠度方面卻面臨了許多以往沒有的問題，此外，歐盟於西 2006 年宣佈「限用有害物質指令」(RoHS) [6]法案，使以往電子封裝中有良好性質且最常被使用的共晶錫鉛材料已漸漸改為無鉛鉍錫，因此在結構與材料皆大幅改變的情形下，可靠度的議題將會有更多的問題需要探討。

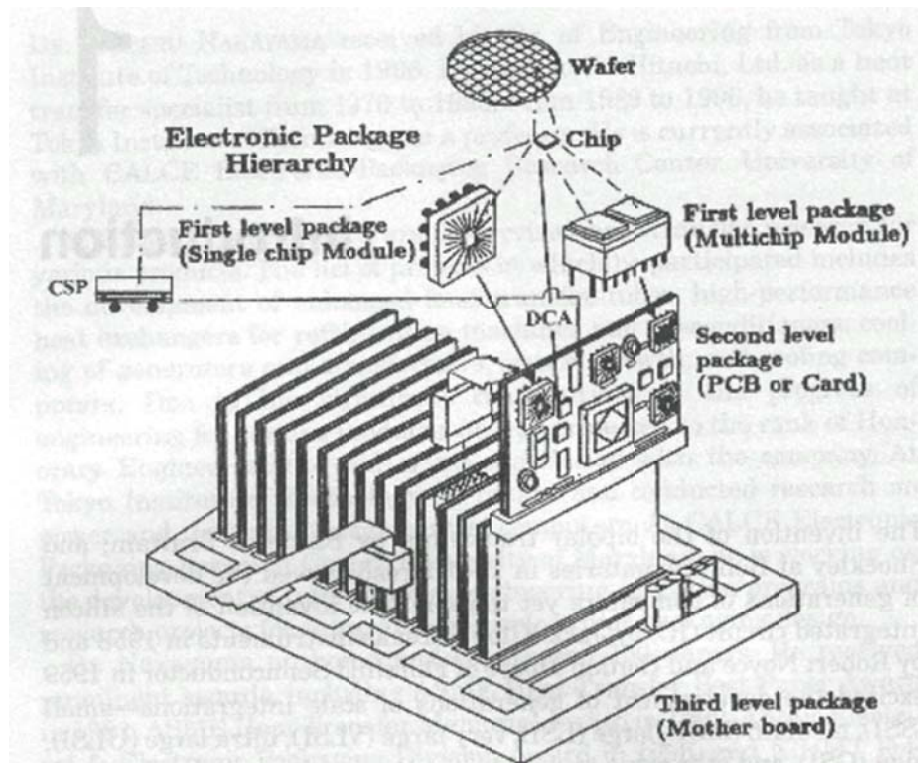
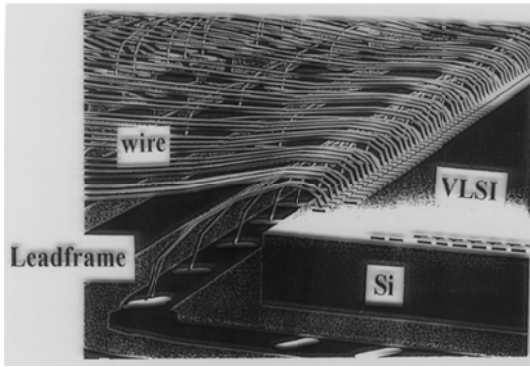
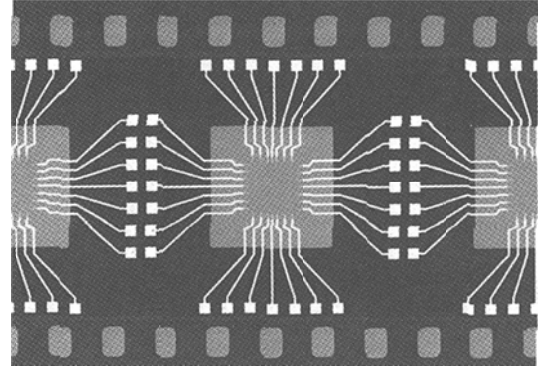


圖 1 各層級封裝示意圖[3]

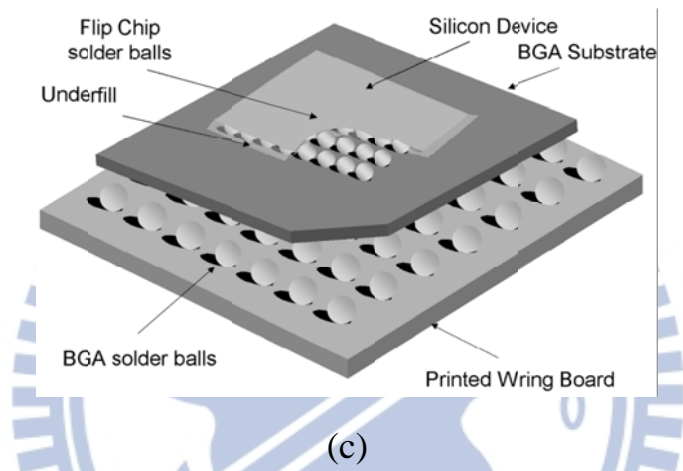




(a)



(b)



(c)

圖 2 不同封裝示意圖：

(a)打線接合，(b)捲帶式自動接合，(c)覆晶接合[4]



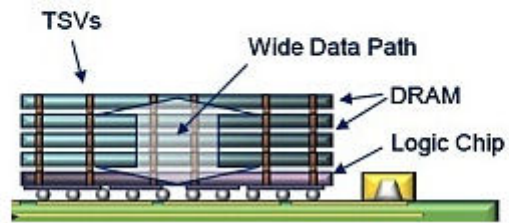
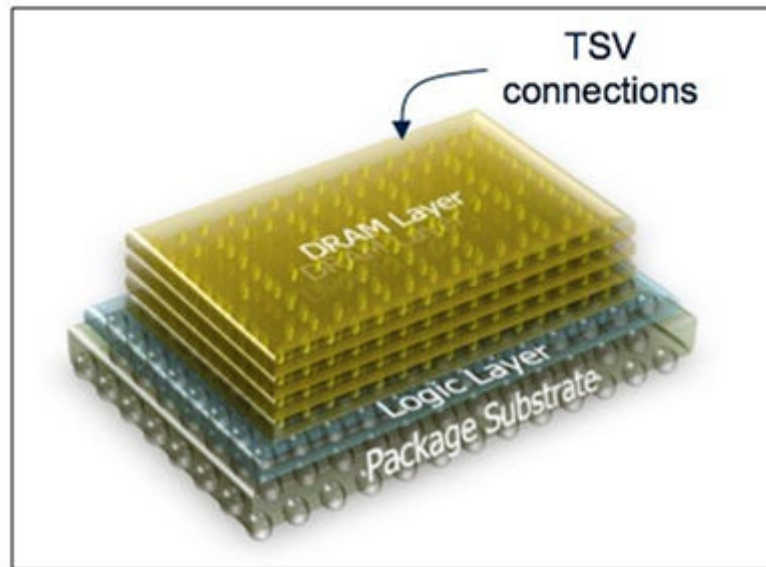


圖 3 三維積體電路(3D IC)示意圖[5]

## 1-2 研究動機

前人的文獻指出， $\beta$ -錫的晶格為體心四方(Body Centered Tetragonal, BCT)結構，其較短的 c 軸為快速擴散路徑，此非等向性會造成鉛錫接點兩種截然不同的破壞模式。以往傳統覆晶封裝的鉛錫凸塊接點大小約為 100 微米左右，鉛錫中的錫晶粒數量很多，且呈現多晶狀態，故鉛錫的非等向性特性會被減緩。然而，3D IC microbump 大小縮小至約 20 微米，長度減為 1/5，體積則減為 1/125，鉛錫體積大幅縮小使得錫晶粒數量受到限制，甚至將只會剩下一兩顆晶粒，此時的鉛錫晶粒方向特性將會直接影響其破壞的模式。此外，除了 c 軸，晶界也是一個快速擴散路徑及異質成核點，其在介金屬化合物的成長中扮演著相當重要的角色。當鉛錫體積縮小，錫晶粒數量大幅減少，這也意味著一錫晶界同時連接上下金屬墊層的機率大幅增加，而此情況下的錫晶界影響則需要更多的研究與討論。因此，在未來小體積的鉛錫接點的研究中，鉛錫晶粒的非等向性及錫晶界的分布情形皆是不可忽略的重要議題。

在電遷移下錫銅介金屬化合物的成長、c 軸與晶界的關係在以往的文獻中並無明確的研究與討論，因此本論文將會利用鉛錫高度約 30 微米的覆晶試片來模擬 3D IC 中 microbump 的鉛錫高度，以此探討錫晶粒方向與錫晶界在通電狀況下的冶金反應與可靠度問題。

## 第二章 文獻回顧

### 2-1 電遷移理論(Electromigration Theory)

電遷移效應是指金屬導線在高電流密度條件下，高速的電子撞擊金屬原子，造成原子從陰極端被推往陽極端的質量傳輸現象，如圖 4 所示。電遷移最典型的例子為 Blech 結構如圖 5[7]，施加高電流密度後，陰極端會生成孔洞(void)，而陽極端會出現隆起物(hillock)，此現象若發生在電子元件中，將會使導線斷路或短路以致元件失效或損毀。

電遷移效應被 Huntington 與 Grone 量化成一方程式[7]，如下式：

$$F_{em} = Z^* eE = (Z_{el}^* + Z_{wd}^*) eE \quad (2.1)$$

$E$  表示電場， $Z^*$  為有效價數， $Z_{el}^*$  可視為金屬離子有效價數，而  $Z_{wd}^*$  為金屬離子受電子風力影像下的有效價數。由此式可知，電遷移的驅動力主要可分為電場靜電力與電子風力。前者為單純的金屬離子受到電場的作用所產生的驅動力，也就是正電荷往負電場方向的吸引力。而電子風力，為當施加電流時，電子與金屬離子不斷的碰撞下，造成動量轉移，使金屬離子產生遷移的驅動力[8]，是物理碰撞的力，方向為陰極端往陽極端。一般來說，在良好的導電體中，電子風力的驅動力都大於電場靜電力十倍以上，因此對於常用於封裝的金屬材料中，例如 Ag、Al、Cu、Pb、Sn 等元素[9]，電遷移是由電子風力為主導。

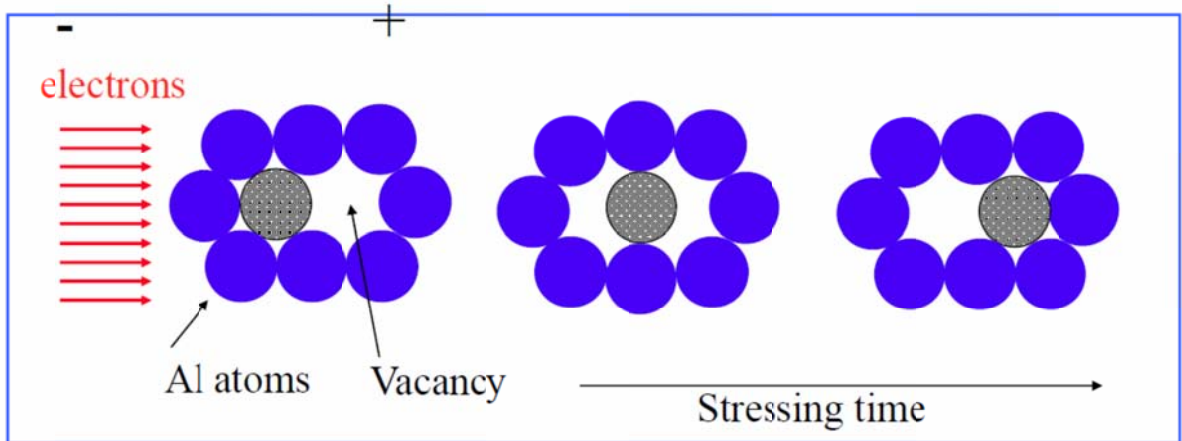


圖 4 電遷移方向示意圖[7]

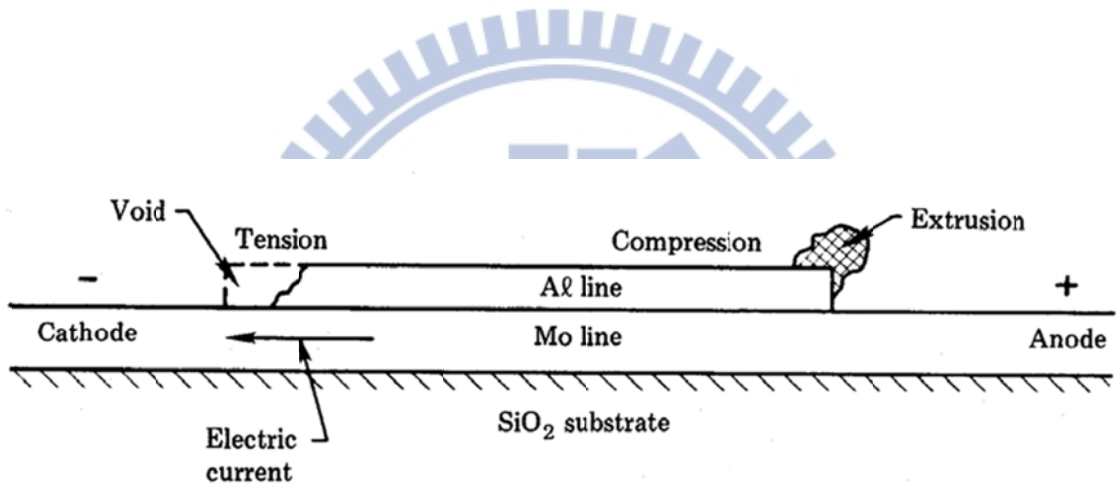


圖 5 Blech 鋁導線結構的電遷移現象[7]

## 2-1.1 焦耳熱效應(Joule Heating)

焦耳熱效應是指當對一導體施加電流時，導體材料溫度上升的現象，此效應最早是在 1841 年由 James Prescott Joule 所發現[10]。錒錫接點在通電狀況下也會產生此現象，在 S.H. Chiu 與 Chih Chen 等人發表於 APL 2006 的文獻中[11]，有探討焦耳熱效應對錒錫接點的影響，並用紅外線顯像技術設備驗證覆晶封裝中熱點的存在，其位置在鋁導線進入錒錫處。而焦耳熱效應將會使導體的電阻上升，此係數稱為溫度電阻係數(Temperature Coefficient of Resistance, TCR)，公式如下所示：

$$R_2 = R_1 [1 + \alpha(T_2 - T_1)] \quad (2.2)$$

$R_2$  為在溫度  $T_2$  時的電阻值， $R_1$  為在溫度  $T_1$  時的電阻值， $\alpha$  為 TCR。在錒錫接點中，溫度上升除了會造成電阻上升外，其原子擴散速率、冶金反應、晶粒成長以及熱應力分布... 等等皆與溫度息息相關，因此利用此公式及特製的電路設計，可以準確校正錒錫接點在封裝結構中的實際溫度，使往後的討論、推導甚至是模擬將可以更貼近真實的情況。

## 2-1.2 電流集中效應(Current Crowding)

在導體中，直流電電流的路徑是走電阻最小的路徑，若在同一種材料中，其路徑即為最短的路徑，因此當電流轉向或是傳導介質改變時，會有局部電流密度上升的情況，如圖 6 所示，此現象稱之為電流集中效應。

由於發熱功率與電流的平方成正比，故電流集中區的溫度會大幅上升。而電流密度與溫度皆是影響電遷移的重要因素，因此電流集中區是較易受電遷移破壞的區域。在覆晶封裝結構中，電流集中區位於鉅錫接點與導線連接處，因為鉅錫接點截面積與導線截面積相差約兩個級數，加上電流大幅度轉向，所以在轉折處電流密度達到最大值[12]，如圖 7 所示。由此可知電流集中效應所造成的電流密度分布不均，將會使電遷移破壞發生在覆晶鉅錫凸塊的高電流密度區，如圖 8[13]的鬆餅狀孔洞生成。

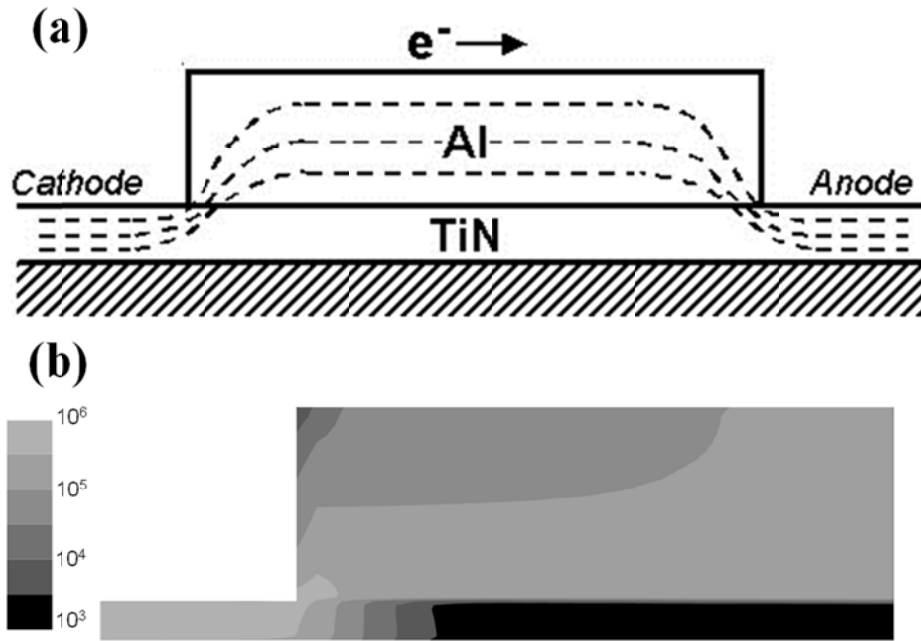


圖 6 Blech 結構中的電流集中效應：(a)電子流流向與轉折處示意圖，(b)電流密度模擬圖[7]

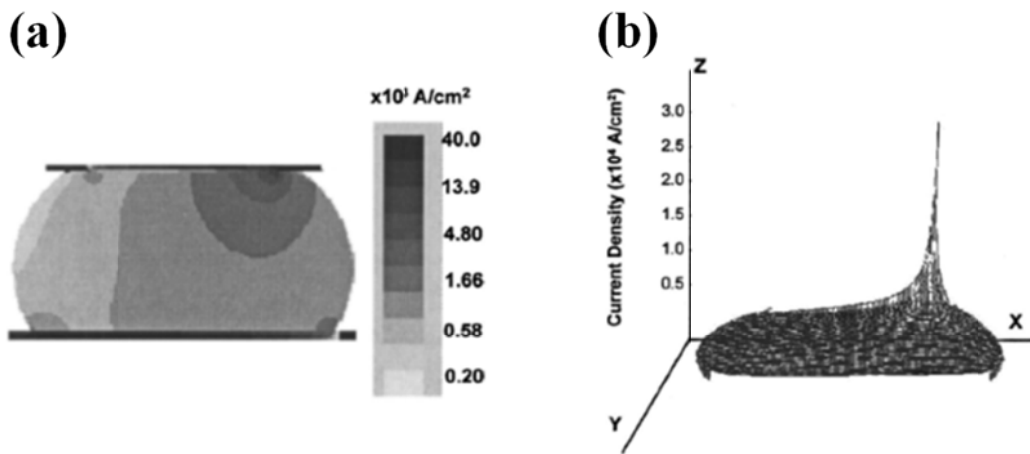


圖 7 (a)錒錫凸塊的電流密度分佈模擬圖，(b)錒錫上方與晶片端金屬墊層連接面的電流密度分佈[12]

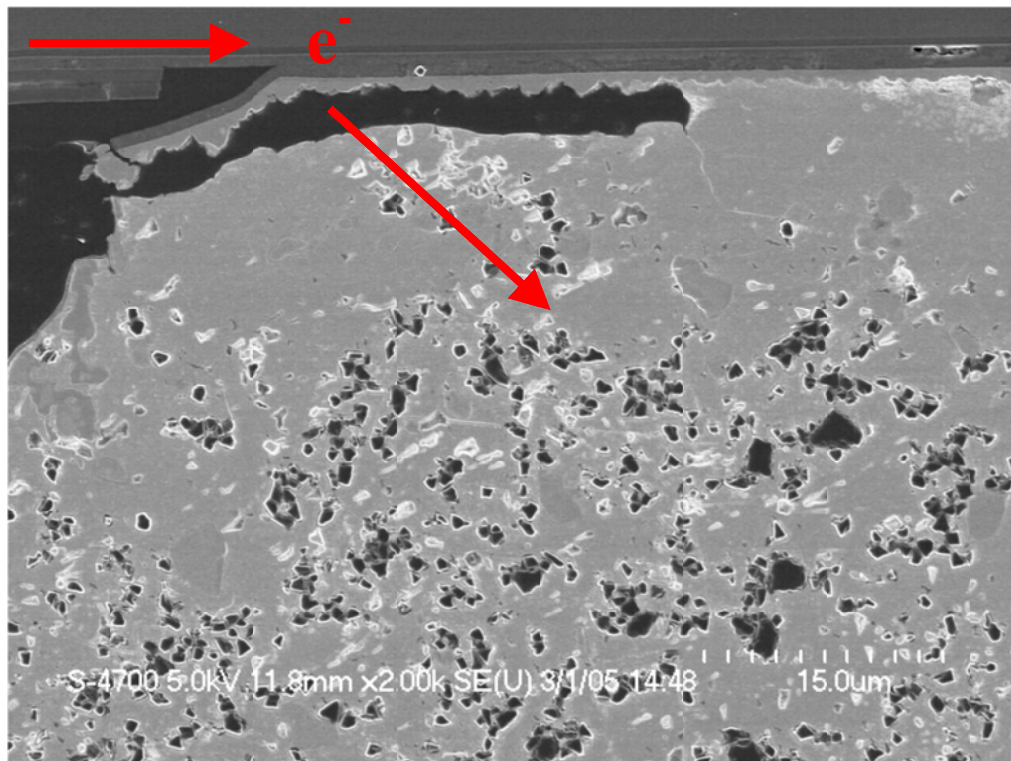


圖 8 電遷移在電流密度集中區的鬆餅狀孔洞破壞[13]





## 2-1.4 電遷移造成鉛錫接點破壞的機制

電遷移在鉛錫接點中主要的破壞機制可分為兩種：其一為電遷移促進金屬墊層(Under Bump Metallization, UBM)的溶解；其二為電遷移下造成的孔洞生成。

由於電遷移會加速原子從陰極端擴散至陽極端，故陰極端的 UBM 原子會因為電遷移的驅動下加速溶入鉛錫中，使 UBM 快速消耗。若 UBM 太薄，則 UBM 會被耗盡造成介金屬化合物剝離，使接點強度大幅下降。到後期甚至會連導線也會被溶解消耗掉，而鉛錫取代了原本導線的位置，使整個結構更易被電遷移破壞，造成可靠度上嚴重的問題，破壞情形如圖 9 [14]所示。

金屬原子的抗電遷移能力與其原子間的鍵結強度有關，熔點越高的金屬其抗電遷移能力強。在覆晶鉛錫凸塊中，銅跟鎳是常見的金屬墊層材料，熔點分別為 1085 °C 與 1455 °C，鉛錫的熔點會隨著其成分差異而變化，一般來說都介於 183 °C 至 230 °C 之間，而介金屬化合物的熔點高於 400 °C，所以鉛錫是整個結構中抗電遷移能力最差的地方。故電遷移的孔洞破壞主要發生在鉛錫凸塊與 UBM 的交界處圖 10 [15]，且孔洞會持續擴大，最後導致斷路。而導致這兩種破壞模式的差異除了電流密度外，錫晶粒的方向也是重要因素之一，這在後面的章節會有更進一步的討論。

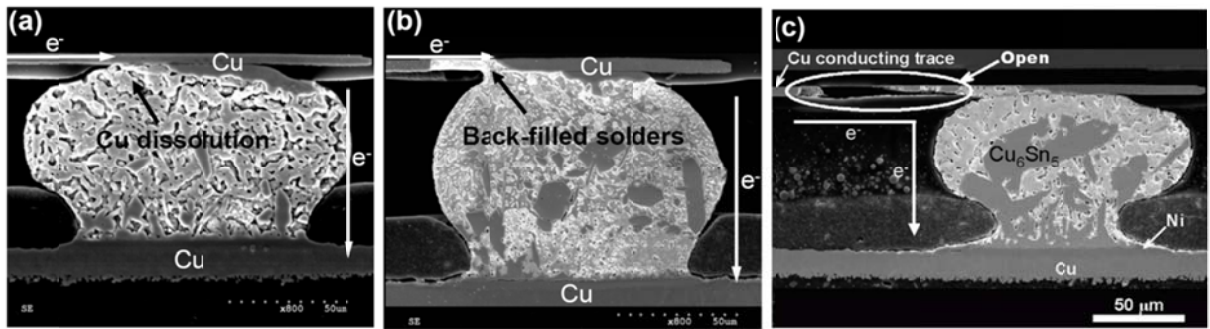


圖 9 電遷移使銅金屬墊層及導線快速溶解的破壞模式[14]

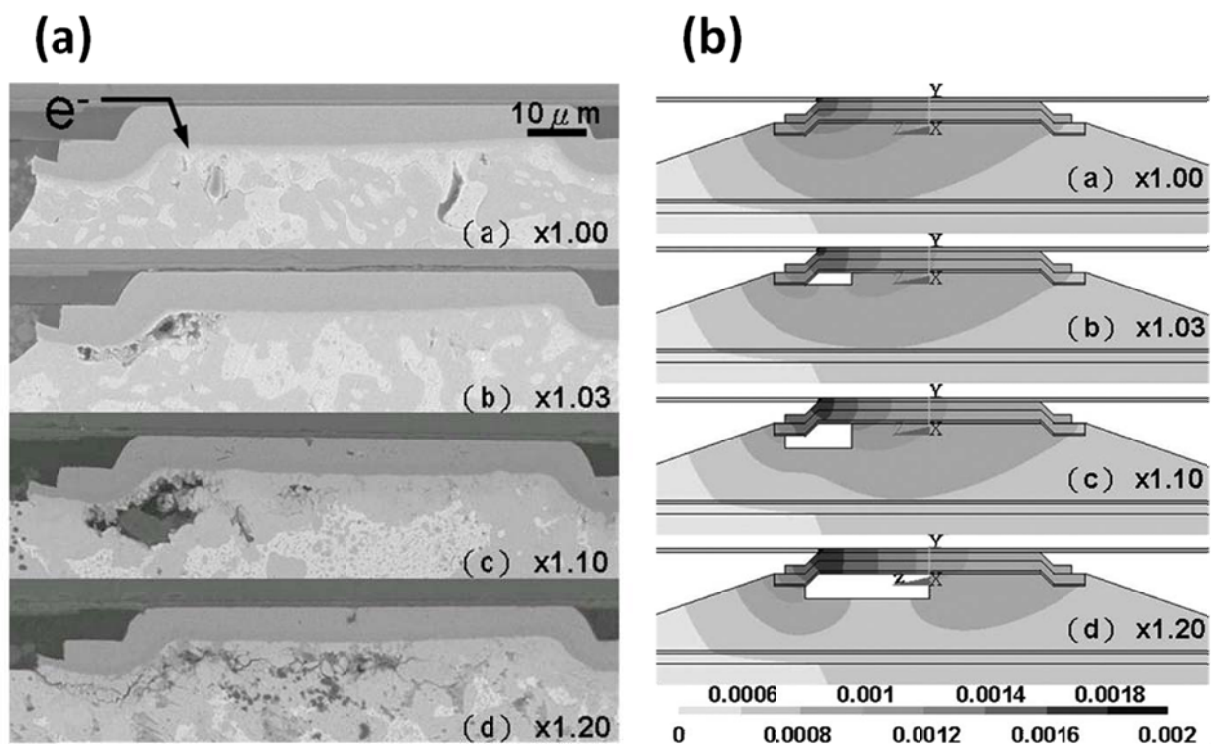


圖 10 電遷移的孔洞生成破壞模式

(a)不同階段的孔洞成長，(b)孔洞成長趨勢模擬圖[15]

## 2-2 厚銅柱(Copper Column)金屬墊層

由於前述的電流集中效應以及電遷移破壞，會影響覆晶鉚錫接點的可靠度，若想改善此現象，可從材料改質或結構改變下手，而半導體封裝產業常用的材料，例如鋁、錫、鎳、銅，其應用的技術及相關設備皆已成熟，故從材料改質方面下手的難度較高，但若用相同的材料，只改變結構，則是較可行的方式。其中，厚銅柱金屬墊層是相當有潛力的改良結構之一，它跟以往的金屬墊層的差異只在於厚度，傳統覆晶封裝的金屬墊層厚度約在3~5微米之間，而厚銅柱結構厚度則高於20微米，而這厚度上的改變就能使覆晶鉚錫接點擁有優異的可靠度[16-18]。

將金屬墊層增厚可有效改善電遷移所造成的可靠度影響，因為此結構可將抗電遷移能力最低的鉚錫遠離電流集中區，使電流集中效應的範圍發生於抗電遷移能力較高的銅中，並從模擬圖中可知此結構也有讓電流平均分散的效果圖 11，讓電流流經鉚錫時能均勻流過，有效減低電遷移對鉚錫的影響[19]，因此厚銅柱金屬墊層在覆晶封裝中有相當優異的表現。

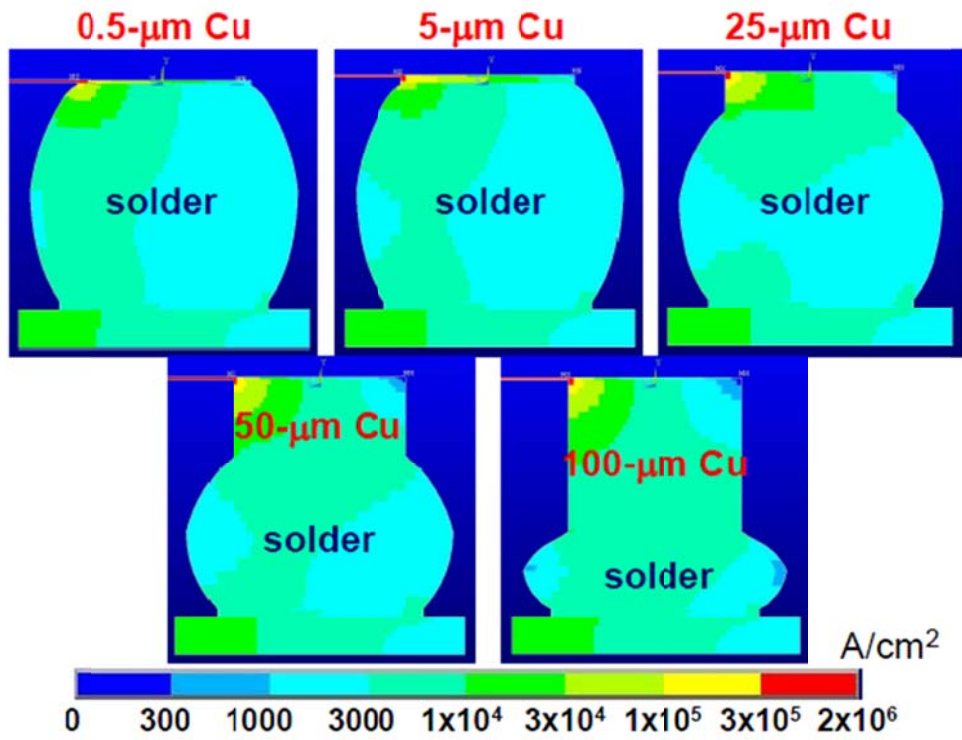


圖 11 不同金屬墊層厚度的電流分佈模擬圖[19]

## 2-3 錫銅介金屬化合物(Intermetallic Compound, IMC)

將鉛錫接點溫度升至鉛錫熔點以上稱為迴焊(Reflow)。在迴焊時鉛錫呈液態，此時鉛錫與金屬墊層原子會快速互相擴散，為趨向最低自由能而在界面生成介金屬化合物。而鉛錫接點的焊接強度大小與介金屬化合物的生成情況有關，因此對介金屬化合物的研究是電子構裝可靠度最重要的議題之一。目前產業界中，考慮到成本、鉛錫的潤濕性及反應速率等因素，銅與鎳為主要的金屬墊層材料。其中鎳為優良的擴散阻障層，可避免過多的介金屬化合物生成，抗電遷移能力也較銅高，但同時也有殘留應力或Ni<sub>3</sub>P產生孔洞的問題，使整體的可靠度降低[20-22]。加上鎳本身有磁性，多少會影響電子元件的運作，因此，銅與鉛錫的反應仍是目前主要的研究議題之一。

從錫銅平衡相圖圖 12[23]中可得知，在迴焊時會生成Cu<sub>6</sub>Sn<sub>5</sub>( $\eta$ 相)與Cu<sub>3</sub>Sn( $\epsilon$ 相)兩種介金屬化合物，其中Cu<sub>6</sub>Sn<sub>5</sub>呈現扇貝狀(Scallop)的形貌，而Cu<sub>3</sub>Sn則呈現層狀(Layer)的形貌。因為Cu<sub>6</sub>Sn<sub>5</sub>與液態鉛錫界面能的關係[24,25]，迴焊時形狀為扇貝狀較穩定，但若是固態反應，Cu<sub>6</sub>Sn<sub>5</sub>則是生成層狀結構較為穩定，如圖 13[24]所示。而鉛錫迴焊後，冷卻速度很快，故液態反應生成的Cu<sub>6</sub>Sn<sub>5</sub>扇貝狀結構會被保留至室溫狀態。因此鉛錫凸塊的初始狀態(initial stage)雖然為固態，但Cu<sub>6</sub>Sn<sub>5</sub>仍維持扇貝狀，其需經過長時間的時效處理(aging)後才會慢慢轉為層狀結構。

扇貝狀Cu<sub>6</sub>Sn<sub>5</sub>的成長機制為供應控制反應(supply-controlled reaction)的熟化(ripening)，此成長方式的IMC厚度與時間的分之一次方成正比[25]，不

同於一般層狀結構的擴散控制成長。而會稱為供應控制反應是因為扇貝狀  $\text{Cu}_6\text{Sn}_5$  間存在著通道(Channel)，如圖 14 所示，此通道為銅原子擴散至鉍錫內部反應的主要途徑，對鉍錫來說是重要的銅原子來源。



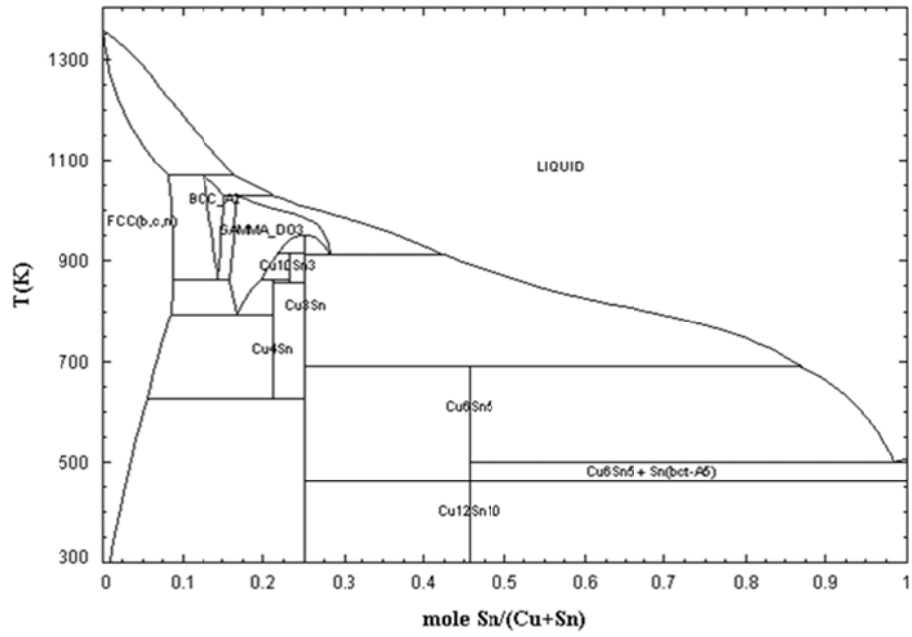


圖 12 錫銅平衡相圖[23]

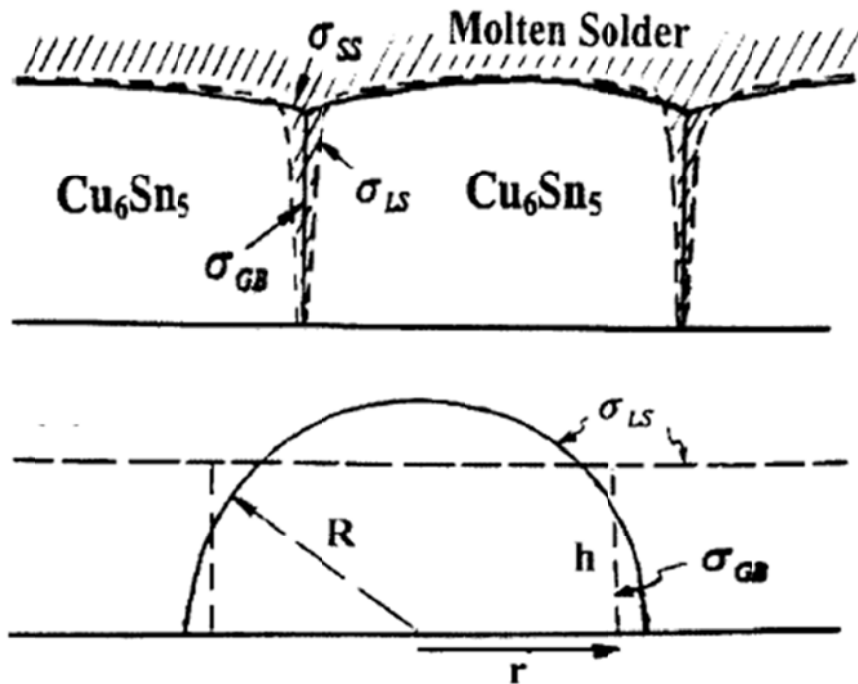


圖 13 層狀 $\text{Cu}_6\text{Sn}_5$ 與扇貝狀 $\text{Cu}_6\text{Sn}_5$ 轉換示意圖[24]

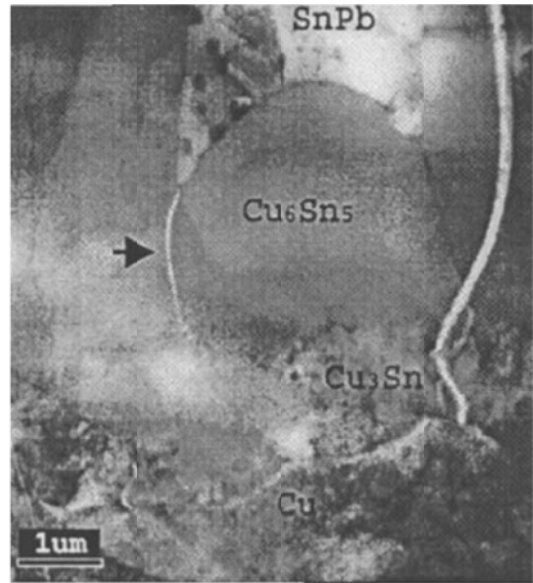
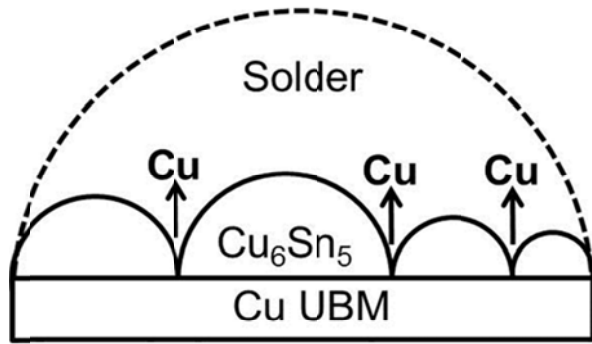


圖 14 Cu<sub>6</sub>Sn<sub>5</sub>通道示意圖[25]





## 2-4 晶界(Grain Boundary)擴散及偏析(Precipitation)

原子擴散的路徑有很多種，其中大概可分為晶格(lattice)、差排(dislocation)、晶界(grain boundary)以及表面(surface)擴散，而一般金屬在不同溫度的擴散速度如圖 15[26]所示。而在鐳錫接點中是以晶格擴散和晶界擴散為主，此兩種擴散的速率與溫度有關，當溫度高時，以晶格擴散為主導，但低溫時則以晶界擴散為主導，如圖 16 所示[26]。

因此金屬墊層原子，如銅、鎳，除了在晶格內擴散外，晶界也是另一個擴散的路徑。此外，晶界也是面缺陷之一，為介金屬化合物偏析的成核點(nucleation site)。在Tu的錫晶鬚研究中，可發現在未通電的狀況下 $\text{Cu}_6\text{Sn}_5$ 沿著錫晶界快速成長的現象，如圖 17 所示[27]。此即表示錫晶界對於介金屬化合物的成長速率與方式是很重要的因素。

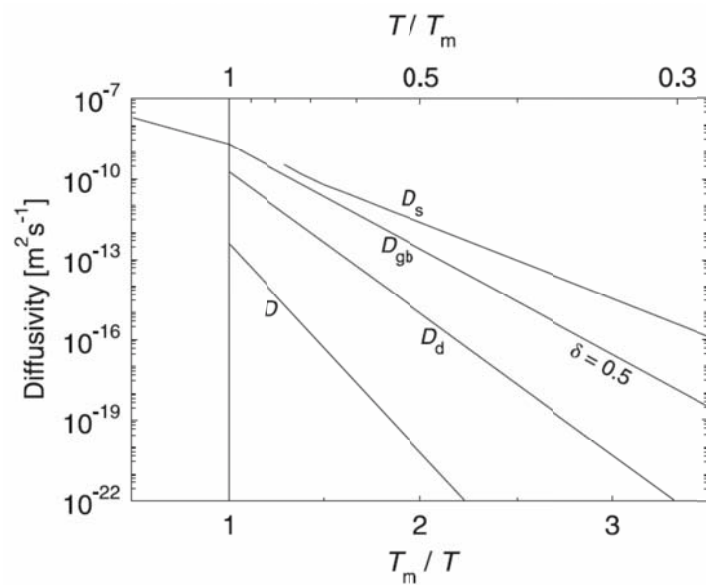


圖 15 金屬在不同溫度下的各種擴散速度。 $T_m$  為熔點溫度。[26]

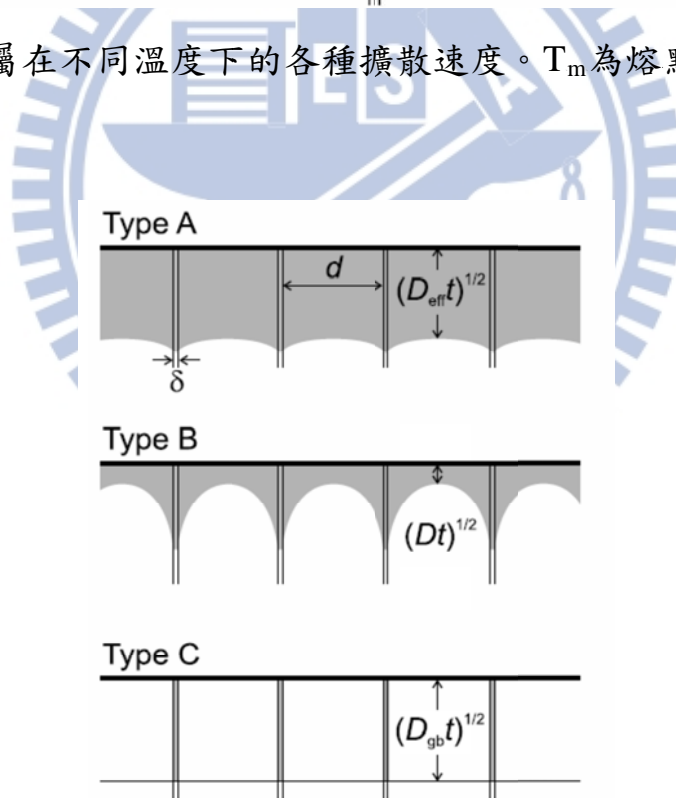


圖 16 晶格擴散與晶界擴散在不同溫度下的擴散速率示意圖  
(溫度  $A > B > C$ ) [26]

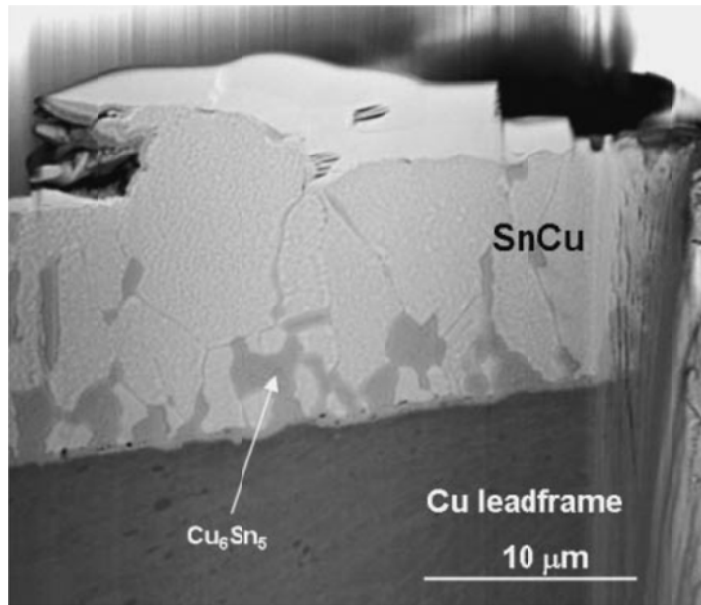


圖 17  $\text{Cu}_6\text{Sn}_5$  沿著錫晶界成長[27]



## 2-5 $\beta$ -錫的非等向性(Anisotropic)特性

在常壓及一般操作溫度下，錫為 $\beta$ -錫呈體心四方(body-centered tetragonal, BCT)結構，其 a 軸與 b 軸等長( $a=b=5.83\text{\AA}$ )，c 軸較短( $c=3.18\text{\AA}$ )，如圖 18 所示。所以當間隙型擴散(interstitial diffusion)原子，如銅、鎳，在錫晶格中擴散時，如圖 19 所示，沿 c 軸方向的空間較大，其擴散能障小，速率較快；反之，沿 a 軸或 b 軸方向的空間較小，擴散能障高，速率較慢。因此 c 軸為快速擴散路徑。

此特性在 Yeh 及 Huntington 的研究中有詳細的報導[28]，鎳在沿 c 軸的擴散速度是沿 a 軸的一萬倍以上，為相當高度的非等向性，如圖 20 所示。鎳在錫中有如此高度非等向性的原因除了前述間隙型擴散原子的擴散空間差異外，鎳在錫中的低溶解度也是原因之一。而在 Lu 的報告中指出[29]，在覆晶鍍錫封裝中，此擴散的非等向性會造成兩種截然不同的破壞模式：若 c 軸平行電流方向，則金屬墊層原子會快速擴散進鍍錫中，造成金屬墊層溶解的破壞模式；若 c 軸垂直電流方向，則金屬墊層原子不易進入鍍錫，使界面的錫原子因電遷移被推走後，產生的空缺沒有金屬墊層原子遞補，為孔洞生成的破壞模式，如圖 21 所示。而除了前文提到的鎳之外，覆晶鍍錫中常見的銅、銀等元素在 $\beta$ -錫中的擴散也是非等向性的，但其非等向性程度沒有鎳那麼高，詳細數據如表 1 所列。

傳統覆晶鍍錫凸塊的大小約 100 微米，其錫晶粒數量很多，呈多晶狀態，故鍍錫的非等向性不顯著。但 3D IC microbump 的大小縮至 20 微米左右，鍍錫晶粒數量大幅減少，甚至將只剩一兩個晶粒在凸塊中，如圖 22 所

示[30]，此時非等向性的影響就會非常明顯。因此在錫晶粒很少的 microbump 中，錫晶粒方向的議題會比以往還要來的重要。



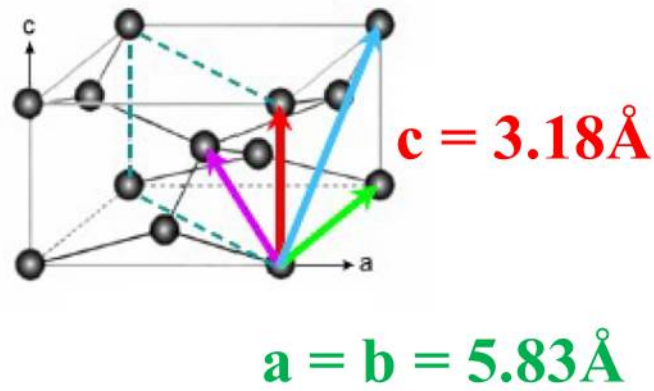


圖 18  $\beta$ -錫的體心四方結構

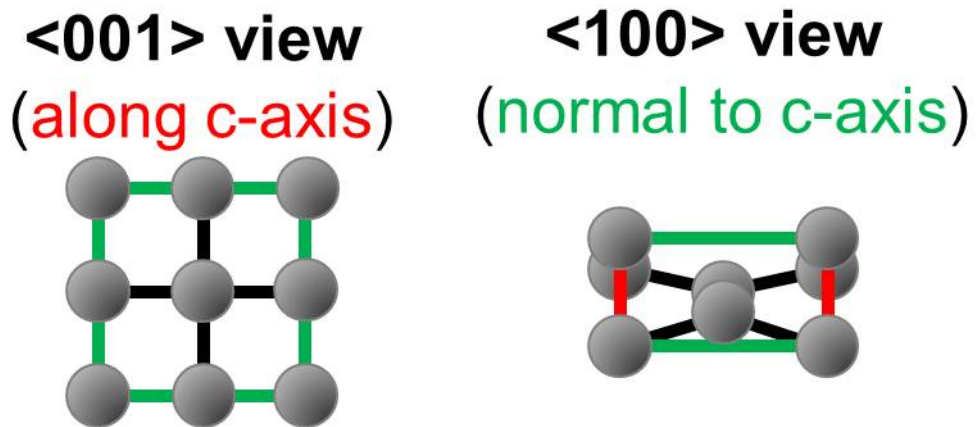


圖 19 沿  $\beta$ -錫不同軸向擴散的空間示意圖

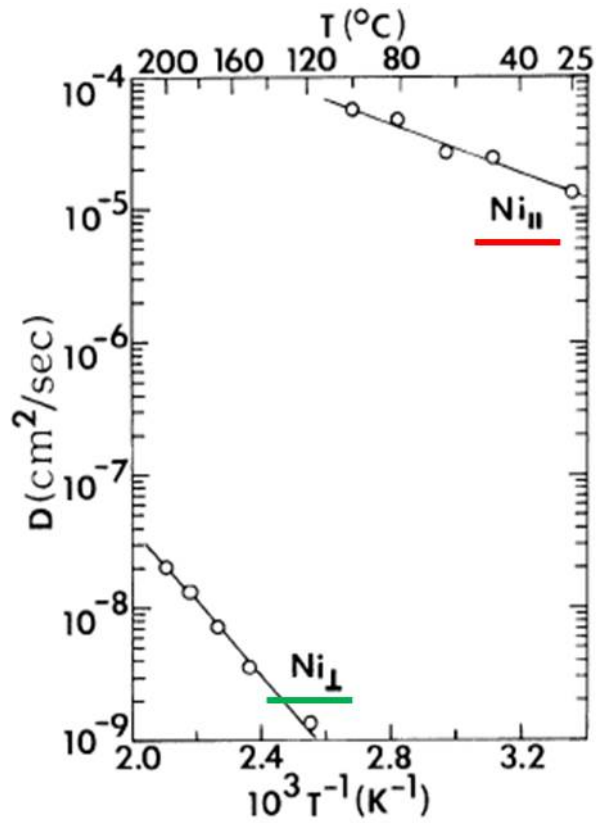


圖 20 鎳在不同溫度及不同軸向的擴散速度圖[28]

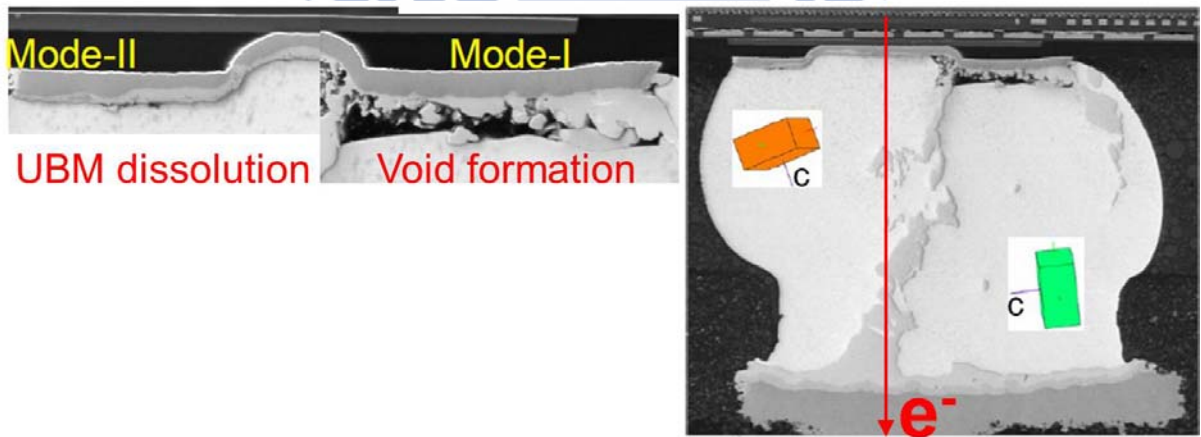


圖 21 不同的錫晶粒方向造成不同的破壞模式[29]

表 1 常用的金屬在不同錫晶格方向的擴散係數[29]

Diffusion element		Diffusivity (cm <sup>2</sup> /sec)	
		150°C	25°C
Ag	a-axis	$5.60 \times 10^{-11}$	$5.75 \times 10^{-15}$
	c-axis	$3.13 \times 10^{-9}$	$6.76 \times 10^{-12}$
Cu	a-axis	$1.99 \times 10^{-7}$	$3.85 \times 10^{-9}$
	c-axis	$8.57 \times 10^{-6}$	$1.16(\sim 2) \times 10^{-6}$
Ni	a-axis	$3.85 \times 10^{-9}$	$6.04 \times 10^{-12}$
	c-axis	$1.17 \times 10^{-4}$	$1.35 \times 10^{-5}$
Sn	a-axis	$1.24 \times 10^{-12}$	$4.85 \times 10^{-18}$
	c-axis	$4.92 \times 10^{-13}$	$1.50 \times 10^{-18}$

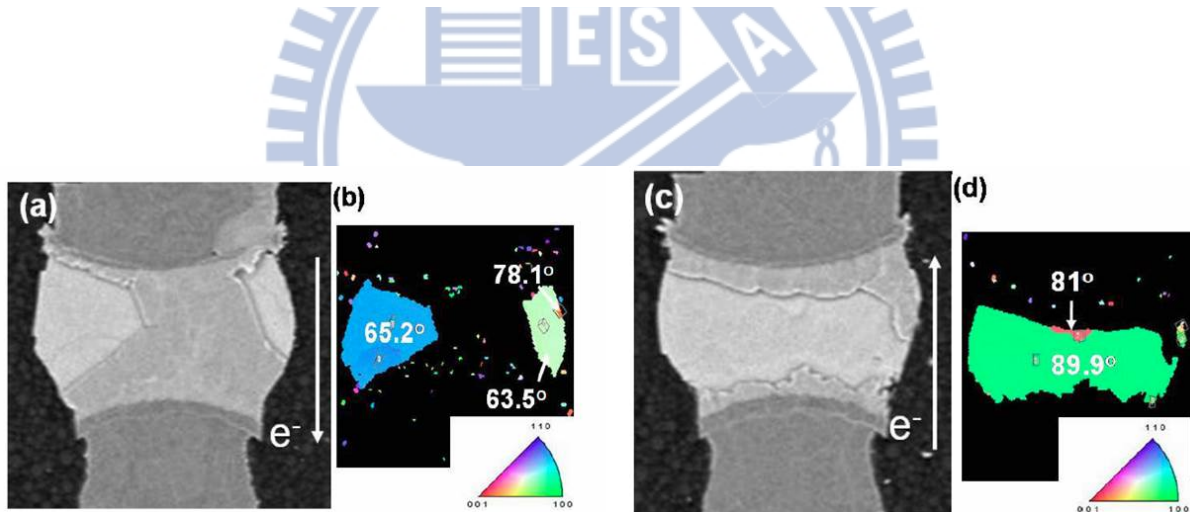


圖 22 在 microbump 中錫晶粒方向對 IMC 成長的影響[30]



## 第三章 實驗方法

### 3-1 試片結構

本研究所用之試片為本實驗室自行設計後，委託廠商製作的覆晶鉚錫試片，其結構圖如圖 23、圖 24 所示。上方晶片端結構為Cu RDL/Ti/Cu column，厚度分別為 5/1/50 微米，其中導線寬 100 微米，Ti為濺鍍的接著層，隨後再濺鍍 2 微米的Cu電鍍種子層，最後再電鍍至 50 微米厚。鈍化層開口 (passivation opening)直徑為 85 微米，銅金屬墊層開口直徑為 140 微米。下方基板端的部分則為 27 微米厚 100 微米寬的銅導線，綠漆開口 (solder mask) 直徑為 140 微米。使用的鉚錫為電鍍的Sn2.3Ag無鉛鉚錫，鉚錫高度約 30 微米，接合的迴焊時間為 1 分鐘，在鉚錫與金屬墊層間有扇貝狀的Cu<sub>6</sub>Sn<sub>5</sub>生成。

### 3-2 實驗步驟

#### 3-2.1 試片前處理

在本實驗中在通電測試前，有分兩種初始狀態的試片，第一種為完全未經處理的試片，在廠商製作完試片後，及拿去做下一階段的semi-in situ 研磨拋光步驟；第二種為將Cu<sub>6</sub>Sn<sub>5</sub>介金屬化合物channel關閉的試片，因為廠商剛製作完成的試片其Cu<sub>6</sub>Sn<sub>5</sub>為扇貝狀，channel為開啟狀態，因此會拿

去做高溫時效(aging)熱處理，使其channel關閉，時效溫度為 200 °C，時間為 10 及 20 小時，熱處理完畢後，也同第一種試片進入下一階段的研磨拋光步驟。

本實驗為了確定試片的初始錫晶粒狀態，因此採用semi-in situ的觀測方法。首先要先將試片研磨拋光至主迴路的中央，如圖 25 所示，研磨用的SiC砂紙號數依序為 1000、2500、4000 號，隨後再以 1  $\mu\text{m}$ 、0.3  $\mu\text{m}$  氧化鋁粉拋光液拋光，最後再以 0.06  $\mu\text{m}$  的SiO<sub>2</sub>最終拋光懸浮液將錐錫表面拋至平整光滑。

而是否將試片磨至正中間的判別方法是用四點量測來量凸塊的初始電阻，隨後在研磨的各階段也會同時量測電阻，以推測目前的研磨狀況。當研磨至正中間時，凸塊電阻會是初始值的兩倍。使用的量測儀器為 Keithley 2400 多功能電源供應器。

### 3-2.2 通電測試及溫度控制

由於本實驗主要是觀察錫晶粒的方向，然而錫晶粒生成的方向是隨機的，所以必須做大量的試片才有機會觀測到不同方向的錫晶粒，因此本實驗採用雛菊環(daisy chain)結構來取得較多的樣本，並取較短的通電時間，以免介金屬化合物生成過多，影響觀測。試片前處理後，會放上加熱板(hot plate)上加熱並施以高電流密度做加速測試，試片迴路如圖 26 所示。首先，主迴路通以 0.9 安培的電流，由於前處理時已將凸塊磨至一半，故電流密度約為  $1.17 \times 10^4 \text{ A/cm}^2$ 。電子流從b3 通入，經過四顆凸塊的雛菊環結構後，

由b6 流出，所以b1, b2, b7 ,b8 為未過電的對照組。通電時間為 50、100、200 小時。

除了電流密度外，溫度也是實驗的重要因素之一，因為焦耳熱效應以及試片不是在烘箱通電的關係，試片內凸塊的實際溫度並不等於加熱板所設定的溫度。為此，本實驗所用之試片，在凸塊的晶片端有設計一組量溫度用的TCR迴路。首先會在室溫主迴路未通電的情況下，在TCR迴路通以 0.1 安培的電流(此電流造成的溫升很小，故可忽略)，並用四點量測精準測量TCR迴路電阻 $R_1$ 。之後放上 120 °C 加熱板待其穩定後，測量在加熱板上且主迴路未通電的TCR電阻 $R_2$ ，此時在利用文獻回顧提到的(公式 2.2)，在  $R_1$ 、 $R_2$ 、 $\alpha$  與  $T_1$  皆已知的條件下，可求得實際溫度 $T_2$ 。同理，主迴路通電後，測得 $R_3$ 則可推出在加熱板上通電時的實際溫度 $T_3$ 。最後會慢慢校調加熱板溫度，使試片內凸塊實際溫度到達約 140 °C。

### 3-2.3 分析工具與方法

本實驗用到的分析儀器主要有：電子顯微鏡(Scanning Electron Microscopy, SEM)、背向散射電子繞射儀(Electron Backscatter Diffraction, EBSD)與聚焦離子束與電子束顯微系統(Focused Ion Beam, FIB)，下文會一一介紹。

電子顯微鏡為日本電子光學株式會社(Japan Electron Optics Laboratory, JEOL)的 6500 型熱場發式(Field Emission)電子顯微鏡。其觀察模式有兩種，一為二次電子影像(Secondary Electrons Image, SEI)，此種模式成像原理是試

片表面原子的弱鍵結電子遭到電子槍發射的入射電子撞擊，撞擊後使弱鍵結電子獲得能量而游離。而偵測器會偵測此游離的二次電子訊號，其訊號強弱與試片表面起伏有關，所以主要是用來觀測試片的表面形貌的起伏。另一種模式為反射電子影像(Backscattered Electrons Image, BEI)，其訊號來源是入射電子與原子產生彈性碰撞後反射的電子，而訊號的強弱與被撞擊的原子質量有關，所以此模式在觀測不同元素或化合物時，能有較佳的對比。因本實驗的觀測重點在於介金屬化合物的分佈情形，故選用 BEI 模式來觀測。

背向散射電子繞射儀其實是掃描式電子顯微鏡的外掛模組之一，而本實驗用的是德國卡爾蔡司(Carl Zeiss)的 Supra 55 型場發射式電子顯微鏡外掛英國牛津儀器(Oxford Instruments)開發的 EBSD 模組。此儀器觀測目標為材料晶體的晶格方向，其原理是利用背向散射電子繞射後所產生的菊池線(Kikuchi line)來判別晶格方向。而其優越之處在於可以選擇特定區域做大面積的晶格掃描，再搭配軟體可將不同晶格方向用不同顏色表示之，不像穿透式電子顯微鏡(Transmission electron microscope, TEM)一次只能對單點做繞射判別，因此 EBSD 對於大範圍的晶格方向分析是非常便利且迅速的。

聚焦離子束與電子束顯微系統也是 SEM 的外掛模組之一，其原理是用加速的鎢原子轟擊試片做物理性的蝕刻，不過 FIB 與一般常用來做物理蝕刻的反應式離子蝕刻(RIE)或感應耦合式電漿蝕刻系統(ICP)等儀器的不同點在於，FIB 可搭配 SEM 影像來選取特定位置來蝕刻，而不是整體一起蝕刻。而此儀器在本實驗的用途是把試片表面削平整，其平整度將遠高於用研磨

機拋光的表面，因此可便於清楚觀察一般難以觀察到的微結構，如錫晶界、 $\text{Cu}_6\text{Sn}_5$ 的通道等等。

本實驗觀察分析的時間點可分為兩個階段：第一階段為試片的初始狀態，也就是通電前的狀態，會使用SEM以及EBSD來觀測，目的在於得知試片還未受測試時的狀態，以利實驗後對照分析。第二次為通電後的分析，觀測的重點在錫晶粒大小的變化、晶粒方向、介金屬化合物的生成與分佈、錫晶界的分佈、介金屬化合物與金屬墊層的溶解情形、 $\text{Cu}_6\text{Sn}_5$ 的通道等等，儀器也是使用SEM與EBSD，但若有發現特別之處，將會再使用FIB做細部蝕刻，做更進一步的分析。



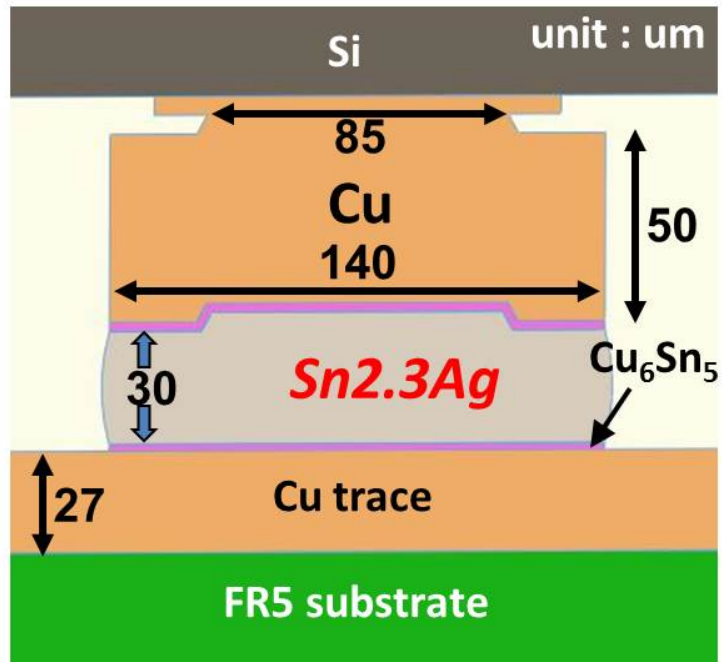


圖 23 試片結構示意圖

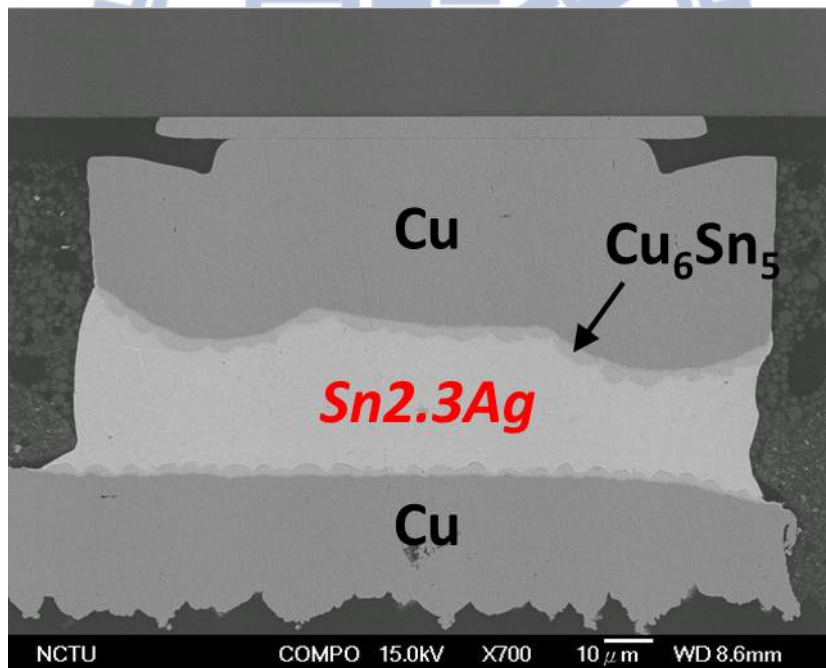


圖 24 實際試片初始狀態的 BEI 影像圖

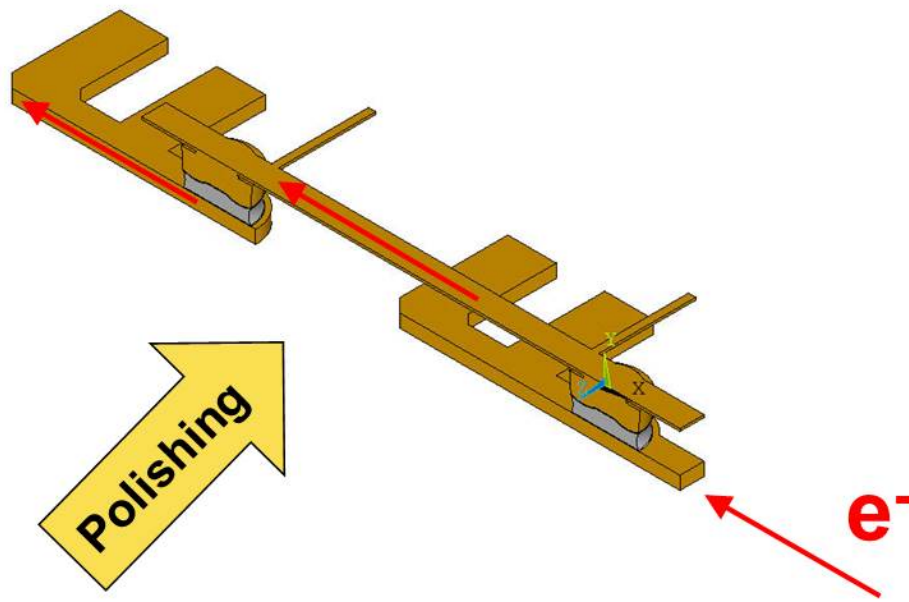


圖 25 semi-in situ 的前研磨拋光處理示意圖

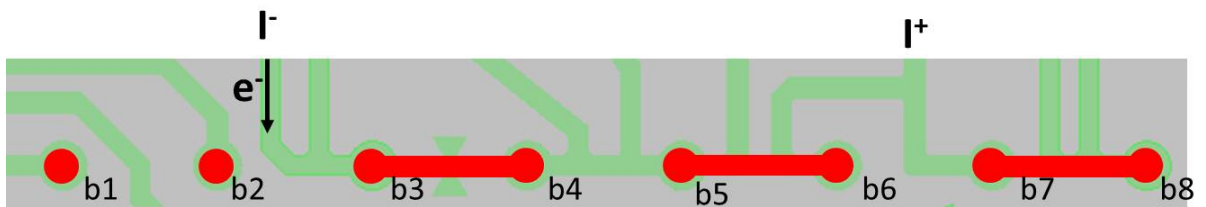


圖 26 電路配置示意圖(紅色：晶片端，綠色：基板端)

## 第四章 結果與討論

在表 1 及圖 21 可得知鎳在錫晶粒中擴散的非等向性非常明顯，所造成的影響也截然不同。但銅在錫晶格中 a 軸與 c 軸的擴散速率差異在 150 °C 下只有 40 倍左右，與鎳的一萬倍相差甚遠。因此本實驗利用兩端皆是銅金屬墊層的低高度覆晶銲錫接點，來研究在 Cu/SnAg/Cu 系統下，銅的擴散非等性是否也跟鎳在錫中一樣明顯。此外，晶界的影響也是本實驗的研究重點之一，以下將會分節討論。

在 EBSD 的結果圖中，不同顏色代表在 RD 方向上錫晶粒的不同方向。而在先前文獻回顧中可知錫晶粒的 c 軸為快速擴散路徑，c 軸 [001] 在 EBSD 圖中為紅色，而 a 或 b 軸 [100] 為綠色，[110] 方向則為藍色，也就是說顏色越靠近某顏色，則代表晶格方向越接近某方向，如圖 27 所示。此外，之後有的 EBSD 圖會標上角度，該角度為錫晶粒方向與 RD 方向(可視為電子流方向)的夾角，如圖 28 所示。而相鄰的錫晶粒的方向角度差 15 度以上，也就是高角度的錫晶界，將會以黑線標示之，若錫晶界無黑線標示，則是低角度(小於 15 度)晶界。



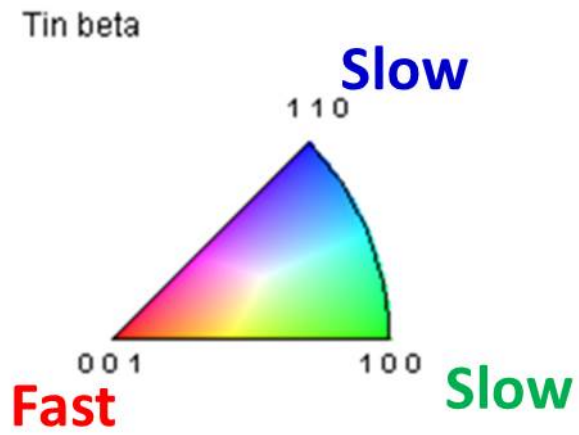


圖 27  $\beta$ -錫的 inverse pole figure

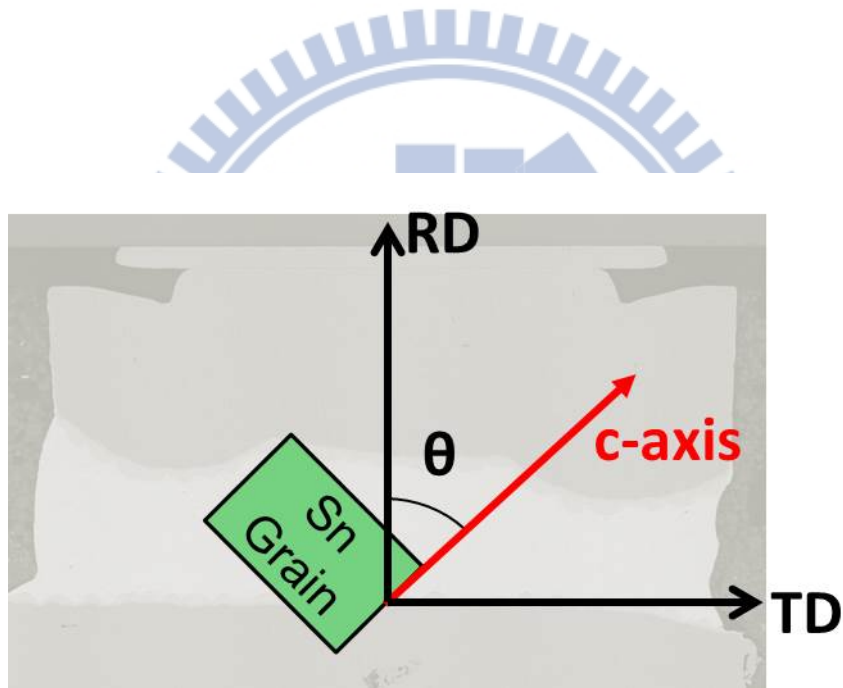


圖 28 錫晶粒 c 軸與 RD 方向的角度示意圖

## 4-1 錫晶粒方向與介金屬化合物成長

圖 29 為在 140 °C 下時效處理未通電的 BEI 及 EBSD 結果，圖 29(a) 與 (b) 分別為 c 軸平行 RD 方向與不平行 RD 方向的鉍錫凸塊，在經過 100 與 200 小時後，並未發現明顯的變化，其兩端 IMC 的厚度變化如表 2 所列。因此在沒有電子流驅動的情況下，錫晶粒方向的不同對鉍錫凸塊造成的影響並不明顯。

圖 30 為在 140 °C 下通以  $1 \times 10^4$  電流密度的 BEI 及 EBSD 結果，紅色箭頭為電子流方向。由圖 30(a) 可發現右邊 c 軸角度較低的錫晶粒造成陰極端的金屬墊層溶解較快，且在陽極端有  $\text{Cu}_6\text{Sn}_5$  介金屬化合物的累積。在圖 30(b) 中的錫晶粒 c 軸幾乎平行電子流方向，在通電 50 小時後，陽極端累積了大量的  $\text{Cu}_6\text{Sn}_5$ ，幾乎佔了整個鉍錫體積的三分之二以上。圖 30(c) 與 (a) 類似，左側錫晶粒的 c 軸角度較大，右側錫晶粒角度較低，則可發現右側陰極端的  $\text{Cu}_6\text{Sn}_5$  皆已溶解，但左側陰極端的  $\text{Cu}_6\text{Sn}_5$  仍保持著。

圖 30(d) 的特別之處在於，其陰極端金屬墊層溶解的位置在 46.2 度膚色錫晶粒處，而不是 21.1 度的紅色錫晶粒，造成此現象推測為陰極端電子流流入的角度並非完全平行 RD 方向所致。如圖 31 所示，因為陰極端金屬墊層不是厚銅柱結構，所以電子流流入的角度為 RD 方向再往右側偏 6.5 度，因此造成膚色錫晶粒 c 軸角度與電子流方向夾角減少，而紅色角度增加，而使金屬墊層溶解處位於膚色鉍錫位置。當然，電子流角度與錫晶粒角度的關係需要更進一步的研究才能釐清。最後圖 30 (e) 的錫晶粒 c 軸幾乎垂直 RD 方向，經過 50 小時通電測試後， $\text{Cu}_6\text{Sn}_5$  沒有明顯變化。利用軟體計算不同錫

晶粒方向在通電後的IMC厚度變化結果如表 3 所列，為了方便比較及計算，這裡只取了錫晶粒比較單純且極端的兩顆凸塊做比較。由此可知，雖然銅在錫晶格中的非等向性差異並沒有像鎳那麼高，但在電流驅動下不同錫晶粒方向仍會造成不同的介金屬化合物生成與金屬墊層溶解情形。若c軸較平行電子流方向，會造成陰極端金屬墊層快速溶解、陰極端介金屬化合物溶解或陽極端Cu<sub>6</sub>Sn<sub>5</sub>累積。若c軸較垂直電子流方向，則通電初期不會有明顯的變化。



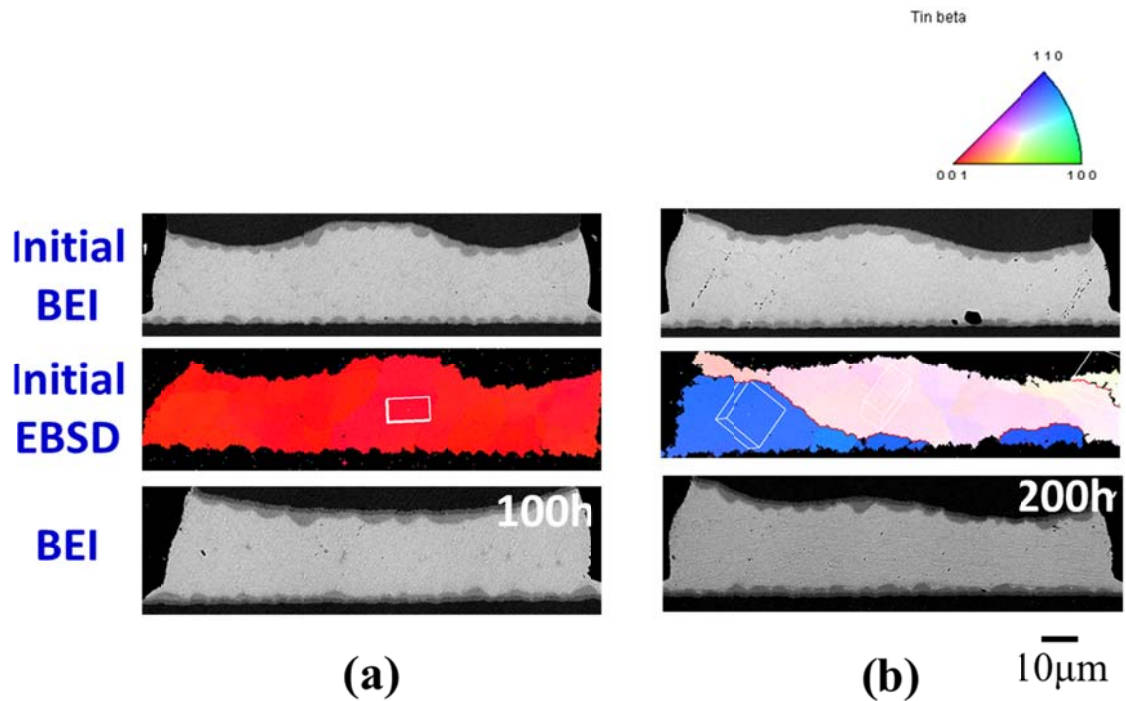
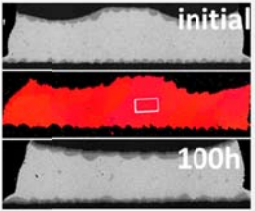
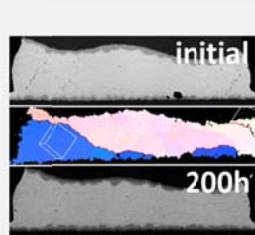


圖 29 不同錫晶粒方向在 140 °C 時效處理後的變化：  
 (a) c 軸平行 RD 方向，(b) c 軸不平行 RD 方向

表 2 不同錫晶粒方向在 140 °C 時效處理後的 IMC 厚度變化

	Side	IMCs	Initial thickness(µm)	Final thickness(µm)	Thickness change(µm)	
			Top	Cu <sub>3</sub> Sn	0.0	1.2
	Bottom	Cu <sub>6</sub> Sn <sub>5</sub>	2.4	1.6	-0.9	
		Cu <sub>3</sub> Sn	1.9	1.6	-0.4	
	Side	IMCs	Initial thickness(µm)	Final thickness(µm)	Thickness change(µm)	
			Top	Cu <sub>3</sub> Sn	0.0	1.4
	Bottom	Cu <sub>6</sub> Sn <sub>5</sub>	2.7	1.7	-1.0	
		Cu <sub>3</sub> Sn	2.2	1.8	-0.4	
			Cu <sub>6</sub> Sn <sub>5</sub>	0.0	1.5	1.5

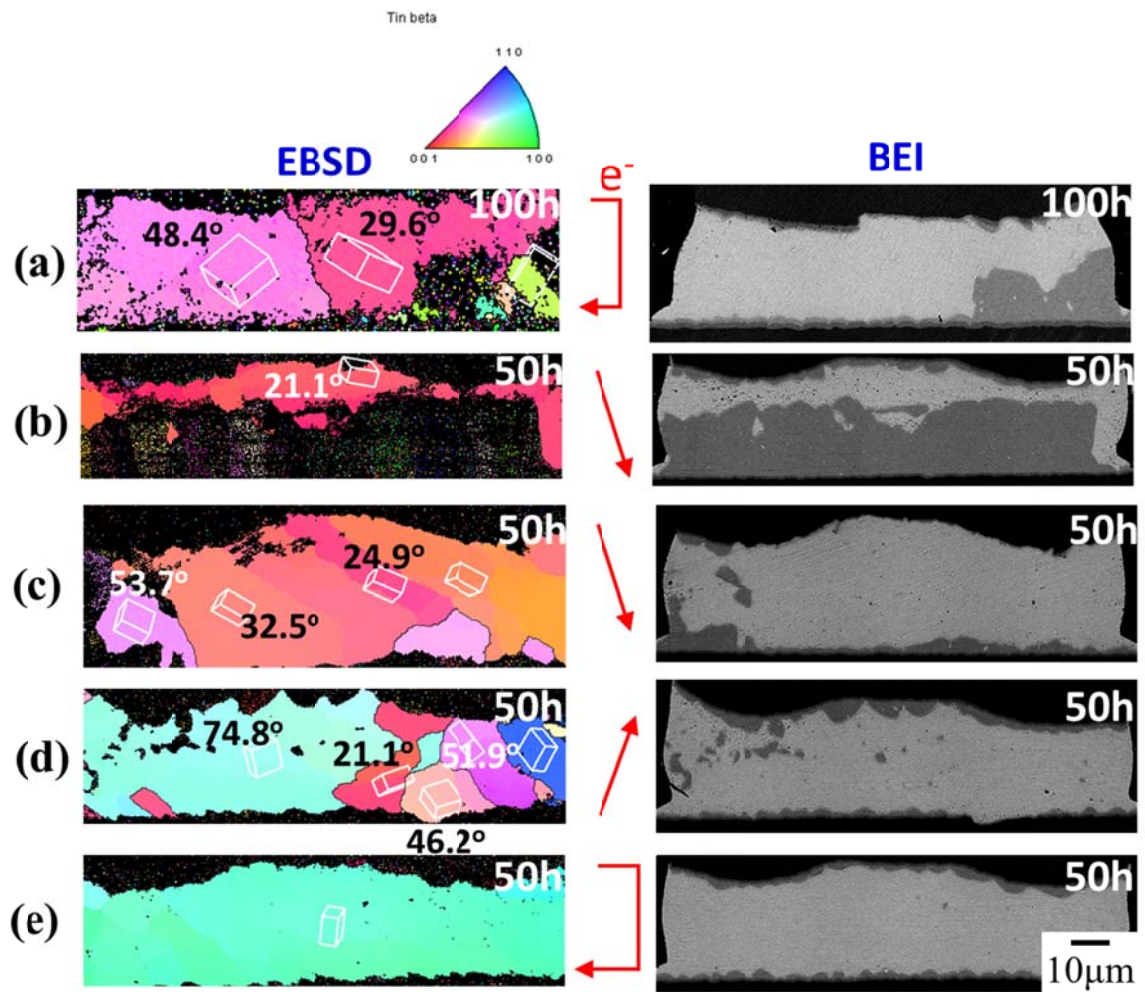


圖 30 在 140 °C 電流密度  $1.17 \times 10^4 \text{ A/cm}^2$  條件下的通電結果

表 3 不同錫晶粒方向在 140 °C,  $1.17 \times 10^4 \text{ A/cm}^2$  下的IMC厚度變化

Side	IMCs	Initial	Final	Thickness
		thickness( $\mu\text{m}$ )	thickness( $\mu\text{m}$ )	change( $\mu\text{m}$ )
Top	Cu <sub>3</sub> Sn	0.0	0.8	0.8
	Cu <sub>6</sub> Sn <sub>5</sub>	2.4	2.1	-0.3
Bottom	Cu <sub>6</sub> Sn <sub>5</sub>	2.0	19.9	<b>17.9</b>
	Cu <sub>3</sub> Sn	0.0	0.6	0.6

Side	IMCs	Initial	Final	Thickness
		thickness( $\mu\text{m}$ )	thickness( $\mu\text{m}$ )	change( $\mu\text{m}$ )
Top	Cu <sub>3</sub> Sn	0.0	0.6	0.6
	Cu <sub>6</sub> Sn <sub>5</sub>	1.9	1.6	-0.3
Bottom	Cu <sub>6</sub> Sn <sub>5</sub>	1.8	1.6	-0.2
	Cu <sub>3</sub> Sn	0.0	0.9	0.9

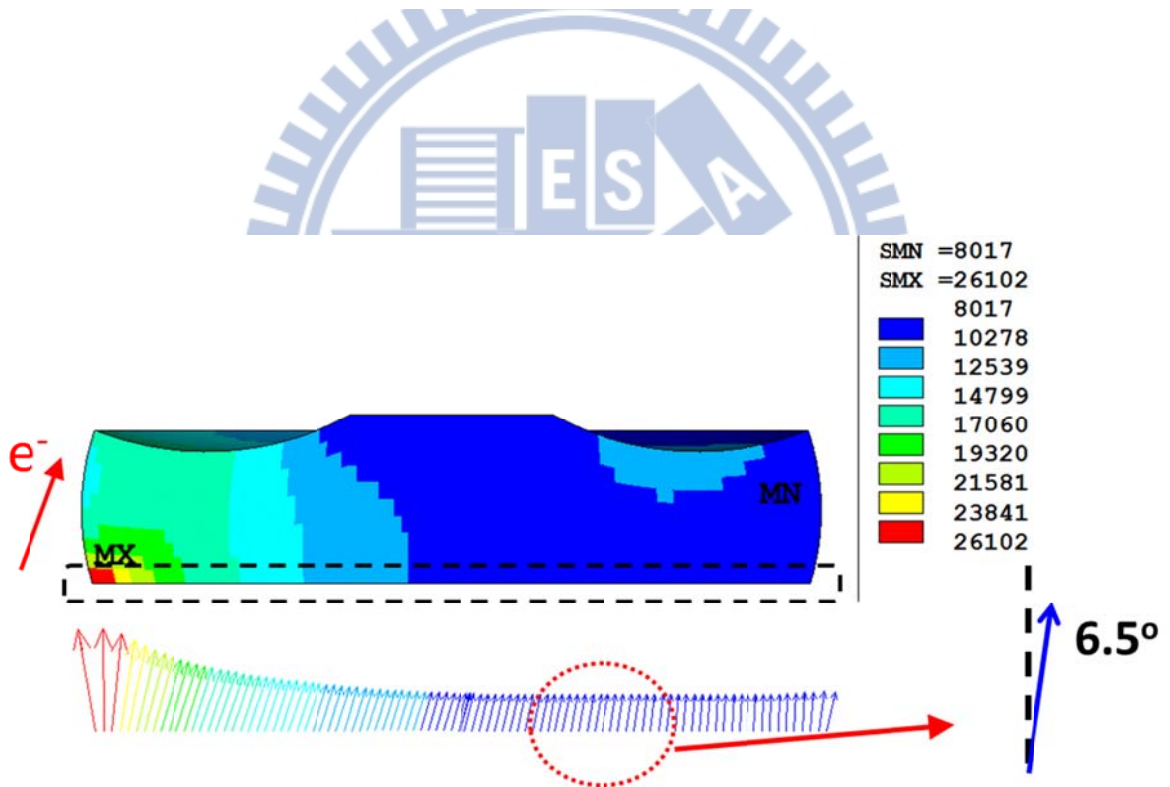


圖 31 陰極端金屬墊層電子流流入角度模擬圖。  
(電子流從左下方流至右上方)

## 4-2 錫晶界與介金屬化合物成長

晶界兩邊的晶粒角度差異若小於 15 度稱為低角度晶界，若高於 15 度則稱為高角度晶界。一般來說，高角度晶界的能量較高，原子在高角度晶界中擴散會較快，而低角度晶界則較慢。

在圖 32(a)中可以看到鉍錫左邊與右邊的晶粒c軸與RD方向夾角分別為 22.5 度與 44.8 度，所以兩晶粒的晶界為高角度晶界。圖 32(b)為在 140 °C 且電流密度  $1 \times 10^4$  A/cm<sup>2</sup> 下，通電 100 小時後的BEI影像，可發現在高角度晶界處有一明顯的柱狀Cu<sub>6</sub>Sn<sub>5</sub>介金屬化合物生成，其生成速度甚至比左邊 22.5 度的錫晶粒還快。而圖 32(c)為(b)中紅線處的FIB影像，可發現Cu<sub>6</sub>Sn<sub>5</sub>呈片狀生成，因此可確定Cu<sub>6</sub>Sn<sub>5</sub>是沿著晶界成長的。

由於本實驗試片是以磨開半顆的方式去通電，所以通電後表面會有些許氧化，而鉍錫氧化後，其錫晶界就會變得比較明顯，用光學顯微鏡(OM)即可觀察的到。圖 33(a)為 140 °C 下以電流密度  $1.17 \times 10^4$  A/cm<sup>2</sup> 通電 100 時後的OM照片，可觀察到鉍錫中有兩條明顯的晶界。而在拋光後的BEI影像中，圖 33(b)，只有左邊的晶界有些許Cu<sub>6</sub>Sn<sub>5</sub>生成，右邊的晶界則沒有。拿去做EBSD分析後，圖 33(c)，可發現此凸塊內的錫晶粒的c軸都幾乎垂直電子流方向，也就是說銅原子在此錫晶粒內沿電子流方向的擴散是很慢的，因此此時銅原子的擴散由錫晶界為主導，造成類似圖 16 中type C低溫時的擴散情形。此外，在此凸塊中各錫晶粒的角度差皆在 15 度以內，所以兩條錫晶界皆為低角度晶界。由此可知Cu<sub>6</sub>Sn<sub>5</sub>也會在低角度晶界上快速生成，只是程度不若高角度晶界快速。

至於為何兩條晶界只有其中一條有生成 $\text{Cu}_6\text{Sn}_5$ ，首先先利用電遷移的流量公式[7]：

$$J_{\text{Cu}} = \frac{CD}{kT} \times Z^* \cdot e \cdot \rho \cdot j \quad (4.1)$$

$J_{\text{Cu}}$ 為在該相中的Cu原子流量，C為該相中的Cu原子濃度，D為該相中的Cu擴散速率常數，k為波茲曼常數，T為絕對溫度， $Z^*$ 為該相中的有效價數，e為一個電子的帶電量， $\rho$ 為該相的電阻率，j為電流密度。相關參數實際數值如所列[31]。

經計算後，在  $140^\circ\text{C}$  電遷移條件下，Cu在channel (Sn相)中的流量比在 $\text{Cu}_6\text{Sn}_5$ 相中的流量大 75.5 倍。由此可知扇貝狀 $\text{Cu}_6\text{Sn}_5$ 的channel的確為Cu原子快速進入鉍錫的快速擴散入口，加上錫晶界為快速快散路徑，因此我們推測 $\text{Cu}_6\text{Sn}_5$ 的生成與陰極端扇貝狀 $\text{Cu}_6\text{Sn}_5$ 的channel與錫晶界的位置有關，如圖 34 所示。當channel與錫晶界交會時(如圖 34 中的紅色晶界)，該處將會有大量的銅原子擴散進入錫晶界中，並導致在該錫晶界上生成 $\text{Cu}_6\text{Sn}_5$ 介金屬化合物。但若錫晶界的位置在 $\text{Cu}_6\text{Sn}_5$ 的扇貝狀處(如圖 34 中的綠色晶界)而不在channel上時，雖然錫晶界為快速擴散路徑，但因為銅原子的來源不足，所以此晶界上 $\text{Cu}_6\text{Sn}_5$ 較難生成。

但若仔細觀察圖 33(a)，可發現兩條晶界在陰極端的位置皆在扇貝狀的 $\text{Cu}_6\text{Sn}_5$ 上，而不是在channel上。但左邊經界仍有生成 $\text{Cu}_6\text{Sn}_5$ 的原因是因為錫晶界為三維的結構，而channel則是平面上二維分布且寬度小於  $1\mu\text{m}$ ，所以兩者的交會處剛好呈現在研磨觀測面上的機率不高，如圖 35 所示。加上銅原子經channel進入錫晶界後，會沿著晶界各方向擴散後再偏析出 $\text{Cu}_6\text{Sn}_5$ ，



因此不一定會在channel正上方的晶界中析出 $\text{Cu}_6\text{Sn}_5$ 。基於上列等因素，即使在研磨觀測面上錫晶界未剛好與channel交會，仍有機會能觀測到 $\text{Cu}_6\text{Sn}_5$ 在晶界的偏析。此外，在圖 35 中也可發現 $\text{Cu}_6\text{Sn}_5$  channel的三界點(triple point)，相信此處銅原子的流量應該比一般的channel還多。

圖 36 也是在  $140^\circ\text{C}$  下以電流密度  $1.17 \times 10^4 \text{ A/cm}^2$  通電 50 小時的結果，其兩端的介金屬化合物無明顯的改變，但可發現許多 $\text{Cu}_6\text{Sn}_5$ 散佈於鋅錫之中，如圖 36(b)所示。經EBSD分析後，如圖 36(a)，結果大部分為c軸垂直電子流方向的綠色錫晶粒，且晶粒大小不大，可觀察到許多錫晶界。因此取了此凸塊的左下角(紅色框處)，用FIB削平表面以利觀察，結果如圖 37 所示，其中圖 37(a)為圖 37(b)的EBSD結果。從圖 37(a)可得知該處錫晶界大部分為低角度，而少部分為高角度晶界。但與圖 37(b)對照後可發現不管晶界角度高低，在錫晶界上皆有 $\text{Cu}_6\text{Sn}_5$ 析出的現象，此結果與文獻回顧中圖 17 的結果非常類似。

由上述各結果可歸納出 $\text{Cu}_6\text{Sn}_5$ 在高角度晶界的成長速度較低角度快，但錫晶界上是否會析出 $\text{Cu}_6\text{Sn}_5$ 則和錫晶界與channel位置有關。若錫晶格c軸方向與電子流方向平行時，擴散以晶格擴散為主，類似圖 16 的type A。但若c軸方向與電子流方向垂直的話，此時擴散則以晶界擴散為主導，類似圖 16 的type C。

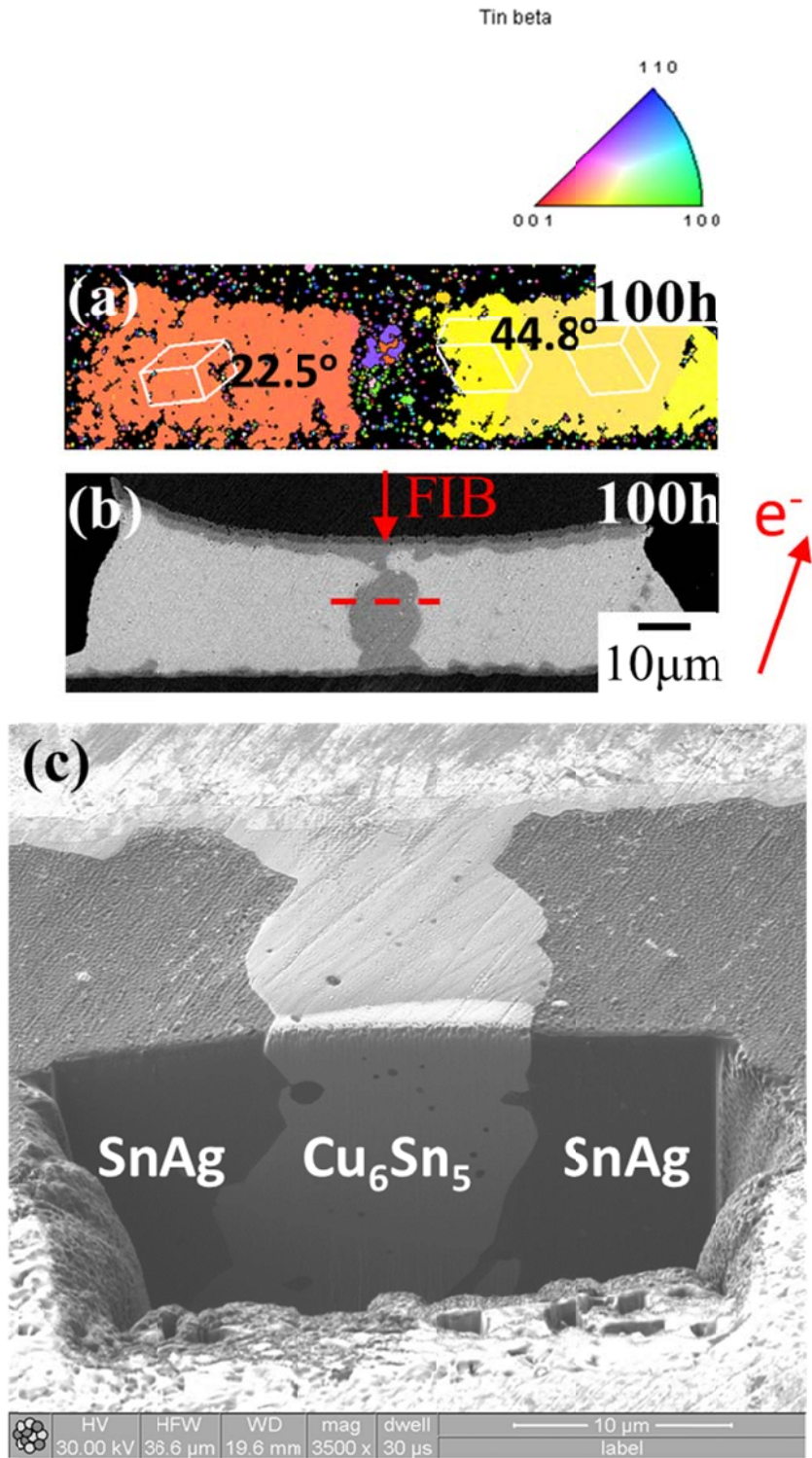


圖 32 高角度晶界在 140 °C 電流密度  $1.17 \times 10^4 \text{ A/cm}^2$  條件下的通電結果  
 (a) EBSD 結果，(b) BEI 影像，(c) FIB 影像

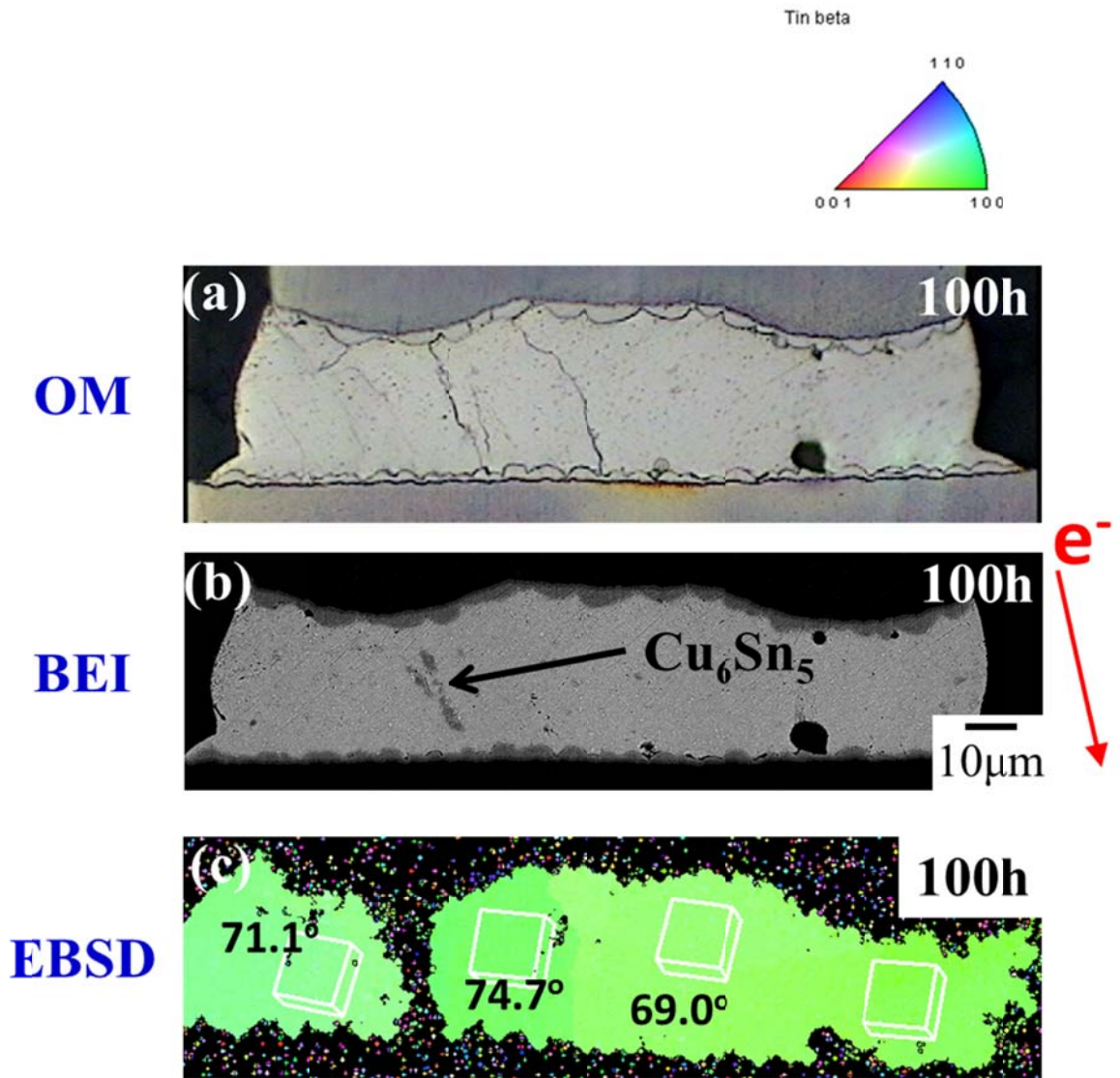


圖 33 低角度晶界在 140 °C 電流密度  $1.17 \times 10^4 \text{ A/cm}^2$  條件下的通電結果  
 (a) 光學顯微鏡影像(OM)，(b) BEI 影像，(c) EBSD 結果

表 4 本實驗條件之電遷移流量公式各項參數實際數值[31]

Diffusant	Phase	C (mol/m <sup>3</sup> )	D (m <sup>2</sup> /s) (140 °C)	D <sub>0</sub> (m <sup>2</sup> /s)	Q (J/mol)	Z*	ρ (μΩ·cm)
Cu	Sn	1.01	1.6x10 <sup>-11</sup>	2.4x10 <sup>-7</sup>	33020	3.25	12.3
	Cu <sub>6</sub> Sn <sub>5</sub>	4.62x10 <sup>3</sup>	4.1x10 <sup>-18</sup>	6.2x10 <sup>-8</sup>	80500	26	17.5

k=8.314 J/K·mol, T=413 K, e=1.6x10<sup>-19</sup> C, j=1.17 A/m<sup>2</sup>

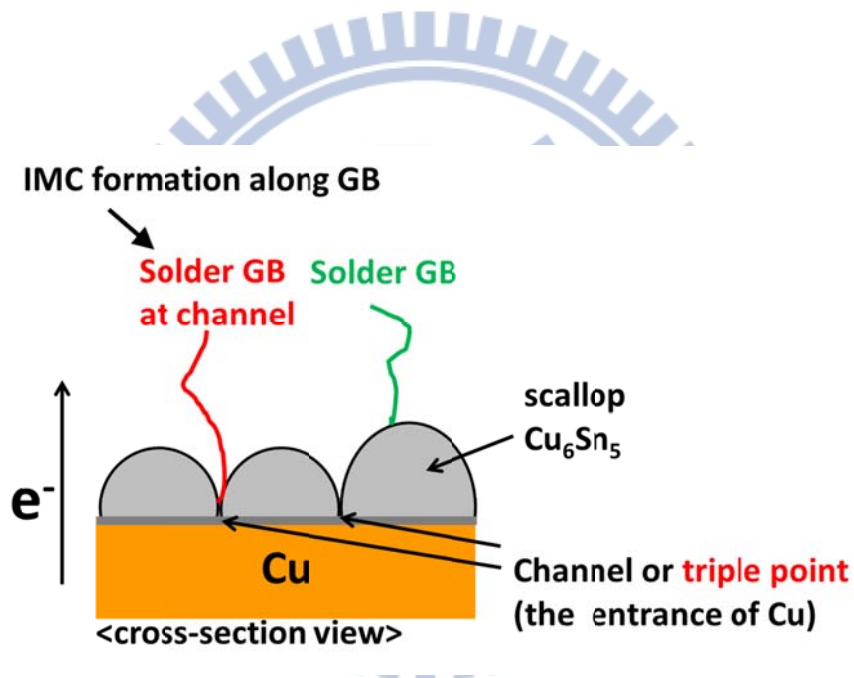


圖 34 錫晶界與scallop Cu<sub>6</sub>Sn<sub>5</sub> channel 位置關係示意圖

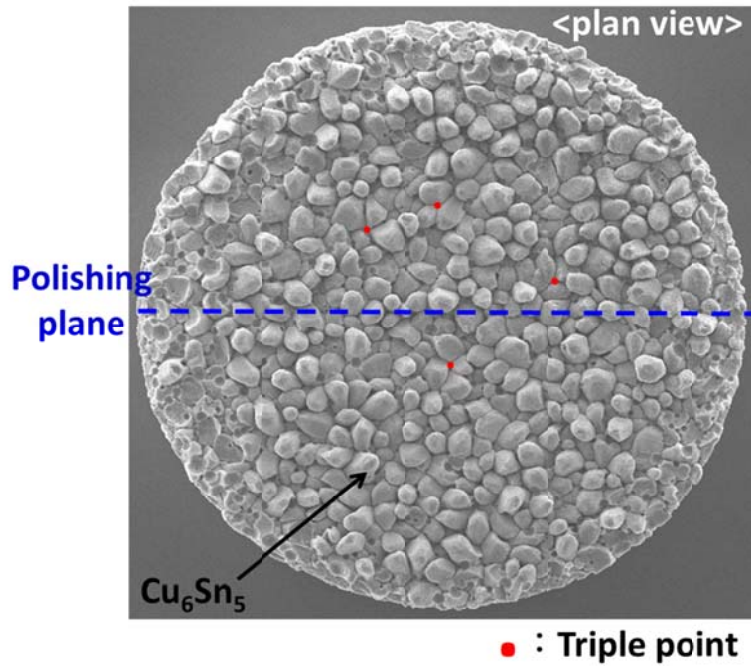


圖 35 Scallop  $\text{Cu}_6\text{Sn}_5$  俯視圖及三界點位置圖

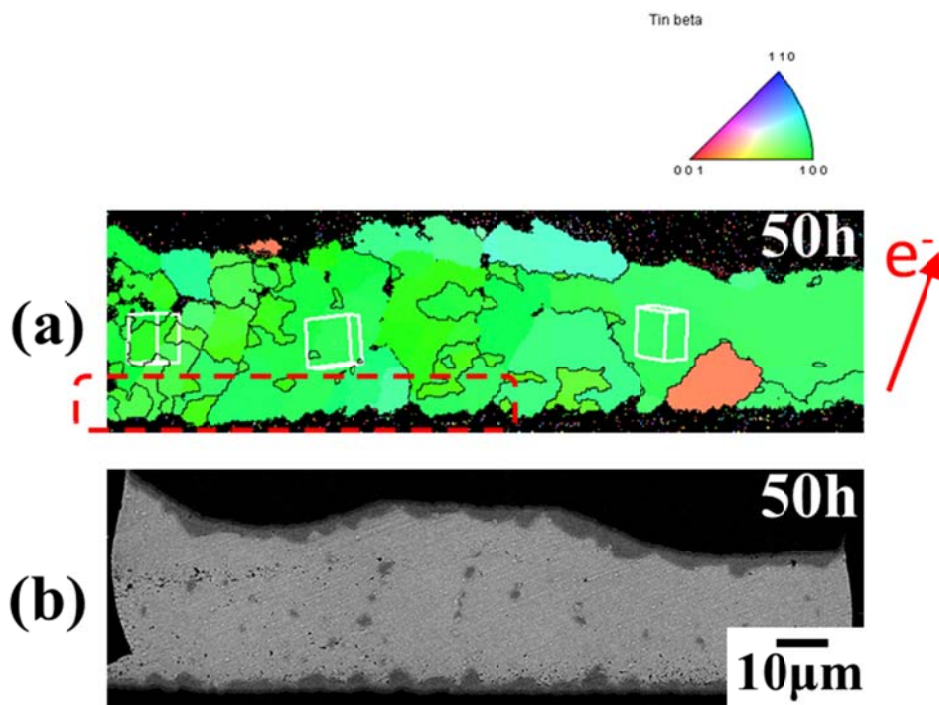


圖 36 錫晶粒c軸垂直電子流方向在  $140^\circ\text{C}$  電流密度  $1.17 \times 10^4 \text{ A/cm}^2$  條件下通電 50 小時的結果，(a) EBSD結果，(b) BEI影像

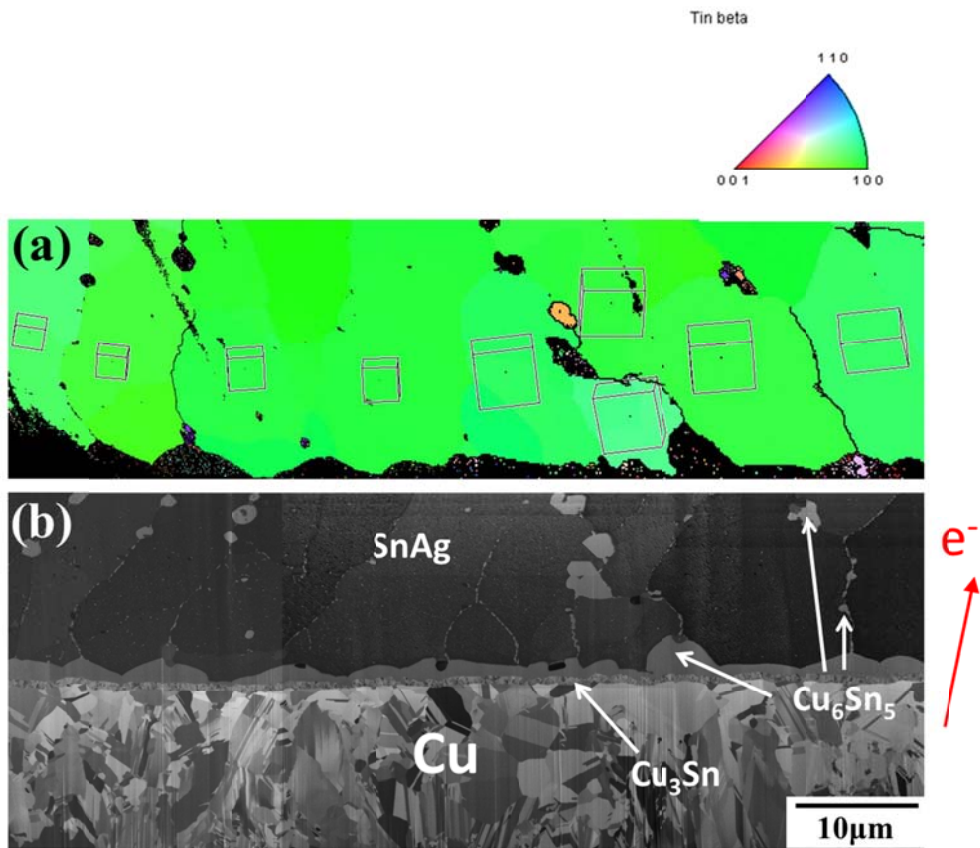


圖 37 圖 36 中紅框處的放大分析圖

(a) EBSD 結果，(b) FIB 影像

### 4-3 $\text{Cu}_6\text{Sn}_5$ channel關閉對介金屬化合物生成的影響

在上一節有提到channel與錫晶界的位置會影響 $\text{Cu}_6\text{Sn}_5$ 介金屬化合物在錫晶界上的生成。而在Tu的研究中指出，扇貝狀 $\text{Cu}_6\text{Sn}_5$ 在固態時效熱處理後會漸漸轉變為層狀結構，使channel關閉[24]。故本實驗以相同試片，但先以高溫時效熱處理關閉channel後，再進行相同的通電實驗，觀察是否有不一樣的情況發生。

圖 39(a)~(d)為 200 °C時效熱處理 10 小時後的初始狀態BEI影像，可發現 $\text{Cu}_6\text{Sn}_5$ 皆以轉化為層狀結構，channel呈關閉狀態。圖 39(e)~(h)是在 140 °C下通  $1.17 \times 10^4 \text{ A/cm}^2$ 電流密度 50 小時後的EBSD結果，圖 39(e)與(f)為錫晶粒c軸較平行電子流方向之凸塊，而圖 39(g)與(h)為錫晶粒c軸較垂直電子流方向之凸塊。此外，由於經過了高溫時效處理，可發現錫晶粒皆已熟成(ripening)與粗化(coarsening)，使得錫晶粒間的角度差異皆小於 15 度，也就是同一顆凸塊中的錫晶界皆是低角度晶界。

圖 39(i)~(l)為通電 50 小時後的BEI影像。交互對照EBSD結果，可發現即使將channel關閉後，錫晶粒c軸造成的晶格快速擴散仍會發生。陰極端介金屬化合物快速溶解，並在陽極端有介金屬化合物累積，如圖 39(i)與(j)。而由晶界擴散主導的錫晶粒c軸垂直電子流方向的凸塊，在關閉channel通電 50 小時後，在錫晶界上仍沒有發現明顯的 $\text{Cu}_6\text{Sn}_5$ 介金屬化合物析出，而兩極的介金屬化合物情形則與初始狀態差不多。關閉channel後不同錫晶粒方向IMC厚度的變化如表 5 所列。由此可知關閉channel可有效抑制晶界擴散的效應。

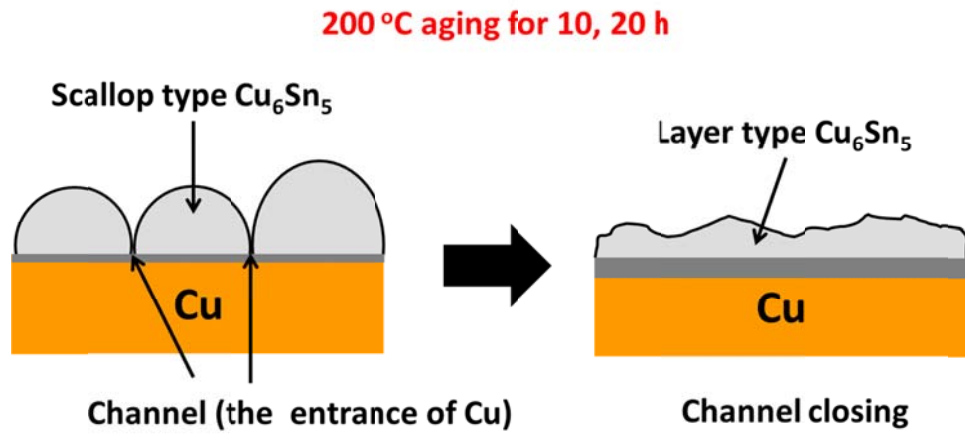


圖 38 Scallop  $\text{Cu}_6\text{Sn}_5$  轉化成 Layer type  $\text{Cu}_6\text{Sn}_5$  示意圖

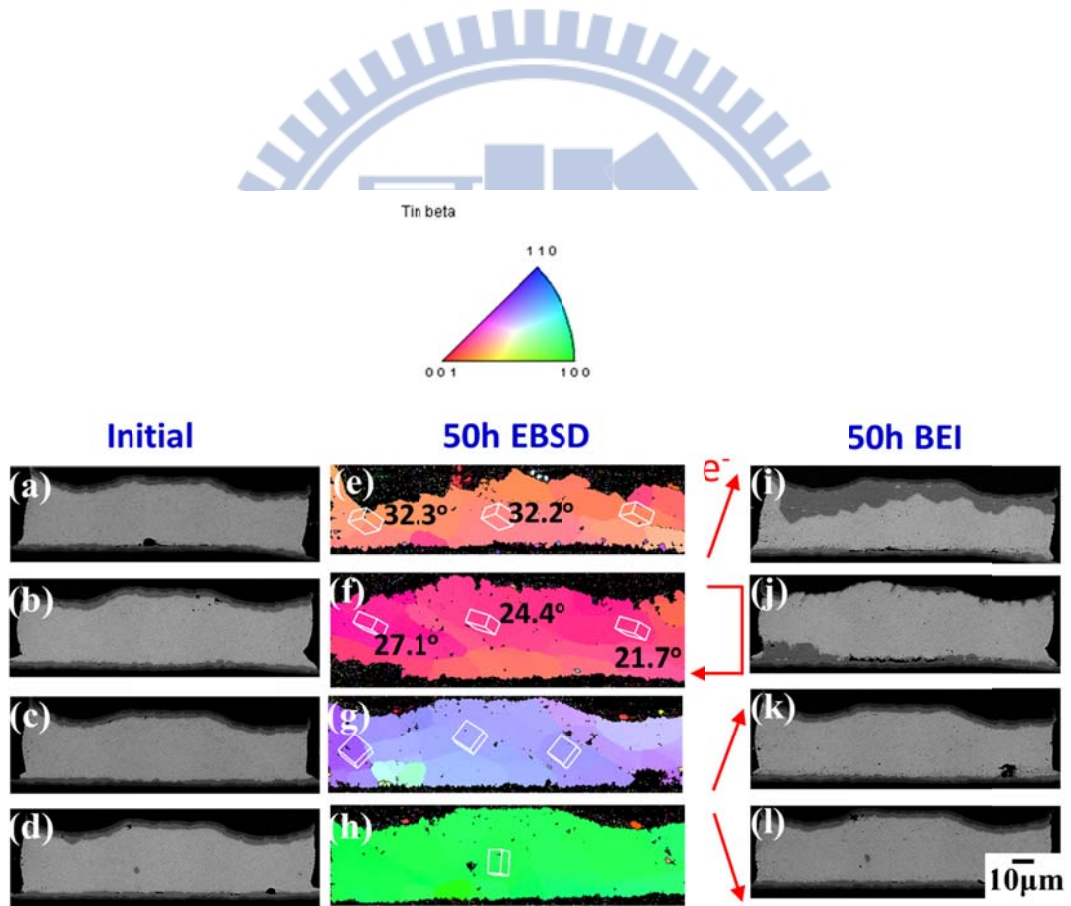
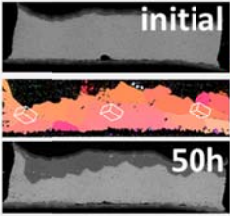
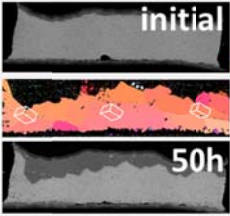
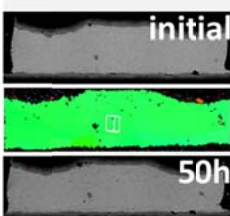
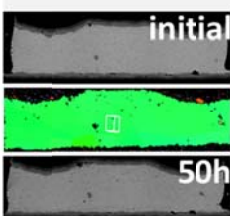


圖 39 經 200 °C 10 小時熱時效處理後，再以 140 °C 通電  $1.17 \times 10^4 \text{ A/cm}^2$  50 小時之結果



表 5 經 200 °C 10 小時熱時效處理後，再以 140 °C 通電  $1.17 \times 10^4 \text{ A/cm}^2$  50 小時之IMC厚度變化

	Side	IMCs	Initial	Final	Thickness
			thickness( $\mu\text{m}$ )	thickness( $\mu\text{m}$ )	change( $\mu\text{m}$ )
	Top	Cu <sub>3</sub> Sn	1.9	1.9	0.0
		Cu <sub>6</sub> Sn <sub>5</sub>	2.4	9.0	<b>6.6</b>
	Bottom	Cu <sub>6</sub> Sn <sub>5</sub>	1.8	1.8	0.0
		Cu <sub>3</sub> Sn	1.5	1.7	0.2

	Side	IMCs	Initial	Final	Thickness
			thickness( $\mu\text{m}$ )	thickness( $\mu\text{m}$ )	change( $\mu\text{m}$ )
	Top	Cu <sub>3</sub> Sn	1.9	1.7	-0.2
		Cu <sub>6</sub> Sn <sub>5</sub>	2.6	2.3	-0.3
	Bottom	Cu <sub>6</sub> Sn <sub>5</sub>	2.2	2.1	-0.1
		Cu <sub>3</sub> Sn	1.6	1.7	0.1



## 第五章 結論

Cu/SnAg/Sn的系統中，若沒有電子流驅動的話，錫晶粒的方向對鍍錫接點的影響不大；但在有電子流驅動的條件下，則錫晶粒方向的影響是非常顯著的。若錫晶粒的c軸較平行電子流方向的話，此時是晶格擴散為主導，陰極端的介金屬化合物與金屬墊層快速溶解，而在陽極端會有Cu<sub>6</sub>Sn<sub>5</sub>介金屬化合物的累積。但若錫晶粒的c軸較垂直電子流方向的話，此時是晶界擴散為主導，銅原子會沿著晶界擴散並偏析出Cu<sub>6</sub>Sn<sub>5</sub>介金屬化合物，而在鍍錫與金屬墊層界面的扇貝狀Cu<sub>6</sub>Sn<sub>5</sub>則無明顯變化。其中銅原子的來源為界面扇貝狀Cu<sub>6</sub>Sn<sub>5</sub>的channel或三界點與錫晶界的交會處。此外，Cu<sub>6</sub>Sn<sub>5</sub>在高角度晶界中的成長速度比低角度快。

利用高溫固態時效熱處理使Cu<sub>6</sub>Sn<sub>5</sub>的channel關閉後，c軸平行電子流的晶格擴散主導模式不會改變，仍是陰極端的介金屬化合物與金屬墊層溶解入鍍錫中，並在陽極端有Cu<sub>6</sub>Sn<sub>5</sub>介金屬化合物的累積。原因是因為c軸晶格擴散非常快速，介金屬化合物可直接溶解入鍍錫中，而channel存在與否並不影響。但在c軸垂直電子流方向的晶界擴散主導模式則會變得不顯著，因為channel的關閉會使銅原子的來源被阻斷，因而使錫晶界中的銅不足以偏析出Cu<sub>6</sub>Sn<sub>5</sub>。

因此在鍍錫凸塊中，銅雖然在錫晶粒中的非等向性不若鎳來的高，但錫晶粒方向的不同仍可造成不一樣的結果。而除了錫晶粒的方向會影響可靠度外，錫晶界也是必須關注的重點之一。

## 參考文獻

1. Walter Brattain, “The Transistor, a Semi-Conductor Triode”, Physical Review, 74, pp. 230-231, 1948.
2. Kilby, J. S. ,“Semiconductor solid circuits”, Electronics, 32, pp. 110-111, 1959.
3. J. Lau, C. P. Wong, N. C. Lee, and S. W. R. Lee, Electronics Manufacturing: With Lead-Free, Halogen-Free, and Conductive-Adhesive Materials, McGraw Hill, New York, 2002.
4. Darrel R. Frear, “Materials Issues in Area-Array Microelectronic Packaging”, Journal of Material, 51, pp. 22-27, 1999.
5. <http://www.ctimes.com.tw/DispNews/tw/3D-IC/%E5%8F%B0%E7%A9%8D%E9%9B%BB/TSMC/1307191813H8.shtml>
6. V.B. Fiks, Soviet Physics-Solid State, 1,pp.14-28,1959.
7. K.N. Tu, J.W. Mayer and L.C. Feldman, Electronic Thin Film Science, Macmillan, New York, 1992.
8. H.B Huntington and A.R. Grone, ”Current-induced marker motion in gold wires”, Phy. & Chem. Solids, 20, pp. 76-87, 1961.
9. K. N. Tu, “Recent advances on electromigration in very-large-scale-integration of interconnects”, J. Appl. Phys, 94, 5451, 2003.
10. Joule, J. P. Philosophical Magazine, 19, pp. 260, 1841.
11. S. H. Chiu, T. L. Shao, and Chih Chen, “Infrared microscopy of hot spots induced by Joule heating in Flip-chip SnAg solder joints under accelerated electromigration”, APL, 88, 022110, 2006.
12. T. L. Shao, Shih-Wei Liang, T.C. Lin, and Chih Chen, “Three-dimensional simulation on current-density distribution in flip-chip solder joints under electric current stressing”, J. Appl. Phys. 98, 044509 , 2005.

13. L. Y. Zhang, S. Q. Ou, J. Huang, K. N. Tu, S. Gee, and L. Nguyen, "Effect of current crowding on void propagation at the interface between intermetallic compound and solder in flip chip solder joints", Appl. Phys. Lett., 88, 012106, 2006.
14. Y. C. Hu, Y. H. Lin, C. R. Kao, K. N. Tu., "Electromigration failure in flip chip solder joints due to rapid dissolution of copper" , J. Mater. Res., 18, No. 11, 2003.
15. Y. W. Chang, S. W. Liang and Chih Chen, "Study of voids formation due to electromigration in flip-chip solder joints using Kelvin bump probes.", Appl. Phys. Lett, 89, 032103, 2006.
16. Bernd Ebersberger, Charles Lee, "Cu Pillar Bumps as a Lead-Free Drop-in Replacement for Solder-Bumped, Flip-Chip Interconnects.", Electronic Components and Technology Conference, pp. 59-66, Lake Buena Vista, FL, U.S.A, May, 2008.
17. Riet Labie, et al, "Outperformance of Cu Pillar Flip Chip Bumps in Electromigration Testing.", Electronic Components and Technology Conference, pp. 312-316, Lake Buena Vista, FL, USA, May, 2011.
18. Andrew Yeoh, "Copper die bumps (first level interconnect) and low-K dielectrics in 65nm high volume manufacturing. ", Electronic Components and Technology Conference, San Diego, CA, USA, July, 2006.
19. S. W. Liang, Y. W. Chang and Chih Chen, "Relieving hot spot temperature and current crowding effects during electromigration in solder bumps by using Cu columns.", J. Electron. Mater., 36, No. 10, 2007.
20. P. Elenius, "Flex on Cap - Solder paste bumping," Proc. 47th Electron. Components Technology Conf., 248-253, 1997.
21. Integrated Circuit Engineering Corp., IC Packaging Update 1999.
22. W. J. Choi, et. al. , "Structure and Kinetics of Sn Whisker Growth on Pb-free Solder Finish," IEEE, Piscataway, N. J., USA, 628, 2002.
23. Baker, H., ASM handbook: Alloy Phase Diagrams, ASM International, 3, 1992.

24. K. N. Tu, T. Lee, "Morphological Stability of Solder Reaction Products in Flip Chip Technology," J. Electron. Mater., 30, 9, 1129-1132, 2001
25. Kim. H., K. N. Tu, "Kinetic Analysis of the Soldering Reaction between Eutectic SnPb Alloy and Cu Accompanied by Ripening," Phys. Rev. B, 53, 23, 16027, 1996.
- 26 Helmut Mehrer, Diffusion in solids, Springer Series in solid-state sciences, 155, pp. 547-552, 2007
27. K. N. Tu, J.O. Suh, "Mechanism and Prevention of Spontaneous Tin Whisker Growth," Materials Transactions, 46, No. 11, pp. 2300-2308, 2005.
28. Yeh and H. B. Huntington, "Extreme Fast-Diffusion System: Nickel in Single-Crystal Tin", PRL, 53, pp 1469-1472, 1984.
29. M. H. Lu, D. Y. Shih, "Effect of Sn grain orientation on electromigration degradation mechanism in high Sn-based Pb-free solders", APL, 92, 211909, 2008.
30. C. C. Wei, C.H. Yu, " Comparison of the Electromigration Behaviors Between Micro-bumps and C4 Solder Bumps", IEEE, ECTC, 2011
31. B. Chao, S. H. Chae, X. Zhang, K. H. Lu, Jay Im, P.S. Ho, "Investigation of diffusion and electromigration parameters for Cu-Sn intermetallic compounds in Pb-free solders using simulated annealing," Acta Materialia, 55, pp. 2805-2814, 2007.