

國立交通大學

機械工程學系

碩士論文

利用 CMOS-MEMS 與化鎳浸金技術
製作 MEMS 邏輯閘

Use CMOS-MEMS and EN/IG technology to
fabricate MEMS logic gates

研究生：吳承懋

指導教授：陳宗麟 博士

中華民國 102 年 九 月

利用 CMOS-MEMS 與化鍍浸金技術製作 MEMS 邏輯閘

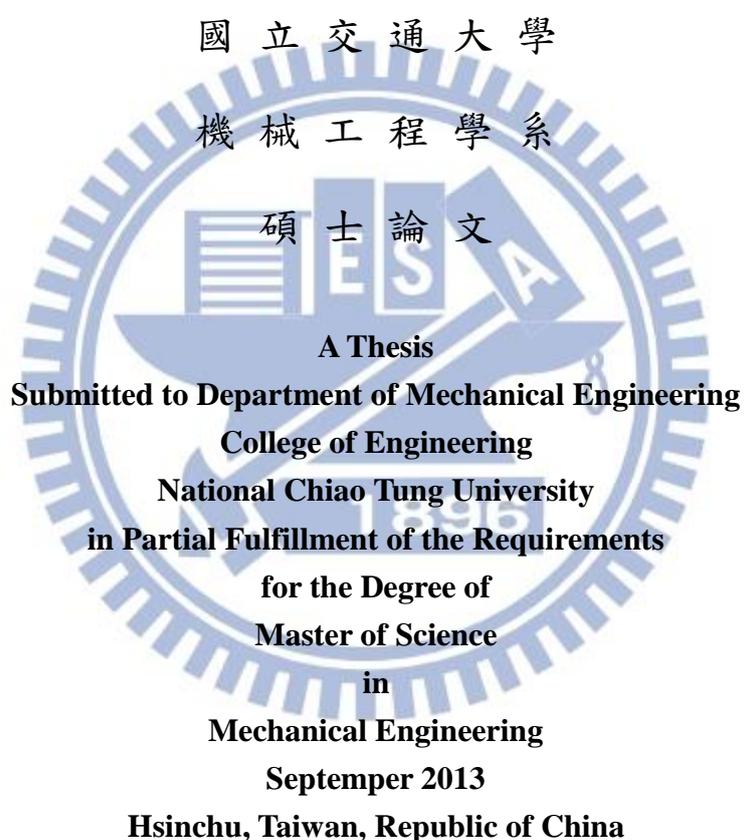
Use CMOS-MEMS and EN/IG technology to
fabricate MEMS logic gates

研究生：吳承懋

Student：Cheng-Mao Wu

指導教授：陳宗麟 博士

Advisor：Dr. Tsung-Lin Chen



中華民國 102 年 九 月

利用 CMOS-MEMS 與化鎳浸金技術製作 MEMS 邏輯閘

學生：吳承懋

指導教授：陳宗麟 博士

國立交通大學機械工程學系 碩士班

中文摘要

以往的機械式邏輯閘大多數是以 MOS-like 開關，藉由數個同樣結構串並聯來達到邏輯功能。但如此一來會增加佈局面積、降低良率。本篇文章提出兩種設計，以 TSMC 0.35 μm 2p4m CMOS-MEMS 標準製程，製作出單一機械結構，且具有 NAND 跟 NOR 的邏輯功能：雙層式微機電邏輯閘、梳狀制動器微機電邏輯閘。

此外，金屬與金屬接觸問題是微機電開關與微機電邏輯閘的重要成敗因素之一，接觸金屬的壽命直接影響了元件的可靠度，本文亦提出了兩個技術來改善微機電中的金屬與金屬接觸問題：TSMC 製程中的 TiN、化鎳浸金(Electroless Nickel and Immersion Gold: EN/IG)。

TiN 有著高熔點、高硬度、導電性、耐磨耗等等優點，很適合拿來做為接觸用金屬。TSMC 製程中，金屬層上下個會有一層 TiN，假如能夠使用 TiN 來當做接觸金屬，不僅能減少一道額外的製程，更能增加良率。

化鎳浸金技術在現在的工業上已經發展的相當成熟完善，普遍被用於金屬與合金的表面加工。化鎳浸金的特點之一便是不需要外加電極，減少許多不必要的麻煩。

Use CMOS-MEMS and EN/IG technology to fabricate MEMS logic gates

Student: Cheng-Mao Wu

Advisor: Dr. Tsung-Lin Chen

**Department of Mechanical Engineering National Chaio Tung
University**

Abstract

This paper presents the design and fabrication of a MEMS logic gate that can perform either NAND gate or NOR gate functions using the same mechanical structure, but different electrical interconnects. Two designs which are two-layer MEMS logic gate and comb driver MEMS logic gate and both fabricate by TSMC 0.35 μ m 2P4M CMOS-MEMS process.

The metal-to-metal contact of MEMS switch and MEMS logic gate is one important factor in the success or failure, directly affects the reliability of components. Two methods are then proposed to tackle this problem. One uses titanium nitride (TiN) as the contact material, the other one uses “electrode-less nickel and immersion gold (ENIG)” to deposit gold film on top of aluminum. Both methods are underway and partial success has been observed from experimental data.

致謝

首先必須要先感謝作者的指導教授 陳宗麟教授，教授這些日子來的用心指導及關懷，讓我在研究的過程中，除了學習到了相關的專業知識以及技術，更讓我學習到了面對困難時應有的積極態度及發現問題、解決問題的能力。更在我不斷遭遇實驗挫折時，給予鼓勵跟建議，在此獻上最真誠的感謝。

同時還要感謝四位博士班學長 蔡俊胤、許齡元、張正暘、吳健彰，以及碩士班學長 練瑞虔、張哲維，每當我遇到學業上的問題時，學長們總是毫不吝嗇的伸出援手幫忙，讓我能夠順利的通過每一道關卡。感謝同儕弈帆、士維、泓輝、柏翔、修銓，因為這條研究的路上有你們的陪伴，我才不會感到孤獨，遇到挫折摔倒後後，也更能打起精神的爬起來，繼續走下去。最後感謝各位學弟妹宜璇、鎮宇、政寬、俊強、雅惠、廷儒、子成、睿群、冠豪、博詮，謝謝你們在這充滿壓力的研究日子裡帶來了歡笑，讓我能適時的舒緩壓力。

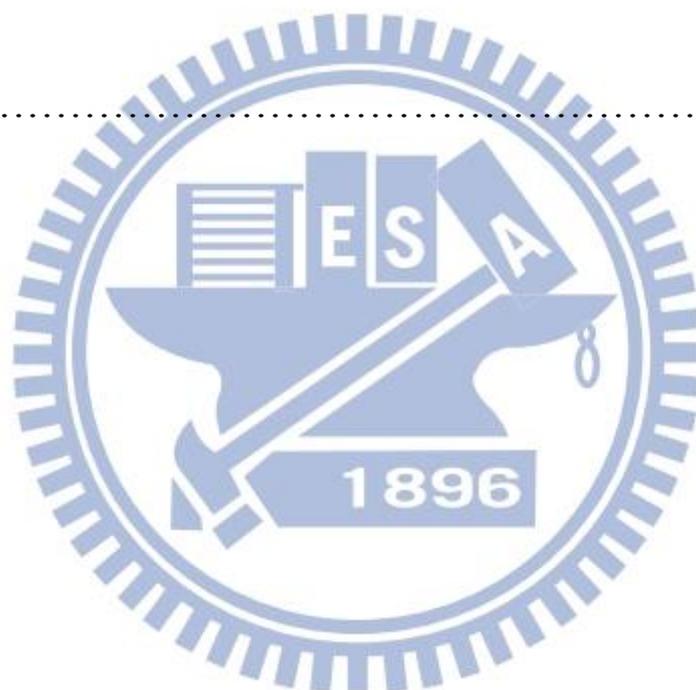
最後，要感謝我所摯愛的，生我養我的父母，因為你們辛勞努力的工作，我才有今天這樣好的環境跟資源可以學習、可以研究，讓我可以專注在這條學習的路上持續前進，在此獻上最真誠的謝意。

目錄

| | |
|----------------------|-----|
| 中文摘要..... | I |
| 英文摘要..... | II |
| 致謝..... | III |
| 目錄..... | IV |
| 圖表目錄..... | VII |
| 1. 緒論..... | 1 |
| 1.1 微機電系統(MEMS)..... | 1 |
| 1.2 邏輯閘..... | 2 |
| 1.3 微機電邏輯閘..... | 3 |
| 1.4 文獻回顧..... | 4 |
| 1.5 金屬與金屬的接觸..... | 8 |
| 1.6 研究目標..... | 9 |
| 2. 雙層式微機電邏輯閘..... | 10 |
| 2.1 設計原理..... | 10 |

| | | |
|-------|--|----|
| 2.2 | TSMC 0.35 μ m 2P4M CMOS-MEMS 製程介紹..... | 14 |
| 2.3 | 以 TiN 當作接觸金屬..... | 16 |
| 2.3.1 | TiN 簡介..... | 16 |
| 2.3.2 | 設計原理..... | 17 |
| 2.3.3 | 後製程..... | 20 |
| 2.4 | 結合化鎳浸金技術..... | 23 |
| 2.4.1 | 化鎳浸金簡介..... | 23 |
| 2.4.2 | 無電電鍍..... | 23 |
| 2.4.3 | 無電鍍鎳簡介..... | 24 |
| 2.4.4 | 化鎳浸金流程..... | 27 |
| 2.4.5 | 設計原理..... | 32 |
| 2.4.6 | 後製程..... | 33 |
| 2.5 | 實驗結果..... | 35 |
| 3. | 梳狀制動器微機電邏輯閘..... | 38 |
| 3.1 | 設計原理..... | 38 |
| 3.1.1 | 概論..... | 38 |
| 3.1.2 | 梳狀結構制動器..... | 39 |
| 3.1.3 | 接觸懸臂樑..... | 41 |
| 3.1.4 | 絕緣層..... | 42 |

| | |
|-----------------|----|
| 3.1.5 邏輯功能..... | 43 |
| 3.1.6 數學模型..... | 48 |
| 3.2 後製程..... | 52 |
| 4. 結論..... | 54 |
| 5. 未來計畫..... | 55 |
| 參考文獻..... | 56 |

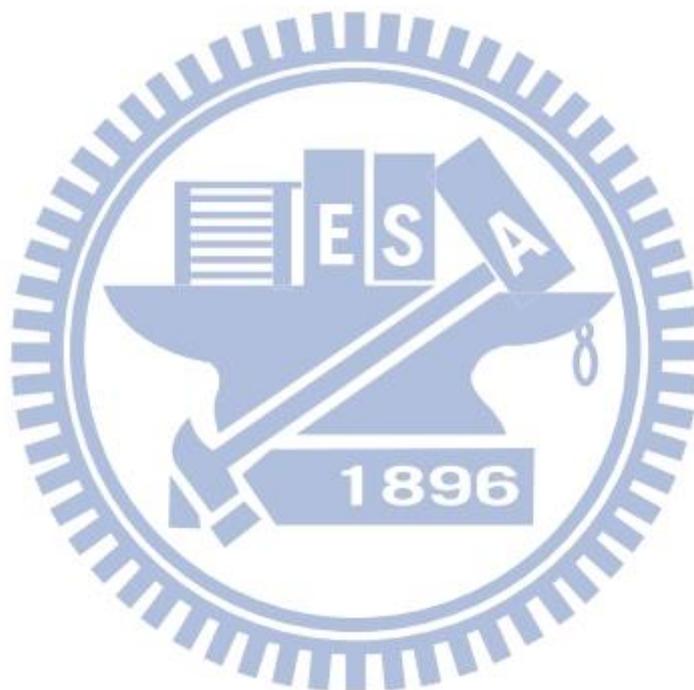


圖表目錄

| | |
|---|----|
| 圖1.1 由 Hirata 等人在1999年所提出的機械式邏輯閘..... | 4 |
| 圖1.2 由 S.W Lee 等人提出的 MOS like 微機械開關..... | 5 |
| 圖1.3 由 Sinha 所提出的機械式邏輯閘..... | 6 |
| 圖1.4 由 Jaeseok Jeon 所提出的機械式邏輯閘..... | 6 |
| 圖1.5 由 Rhesa Nathanael 所提出的機械式邏輯閘..... | 7 |
| 圖1.6 在高次數的接觸後所造成的金屬破損..... | 8 |
| 圖2.1 雙層式微機電邏輯閘..... | 10 |
| 圖2.2 雙層式微機電邏輯閘，輸入(1,1)..... | 11 |
| 圖2.3 雙層式微機電邏輯閘，輸入(0,0)..... | 11 |
| 圖2.4 雙層式微機電邏輯閘，輸入(1,0)..... | 12 |
| 圖2.5 雙層式微機電邏輯閘，懸浮平板內部電極互換..... | 13 |
| 圖2.6 TSMC 0.35 μ m 2P4M CMOS-MEMS 標準製程..... | 14 |
| 圖2.7 鋁金屬層與 via 的詳細圖..... | 15 |
| 圖2.8 結構剖面圖與 M2絕緣部分..... | 17 |
| 圖2.9 結構上視圖..... | 18 |
| 圖2.10 結構剖面圖..... | 19 |
| 圖2.11(a) Pad 光罩圖形..... | 21 |
| 圖2.11(b) RLS 光罩圖形..... | 21 |
| 圖2.11(c) FHD-5濕蝕刻..... | 22 |
| 圖2.11(d) RIE 非等向性乾蝕刻..... | 22 |
| 圖2.11(e) BOE 濕蝕刻..... | 22 |
| 圖2.12 化鎳浸金鋅置換後進行 EDS 元素分析的結果..... | 28 |
| 圖2.13 化鎳浸金鋅置換後進行白光干涉儀測量的結果..... | 29 |

| | |
|--|----|
| 圖2.14 化鎳浸金無電鍍鎳後進行 EDS 元素分析的結果..... | 30 |
| 圖2.15 化鎳浸金無電鍍鎳後進行白光干涉儀測量的結果..... | 31 |
| 圖2.16 結構剖面圖..... | 32 |
| 圖2.17(a) FHD-5濕蝕刻..... | 33 |
| 圖2.17(b) H ₂ O ₂ 濕蝕刻..... | 33 |
| 圖2.17(c) 化鎳浸金..... | 34 |
| 圖2.17(d) BOE 濕蝕刻..... | 34 |
| 圖2.18 將懸浮平板結構去除後的剖面圖..... | 35 |
| 圖2.19 用來計算 H ₂ O ₂ 濕蝕刻速率的 testkey..... | 36 |
| 圖2.20 同一個結構兩邊蝕刻速率卻差異甚大..... | 37 |
| 圖3.1 梳狀結構制動器微機電邏輯閘概要圖..... | 38 |
| 圖3.2 一般常見的梳狀結構運作方向..... | 39 |
| 圖3.3 梳狀結構產生 Pull-in 時的運作方向..... | 40 |
| 圖3.4 正面接觸示意圖..... | 41 |
| 圖3.5 側面接觸示意圖..... | 41 |
| 圖3.6 結構絕緣層示意圖..... | 42 |
| 圖3.7 元件輸入端分配示意圖..... | 43 |
| 圖3.8 梳狀結構施力方向示意圖..... | 44 |
| 圖3.9 梳狀結構制動器微機電邏輯閘，輸入(A,B)為(1,1)..... | 45 |
| 圖3.10 梳狀結構制動器微機電邏輯閘，輸入(A,B)為(0,0)..... | 45 |
| 圖3.11 輸入(A,B)為(1,0)，有靜電力的梳狀結構..... | 46 |
| 圖3.12 梳狀結構制動器微機電邏輯閘，輸入(A,B)為(1,0)..... | 46 |
| 圖3.13 支撐彈簧的參數示意圖..... | 48 |
| 圖3.14 梳狀結構制動器的參數示意圖..... | 49 |
| 圖3.15 梳狀結構制動器的數量分配示意圖..... | 50 |
| 圖3.16 梳狀結構制動器微機電邏輯閘的彈性係數與靜電力之關係圖..... | 51 |

| | |
|-------------------------------|----|
| 圖3.17 TSMC 下線完的剖面圖..... | 53 |
| 圖3.17(a) RLS 光罩圖形非等向性蝕刻..... | 53 |
| 圖3.17(b) RLS 光罩圖形等向性蝕刻..... | 54 |
| 表1.1 基本邏輯閘的輸入/輸出關係與符號..... | 2 |
| 表2.1 NOR 閘與 NAND 閘的真值表..... | 12 |
| 表2.2 HDP-RIE 蝕刻參數..... | 22 |
| 表3.1 梳狀結構制動器微機電邏輯閘的尺寸及規格..... | 51 |



第一章 緒論

1.1 微機電系統(MEMS)

微機電，顧名思義，就是指微小的機器。這概念最早是由物理學家費曼博士(Richard Phillips Feynman)提到，於1978年，「微機器(Micromachines)」一詞出現於國際學術研討會之中。之後1989年，於美國鹽湖城的一場研討會中，「微機電系統(MEMS, Micro-electro-mechanical systems)」這名詞被具體提出。

微機電系統技術起源於對半導體製程技術，當半導體製程技術日漸成熟，微機電系統始也開始蓬勃發展，將原本用於微電子產業的半導體技術，拿來製作微米級的機械結構。演變至今，微機電從學術到進產業界，並大量的用於生活中。

微機電主要分為三種：微結構、微感測器和微致動器。微結構是靜態式作用，如微透鏡、微齒輪、微流道、微噴嘴等等；微感測器則是用來量測物理量或化學量，如加速度計、流速計、壓力計、化學感測器、熱感測器等；微致動器則是將輸入能源，通常是電訊號，轉化成運動輸出，如梳狀致動器、微馬達、微幫浦等。

1.2 邏輯閘

邏輯閘，是一種擁有布林邏輯運算功能的電子元件，構成數位電路的基本邏輯閘包括下列六種：AND、OR、NOT、NAND、NOR、XOR，其真值表(true table)與邏輯符號分別列於表 1.1 中：

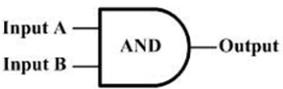
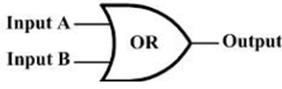
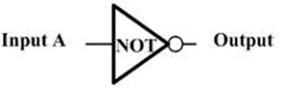
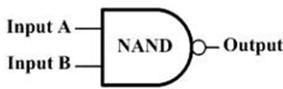
| Input | | Output | | |
|-------|---|---|--|---|
| A | B | AND | OR | NOT |
| 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 |
| | |  |  |  |
| Input | | Output | | |
| A | B | NAND | NOR | XOR |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| | |  |  |  |

表 1.1 基本邏輯閘的真值表與代表符號

其中，NAND 閘跟 NOR 閘，此兩種邏輯閘可以藉由組合，達到其他的邏輯功能，又被稱為通用型邏輯閘。故，只要能達成 NAND 跟 NOR 兩種邏輯功能，即是達到了其他全部的邏輯功能。

1.3 微機電邏輯閘

微機電邏輯閘，將 IC 邏輯閘的布林代數運算功能，結合了微機械開關。傳統的 MOS 邏輯閘由於物理極限的關係，無法徹底的關閉電路，會有一個微小的漏電流，造成額外的能量消耗，使待機、操作時間受到限制，以及電池壽命降低等不良影響。微機電邏輯閘可以有效的防止漏電流，避免系統在閒置時出現不必要的耗能，利用微機電邏輯閘取代傳統電路部分的 IC 邏輯閘，導入電源管理系統中，可以有效的減少耗能。

此外，微機電邏輯閘不像傳統 MOS 邏輯閘需要考慮環境溫度的影響，更能在高溫、惡劣的環境下操作使用，例如外太空。



1.4 文獻回顧

微機電邏輯閘最早是在 1999 年，由 Hirata 等人所提出，他們利用微機電邏輯閘，成功的降低了功率消耗。如圖 1.1 所示，他們利用懸浮平板與下方電極的電位差產生靜電力，互相吸引，當力量夠大時便會接通訊號線路的兩端，達到”AND”或”OR”的邏輯功能。

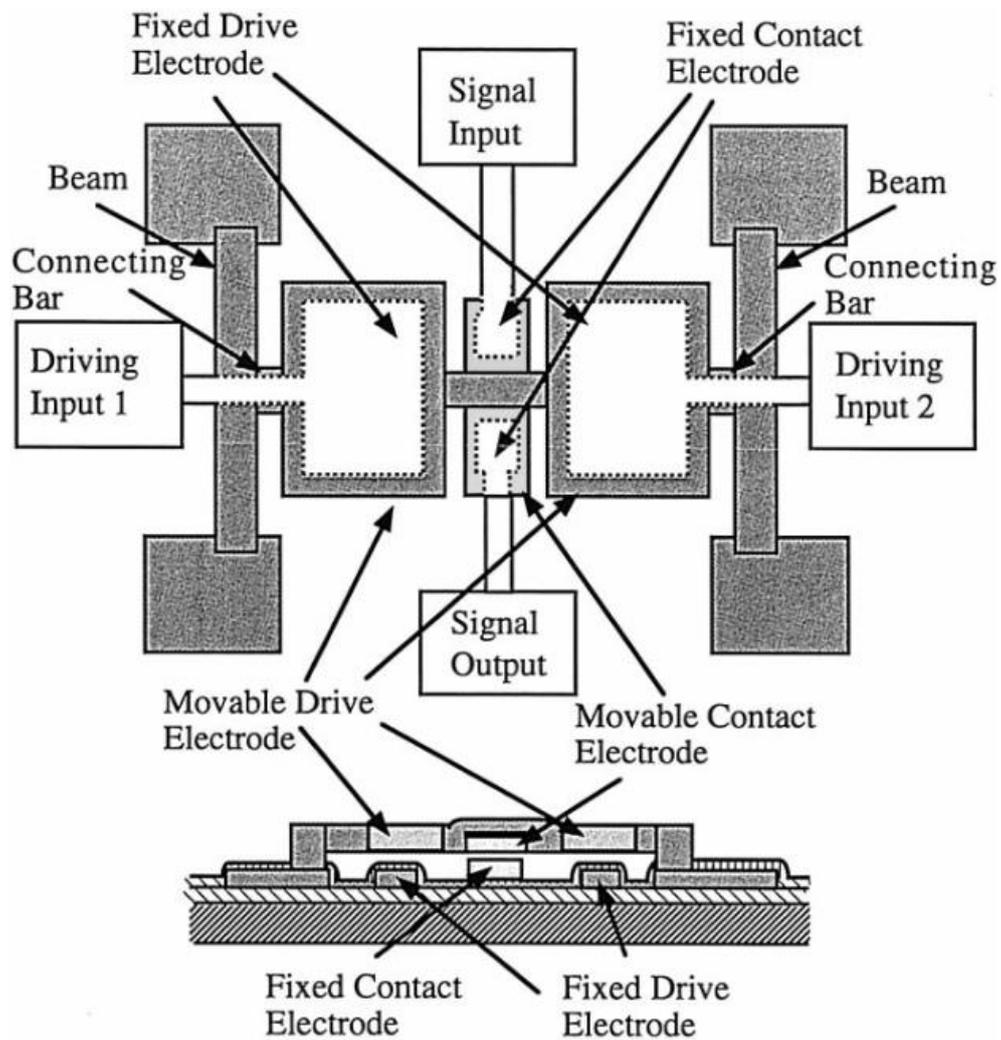


圖 1.1 由 Hirata 等人在 1999 年所提出的機械式邏輯閘

2005 年，S.W Lee 等人做出了具有 MOS 功能的微機械元件(圖 1.2)，此元件可利用 S 極與 G 極的電壓不同產生電位差，即可達到類似 MOS 的開/關功能，再繼續利用此元件的串並聯，來做成 NAND 或 NOR 的邏輯閘，不過此方法會增加佈局面積、製程複雜度、良率降低等等問題。

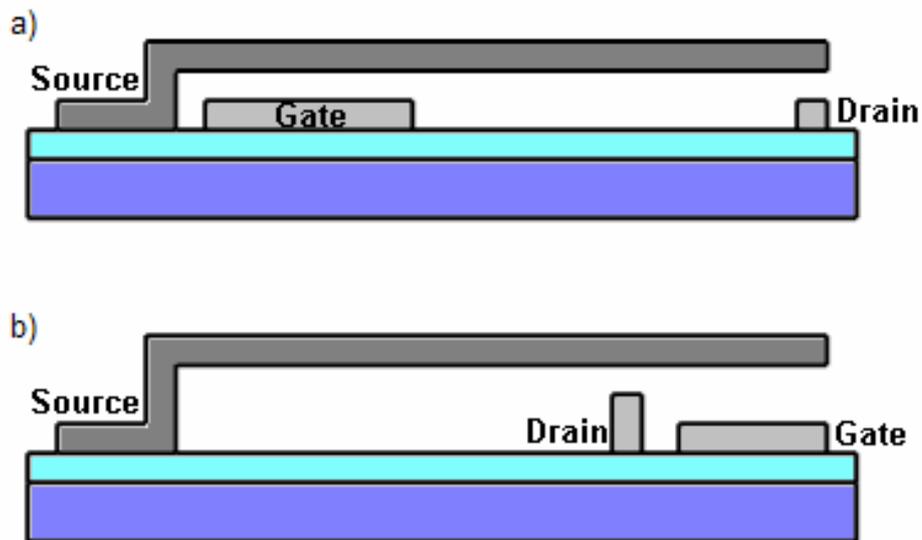


圖 1.2 由 S.W Lee 等人提出的 MOS like 微機械開關

往後的 2010 年，也有不少人提出關於機械式邏輯閘的相關論文，但絕大部分皆是以 MOS-like 開關為主，像是 Sinha(圖 1.3)、Jaeseok Jeon(圖 1.4)、Rhesa Nathanael(圖 1.5)等等，雖然改進了許多早期微機電開關的問題，但想要達到邏輯功能閘，仍然需要將數個開關串並聯，才能達到，佈局問題依然沒有解決。

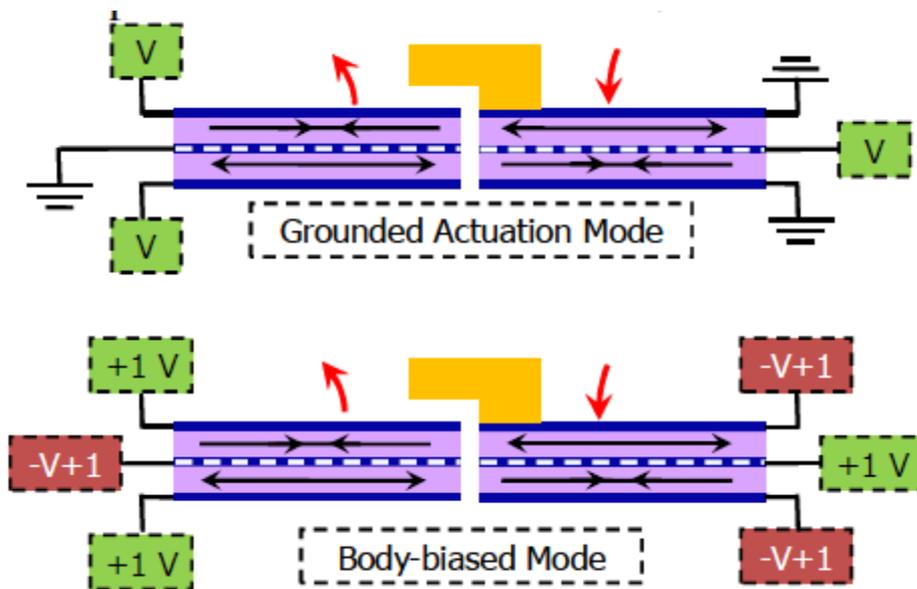


圖 1.3 由 Sinha 所提出的機械式邏輯閘

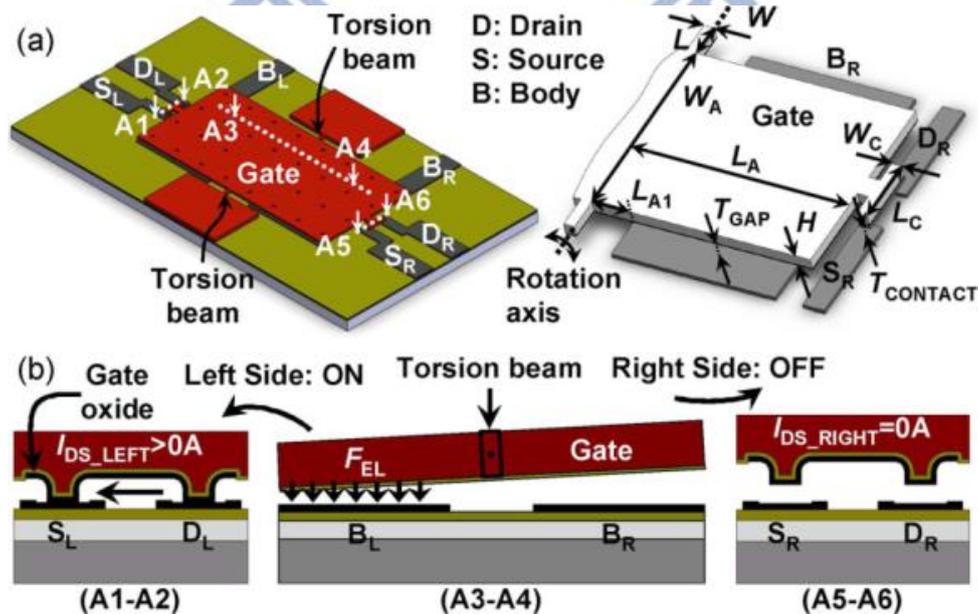


圖 1.4 由 Jaeseok Jeon 所提出的機械式邏輯閘

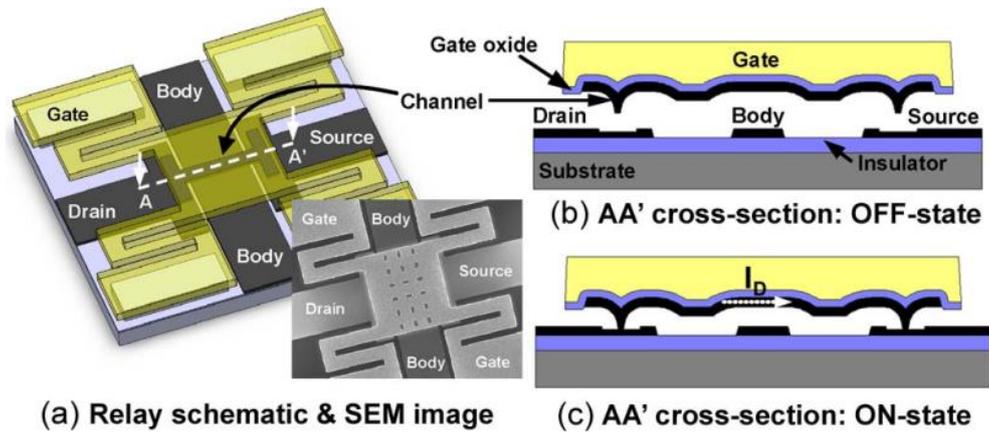
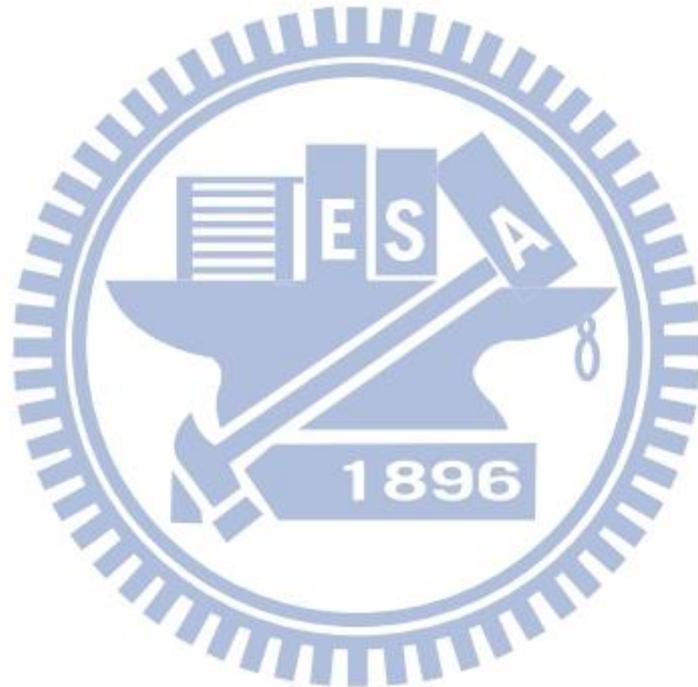


圖 1.5 由 Rhessa Nathanael 所提出的機械式邏輯閘



1.5 金屬與金屬的接觸

不管是在微機電邏輯閘中，或者是一般的電阻式微機電開關中，金屬與金屬的接觸是一個非常重要的問題，常常也會是一個元件能否運作的關鍵因素。

在一個微機電邏輯閘和電阻式微機電開關中，做為接觸點的金屬通常要承受不斷的撞擊，造成金屬表面粗糙度下降，長期下來，金屬表面會變得光滑平坦，在之後接觸時產生極大的凡得瓦力，加上電流流經時產生的高熱，使得接觸部分產生黏著、微電鍍等等現象，使得接觸部分的金屬可靠度下降，如圖 1.6。另外，氧化問題也是常見的損壞原因之一，氧化作用產生的氧化物使得接觸部分的電阻提高，造成訊號傳輸的困難，普遍用於 CMOS-MEMS 製程中的鋁活性較大，暴露於空氣中很快就會氧化。鎳雖比起鋁來的慢許多，氧化仍是不可避免的結果。金沒有氧化的問題，但由於質地較軟、熔點較低，並無法承受高次數的接觸撞擊。

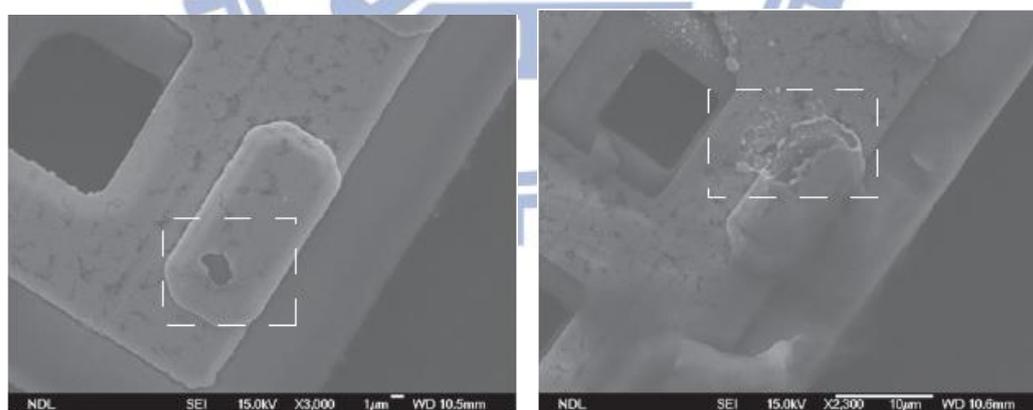


圖 1.6 在高次數的接觸後所造成的金屬破損

1.6 研究目標

以往的微機電邏輯閘皆是以 MOS-like 機械開關為主，再藉由數個同樣的結構，串並聯來達到邏輯功能。如此一來會增加佈局面積、製程複雜度、降低製程良率等等問題。我們希望能夠以單一機械結構，便能達到 NAND 或 NOR 的邏輯功能。

大部分的 MEMS 元件必須搭配數位 IC 電路才能達到其功能，然而 MEMS 與 IC 電路之製程技術整合，一直存在著許多的問題。考慮到未來 MEMS 必須與 IC 電路整合，如果能夠以 CMOS-MEMS 標準製程製作出微機電邏輯閘，那未來的整合問題將簡化許多。



第二章 雙層式微機電邏輯閘

2.1 設計原理

雙層式微機電邏輯閘的構造，如圖 2.1，是由一個懸浮平板、支撐懸浮平板的旋轉軸、平板正下方的底電極、以及位於最外側的輸出端所組成。懸浮平板中間有設計一道絕緣帶，所以能夠同時帶有兩個不同的電位，這個設計的成敗直接影響著邏輯功能的成功與否。當平板與下方底電極(灰色)因為電位差而產生靜電力時，平板會傾斜，使得平板兩端與外側兩端的輸出端(下方白色)接觸，進而傳出訊號。支撐樑(上方平板的中間灰色部分)亦扮演著結構回復的角色，讓懸浮平板在不受力時自動回到水平狀態。

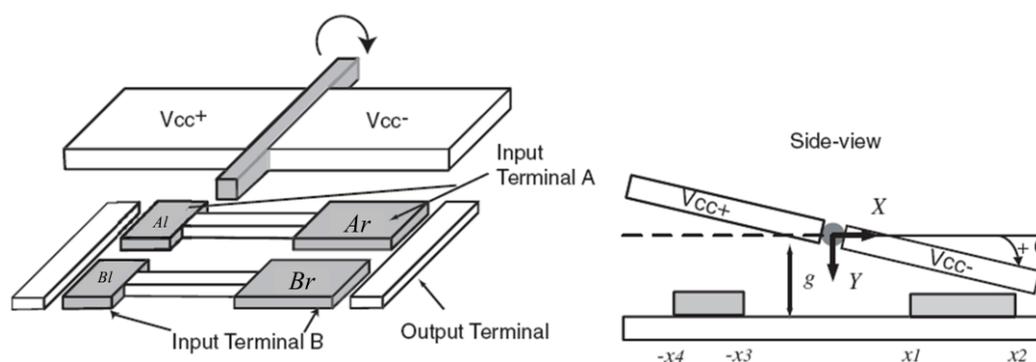


圖 2.1 雙層式微機電邏輯閘

假設今天輸入的訊號(A,B)為(1,1)時，平板左側的電位與下方底電極相同，沒有靜電力，但右邊有，所以平板會受力而向右傾斜，輸出 $V_{cc}^-(0)$ ，如圖 2.2；相反的，當(A,B)為(0,0)時，則由左方輸出電極輸出 $V_{cc}^+(1)$ 之訊號，如圖 2.3 所示。

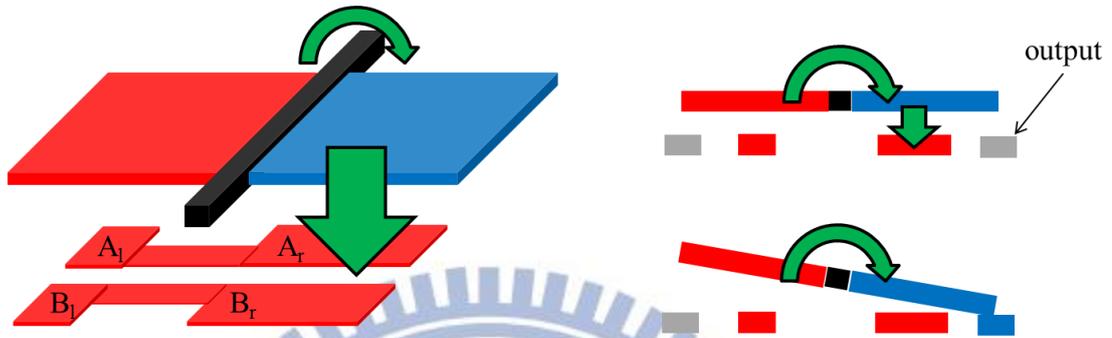


圖 2.2 雙層式微機電邏輯閘，輸入(1,1)



圖 2.3 雙層式微機電邏輯閘，輸入(0,0)

如果輸入訊號(A,B)為(1,0)時，此時懸浮平板的兩邊都會有靜電力產生，但由於底電極的面積不相同，兩邊產生的靜電力也會不同，平板依然會向底電極較大的那一邊傾斜。

以圖 2.4 為例，結果為向右傾斜，輸出 $V_{cc}(0)$ 的訊號，若是將輸入(A,B)改成(0,1)，結果仍然是一樣的。將結果對照表 2.1 的真值表可得知這是一個具有 NOR 邏輯功能的邏輯閘。

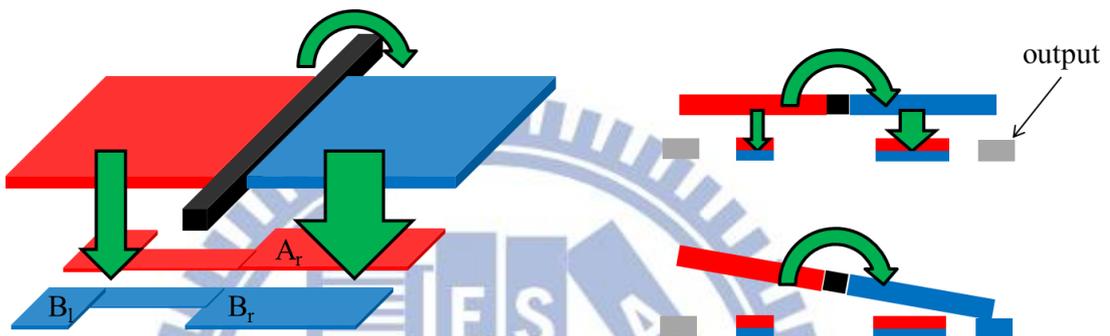


圖 2.4 雙層式微機電邏輯閘，輸入(1,0)

| Input | | output | |
|-------|---|--------|-----|
| A | B | NAND | NOR |
| 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 |
| | | | |

表 2.1 NOR 閘與 NAND 閘的真值表

倘若我們將懸浮平板內部的電極互換，然後輸入(A,B)為(1,0)或(0,1)，如圖 2.6，平板雖然還是向右方傾斜，但此時接觸輸出電極的平板右側電位變成了 $V_{cc}(0)$ ，比較表 2.1 可得知現在此邏輯閘有 NAND 邏輯功能。

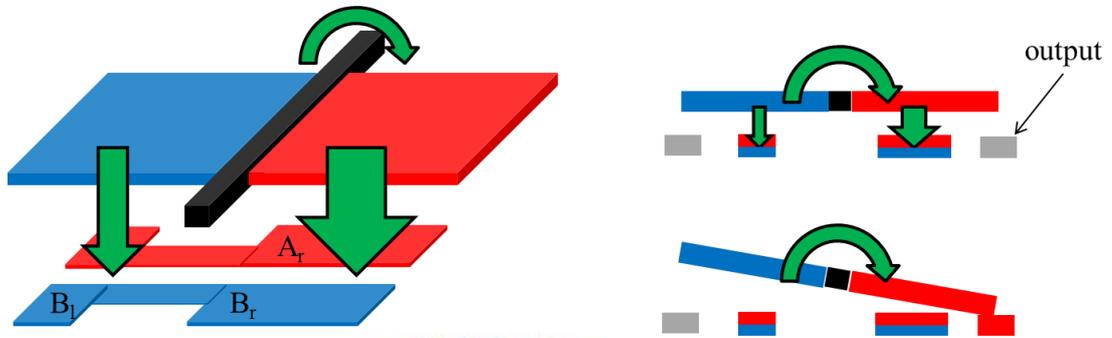


圖 2.6 雙層式微機電邏輯閘，懸浮平板內部電極互換

從上面的結果可以證明我們只需要改變懸浮平板內部的電極分配，便可用同樣的一個機械結構，同時實現 NOR 跟 NAND 兩種邏輯功能。



2.2 TSMC 0.35 μ m 2P4M CMOS-MEMS 介紹

圖 2.6 是台灣積體電路製造公司 TSMC 所提供的 0.35 μ m 2P4M CMOS-MEMS 標準製程。製程中包含兩層多晶矽(polysilicon)(紅、綠)、四層鋁(Aluminum)金屬層(黃)、金屬與金屬之間的介電層氧化矽(silicon oxide)，以及黑色部分，用來連結各個金屬層的通道(via)，其材料為鎢(Tungsten)。

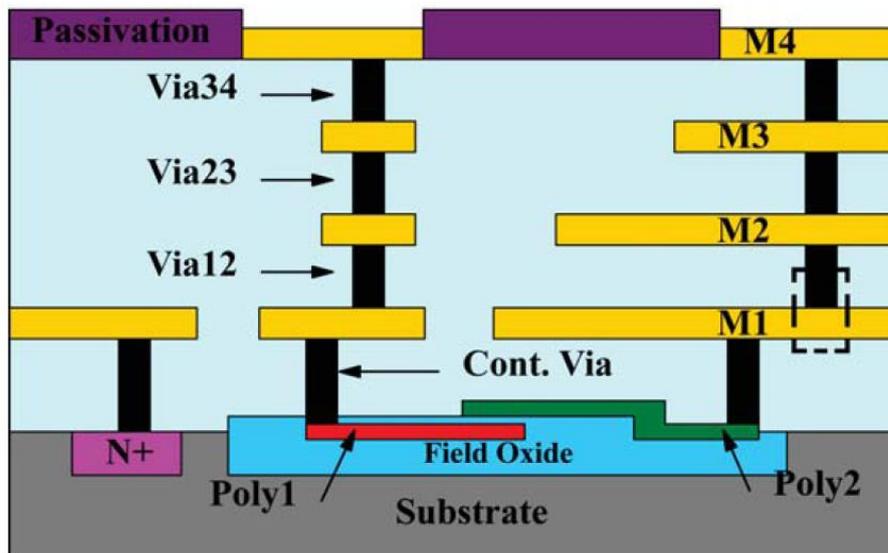


圖 2.6 TSMC 0.35 μ m 2P4M CMOS-MEMS 標準製程

若更細部的觀察鋁金屬層與 via 部分，如圖 2.7，會發現在鋁金屬層及 via 錫上下皆有著一層氮化鈦(Titanium nitride, TiN)及金屬鈦(Titanium)，而此 TiN 便是我們要拿來做為接觸金屬的材料之一。

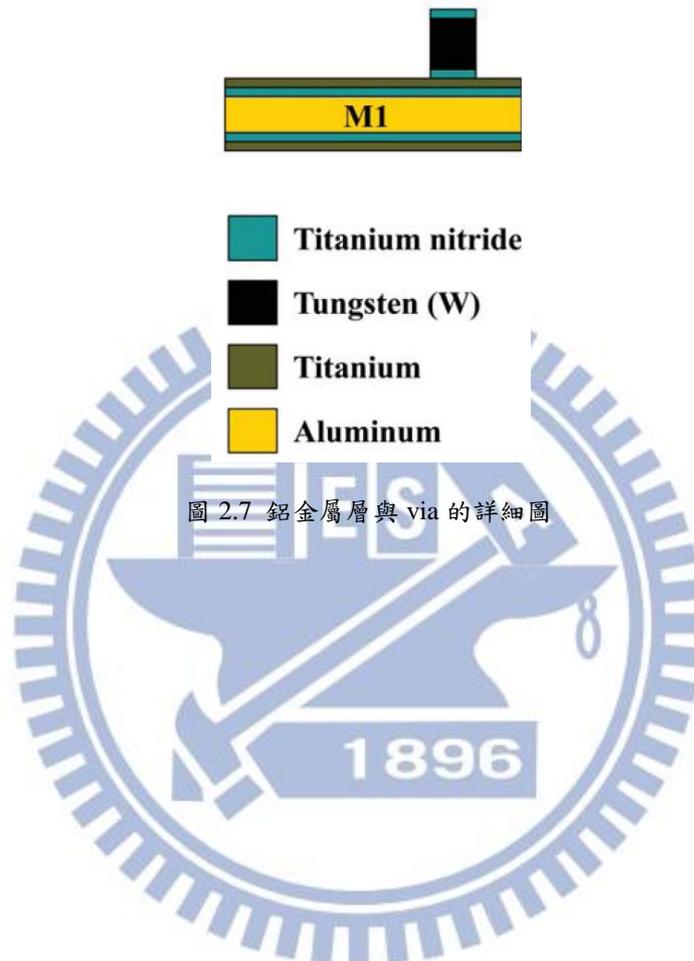


圖 2.7 鋁金屬層與 via 的詳細圖

2.3 以 TiN 當作接觸金屬

2.3.1 TiN 簡介

氮化鈦(TiN)屬於一種陶瓷材料，具有高熔點、高硬度、化性穩定及優良的導熱性、導電性、耐磨耗性、抗腐蝕性等等特點，通常將其鍍於鈦合金、不銹鋼、碳化鎢和鋁合金表面，以強化基材表面特性。由於具有金色的金屬光澤，也常被應用於珠寶、汽車等裝飾用途。此外，氮化鈦的無毒性與生物相容性，也常使它被用於醫療生物方面。

CMOS-MEMS 標準製程中本來就有 TiN 層的存在，如果能將其使用在微機電邏輯閘中的接觸金屬部分，不僅不用額外增加製程蝕刻掉 TiN 層，以 TiN 優越的特性，高硬度、導電性、耐磨性，也許可以同時的解決金屬與金屬接觸時所遇到的種種問題。



2.3.2 設計原理

要利用 CMOS-MEMS 標準製程技術來製作，並以 TiN 當作接觸金屬，有幾點在設計、佈局時必須考慮進去：

- (1) 曾經考慮過將 SiO₂ 當作犧牲層，使其上下層的金屬層作為接觸金屬。這樣一來在製程上，只要利用 CIC 的後製程 Pad、RLS，整個元件就會大功告成，省去自行製程的許多問題，成功率跟良率也會大增。但不幸的，許多常見的 SiO₂ 的蝕刻液：如 BOE、HF、HF vapor 等等，對於金屬層的主要元素 Al 也同樣具有明顯的蝕刻力，所以在製程上目前是行不通的。故我們還是以金屬層為犧牲層。
- (2) 本設計結構以 M3 作為懸浮平板的主要結構層，M2 層當犧牲層，M2 上下的 TiN 層作為接觸金屬，M1 則為底電極。M2 同時亦是後製程 RLS 的阻擋層，保護下方矽基板不會受到攻擊。
- (3) 懸浮部分要能同時擁有兩個不同的電位，除了作為懸浮平板主要結構的 M3 中間需要有絕緣帶的設計，作為接觸金屬的 TiN 層也必須要絕緣，故必須要 M2 的中間設計一小區塊的絕緣帶，如圖 2.8，否則懸浮平板會因為 M2 上方的 TiN 層相連接而短路，造成元件失去作用。

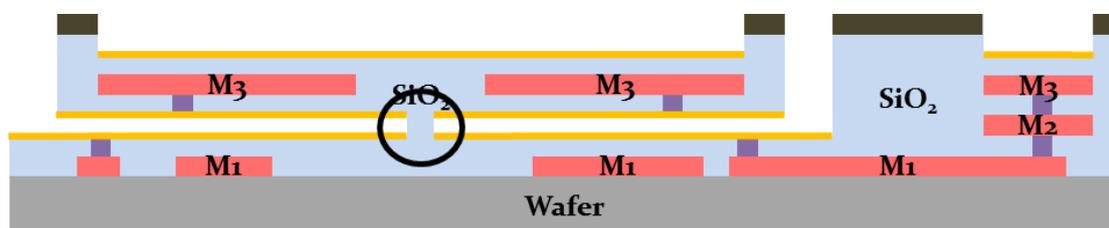
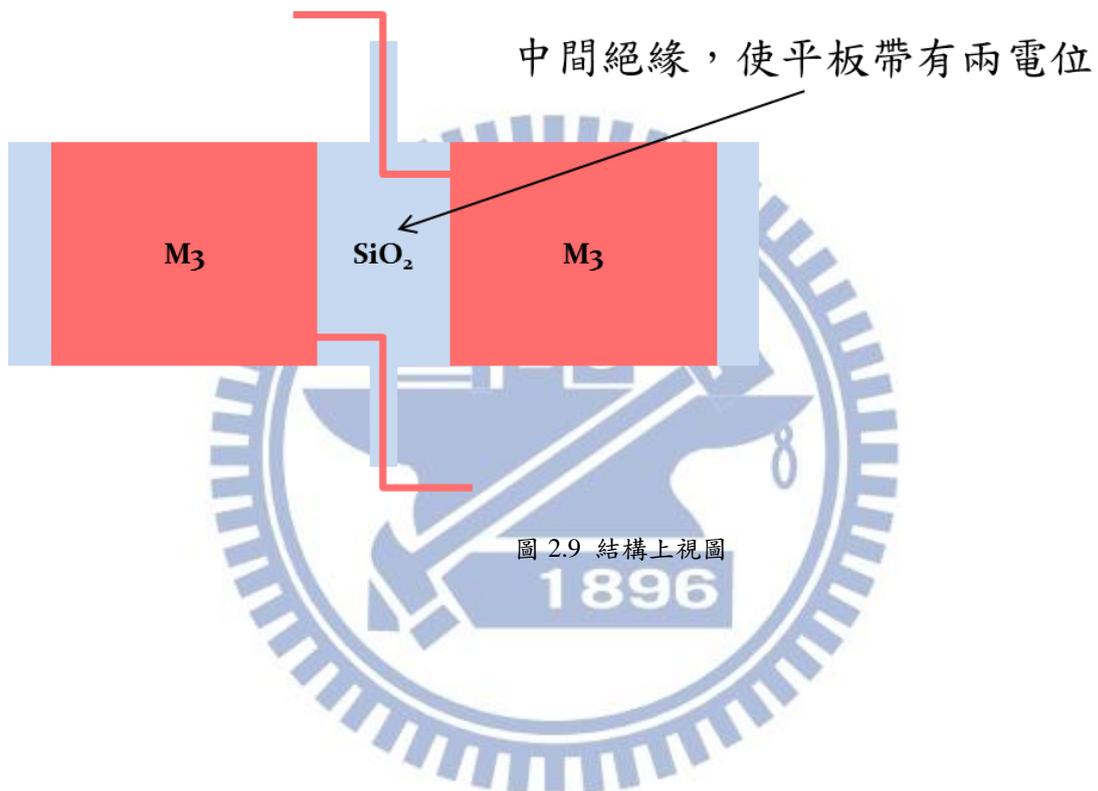


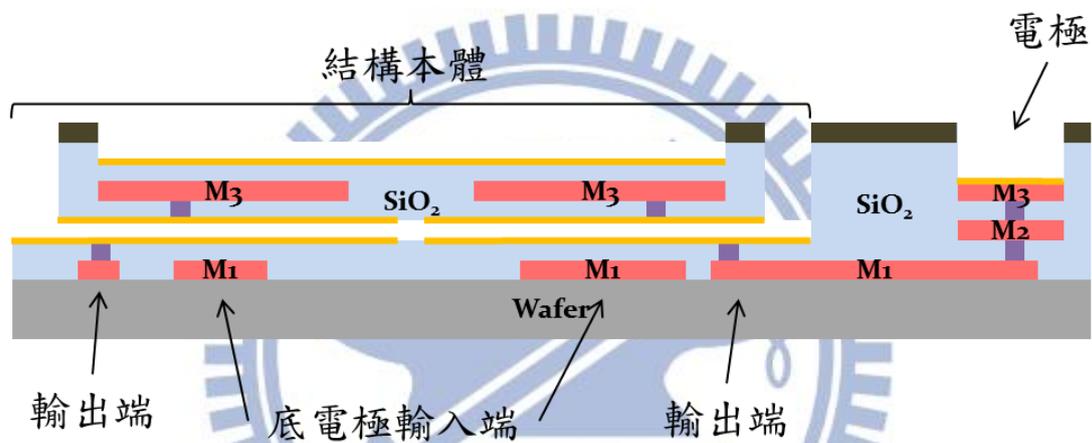
圖 2.8 結構剖面圖與 M2 絕緣部分

下方是這次結構的上視圖及剖面圖：

上視圖：圖 2.9 為利用 TSMC 0.35 μm 2P4M CMOS-MEMS 標準製程所製作完成的元件上視圖。左右兩邊分別是兩塊不相連的電極，可以分別帶有兩個電位，藉由與底電極的靜電力產生傾斜，接觸輸出端後傳出訊號 1 跟 0。



剖面圖：圖 2.10 為製作完成的元件剖面圖。M3 為懸浮平板的主要結構，左右兩邊可以帶有不同的電位，M2 同時為犧牲層跟蝕刻停止層，M1 的中間兩塊為輸入端 A、B，刻意使左右底電極面積大小不同，讓整個結構達到邏輯功能。外側兩塊則為輸出端。當 M2 被蝕刻掉時，元件便會懸浮，但 M2 上下的 TiN 會殘留下來，作為接觸金屬用。M3 藉由 via23 與 M2 上方 TiN 相連接，M1 則藉由 via12 與 M2 下方的 TiN 相連，當平板傾斜時，M2 上方的 TiN 層與下方的 TiN 層互相接觸，然後傳出訊號。



2.10 結構剖面圖

2.3.3 後製程

後製程主要分成前後兩部分，前面兩道製程為國家晶片系統設計中心(CIC)所提供的 Pad Mask 以及 RLS Mask，後面為自製的後製程。此次的設計已於 CIC 的 D35-100B 梯次及 D35-100C 梯次下線成功，以下將對後製程詳加解說。

- (a) Pad 光罩圖形：當晶片剛從 TSMC 製作完成回來時，上方會有一層 Passivation 層。此道製程採用 CIC 所提供的 Pad 光罩，目的是去除 M4 層上方的 Passivation，以利後面製程的進行。
- (b) RLS 光罩圖形：CIC 所提供的 RLS 光罩有兩種，一種為非等向性的反應離子乾蝕刻製程(RIE dry etch process)，利用 CF_4/O_2 針對 SiO_2 做非等向性的垂直蝕刻，主要用以定義出元件的外形及蝕刻孔，金屬層 Al 為此到蝕刻技術的蝕刻停止層，故可以用金屬層來控制蝕刻的深度或保護下方的 SiO_2 及矽基板。另一種則為等向性的乾蝕刻矽基板技術，利用 SF_6 電漿，等向性的蝕刻矽基板，將微結構下方掏空，得以釋放、懸浮。我們本次製作只使用第一道製程，進行完這道製程後，M2 便會裸露出來，以利於進行之後的結構釋放製程。
- (c) FHD-5 濕蝕刻：將元件浸泡在 FHD-5 中進行等向性濕蝕刻。FHD-5 為一般常見的顯影液，容易取得，其中的 TMAH 為蝕刻的主要成分。此道製程主要目的是去除 M2，使元件釋放、懸浮，連同裸露在外的 M4 也會一併被蝕刻掉。不過到此結構尚未完全懸浮，位於 M2 中間的 SiO_2 絕緣帶依然留著，在後面的製程中將一併把它去除掉。此步驟不需加熱，靜置即可。

(d) HDP-RIE 乾蝕刻：此道製程使用交通大學奈米中心的 HDP-RIE 進行乾蝕刻，參數如表 2.2 所示。主要蝕刻氣體為 BCl_3 跟 Cl_2 ，主要目的是去除晶片四周電極上的 TiN。利用非等向性的特性，電極上的 TiN 因為曝露在外面，所以會被蝕刻掉，而結構下要被作為接觸金屬的 TiN 則不會被攻擊到。

(e) BOE 濕蝕刻：此步驟在時間上需精確掌握。製程目的是要清除晶片四周電極上面的 SiO_2 ，使下方電極露出。BOE 蝕刻液對 Al 也有可觀的蝕刻速度，一旦懸浮平板外面的 SiO_2 被蝕刻完後，作為平板主要結構的 M3 也會開始被攻擊，導致結構損壞。

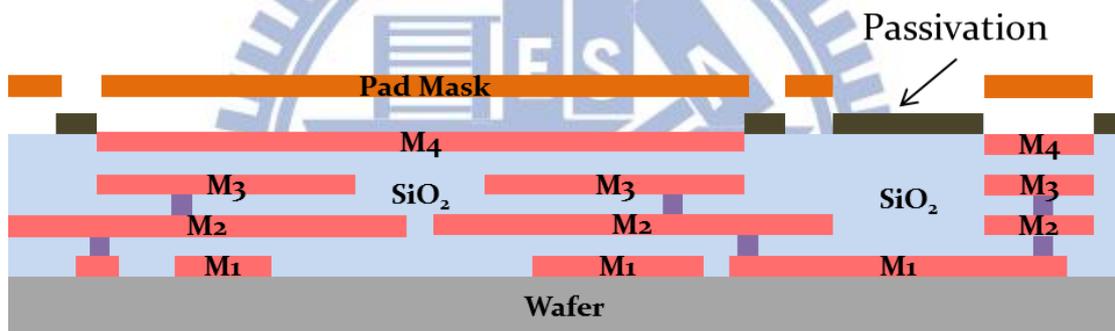


圖 2.11(a) Pad 光罩圖形

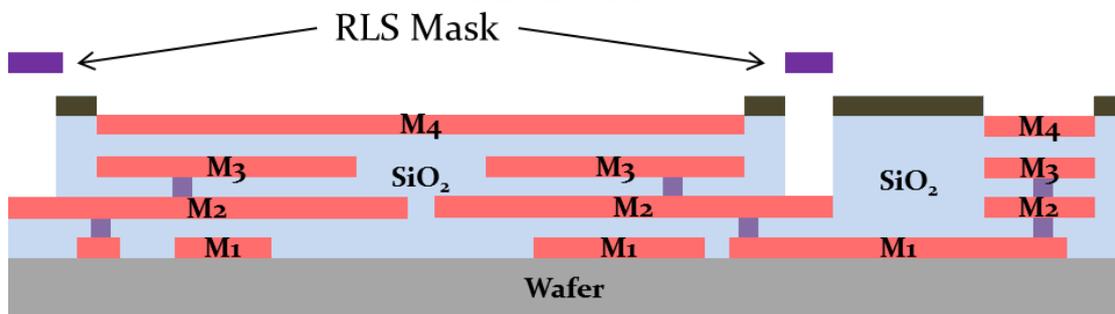


圖 2.11(b) RLS 光罩圖形

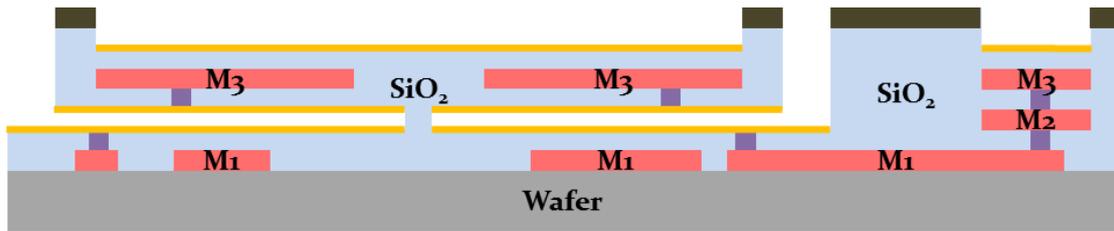


圖 2.11(c) FHD-5 濕蝕刻

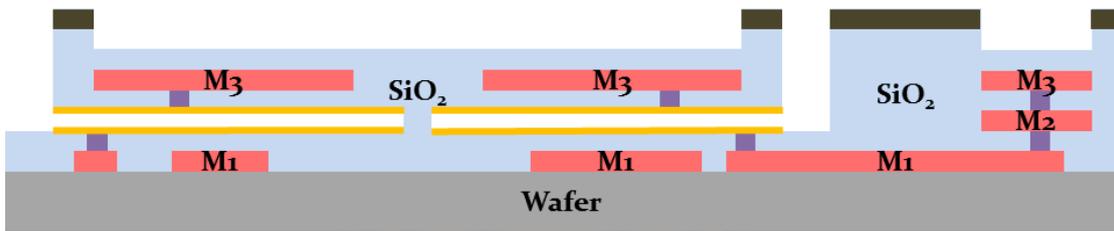


圖 2.11(d) RIE 非等向性乾蝕刻

| | |
|------------------|----------|
| ICP Power | 400 W |
| Bias Power | 100 W |
| P | 10 mTorr |
| BCl ₃ | 35 sccm |
| Cl ₂ | 35 sccm |
| Time | 3 min |

表 2.2 HDP-RIE 蝕刻參數

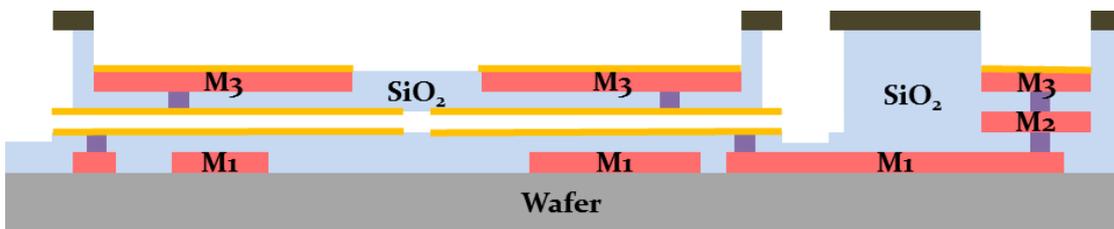


圖 2.11(e) BOE 濕蝕刻

2.4 結合化鍍浸金技術

2.4.1 化鍍浸金簡介

化鍍浸金(Electroless Nickel and Immersion Gold: EN/IG)，又稱為化學鍍金。在鋁的表面上，利用無電電鍍的方法，鍍上一層鍍和金，是一種普遍用於工業上的鋁加工技術，用以增加鋁製品的表面特性。此技術的特色是完全不需要任何外接電極，如果使用在體積極小的 CMOS-MEMS 產品上，比起一般電鍍可以省去很多的麻煩。

2.4.2 無電電鍍

無電電鍍(electroless plating)，又稱化學鍍、自催化鍍，是一種金屬表面處理技術，簡單方便、節能環保。無電電鍍能提高基材的耐蝕性和使用壽命，提高加工件的耐磨性、導電性、潤滑性能等等。無電電鍍是藉由金屬的自催化作用下，透過可控制的氧化還原反應產生金屬的沉積過程。與電鍍相比，無電電鍍具有鍍層均勻、針孔小、不需外加直流電源等等優點，透過「敏化」處理後，甚至能鍍在非導體上。

無電電鍍的原理是依據氧化還原反應，在含有金屬離子的溶液中，利用強還原劑，金屬離子就會被還原成金屬而沉積在基材表面上，常見的無電鍍有：無電鍍鍍、無電鍍銀、無電鍍銅、無電鍍鈷等等。

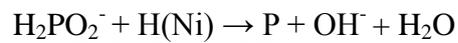
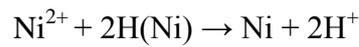
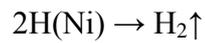
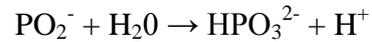
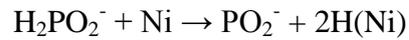
2.4.3 無電鍍鎳簡介

無電鍍鎳，又被稱為無電解電鍍鎳、化學鍍鎳，是一種純化學的鍍鎳法。由於製程上不需外接電極，只要靠著高溫還原劑的作用，在具催化活性的金屬表面便能持續的沉積鎳上去，其設備簡單，操作方便且價格便宜，使得無電鍍鎳廣泛的被應用於汽車、化學、精密機械等等工業上。

無電鍍鎳需要在具有催化活性的表面上才得以進行，如鋅、鎳等等。鎳本身也具催化活性，已經沉積上去的金屬鎳會繼續催化附近尚未沉積的鎳離子，加速沉積速率，此被稱為自催化反應。因為這個反應，使得無電鍍鎳反應能持續進行，幾乎沒有厚度限制。

無電鍍鎳的溶液可分為酸性溶液和鹼性溶液，酸性溶液的特色是較安全、易於控制，速率也較鹼性溶液來的快，本製程使用的便是酸性溶液：酸性鎳磷無電鍍鎳鍍浴，鍍層中會含有少量的磷，磷的比例越高，電阻也會跟著上升，使得無電鍍鎳的電阻較一般電鍍鎳的電阻來的高，但也因為這樣，無電鍍鎳比起一般的電鍍鎳較耐腐蝕、耐磨耗，且無電鍍鎳層的鍍層均勻、孔率少，整體來說反而比起一般電鍍鎳更加的實用。

無電鍍鎳的反應式如下：



最終的產物並非純鎳而是鎳磷合金，磷含量大約是 4%~12%，隨著鍍液 pH 值越低，磷含量越高，不過鍍鎳速度也會越慢，倘若磷含量超過一定比率，則鎳磷合金將會失去磁性。

一般鍍液成分有金屬鹽、還原劑、錯化劑、緩衝劑、安定劑和 pH 調整劑，每種成分在電鍍過程中皆具有特殊且必要的功能。

1. 金屬鹽：提供金屬離子來源，不同的金屬鹽會對電鍍速率及鍍層性質有不同的影響。
2. 還原劑：提供金屬離子還原所需之電子，不同的基材表面對於還原劑的催化活性不同，也因此有不同的還原效果。
3. 錯化劑：錯化劑主要用途是與鎳離子行成複雜的錯化合物，降低溶液中鎳離子的濃度，增加鍍液穩定性，防止鎳離子與亞磷酸根反應而造成鍍液分解的慘劇。
4. 緩衝劑：無電電鍍進行時，還原劑不斷的氧化，造成氫離子濃度大增，pH 值因而快速下降，緩衝劑可以減緩 pH 值的下降，穩定溶液 pH 值。
5. 安定劑：無電鍍鎳使用一段時間後，會生成亞磷酸鎳沉澱，會加速鍍液分解，添加安定劑可遮蔽或吸收亞磷酸鎳沉澱，延長鍍液壽命，也可提高鍍面的光澤度。
6. pH 調整劑：控制 pH 值，以控制鍍膜品質。

2.4.4 化鎳浸金流程

化鎳鍍金的製作流程：酸洗除膜→鋅置換→無電鍍鎳→無電鍍金

以下將一一講解。

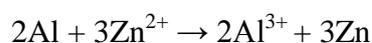
(1) 酸洗除膜

在進行無電鍍鎳前，必須先使用強酸去除基材表面的氧化物，並利用可降低液體表面張力的非離子型界面活性劑，將基材表面的汙物排開，使得的鍍液能順利接觸基材表面，才能進行接下來的步驟。如果表面有雜質，對於之後的鍍鎳鍍金的品質，都會有直接的影響。

(2) 鋅置換

如果基材表面無法直接催化進行無電鍍鎳反應，則必須先置換上一層其他能催化無電鍍鎳反應的金屬層，作為接下來無電鍍鎳反應的觸媒。

鋅置換是一種常被使用於工業界，保護基材的方法，基材通常是鋁，鋁活性大、易氧化，而且在酸鹼溶液中都會產生反應，不易處理。在其表面置換上一層鋅，形成保護層。此置換製程不需要外加電流，只是一種單純的氧化還原反應，鋁的還原電位為-1.66V，而鋅則為-0.76V，反應式如下：



由於鋁的還原電位較鋅來的低，所以鋁比鋅更傾向於變為離子形式，故整個反應會傾向往右邊，鋅自然而然就會沉積在鋁基材的表面上，以便於接下來的無電鍍鍍。

圖 2.12 為自行製作的試片進行 EDS 元素分析的結果。試片首先蒸鍍一層鋁之後再用光阻定義出圖形，進行鋅置換的實驗，浸泡鋅置換溶液 15 秒。其中鋅置換溶液具腐蝕性，在置換同時亦會腐蝕作為基材的鋁。圖 2.13 是用白光干涉儀測量其高低落差的結果，鋅置換溶液具有腐蝕性，由圖可以看出鋅置換反應的部分整體比起旁邊位反應的部分來的低一點。

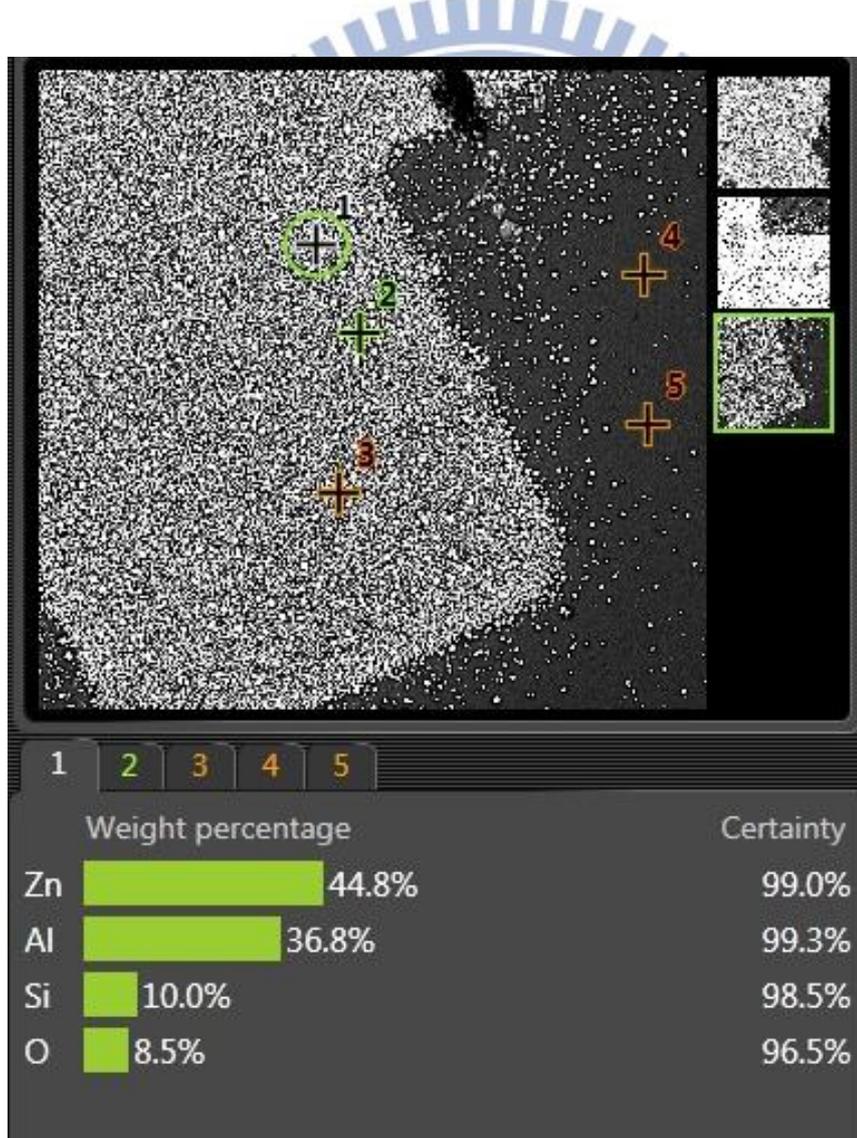


圖 2.12 化鍍浸金鋅置換後進行 EDS 元素分析的結果

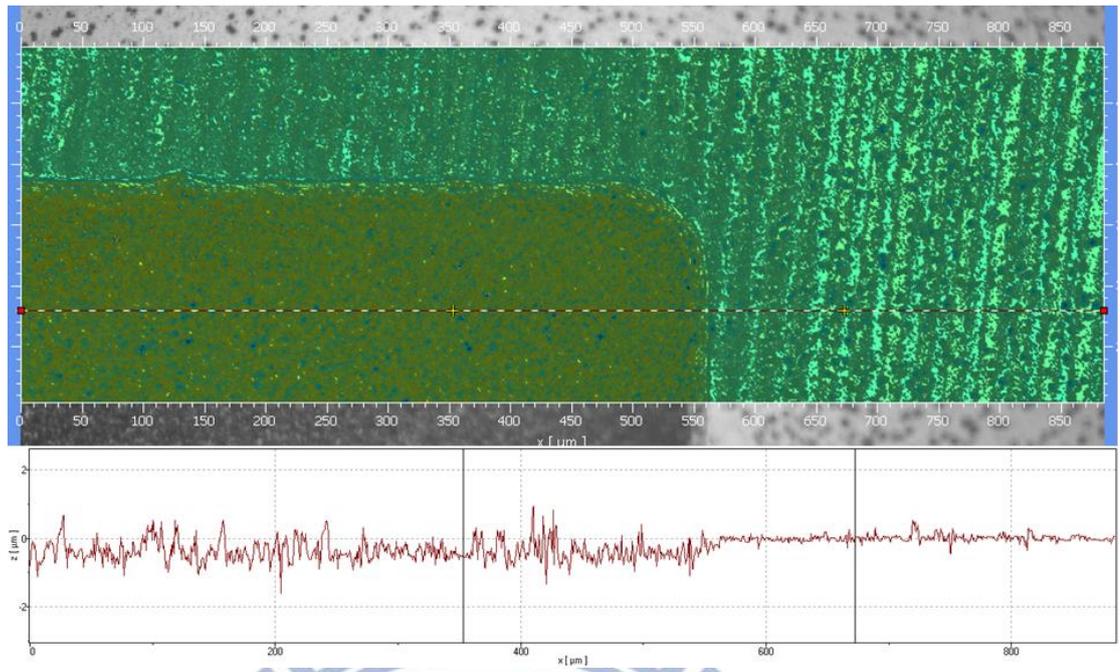


圖 2.13 化鎳浸金鋅置換後進行白光干涉儀測量的結果



(3) 無電鍍鎳

圖 2.14 與圖 2.15 為試片經過鋅置換 20s，再浸泡無電鍍鎳溶液 80°C 15min 的結果。圖 2.14 為進行 EDS 元素分析的結果。鍍層中約含有 10% 的磷。圖 2.15 是用白光干涉儀測量其高低落差的結果，厚度約 2~3um。

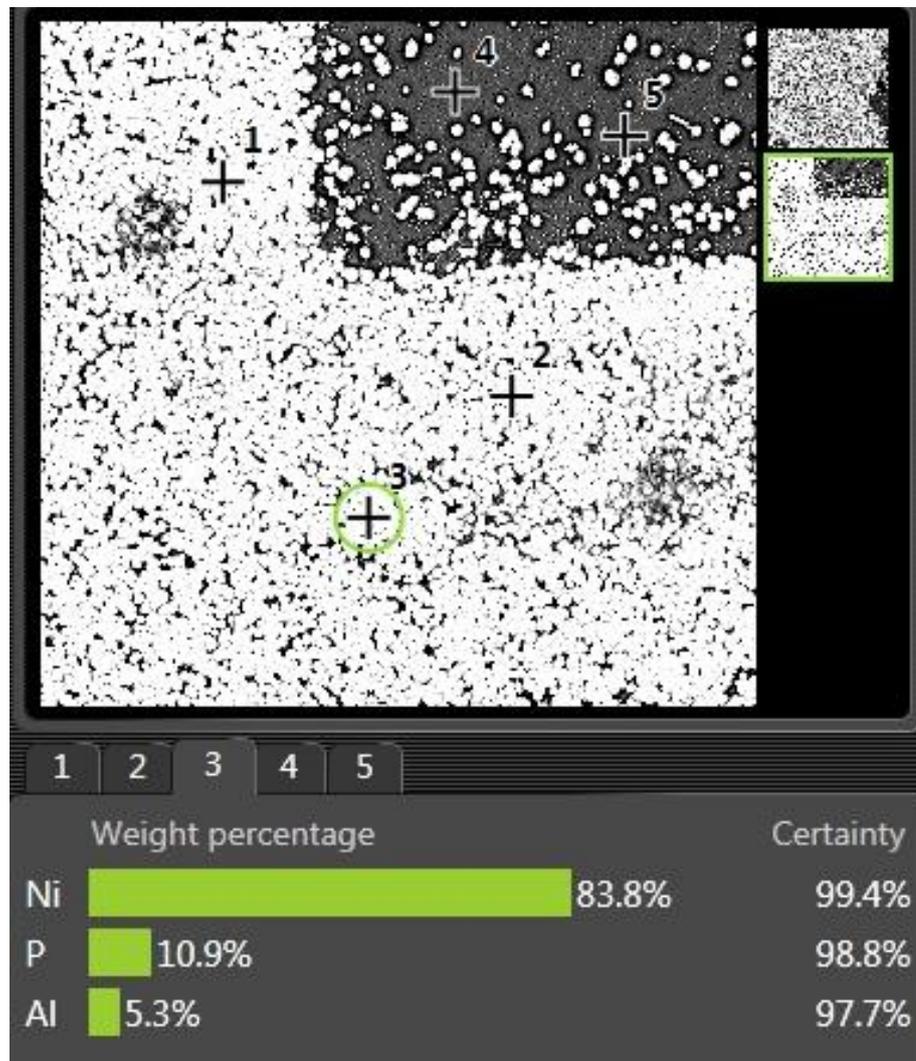


圖 2.14 化鎳浸金無電鍍鎳後進行 EDS 元素分析的結果

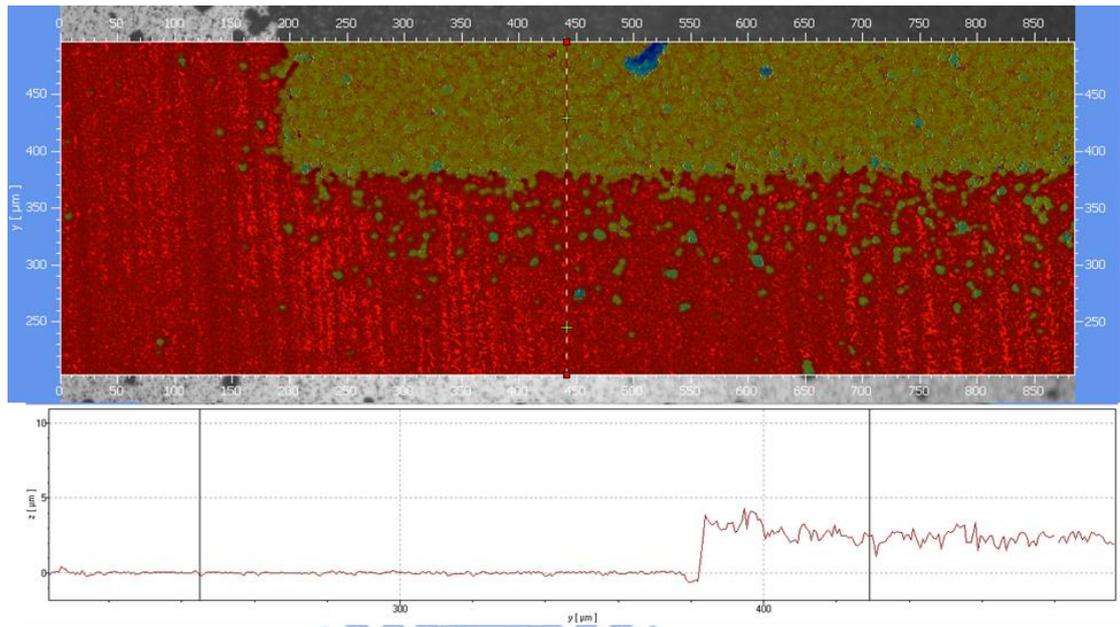
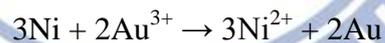


圖 2.15 化鎳浸金無電鍍鎳後進行白光干涉儀測量的結果

(4) 無電鍍金

最後一道製程是無電鍍金，跟鋅置換一樣，這也是一個氧化還原的純化學反應，反應式如下：



從還原電位得知，此反應也是傾向於向右邊，所以金會在鎳層上置換一層金層，一旦鎳的表面都被金所覆蓋後，此反應便會停止，故金層厚度有其上限。

雖然金的表面有上限，但有另一種技術，稱為「厚化金」，仍然可以使金層厚度達到 2~3 μm ，不過其價錢非常昂貴，在此就不加以說明。

2.4.5 設計原理

與 TiN 當接觸金屬的結構大同小異，有些部分不太一樣須特別考慮：

(1) 結構大致上相同，以 M3 為平板主要結構層，M2 層當犧牲層，M1 為底電極。其中 M2 與 M3、M1 間的 via23、via12 必須要特別對準，因為之後無電鍍鎳金是從 via 部分沉積出來，所以要稍微注意一下。

(2) 不同於 TiN 結構，需要在 M2 中間作出絕緣帶。在化鎳浸金的製程中 TiN 將會被去除，所以不用特別去製作絕緣帶，以免增加製程複雜度。

圖 2.16 為製作完成的元件剖面圖。

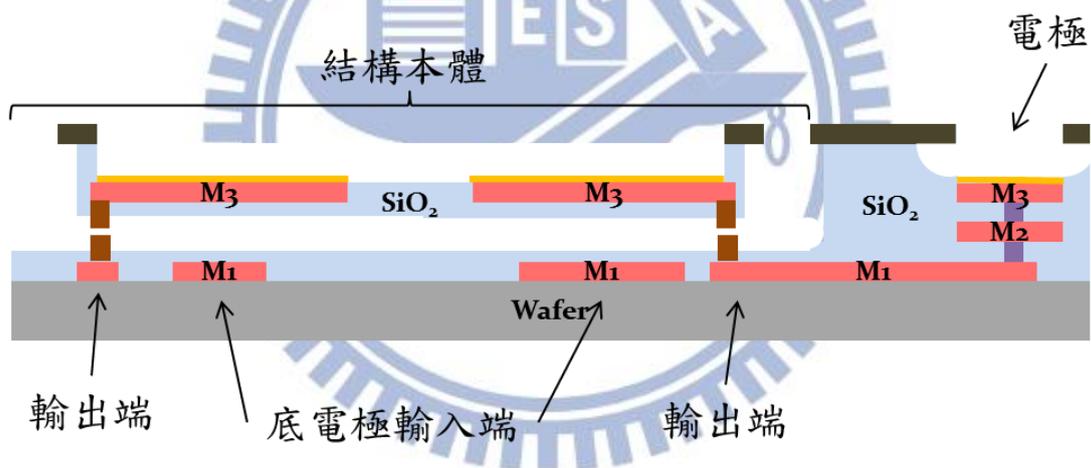


圖 2.16 結構剖面圖

2.4.6 後製程

於兩道 CIC 提供的後製程結束後，也是要先將 M2 蝕刻掉，使元件釋放、懸浮，再繼續下面的製程。

- (a) FHD-5 濕蝕刻：去除 M2 層，使結構懸浮為目標。
- (b) H_2O_2 濕蝕刻：使用 H_2O_2 並加熱到 50°C ，主要目的為蝕刻 M2 上下殘留的 TiN、Ti、以及 via：W，當 via 完全被去除後，M3 跟 M1 的鋁便會露出來。
- (c) 化鎳浸金：此時的 M3、M1 與 via 相接的那一部分是暴露在外面的，所以接下來進行化鎳浸金的流程，將那外露的鋁置換成鋅再置換成鎳，最後在表面上再置換一層金便是完成。
- (d) BOE 濕蝕刻：最後只要把四周電極上方的 SiO_2 去除，便大功告成。

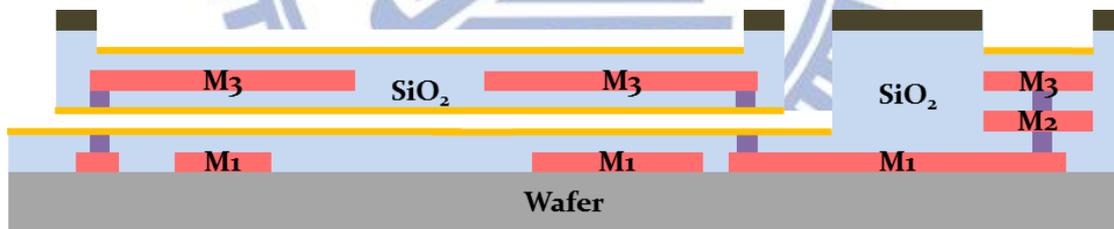


圖 2.17(a) FHD-5 濕蝕刻

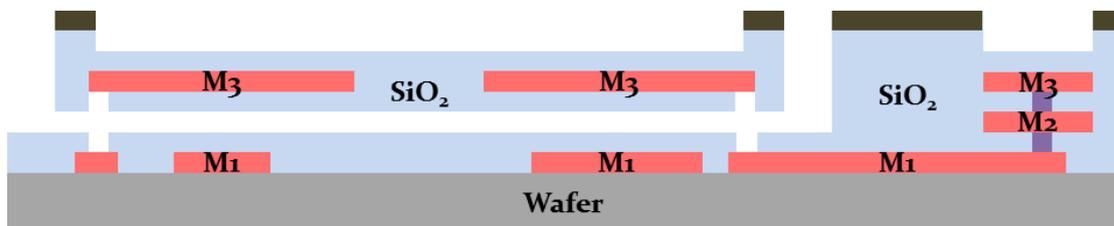


圖 2.17 (b) H_2O_2 濕蝕刻

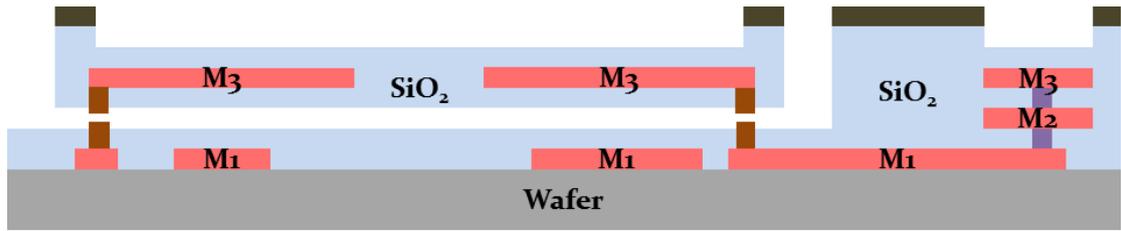


圖 2.17 (c) 化鍍浸金

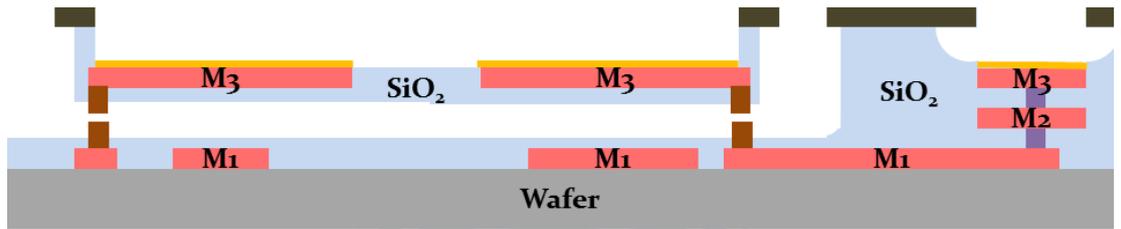
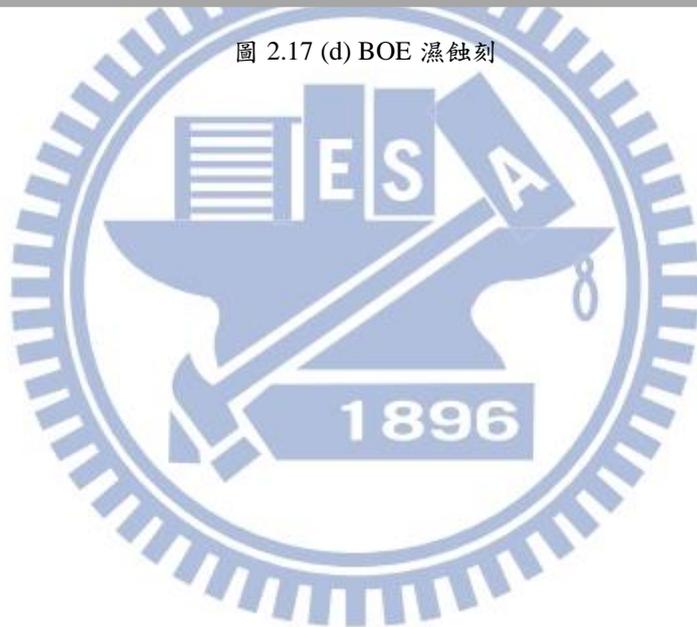


圖 2.17 (d) BOE 濕蝕刻



2.5 實驗結果

以 TiN 為接觸金屬這部份大致上沒甚麼問題，目前完成到最後一道製程，圖 2.18 是將懸浮平板結構去除後的剖面圖，平板上的電極應該要藉由 D、E 分別接觸 A、B，將訊號從 C 傳出。

經過了多個不同元件及多次的測試，B、C 間目前並沒有完全導通。在最後一道製程：中 BOE 濕蝕刻中，因為時間較難以掌握，常常多浸泡一點則結構損壞，少浸泡一點則有殘留 SiO_2 ，導致目前尚無法進行訊號的輸入輸出。

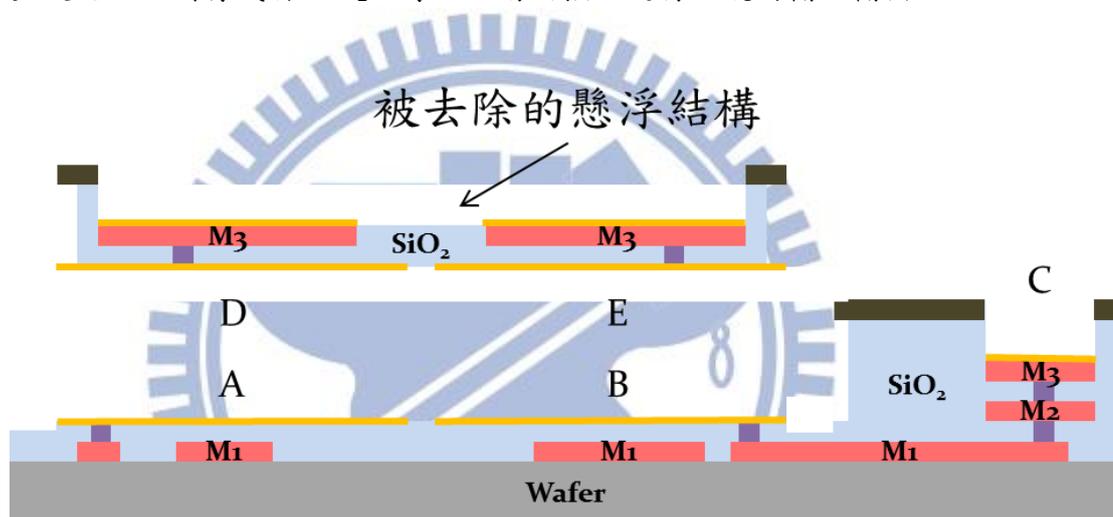


圖 2.18 將懸浮平板結構去除後的剖面圖

在結合化鎳浸金技術的部分，主要問題發生於 H_2O_2 濕蝕刻製程時，如圖 2.19，可以看出蝕刻速率相當的不平均，而圖 2.20 中，懸浮平板上半部分的 M3 還完好如初，下半部分卻已經因為 H_2O_2 蝕刻液的滲入而幾乎被蝕刻光光。

H_2O_2 蝕刻液不只對於 TiN、Ti、W 有蝕刻力，同時也會攻擊 Al，當今天 via：W 被吃完的時候， H_2O_2 蝕刻液便會開始侵蝕結構中的 Al，由於沒有蝕刻停止層，無法阻止 H_2O_2 蝕刻液繼續攻擊內部結構的 Al，加上濕蝕刻本來就較難以掌握蝕刻速率，是目前暫時無法解決的問題。

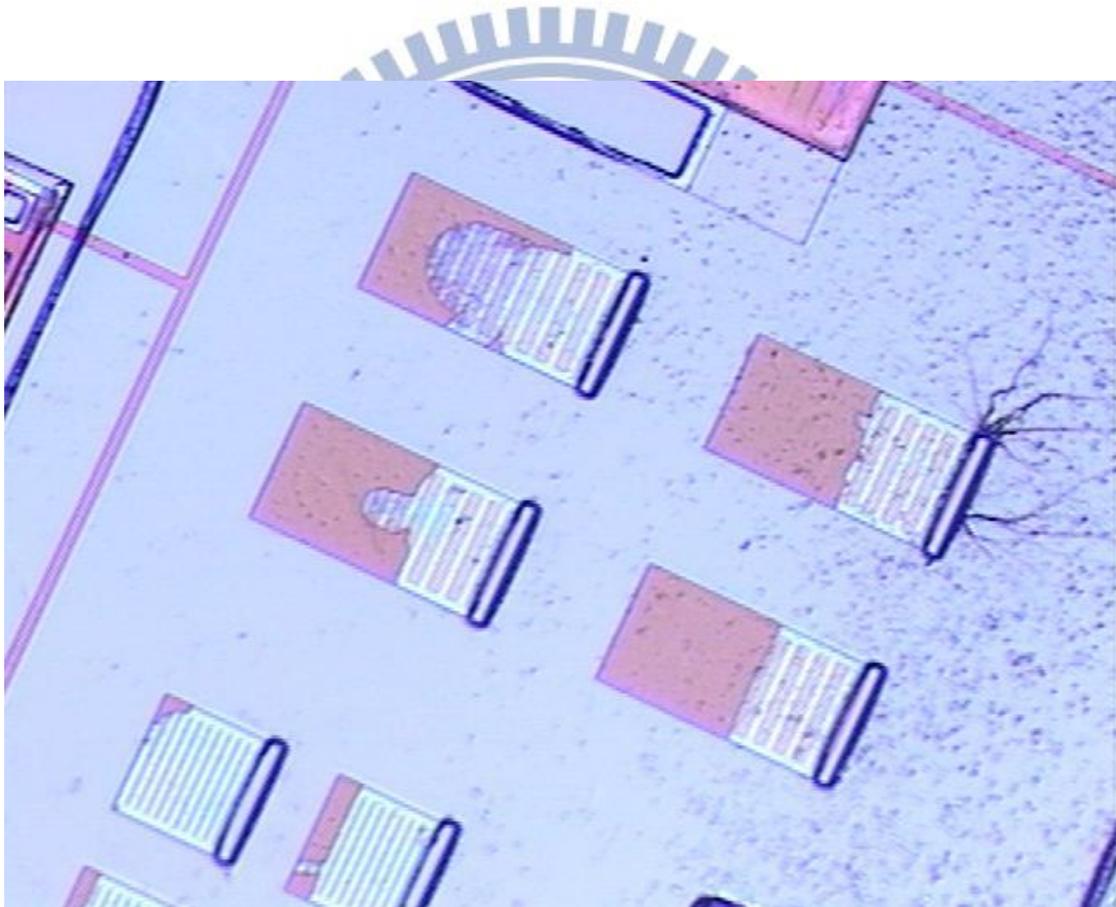


圖 2.19 用來計算 H_2O_2 濕蝕刻速率的 testkey

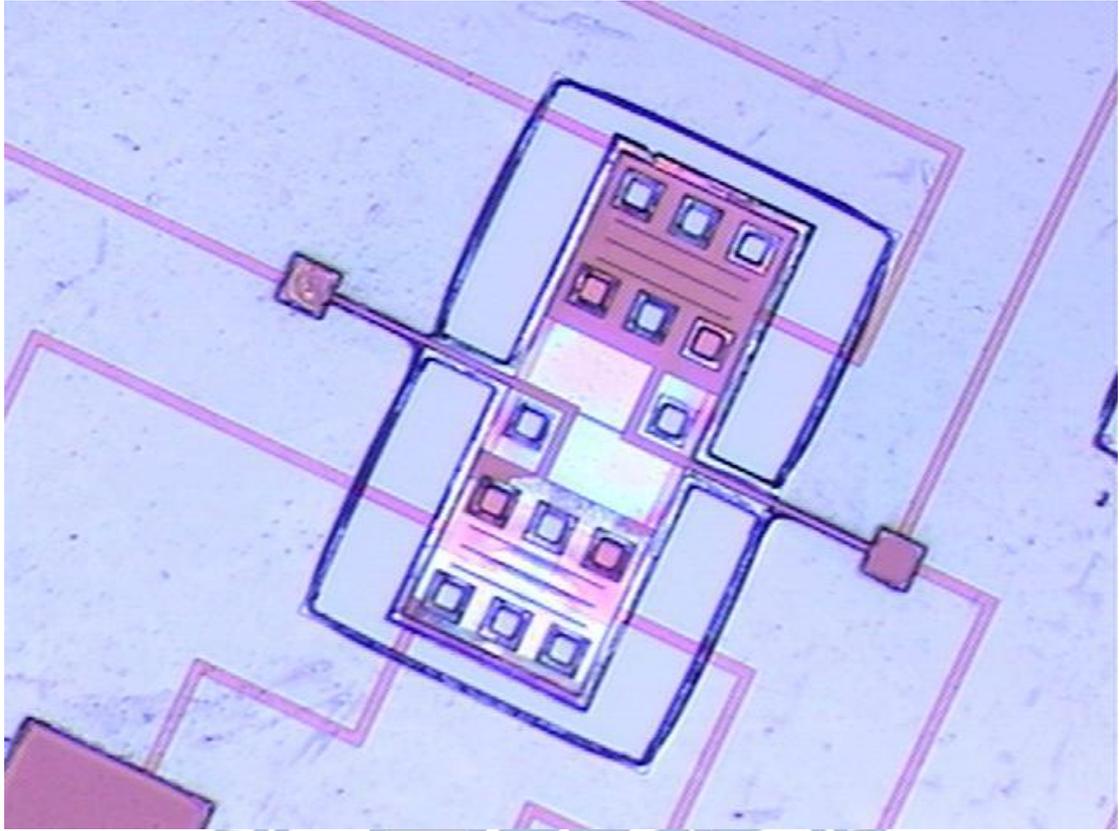


圖 2.20 同一個結構兩邊蝕刻速率卻差異甚大



第三章 梳狀制動器微機電邏輯閘

3.1 設計原理

3.1.1 概論

本篇文章提出了另外一個機械式邏輯閘的設計，不同於前面所提到的雙層式結構以傾斜平板，上下觸碰的方式達到接觸。此設計結構的作動方式為水平移動，以橫向接觸的方式達到開關的功能，如圖 3.1。

淡紫色是整個元件的主要部分，包括中間的質量塊、四個角落的四根懸臂樑，以及左上及右下的輸出端，四個懸臂樑中，只有兩個有接觸用途，剩下的兩個則是用來平衡結構。綠色部分則是元件的支撐彈簧，採 Z 型結構設計，經由適當設計，使得結構在垂直方向上的 k 值遠小於水平方向上，可以有效的限制結構之運動方向。咖啡色部分為梳狀結構制動器，用以帶動整個結構。

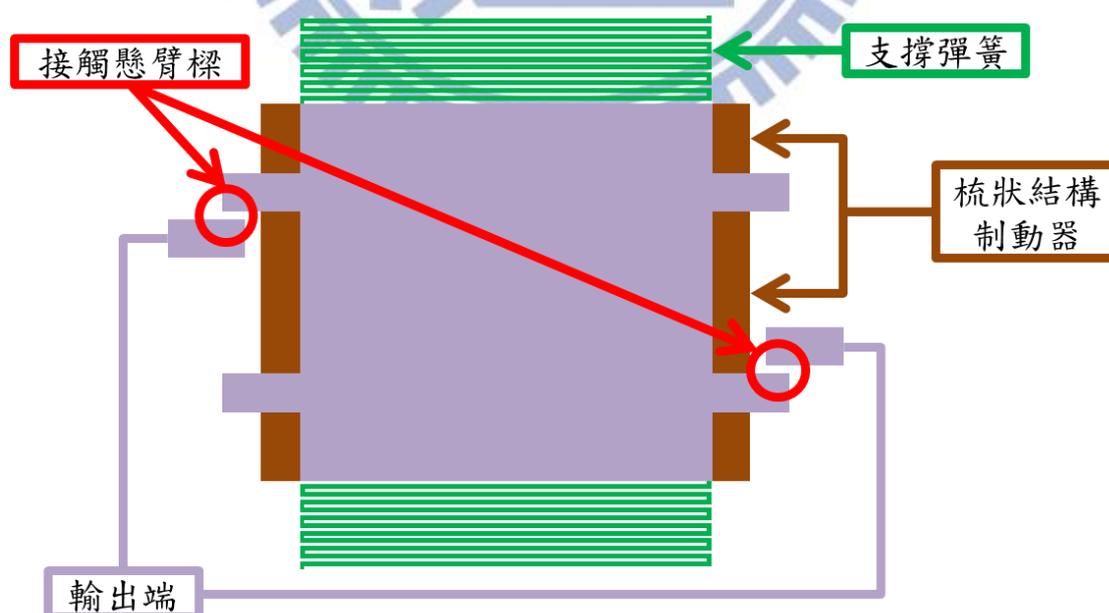


圖 3.1 梳狀結構制動器微機電邏輯閘概要圖

3.1.2 梳狀結構制動器

梳狀結構為一種常見的 MEMS 結構，常用來做為制動器或感測器。一般常見的梳狀結構制動器，如圖 3.2，藉由左右兩邊的電位不同產生靜電力，互相吸引，垂直方向的靜電力會因為 finger 間距相同($d = d$)而互相抵消，故結構只會水平移動，且靜電力不受位移多寡影響。

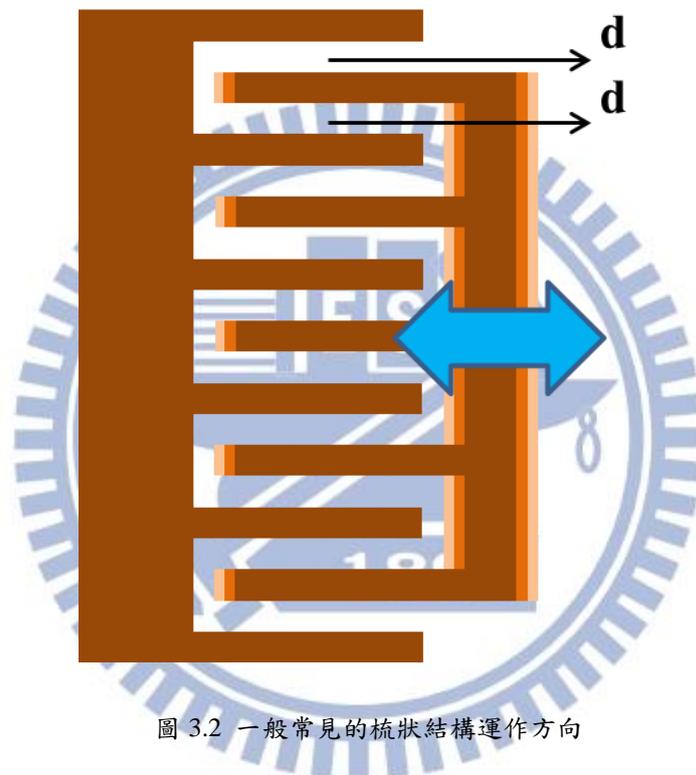


圖 3.2 一般常見的梳狀結構運作方向

當 finger 間的距離不等 ($D > d$) 時，垂直部分的靜電力將無法被抵銷掉，結構將以垂直運動為主，此現象被稱為 Pull-in，如圖 3.3，狀況嚴重的話會導致兩邊 finger 互相碰撞，造成結構的損壞、電路短路等等。

為了以最小的電壓達到最大的位移，雖然 Pull-in 有可能造成元件短路、損壞等等問題，但方法會比一般的運動方式的梳狀結構擁有更大的位移和較小的驅動電壓。

在設計上，我們使接觸部分的間距小於梳狀結構 finger 間的間距。當今天梳狀結構產生 Pull-in，往垂直方向移動時，接觸部分會比 finger 更早觸碰在一起，限制了結構位移的最大極限，避免產生 finger 碰撞的問題。

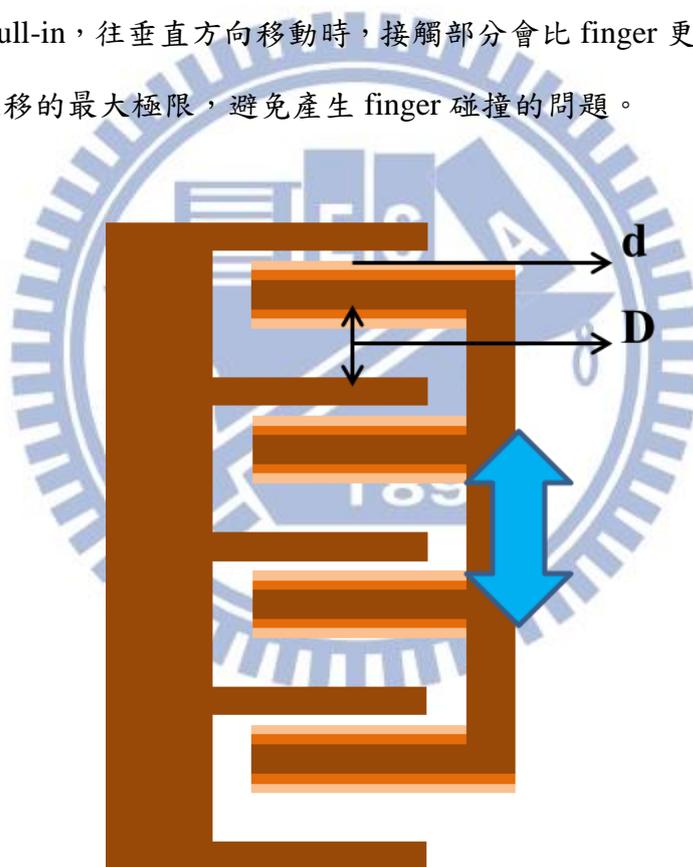


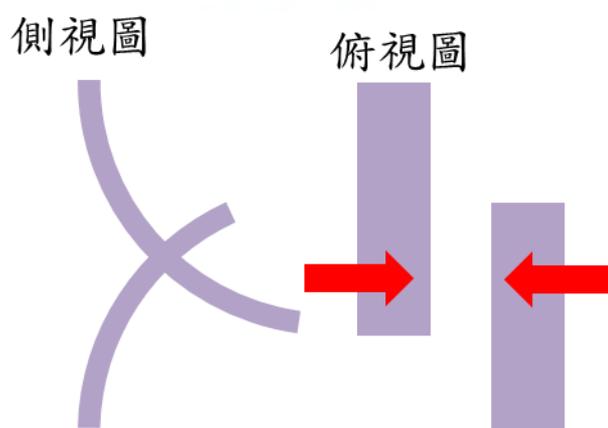
圖 3.3 梳狀結構產生 Pull-in 時的運作方向

3.1.3 接觸懸臂樑

CMOS-MEMS 結構在釋放、懸浮之後，往往會因為應力殘留而導致翹曲，倘若用一般的正面接觸方式，如圖 3.4，在元件釋放、懸浮以後，懸臂樑因為翹曲問題，兩邊的高度不一定會一樣高，且間距也會變大，使得接觸變得困難，因而無法運作。



本設計採用側面接觸的方式，如圖 3.5。側面的接觸方式雖然無法避免翹曲問題，但翹曲產生的高度和長度變化並不會直接影響側面接觸的間距。



3.1.4 絕緣層

為了要達到邏輯功能，就像前面的雙層式微機電邏輯閘一樣，中間質量塊要同時擁有兩個電位，故我們必須在中間設計絕緣層，如圖 3.6。絕緣層並沒有畫在整個質量塊的正中間，是為了質量塊上半部跟下半部的 finger 數量不一致，這也是之後結構能夠擁有邏輯功能的重點之一，後面將詳細說明。



圖 3.6 結構絕緣層示意圖

3.1.5 邏輯功能

如圖 3.7，梳狀結構的輸入配置是採用左右分開的，左邊為輸入端 A，右邊則是 B。

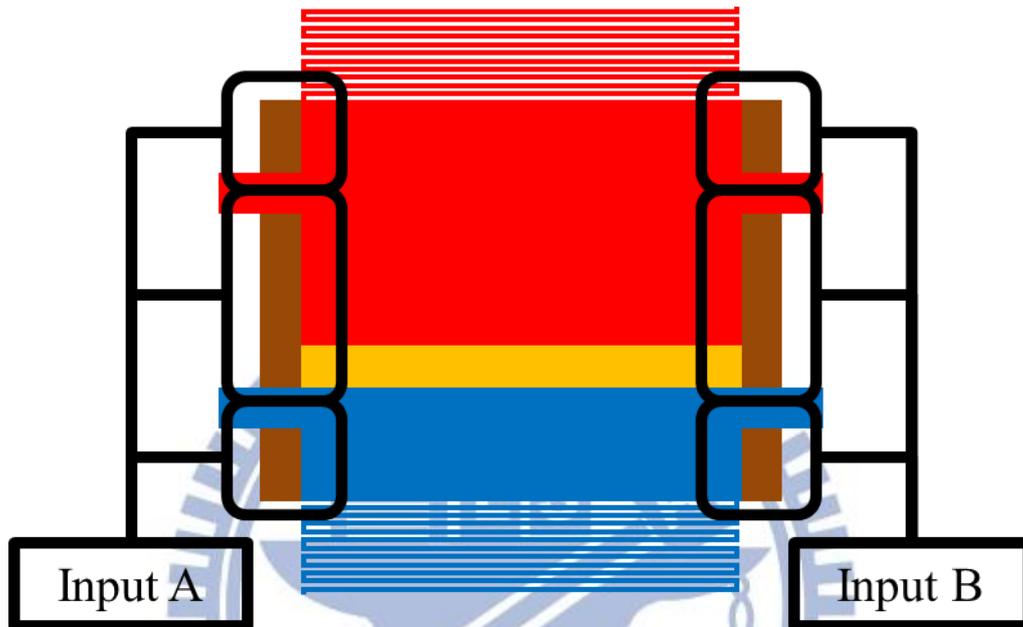


圖 3.7 元件輸入端分配示意圖

梳狀結構並非全都是往同一個方向施力，有分成向上施力及向下施力兩種。位於上方及中間區塊的梳狀結構皆是往下施力，而最下方的左右兩個則是向上施力，如圖 3.8，如此一來便可利用梳狀結構 finger 數量不同，進而達到邏輯功能的產生。

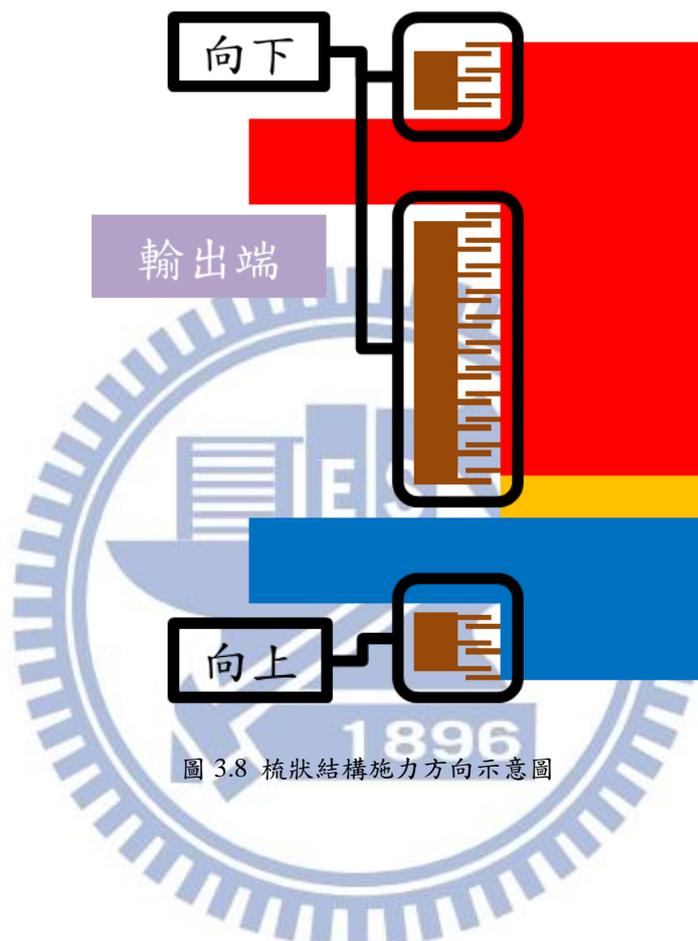


圖 3.8 梳狀結構施力方向示意圖

當 (A, B) 為 $(1, 1)$ 時，此時只有最下方的兩個梳狀結構有靜電力產生，故結構會向上移動，從右邊的輸出端輸出 0 的訊號，如圖 3.9。若 (A, B) 為 $(0, 0)$ 則相反，輸出 1 的訊號，如圖 3.10。



圖 3.9 梳狀結構制動器微機電邏輯閘，輸入 (A, B) 為 $(1, 1)$

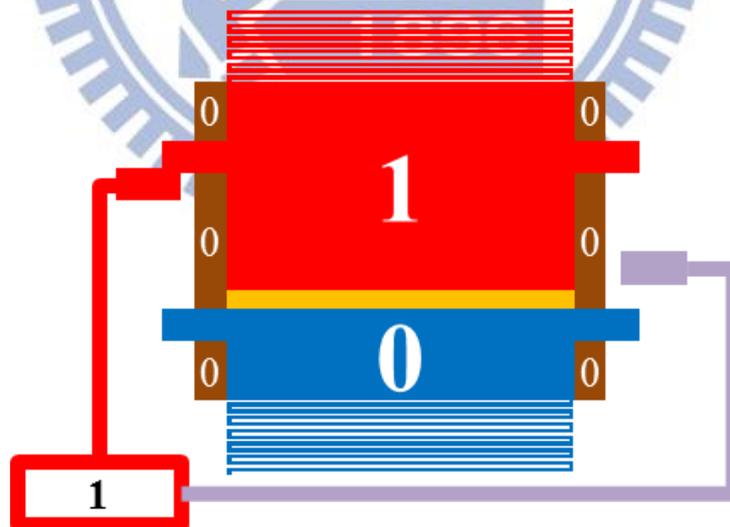


圖 3.10 梳狀結構制動器微機電邏輯閘，輸入 (A, B) 為 $(0, 0)$

當今天(A,B)是(1,0)時，因為電位差而產生靜電力的梳狀結構有右上、右中、及左下，如圖 3.11。其中的右上、右中是向下施力，左下則是向上施力，力量相對來的小，所以結構依然會向下移動，最後傳出 1 的訊號，如圖 3.12。(0,1)的結果亦是如此，比較真值表可得知這是一個 NAND 閘。

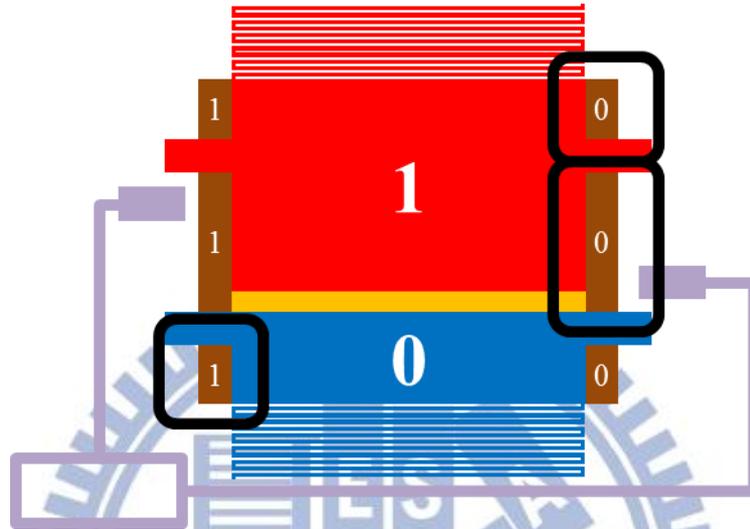


圖 3.11 輸入(A,B)為(1,0)，有靜電力產生的梳狀結構制動器

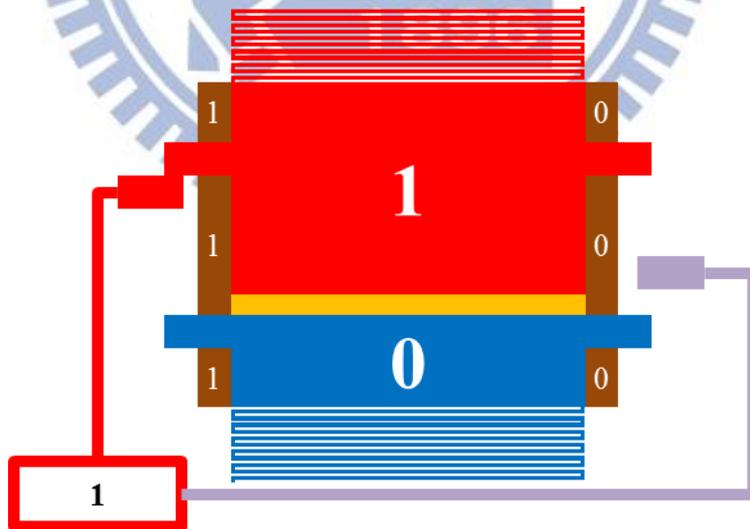
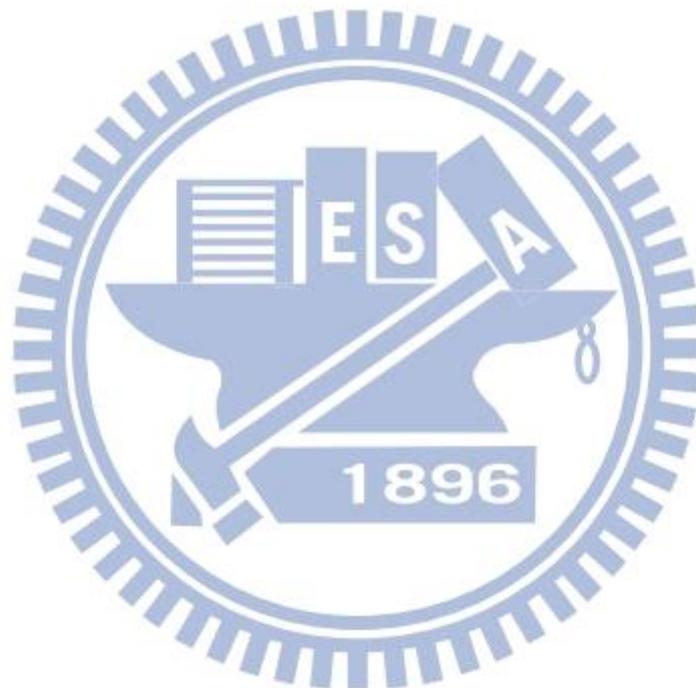


圖 3.12 梳狀結構制動器微機電邏輯閘，輸入(A,B)為(1,0)

我們若將質量塊的上下電極互換，則此邏輯元件會從 NAND 閘變成一個 NOR 閘。如同前面的雙層式邏輯閘，只要改變電極的分配即可以用同一個機械結構同時達到 NAND 與 NOR 兩種邏輯功能。



3.1.6 數學模型

此節將會詳細的說明支撐彈簧的設計公式與梳狀結構制動器的設計公式，此兩部份對於整個元件的作動方式影響最為重要。支撐彈簧直接影響著結構位移、回復力等等，而梳狀結構制動器則影響著驅動電壓大小、邏輯功能有無等等關鍵要素。

在彈簧的部分，本設計使用的支撐彈簧為 Z 型結構。我們希望元件的垂直方向位移能提升到最多，而水平方向的位移則盡可能的減少，Z 型結構的彈簧可以幫助我們達到這個目的，藉由調整 k_x 、 k_y 兩個方向的彈性係數，使 k_x 越大越好， k_y 則能小就小，讓結構達到幾乎只有垂直方向的位移。彈性係數 k_x 、 k_y 的公式如下：

$$k_y = \frac{48EI_z[(a+b)n^2 - 3bn + 2b]}{b^2[(3a^2 + 4ab + b^2)n^3 - 2b(5a + 2b)n^2 + (5b^2 + 6ab - 9a^2)n - 2b^2]}$$

$$k_x = \frac{48EI_z[(3a+b)n^2 - b]}{a^2n[(3a^2 + 4ab + b^2)n^3 - 2b(5a + 2b)n^2 + (5b^2 + 6ab - 9a^2)n - 2b^2]}$$

其中的參數如圖 3.13 表示：a 為垂直桿長，b 為水平桿長，n 為轉折次數。三個參數與 k_x 、 k_y 的關係皆是負相關，便是說，a、b、n 越大， k_x 與 k_y 值就越小，整個結構也就會變得比較軟。

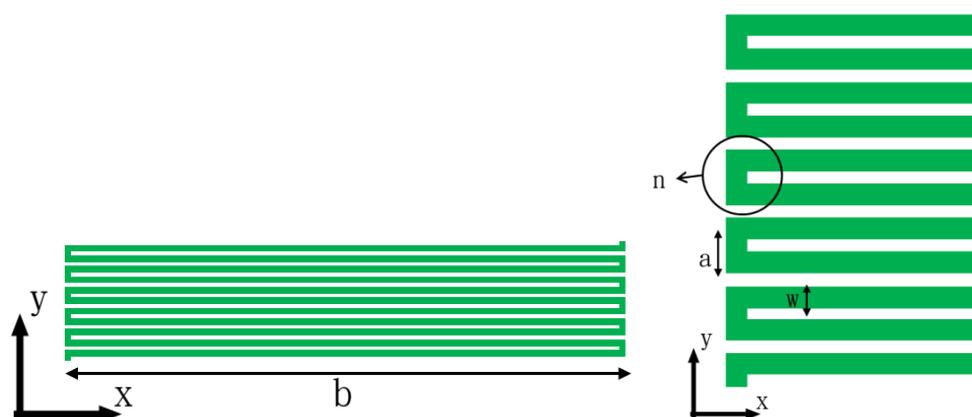


圖 3.13 支撐彈簧的參數示意圖

為了達到小電壓產生最大位移量， k_y 勢必要越小越好，但如果毫無考慮的把 a 、 b 、 n 盡量提高，將造成 k_x 也變小， k_x 太小會讓結構容易產生水平位移，這是我們不想要的。所幸 b 對於 k_y 的影響幅度較大，而 a 則是相對於 k_x ，故我們在合理的情狀下，盡量增加 b 之長度，而 a 的長度則盡量縮短，使得 k_y 在較小的情狀時， k_x 能維持在一定值，不至於讓結構太容易產生水平位移。

梳狀結構制動器主要是藉由靜電力運作，帶動整個結構，其靜電力的公式如下：

$$F_x = \frac{N\epsilon t L_0}{g_1} V^2 - \frac{N\epsilon t L_0}{g_2} V^2$$

其中， N 是有作用的 finger 數量， t 是 finger 厚度， L_0 是 finger 重疊的長度， g_1 與 g_2 分別是 finger 之間間距，如圖 3.14 所示：

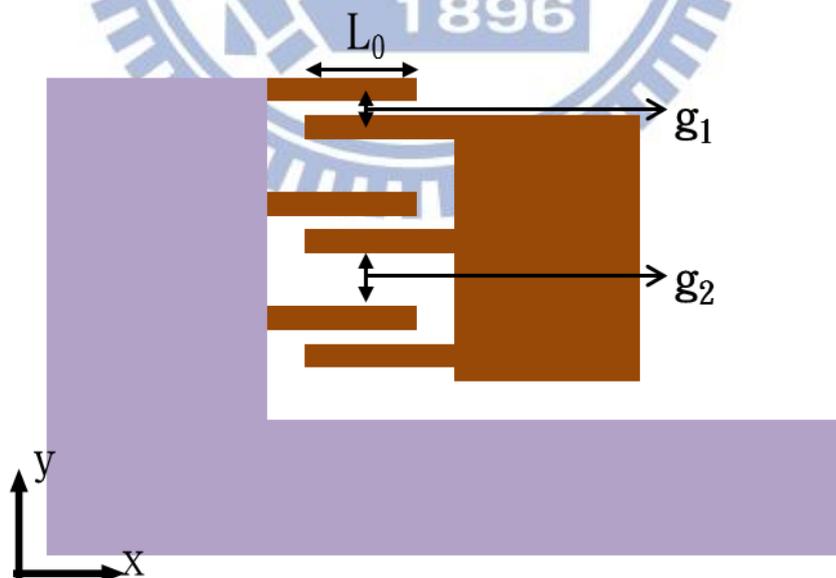


圖 3.14 梳狀結構制動器的參數示意圖

由於在不同的輸入下，同時作用的 finger 數並不相同。其中，梳狀結構的數量分配上，四個角落區塊個有 3 組，而位於兩邊中間的區塊則有 11 組，如圖 3.15。當(A,B)為(1,1)時，只有中間與上半部的梳狀結構有作用力，此時的 $N=28$ ；而(0,0)時剛好相反，只有最下面的梳狀結構有靜電力產生，此時 $N=6$ ；(1,0)、(0,1)的時候同時會有向下施力跟向上施力的靜電力產生，有效的 $N=11$ 。

故我們得知，(A,B)為(0,0)時是 N 最小的時候，只有 6，只要能夠確保此時的位移量可以達到接觸懸臂量的間隙，那其他情況也就沒有太大問題。

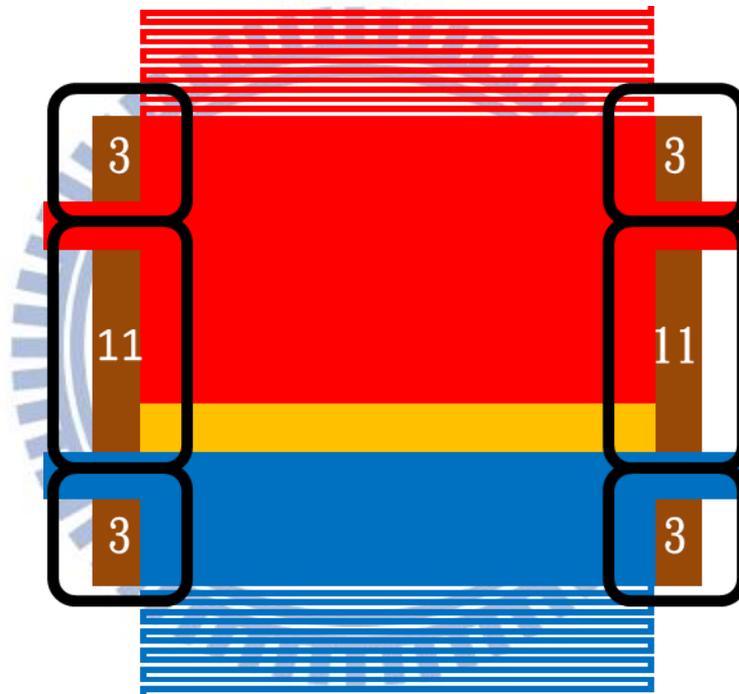


圖 3.15 梳狀結構制動器的數量分配示意圖

圖 3.16 是結構的彈性係數 k 與三種輸入訊號下之靜電力的關係圖：

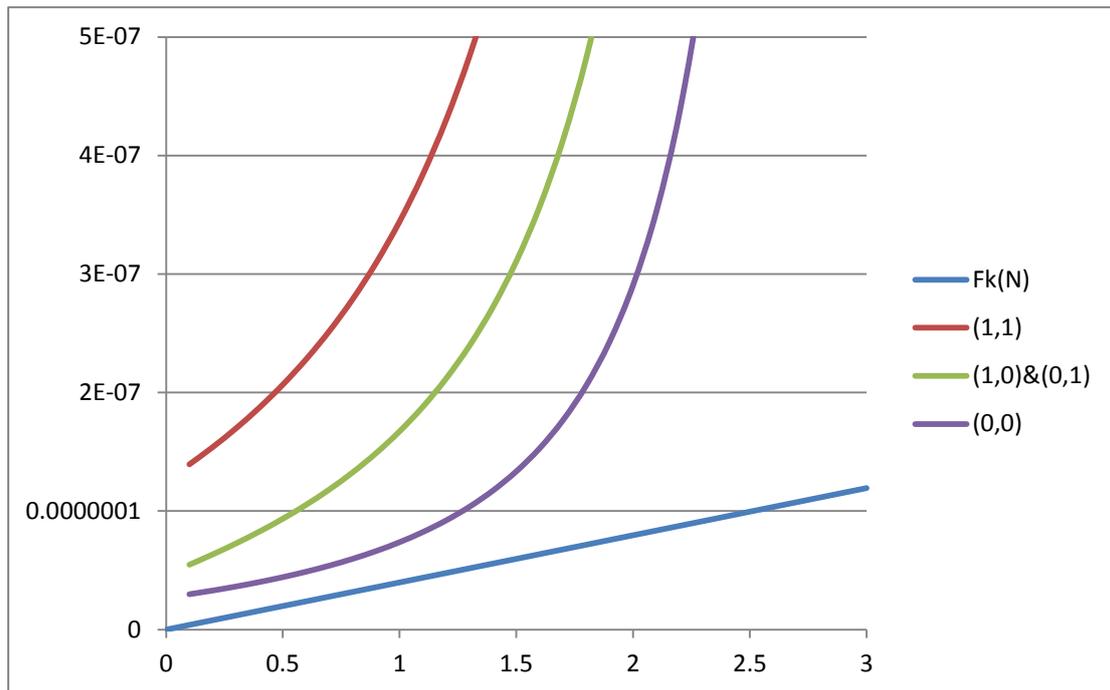


圖 3.16 梳狀結構制動器微機電邏輯閘的彈性係數與靜電力之關係圖

從圖 3.16 可以看出，不管是哪一種輸入訊號下，靜電力恆大於彈性係數，這表示結構一旦輸入訊號後，必定可以成功的接觸。

表 3.1 是梳狀結構制動器微機電邏輯閘的尺寸及規格：

| 尺寸及規格 | |
|--------------------------|---|
| 中間質量塊 長*寬*厚 | 500 μ m * 500 μ m * 6 μ m |
| 接觸懸臂樑 長*寬 | 125 μ m * 50 μ m |
| 彈簧尺寸 a, b, w, n | 8 μ m , 500 μ m , 4 μ m , 12個 |
| 彈性係數 k_x, k_y | 1.336N/m , 0.0398N/m |
| 接觸端間隙 | 1 μ m |
| Finger g_1, g_2, L_0 | 3 μ m , 6 μ m , 36 μ m |
| 最小驅動電壓 以(0, 0)計算 | 3.486V |
| N (1, 1), (1, 0), (0, 0) | 28 , 11 , 6 |

表 3.1 梳狀結構制動器微機電邏輯閘的尺寸及規格

3.2 後製程

這個設計仍然是以 TSMC 0.35 μm 2P4M CMOS-MEMS 標準製程進行製作完成，圖 3.17 為 TSMC 剛送件回來的剖面圖，淡紫色為介電層 SiO_2 ；咖啡色是鋁金屬層；下方灰色部分則是矽基板。

- (a) RLS 光罩圖形非等向性蝕刻：使用 CIC 所提供的 RLS 光罩圖形，以 CF_4/O_2 針對 SiO_2 做非等向性的垂直蝕刻，定義出元件的外形及蝕刻孔。
- (b) RLS 光罩圖形等向性蝕刻：一樣是使用 CIC 所提供的 RLS 光罩圖形，但這一種是等向性的乾蝕刻矽基板技術，利用 SF_6 電漿，等向性的蝕刻矽基板，將微結構下方掏空，得以釋放、懸浮。到此後製程全部完成。



圖 3.17 TSMC 下線完的剖面圖

圖 3.17(a) RLS 光罩圖形非等向性蝕刻

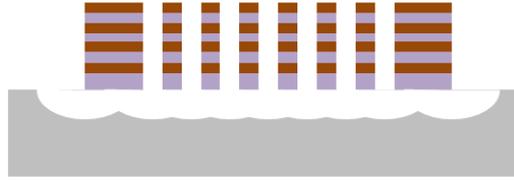
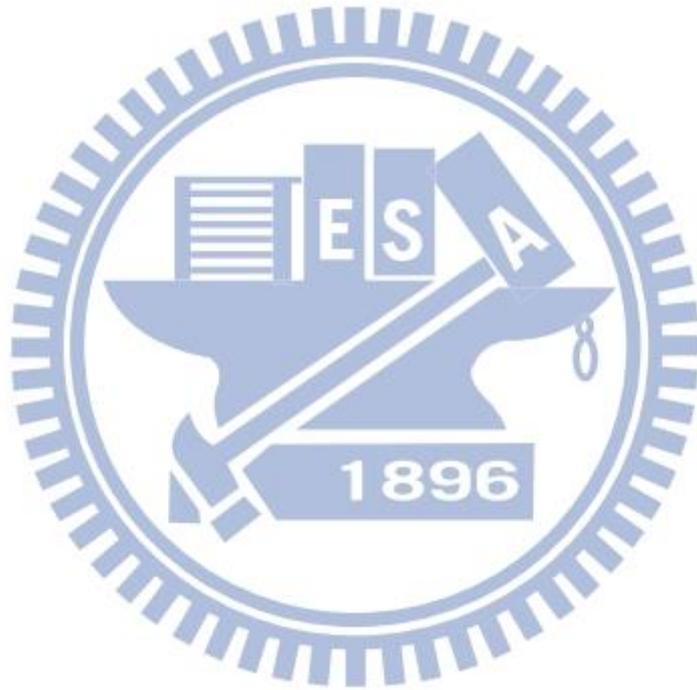


圖 3.17(b) RLS 光罩圖形等向性蝕刻



第四章 結論

雙層式微機電邏輯閘的部分，結構上大致已經完成，也已經下線成功，雖然目前仍無法順利地將訊號傳遞出來，也無法測試其邏輯功能和驅動電壓大小，但也已經是指日可待。以 TiN 為接觸金屬這部份只剩下最後一道製程的時間掌握問題，一旦完成便可以開始進行邏輯功能跟驅動電壓的測試，結合化鎳浸金技術的部分比較沒這麼順利，由於蝕刻速率的懸殊差距，以及沒有蝕刻停止層，目前這部分將被迫暫停。

梳狀結構制動器微機電邏輯閘尚未下線完成，但結構雛型大致上已經出來，隨時可以送出下線。梳狀結構制動器微機電邏輯閘的製程相對雙層式微機電邏輯閘來的簡單，只需要利用 CIC 提供的後製程，不需要自行製作，成功率高，另外，此結構較雙層式結構較厚許多，在釋放以後的翹曲問題相對也會小許多，即使翹曲後，依然可以進行接觸運作，這些優點使得這個結構設計的潛力及發展較令人可以期待。

第五章 未來計畫

雙層式微機電邏輯閘，以 TiN 為接觸金屬的部分，之後會繼續完成，試出清除 SiO₂ 的所需要的蝕刻時間、以及確認 TiN 是否可以用做為接觸金屬用途、驅動電壓大小、以及邏輯功能的有無等等。結合化鎳浸金技術的部分，由於現在沒有蝕刻停止層，故此部分實驗將暫時停止，直到發現有蝕刻液可以只蝕刻 TiN、Ti、W 而不傷害 Al，才得以繼續進行。

梳狀結構制動器微機電邏輯閘目前已下線為第一優先考量，在之後的模擬沒問題後，便會申請下線製程，在完成 CIC 後製程後便可以開始進行驅動電壓與邏輯功能的量測了。



參考文獻

- [1] 半導體製程技術導論 修訂版, Hong Xiao 著, 羅正忠, 張鼎張 譯.
- [2] A. Hirata, K. Machida, H. Kyuragi, and M. Meada, “A electrostatic micromechanical switch for logic operation in multichip modules on Si,” Sensors and Actuators A:physical, vol. 80 no. 2, pp. 119 – 125, 2000.
- [3] S. W. Lee, R. Johnstone, and A. M. Parameswaran, “MEMS mechanical logic units:design and fabrication with micragem and polymumps,” in Electrical and Computer Engineering, 2005. Canadian Conference on, 2005, pp. 1513 – 1516.
- [4] Nipun Sinha, Timothy Jones, Zhijun Guo, Gianluca Piazza, “Demonstration of low voltage and functionally complete logic operations using body-biased complementary and ultra-thin AlN piezoelectric mechanical switches,” in Micro Electro Mechanical Systems(MEMS), 2010 IEEE 23rd International Conference on, 2010, pp. 751-754.
- [5] Jaeseok Jeon, Vincent Pott, Hei Kam, Rhesa Nathanael, Elad Alon, Tsu-Jae King Liu, “Seesaw Relay Logic and Memory Circuits,” Journal of Microelectromechanical Systems, vol. 19, no.4, pp. 1012-1014, Aug. 2010.
- [6] R. Nathanael, V. Pott, Hei Kam, Jaeseok Jeon, E. Alon, and T.-J. K. Liu, “Four-Terminal-Relay Body-Biasing Schemes for Complementary Logic Circuits,” IEEE Electron Device Letters, vol. 31, no. 8, pp. 890-892, Aug. 2010.

- [7] Gary Keith Fedder, "Simulation of Microelectromechanical Systems,"
- [8] Chun-Yin Tsai, Wei-Ting Kuo, Chi-Bao Lin and Tsung-Lin Chen, "Design and fabrication of MEMS logic gates," Journal of Micromechanics and Microengineering, vol. 18, p. 045001, 2008.
- [9] Chun-Yin Tsai, Tsung-Lin Chen, Hsin-Hao Liao, Chen-Fu Lin and Ying-Zong Juang, "Design and fabrication of a CMOS MEMS logic gate," in " Photonics West technical Program," 25-27 January, in The Moscone Center San Francisco, California, USA, Proc. SPIE 7926, 79260I (2011)
- [10] Chun-Yin Tsai and Tsung-Lin Chen, "Design, fabrication and calibration of a novel MEMS logic gate," Journal of Micromechanics and Microengineering, vol. 20, p. 095021, 2010.
- [11] C. C. Liu, J. L. Huang, "Manufacture and Properties of Electro-Conductive TiN-Si₃N₄ Particulate Composites," Journal of Materials Science and Engineering, Vol. 34, No. 1, pp. 61-65 (2002)
- [12] 張家維, "以金屬蒸氣真空弧離子佈植技術進行氮化鈦微結構之研究," 國立成功大學 微機電系統工程研究所. (2006)
- [13] Bruce L. Cain, William J. Croisant, "Electrical contact resistance of titanium nitride coatings for electromagnetic shielding applications," Surface and Coatings Technology 82 (1996) 83-89
- [14] Li-Jian Meng, M.P. dos Santos, "Characterization of titanium nitride films prepared by d.c. reactive magnetron sputtering at different nitrogen pressures," Surface and Coatings Technology 90 (1997) 64-70

- [15] 無電鍍鈷鎢磷與鎳磷薄膜之微觀結構對擴散阻障能力影響之研究
- [16] 無電鍍 NiP 析鍍於矽基材及應用於生長奈米碳纖之研究
- [17] 林伯晉, “利用 CMOS-MEMS 與化鎳浸金製程設計製作低損耗與高隔離度射頻開關及可變電容” 國立台北科技大學 機械整合所 (2009).
- [18] G. Qi, X. Chen, Z. Shao, “Influence of Bath Chemistry on Zincate Morphology on Aluminum Bond Pad,” *Thin Solid Films* 406 (2002) 204–209
- [19] Guojun Qi, Lambertus G.J. Fokkink, Kee Heng Chew, “Zincating Morphology of Aluminum Bond Pad Its Influence on Quality of Electroless Nickel Bumping,” *Thin Solid Films* 406 (2002) 219–223
- [20] Zhenyin Yang, Daniel J. Lichtenwalner, Arthur S. Morris, III, Jacqueline Krim, and Angus I. Kingon, “Comparison of Au and Au–Ni Alloys as Contact Materials for MEMS Switches,” *Journal of Microelectromechanical systems*, vol. 18, NO. 2 April 2009.
- [21] Ronald A Coutu, Jr, Paul E Kladitis, Kevin D Leedy, Robert L Crane, “Selecting metal alloy electric contact materials for MEMS switches,” *Journal of Micromechanics and Microengineering* vol. 14, (2004) 1157–1164.
- [22] Jin-Chern Chiou, Yung-Jiun Lin, Chin-Fu Kuo, “Extending the traveling range with a cascade electrostatic comb-drive actuator,” *Journal of Micromechanics and Microengineering*, vol.18, p.015018, 2008.
- [23] Jung-Tang Huang, Yu-Kun Hsu, Yu-Chih Lo, Kuo-Yu Lee, Ching-Kong Chen, and Ting- Chiang Tsai, “Design and Fabrication of Low- Insertion Loss and High-Isolation CMOS-MEMS Switch for Microwave Applications.”

- [24] 蕭富元, “CMOS微機電系統之設計與應用.”
- [25] Jung-Tang Huang, Chieh-Han Lee, Chiu-Chin Yang, Kai-Yuan Jeng, Jeng Lin, Kuo-Yu Lee, ” The 3-Axis CMOS-MEMS Accelerometer Include Accelerator Sensing Method of Z-Axis.”
- [26] Kirt R. Williams, “Etch Rates for Micromachining Processing,” Journal of Microelectromechanical Systems, vol. 5, NO. 4, December 1996.
- [27] Kirt R. Williams, “Etch Rates for Micromachining Processing-Part II,” Journal of Microelectromechanical Systems, vol. 12, NO. 6, December 2003.
- [28] 方維倫, 孫志銘, 王傳蔚, 蔡明翰, “CMOS MEMS微感測器之設計、製造、與整合,” 產學合作暨成果發表專刊.
- [29] Jin-Chern Chiou, Yung-Jiun Lin, Chin-Fu Kuo, “Extending the traveling range with a cascade electrostatic comb-drive actuator,” J. Micromech. Microeng. 18 (2008) 015018 (7pp).
- [30] Rob Legtenberg, A W Groeneveld, M Elwenspoek, “Comb-drive actuators for large displacements,” J. Micromech. Microeng. 6 (1996) 320–329.