

國立交通大學

電控工程研究所

碩士論文

單線傳輸介面設計

The Single-Wire Interface Design

研究生：何承振

指導教授：蘇朝琴 教授

中華民國一百零二年十一月

單線傳輸介面設計

The Single-Wire Interface Design

研究生：何承振

Student : ChenCheng Ho

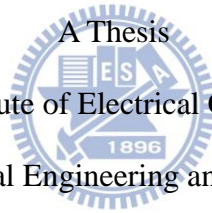
指導教授：蘇朝琴 教授

Advisor : ChauChin Su

國立交通大學

電控工程研究所

碩士論文



Submitted to Institute of Electrical Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electrical Control Engineering

November 2013

Hsinchu, Taiwan, Republic of China

中華民國 一 百 零 二 年 十 一 月

單線傳輸介面設計

研究生：何承振

指導教授：蘇朝琴 教授

國立交通大學電控工程研究所

摘 要

在本篇論文我們提出了一個應用於單線通訊系統的傳輸介面，在此傳輸系統中，主電路利用單一傳輸線串接所有子電路，而電路運作過程中，主電路利用此傳輸線對子電路充電同時傳送資料，當子電路充電完畢後會開始執行主電路所要求的命令，最後再利用此傳輸線做資料的回傳，在整個資料傳輸系統中為單一傳輸線，因此子電路利用整流與穩壓方式將線上電壓轉換成可用的直流電源。

所提出的單線傳輸設計使用 TSMC 0.18um 1P6M 標準 CMOS 製程來實現，整體輸入電壓為 1.8V，子電路內部使用穩壓電路產生穩定 1V 供整體電路使用，系統操作速度為 1MHz，傳輸使用單一導線來完成，子電路內使用一個外接電容儲能，整個傳輸介面電路晶片面積為 $0.86*1.12\text{mm}^2$ 。

索引詞彙 - 單線介面、鎖相迴路、全數位時脈資料回復、數位控制震盪器、頻率偵測器、鎖定偵測器

The Single-Wire Interface Design

Student: ChenCheng Ho

Advisor: ChauChin Su

Institute of Electrical Control Engineering

National Chiao Tung University

Abstract

In this paper, an interface for single-wire communication is proposed. In the system, the master uses one wire to connect to all slaves. The master charges slaves and transfers data to them by using a single wire. When the energy in slave circuit is enough to operate, it executes the command being received. Finally the slave transfers the results back by using the same wire. The overall system uses only one wire so the rectifier and regulator are designed in the slaves. The slave uses a rectifier and a regulator circuit to store energy in an off-chip capacitor and generate a stable supply voltage for the internal circuits.

The single-wire interface is implemented in TSMC 0.18um 1P6M standard CMOS process. The operation voltage of master circuit is 1.8V and the slave use regulator to generate a stable 1V for the internal circuits. Operation frequency of overall system is 1MHz and data is transmitted at 1Mbps. The chip area is $0.86 \times 1.12 \text{mm}^2$.

Index Terms — **Single-Wire Interface, Phase-Locked Loop, All Digital Clock Data Recovery, Digital-Controlled Oscillator, Frequency Detector, Lock Detector.**

誌謝

首先要感謝我的父母，你們辛苦的賺錢讓我完成碩士的學位，每次回家也都準備很多好吃的食物讓我享用，在回新竹時也都幫我準備好多水果讓我帶來學校，就擔心我飲食不均衡，真的很謝謝你們，我一定會好好孝順你們，我愛你們。也感謝我的外公、外婆，每次有回嘉義，你們就會帶好多自己種的水果給我們，讓我不但在家能享用，而且還能外帶回新竹，謝謝你們。感謝我的哥哥，總是分享你讀碩士的經驗讓我參考。感謝我的姊姊，在我無聊時會陪我聊聊天，逗我開心。

再來是要感謝我的指導老師，在碩士的這幾年，不管是在課業、做事態度或是為人處事真的讓我學習到很多。是你教會我要自己解決問題，不要不懂就是問人，畢竟之後出了社會，每個人有自己的工作要做，不可能每次都能找到幫忙解決問題的人。而老師多方的思考與學習也是我效仿的好榜樣，總是叮嚀我們多看別人做的東西，不要把自己只局限在自己的題目上，很多時候可以從別人的研究中學到更多不一樣的寶貴經驗。

最後是要感謝實驗室的各位。感謝庭佑學長總是把工作站管理的很好，讓我在下線時不需擔心工作站的問題，而且在畫 Layout 時也教了我很多技巧和經驗，也謝謝你時常陪我們出去打羽球。感謝盈杰學長在我剛進實驗時舉辦出遊，讓我能很快的能融入大家適應這個新環境，也教了很多焊接的技巧，同時在我開始做研究時，送我一些相關的資料讓我參考。感謝煜輝學長，帶我去參加生醫的開會，讓我從中學習。當然也要感謝碩士班的同學與學長學弟們以及學妹，因為有你們，讓實驗室生活變得非常多采多姿。感謝學長們于昇、修銘、土豆、博祥、鈞藝、哲瑋、群育、順煜、璟伊、澤勝、弘宇、昶志，感謝你們分享你們研究的心得，找工作經驗以及陪我們打球。感謝碩士的同學們紅豆、Amon 以及嘉哲，在課業上一起學習互相討論，課後一起出去吃飯變胖，和打打自己認為會變瘦的球。感謝學弟妹們，勇志、可卿、可謙、浩鈞、政隆、子軒以及怡婷，因為你們的加入，讓整個實驗室年輕了起來且更加的有趣，不會那麼乏味。還要感謝我大學的同學們，總是會定時的聚會，一起講講八卦，和分享自己在不同學校的生活，真的很開心。

何承振 2013 冬

目錄

| | |
|--------------------------------------|------|
| 摘 要 | i |
| Abstract | ii |
| 誌謝 | iii |
| 目錄 | iv |
| 圖目錄 | viii |
| 表目錄 | xi |
| 第一章 | 1 |
| 緒論 | 1 |
| 1.1 研究動機 | 1 |
| 1.2 基本概念 | 3 |
| 1.3 論文架構 | 3 |
| 第二章 | 4 |
| 鎖相迴路(Phase-Locked Loop, PLL) | 4 |
| 2.1 前言 | 4 |
| 2.2 鎖相迴路種類介紹 | 5 |
| 2.2.1 類比式鎖相迴路(Analog PLL) | 5 |
| 2.2.2 幫浦式鎖相迴路(Charge-Pump PLL) | 6 |
| 2.2.3 全數位鎖相迴路(All-Digital PLL) | 6 |

| | |
|--|-----------|
| 2.3 幫浦式鎖相迴路內部元件介紹 | 8 |
| 2.3.1 相位頻率偵測器(Phase Frequency Detector, PFD) | 8 |
| 2.3.2 電荷幫浦(Charge Pump, CP) | 10 |
| 2.3.3 迴路濾波器(Loop Filter) | 11 |
| 2.3.4 壓控振盪器(Voltage-Control Oscillator, VCO) | 12 |
| 2.4 PLL 迴路分析 | 15 |
| 2.5 PLL 雜訊轉移函式分析 | 16 |
| 第三章 | 17 |
| 全數位時脈資料回復電路介紹 | 17 |
| 3.1 前言 | 17 |
| 3.2 時脈資料回復電路基礎介紹 | 18 |
| 3.3 相位偵測器 | 20 |
| 3.3.1 Hogge 相位偵測器(Linear) | 20 |
| 3.3.2 Alexander 相位偵測器(Binary) | 21 |
| 3.4 頻率偵測器 | 23 |
| 3.5 數位濾波器 | 25 |
| 3.6 數位控制振盪器 | 27 |
| 3.7 鎖定偵測器 | 31 |
| 第四章 | 34 |
| 單線傳輸介面設計 | 34 |

| | |
|---|-----------|
| 4.1 前言 | 34 |
| 4.2 單線傳輸電路動作 | 34 |
| 4.2.1 單線傳輸操作設計 | 34 |
| 4.2.2 整流器(Rectifier)與穩壓器(Regulator)介紹 | 36 |
| 4.2.4 Bandgap、LDO 電路 | 38 |
| 4.2.3 旗標偵測電路 | 40 |
| 4.3 傳輸介面設計 | 41 |
| 4.3.1 傳輸介面電路介紹 | 42 |
| 4.4 傳輸介面頻率響應設計 | 44 |
| 第五章 | 48 |
| 模擬結果 | 48 |
| 5.1 單線傳輸佈局圖 | 48 |
| 5.2 各電路模擬結果 | 50 |
| 5.2.1 全數位時脈資料回復電路模擬結果 | 50 |
| 5.2.2 傳輸電路模擬結果 | 53 |
| 5.3 整體電路模擬結果 | 53 |
| 5.3.1 輸入 Pattern 說明 | 54 |
| 5.3.2 整流器與穩壓電路模擬結果 | 55 |
| 5.3.3 全數位時脈資料回復電路模擬結果 | 56 |
| 5.3.4 電路操作狀態變化與資料傳出模擬圖 | 59 |



| | |
|-------------------------|-----------|
| 5.3.5 系統操作功率消耗..... | 61 |
| 5.4 單線系統與 RFID 比較 | 62 |
| 5.5 量測考量 | 62 |
| 第六章..... | 64 |
| 結論..... | 64 |
| 參考文獻..... | 66 |



圖目錄

| | |
|--------------------------------|----|
| 圖 1.1(a) 心電圖量測傳統與單線傳輸想法比較..... | 2 |
| 圖 1.1(b) 腦波圖量測傳統與單線傳輸想法比較..... | 2 |
| 圖 1.2 單一傳輸線概念圖..... | 3 |
| 圖 2.1 類比式鎖相迴路方塊圖..... | 5 |
| 圖 2.2 幫浦式鎖相迴路..... | 6 |
| 圖 2.3 全數位鎖相迴路電路..... | 6 |
| 圖 2.4 相位頻率偵測器..... | 8 |
| 圖 2.5 PFD 之特性曲線..... | 9 |
| 圖 2.6 PFD 電路與狀態變化圖..... | 9 |
| 圖 2.7 電荷幫浦電路圖..... | 10 |
| 圖 2.8 電荷幫浦操作波形圖..... | 10 |
| 圖 2.9 迴路濾波器..... | 11 |
| 圖 2.10 壓控振盪器輸入對輸出之特性曲線..... | 12 |
| 圖 2.11 環形振盪器回授模組..... | 13 |
| 圖 2.12 飢餓式環形振盪器..... | 13 |
| 圖 2.13 LC 振盪器..... | 14 |
| 圖 2.14 鎖相迴路模組..... | 15 |
| 圖 2.15 考慮輸入與振盪器之雜訊模組圖..... | 16 |
| 圖 3.1 數位收發系統架構圖..... | 17 |
| 圖 3.2 傳統時脈資料回復電路..... | 18 |
| 圖 3.3 無參考時脈之時脈資料回復電路..... | 19 |
| 圖 3.4 Hogge 相位偵測器..... | 20 |
| 圖 3.5 Hogge 相位偵測器運作時序圖..... | 21 |
| 圖 3.6 Alexander 相位偵測器..... | 22 |

| | |
|---|----|
| 圖 3.7 Alexander 相位偵測器操作時序圖 | 22 |
| 圖 3.8 Alexander 相位偵測器輸出特性曲線 | 23 |
| 圖 3.9 頻率偵測器電路圖 | 23 |
| 圖 3.10 頻率偵測器狀態變化概念圖 | 24 |
| 圖 3.11 時脈資料回復電路鎖定過程圖 | 25 |
| 圖 3.12 類比濾波器轉數位濾波器 | 26 |
| 圖 3.13 濾波器參數 MATLAB 模擬結果 | 27 |
| 圖 3.14 數位控制震盪器電路圖 | 28 |
| 圖 3.15 差動式環形振盪器之單一延遲單元 | 29 |
| 圖 3.16 數位控制振盪器各種 Corner 下之特性曲線 | 30 |
| 圖 3.17 鎖定偵測電路 | 32 |
| 圖 3.18 時脈與資料轉態點對齊時之波形圖 | 32 |
| 圖 3.19 時脈與資料時間差在 T 以內時之波形圖 | 33 |
| 圖 3.20 當時脈與資料時間差大於 T 時之波形圖 | 33 |
| 圖 4.1 單一傳輸線系統之方塊圖 | 35 |
| 圖 4.2 單一傳輸線之線上波形圖 | 35 |
| 圖 4.3 單一傳輸線電路運作狀態變化圖 | 36 |
| 圖 4.4 單線傳輸整流與穩壓電路方塊圖 | 37 |
| 圖 4.5 LDO 電路圖 | 38 |
| 圖 4.6 Bandgap 電路圖 | 38 |
| 圖 4.7 LDO、Bandgap 之 Line Regulation 模擬結果圖 | 39 |
| 圖 4.8 LDO 之 Load Regulation 模擬結果圖 | 39 |
| 圖 4.5 旗標偵測電路狀態變化 | 40 |
| 圖 4.6 TX Interface 與單線系統之接線圖 | 41 |
| 圖 4.7 傳輸介面電路圖 | 42 |
| 圖 4.8 三態緩衝器電路 | 42 |

| | |
|---|----|
| 圖 4.9 史密特觸發器..... | 43 |
| 圖 4.10 史密特觸發器輸入與輸出對應圖..... | 43 |
| 圖 4.11 傳輸線考慮電感與電阻寄生效應分析..... | 44 |
| 圖 4.12 傳輸線考慮電阻寄生效應分析..... | 44 |
| 圖 4.13 傳輸線寄生效應頻率響應結果圖..... | 44 |
| 圖 4.14 考慮回傳路徑寄生效應之電路圖..... | 45 |
| 圖 4.15 資料回傳路徑頻率響應之預計規格圖..... | 47 |
| 圖 4.16 由 C 至 D 點頻率響應圖..... | 47 |
| 圖 4.17 傳輸線頻率響應..... | 47 |
| 圖 5.1 單線傳輸介面設計佈局圖..... | 49 |
| 圖 5.2 單線傳輸介面設計各元件擺置圖..... | 49 |
| 圖 5.3 各種 Corner 下全數位時脈資料回復電路鎖定結果圖..... | 51 |
| 圖 5.4 全數位時脈資料回復電路回復時脈抖動結果圖..... | 51 |
| 圖 5.5 傳輸介面模擬結果圖..... | 53 |
| 圖 5.6 單線傳輸介面設計模擬電路圖..... | 53 |
| 圖 5.7 Input Pattern 波形圖..... | 54 |
| 圖 5.8 外掛電容、LDO 與 Bandgap 輸出電壓之 PostSim 波形圖..... | 56 |
| 圖 5.9 各種 Corner 下全數位時脈資料回復電路鎖定過程..... | 57 |
| 圖 5.10 各種 Corner 下回復時脈抖動結果..... | 58 |
| 圖 5.11 各種 Corner 下回復資料抖動結果..... | 59 |
| 圖 5.12 單線傳輸狀態變化、傳輸線電壓與資料回傳圖..... | 60 |
| 圖 5.13 量測考量圖..... | 63 |

表目錄

| | |
|--|----|
| 表 2.1 各種鎖相迴路比較表..... | 7 |
| 表 3.1 各種 Corner 下數位振盪器之增益 | 30 |
| 表 4.1 各種 Corner 下 LDO 與 Bandgap 之 Line Regulation 模擬結果 | 39 |
| 表 4.2 各種 Corner 下 LDO 之 Load Regulation 模擬結果 | 40 |
| 表 5.1 單線傳輸介面各部份之佈局面積..... | 48 |
| 表 5.2 全數位時脈資料回復電路回復時脈抖動量測結果..... | 52 |
| 表 5.3 功率消耗整理表..... | 52 |
| 表 5.4 各 Corner 下全數位時脈資料回復電路抖動量測結果 | 59 |
| 表 5.5 單線系統功率消耗整理..... | 61 |
| 表 5.6 單線傳輸與 RFID 比較 | 62 |



第一章

緒論



1.1 研究動機

隨著製程技術的進步單一晶片的功能越來越強大，對生醫研究方面而言，各種訊號的量測系統都有機會被整合到同一晶片中，但生醫訊號量測[1-8]通常為多點量測，因此整個量測的系統在接線上就會相當複雜，而在一個有限量測接腳的接收器中，同一時間所能觀察的生醫訊種類就會被限制，所以在此提出單線傳輸介面來整合所有量測點的接線，希望整個量測系統在接線上複雜度可以大幅降低，同時讓量測裝置方便在同一時間觀察更多種類的生醫訊號。

在此利用心電圖[9]與腦波圖[10]量測作說明，如圖 1.1 所示，在傳統的量測系統中，接收器和觀察者間需要相當多的接線，而若需要同時觀察各種生醫訊號，則接線會變得相當複雜，且很難利用相同量測器就觀察到所有生醫訊號。而在複雜的接線系統中又會出現不同接線上訊號互相干擾的問題，一般生醫訊號都相當微弱[4,6,8]，因此外界雜訊對它的干擾又會顯得

更加嚴重。而一般在量測生醫訊號都是量測差動訊號，因此在量測點中會有 Common Mode 電位點，但在單線傳輸的想法中，在接收訊號時很難做到一開始就是量測差動訊號，所以在單線傳輸的量測中，會將 Common Mode 電位點與訊號點做串接，而量測裝置所有量測點取得的結果做運算取出相對的差動電壓。在整個單線傳輸系統中，為了使系統能正常運作，因此必須將所有電路的地接在一起這樣才算一個完整的迴路。

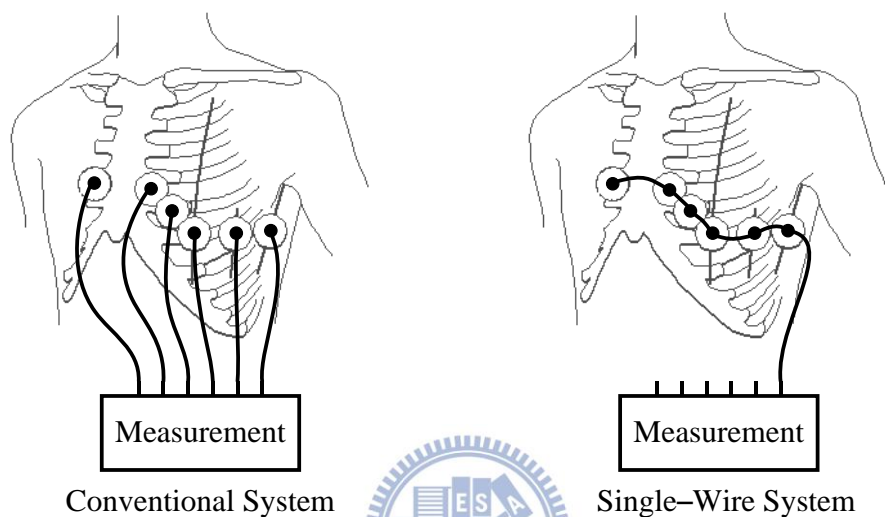


圖 1.1(a) 心電圖量測傳統與單線傳輸想法比較

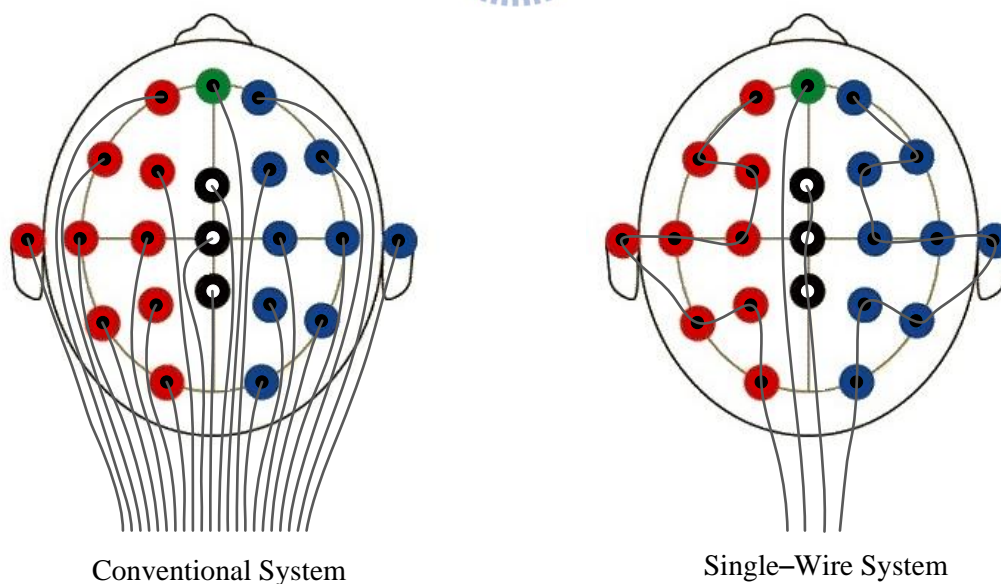


圖 1.1(b) 腦波圖量測傳統與單線傳輸想法比較

1.2 基本概念

單一傳輸線的想法提出主要是希望能降低整個系統在量測時，系統接線的使用量，且在同一個的接收器中所能觀察的生醫訊號種類可以更多。圖 1.2 為單一傳輸線想法的概念圖。

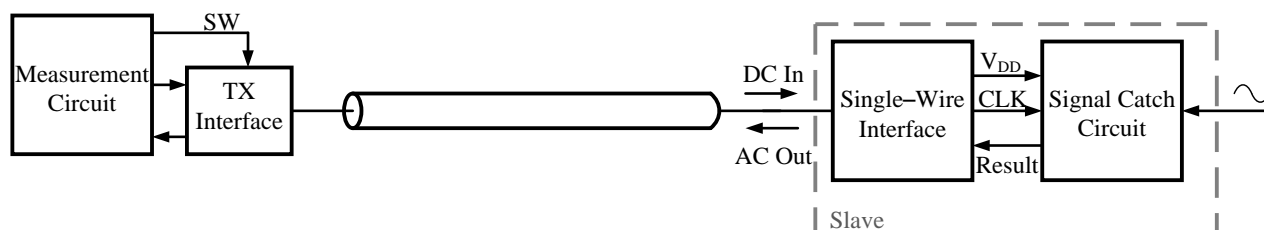


圖 1.2 單一傳輸線概念圖

在單一傳輸線的想法中是利用單一傳輸線將量測系統與訊號擷取端做連接，所以量測電路會經由此傳輸線將訊號傳出，而接收端依照接收到指令執行所要求的動作，同時最後將執行結果再經由此傳輸線回傳給量測電路，由以上說明可知，在此傳輸線的訊號為雙向流動，且整個系統主要強調單一傳輸線，因此在接收端電路不另外接上電源線，而是量測電路利用此傳輸線將能量傳至各個接收路，在單線傳輸介面電路中，會將接收到之能量轉成一個穩定電壓供給自己本身的所有電路使用。為了能將傳輸端所傳出之能量儲存做為之後能量的來源，因此在單線傳輸介面中會外接一個電容來儲存能量做為回傳資料所需的能量來源。

1.3 論文架構

本論文共分為六個章節，第一個章節為介紹研究動機與單線傳輸的基本想法，第二個章節為介紹鎖相迴路電路之基本概念，第三個章節為介紹全數位時脈資料回復電路的種類，以及內部電路的運做，第四個章節為介紹單線傳輸想法的電路操作與資料回傳路徑的特性分析與設計，第五個章節為將整個單線傳輸系統晶片佈局與整體模擬結果，第六個章節為結論。

第二章

鎖相迴路(Phase-Locked Loop, PLL)



2.1 前言

鎖相迴路為目前系統中不可或缺的電路之一，由於電路操作速度越來越快，使用相同時脈產生器達到整個系統操作同步會相當困難，因此會利用鎖相迴路電路在各個子系統中去追鎖系統所產生的參考時脈，進而調整子系統中振盪器之振盪頻率與相位來達到整體系統的同步。而鎖相迴路電路本身為一個負回授機制，所以在設計時必須考慮到極點、零點、開回路增益、迴路頻寬以及相位邊限來達到系統之穩定。而鎖相迴路種類有類比式鎖相迴路、幫補式鎖相迴路及全數位式鎖相迴路，不同種類的鎖相迴路各有其優點，依應用場合會有最適當型式。

2.2 鎖相迴路種類介紹

2.2.1 類比式鎖相迴路(Analog PLL)

類比式鎖相迴路為全部使用類比電路來實現，優點為有較小鎖定時脈抖動且實現容易，主要由相位偵測器、迴路濾波器與壓控振盪器組成，其電路方塊圖如圖 2.1 所示。

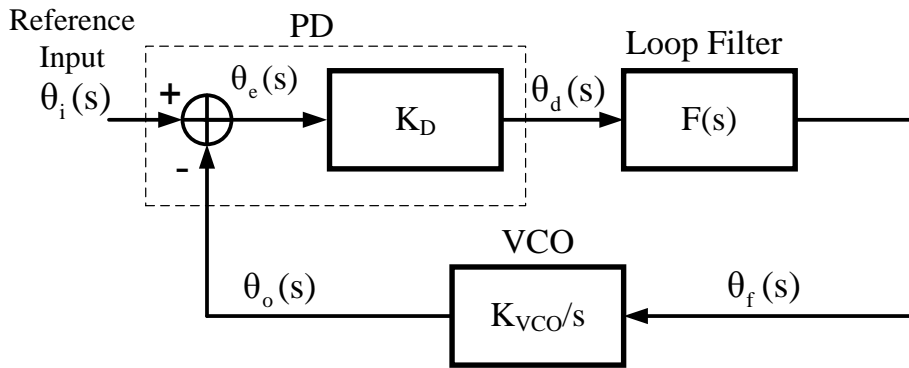


圖 2.1 類比式鎖相迴路方塊圖

在類比式鎖相迴路電路中，起先會先利用相位偵測器比較參考輸入時脈與本身振盪器輸出之相位差，並將它轉成電壓型式，其數學表示式如下所示。

$$U_d(s) = K_D \theta_e(s) = K_D [\theta_i(s) - \theta_o(s)] \quad (2.1)$$

在相位偵測器將相位差轉成電壓形式後會將結果輸入迴路濾波器中，而迴路濾波器本身為一個低通濾波器型式，主要用來濾除輸入之高頻訊號，並產生一個穩定的輸出給壓控振盪器使用。壓控振盪器將依照接收到之電壓改變輸出頻率，本身特性為一個具增益 K_{VCO} 之積分器，其轉移函式如下

$$\theta_o(s) = \frac{U_f(s) \times K_{VCO}}{s} \quad (2.2)$$

因此整個鎖相迴路之轉移函式能寫成

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_{PD} K_{VCO} F(s)}{s + K_{PD} K_{VCO} F(s)} \quad (2.3)$$

其中 $F(s)$ 為迴路濾波器之轉移函式。

2.2.2 幫浦式鎖相迴路(Charge-Pump PLL)

幫浦式鎖相迴路電路主要由相位頻率偵測器(Phase-Frequency Detector, PFD)、充電幫浦(Charge Pump, CP)、迴路濾波器、壓控振盪器與除頻器組成，電路如圖 2.2 所示。

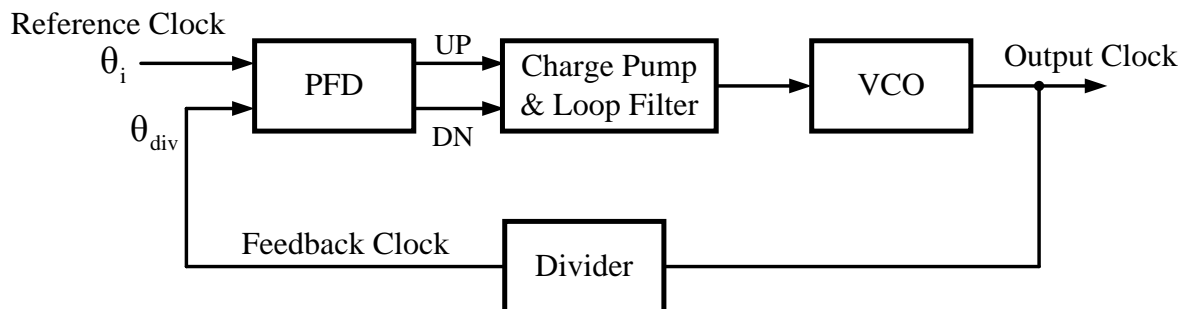


圖 2.2 幫浦式鎖相迴路

相位頻率偵測器偵測參考時脈與回授時脈間之相位與頻率差並依照比例產生 UP 與 DN 脈衝至電荷幫浦，而電荷幫浦在依接收到之 UP 或 DN 脈衝對迴路濾波器做充放電，進而改變 VCO 之輸出振盪頻率，而在幫浦式鎖相迴路中通常會加入除頻器使 VCO 振盪在較高的頻率來供電路使用達到高速操作。



2.2.3 全數位鎖相迴路(All-Digital PLL)

全數位鎖相迴路[11]為將整個鎖相迴路電路利用數位電路來實現，電路方塊圖如圖 2.3 所示

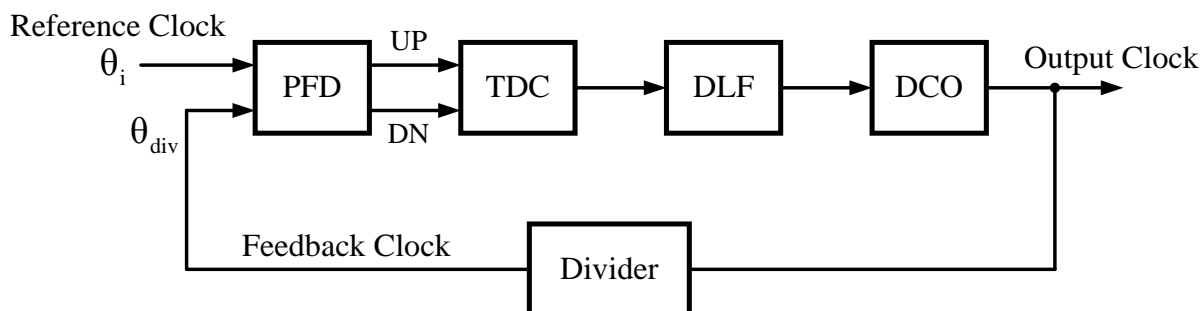


圖 2.3 全數位鎖相迴路電路

其中充電幫浦以時間數位轉換器取代，而迴路濾波器也使用數位低通濾波器來實現，整體電路主要都以主動元件來實現，因此面積較之前介紹的鎖相迴路來的小。TDC 電路運作主要是

將 PFD 電路所偵測到參考時脈與回授時脈之相位差以時間觀點做量化並等比例的將它轉成數位碼，而此數位碼會被輸入至數位低通濾波器中，經濾波器最後傳至數位控制振盪器調整振盪頻率，而輸出頻率經除頻器最後在與輸入時脈重新做比對，直到最後整個鎖定。表 2.1 為將各類型鎖相迴路比較做整理。

表 2.1 各種鎖相迴路比較表

| | CPPLL | APLL | ADPLL |
|----------------------------|-------|-------|-------|
| Operation Frequency | High | High | Low |
| Jitter | Low | Low | High |
| Noise Immunity | Low | Low | High |
| Power Consumption | High | High | Low |
| Area | Large | Large | Small |



2.3 幫浦式鎖相迴路內部元件介紹

2.3.1 相位頻率偵測器(Phase Frequency Detector, PFD)

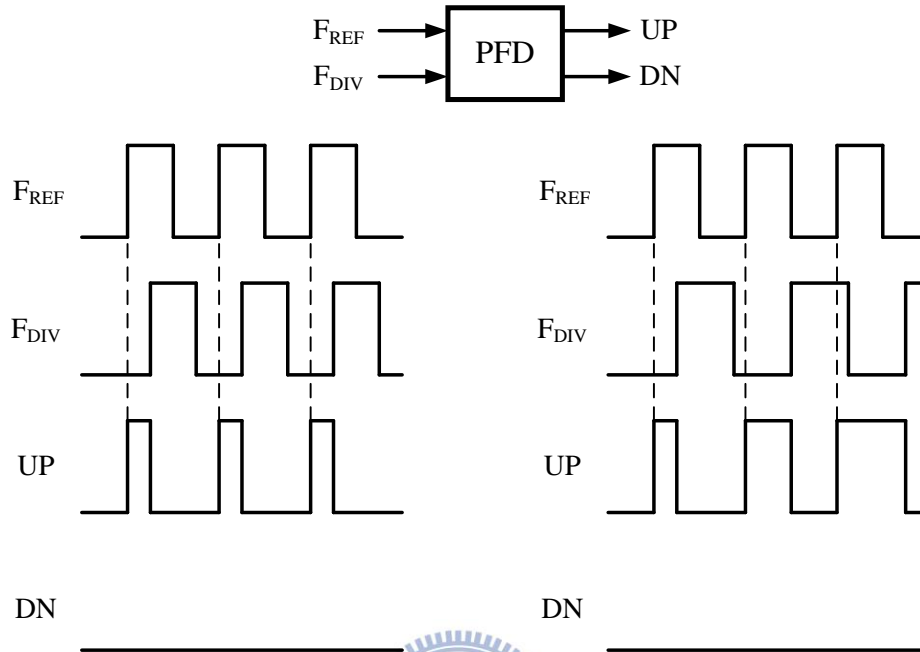


圖 2.4 相位頻率偵測器(a) $F_{REF} = F_{DIV}$, F_{REF} Lead F_{DIV} (b) $F_{REF} > F_{DIV}$

相位頻率偵測器用來偵測參考時脈與回授時脈之頻率是否相同或相位是否對齊，並輸出 UP 與 DN 訊號，在圖 2.4 (a)中為參考時脈與回授時脈頻率相同但相位還未對齊，因此 PFD 會將兩個輸入的相位差等比例的傳送至後端，在參考時脈與回授時脈頻率不同時，也能將它比較出來，如圖 2.4 (b)所示。在 PFD 輸出 UP 或 DN 的訊號中，會依照 F_{REF} 與 F_{DIV} 間的相位差或頻率差不同而線性的產生不同寬度的脈衝訊號，因此在將 PFD 做數學式模組化時，能將它等效為

$$\overline{V_{OUT}} = K_{PFD} \cdot \Delta\theta \quad (2.4)$$

其中 K_{PFD} 為 PFD 本身的增益，而 $\Delta\theta$ 為 $\phi_{REF} - \phi_{DIV}$ ， $\overline{V_{OUT}}$ 為最後輸出結果。而整個 PFD 輸入對输出的特性曲線如圖 2.5 所示。

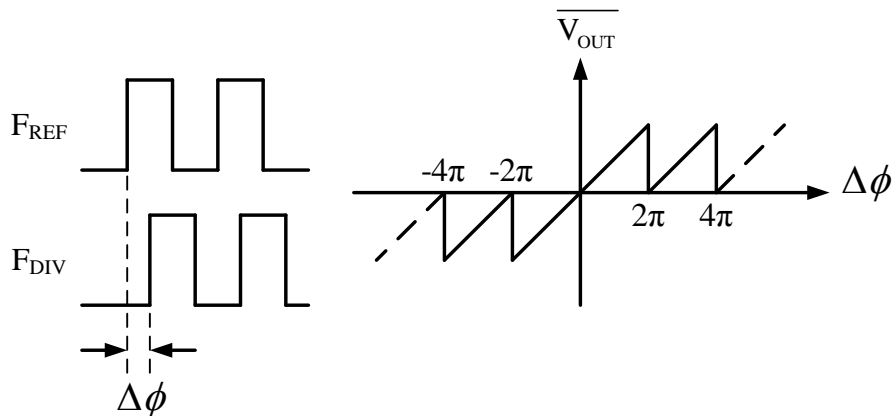
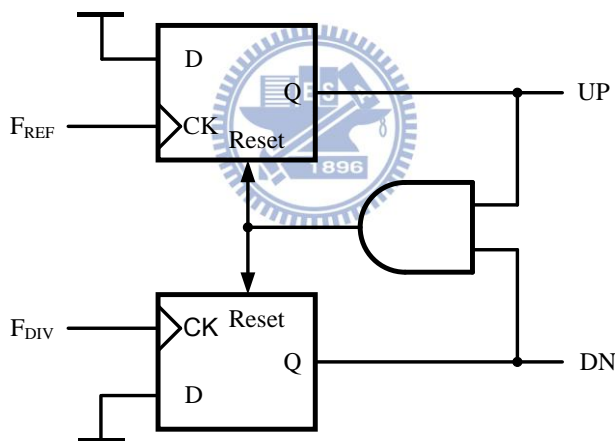
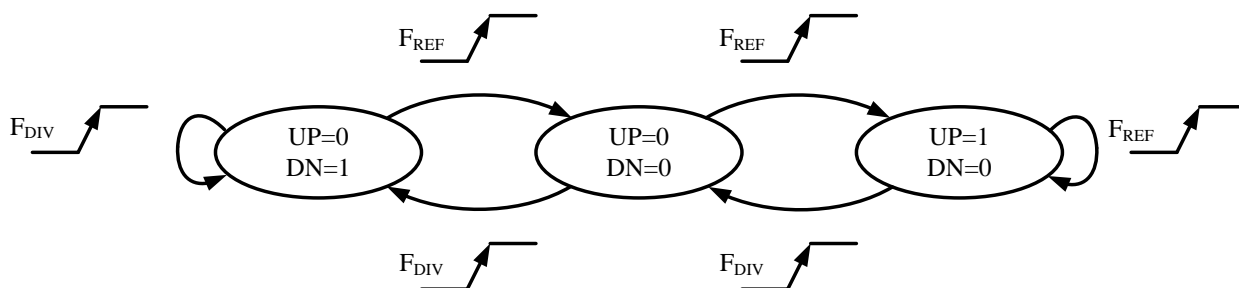


圖 2.5 PFD 之特性曲線

通常 PFD 電路會使用兩個 D 型正反器來偵測 F_{REF} 與 F_{DIV} 觸發的先後順序，在使用一個 AND 閘將兩個 D 型正反器輸出做回授去做重置，而 PFD 輸出 UP 與 DN 總共可定義出四種狀態分別為:00、01、10 與 11，其代表的意義分別為，00:初始狀態、01: F_{REF} 落後 F_{DIV} 、10: F_{REF} 領先 F_{DIV} 、11:為重置 PFD 電路，整體 PFD 電路與狀態變化如圖 2.6 所示。



(a) PFD 電路架構圖



(b) PFD 輸出狀態變化圖

圖 2.6 PFD 電路與狀態變化圖

2.3.2 電荷幫浦(Charge Pump, CP)

電荷幫浦主要由為兩個電流源組成，利用前端 PFD 電路輸出之 UP 與 DN 訊號來控制對後端迴路濾波器充放電[26,27]，其電路如圖 2.7 所示，

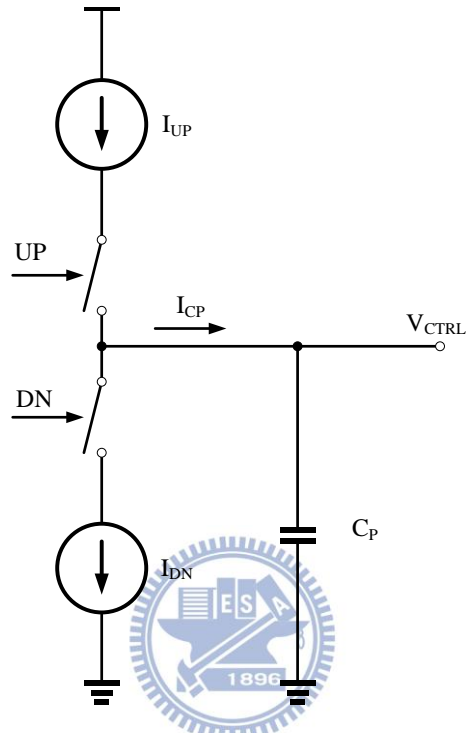


圖 2.7 電荷幫浦電路圖

電荷幫浦操作為，當接收到 UP 訊號時，電荷幫浦會開始對迴路濾波器電容 C_p 充電，當接到 DN 訊號時，則會開始對 C_p 放電，而充放電寬度主要取決於 UP 與 DN 的派坡寬度，其電路操作波形圖如圖 2.8 所示。

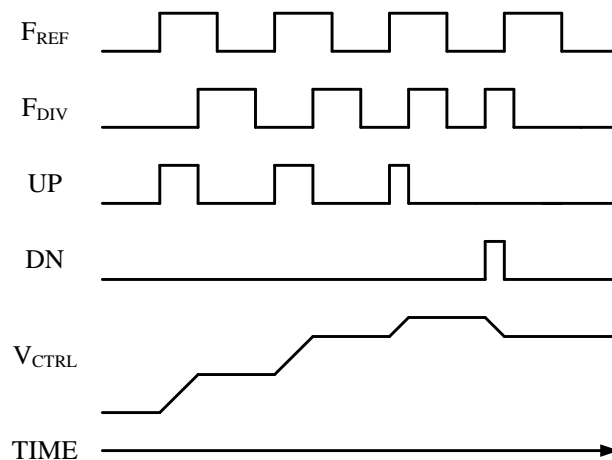


圖 2.8 電荷幫浦操作波形圖

電荷幫浦的運作為等比例對迴路電容充放電，在每個周期 2π 內，PFD 都會比出一個相位差 $\Delta\phi$ ，而電荷幫浦依此相位差等比例對迴路電容充放電，因此在充放電源的設計為 $I = I_{UP} = I_{DN}$ ，將電荷幫浦以數學式做等效可寫成

$$I_{CP} = \frac{\Delta\phi}{2\pi} I \quad (2.5)$$

I_{CP} 為電荷幫浦對迴路濾波器充放電的總電流量， $\frac{\Delta\phi}{2\pi}$ 為一個周期內充放電的比例，因 $\Delta\phi$ 有正負號，正代表對 C_P 充電，負為放電，而 I 為充放電之電流。

2.3.3 迴路濾波器(Loop Filter)

迴路濾波器在整個鎖相迴路系統中除了做為提供壓控振盪器，其另外功能為一低通濾波器，用來濾除輸入之高頻雜訊，其大致可分為一階、二階與三階[26,27]，如圖 2.9 所示。

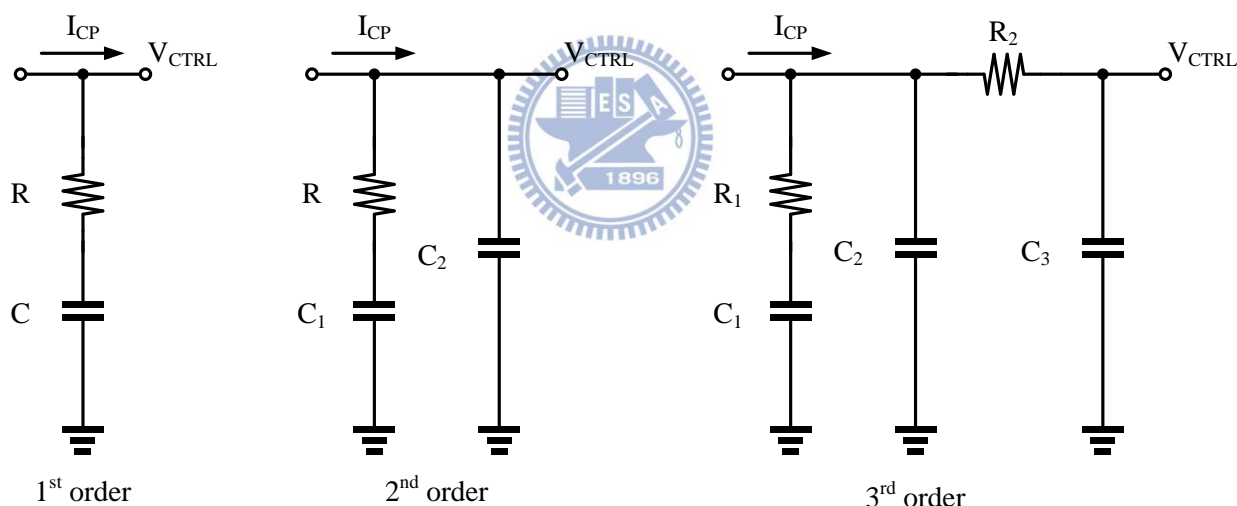


圖 2.9 迴路濾波器

最簡單之一階低通濾波器為單獨使用一個濾波電容，其轉移函式為

$$F(s) = \frac{1}{sC} \quad (2.6)$$

在只掛上一個電容的情況下，濾波器之直流增益為無限大，因此會造成系統不穩定，所以在電容上方串上一個電阻，轉移函式為

$$F(s) = R + \frac{1}{sC} \quad (2.7)$$

增加一個左半平面零點置系統中，而整個鎖相迴路系統中有兩個極點與一個零點，迴路必為

穩定，但在電阻與電容串接的一階迴路中，電流流經電阻會產生壓差造成嚴重的漣波(Ripple)，此效應稱為 Granulur 效應，為了避免漣波所造成的誤動作，大多會使用二階或以上之濾波器，其電路為在原先電阻串電容一階濾波器旁並聯一個電容，因此能消除高頻的雜訊，同時能讓壓控振盪器輸入更加的平緩，其轉移函式為

$$F(s) = K_f \cdot \frac{s + \omega_{z1}}{s \cdot (1 + \frac{1}{\omega_{p1}})} \quad (2.8)$$

其中 $K_f = \frac{R_1 C_1}{C_1 + C_2}$ ， $\omega_{z1} = \frac{1}{R_1 C_1}$ ， $\omega_{p1} = \frac{C_1 + C_2}{C_1 \cdot C_2 \cdot R_1} = \omega_{z1} \cdot (1 + \frac{C_1}{C_2})$ ，而 ω_{p1} 為多增加之極點。

2.3.4 壓控振盪器(Voltage-Control Oscillator, VCO)

在鎖相迴路中，壓控振盪器為內部的一個重要電路，主要根據迴路濾波器產生 V_{CTRL} 電壓改變輸出之振盪頻率，其特性曲線如圖 2.10 所示，當 V_{CTRL} 電壓為零時，壓控振盪器所振盪之頻率稱為自由振盪頻率(Free-Running Frequency)，而在特性曲線中之斜率可得知輸出頻率隨輸入電壓的變化率，定義為壓控振盪器之增益 K_{VCO} ，因此整個壓控振盪器之輸出頻率能以數學式表示為，

$$f_{OSC} = f_{free} + K_{VCO} \cdot V_{CTRL} \quad (2.9)$$

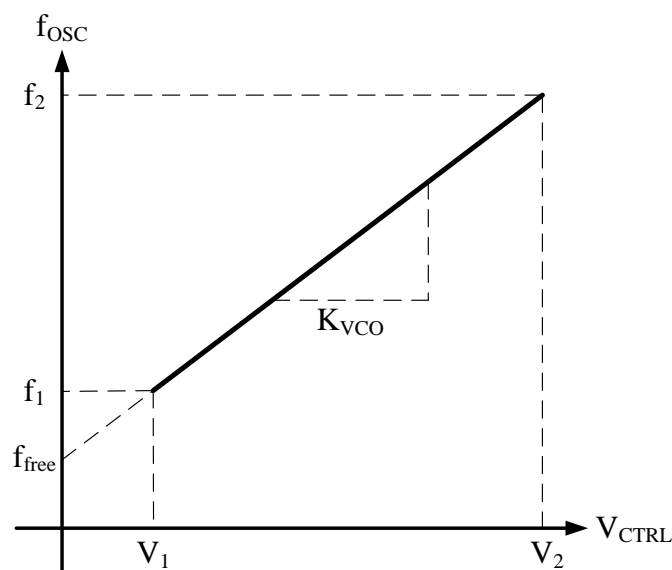


圖 2.10 壓控振盪器輸入對輸出之特性曲線

而振盪器設計主要可以分為兩類，第一類為環型振盪器，第二類為 LC 振盪器。在環形振盪器中，主要利用 N 級延遲經回授產生振盪，其優點為電路本身面積小，且容易產生多個相位，缺點為本身對雜訊的抑制能力較差。而 LC 振盪器本身需使用到電感與電容因此會使用較大的面積，但卻能有較好的抗雜訊能力，且振盪頻率能較高。

環形振盪器負回授電路電路如圖 2.11 所示，本身迴路增益為 $H(j\omega)$ ，且必須滿足巴克毫森條件(Barkhausen Criteria)

$$|H(j\omega)| \geq 1 \quad (2.10)$$

$$\angle H(j\omega) = 180^\circ \quad (2.11)$$

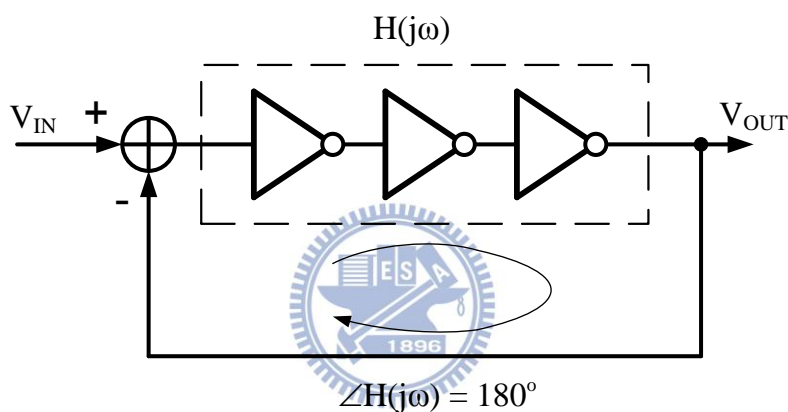


圖 2.11 環形振盪器回授模組

最基本電流飢餓(Current-starved)式環形振盪器如圖 2.12 所示

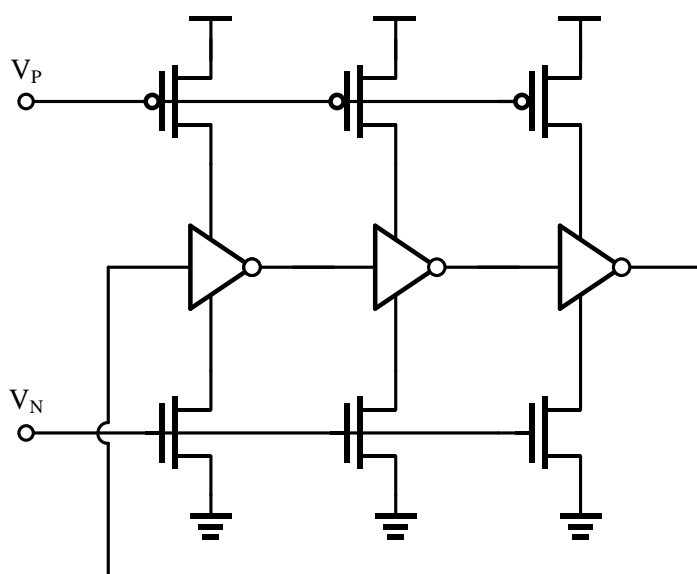


圖 2.12 飢餓式環形振盪器

其中 V_P 與 V_N 控制每一級流下之電流，而振盪器輸出頻率隨著每一級延遲時間改變，可表示成

$$f_{\text{osc}} = \frac{1}{2NT_D} \quad (2.12)$$

N 為環形振盪器的級數， T_D 為每一級的延遲時間。當控制每一級 V_P 與 V_N ，加大每級的操作電流，延遲時間也會跟著下降，因此可得較快的振盪頻率。而 LC 振盪器如圖 2.13 所示，

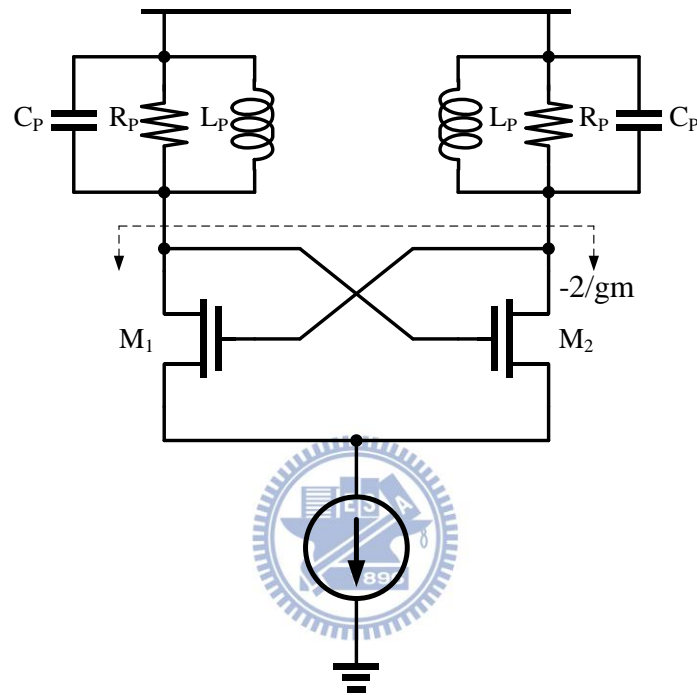


圖 2.13 LC 振盪器

上方為一個電感與電容並聯，其共振頻率(Resonance Frequency)為

$$f_{\text{res}} = \frac{1}{2\pi\sqrt{L_P C_P}} \quad (2.13)$$

而在此振盪頻率下，理論上電容並電感之等效阻抗為無大，而實際上電感本身存在寄生電阻 (R_P)，因此利用了電晶體 M_1 、 M_2 來產生一個負電阻做補償，使 LC 振盪器振在所設計的頻率。

2.4 PLL 迴路分析

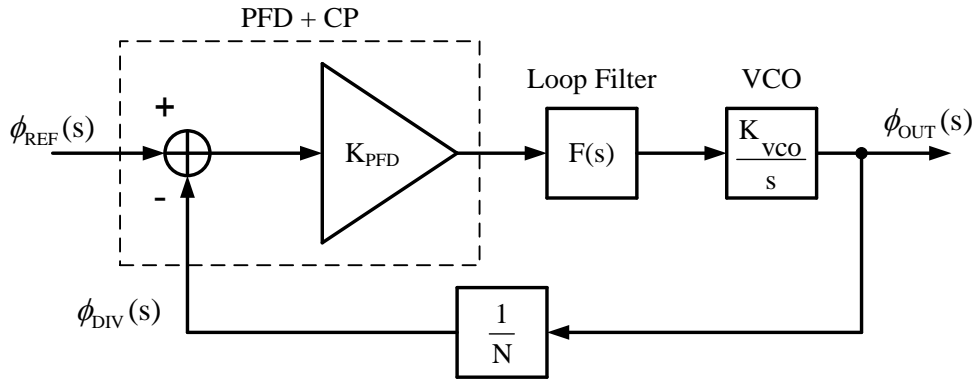


圖 2.14 鎖相迴路模組

圖 2.14 為充電幫浦鎖相迴路的模組圖，先前已介紹各子電路功能，在此將電路以數學式表示來推導整個鎖相迴路電路關係，而在這模組中將相位頻率偵測器與充電幫浦之增益整合成 K_{PFD} ，再依回授理論推導得知整個系統之閉迴路轉移函式(Closed Loop Transfer Function)如下

$$\frac{\phi_{OUT}(s)}{\phi_{REF}(s)} = \frac{K_{PFD} F(s) K_{VCO}}{1 + \frac{K_{PFD} F(s) K_{VCO}}{s \cdot N}} \quad (2.14)$$

若使用電阻串電容之一階濾波器 $F(s)$ ，則迴路濾波器轉移函式為

$$F(s) = R + \frac{1}{sC} \quad (2.15)$$

重新整理鎖相迴路之閉迴路轉移函式

$$H(s) = \frac{\phi_{OUT}(s)}{\phi_{REF}(s)} = \frac{\frac{K_{PFD} K_{VCO}}{C} (sRC + 1)}{s^2 + s \frac{K_{PFD} K_{VCO}}{NC} RC + \frac{K_{PFD} K_{VCO}}{NC}} = \frac{\frac{K_{PFD} K_{VCO}}{C} (sRC + 1)}{s^2 + 2\delta\omega_n s + \omega_n^2} \quad (2.16)$$

由以上推導可得知整個鎖相迴路的自然頻率(Natural Frequency) ω_n 以及阻尼係數(Damping Factor) δ 可表示為，

$$\omega_n = \sqrt{\frac{K_{PFD} K_{VCO}}{N \cdot C}}, \quad \delta = \frac{RC}{2} \omega_n \quad (2.17)$$

2.5 PLL 雜訊轉移函式分析

在此推導雜訊對整個鎖相迴路輸出之影響，分別考慮參考時脈雜訊 V_{n1} 與振盪器雜訊 V_{n2} ，而將這兩個雜訊放入鎖相迴路中之模組化方塊圖如圖 2.15 所示

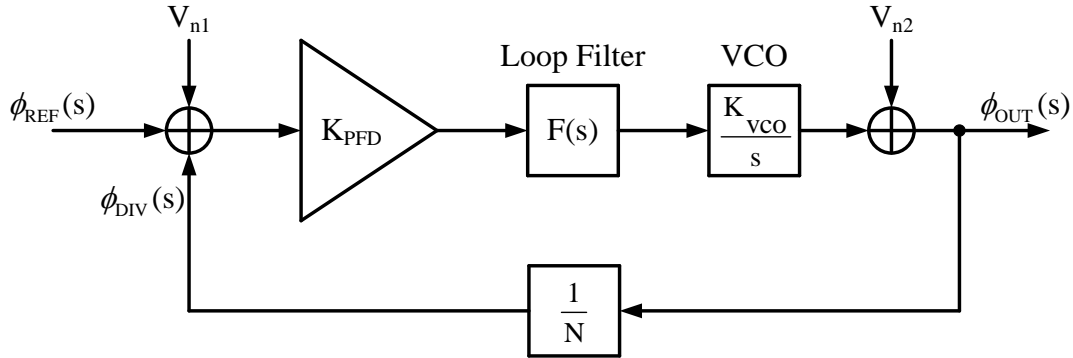


圖 2.15 考慮輸入與振盪器之雜訊模組圖

在此假設參考時脈雜訊 V_{n1} 與振盪器雜訊 V_{n2} 為獨立雜訊，而整個鎖相迴路系統對不同雜訊源有不同的濾波效果，因此由模組圖推導雜訊對輸出之影響。

$$\frac{\phi_{OUT}(s)}{V_{n1}} = \frac{K_{PFD} F(s) \frac{K_{VCO}}{s}}{1 + \frac{K_{PFD} F(s) K_{VCO}}{s \cdot N}} = \frac{K_{PFD} F(s) K_{VCO}}{s + \frac{K_{PFD} F(s) K_{VCO}}{N}} \quad (2.18)$$

$$\frac{\phi_{OUT}(s)}{V_{n2}} = \frac{1}{1 + \frac{K_{PFD} F(s) K_{VCO}}{s \cdot N}} = \frac{s}{s + \frac{K_{PFD} F(s) K_{VCO}}{N}} \quad (2.19)$$

由以上推導分析可知，參考時脈雜訊 V_{n1} 對輸出為一個低通特性，因此頻寬外之高頻雜訊會被抑制，而振盪器雜訊 V_{n2} 對輸出為一個高通特性，頻寬內的低頻雜訊會被抑制。因此在選擇迴路頻寬不只影響鎖相迴路的鎖定速度同時還影響到整個系統抑制雜訊能力，所以選擇迴路頻寬將產生折衷考量(Trade-Off)。

選擇小迴路頻寬可降低參考時脈所產生的雜訊，但卻將引入更多由振盪器所產生之雜訊；反之選擇大的頻寬雖然降低了振盪器產生的雜訊，卻讓參考時脈雜訊嚴重影響輸出，因此在選擇迴路頻寬時，必須根據先考量到參考時脈雜訊與振盪器架構而調整，若有乾淨的參考時脈源則設計時能選擇較大的迴路頻寬，若使用振盪器為低雜訊的 LC 振盪器，則迴路頻寬可設計在較低頻的位置使鎖相迴路總輸出雜訊較小。

第三章

全數位時脈資料回復電路介紹



3.1 前言

在數位通訊系統中，數位收發器為內部一個重要的元件，其應用涵蓋了大部分需要序列傳輸的數位系統，如不同處理器間的通訊、CPU 與周邊產品的溝通或是不同晶片間彼此資料的傳輸。而一個數位收發系統包含了傳送器(Transmitter, TX)、傳送通道(Channel)和接收器(Receiver, RX)，如圖 3.1 所示，

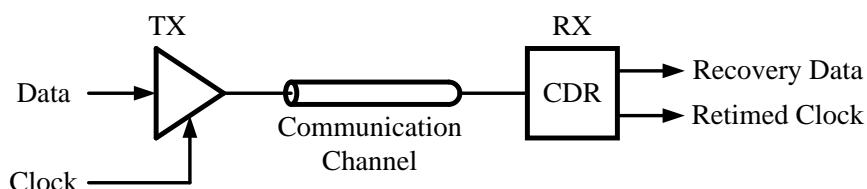


圖 3.1 數位收發系統架構圖

傳送器會利用時脈將資料載至通道做傳輸，一般通道有可能是印刷電路板(Print Circuit Board,

PCB)上的走線、遠距離的光纖導線(Fiber optic)或是電纜線(Cable)等，而傳送器訊號經通道後，接收器會先利用接收到的資料回復時脈，再利用此回復時脈來回復資料，由於資料在通道中傳輸時會有一些非理想效應和雜訊的干擾，因此接收器的設計必須考量如何正確的回復時脈與資料。

3.2 時脈資料回復電路基礎介紹[36,37]

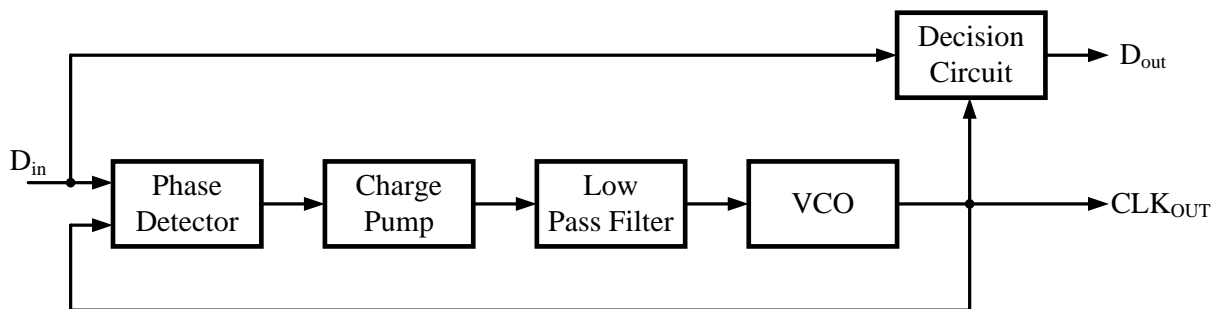


圖 3.2 傳統時脈資料回復電路

圖 3.2 為一個傳統的時脈資料回復電路，其電路本身架構大致與鎖相迴路差不多，不同處在於內部多了一個決策電路(Decision Circuit)來回復資料。在鎖相迴路部分的電路可視為一個時脈回復電路(Clock Recovery Circuit, CRC)，其功能為用來回復接收到資料的時脈訊號，當時脈被回復後即可利用決策電路對輸入做取樣，讓原先帶有雜訊的輸入資料回復成乾淨的資料。而在時脈資料回復電路中，相位偵測器設計相當重要，再鎖相迴路中，輸入參考時脈為周期訊號，但在時脈資料回復電路中，輸入為隨機資料，因此在這必須使用能處理隨機資料之相位偵測器。而在近年提出用於時脈資料回復電路之相位偵測器有，如 Hogge 相位偵測器、Alexander 相位偵測器等，在這些提出的相位偵測器都在資料速率與時脈速度相近時才能正常操作，當振盪器輸出與資料速率相差太多時，會造成時脈資料回復電路無法鎖定的情況，因此有人提出頻率偵測器來輔助相位偵測器捕捉範圍過小的問題，整體架構如圖 3.3 所示。

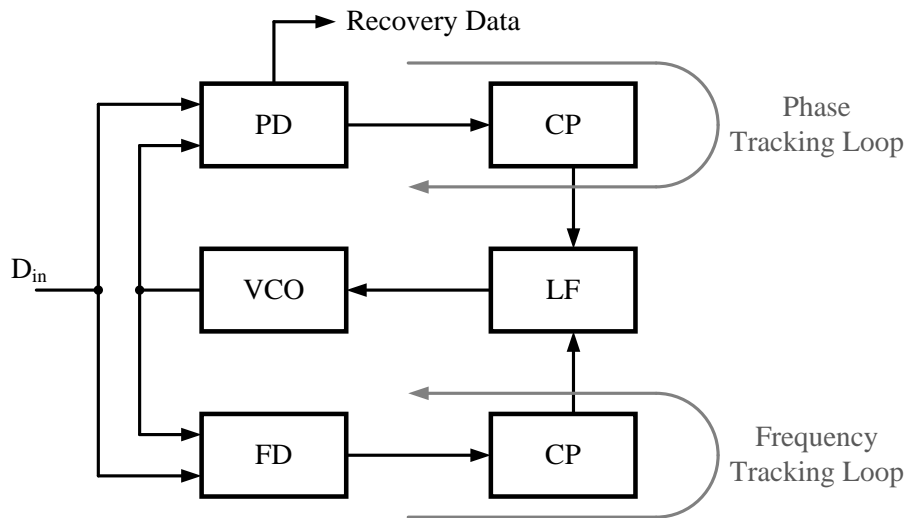


圖 3.3 無參考時脈之時脈資料回復電路

電路在一開始運作時，先利用頻率偵測器將振盪器頻率調整到與資料速率相近的範圍，再來藉由相位偵測器做相位的校正，而在此架構中為雙迴路控制系統，彼此控制會互相影響，因此可能會造成無法鎖定的情況。所以頻寬的設計必須讓相位偵測迴路頻寬大於頻率偵測迴路頻寬，確保相位偵測器有較大的捕捉範圍。而電路在運作時也必須確保相位偵測器與頻率偵測器彼此不會互相影響。

3.3 相位偵測器(Phase Detector)

3.3.1 Hogge 相位偵測器(Linear)

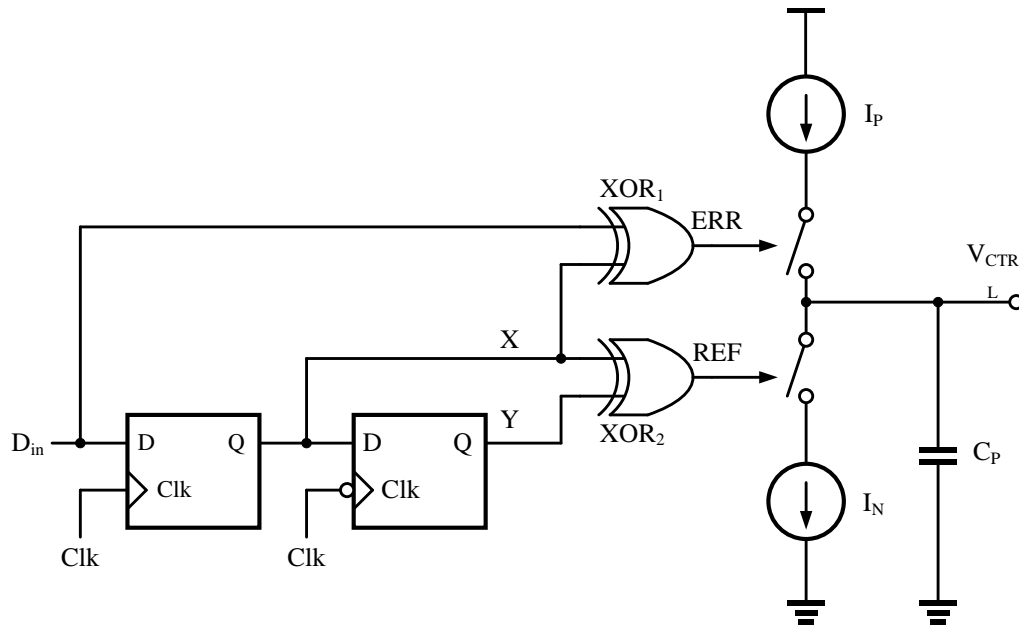


圖 3.4 Hogge 相位偵測器

Hogge 相位偵測器[12,13]與電荷幫浦如圖 3.4 所示，相位偵測電路為使用兩個 D 型正反器與兩個 XOR 閘所組成，為用來偵測 NRZ(Non-Returned-to-Zero) 資料與震盪器輸出相位差。電路工作原理為利用兩個相差 180° 的時脈訊號 Clk 與 $\overline{\text{Clk}}$ 分別驅動倆的 D 型正反器，由於兩個正反器是利用相差 180° 的時脈驅動，因此無論資料與時脈相位相差多少，在 XOR₂ 的輸出訊號之脈衝寬度永遠為半個時脈週期，所以將它定義為參考脈波(Reference Pulse)，而 XOR₁ 為比較輸入資料與時脈訊號邊緣差，因此將它定義為誤差脈波(Error Pulse)，圖 3.5 為 Hogge 相位偵測器電路動作時序圖。

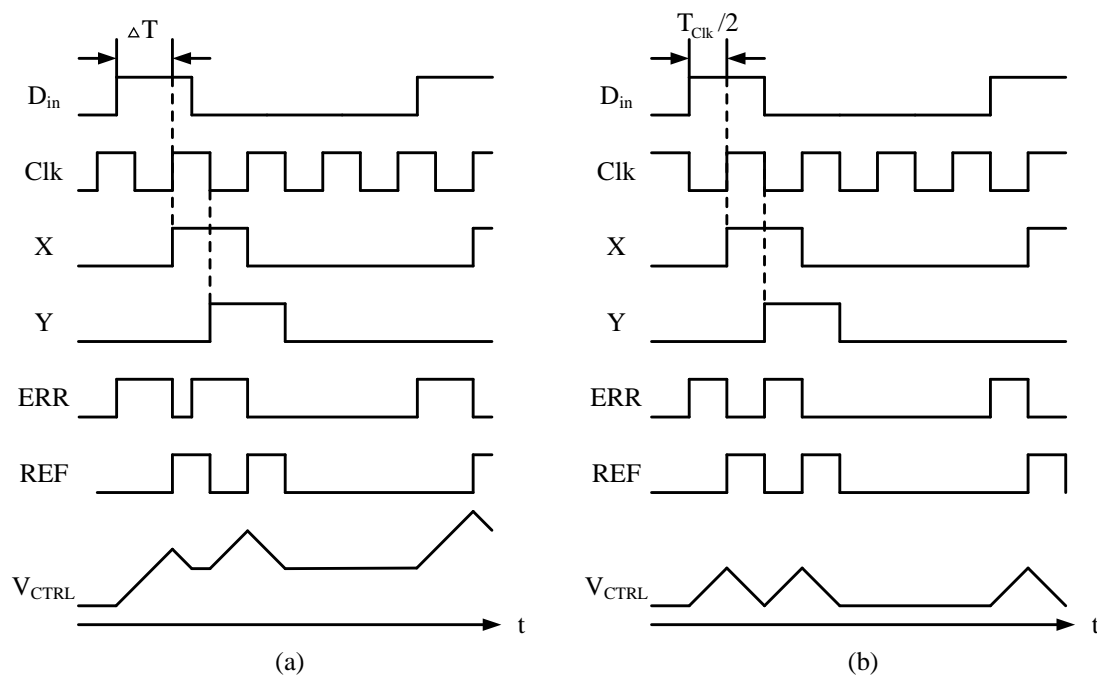


圖 3.5 Hogge 相位偵測器運作時序圖(a)資料領先參考時脈 (b)資料對準參考時脈

Hogge 電路在應用中，將 ERR 輸出接至電荷幫浦的充電路徑上，而 REF 接至放電路徑，在圖 3.5(a)中，當資料與時脈有相位誤差時， ERR 訊號會讓電荷幫浦對迴路電容 C_P 充入 $I_p \cdot \Delta T$ 電荷，而 REF 訊號固定對 C_P 放 $I_p \cdot (T_{Clk}/2)$ 電荷，因此在振盪器輸入電壓 V_{CTRL} 會有 $(I_p / C_p) \times T_{Clk}$ 的變化。當資料與時脈對準時，如圖 3.5(b)所示， ΔT 會等於 $T_{Clk}/2$ ，振盪器輸入電壓在每次充放電後都會回到相同電壓，且時脈正緣對準輸入資料的中心點。

3.3.2 Alexander 相位偵測器(Binary)

另一個常用相位偵測電路為 Alexander 相位偵測器[14,15]，跟 Hogge 相位偵測器不同為 Alexander 相位偵測器輸出只有 UP 與 DN，而當相位對準時，時脈也是對準資料的中心，其電路架構如圖 3.6 所示

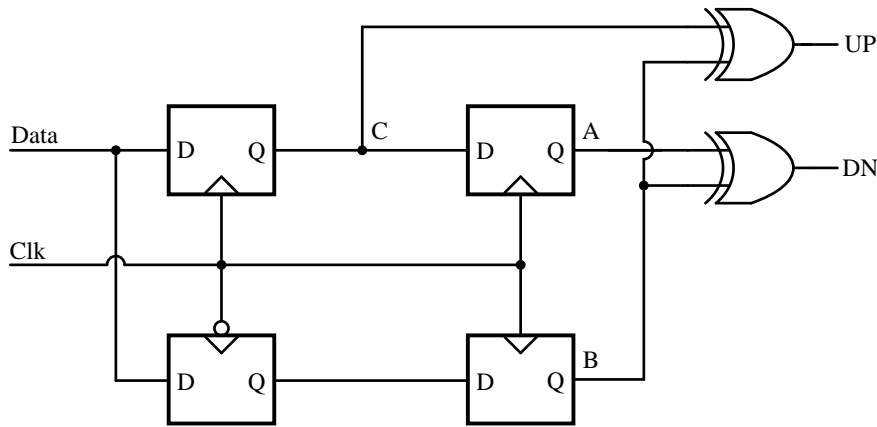


圖 3.6 Alexander 相位偵測器

在 Alexander 相位偵測器中，使用了四個 D 型正反器與兩個 XOR 閘，由於此電路輸出只有兩種狀態，而在資料沒轉態時，UP 與 DN 輸出皆為 Low，可以穩定振盪器輸入電壓。下圖為 Alexander 相位偵測器電路操作時序圖。

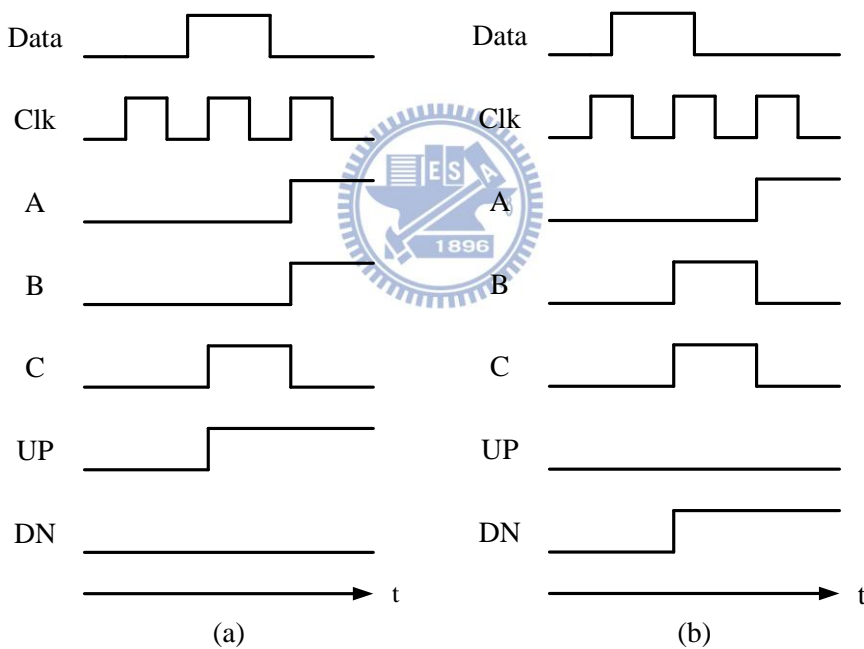


圖 3.7 Alexander 相位偵測器操作時序圖(a)時脈領先輸入資料 (b)時脈落後輸入資料

圖 3.7(a)中為時脈領先輸入資料，在所有 D 型正反器取樣中，A 與 B 的取樣值會相同，而前一週期取樣值 A 與目前取樣值 C 為不同資料，因此最後 UP 會輸出 High 訊號。而在時脈落後輸入資料時，圖 3.7(b)，時脈正緣與負緣所取樣值不同，所以在最後輸出 A 與 B 會有不同的資料，因此相位偵測器 DN 訊號會輸出 High。而 Alexander 相位偵測器在時脈與輸入資料對齊時，時脈正緣會對準資料中心。在 Hogge 相位偵測器中，輸出為線性的將相位差傳至後

端電路，而 Alexander 相位偵測器輸出，不是 UP 就是 DN，為二元輸出，其輸出特性曲線如圖 3.8 所示。

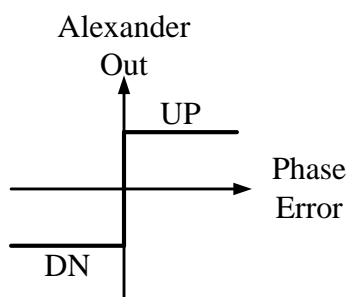


圖 3.8 Alexander 相位偵測器輸出特性曲線

3.4 頻率偵測器(Frequency Detector, FD)

在無參考時脈的時脈資料回復電路中，電路起先運作為利用頻率偵測器做追鎖，在確定振盪器輸出頻率與輸入資料速率相近時，才開始使用相位偵測器做最後追鎖和相位校正 [16-19]。因電路一開始運作時，無法保證振盪器輸出頻率在相位偵測器所能追索的範圍內，直接使用相位偵測器去做追鎖，會造成電路無法鎖定或錯誤鎖定。一般常用的頻率偵測器如圖 3.9 所示。

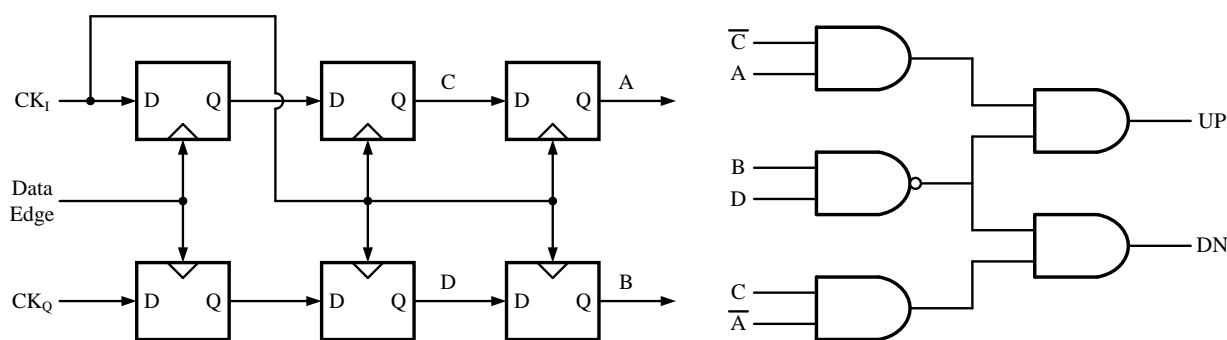
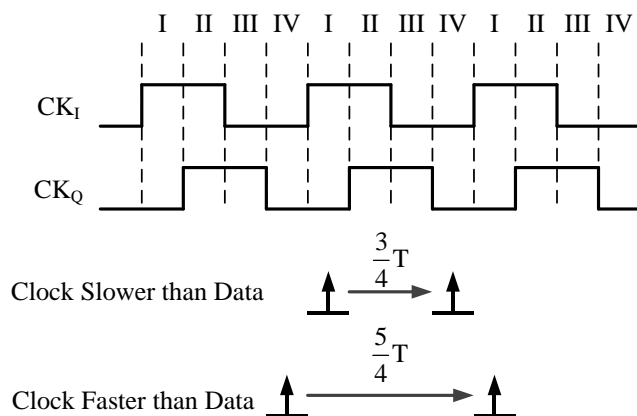


圖 3.9 頻率偵測器電路圖

此電路動作為利用資料轉態時，對振盪器所輸出的兩個相位相差 90° 之時脈做取樣，而將取樣結果在時脈 CK_I 觸發時往後儲存，因此可由前後取樣的結果得知目前資料速與振盪器振盪頻率的快慢關係，進而調整振盪器之振盪頻率。圖 3.10 為頻率偵測電路判斷之概念圖。



| | | Current State | | | |
|------------|-----|---------------|----|-----|----|
| | | I | II | III | IV |
| Next State | I | | | Dn | Dn |
| | II | | | | Dn |
| | III | Up | | | |
| | IV | Up | Up | | |

Up: It means the output of OSC must be faster.

Dn: It means the output of OSC must be slower.

圖 3.10 頻率偵測器狀態變化概念圖

CK_I與 CK_Q為振盪器產生的兩個相位相差 90°之時脈，而兩者在一個週期內之 High 與 Low 能定義出四種狀態，如圖 3.10 所示，在振盪頻率與資料速率一樣時，每次資料切換點會取樣到相同狀態，因此振盪器維持在目前振盪頻率。而當取樣狀態由 I 變到 IV 時，代表振盪頻率慢於資料頻率，因此頻率偵測電路會傳出 UP 訊號加快振盪器之輸出頻率。反之取樣狀態由 IV 變換到 I 時，代表振盪器速率太快，因此頻率偵測會輸出 DN 訊號要求振盪器降低輸出頻率。圖 3.11 為利用頻率偵測器觀察時脈資料回復電路鎖定過程圖決定頻率偵測器每次改變 DCO 頻率的變化量如何設計，在時脈資料回復電路在追索的過程中，一開始會先利用頻率偵測器做追鎖的動作，而在頻率偵測器的電路動作特性中，當振盪器頻率已經追鎖到接近要鎖定的頻率時，頻率偵測器會判斷為鎖定，因此不會在輸出 UP 與 DN 訊號，此時會進入相位校正的迴路，做最後的頻率與相位校正。而當頻率偵測器每次改變振盪器的頻率太大時，會造成整個系統迴路鎖定在一個很大的頻率區間，使時脈資料回復電路無法進入相位校正的迴

路，造成回復的時脈與資料會有很大的抖動，因此在設計頻率偵測器的增益時，必須確保改變振盪器頻率的量可以使頻率偵測器最後進入鎖定的區間，來避免迴路鎖定在很大的頻率變化區間。

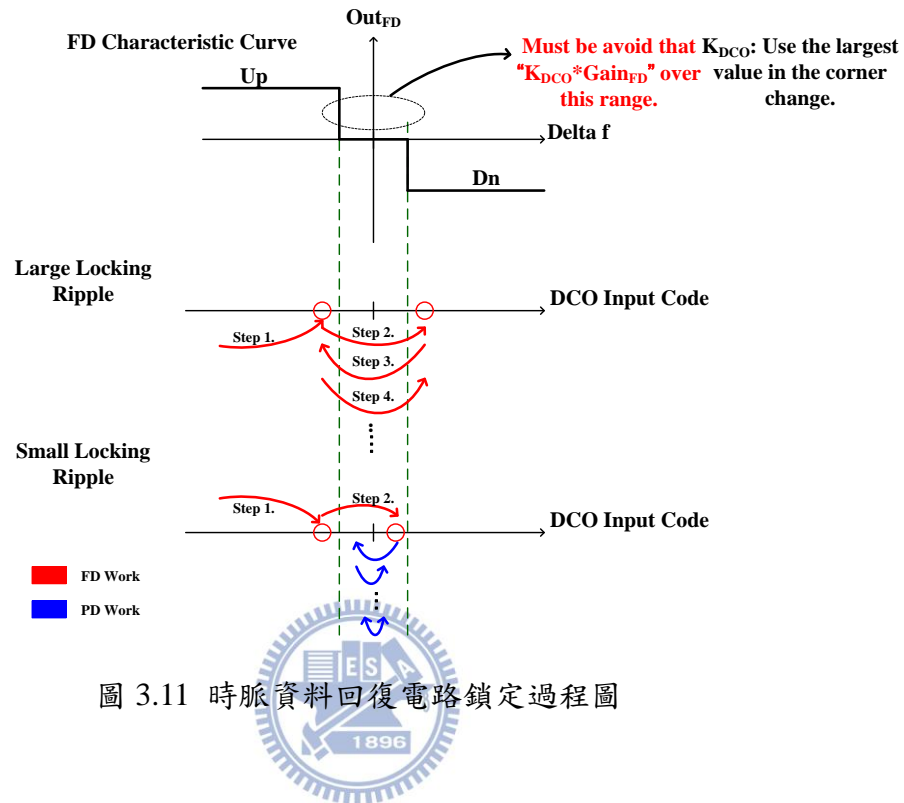


圖 3.11 時脈資料回復電路鎖定過程圖

3.5 數位濾波器 (Digital Loop Filter, DLF)

一般迴路濾波器在鎖相迴路中設計會使用二階迴路濾波器來降低鎖定後的抖動，然而在數位的鎖相迴路中，鎖定後的抖動主要由時間數位轉換器 (Time-to-Digital Converter) 或數位控制振盪器 (Digital-Controlled Oscillator) 的解析度決定，使用二階或以上的濾波器在全數位的鎖相迴路中所得好處有限，因此一般迴路濾波器在全數位的鎖相迴路中都只使用一階來實現 [11,13, 16, 20,21]。

在設計一階的數位濾波器，通常會先設計一個一階類比濾波器，然後使用等效方式將它轉成數位型式，在此為利用雙線性 (Bilinear) 方式來等效。一階的數位濾波器 z 轉移函式數學式為

$$H(z) = \frac{\alpha + \beta - \beta z^{-1}}{1 - z^{-1}} \tag{3.1}$$

一階 RC 類比濾波器 s -頻域的轉移函式為

$$H(s) = R + \frac{1}{sC} \quad (3.2)$$

雙線性轉換式為將 $s = \frac{2}{T_s} \cdot \frac{1 - z^{-1}}{1 + z^{-1}}$ 帶入 s-頻域的轉移函式中，其中 T_s 為數位系統的取樣時間，

而在鎖相迴路中，通常代入參考訊號週期的時間。因此可得

$$H(z) = \frac{(\frac{T_s}{2C} + R) + (\frac{T_s}{2C} - R)z^{-1}}{1 - z^{-1}} \quad (3.3)$$

比較轉換後參數可得數位濾波器參數 α 和 β 為

$$\alpha = \frac{T_s}{C} \quad \beta = R - \frac{T_s}{2C} \quad (3.4)$$

圖 3.12 為類比濾波器轉換成數位濾波器說明。

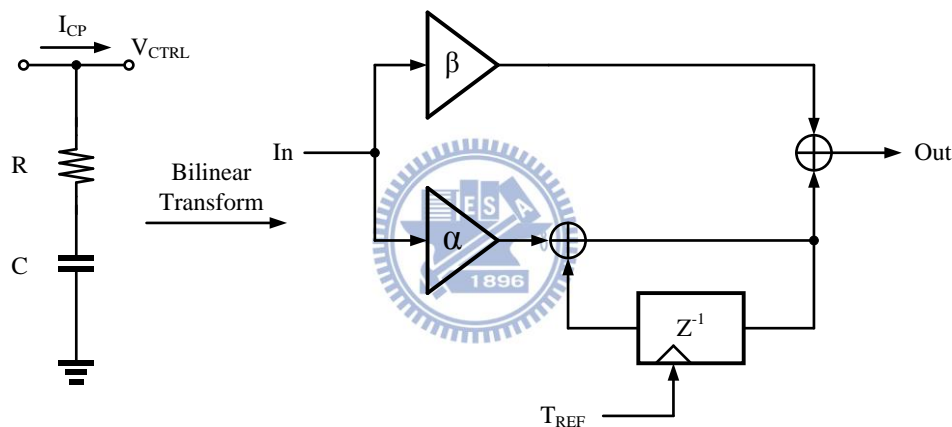


圖 3.12 類比濾波器轉數位濾波器

其最後等效電路如同 PI(Proportional-Integral)式的控制器， α 為累積路徑增益， β 為直接路徑增益。圖 3.13 為利用 MATLAB 比較類比型式與數位型式低通濾波器頻率響應結果，如圖所示，類比型式與數位型式低通濾波器之特性在等效前後頻率響應大致相同。

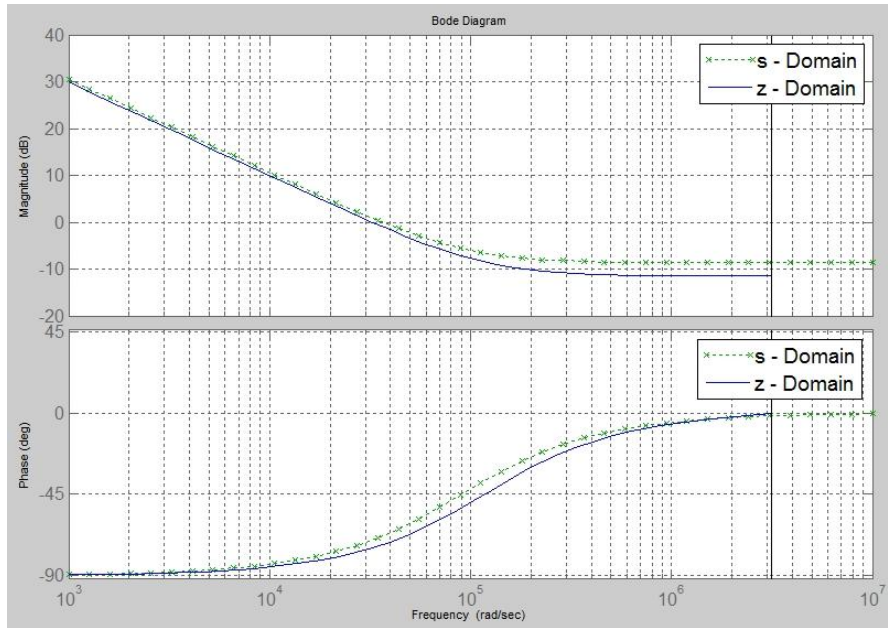


圖 3.13 濾波器參數 MATLAB 模擬結果

3.6 數位控制振盪器 (Digital Controlled Oscillator, DCO)

在數位控制振盪器[16,22,23]設計主要分為兩個部份，第一個部份為振盪器上方 PMOS 陣列，第二部份為振盪器電路部分。而整個數位控制振盪器操作方法為改變振盪器上方 PMOS 陣列來調整振盪器的工作電壓，使振盪器隨著不同數位輸入有不同輸出振盪頻率。整體數位控制振盪器電路如圖 3.14 所示。

PMOS 陣列在數位控制振盪器中扮演的角色為用來控制振盪器的工作電壓，若將 PMOS 陣列等效電阻視為 R_{EQ} ，而振盪器的等效電阻視為 R_{OSC} ，因此在振盪器上方控制電壓 V_C 為

$$V_C = \frac{R_{OSC}}{R_{EQ} + R_{OSC}} \cdot V_{DD} \quad (3.5)$$

而 R_{EQ} 會隨著不同輸入而改變，所以 V_C 為一個隨輸入改變之電壓。而在 PMOS 陣列控制方式在此為使用 Thermometer 控制方法來改變 PMOS 的等效電阻，輸入總共 9 位元，其中 2 位元為粗調(Coarse Tune)、3 位元為中調(Medium Tune)最後 4 位元為細調(Fine Tune)。

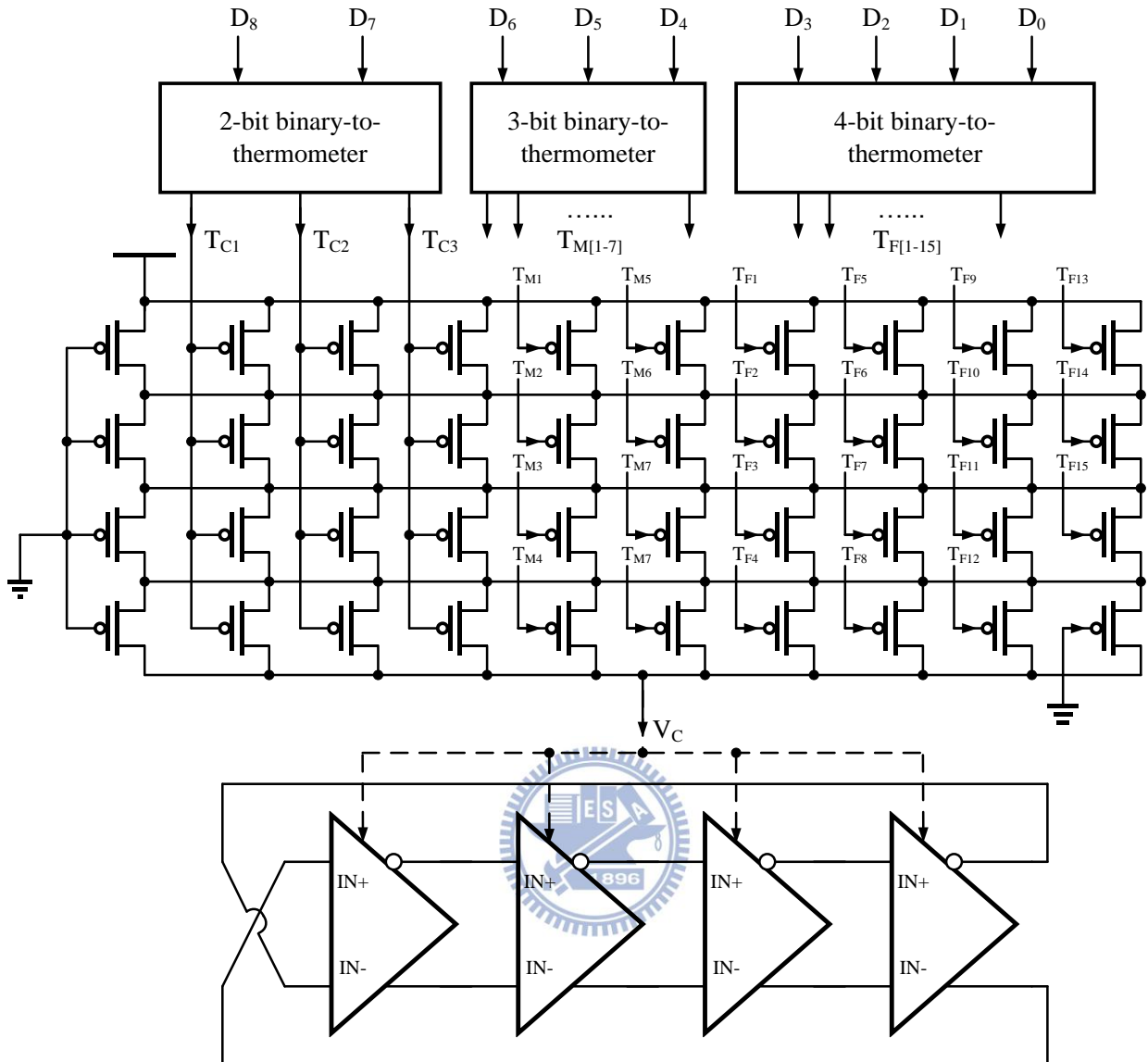


圖 3.14 數位控制震盪器電路圖

為了降低電源和基底雜訊對振盪器的影響，因此使用了差動式環型振盪器，而其本身之單一延遲單元[24,25]如圖 3.15 所示

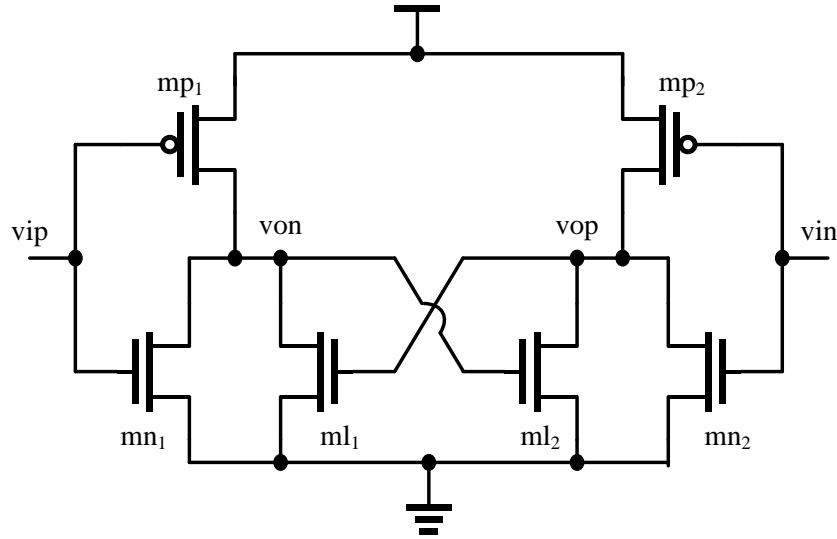


圖 3.15 差動式環形振盪器之單一延遲單元

單一延遲單元本身之轉移函式如下，

$$A(s) = \frac{(g_{m_n} + g_{m_p})}{g_{m_1} - G_L - sC_L} \quad (3.6)$$

其中，

$$G_L = g_{ds_{mp1}} + g_{ds_{mn1}} + g_{ds_{ml1}} \quad (3.7)$$

$$C_L = Cd_{mp1} + Cd_{mn1} + Cd_{ml1} + Cg_{ml2} + Cg_{mn1,next} + Cg_{mp1,next} + C_{buffer} \quad (3.8)$$

而推導得知振盪頻率為

$$f_{osc} = \frac{1}{2\pi} \sqrt{\frac{(g_{m_n} + g_{m_p})^2 - (g_{m_1} - G_L)^2}{C_L^2}} \quad (3.9)$$

由此可知，要改變環型振盪器之振盪頻率可經由改變延遲單元中之 g_{m_p} ，而在本架構中，當振盪器上方 PMOS 陣列之等效電阻改變時， V_c 會有所改變，因此延遲單元本身 PMOS 之 g_{m_p} 會有所改變，而整體振盪頻率 f_{osc} 會有所改變。圖 3.16 為 Post-Layout 使用 HSPICE 模擬數位控制震盪器之輸入對輸出頻率在各種 Corner 下的特性曲線，在此為預計振盪器輸出時脈為 1MHz，而在各種 Corner 下都能產生所需的時脈。

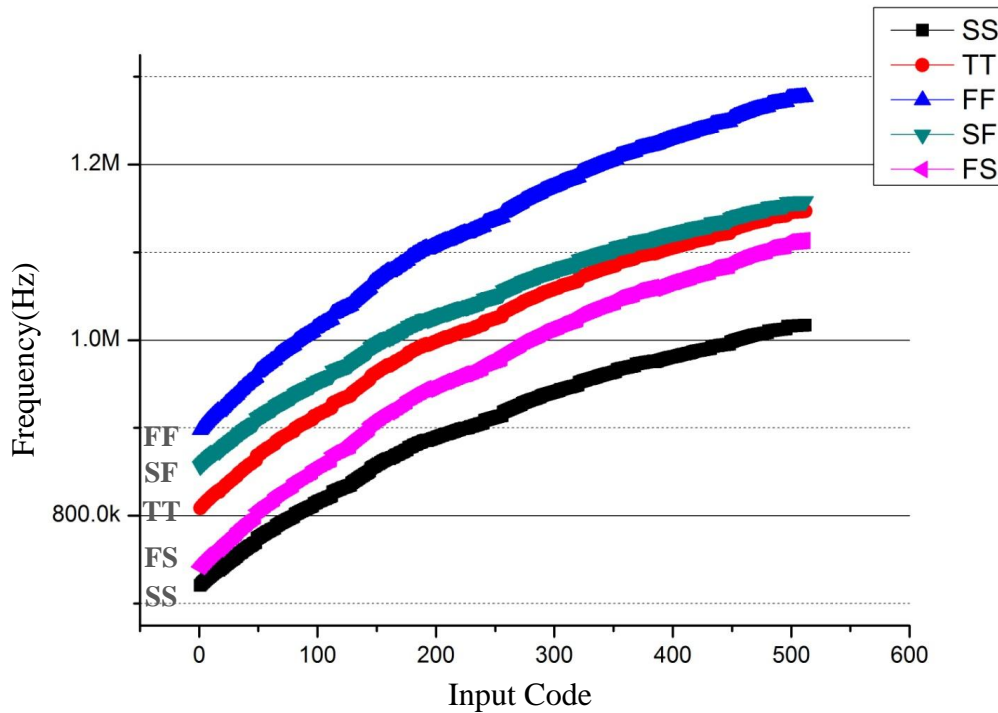


圖 3.16 數位控制振盪器各種 Corner 下之特性曲線

表 3.1 為在各種 Corner 下之數位振盪器增益。

表 3.1 各種 Corner 下數位振盪器之增益

| DCO Oscillate at 1MHz | | | | | |
|---------------------------|-----|-----|-----|-----|-----|
| Corner | SS | TT | FF | SF | FS |
| $K_{DCO}(\text{Hz/Code})$ | 456 | 608 | 930 | 798 | 610 |

3.7 全數位時脈資料回復電路(All Digital Clock Data Recovery Circuit, ADCDR)

為了將接收到的資料做完整的回覆，因此在傳輸介面中加入了一個無參考時脈之時脈資料回復電路。而在架構的選擇為使用全數位的電路架構，之所以選擇全數位的方式實現是因單線傳輸系統在運作時，會有部分時間為沒有參考時脈來修正振盪器的輸入電壓，因此若使用類比方式實現，則低通濾波器內之電容電荷可能因漏電而造成 VCO 震盪頻率有所偏移，而使用數位方式實現實，最後在無參考時脈進入時，數位低通濾波器會維持在最後鎖定的值。

由於內部是使用數位控制振盪器，所以不需考慮漏電的問題，同時數位濾波器不需使用到被動元件電阻與電容，因此能降低面積的使用量。圖 3.17 為所使用的全數位時脈資料回復電路之架構圖。

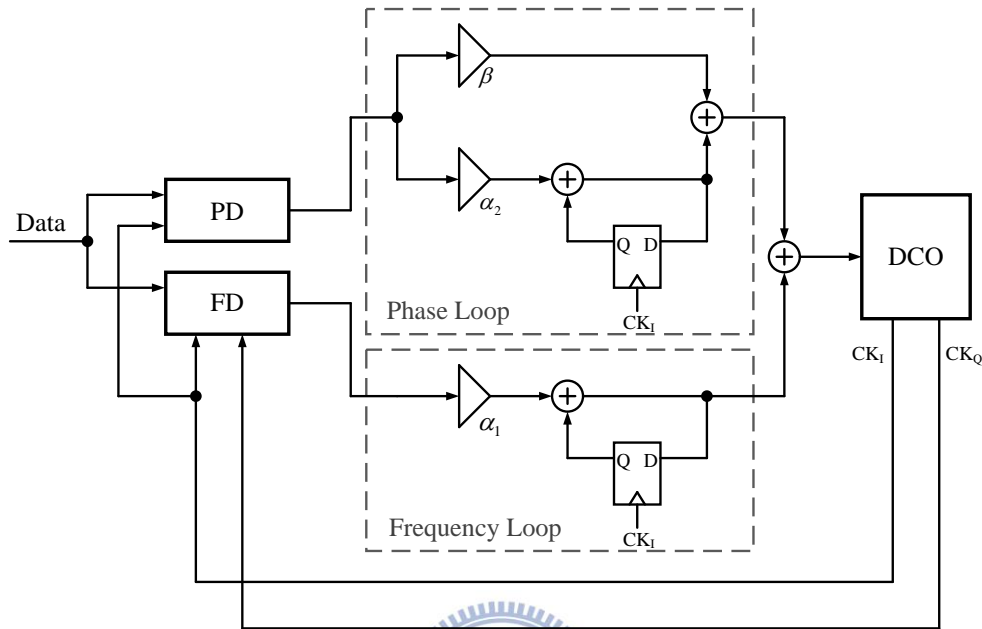


圖 3.17 全數位時脈資料回復電路

ADCDR 在一開始動作時，電路會先使用頻率偵測電路(Frequency Detector, FD)偵測輸入資料之速率與數位控制震盪器(Digital Control Oscillator, DCO)之震盪頻率做比較，然後改變 DCO 輸入控制碼來使 DCO 震盪頻率與輸入資料速率相近。當 FD 鎖定後，會利用相位偵測電路(Phase Detector, PD)對 DCO 輸入做最後的調整，使 DCO 之震盪速率與資料速率一樣同時振盪器相位也對準輸入資料之轉態處。

3.8 鎖定偵測器(Lock Detector)

在時脈資料回復電路的應用，在時脈與資料未對齊前，所抓取的資料都為錯誤資料，因此需要一個鎖定偵測器來判別時脈與資料對齊後才開始回復資料，本論文所使用的鎖定偵測器[26]如圖 3.18 所示。

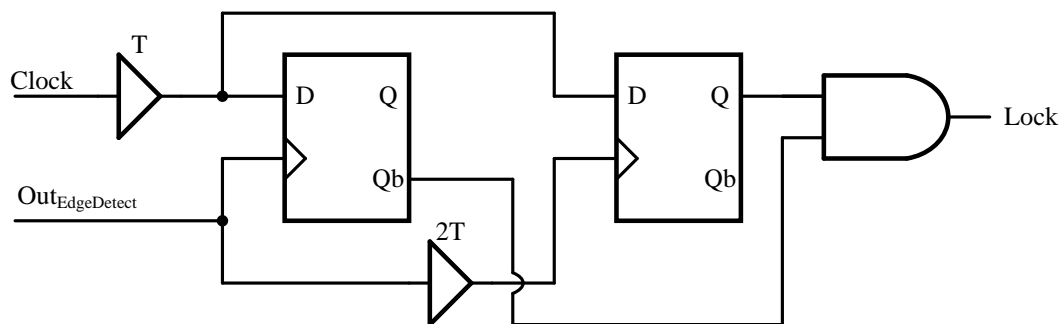


圖 3.18 鎖定偵測電路

在此利用波形圖來說明鎖定偵測電路之動作情形，圖 3.19 為時脈與資料鎖定時之波形圖，

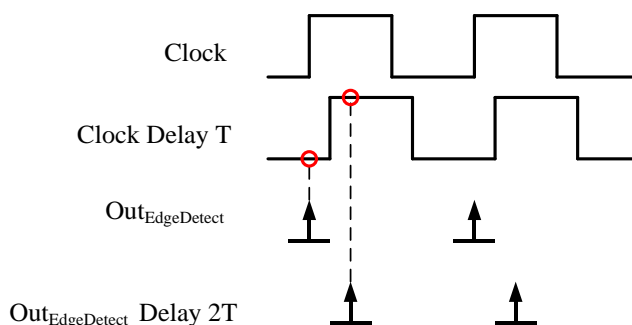
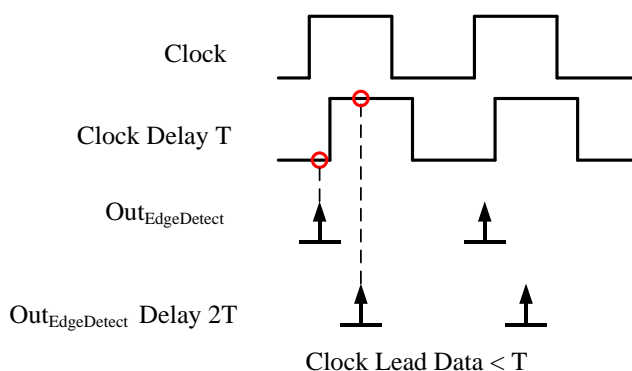


圖 3.19 時脈與資料轉態點對齊時之波形圖

圖中箭頭代表資料轉態處，因此在時脈與資料完全鎖定時，資料轉態點會對齊時脈，所以電路中兩個 D 型正反器在沒有延遲與延遲 $2T$ 時間後會取樣到不同時脈值，經由後方 AND 邏輯閘產生鎖定訊號。而當時脈與資料差在時間 T 內時，兩個 D 型正反器仍可以取樣到不同時脈值，因此還是會判定為鎖定，如圖 3.20 所示。



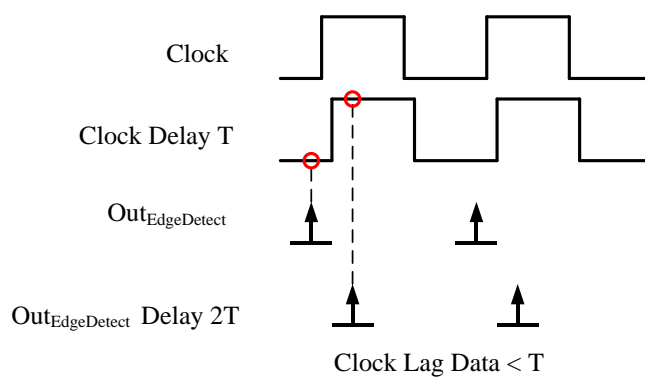


圖 3.20 時脈與資料時間差在 T 以內時之波形圖

而當時脈與資料還未鎖定，即時間差大於 T 時，則時脈經兩個正反器取樣會取到相同時脈值，因此鎖定偵測器輸出會在低位準表示還未鎖定，其波形如圖 3.21 所示。

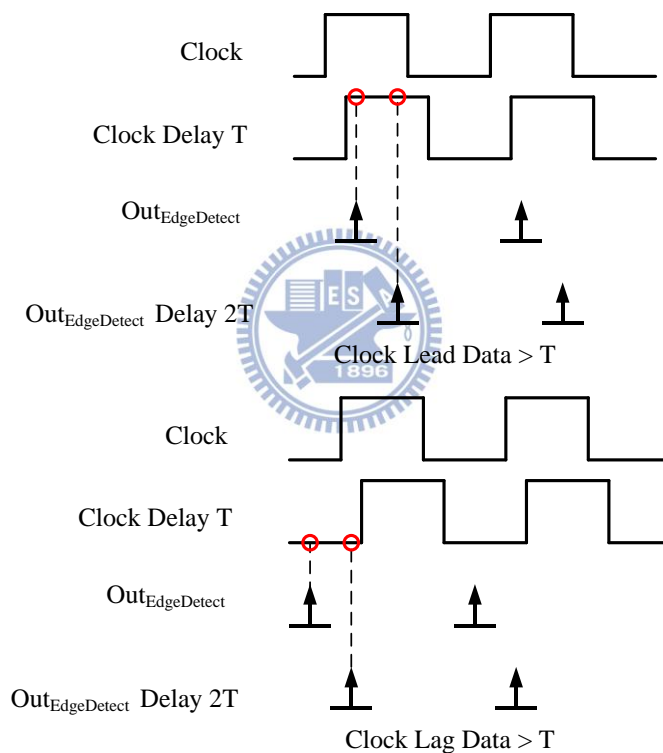


圖 3.21 當時脈與資料時間差大於 T 時之波形圖

第四章

單線傳輸介面設計



4.1 前言

隨 IC 設計技術進步單一晶片功能越來越強，在不同晶片間溝通的訊號線也隨之增加，使得整體系統在拉線會相當複雜，因此在本論文設計了一個傳輸介面，使用單一傳輸線來完成資料的傳輸，在本章節主要為介紹整個單線傳輸設計，一開始會先解說電路操作設計與狀態變化，再來為說明整個單線傳輸介面內的電路

4.2 單線傳輸電路動作

4.2.1 單線傳輸操作設計

在本論文中主要為設計一個單一傳輸線介面能讓一個主系統(Master)電路在與不同的子系統(Slaver)電路做資料傳輸時只需經由單一傳輸線就能達到溝通的功能，同時各子系統電路

在運作時所需要的能量也是主系統經由此傳輸線傳至各個子系統。因此在這研究中，電路設計的部分可分為幾個部分，第一部分為處理內部操作所需之能量的電路，第二部分為將線上傳輸的資料抓取下來的電路，第三部分為最後回傳資料到主系統之電路的部分。其整體傳輸系統電路如圖 4.1 所示。

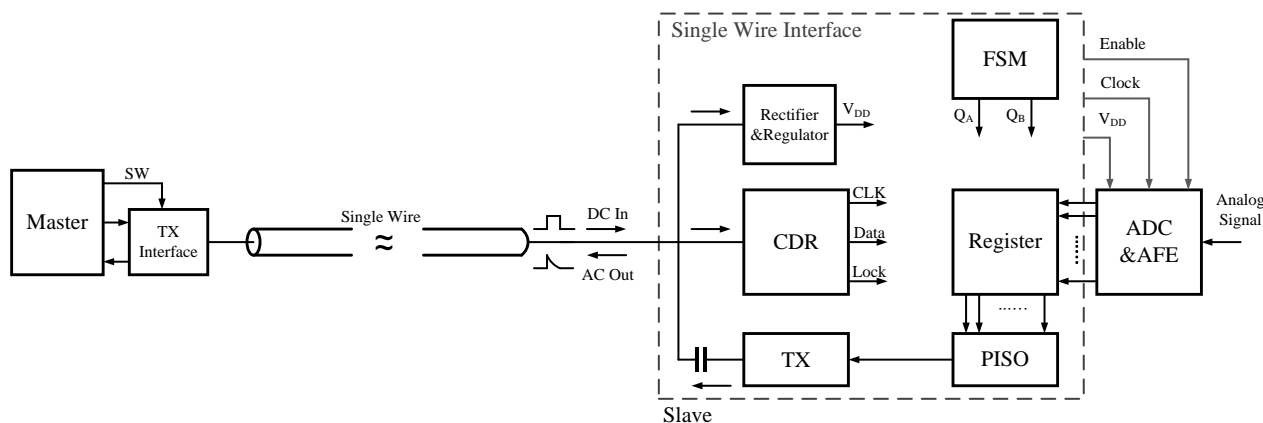


圖 4.1 單一傳輸線系統之方塊圖

整流器(Rectifier)與穩壓器(Regulator)為將傳輸線上之電壓做整流與穩壓後提供給單一傳輸線系統使用。時脈資料回復電路之功能為提供子電路端電路操作時之工作時脈，使整個單一傳輸線系統電路與主系統電路在運作時能達到同步的功能，同時將主系統傳出的資料抓取下來。而整個系統在運作時把它定義出幾個不同的狀態，因此使用有限狀態機(Finite-State-Machine, FSM)來控制整個電路運作時之狀態變化。暫存器(Register)為用來將最後要回傳的資料先做儲存，在最後將資料經平行轉序列(Parallel in Serial out, PISO)電路傳至傳輸電路(TX)做回傳動作。

在此將整個單一傳輸系統在運作時，分成了四個狀態，利用有限狀態機儲存與判斷每次變化。其單一傳輸線之線上波形與狀態變化如圖 4.2 與圖 4.3 所示。

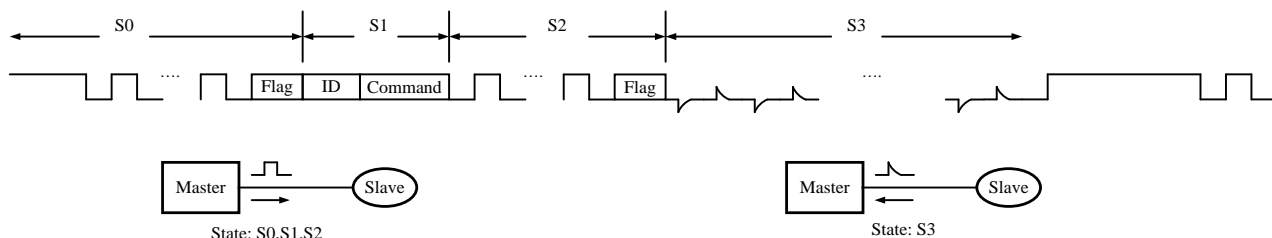
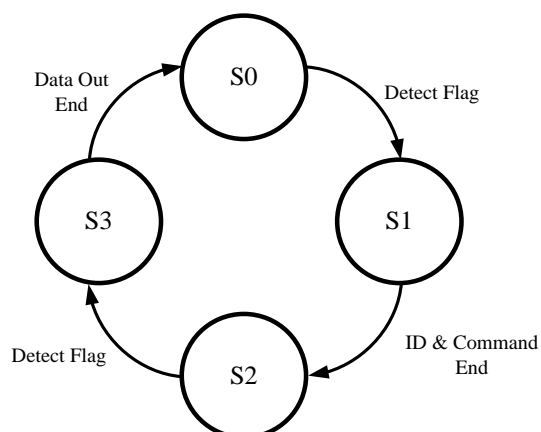


圖 4.2 單一傳輸線之線上波形圖



S0: Charge & Synchronous
 S1: Receive ID & Command
 S2: Slaver Work
 S3: Slaver Transfers Data Out

圖 4.3 單一傳輸線電路運作狀態變化圖

第一個狀態 S0 的動作為對單一傳輸線子系統充電，此時子電路內部時脈資料回復電路會開始鎖定主系統之操作頻率，鎖定後會等待主系統傳出旗標做狀態變換。當主系統傳完旗標後會接著傳出所要控制之子系統的 ID 與希望子系統執行的 Command，而將此時電路動作定義為 S1。當傳完 ID 與 Command 後會進入下一個狀態 S2。在將 ID 與 Command 接收下來後，被選擇到之子電路會開始執行此 Command，直到主系統傳出下一個旗標才停止並進入 S3 狀態。在 S3 動作為子電路將上一個狀態執行的結果在此時以交流耦合的方式利用單一傳輸線將資料回傳主系統。

4.2.2 整流器(Rectifier)與穩壓器(Regulator)介紹

在此介紹子系統如何從線上獲取工作時所需的能量，圖 4.4 為單一傳輸線獲取能量之電路圖[28-32]。

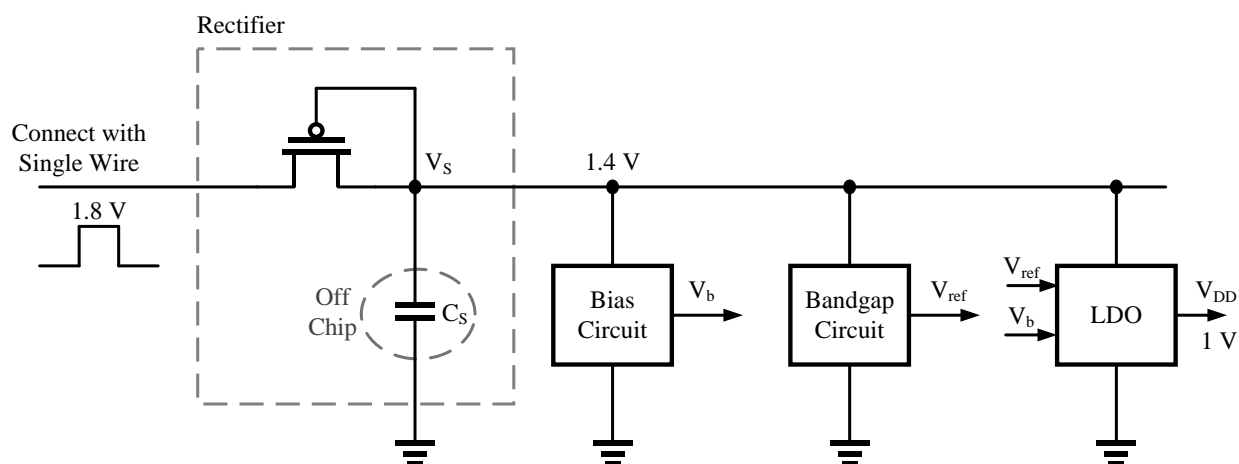


圖 4.4 單線傳輸整流與穩壓電路方塊圖

單一傳輸線電路在一開始是沒有能量的，因此需要由主系統經傳輸線對子系統充電，但主系統又需傳送資料至單線傳輸系統，所以單線系統本身必須使用整流器將線上傳輸的電壓整流成可使用的直流電壓，並且將能量儲存到一個外掛電容 C_S 中，在整流電路使用的選擇並無使用如同 RFID 內所使用的整流器，而是使用最基本的單顆電晶體接成二級體的形式來做整流，此接法的好處為電路簡單，且不需使用到額外的電容，同時在電路剛開始動作時，方便傳送端對 C_S 電容做快速充電，使整個單線傳輸介面能較早充電到電路能正常運作的電壓值。依照先前提到電路在運作時所定義的幾個狀態中，在 S0、S1 與 S2 狀態中，主要都是由主系統對單線傳輸系統做傳輸，因此在這些狀態中，對單線系統而言都屬於在對電容 C_S 做充電。而在 S3 狀態中，單線傳輸系統之電路動做為將資料回傳主系統，此時主系統無法對單線系統充電，所以必須利用先前儲存在 C_S 內的能量來提供電路操作。在整個系統運作過程中， V_S 電壓會因電容 C_S 被充放電而有所變動，因此為了能提供一個穩定電壓給後端電路使用，必須讓 V_S 電壓經穩壓器後再送至後端電路，而在這邊為利用 Bandgap 電路[33-38]先產生一個穩定電壓給 LDO 電路[33-38]做為參考電壓，再利用 LDO 本身電路特性來提供所有電路一個不隨 V_S 充放電而飄動的穩定工作電壓。在 S3 狀態中， C_S 電容是做為提供能量的來源，因此內部所儲存的電荷必須足夠提供給整個單線傳輸介面，因此在實現方面， C_S 電容為一顆外掛電容，而電容大小值的估算為利用各電路在不同 Corner 操作時所會消耗之電流的最大值來預估，經計算後，外掛電容只要大於 0.8 μF 電路即可正常操作。

4.2.4 Bandgap、LDO 電路

由於儲能電容 C_S 上電壓 V_S 隨著電容充放電而有所飄動，因此在這利用 LDO 電路來產生一個穩定電壓源供整體電路使用，其本身電路架構如圖 4.5 所示。

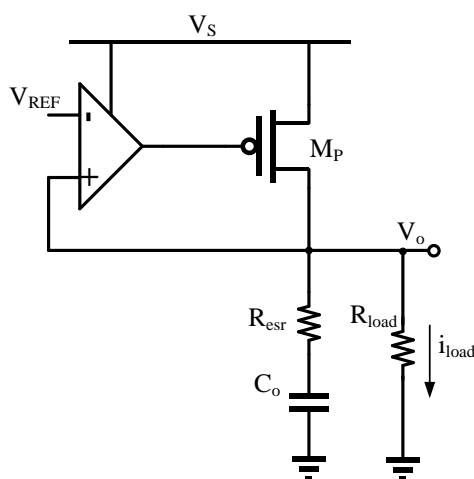


圖 4.5 LDO 電路圖

在 LDO 電路的迴路中，本身為一個負回授路徑，當 V_O 偏離所預設的 V_{REF} 電壓時，電路會利用放大器將鎖偏離的值放大然後來調整功率電晶體 M_P 的閘級 G 端電壓，使 V_O 輸出在所設計的 V_{REF} 電壓值。因此在整個 LDO 電路中， V_{REF} 電壓為一個重要的參考電壓，此參考電壓不能隨著 V_S 有所飄動，在此利用 Bandgap 電路來產生此 V_{REF} 電壓，其電路架構如圖 4.6 所示。

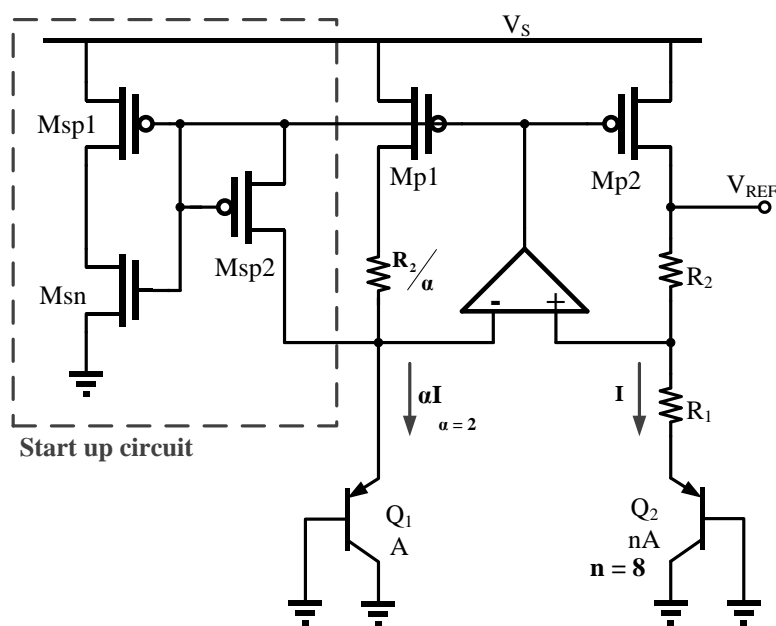


圖 4.6 Bandgap 電路圖

在 Bandgap 電路中，其輸出電壓 $V_{REF} = V_{BE1} + (1 + \frac{R_2}{R_1})V_T \ln(\alpha n)$ 為一個不隨 V_S 電壓飄動電壓，其電壓主要與 V_{BE1} 和 R_1 、 R_2 比值有關，因此能產生一個固定 V_{REF} 電壓，在 Q_1 與 Q_2 選擇為 1:8，主要為之後在 Layout 時，整體 BJT 劃出為一個正方形，能有較好的 Match。圖 4.7 為當 LDO 與 Bandgap 電路所使用的電源 V_S 有所飄動時，其輸出電壓飄移的模擬結果。

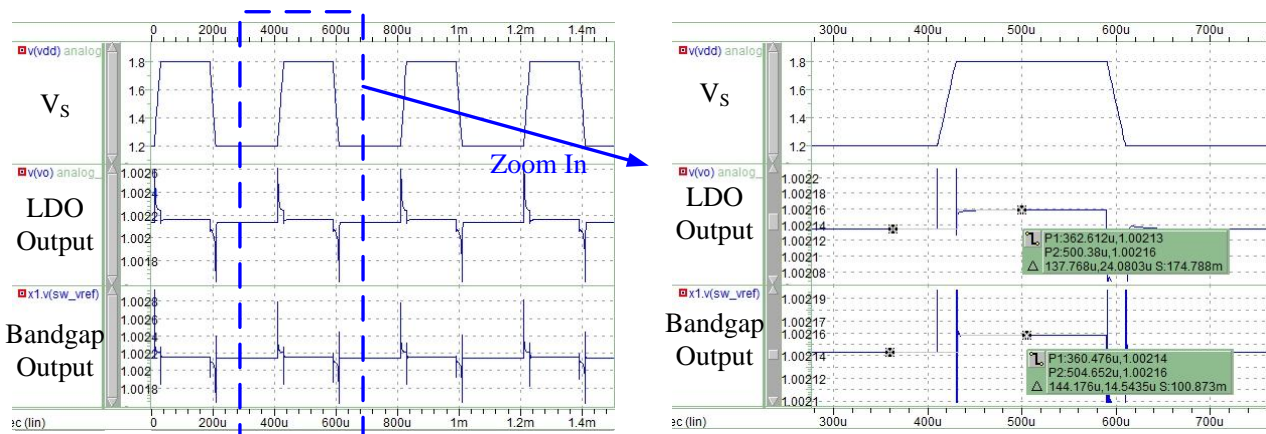


圖 4.7 LDO、Bandgap 之 Line Regulation 模擬結果圖

其各個 Corner 下之 Line Regulation 模擬結果如表 4.1 所示

表 4.1 各種 Corner 下 LDO 與 Bandgap 之 Line Regulation 模擬結果

| Corner | SS | TT | FF | SF | FS |
|---------------|-------|-------|-------|-------|-------|
| LDO(uV/V) | 24.03 | 40.13 | 77.2 | 50.28 | 54.03 |
| Bandgap(uV/V) | 6.55 | 24.23 | 57.82 | 36.37 | 16.88 |

當 V_S 電壓在 1.2V 時，LDO 電路抽載由 10uA 至 150uA 模擬結果如圖 4.8 所示。

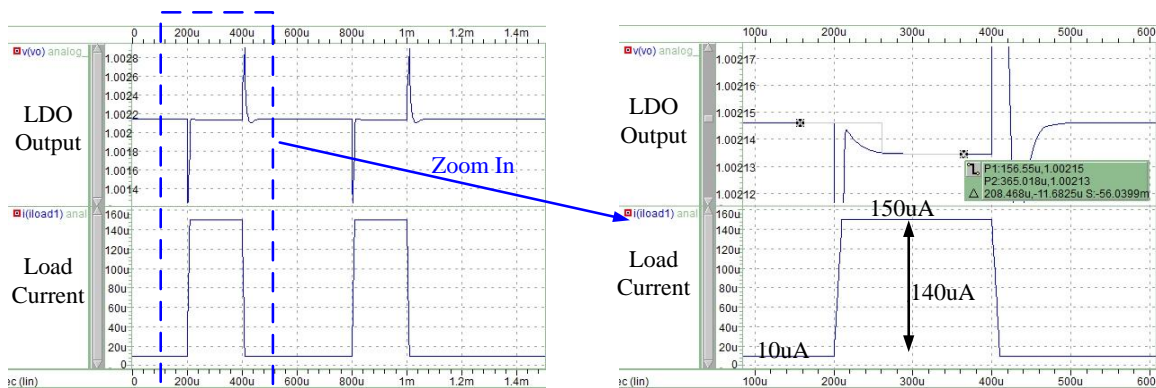


圖 4.8 LDO 之 Load Regulation 模擬結果圖

在各個 Corner 下之 Load Regulation 結果如表 所示。

表 4.2 各種 Corner 下 LDO 之 Load Regulation 模擬結果

| Corner | SS | TT | FF | SF | FS |
|-----------|------|-------|------|----|-------|
| LDO(mV/A) | 97.6 | 77.87 | 92.2 | 62 | 237.6 |

4.2.3 旗標偵測電路

由於整體傳輸只靠單一傳輸線做傳輸，因此主電路所要控制的子電路之 ID 與希望它執行的 Command 都只能利用此傳輸線做傳輸，而為了能讓子電路在一長串資料中區別出 ID 與 Command，因此主電路會在傳輸的資料串中，使用旗標來做區隔，使子電路能正確的將 ID 與 Command 資訊抓取下來，而旗標偵測電路狀態變化如圖 4.5 所示。在此將旗標設計成 1011，而偵測電路內設計了一個狀態機，用來記錄每次抓取到的資料，而此狀態機共定義了 S0 ~ S3 四種狀態，S0 代表初始狀態、S1 代表接收到 1、S2 代表接收到 10 而 S3 代表接收到 101，當時脈資料回復電路每次接收到一筆資料時，偵測電路內的狀態就會改變，當在狀態 S3 時，而時脈資料回復電路又接收到 1，即代表主電路傳出旗標 1011，因此旗標偵測電路會輸出偵測到旗標，而通知所有電路做狀態變化。

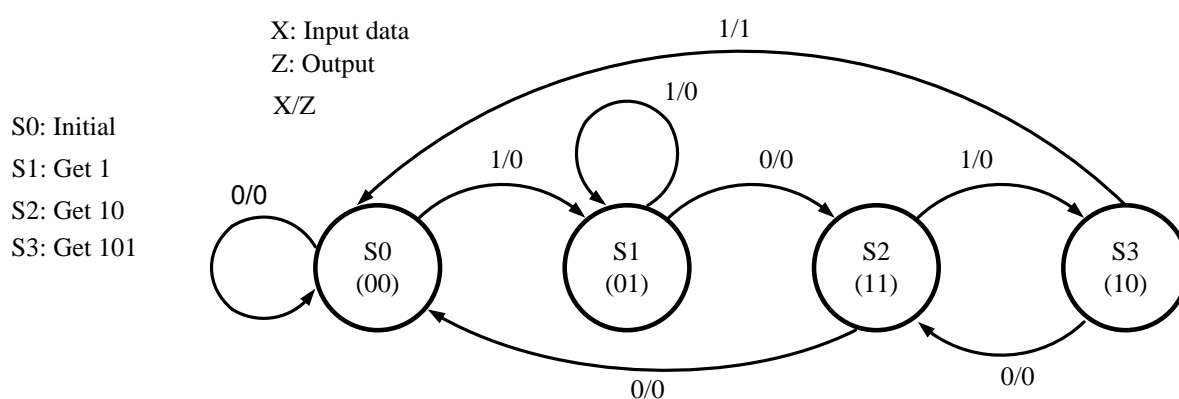


圖 4.5 旗標偵測電路狀態變化

4.3 傳輸介面(TX Interface)設計

本研究中另外多設計了一個傳輸端介面，主要是介於主系統電路與單線傳輸之間，在此稱主系統為 TX 電路。圖 4.6 為單線傳輸系統與 TX 電路彼此接線方塊圖。

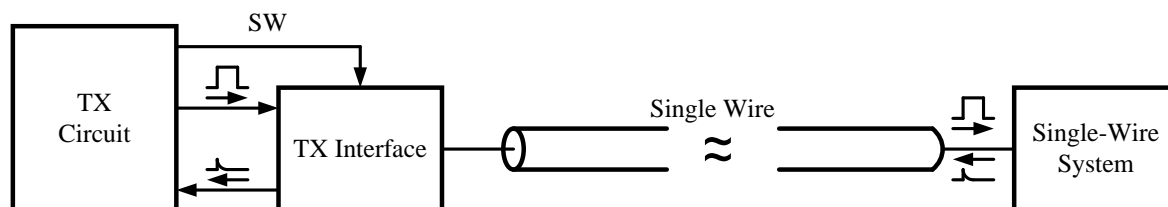


圖 4.6 TX Interface 與單線系統之接線圖

之所以多設計了此傳輸介面主要是用來與單線傳輸系統做配合，使只要能單純做傳輸與接收之電路都能用來控制單線傳輸系統，做為單線傳輸之 TX 電路。如同在整體電路運作介紹所提，在 S0 至 S2 狀態，主要是希望 TX 電路能在傳資料時能同時對單一傳輸介面做充電，因此單一傳輸介面對 TX 電路來說會是一個大負載，而並不是每一個電路的輸出腳位都能推動大負載，所以就在傳輸介面電路中設計了一個三態緩衝器(Tri State Buffer)讓 TX 電路在 S0 至 S2 狀態中，能經由此緩衝器推動單線傳輸系統，而在 S3 狀態時，此三態緩衝器會被關閉，因此輸出呈現高輸出阻抗讓單一傳輸系統能將交流耦合訊號傳至導線上。由於在 S3 狀態中，單一傳輸線系統是使用交流耦合方式做傳輸，因此可能會面臨 TX 電路本身無法辨識此耦合訊號，所以在傳輸介面中也多設計了能將耦合訊號回復成數位訊號之電路的部分，在整個回傳狀態 S3 中，TX 電路能利用此傳輸介面接收單線系統回傳之原始數位訊號。

4.3.1 傳輸介面電路介紹

傳輸介面電路的內部架構如圖 4.7 所示。

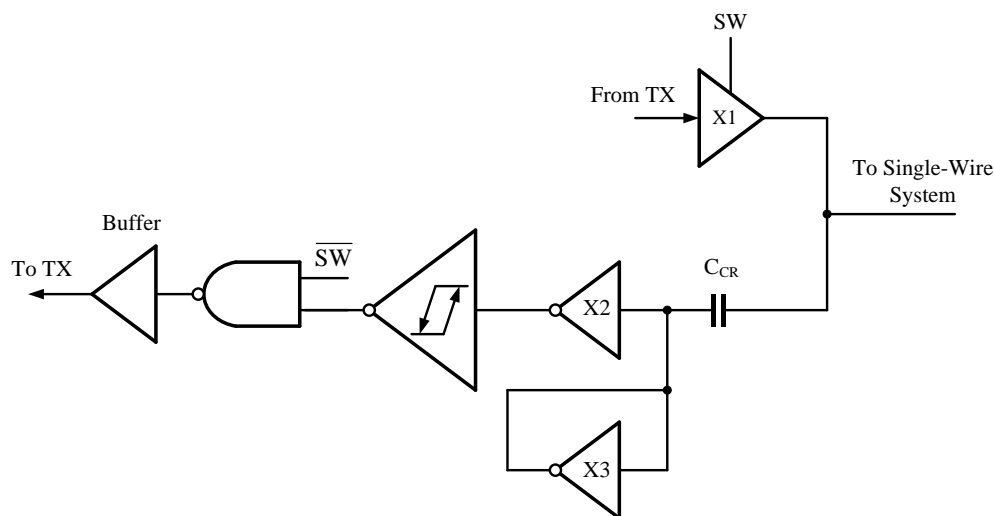


圖 4.7 傳輸介面電路圖

在傳輸介面中，X1 為一個三態緩衝器(Tri-State Buffer)，X2 為一個簡單的 Inverter Based 放大器，X3 為一個提供 X2 偏壓之偏壓電路。SW 為控制傳輸介面電路動作的訊號。當 SW 為 High 時(狀態 S0、S1 與 S2)，會將從 TX 傳出的資料送至單線系統，同時利用 X1 對單線系統充電，而當 SW 為 Low 時(狀態 S3)，X1 電路成為高輸出阻抗，即此時單一傳輸線呈現高阻抗，因此子系統會將訊號耦合至導線，經 X2 將訊號放大，再利用史密特(Schmitt)觸發器[39]將訊號回復成數位訊號。而圖中 X1 所使用的三態緩衝器如圖 4.8 所示。

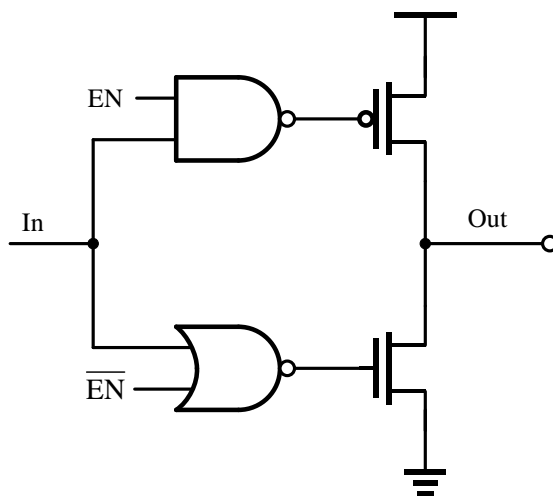


圖 4.8 三態緩衝器電路

EN 為三態緩衝器控制訊號，當 EN 為 High 時，電路為緩衝器，當 EN 為 Low 時，Out

端呈現高阻抗。

為了避免在 S3 回傳時，線上雜訊影響最後回復之數位訊號，因此在交流耦合的後端加上一個史密特觸發器，使輸入訊號必須大於或小於所設計的轉態值時，才能做回復的動作，則電路如圖 4.9 所示。

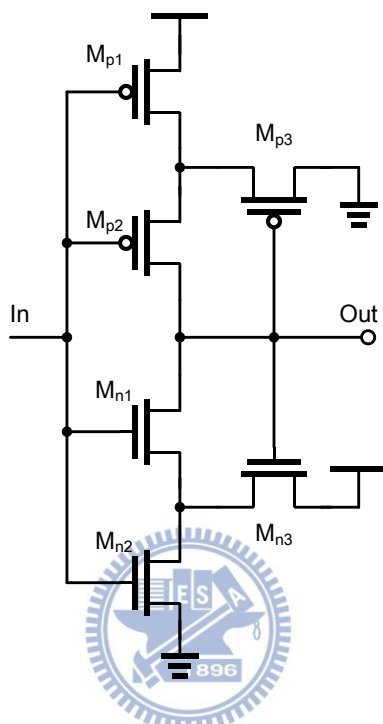


圖 4.9 史密特觸發器

電路之轉態點分別設計在 1.4 V 與 0.4 V，其輸入與輸出對應波形圖如圖 4.10 所示。

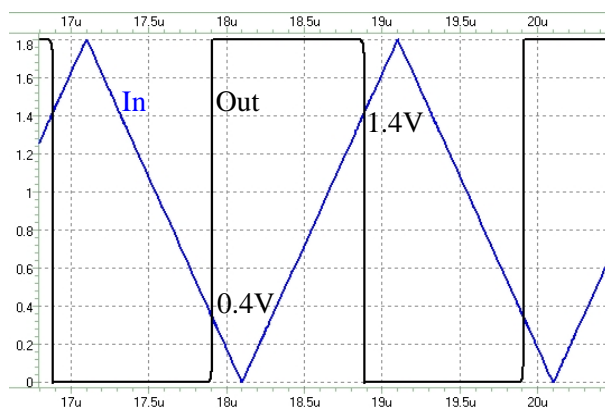


圖 4.10 史密特觸發器輸入與輸出對應圖

4.4 傳輸介面頻率響應設計

而單線傳輸在回傳資料時是使用交流耦合的方式做回傳，因此在這考慮回傳路徑上之寄生效應，並分析其特性。一開始先考量傳輸線內的寄生效應，其等效圖如圖 4.11 所示，

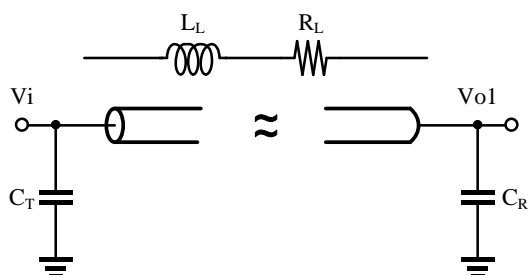


圖 4.11 傳輸線考慮電感與電阻寄生效應分析

L_L 與 R_L 為傳輸線內的寄生電感與電阻， C_T 與 C_R 為傳送端與接收端之 PAD 寄生電容，而一般線上寄生電感大約在 10nH 的等級，在本論文設計的 1Mbps 的速度下其對傳輸信號影響很小，因此將電感寄生效應忽略，最後線上等效如圖 4.12 所示。

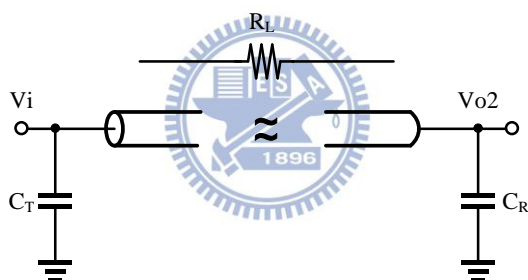


圖 4.12 傳輸線考慮電阻寄生效應分析

而在此將 PAD 寄生電容 C_T 與 C_R 估在 10pF，寄生電阻估在 100 歐姆，寄生電感估在 10nH 觀察傳輸線在有無考慮電感時的頻率響應結果，如圖 4.13 所示。

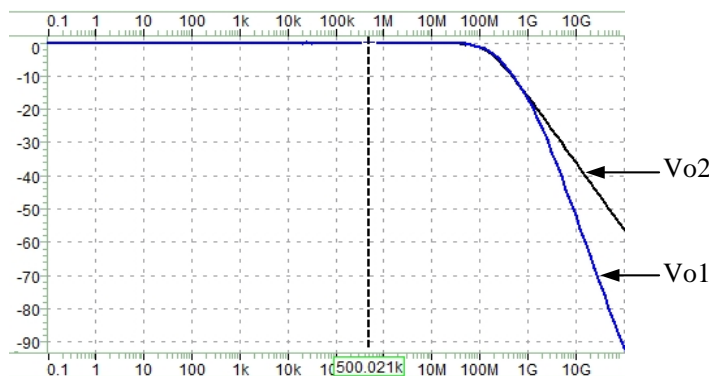


圖 4.13 傳輸線寄生效應頻率響應結果圖

如圖 4.13 所示，在所操作的 1Mbps 的頻率下，有無考慮電感之傳輸線特性幾乎相同，因此

在之後的分析中，傳輸線的寄生效應為利用一個電阻來代替。整體傳輸分析如圖 4.14 所示。

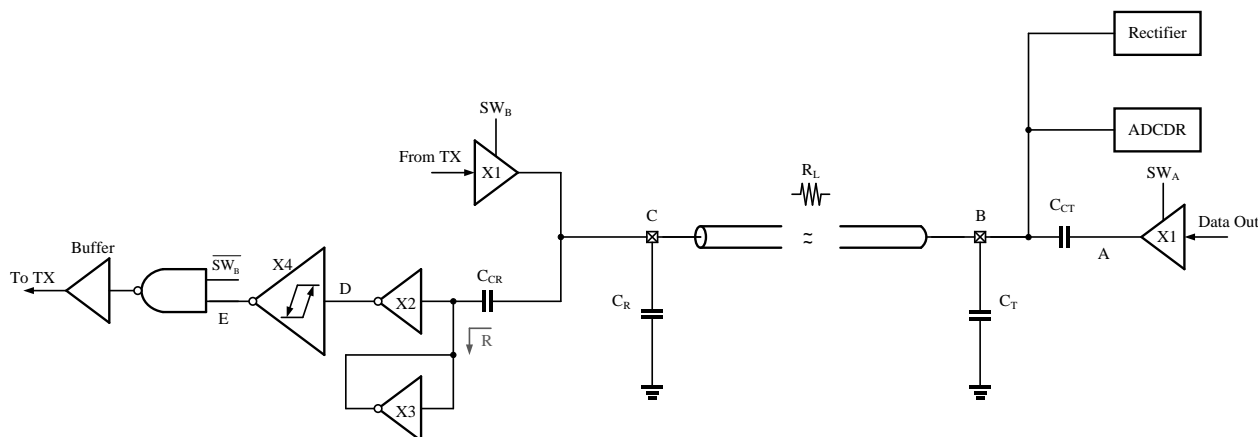


圖 4.14 考慮回傳路徑寄生效應之電路圖

在回傳路徑分析電路中 C_R 與 C_T 分別代表傳輸介面和單線系統傳出時所看到 PAD 之負載，在此以 10pF 當作 PAD 負載。 R_L 模擬傳輸線上的等效電阻，在此把它設定在 100 歐姆。 C_{CT} 與 C_{CR} 分別為交流耦合時用來傳輸耦合訊號之電容，其容值會在之後推導得知所需的最小值。同時一般量測時，線上雜訊通常在幾 mV 的等級，所以在此預估當資料在傳輸時線上的雜訊為 10 mV。

一開始會先推導由 A 至 C 與由 A 至 D 之轉移函式，並觀察其特性，最後後利用推導來設計內部參數。從節點 A 至節點 C 的轉移函式如下所示，

$$\frac{v_C}{v_A} = \frac{C_{CT}}{(C_{CT} + C_R + C_T)} * \frac{1}{\left[\frac{sC_R R_L (C_{CT} + C_T)}{(C_{CT} + C_R + C_T)} + 1 \right]} \quad (4.1)$$

因此可知，由 A 至 C 之特性為一個低通濾波器特性，且訊號會被縮小 $\frac{C_{CT}}{(C_{CT} + C_R + C_T)}$ 倍，而

在假定的線上雜訊 10mV 下，交流耦合至線上訊號至少大於 10 倍，即 100mV，所以可得知 C_{CT} 所需設計的電容值約為 2.4pF，而為了確保之後傳輸信號的正確性，因此將所得的電容值增加一倍，即可多的 6dB 的訊號放大值以確保在 C 點有足夠的放大量，而 C_{CT} 與 C_{CR} 在傳與收時為對稱特性，因此 C_{CR} 的容值也將它設計在 4.8 pF。

再來為分析放大器部分，承接先前設計，當訊號被交流耦合到傳輸線時，會有 100 mV，而史密特觸發器能解析的輸入範圍為 1.4 ~ 0.4 V，因此可先計算放大器所需的增益值為

$$\frac{v_D}{v_C} = 20 \log \frac{(1.4 - 0.4)}{0.1} = 20 \text{ dB} \quad (4.2)$$

整個在回傳資料時所需的放大倍數得知後，開始分析由 C 至 D 點之電路特性。其轉移函式由 C 至 D 為

$$\frac{v_D}{v_C} = \frac{\frac{C_{CR}}{C_1 + C_{CR}}}{\frac{1}{R(C_1 + C_{CR})} + 1} \cdot \frac{-G_m R_{out}}{1 + \frac{s}{C_L R_{out}}} \quad (4.3)$$

其中

$$G_m = gm_{p1} + gm_{n1} \quad (4.4)$$

$$R_{out} = ro_{p1} // ro_{n1} \quad (4.5)$$

$$R = \left(\frac{1}{gm_{p2} + gm_{n2}} \right) // (r_{on2} // r_{op2}) \quad (4.6)$$

$$\cong \frac{1}{gm_{p2} + gm_{n2}} \quad (4.7)$$

$$C_1 = C_{gp1} + C_{gn1} + C_{gp2} + C_{gn2} + C_{dp1} + C_{dn1} \quad (4.7)$$

$$C_L = C_{gp.Schmitt} + C_{gn.Schmitt} \quad (4.8)$$

由上式所推得之轉移函式可以發現由 C 至 D 特性為一個帶通形式，其中高通極點位於

$$\frac{1}{R(C_1 + C_{CR})} \cong \frac{1}{RC_{CR}} \quad (4.9)$$

即由 X2 與 C_{CR} 決定，而低通極點位於

$$\frac{1}{C_L R_{out}} \quad (4.10)$$

由 X1 與負載決定。因此整體由 A 至 D 之電路特性為一個帶通形式，主要由 X1、X2、 C_{CR} 與史密特觸發器輸入負載決定，而其極點設計考量如下。

在 S3 狀態時，單線傳輸系統是以 1 Mbps(500 kHz) 的速率回傳資料，因此可知由 C 至 D 之放大倍數至少大於 20 dB，而帶通特性之中心點必須位於 500 kHz，高通極點應設計在 50 kHz，低通極點應設計在 5 MHz，其頻率響應之理想情況如圖 4.15 所示。

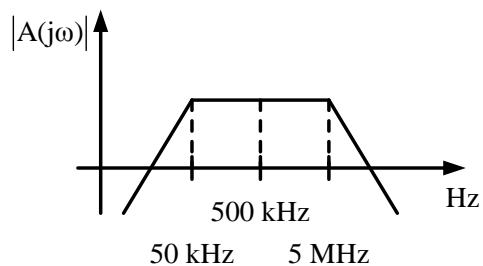


圖 4.15 資料回傳路徑頻率響應之預計規格圖

C 至 D 點頻率響應設計結果如圖 4.16。

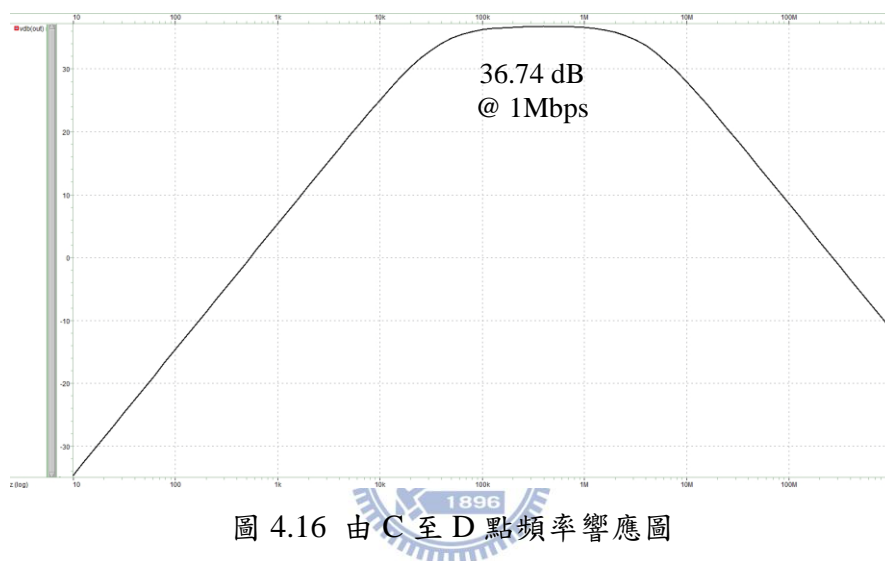


圖 4.16 由 C 至 D 點頻率響應圖

而整體由 A 至 C 與 A 至 D 之頻率響應如圖 4.17 所示。

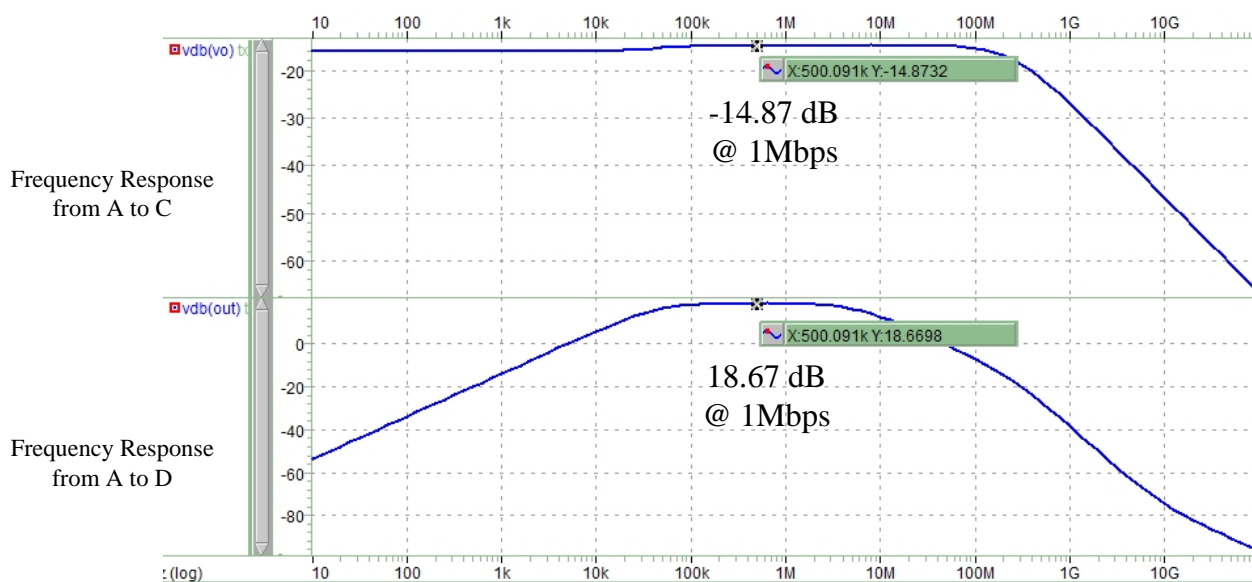


圖 4.17 傳輸線頻率響應

第五章

模擬結果



5.1 單線傳輸佈局圖

本論文提出的單線傳輸介面設計為使用 TSMC018 1P6M 標準 CMOS 製成來實現，圖 5.1 為整體電路佈局圖，整體面積為 $0.86 \times 1.12 \text{mm}^2$ ，表 5.1 為單線傳輸介面設計各單元面積大小，圖 5.2 為電路佈局各單元的擺置圖。

表 5.1 單線傳輸介面各部份之佈局面積

| | Area($\mu\text{m} \times \mu\text{m}$) |
|--------------------------|--|
| ADCDR | 445x360 |
| DCO | 247x194 |
| Digital Control Circuits | 491x201 |
| Analog Circuits | 115x149 |
| TX Interface | 120x116 |

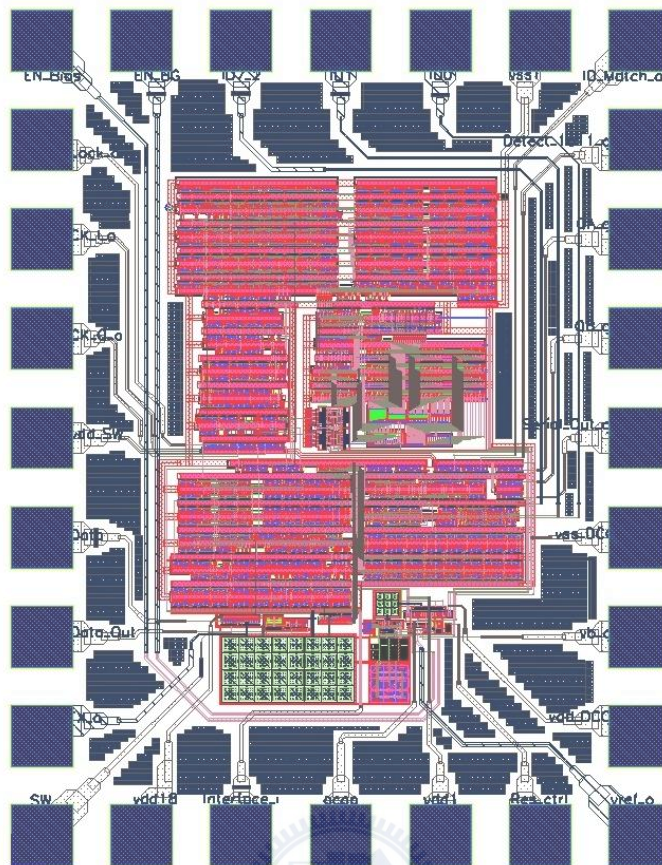


圖 5.1 單線傳輸介面設計佈局圖

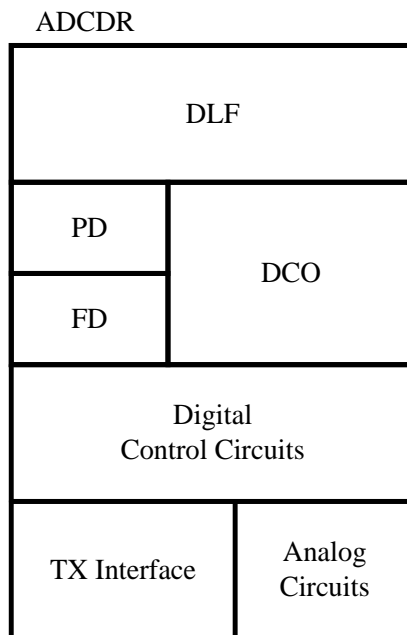


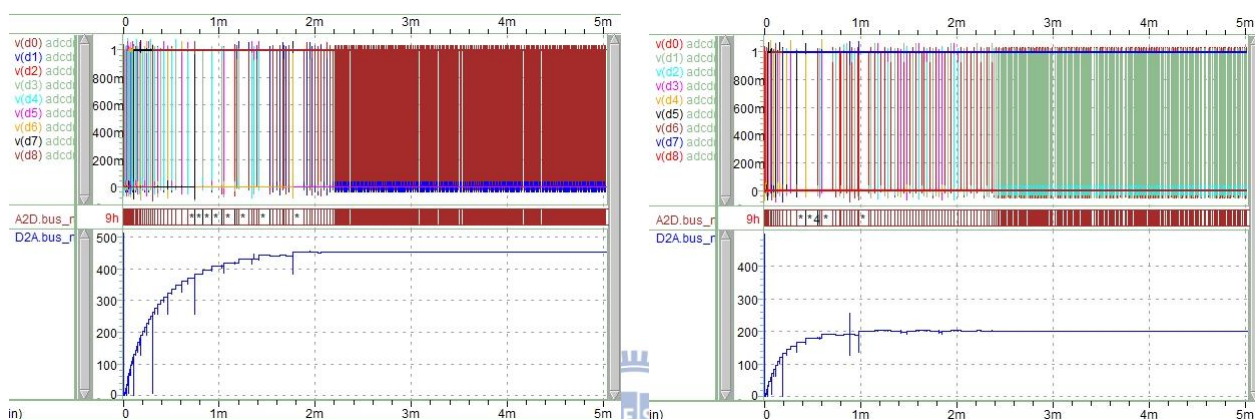
圖 5.2 單線傳輸介面設計各元件擺置圖

5.2 各電路模擬結果

本章節為單線傳輸內部各個電路之佈局模擬結果圖，

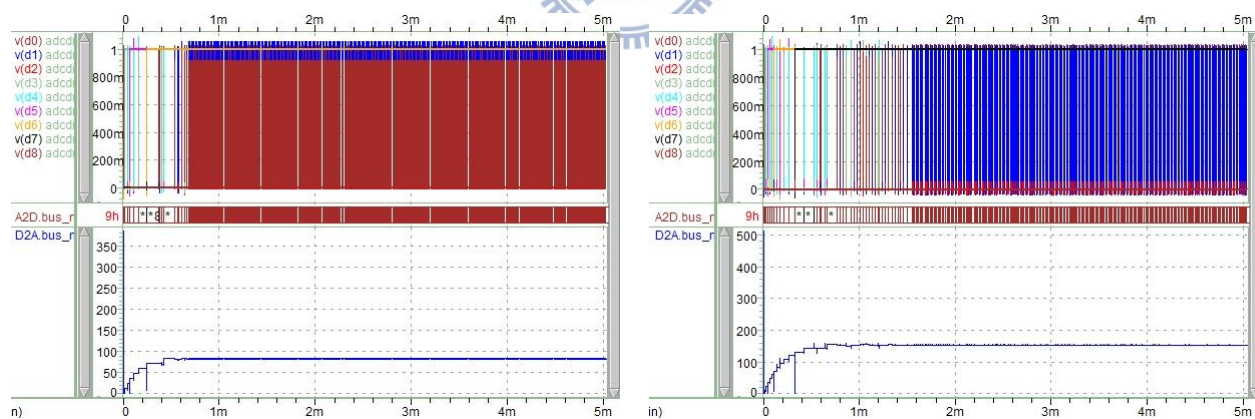
5.2.1 全數位時脈資料回復電路模擬結果

在此應用中全數位時脈資料回復電路工作電壓設計在 1V，而為了之後能與生醫系統做整合，因此輸入為 1Mbps 的參考資料，而輸出時脈速度設計為 1MHz。圖 5.3 為各種 Corner 下全數位時脈資料回復電路鎖定過程結果圖。



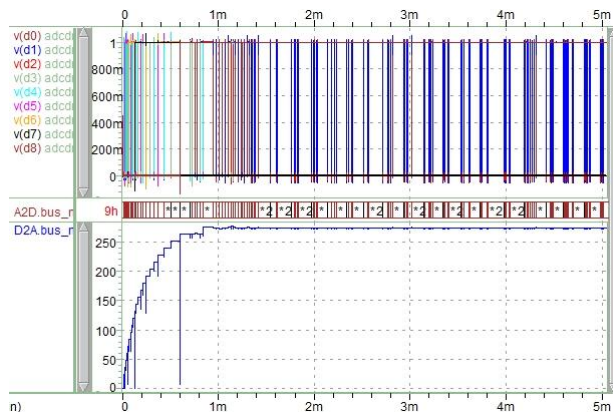
(a) SS Corner

(b) TT Corner



(c) FF Corner

(d) SF Corner



(e) FS Corner

圖 5.3 各種 Corner 下全數位時脈資料回復電路鎖定結果圖

而在各種 Corner 下全數位時脈資料回復電路回復時脈抖動量測結果如圖 5.4 所示

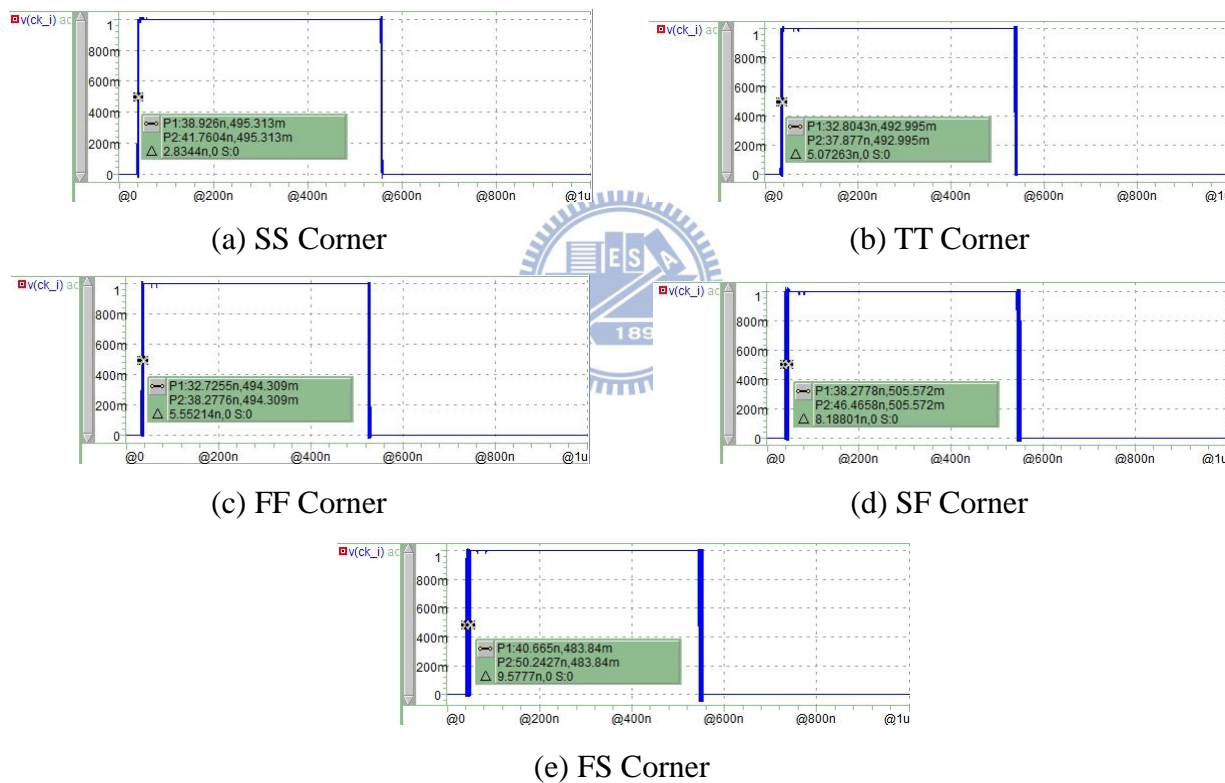


圖 5.4 全數位時脈資料回復電路回復時脈抖動結果圖

在各種 Corner 下抖動整理如表 5.2 所示。

表 5.2 全數位時脈資料回復電路回復時脈抖動量測結果

| Process Corner | Jitter Measurement(ns) |
|----------------|------------------------|
| SS | 2.83 |
| TT | 5.07 |
| FF | 5.55 |
| SF | 8.19 |
| FS | 9.58 |

在各種 Corner 下功率消耗結果整理如表 5.3 所示

表 5.3 功率消耗整理表

| Process Corner | ADCDR(μ W) | DCO(μ W) |
|----------------|-----------------|---------------|
| SS | 5.22 | 1.66 |
| TT | 5.9 | 2.67 |
| FF | 10.2 | 6.9 |
| SF | 5.56 | 2.9 |
| FS | 5.73 | 2.98 |

5.2.2 傳輸電路模擬結果

此部份為傳輸介面傳輸資料與最後回復交流耦合信號模擬結果圖，如圖 5.5 所示。

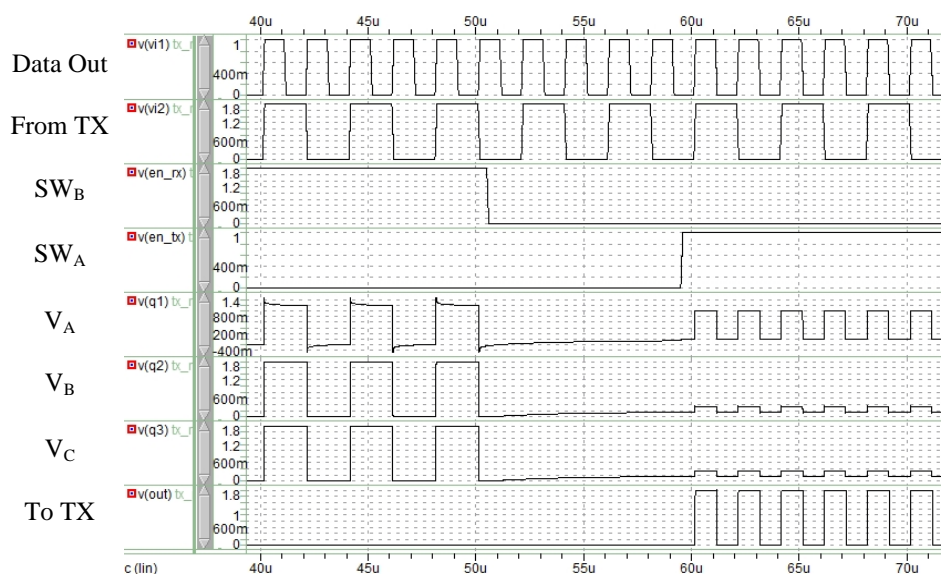


圖 5.5 傳輸介面模擬結果圖

當 SW_B 為 High 時，資料會由 TX 電路經傳輸線至單線傳輸介面，因此線上電壓 V_B 與 V_C 電壓為全擺幅，當 SW_A 為 High 時，為資料要由單線傳輸介面送出，因此線上為小擺幅的電容耦合電壓，而最後利用自我偏壓反向放大器與史密特觸發器回復成完整數位訊號。

5.3 整體電路模擬結果

本章節為利用一組自行設定輸入資料經傳輸介面送出，經單一傳輸至單線傳輸介面，在此假設 PAD 寄生效應為 10pF ，傳輸線寄生電阻為 100Ω ，整體模擬電路如圖 5.6 所示。

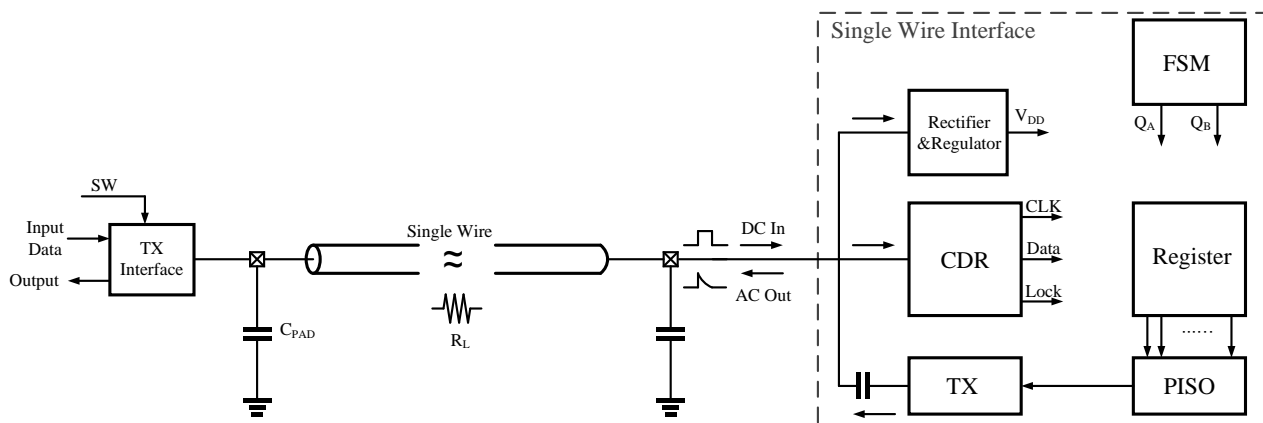
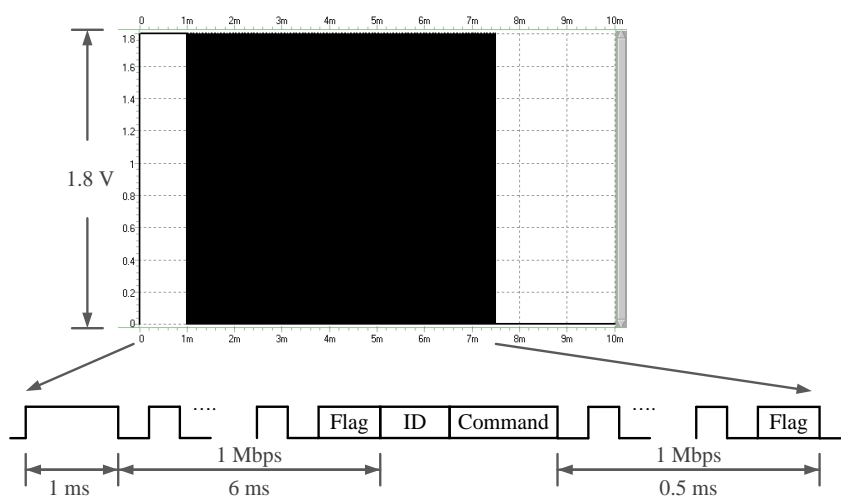


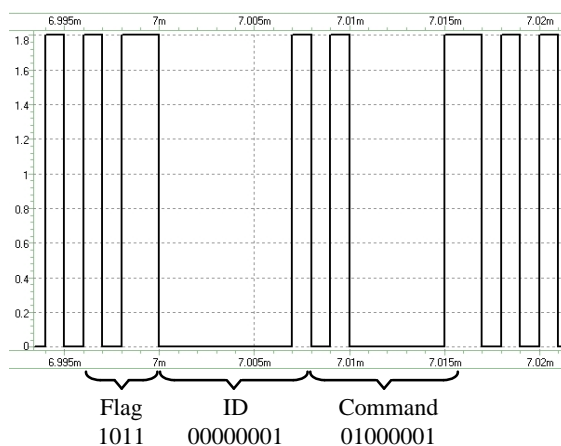
圖 5.6 單線傳輸介面設計模擬電路圖

5.3.1 輸入 Pattern 說明

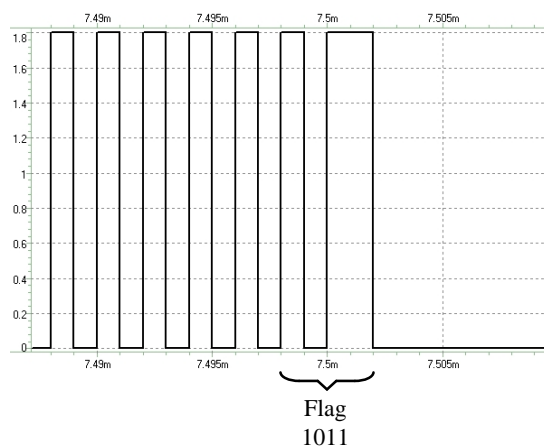
在說明模擬結果前，在本小節先說明輸入 Pattern 的設計，其波形如圖 5.7 所示。



(a) 由 TX 傳至單線系統之全部測試波形



(b) Pattern 內部加入旗標、ID 與 Command 的部分



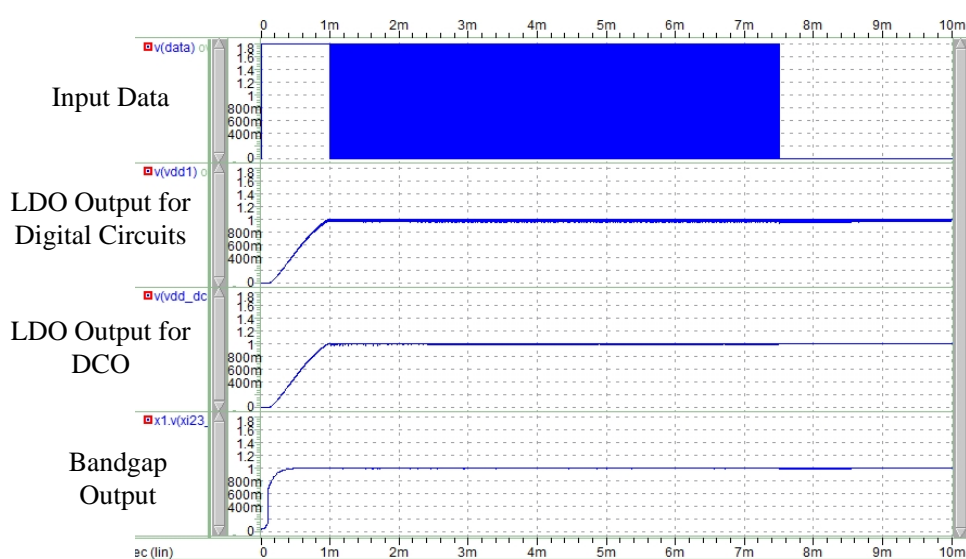
(c) Pattern 內部最後傳輸旗標的部分

圖 5.7 Input Pattern 波形圖

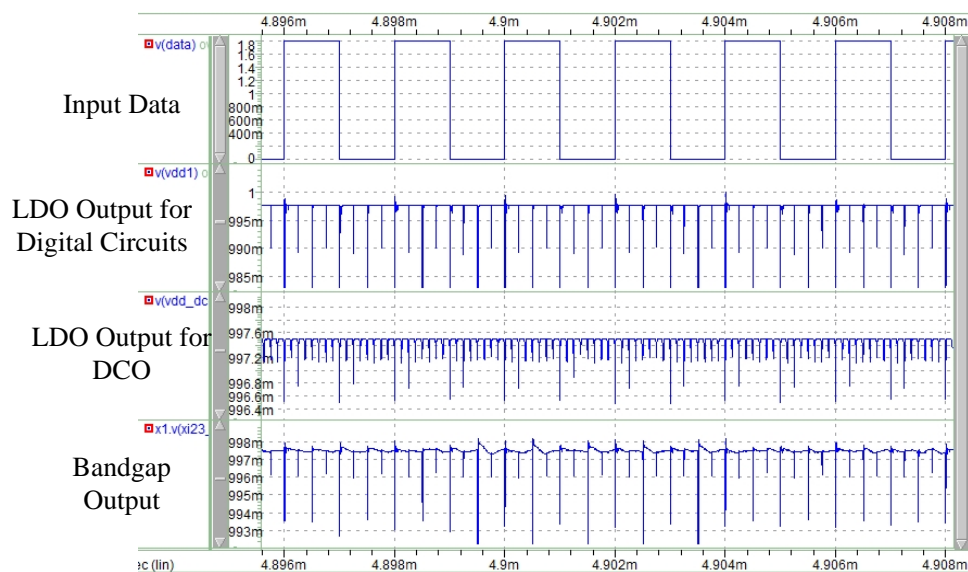
在此測試輸入波形中，一開始會先使傳輸介面輸出 1 ms 之高電壓，主要是希望快速對單線傳輸介面內之外掛電容充電，使整個傳輸介面能及早開始工作，再來傳入資料為 1 Mbps 之方波，總共會傳 6 ms，用來讓內部全數位時脈資料回復電路達到鎖定，再來會傳入旗標通知單線系統將要傳送 ID 與 Command 訊號。當 ID 與 Command 傳完時，傳輸介面會在傳輸 0.5 ms 的 1 Mbps 方波，用來模擬單線系統正在執行 TX 電路所要求的 Command 動作，當 0.5 ms 的 1 Mbps 方波傳完後，會在傳出一個旗標，代表此時 TX 電路要向單線系統抓取資料，因此 TX 電路不會再將訊號傳至導線上。在本模擬中旗標設計為 1011，輸入 ID 設計為 00000001，輸入 Command 設計為 01000001。

5.3.2 整流器與穩壓電路模擬結果

如同先前章節所提，內部使用工作電壓為輸入經整流器和穩壓電路所產生，輸入為 0 至 1.8V 電壓，整流器產生約 1.4V 的直流電壓，但此電壓會隨外掛電容充放電而有所飄動，所以利用 LDO 產生穩定 1V 電壓供整體電路使用。圖 5.8 為整體電路 PostSim 結果，在單線傳輸介面設計內，使用了兩個 LDO 穩壓電路，一個做為提供數位控制振盪器電壓源，另一個為提供給其它電路使用，由於電路操作時，瞬間抽載會在電源產生雜訊，因此使用兩個 LDO 電路來降低數位控制振盪器受到干擾。



(a) 外掛電容、LDO 與 Bandgap 之輸出電壓



(b)圖(a)波形圖之 Zoom In

圖 5.8 外掛電容、LDO 與 Bandgap 輸出電壓之 PostSim 波形圖

5.3.3 全數位時脈資料回復電模擬結果

此部分為單線傳輸介面電路全部接起來後全數位時脈資料回復電路工作時的工作波形圖，此時全數位時脈資料回復電路使用 LDO 所產生的電壓當電源，輸入參考資料時脈為我們所設計的輸入 Pattern，其整體鎖定過程如圖 5.9 所示

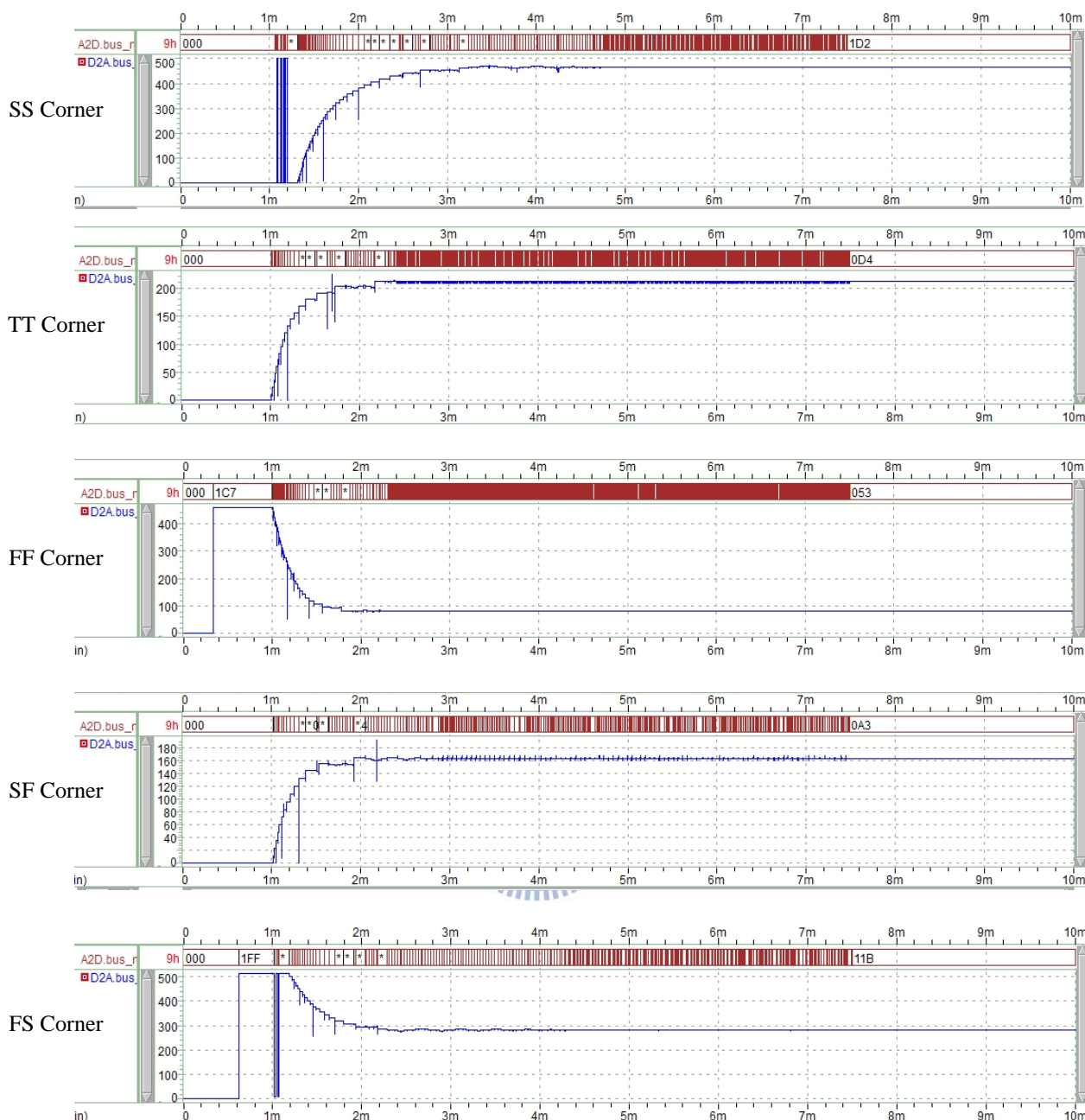


圖 5.9 各種 Corner 下全數位時脈資料回復電路鎖定過程

前 1ms 輸入 Pattern 一直是高準位，為對單線傳輸介面充電，而在 1ms 之後輸入以 1Mbps 做輸入，此時全數位時脈資料回復電路才開始做追鎖，而在 7.5ms 之後為單線傳輸介做回傳資料的動作，而此時數位控制振盪器輸出會固定在最後所追鎖到的頻率，並以此速率做資料回傳。而圖 5.10 與圖 5.11 為全數位時脈資料回復電路在整體電路接起來時，回復的時脈與資料在各種 Corner 下抖動的量測圖。

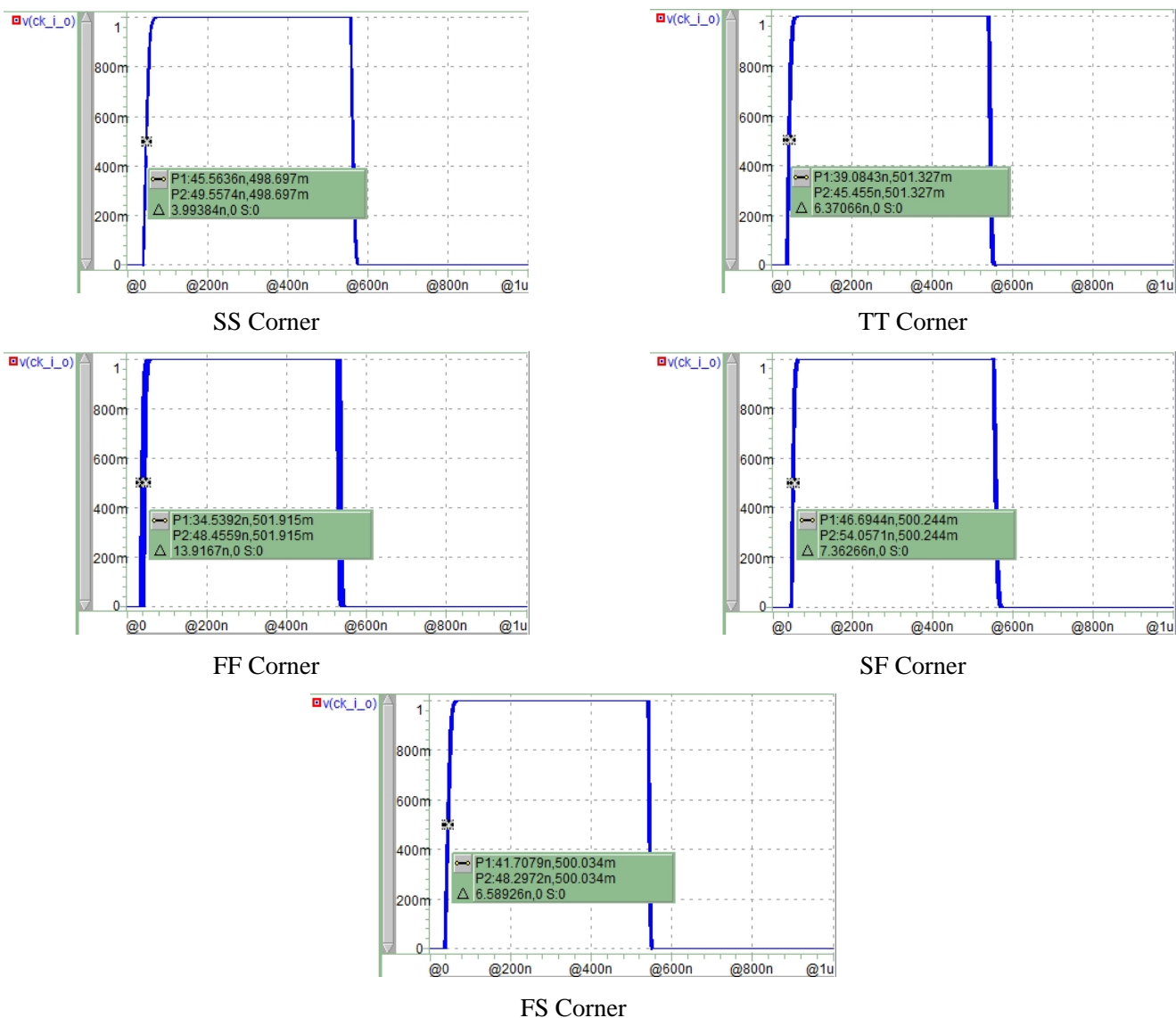
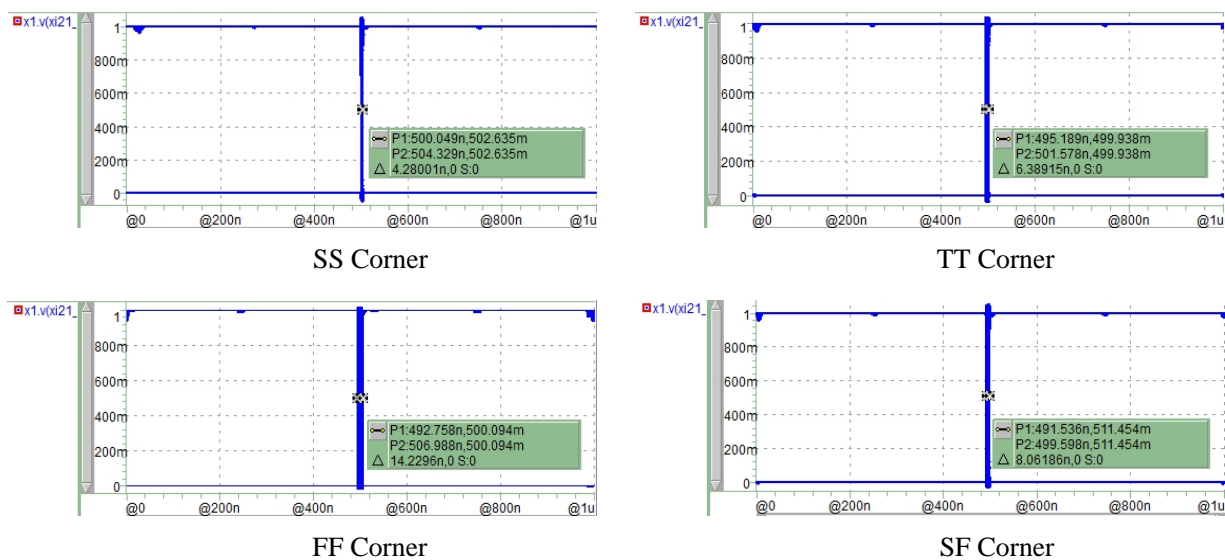
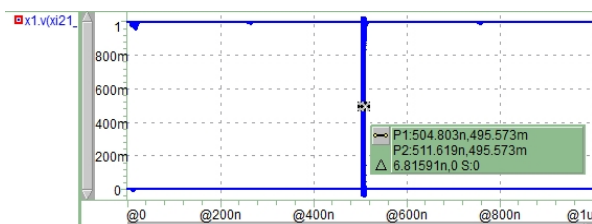


圖 5.10 各種 Corner 下回復時脈抖動結果





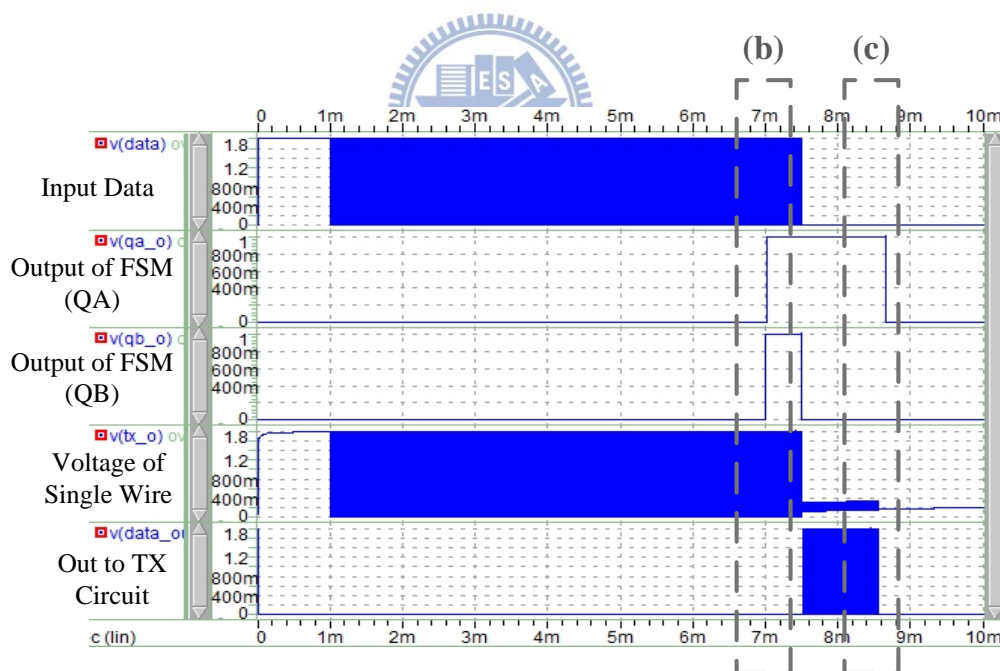
FS Corner

圖 5.11 各種 Corner 下回復資料抖動結果

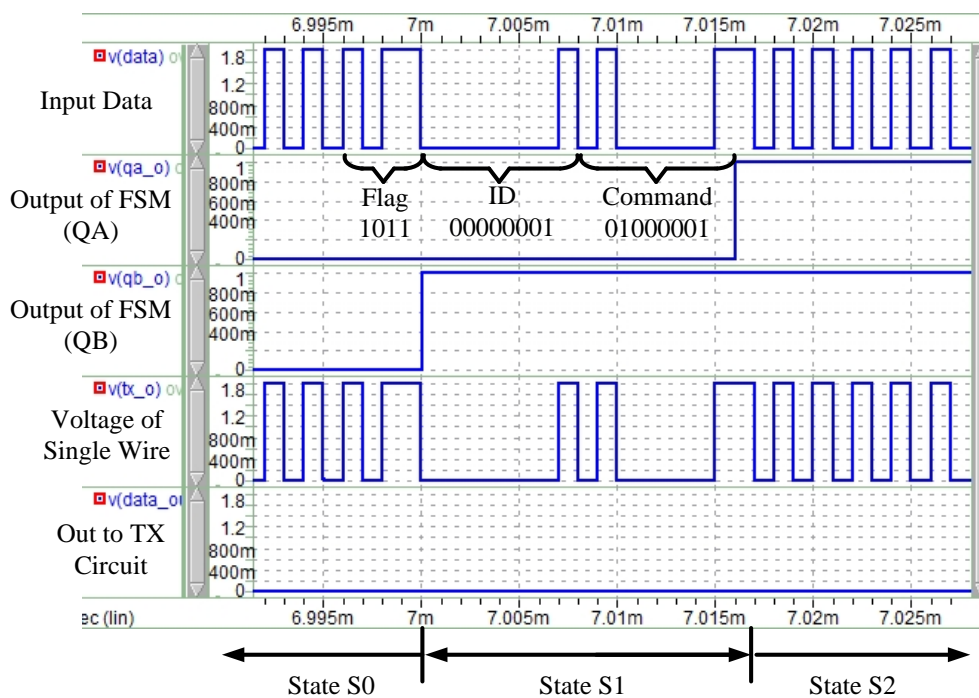
表 5.4 各 Corner 下全數位時脈資料回復電路抖動量測結果

| Corner | SS | TT | FF | SF | FS |
|------------------|------|------|-------|------|------|
| Clock Jitter(ns) | 3.99 | 6.37 | 13.92 | 7.36 | 6.59 |
| Data Jitter(ns) | 4.28 | 6.39 | 14.23 | 8.06 | 6.82 |

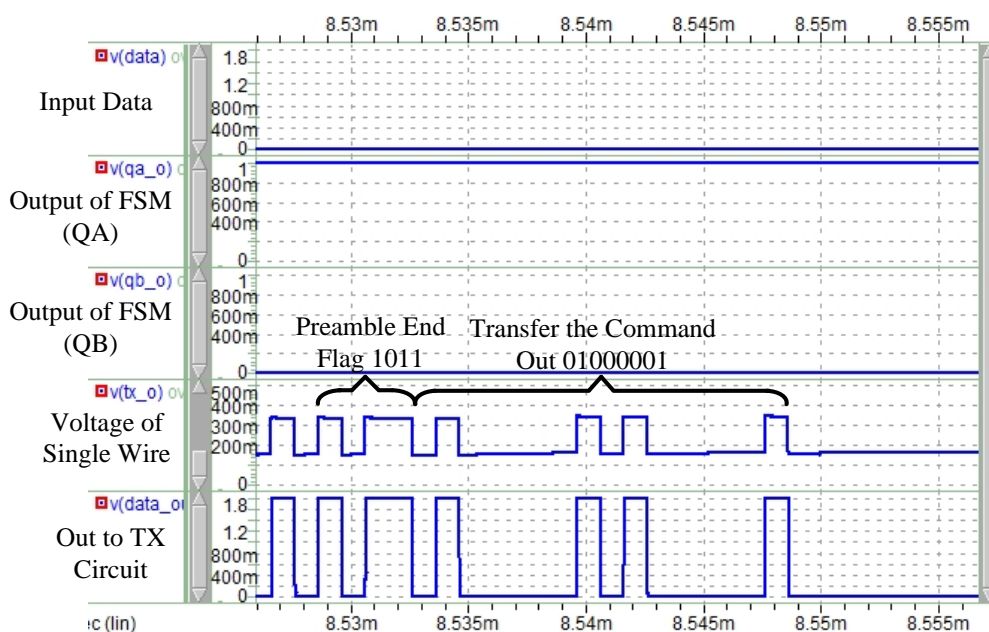
5.3.4 電路操作狀態變化與資料傳出模擬圖



(a) 整體電路模擬波形圖



(b) 圖(a)放大圖



(c) 圖(a)放大圖

圖 5.12 單線傳輸狀態變化、傳輸線電壓與資料回傳圖

在使用設計的輸入波形時，單線傳輸介面電路內部有限狀態機狀態變化如圖 5.12(a)所示，前 1ms 輸入為高準位，2 至 7ms 為輸入 1Mbps 使全數位時脈資料回復電路做追鎖，此時狀態為 S0。在輸入 ID 與 Command 前，會先輸入旗標 1011 通知單線傳輸系統，使系統做狀態變

化，同時單線傳輸介面將 ID 與 Command 訊號抓下來，此時狀態為 S1。當 ID 與 Command 傳輸完畢時，系統會跳至下一個狀態 S2，在此狀態中為模擬被選擇到的單線系統會開始執行輸入所要求的 Command，而沒被選擇到的系統則處於待機狀態，其單線系統狀態變化如圖 5.12(b)所示。當輸入端要開始抓取單線系統的資料時，會再傳出 1011 旗標通知單線系統，使它狀態變為 S3，此時單線系統會開始做資料回傳。在單線系統開始回傳資料前，會先傳出 1Mbps 的 Preamble 訊號 1ms，做為讓傳送端偵測單線系統的操作速度與相位對齊，最後再傳出一個 1011 旗標通知傳送端要開始傳送資料，其波形如圖 5.12(c)所示，在本論文主要為設計單線傳輸介面從接收輸入資料到最後回傳資料電路運作，所以在回傳資料是設計單線傳輸介面將接收的 Command 回傳到傳送端。

5.3.5 系統操作功率消耗

本論文使用製成為 TSMC018 1P6M，傳輸端操作電壓為 1.8V，單線系統輸入為 0 至 1.8V 方波訊號，先利用整流器整流出約 1.4V 直流電壓，再利用 LDO 穩壓電路產生穩定 1V 電壓供全部電路使用，而整體電路操作速度為 1MHz。表 5.5 為單線系統內電路功率消耗列表。

表 5.5 單線系統功率消耗整理

| Operation Frequency | | 1MHz | |
|-------------------------------|-------------------------------------|--------------------------|---------|
| Chip Area | | 0.86*1.12mm ² | |
| | | PreSim | PostSim |
| LDO, Bandgap, Bias | | V _{DD} = 1.8 V | |
| | | 8.04 uA | 8.61 uA |
| | | V _{DD} = 1.2 V | |
| | | 5.06 uA | 5.59 uA |
| ADCDR | All Digital Circuits Operate at 1V. | 3 uW | 5.9 uW |
| FSM, Digital Control Circuits | | 1.6 uW | 2.67 uW |
| TX Circuit of Single-Wire | | 2.39 uW | 2.7 uW |

5.4 單線系統與 RFID 比較

比較方面，在此是將單線傳輸想法與 RFID 傳輸方式做比較，而比較的部分包含元件使用、應用的操作頻率、使用環境及儲能方式。

在傳輸方面，因 RFID 接收與傳出資料時，是利用電感來做傳與收，而在單線傳輸的想法中，主要還是利用導線來傳輸，因此在成本上的考量，IC 內部製作電感的成本遠超過外部使用導線的成本。而在操作頻率的比較方面，因 RFID 傳與收都需要將訊號載到高頻，所以在應用方面比較適合本身就是操作在高頻的電路，而在一般的生醫量測或一些低頻電路中，本身操作頻率範圍只在幾 kHz~幾 MHz，若使用 RFID 的想法來傳輸，則必須將訊號載至高頻，因此會造成傳與收時所消耗的功率遠大於生醫訊號量測時所消耗的功率，所以在應用頻率的考量下，RFID 想法適合在高速電路內被應用，而單線傳輸則適合在低速電路中被使用。在儲能方面，RFID 與單線傳輸的想法都是利用一個儲能電容做為回傳資料時能量的來源，但在訊號回傳的比較中，RF 訊號本身會被金屬所阻隔，而單線傳輸的想法訊號仍在導線中傳輸，因此較不易被外界所阻隔，所以在應用時比較不會受環境的限制。表 5.6 為比較整理。

表 5.6 單線傳輸與 RFID 比較

| Compare | RFID | Single-Wire |
|-----------------|-------------------------------|-------------------|
| Cost | High | Low |
| Operation Freq | Suit High Freq | Suit Low Freq |
| Store Energy | Use Cap | Use Cap |
| Signal Transfer | Can be obstructed by material | Obstructed Hardly |

5.5 量測考量

圖 5.13 為晶片量測設定圖，在量測時，會在單線傳輸介面接上一個外接電容儲存電路工作所需之能量，在傳輸端使用 KEITHLEY 2400 作為電壓供應源，提供 1.8V 工作電壓，同時觀察電路工作時的功率消耗。在 Pattern 輸入的部份為使用事先設計好資料經 Agilent 16902B 送至傳輸介面，而傳輸介面經單一導線將 Pattern 送至單線傳輸介面，而量測過程使用 Agilent 54832D 示波器觀察電路操作時之電壓波形。

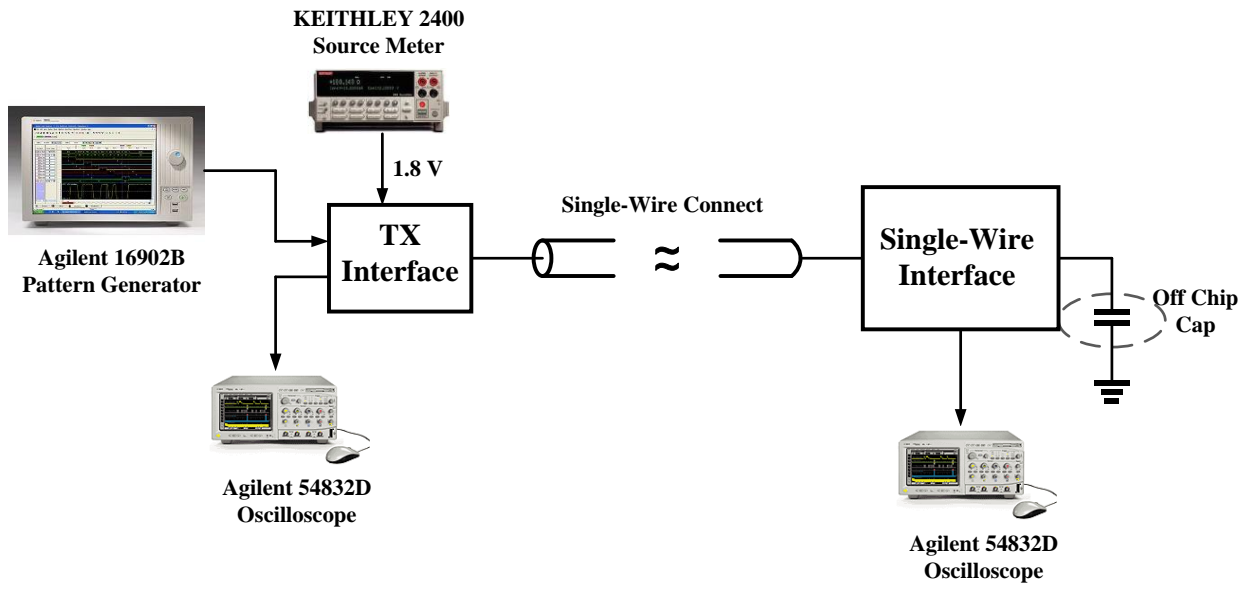


圖 5.13 量測考量圖



第六章

結論



在此單線傳輸介面的設計中，使用 TSMC018 1P6M 製程來驗證整個單線傳輸的想法，整體電路輸入電壓為 1.8V，操作速度為 1MHz，整個資料傳輸使用單一傳輸線來完成，在單線系統中，子電路只與此單一傳輸線連接，因此內部電路工作所需能量由本身外掛電容內儲存能量提供。

在整個單線傳輸想法的驗證中，確實讓整個系統只使用單一傳輸線，從將線上電壓整流出一個穩定電源供電路使用，同時能將線上資訊做擷取到最後回傳。整個單線傳輸想法主要內部接收端電路工作所需的能量都是經由傳輸端利用此傳輸線做提供，因此在電源的使用量大幅降低，只剩單一電源，而在整體傳輸想法中，讓傳輸電路在有限的腳位內所能控制的電路增加很多。

在生醫應用方面，單線傳輸想法讓整個量測系統變得相當簡潔，同時由於使用單線傳輸想法會將類比前端電路整合到電極片，相較於傳統的量測方式會少了生醫訊號在導線傳輸時

的干擾，因此理論上能有較好的量測結果。而在多種生醫訊號同時觀測時，會將同類型生醫訊號使用單一傳輸線連接做量測，因此讓量測系統容易做多種生醫訊號同時的量測。

由於在本論文中實現部分為單線傳輸介面的部份，而至於前端應用電路並未實現，因此希望在未來能將前端電路實現並與單線傳輸介面做整合，完成整個生醫量測系統的預期目標，利用單一傳輸線即可完整量測一種生醫訊號，且在主要量測系統以外電路不需另外電源供應器。



參考文獻

- [1] L. Yan, J. Yoo, B. Kim, and H.-J. Yoo, “A 0.5-uV_{rms} 12-uW wirelessly powered patch-type healthcare sensor for wearable body sensor network” , *IEEE J. Solid-State Circuits*, vol. 45, no. 11, pp. 2356–2365, Nov. 2010.
- [2] X. Zou, X. Xu, L. Yao, and Y. Lian, “A 1-V 450-nW fully integrated programmable biomedical sensor interface chip” , *IEEE J. Solid-State Circuits*, vol. 44, no. 4, pp. 1067–1077, Apr. 2009.
- [3] H. Yang and R. Sarpeshkar, “A bio-inspired ultra-energy-efficient analog-to-digital converter for biomedical applications” , *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 53, no. 11, pp. 2349–2356, Nov. 2006, Special Issue on Life Sciences and System Applications.
- [4] Hong Liu, Kea-Tiong Tang, Jo-Yu Wu and Guoxing Wang, “A Digitally Trimmable Low-Noise Low-Power Analog Front-End for EEG Signal Acquisition”, In Proceedings of 2012 *IEEE-EMBS International Conference on Biomedical and Health Informatics*, vol. 25, pp. 208–211, 2012.
- [5] Jia-Hua Hong, Ming-Chun Liang, Ming-Yang Haung, Tsung-Heng Tsai, Qiang Fang, and Shuenn-Yuh Lee, “Analog Front-end Circuit with Low-noise Amplifier and High-pass Sigma-Delta Modulator for an EEG or ECoG Acquisition System” , *IEEE 2nd International Symposium on Bioelectronics & Bioinformatics (ISBB 2011)*, Suzhou, China, pp. 17-20.
- [6] Anatol Boev and Marcel Stanciu, “ECG Pattern Analysis for High Sampling Rate Acquisition”, in Proc. *The 7th international symposium on ADVANCED TOPICS IN ELECTRICAL ENGINEERING*, Bucharest, Romania, 2011., 12-14 May 2011, pp 1-4, Bucharest, 2011.
- [7] T. H. Tsai, J. H. Hong, L. H. Wang, and S. Y. Lee, “Low-power analog integrated circuits for wireless ECG acquisition systems”, *IEEE Trans. Inf. Technol. Biomed.*, vol. 16, no. 5, pp. 907–917, Sep. 2012.
- [8] Jhon G. Webster, *MEDICAL INSTRUMENTATION Application and Design*, Wiley, 2008.
- [9] <http://www.bem.fi/book/15/15.htm>
- [10] http://people.ece.cornell.edu/land/courses/ece4760/FinalProjects/s2012/cwm55/cwm55_mj294
- [11] V. Kratyuk, P. K. Hanumolu, U.-K. Moon, and K. Mayaram, “A design procedure for all-digital phase-locked loops based on a charge-pump phase-locked-loop analogy” , *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 54, no. 3, pp. 247–251, Mar. 2007.
- [12] Hogge, Jr., C. R., “A Self Correcting Clock Recovery Circuit” , *IEEE Transactions on Electron Devices* ED-32, 12 (December 1985), 2704- 2706.
- [13] N. Tall, N. Dehaese, S. Bourdel and B. Bonat, “An all-digital clock and data recovery circuit for low-to-moderate data rate applications”, in Proc. *IEEE Int. Conf. Electron., Circuits Syst.*, 2011, pp. 37–40.
- [14] S. Mehrmanesh and N. Masoumi, “A Comprehensive Bang-Bang Phase Detector Model for High Speed Clock and Data Recovery Systems”, in Proc. of 2005 *IEEE Conf. on Electron Devices and Solid-State Circuits*, pp. 86-89, Dec. 2005.

- [15] Richard C. Walker, “Designing bang-bang PLL's for Clock and Data Recovery in Serial Data Transmission Systems in Phase-Locking in High-Performance Systems”, IEEE Press, 2003, pp.34-45.
- [16] Chi-Shuang Oulee and Rong-Jyi Yang, “A 1.25Gbps all-digital clock and data recovery circuit with binary frequency acquisition” , in Proc. *IEEE Asian-Pacific Conference on Circuits and Systems*, Dec. 2008, pp. 680-683.
- [17] R.-J. Yang, S.-P. Chen, and S.-I. Liu, “A 3.125-Gb/s Clock and Data Recovery Circuit for the 10-Gbase-LX4 Ethernet”, *IEEE J. Solid-State Circuits*, Vol. 39, NO.8, pp.1356-1365, Aug. 2004
- [18] Keng-Jan Hsiao, Ming-Hwa Lee and Tai-Cheng Lee, “ACLOCK AND DATA RECOVERY CIRCUIT WITH WIDE LINEAR RANGE FREQUENCY DETECTOR” , in Proc. *IEEE Int. Symp. VLSI Des., Autom. Test*, 2008, pp. 121-124.
- [19] B. Stilling, “Bit rate and protocol independent clock and data recovery” , *Electron. Lett.*, vol. 36, pp. 824–825, Apr. 2000.
- [20] P. Hanumolu, M. G. Kim, G.-Y. Wei, and U.-K. Moon, “A 1.6 Gbps digital clock and data recovery circuit” , in Proc. *IEEE Custom Integrated Circuits Conf.(CICC)*, 2006, pp. 603–606.
- [21] Yu-Ming Chung and Chia-Ling Wei, “An all-digital Phase-Locked Loop for Digital Power Management Circuits” , Department of Electrical Engineering National Cheng Kung University, Taiwan, Jul. 2008
- [22] D.-H. Oh, D.-S. Kim, S. Kim, D.-K. Jeong, and W. Kim, “A 2.8 Gb/s all-digital CDR with a 10b monotonic DCO” , in Proc. *Int. Solid-State Circuits Conf.*, Feb. 2007, pp. 222–223.
- [23] J.-S. Chiang and K.-Y. Chen, “The design of an all-digital phase-locked loop with small DCO hardware and fast phase lock”, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 46, no. 7, pp. 945–950, Jul. 1999.
- [24] W. S. T. Yan H. C. Luong, “A 900-MHz CMOS low-phase-noise voltage-controlled ring oscillator” , *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process*, vol. 48, no. 2, pp. 216–221, Feb. 2001.
- [25] S.M. Rezaul Hasan, “A CMOS DCO design using delay programmable differential latches and a novel digital control scheme”, Springer Electr Engg (2007) pp. 569-576.
- [26] 劉深淵 楊清淵 ”鎖相迴路”，滄海書局。
- [27] 高曜煌 ”射頻鎖相迴路 IC 設計”，滄海書局。
- [28] Nicolas Gay and Wolf-Joachim Fischer, “A Compact RF / Analog Front-End for Microwave RFID Transponders”, Semiconductor Conference Dresden (SCD), 2011, pp. 1-4
- [29] Y. Yuan, W. Jie, S. Yin, and F. F. Dai, “A fully integrated 900-MHz passive RFID transponder front end with novel zero-threshold RF-DC rectifier” , *IEEE Trans. Ind. Electron.*, vol. 56, no. 7, pp. 2317–2325, Jul. 2009.
- [30] Jinfeng Huang, Jinpeng Shen, Xiaoxing Feng, Xin'an Wang and Zejun Wu, “Design of Analog Front End of Passive UHF RFID Tag ”, in *Int. Con. Electron. Commun. Control*, Ningbo, China, Sep. 2011, pp. 818-821.

- [31] Min-Chin Lee, Chi-Chun Hu, and Zong-Wei Lin, “Implementation of Low Dropout Regulator with Low Bandgap Reference Voltage Circuit for RFID Tag Applications”, *Cross Strait Quad-Regional Radio Science and Wireless Technology Conference*, 2012, pp. 40-43
- [32] Rongsawat, Kittipong; Thanachayanont, Apinunt, “Ultra Low Power Analog Front-End for UHF RFID Transponder” , in *Proc. Int. Symp. Commun. Inf. Technol (ISCIT)*, Sept. 2006, pp. 1195-1198.
- [33] Phillip E. Allen and Douglas R. Holberg, *CMOS Analog Circuit Design*, Oxford, New York, 2002.
- [34] D. Johns and K.W. Martin, *Analog Integrated Circuits*, Wiley, New York, 1997.
- [35] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGRAW-HILL International Edition, 2001.
- [36] PAUL R. GRAY, *ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS*, Fourth Edition.
- [37] R. JACOB BAKER, *Circuit Design, Layout, and Simulation*, Wiley, New York, Third Edition.
- [38] Willy Sansen, *ANALOG DESIGN ESSENTIALS*, Springer-Verlag New York Inc .2nd,2006.
- [39] I. M. Filanovsky and H. Baltes, “CMOS Schmitt trigger design” , *IEEE Trans. Circuits Syst. I*, vol. 41, no. 1, pp. 46–49, Jan. 1994.

