

# 國立交通大學

工學院半導體材料與製程設備學程

碩 士 論 文

以鎳為金屬墊層之覆晶錫銀鉛錫接點於不同溫度下  
之電遷移失效模式研究

Electromigration Study in Flip-Chip Sn3.5Ag solder joints with Ni  
Under-bump-metallization at different temperature

研究生：李允田

指導教授：陳智 博士

中華民國 一〇二 年 十二月

以鎳為金屬墊層之覆晶錫銀鉍錫接點於不同溫度下之電遷移失效模  
式研究

**Electromigration Study in Flip-Chip SnAg3.5 solder joints with Ni  
Under-bump-metallization at different temperature**

研 究 生：李允田

Student : Yun-Tien Lee

指 導 教 授：陳智

Advisor : Chih Chen



Degree Program of Semiconductor Material and Process Equipment

December 2013

Hsinchu, Taiwan, Republic of China

中華民國 一〇二 年 十二 月

# 以鎳為金屬墊層之覆晶錫銀鉛錫接點於不同溫度下之電遷移失效模式研究

學生：李允田

指導教授：陳智 博士

國立交通大學

工學院半導體材料與製程設備學程

## 摘要

隨著消費性電子產品小型化之趨勢，使得覆晶封裝技術也進而微小化。然而，當鉛錫凸塊尺寸的微縮化相當於受到電流密度的改變，而本研究將討論 Cu/Ni UBM 接合之鉛錫凸塊高度  $25\ \mu\text{m}$  的覆晶錫銀鉛錫於高電流密度下所受電遷移之影響。

過去的研究主要集中在高溫（ $150\ ^\circ\text{C}$  以上）之通電加速測試；然而，電遷移對覆晶封裝中異質金屬的影響包含多種擴散機制，而不同擴散機制受溫度影響程度之差異將導致過去高溫之加速測試無法完整呈現覆晶封裝在一般使用溫度下的可靠度。因此，「低溫」與「高電流密度」這個過去極少見的實驗條件對於覆晶封裝的影響值得深入研究。本研究探討無鉛覆晶錫銀鉛錫接點於  $100^\circ\text{C}$  的溫度下，通電電流  $1.35\text{A}$  之電遷移行為及破壞機制。

在實驗中，觀察到孔洞生成、Ni 墊層消耗溶解、IMC( $\text{Ni}_3\text{Sn}_4$ ) 累積、Cu 消耗溶解，主要發生於電子流從 Al 導線進入 bump 端。且孔洞生成伴隨著電阻上升，有沿著 IMC( $\text{Ni}_3\text{Sn}_4$ ) 介面逐漸向右趨勢；同時觀察不同電阻上升

狀況下鉛錫接點破壞機制或失效模式，討論對應的電遷移破壞機制。另外比較降溫至 80°C 的溫度下，是否有相同破壞機制或失效模式之現象。結果顯示降溫後孔洞生成為主要導致阻值上升原因。



# **Electromigration Study in Flip-Chip SnAg3.5 solder joints with Ni Under-bump-metallization at different temperature**

Student : Yun-Tien Lee

Advisor : Dr. Chih Chen

Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

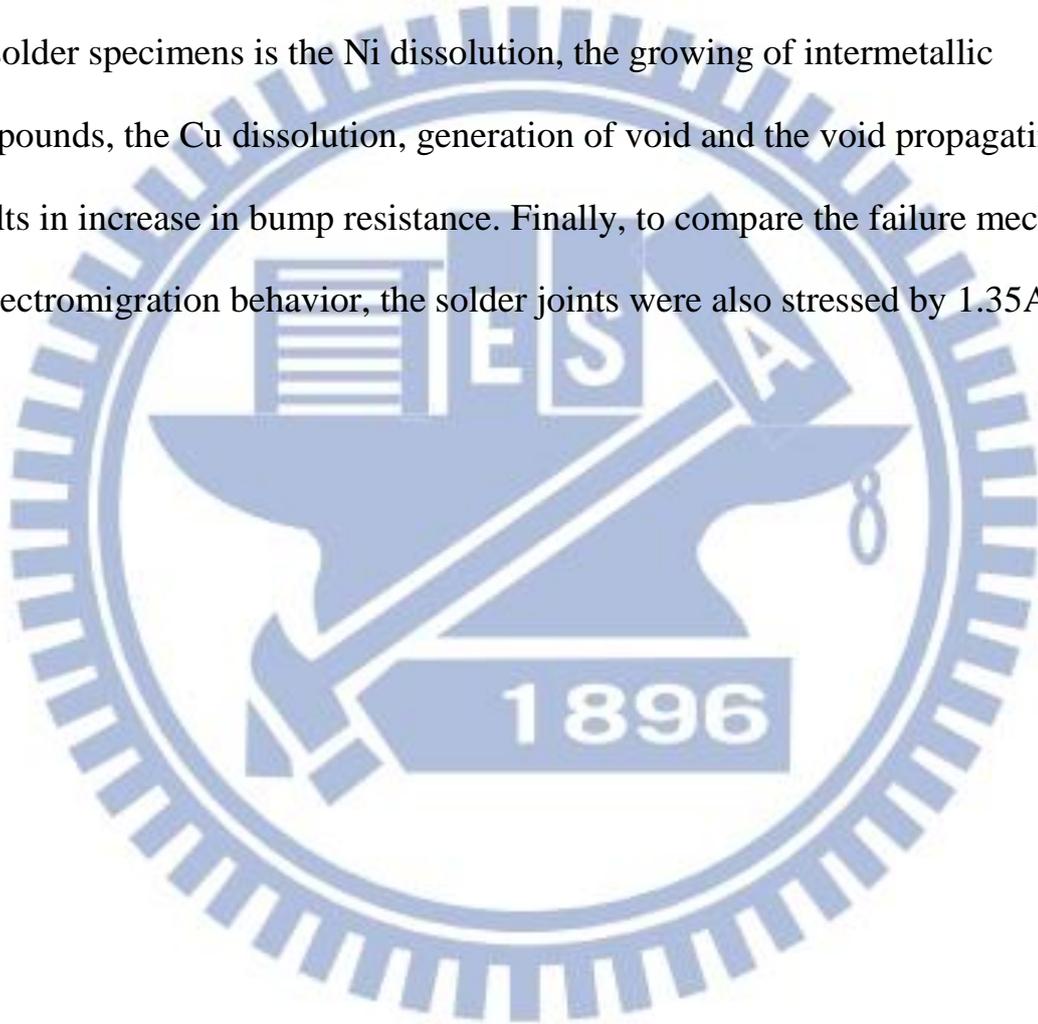
## **Abstract**

As the size of consumer electronic products continues to shrink, flip chip joints also have to shrink accordingly. In this thesis, we will study the electromigration behavior of lead-free SnAg solder joints, which has 25  $\mu$  m bump height with Cu/Ni UBM(under-bump-metallization) under high current density.

The accelerated electromigration tests in previous studies were usually conducted under high temperature conditions (above 150 °C); however, the electromigration of flip chip solder joints depends on stressing temperatures. Subsequently, the accelerated electromigration tests in previous studies under high temperature could not thoroughly demonstrate the reliability of flip chip under normal usage temperatures. Therefore, low temperature and high current density are conditions which were seldom examined in the past.

In this study, we investigate failure mechanism of the bump are monitored at various stages of electromigration stressed by 1.35A at 100 °C. It is found that voids along IMC interface is mainly responsible for the increase in bump resistance.

In experimental results, we observed that the electromigration failure mode in the solder specimens is the Ni dissolution, the growing of intermetallic compounds, the Cu dissolution, generation of void and the void propagating results in increase in bump resistance. Finally, to compare the failure mechanism of electromigration behavior, the solder joints were also stressed by 1.35A at 80 °C.



## 誌謝

首先感謝指導教授陳智博士，專業指導下，讓我在學業及論文研究受益良多，老師亦不時地引領著我走往正確的研究方向，在此我要對陳智老師致上我最高的謝意，以及伴我一起渡過在職專班碩士生涯的老師與同學。還要非常感激吳耀銓教授以及潘扶民教授能撥空參與我的口試，並且給予論文上的指導及建議。

我還要感謝我的指導者翔耀、宗寬、阿丸學長，從實驗室裡機台的操作、試片的研磨及通電等步驟，學長都非常細心的指導與講解，且更要感謝學長在 SEM 的大力幫忙。再來要特別感謝家宏學長在課程及學業上的各項建議與協助，以及感謝所有 CC lab 成員們的照顧，讓我能夠在這個環境中成長茁壯。

最後，我要感謝我的老婆與家人，不辭辛勞的照顧著兩個兒子，讓我無後顧之憂地順利完成碩士班的學業。

# 目 錄

中文摘要	.....	i
英文摘要	.....	iii
誌謝	.....	v
目錄	.....	vi
圖目錄	.....	vii
第一章、	緒論	1
1-1	覆晶接合技術 (Flip Chip)	1
1-2	無鉛化議題	2
1-3	研究動機	4
第二章、	文獻回顧	8
2-1	電遷移	8
2-2	電流聚集效應	10
2-3	焦耳熱效應	10
2-4	電遷移對鉛錫結構破壞機制	13
第三章、	試片結構與實驗方法及步驟	25
3-1	試片結構	25
3-2	實驗方法及步驟	25
3-2-1	凱文結構是布局	25
3-2-2	電遷移測試條件與鉛錫電阻變化量測	26
3-2-3	鉛錫微結構觀察	27
第四章、	實驗結果與討論	29
4-1	定電流不同溫度破壞模式結果	29
4-1-1	溫度 132 °C 破壞模式結果	29
4-1-2	溫度 112 °C 破壞模式結果	32

4-2	結果觀察與分析	33
第五章、	結論	47
參考文獻		48

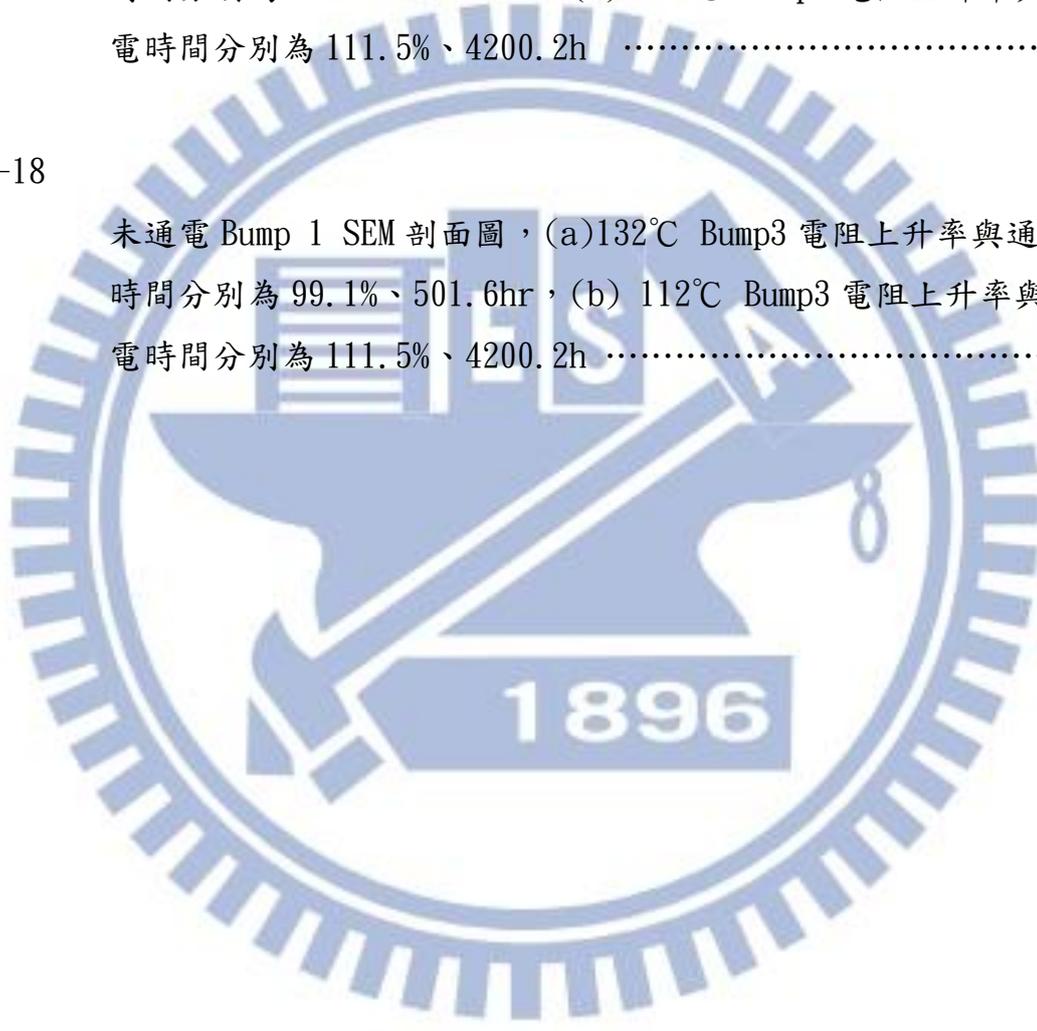
## 圖 目 錄

圖 1-1	電晶體數目的增長曲線符合摩爾定律示意圖	5
圖 1-2	C4 製成流程圖	5
圖 1-3	銲錫凸塊製程示意圖	6
圖 1-4	覆晶接合連接積體電路之球閘陣列封裝方式	6
圖 1-5	打線接合技術	7
圖 1-6	Kelvin structure 在半導體電性量測示意圖	7
圖 2-1	Blech 實驗試片陽極端與陰極端 SEM 俯視圖	15
圖 2-2	Blech 實驗試片橫截面示意圖	15
圖 2-3	模擬於通電 0.6A、100°C 下，銲錫凸塊電流密度分佈情形 (a)3D 電流分佈圖，(b)剖面電流分佈圖，(c)俯視電流分佈圖， (d)以圖(b)中之虛線做電流密度大小分佈	16
圖 2-4	以紅外線顯像技術觀察試片表面溫度分佈情形 (a)未通入電流時，(b)通入電流時， (c)以圖(b)A 及 B 點之溫度分佈	17
圖 2-5	模擬於通電 0.6A、100°C 下，銲錫凸塊之溫度分佈情形 (a) 3D 溫度分佈圖，(b)剖面溫度分佈圖，(c)以圖(b)中之水平 虛線做溫度分佈，(d)以圖(b)中之垂直虛線做溫度分佈	18
圖 2-6	以紅外線顯像技術觀察銲錫凸塊剖面之溫度分佈情形 (a)通電前凸塊之溫度分佈，(b)通電後凸塊之溫度分佈， (c)沿圖(b)虛線方向之溫度分佈	19
圖 2-7	150°C 電流密度為 $9.7 \times 10^3$ A/cm <sup>2</sup> 下，於通電 76hr 後各凸塊 SEM 剖面影像，(a)Bump1，(b)Bump2，(c)Bump3，(d)Bump4	20
圖 2-8	150°C 電流密度為 $9.7 \times 10^3$ A/cm <sup>2</sup> 下，各凸塊 Cu 與 Sn 受電遷移 及熱遷移方向示意圖 (a)電流未流經之 Bump 1&4，(b)電子流向上之 Bump 2，	

	(c)電子流向下之 Bump 3 .....	21
圖 2-9	(a) SnPb bump 尺寸截面圖 (b) Plan-view schematic showing the daisy-chain joints with (b) 40 $\mu\text{m}$ wide Al traces and (c) 100 $\mu\text{m}$ wide Al traces (d) Plan-view schematic showing the solder joints with 100 $\mu\text{m}$ wide Al traces for investigation of Length effect on electromigration .....	22
圖 2-10	銅墊層快速反應示意圖 .....	23
圖 2-11	電遷移造成的孔洞生成，(a) 不同電阻上升階段的孔洞成長圖，(b) 模擬孔洞成長趨勢圖 .....	23
圖 2-12	鬆餅狀孔洞生成機制之 SEM 影像 .....	24
圖 2-13	電流密度為 $1.4 \times 10^4 \text{ A/cm}^2$ 下，不同溫度阻值上升 $10\text{m}\Omega$ 後各凸塊 SEM 剖面影像 .....	24
圖 3-1	共晶錫銀鉛錫凸塊之剖面結構圖 .....	27
圖 3-2	實驗試片之凱文結構接點示意圖，(a)俯視圖，(b)剖面圖 .....	28
圖 3-3	實驗試片之凱文結構 3D 剖面圖 .....	28
圖 4-1	圖 4-1 於定溫 $132^\circ\text{C}$ 及定電流 $1.35\text{A}$ 下，各試片通電時間與 Bump 3 電阻上升率圖表，(a)表為各試片通電時間對應電阻上升率之關係表，(b)圖為各試片通電時間與電阻上升率之關係圖未通電及未加熱之凸塊 OM 剖面圖 .....	35
圖 4-2	$132^\circ\text{C}$ 下通入 $1.35\text{A}$ ，電流向下流經 Bump 3 OM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 $19.6\%$ 、 $90.7\text{HR}$ ，(b) $47.4\%$ 、 $178.4\text{HR}$ ，(c) $99.1\%$ 、 $501.6\text{HR}$ ，(d) $502.8\%$ 、 $792.1\text{HR}$ ...	36
圖 4-3	$132^\circ\text{C}$ 下通入 $1.35\text{A}$ ，電流向下流經 Bump 3 SEM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 $19.6\%$ 、 $90.7\text{HR}$ ，(b) $47.4\%$ 、 $178.4\text{HR}$ ，(c) $99.1\%$ 、 $501.6\text{HR}$ ，(d) $502.8\%$ 、 $792.1\text{HR}$ ...	37
圖 4-4	$132^\circ\text{C}$ 下通入 $1.35\text{A}$ Bump 3 電阻上升率與通電時間為 $99.1\%$ 、 $501.6\text{HR}$ ，Bump2、3、4 EDX 分析結果 $10.7\%$ 、 $286.4\text{hr}$ ，(d) $639.8\%$ 、 $382.6\text{hr}$ .....	38
圖 4-5	$132^\circ\text{C}$ 下通入 $1.35\text{A}$ ，電流向下流經 Bump 2 OM 剖面圖，(a)	

	於 Bump3 電阻上升率與通電時間分別為 19.6%、90.7HR，(b)	
圖 4-6	47.4%、178.4HR，(c)99.1%、501.6HR，(d)502.8%、792.1HR ...	39
	132°C 下通入 1.35A，電流向流經 Bump 2 SEM 剖面圖，(a)	
圖 4-7	於 Bump3 電阻上升率與通電時間分別為 19.6%、90.7HR，(b)	40
	47.4%、178.4HR，(c)99.1%、501.6HR，(d)502.8%、792.1HR ...	
圖 4-8	Ni <sub>3</sub> P 層間的柱狀結構晶界 .....	40
	132°C 下未通電 Bump 1 OM 剖面圖，(a)於 Bump3 電阻上升率與	
	通電時間分別為 19.6%、90.7HR，(b)47.4%、178.4HR，(c)	
	99.1%、501.6HR，(d)502.8%、792.1HR .....	41
圖 4-9	132°C 下未通電 Bump 1 SEM 剖面圖，(a)於 Bump3 電阻上升率	
	與通電時間分別為 19.6%、90.7HR，(b)47.4%、178.4HR，(c)	
圖 4-10	99.1%、501.6HR，(d)502.8%、792.1HR .....	42
	(a)~(d)為 112°C 下通入 1.35A Bump 1~4 OM 剖面圖，於 Bump3	
圖 4-11	電阻上升率與通電時間分別為 111.5%、4200.2HR .....	43
	(a)~(d)為 112°C 下通入 1.35A Bump 1~4 SEM 剖面圖，於 Bump3	
圖 4-12	電阻上升率與通電時間分別為 111.5%、4200.2HR .....	43
	於定電流 1.35A 溫度分別為 112、132°C 下，各試片通電時間與	
	Bump 3 電阻上升率圖表，(a)表為不同溫度下之各試片通電時	
	間對應電阻上升率之關係表，(b)圖為不同溫度下之各試片通	
圖 4-13	電時間對應電阻上升率關係圖 .....	44
	通入 1.35A，電子流向下之 Bump 3 OM 剖面圖，(a) 132°C	
	Bump 3 電阻上升率與通電時間分別為 99.1%、501.6hr，(b)	
圖 4-14	112°C Bump3 電阻上升率與通電時間分別為 111.5%、4200.2hr...	44
	於 132°C 下通入 1.35A，電子流向下之 Bump 3 SEM 剖面圖，	
	(a)132°C Bump3 電阻上升率與通電時間分別為 99.1%、	
	501.6hr，(b) 112°C Bump3 電阻上升率與通電時間分別為	
圖 4-15	111.5%、4200.2hr .....	45
	於 132°C 不同電流下，電子流向上之 Bump2 OM 剖面圖	
	通入 1.35A，電子流向上之 Bump 2 OM 剖面圖，(a)於 132°C	

	Bump 3 電阻上升率與通電時間分別為 99.1%、501.6hr，	
圖 4-16	(b)於 112 °C 111.5%、4200.2h .....	45
	132°C下通入 1.35A，電子流向上之 Bump 2 SEM 剖面圖，(a)	
	於 132°C Bump3 電阻上升率與通電時間分別為 99.1%、501.6hr	
圖 4-17	，(b) 於 112°C 111.5%、4200.2hr .....	45
	未通電 Bump 1 OM 剖面圖，(a)132°C Bump3 電阻上升率與通電	
	時間分別為 99.1%、501.6hr，(b) 112°C Bump3 電阻上升率與通	
	電時間分別為 111.5%、4200.2h .....	46
圖 4-18	未通電 Bump 1 SEM 剖面圖，(a)132°C Bump3 電阻上升率與通電	
	時間分別為 99.1%、501.6hr，(b) 112°C Bump3 電阻上升率與通	
	電時間分別為 111.5%、4200.2h .....	46



## 第一章、緒論

### 1-1 覆晶接合技術

摩爾定律是由英特爾創始人之一戈登·摩爾(Gordon Moore)提出來的。其內容為：當價格不變時，積體電路上可容納的電晶體數目，約每隔 24 個月（現在普遍流行的說法是「每 18 個月增加一倍」）便會增加一倍，效能也將提升一倍；或者說，每一美元所能買到的電腦效能，將每隔 18 個月翻兩倍以上。這一定律揭示了資訊科技進步的速度，圖 1-1[1]中電腦處理器中電晶體數目的增長曲線符合摩爾定律。

覆晶技術是一種將晶片面翻轉朝下，並藉由金屬凸塊與承載基板作接合的積體電路構裝體，覆晶構裝體的承載基板(Substrate)與晶片間，必須是一對一匹配，如此才能將晶片與基板上的電極作精確接合。Flip Chip 技術起源於 1960 年代，是 IBM 開發出 C4(controlled collapse chip connection)[2]製成所發展而來，其製程如圖 1-2 所示。首先將晶片做保護層(passivation)處理，並鍍上一 BLM laye(ball limiting metallization)，現今稱之為底部金屬墊層(Under Bump Metallization, UBM)，之後再鍍上錫鉛鉛錫，經第一次迴焊(Reflow)後其形狀變為一凸塊，最後再將 IC 翻轉以面朝下的方式與基板完成對位，並藉由第二次迴焊以熔融鉛錫凸塊，因其表面張力及鉛錫只對金屬墊層有沾濕能力(wetting ability)，因此所有接點可以同時自己完成對準，製程示意圖如圖 1-3，以達到 IC 與基板之接合。由於覆晶比其它 BGA 封裝在與基板或襯底的互連形式要方便的多，目前覆晶技術已經被普遍應用在微處理器封裝，而且也成為繪圖、特種應用、

和電腦晶片組等的主流封裝技術，藉助市場對覆晶技術的推力，封裝業者必需提供 8 吋與 12 吋晶圓探針測試、凸塊增長、組裝、至最終測試的完整服務。

覆晶接合技術與球閘陣列封裝[3](Ball Grid Array, BGA, 如圖 1-4)有著異曲同工之妙，鉅錫凸塊以陣列的方式整齊排列與傳統只能接合於晶片周圍的打線接合技術[4](如圖 1-5)相較下，若以  $50\ \mu\text{m}$  線寬與  $50\ \mu\text{m}$  的間距推算，打線接合技術僅有  $400\ \text{腳位}/\text{cm}^2$ ，而在相同條件下，覆晶接合方式可有  $10000\ \text{腳位}/\text{cm}^2$ ，覆晶接合技術不但提供高密度輸入/輸出接點。相較於打線方式，覆晶構裝具有以下優點：(1). 可大幅度提高構裝密度；(2). 可將雜訊的干擾作良好控制；(3). 可提高元件的電性和散熱性能；(4). 減小構裝體積等。可以看出覆晶接合技術的應用為符合現今積體電路朝向高頻、高效率之趨勢。

## 1-2 無鉛化議題

長期以來，電子產品中鉅錫合金主要皆以錫鉛合金為主，因為含鉛鉅錫具有以下優點：1. 鉛提供良好的延展性及表面光澤；2. 可使鉅錫有效降低表面能與介面能；3. 共晶錫鉛的熔點為  $183^\circ\text{C}$  相對於純鉛( $232^\circ\text{C}$ )與純錫( $327^\circ\text{C}$ )有較低的熔點；4.  $95\text{Pb}5\text{Sn}$  高鉛鉅錫的液相點與固相點  $10^\circ\text{C}$ ，可被當為高溫鉅錫使用。因此，具有低熔點的共晶錫鉛鉅錫和高熔點的高鉛鉅錫可被運用為複合鉅錫。然而，鉛為具有毒性之重金屬，不僅對生態環境造成威脅亦對人體健康產生傷害，影響神經系統及消化系統的運作，嚴重者可致命。

因此近年來已有禁用或限制使用的呼聲。歐盟議會通過了 RoHS[5] (Restriction of Hazardous Materials)法案，必須於 2006 年 7 月 1 日之後限制六種化學物質，其中包含四項重金屬：Pb、Hg、Cd、Cr<sup>+6</sup>，以及兩項含溴防火耐燃劑：多溴聯苯(polybrominated biphenyls, PBB)及多溴聯苯乙醚(polybrominated diphenyl ethers, PBDE)等化學物質使用於電子電機產品。日本[6]的 JEIDA (Japanese Electronic Industry Development Association)也定出無鉛錒料的使用時程，並規定含鉛錒料在 2005 年以後只能用在部分特例上。因此各工業大國陸續禁止使用含鉛之錒錫，並推對無鉛化之相關產品。

因應無鉛化的時代來臨，以及無鉛錒料對於各項產業所帶來的挑戰，因此近年來綠色能源逐漸受到重視，尋找替代鉛的無鉛錒料已成為重要的研發項目。目前無鉛錒料應具備的條件如以下幾點：一、熔點需低於高分子基板所能承受之迴錒溫度，二、良好的熱、電及機械性質，三、合金元素來源充足且價格便宜，四、無毒、無放射性且避免人體危害及環境破壞，五、易生產製造。美國的 NCMS (National Center for Manufacturing Sciences)、NEMI (National Electronics Manufacturing Initiative)、歐盟的 BRITE-EURAM、日本的 NEDO (New Energy and Industrial Technology Development Organization)等機構，各自提出多種不同合金組成的錒料，如 Sn-Cu、Sn-Ag、Sn-Zn、Sn-Ag-Bi、Sn-Ag-Cu 等，原則上新組成的錒料必須要有良好的性質，目前皆以錫為基材，其主要原因為降低熔點、提高可靠度、改善機械性質，至於如何選擇優良的無鉛錒錫，仍是值得開發與研究的議題。

### 1-3 研究動機

覆晶錒錫封裝技術可以提供較佳電性效能，有利於高科技新產品不斷追求輕薄短小，高速化，電子元件功能的必須更大幅增加，尺寸相對的縮小，錒錫接點的尺寸勢必隨之縮小而所承載的電流也相對的提高，再加上電流集中效應 (current crowding effect) 的影響，所以對於元件所產生的焦耳熱 (Joule heating) 勢必會相當的可觀。因此，此電熱效應的結合，在錒錫接點通電後的破壞模式中，扮演很重要的角色。

無鉛化已確定是未來的趨勢；共晶錒銀是目前最看好用來取代錒鉛錒錫的替代的錒料，然而以前適用於共晶錒鉛凸塊的各種設計以及對應材料，對於無鉛錒錫凸塊來說不一定可行，其可靠度就更需要做評估。本篇研究試片利用凱文結構 (Kelvin Structure) 方式佈局，此方式很早就被運用在積體電路中電性的量測，其示意圖如圖 1-6，此方法需四點探針方式量測，並通以固定電流量測電壓變化的方式，以推算其電阻值，此量測方式可避除因導線及接點電阻而造成待測物實際電阻的誤差影響，其可用於低電阻範圍 ( $10\ \mu\Omega \sim 1\ \Omega$ ) 的精準量測，因此試片利用此結構佈局製備，可精準量測單一錒錫凸塊隨時間增加之電阻變化量。實驗試片錒料則選用無鉛共晶錒銀 (SnAg3.5) 錒錫凸塊高  $25\ \mu\text{m}$ ，並以銅、鎳 ( $\text{Cu}\ 5\ \mu\text{m} / \text{Ni}\ 3\ \mu\text{m}$ ) 做為底部金屬墊層 (Under Bump Metallization, UBM) 之電遷移破壞的測試接點，較少研究使用 (Cu/Ni) UBM 值得探討其破壞機制，於固定溫度  $100\ ^\circ\text{C}$  下通電流  $1.35\text{A}$  ( $1.2 \times 10^4\ \text{A}/\text{cm}^2$ )，分別觀察各錒錫凸塊 (Bump) 於不同階段下電遷移之失效模式。另外，降低溫度至  $80\ ^\circ\text{C}$ ，觀察電遷移失效模式是否相同。

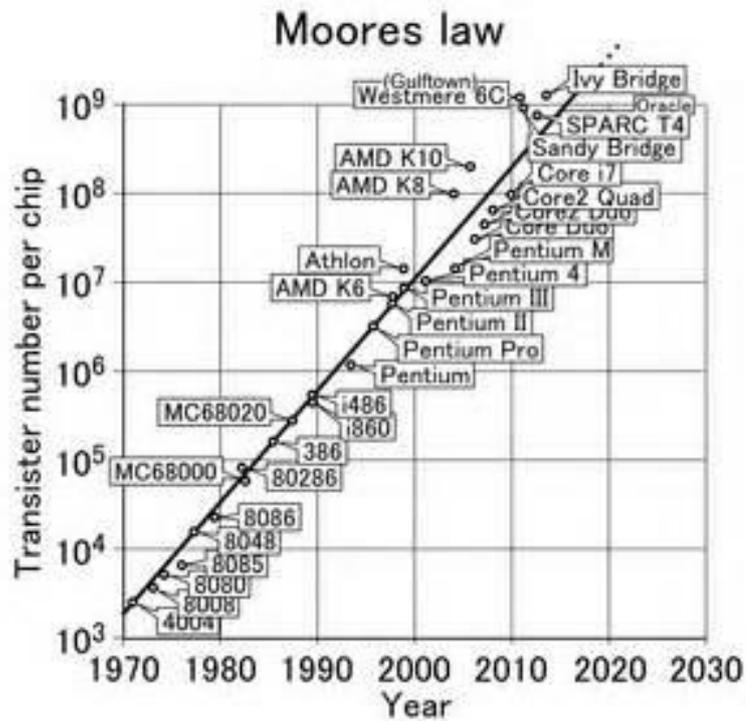


圖 1-1 電腦處理器中電晶體數目的增長曲線符合摩爾定律

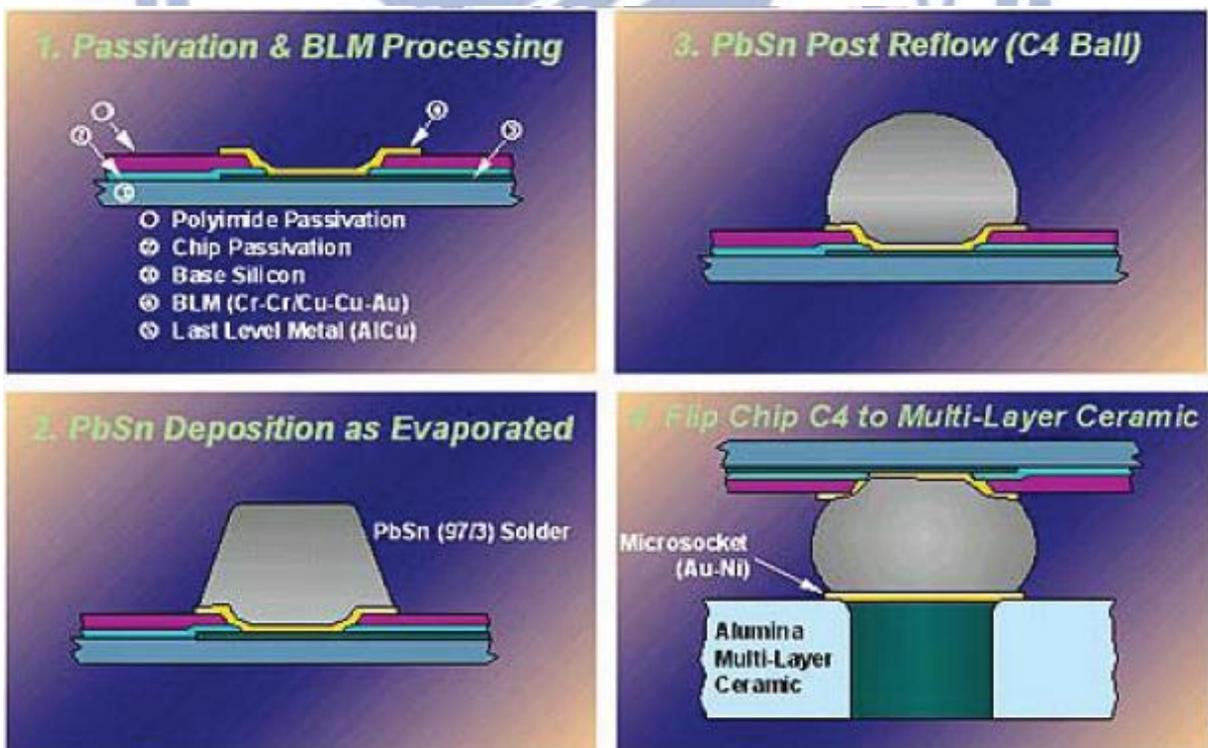


圖 1-2 C4 製成流程圖[1]

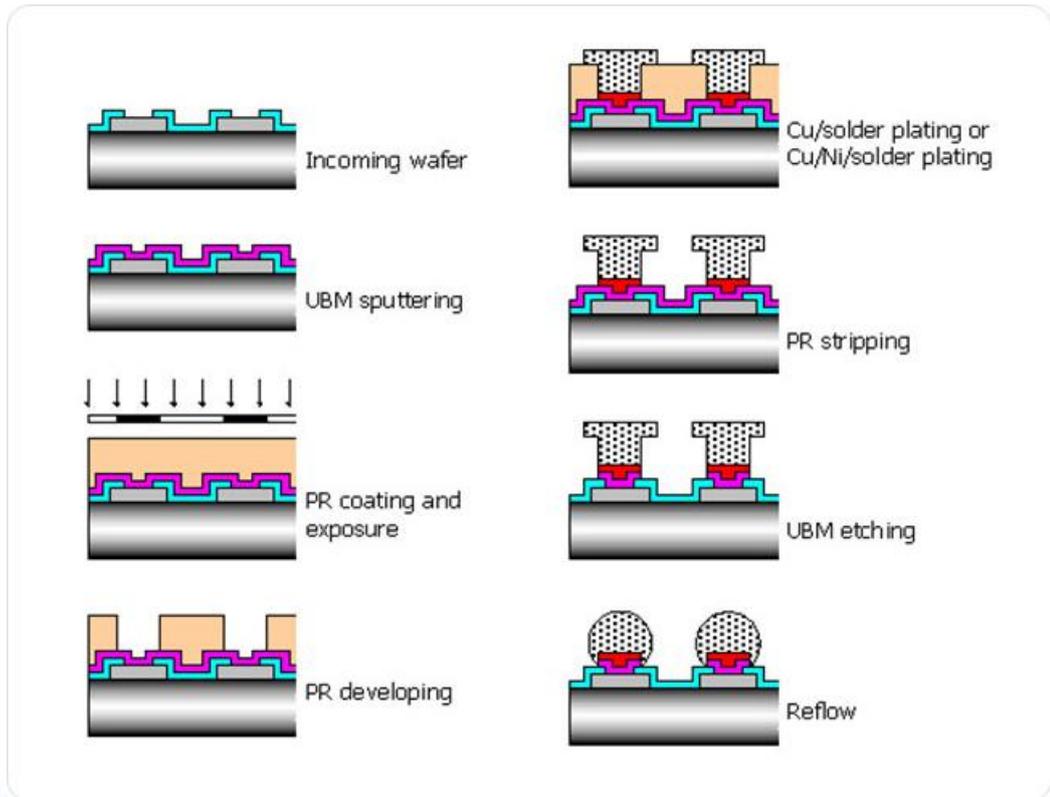


圖 1-3 鉛錫凸塊製程流程圖

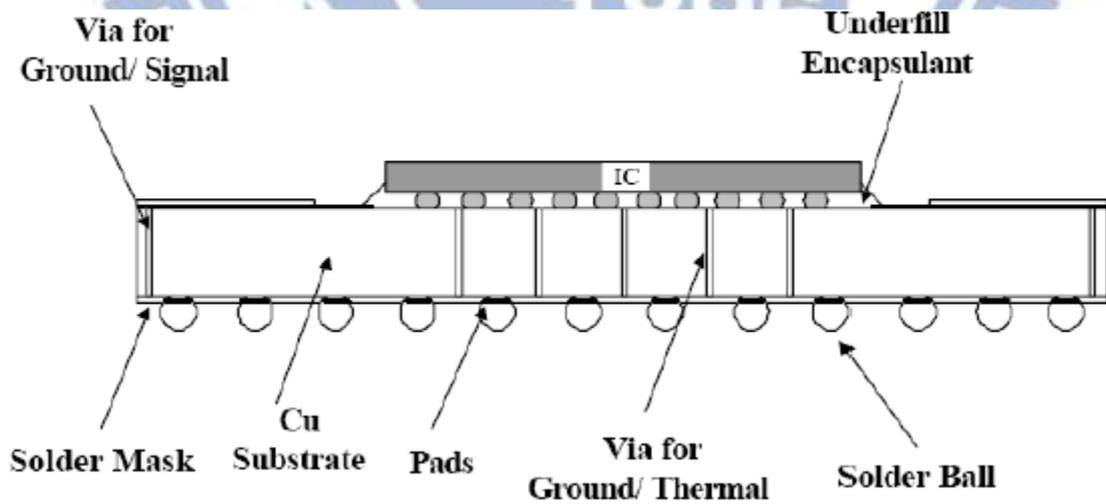


圖 1-4 覆晶接合連接積體電路之球閘陣列封裝方式[3]

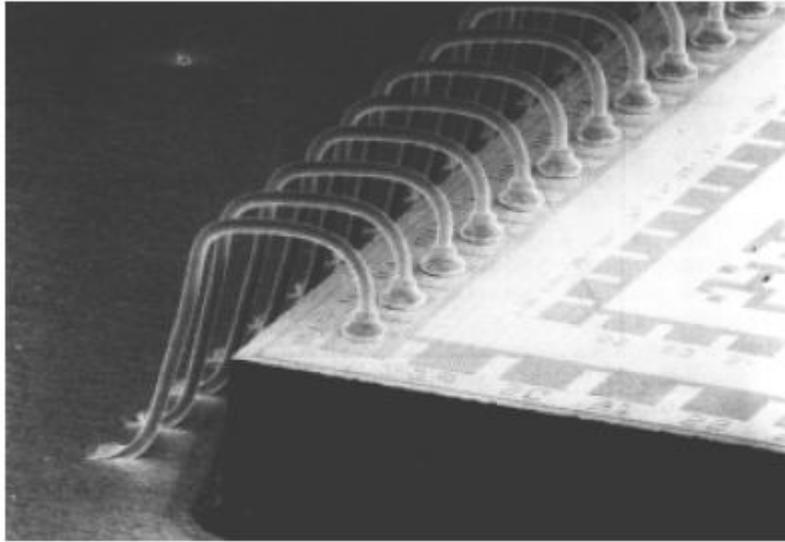


圖 1-5 打線接合技術[4]

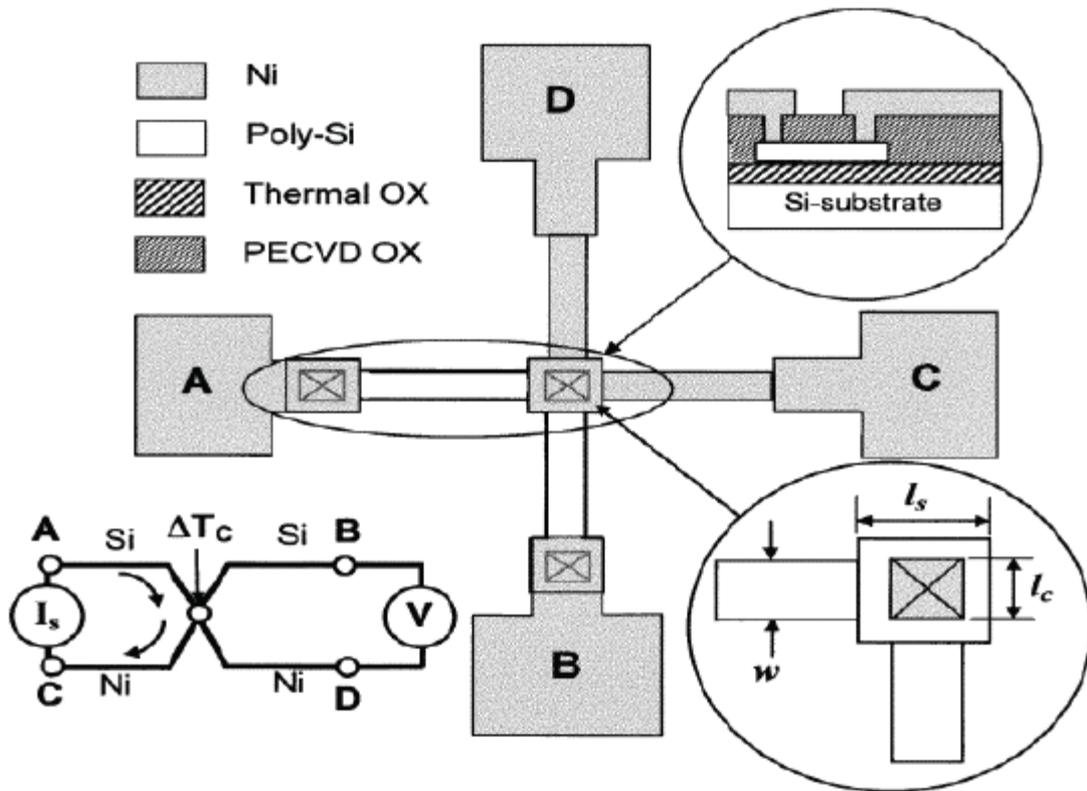


圖 1-6 Kelvin structure 在半導體電性量測示意圖

## 第二章、文獻回顧

### 2-1 電遷移

電遷移是當電流通過金屬物質時，金屬原子受電子衝撞而產生移動的現象。此現象最早的記錄應為 1861 年時，Gerardin[7]對於熔融的鉛錫與汞鈉合金的研究中所發現。到了二十世紀中期，許多電遷移的實驗分析與理論架構陸續被提出，而到了 1965 年被發現電遷移對於積體電路製程中鋁導線的可靠度會造成威脅，才又掀起一陣討論的熱潮。1976 年 Blech 的電遷移實驗中[8]，以氮化鈦層上沉積鋁作為試片，通入電流於氮化鈦層中，並利用鋁有較低電阻的特性，電流會由氮化鈦層流入鋁導線中。實驗中發現於陰極端會有 void 產生，相對於陽極端則產生 extrusion，如圖 2-1 所示，其橫截面示意圖如圖 2-2 所示，並藉由此實驗可觀察到鋁原子受電遷移影響而產生移動的情形。而到了近期，覆晶接合技術的廣泛應用，銲錫接點之微縮化及無鉛化銲錫的取代，覆晶銲錫電遷移的研究仍將會是個重要的議題。

受電遷移的金屬原子移動現象，主要是來自於兩種對立的作用力交互影響金屬原子所造成，其一為靜電場力(electrostatic field force)：當電流通過一金屬物質時，在此金屬物質的兩端自然會形成一端陽極(anode)與另一端陰極(cathode)的靜電力場，由於金屬離子本身帶正電，此靜電場力會吸引原子往陰極移動；另一為電子風力(electron wind force)：當電流流經試片時，電子與原子互相作用所造成的摩擦力(friction force)或牽引力(drag force)，主要來自於電子與金屬原子之間的動量轉換[9]。在電遷移的行為產生原子移動的情況下，固態金屬原子的擴散通量方程式可表示為[10]：

$$J = -D \frac{\partial C}{\partial X} + \sum_i C M_i F_i \quad (2.1)$$

前項次代表的是化學勢差(chemical potential gradient)所造成的擴散通量；後項次代表的是各種外加力量所引起原子擴散通量的總和。若只討論純物質的電遷移擴散機制，前項次化學勢差所造成的通量可被忽略。因此只剩下後項次通量總和，而共同作用下之驅動力主要可分為電場對金屬離子吸引的靜電場力，以及電子對金屬原子間動量轉換的電子風力，其總驅動力可表示為：

$$F_{driving} = F_{el} + F_{wd} \quad (2.2)$$

$F_{el}$  表示為靜電場力， $F_{wd}$  表示為電子風力。其中比較兩者的數量級，得知電子風力相較於靜電場力影響顯著，因此金屬原子的擴散是由陰極端往陽極端移動，此外  $F_{wd}$  可被表示為：

$$F_{wd} = E Z^* e \quad (2.3)$$

$E$  為電場大小， $Z^*$  為有效電荷數(effective charge)， $e$  為基本電荷量，其中有效電荷數的值可以表示所感受電遷移效應下的能力指標，對於不同種類的金屬，將會擁有不同的有效電荷數。如此，再將電子風力導入電遷移的原子擴散通量方程式：

$$J_{EM} = C M F_{wd} \quad (2.4)$$

$C$  為原子濃度(atomic concentration)，而  $M$  是原子的遷移率(mobility)，依據 Nerst-Einstein equation 原子遷移率可以表示為：

$$M = \frac{D}{\kappa T} \quad (2.5)$$

$D$  為原子擴散係數(diffusivity)， $\kappa$  為波茲曼常數(Boltzmann's constant)， $T$

為絕對溫度(absolute temperature)，結合公式(2.3)、(2.4)與(2.5)，可得到電遷移的原子通量方程式為：

$$J_{EM} = C \frac{D}{\kappa T} Z^* e E = C \frac{D}{\kappa T} Z^* e \rho j \quad (2.6)$$

其中  $\rho$  為電阻率(resistivity)， $j$  為電流密度(current density)。

## 2-2 電流聚集效應

由於電子流的流動路線會選擇最小阻礙的路徑行進，所以當電子流流動之路徑有所改變時，將會造成電子於某特定位置產生擁擠的現象，而將使此特定位置電流密度高於其他位置，此現象稱之為電流聚集效應。以本實驗覆晶鋅錫凸塊結構為例，當電子流沿著鋁導線進入鋅錫凸塊時，由於鋁導線與鋅錫凸塊兩者介面之橫截面面積大小不同，而在提供固定電流的前提下，因此在介面處會產生電流密度的改變，此電流密度的改變將導致電流集中於鋅錫凸塊之入口處，以圖 2-3[11] 為例，以三維及二維方式模擬鋅錫凸塊之電流密度分佈情形，此處可以發現最大的電流密度為整個鋅錫凸塊內平均電流密度約大兩個維度左右。

## 2-3 焦耳熱效應

焦耳熱效應為英國物理學家 James Prescott Joule 於 1841 年所發現，當一帶電粒子  $q$  通過一電位差  $\nu$  的電場時會受到電場加速，行徑間與離子原子碰撞後所產生之能量損失轉變為離子原子的動能或震動能，再以熱能的方式呈現進而導致溫度上升。經實驗發現，金屬導線在通電下所產生的熱能正比於電阻與電流平方的乘積，其中可以下列方程式表示：

$$P = I^2 R = j^2 \rho V \quad (2.7)$$

P 表示為熱能，I 為提供之電流，R 為電阻，j 為電流密度， $\rho$  為金屬的電阻率，V 為金屬的體積。又因  $I/A = j$ ；A 為金屬之截面積， $R = \rho l/A$ ；l 為金屬之長度，固推得  $P = j^2 \rho V$ ，因此可得知  $j^2 \rho$  為單位時間單位體積的焦耳熱。以本次實驗之覆晶鉍錫試片為例，在通固定電流下，因鋁導線所承受之電流密度較覆晶鉍錫大，所以在鋁導線端(晶片端)會產生較大之焦耳熱，而導致晶片端(chip side)溫度大於基板端(substrate side)。S. H. Chiu 等人以紅外線顯像技術觀察試片表面，可以發現晶片端鋁導線因焦耳熱效應而成為主要的熱源[12]，如圖 2-4 所示。其中更以模擬的方式驗證電子流進入鉍錫處(電流聚集處)，亦為鉍錫內最熱之區域，如圖 2-5 所示[11]。

然而，焦耳熱效應所導致的熱遷移(thermomigration)現象，隨著電流密度的增加日趨嚴重，其熱遷移驅動力可以下列方程式表示：

$$F_{TM} = \frac{Q^*/N}{T} \left( -\frac{dT}{dx} \right) \quad (2.8)$$

$Q^*$  表示為 transport of heat，N 為亞佛加厥常數， $dT/dx$  表示溫度梯度，而熱遷移的通量方程式可表示為[13]：

$$J_{TM} = \frac{CD_A Q^*/N}{\kappa T^2} \left( -\frac{dT}{dx} \right) \quad (2.9)$$

C 為原子濃度， $D_A$  為主要載子的擴散係數(diffusivity)， $\kappa$  為波茲曼常數。如果已知材料所受熱遷移的位移量及通電時間等條件下，熱遷移的通量方程式亦可表示為[13]：

$$J_{TM} = \frac{(A\Delta X)dN}{Mat} \quad (2.10)$$

其中  $\Delta X$  為平均位移量， $d$  為凸塊密度， $M$  為分子量， $t$  表示為通電時間。

為了有效的驗證熱遷移的效應，Hsiang-Yao Hsiao 等人[13-14]利用交流電使錒錫不遭受電遷移之特性，但仍然能受到焦耳熱效應的影響，來做為分析熱遷移現象的研究方法，並以實驗證實錒受熱遷移的影響會朝向熱端移動。其中再搭配紅外線感測儀可實際量測各錒錫凸塊截面之溫度分佈，如圖 2-6 所示，並藉由量測出溫差再將其除以凸塊高度可推算出晶片端與基板端間之溫度梯度(thermal gradient)。Hsiao-Yun Chen 等人[15]以理論值與實際量測值解釋了因熱遷移的效應所產生的孔洞生成，其試片測試條件為共晶錒銀錒錫 Cu UBM 厚度  $5\mu\text{m}$  於  $150^\circ\text{C}$  下通以電流密度  $9.7 \times 10^3 \text{ A/cm}^2$ ，SEM 觀察發現於 Bump1 及 Bump4 電流未流經之凸塊晶片端亦有發現孔洞之生成，而電子流向上之 Bump2 亦有孔洞的生成，並藉由 EM 驅動力推算出臨界溫度梯度為  $400^\circ\text{C/cm}$ ，且配合紅外線顯像技術實際量測各凸塊之溫度分佈，進一步驗證出 Bump2 溫度梯度大於此臨界溫度梯度，進而推論出因銅原子所受之熱遷移力遠大於電遷移力，快速銅原子的擴散受熱遷移所影響，最終導致晶片端的孔洞生成，即使是電流未流經的凸塊亦是如此，如圖 2-7 所示。再以相同的環境溫度、錒錫成分及通電條件下，UBM 則選擇 Cu  $5\mu\text{m}$  再加上 Ni  $3\mu\text{m}$  厚度之試片，觀察各凸塊卻並未發現明顯之熱遷移現象，卻只有發現電子流向下之 Bump3 有孔洞產生。由於多了鎳墊層之試片，經過推算後其理論臨界溫度梯度為  $8050^\circ\text{C/cm}$ ，且以紅外線顯像技術量測各凸塊之溫度梯度，其實際量測值遠低於其理論之臨界溫度梯度，說明了雖然在相同的測試條件下，鎳墊層的存在卻成為防止銅受熱遷移良好之阻障層[16]。對於 Cu UBM 試片測試條

件下所觀察到的現象，提出各凸塊受到電遷移及熱遷移方向之示意圖，如圖 2-8 所示。其中 Cu 與 Sn 的電遷移與熱遷移方向如圖所示，Cu 熱遷移以較長的箭頭表示之，並說明了此孔洞的生成機制主要因巨大的溫度梯度造成 Cu 受熱遷移影響所致。

S. H. CHIU 等人的發表中[17]，鋁導線尺寸對電遷移的影響覆晶鉚錫接點的失效時間中，分別於長度  $850\ \mu\text{m}$ 、 $1700\ \mu\text{m}$  與  $2550\ \mu\text{m}$  鋁導線通電流  $0.2 \sim 1.0\text{A}$ ，當電流溫度愈大 Radiant IR image 得到的溫度越高，在相同的電流下，鉚錫接點間鋁導線愈長溫度升高愈高影響電遷移失效時間。

## 2-4 電遷移對鉚錫結構破壞機制

電遷移效應在覆晶封裝結構中會造成的破壞模式主要分成兩大類，第一種為電遷移效應促使金屬墊層的溶解而產生破壞，第二種為電遷移下造成孔洞的生成。以下為兩種模式的詳細解釋。

首先，由於電流密度集中效應，在導線與鉚錫凸塊介面處會有一電流密度極大區域，此區域不管是電流密度或是溫度都是整個鉚錫凸塊內最大值，因而使得金屬墊層快速的溶解，到後期甚至連導線部分也被消耗掉，而這樣的溶解會使得鉚錫材料被反向擴散至原本導線的位置，造成鉚錫凸塊的加速破壞，鉚錫取代了原本導線的位置，且鉚錫材料比起銅抵抗電遷移的能力差，使得導線位置的破壞更加劇烈，破壞示意圖如圖2-9所示[18]。

電遷移所造成的孔洞生成主要發生的位置在導線與鉚錫凸塊接面，前文中有提到，電流集中效應會發生在導線與鉚錫凸塊的介面，此處的電流密度大小大約為鉚錫凸塊內的 10 倍，因而此處較易因電遷移效應而產生孔洞，一旦孔洞生成後，就

形成一孔洞成核處，孔洞會因電遷移效應延著此介面生長到橫越整個接觸面，此時整個迴路就會變成斷路，因而無法繼續過電。圖 2-10(a)為不同電阻上升階段的孔洞成長圖，圖 2-10(b)為模擬孔洞成長趨勢圖[19]。

在 Lingyun Zhang 等人的發表中[20]，95.5Sn-4.0Ag-0.5Cu 之鉛錫與 Al/Ni(V)/Cu 所構成的 UBM 中，以 146°C 電流密度為  $3.67 \times 10^3 \text{ A/cm}^2$  的條件下，當電阻上升 15% 後觀察發現鬆餅狀孔洞(pancake-type void)生成於介金屬化合物與鉛錫凸塊之介面處，如圖 2-11 所示，文獻中並提出數學模型以解釋孔洞於介面成長之機制。

在 C. K. Lin 等人的發表中[21]，錫銀鉛錫 chip 端為 Cu UBM、基板端為鎳在溫度 126°C~185°C 下電遷移失效模式研究結果，在基板端，低溫下破壞機制為孔洞生成於 Cu<sub>6</sub>Sn<sub>5</sub> 與鉛錫介面；高溫下破壞機制為 UBM Cu 溶解形成 Cu-Sn IMC 堆積。並且提出一個模型：計算電遷移 flux 在 Cu<sub>6</sub>Sn<sub>5</sub> 與鉛錫介面，當溫度低於 131°C，電遷移 flux 流進此介面大於流出；高於 131°C 結果相反，成功解釋了實驗結果。Chip 端 Ni UBM 也有類似結果但尚未有研究證實兩種不同破壞機制之臨界溫度，破壞示意圖如圖 2-12 所示。

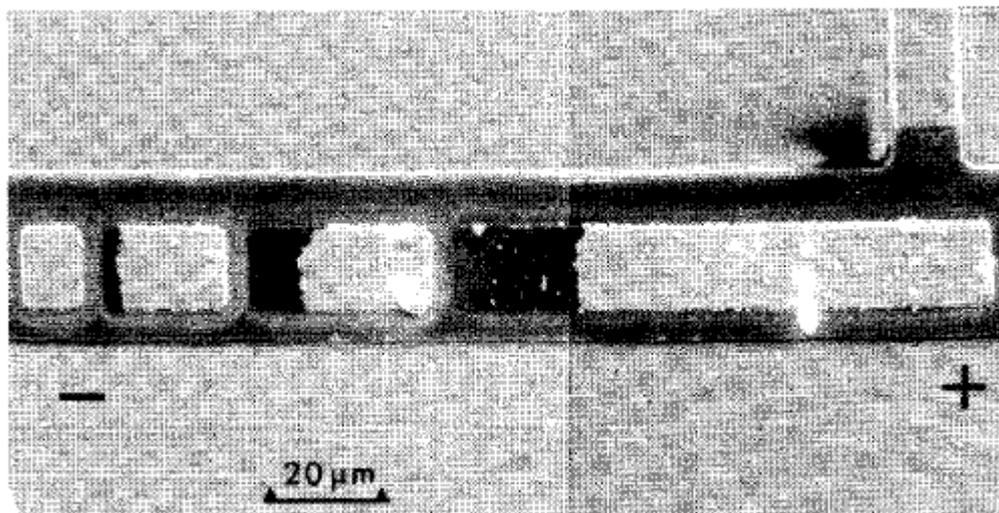


圖 2-1 Blech 實驗試片陽極端與陰極端 SEM 俯視圖[8]

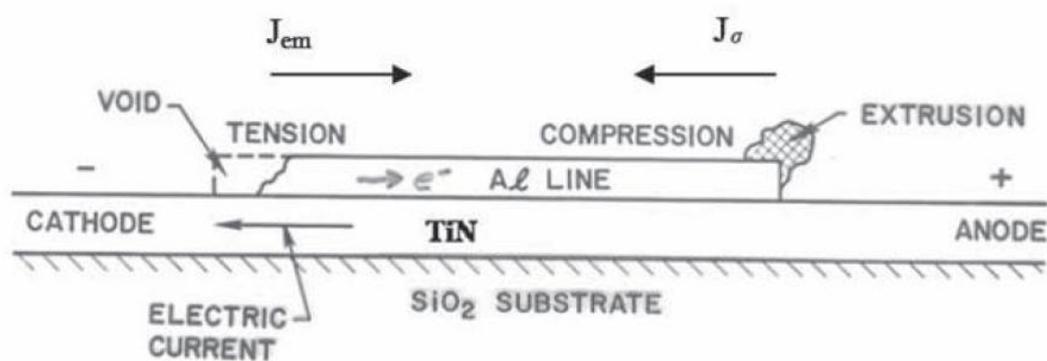


圖 2-2 Blech 實驗試片橫截面示意圖

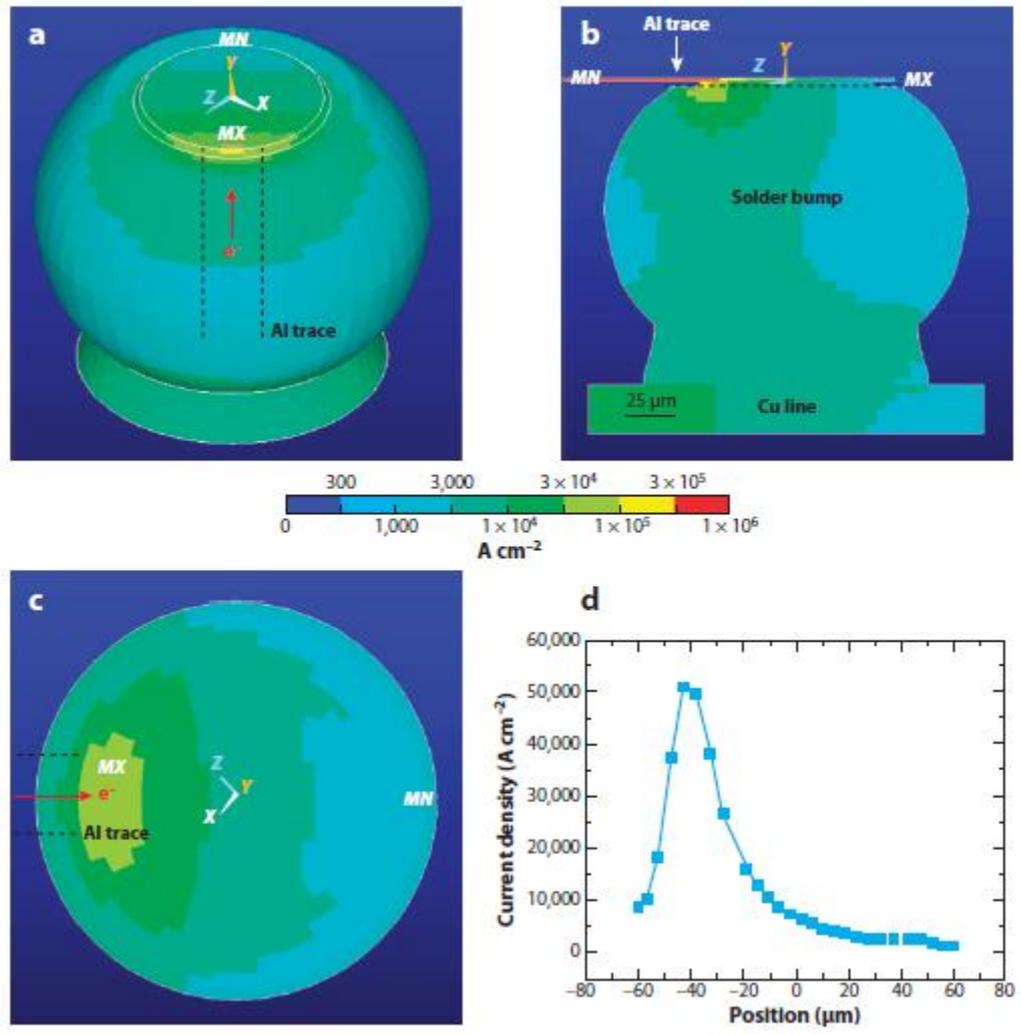


圖 2-3 模擬於通電 0.6A、100°C 下，錫錫凸塊電流密度分佈情形，(a)3D 電流分佈圖，(b)剖面電流分佈圖，(c)俯視電流分佈圖，(d)以圖(b)中之虛線做電流密度大小分佈[11]

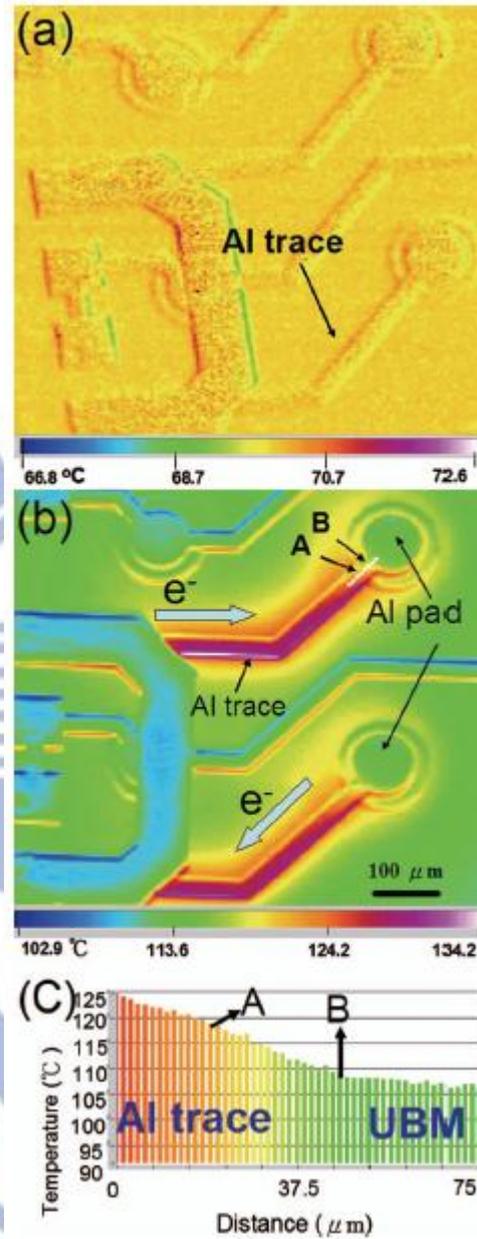


圖 2-4 以紅外線顯像技術觀察試片表面溫度分佈情形，(a)未通入電流時，(b)通入電流時，(c)以圖(b)A 及 B 點之溫度分佈[12]

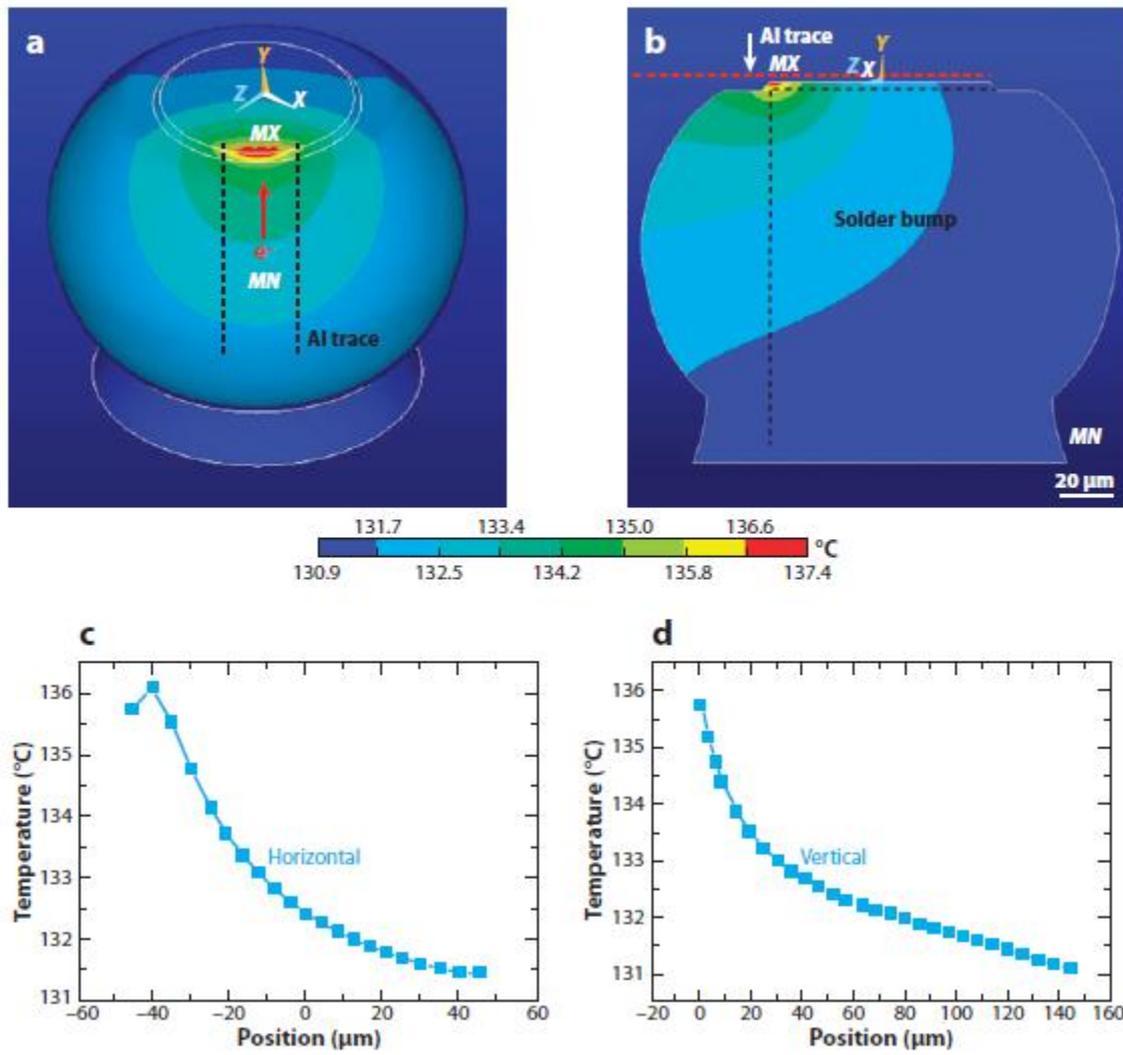


圖 2-5 模擬於通電 0.6A、100°C 下，錐錫凸塊之溫度分佈情形，(a) 3D 溫度分佈圖，(b) 剖面溫度分佈圖，(c) 以圖 (b) 中之水平虛線做溫度分佈，(d) 以圖 (b) 中之垂直虛線做溫度分佈 [11]

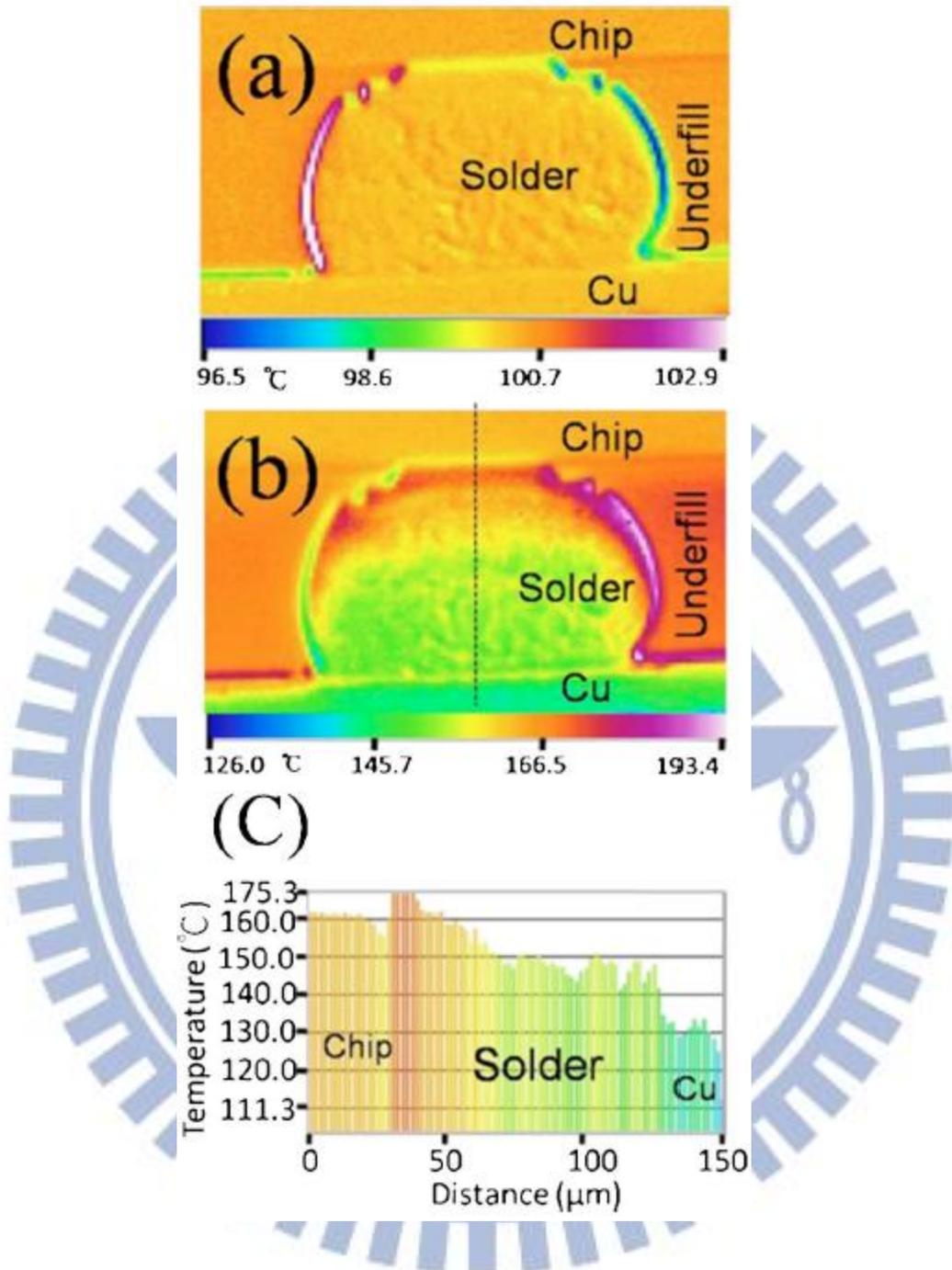


圖 2-6 以紅外線顯像技術觀察鉛錫凸塊剖面之溫度分佈情形，(a)通電前凸塊之溫度分佈，(b)通電後凸塊之溫度分佈，(c)沿圖(b)虛線方向之溫度分佈[13]

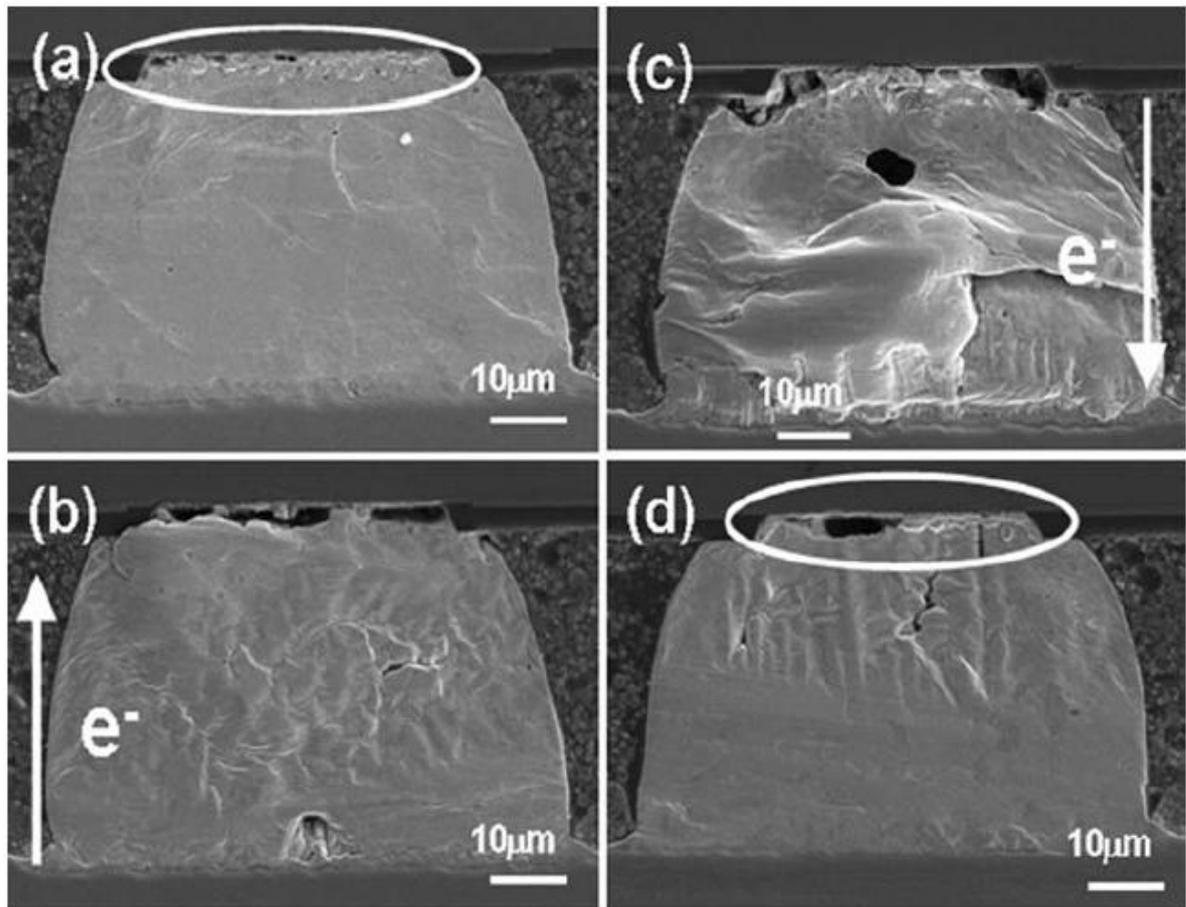


圖 2-7 150°C 電流密度為  $9.7 \times 10^3 \text{ A/cm}^2$  下，於通電 76hr 後各凸塊 SEM 剖面影像，(a)Bump1，(b)Bump2，(c)Bump3，(d)Bump4[15]

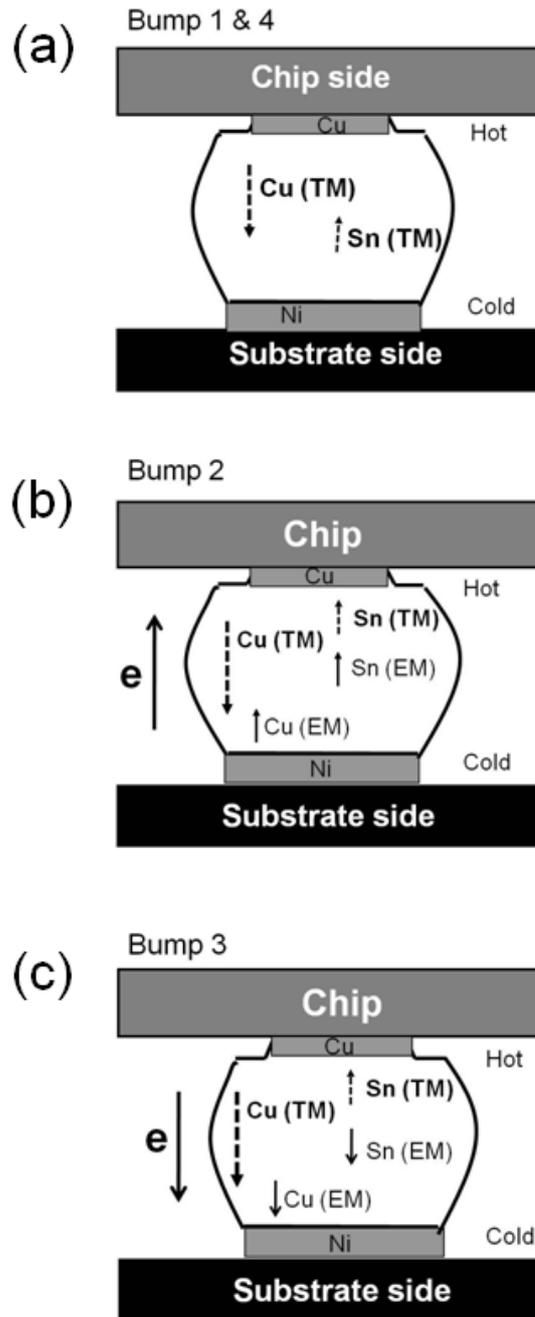


圖 2-8 150°C 電流密度為  $9.7 \times 10^3 \text{ A/cm}^2$  下，各凸塊 Cu 與 Sn 受電遷移及熱遷移方向示意圖，(a)電流未流經之 Bump 1&4，(b)電子流向上之 Bump 2，(c)電子流向下之 Bump 3[16]

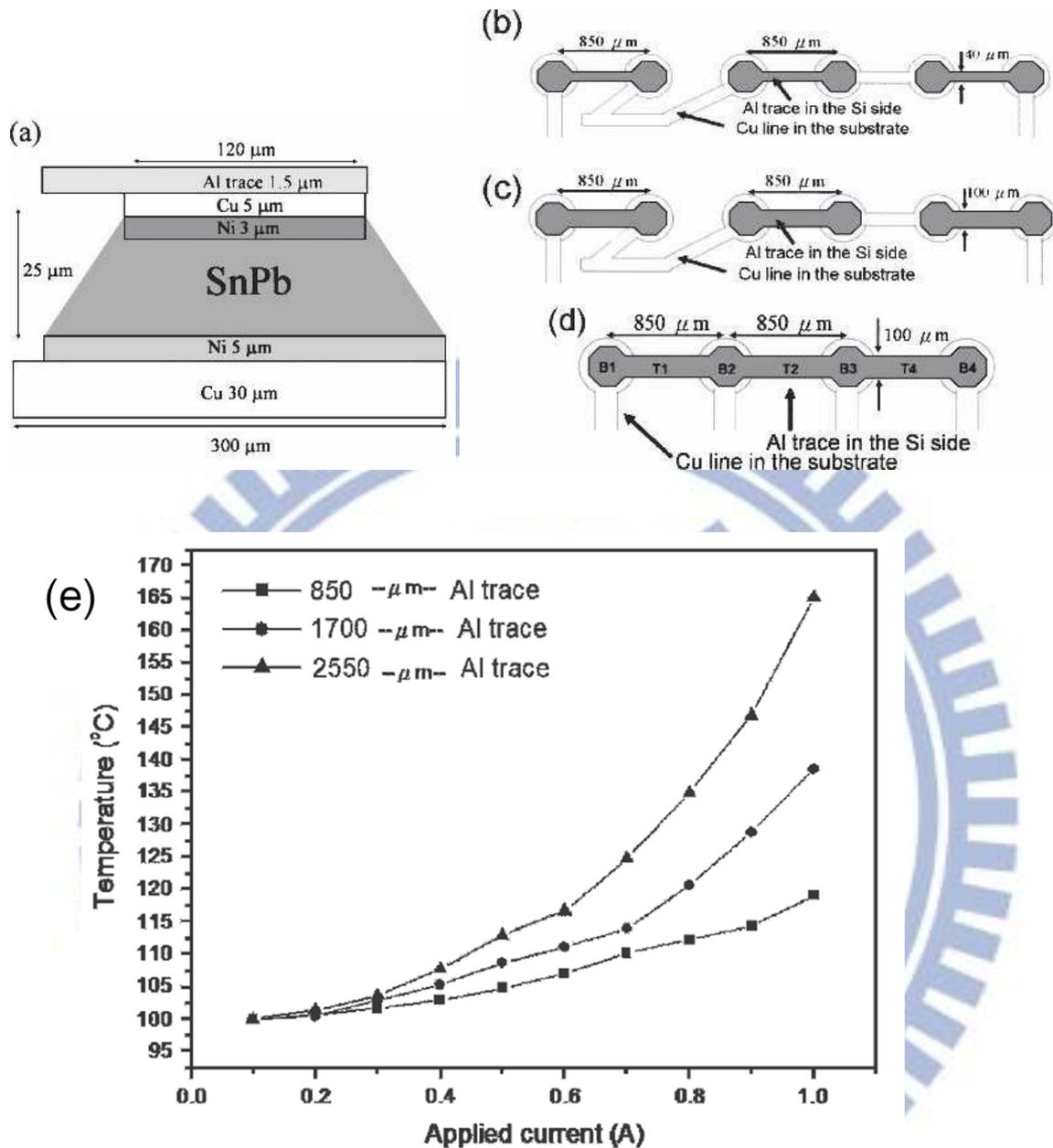


圖 2-9 (a) SnPb bump 尺寸截面圖 (b) Plan-view schematic showing the daisy-chain joints with (b) 40  $\mu\text{m}$  wide Al traces and (c) 100  $\mu\text{m}$  wide Al traces. (d) Plan-view schematic showing the solder joints with 100  $\mu\text{m}$  wide Al traces for investigation of length effect on electromigration. (e) Temperatures measured in the Al pad for solder joints with 850  $\mu\text{m}$ , 1700  $\mu\text{m}$ , and 2,550  $\mu\text{m}$  long Al traces in Fig.

ld as a function of applied current. The longer the Al trace, the higher the Joule heating effect[17].

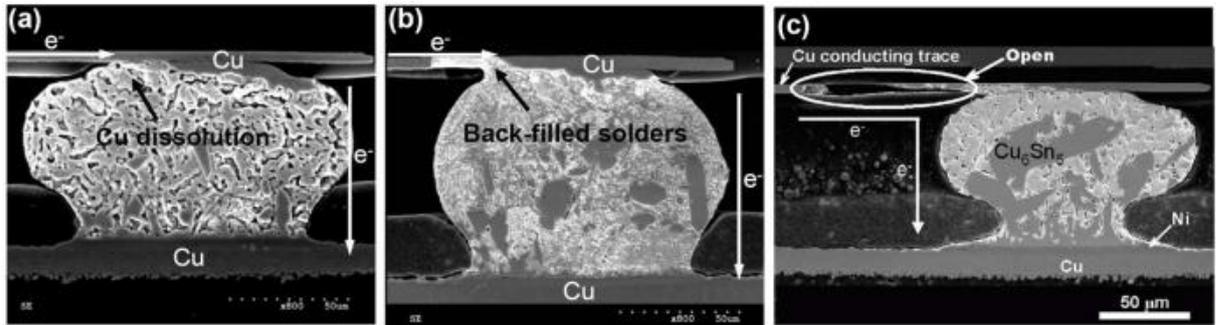


圖 2-10 銅墊層快速反應示意圖[18]。

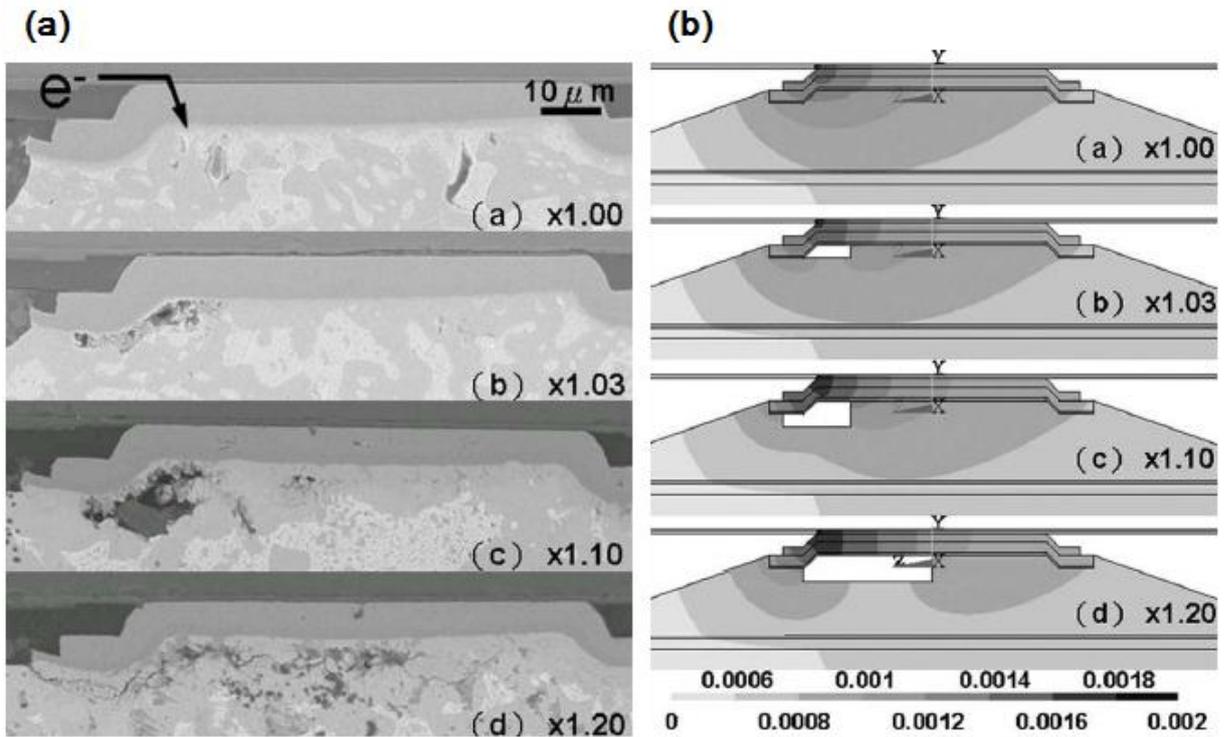


圖 2-11 電遷移造成的孔洞生成，(a) 不同電阻上升階段的孔洞成長圖，(b) 模擬孔洞成長趨勢圖[19]。

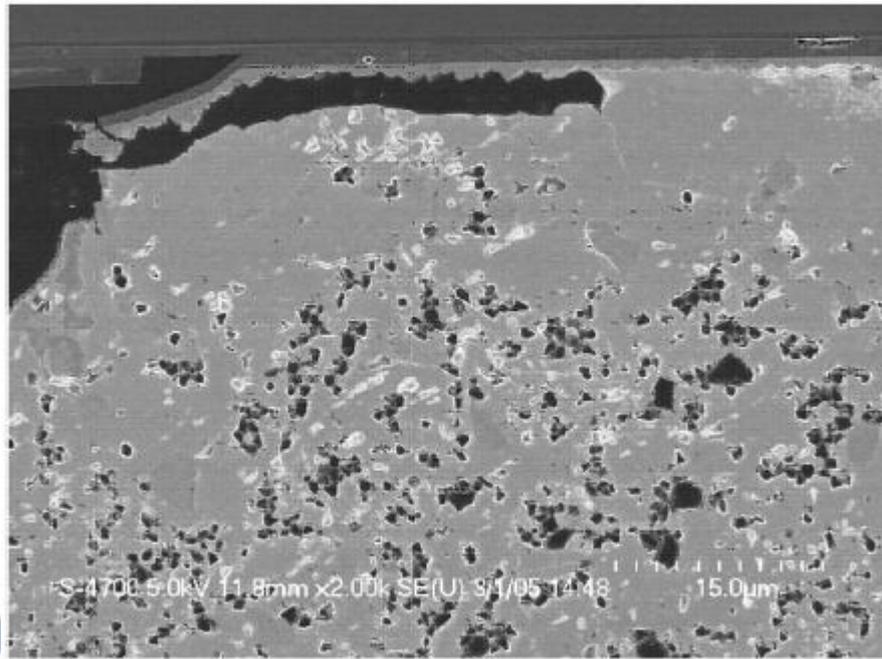


圖 2-12 鬆餅狀孔洞生成於鉕錫與 IMC 間之 SEM 影像[20]

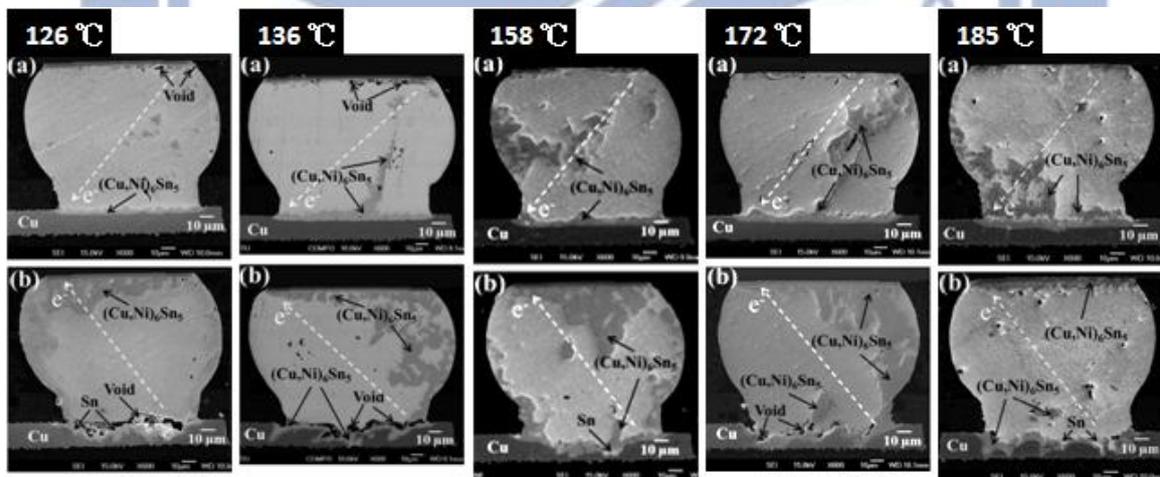


圖 2-13 電流密度為  $1.4 \times 10^4$  A/cm<sup>2</sup> 下，不同溫度阻值上升 10mΩ 後各凸塊 SEM 剖面影像[21]

### 第三章、試片結構與實驗方法及步驟

本研究共分為兩個主要的實驗階段，第一階段固定溫度 100 °C 作為加速破壞之條件，當試片 Bump3(電子流向下)電阻上升率分別為 20%、50%、100%及 500%時做為終止條件；第二階段固定溫度 80 °C，當試片 Bump3(電子流向下)電阻上升率為 100%時做為終止條件，此兩階段固定電流皆為 1.35A，其中試片利用可精確量測電阻變化之凱文結構方式佈局，並搭配穩定提供電流之電源供應器與量測儀器。當試片到達各階段終止條件後，將試片研磨至錒錫凸塊中心，並藉由光學顯微鏡(Optical Microscopy, OM)及掃描式電子顯微鏡(Scanning Electron Microscopy, SEM—JEOL 6500)觀察試片截面影像，以做為觀察覆晶錒錫銀錒錫於不同階段時期之破壞行為，並搭配能量散佈光譜儀(Energy Dispersive Spectroscopy, EDX—JEOL 6500)以鑑別特定區域之成份組成，來分析試片經電遷移後組成之變化。

#### 3-1 試片結構

實驗之試片，係由米輯科技所提供之共晶錒錫銀覆晶封裝試片，其錒錫凸塊剖面結構如圖 3-1 所示，此共晶錒錫銀錒錫於晶片端之 UBM 種類為 Cu/Ni，其厚度為  $5/3\ \mu\text{m}$ ，UBM opening 為  $120\ \mu\text{m}$ ，錒錫凸塊高度為  $25\ \mu\text{m}$ ，於基板端銅墊層直徑為  $300\ \mu\text{m}$ 、厚度為  $25\ \mu\text{m}$ ，銅墊層之上為厚  $5\ \mu\text{m}$  之無電鍍鎳，錒錫錒料成分為 96.5Sn3.5Ag 之共晶錒錫銀，基板採用 FR5 基板。

#### 3-2 實驗方法及步驟

##### 3-2-1 凱文結構方式佈局

本實驗之試片迴路設計為使用凱文結構方式佈局，其結構之俯視圖及橫截面示意圖，如圖 3-2 所示；3D 剖面圖如圖 3-3 所示。本研究中將利用此結構精確地量測銲錫受電遷移影響之電阻變化。結構中主要涵蓋四顆銲錫凸塊，此四顆銲錫凸塊之晶片端係由一條長  $3150\ \mu\text{m}$  的鋁導線連接四個鋁墊層，並標示著 b1 凸塊到 b4 凸塊如圖 3-2(a)，而在基板端共有六條銅導線分別連接到此四顆銲錫凸塊，並依序標示為 n1 到 n6 如圖 3-2(b)。本研究中定義電子流之方向乃從 n3 導線流經 b2 凸塊之基板端再向上至其晶片端，並經由鋁導線而再由 b3 凸塊晶片端流往其基板端至 n4 導線，如圖所示。b2 凸塊之電壓變化可由 n1 與 n2 量測得知，而 b3 凸塊的電壓變化可由 n5 與 n6 量測得知，連接 b2 凸塊與 b3 凸塊的上端鋁導線之電壓變化亦可由 n1 與 n6 量測得知，又由於通電時所提供之電流為固定值，依據歐姆定律可推算其電阻值。藉由此量測方式可同時並隨時間觀察 b2 凸塊端、b3 凸塊端及 b2 凸塊與 b3 凸塊間鋁導線端之電阻隨時間之變化。

### 3-2-2 電遷移測試條件與銲錫電阻變化量測

將試片置於  $100^\circ\text{C}$  的加熱板上，以晶片端朝上而基板端朝下的方式平貼於加熱板上，並以耐熱膠帶固定，待試片溫度達到平衡後才開始通入電流量測。本研究之試片於 n3 與 n4 間通以所需之電流，當 b3 凸塊到達各階段電阻上升率時，研磨至銲錫凸塊中心位置，以便觀察各階段電阻上升率因電遷移破壞之微結構。

本研究中所使用的電源供應器與量測儀器為電流源 Agilent3646a 與資料交換器(Data switch)Agilent E34970A 配合有二十個獨立頻道的 Agilent E34901A 模組，藉由上述兩組儀器對序列阜與 GPIB 控制介面通訊協定的支援，以美國國家儀器公司開發的圖形化儀器控制軟體 Labview，作為實驗過程中的數據擷取及儀

器控制的工具。

本研究試片為了量測試片內部真實溫度，從文獻回顧[17]裡得知，通電電流於溫度的關係曲線，針對鋁導線長  $850\ \mu\text{m}$ (與本實驗條件相同)曲線作 fitting，得到通電電流  $1.35\text{A}$  升溫  $32^\circ\text{C}$ 。

### 3-2-3 鋅錫微結構觀察

在到達各階段的破壞測試條件下之試片，依序以不同號數之 SiC 砂紙 80、1000、2000、4000 做試片截面研磨，並利用光學顯微鏡逐步觀察試片的研磨程度，試圖將試片研磨至鋅錫凸塊中心，再以  $1\ \mu\text{m}$  及  $0.3\ \mu\text{m}$  大小顆粒的  $\text{Al}_2\text{O}_3$  做研磨拋光，再藉由 OM 及 SEM，用以觀察鋅錫凸塊破壞後之剖面影像。

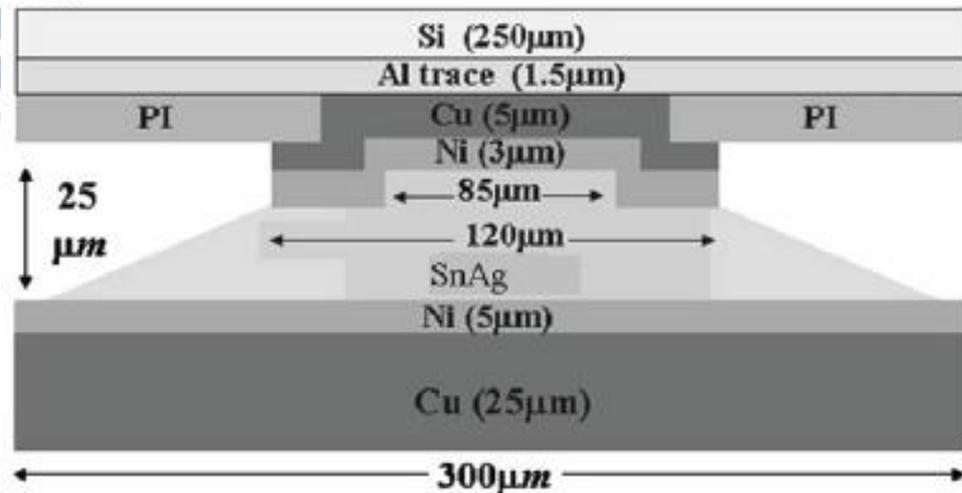


圖 3-1 共晶錫銀鋅錫凸塊之剖面結構圖

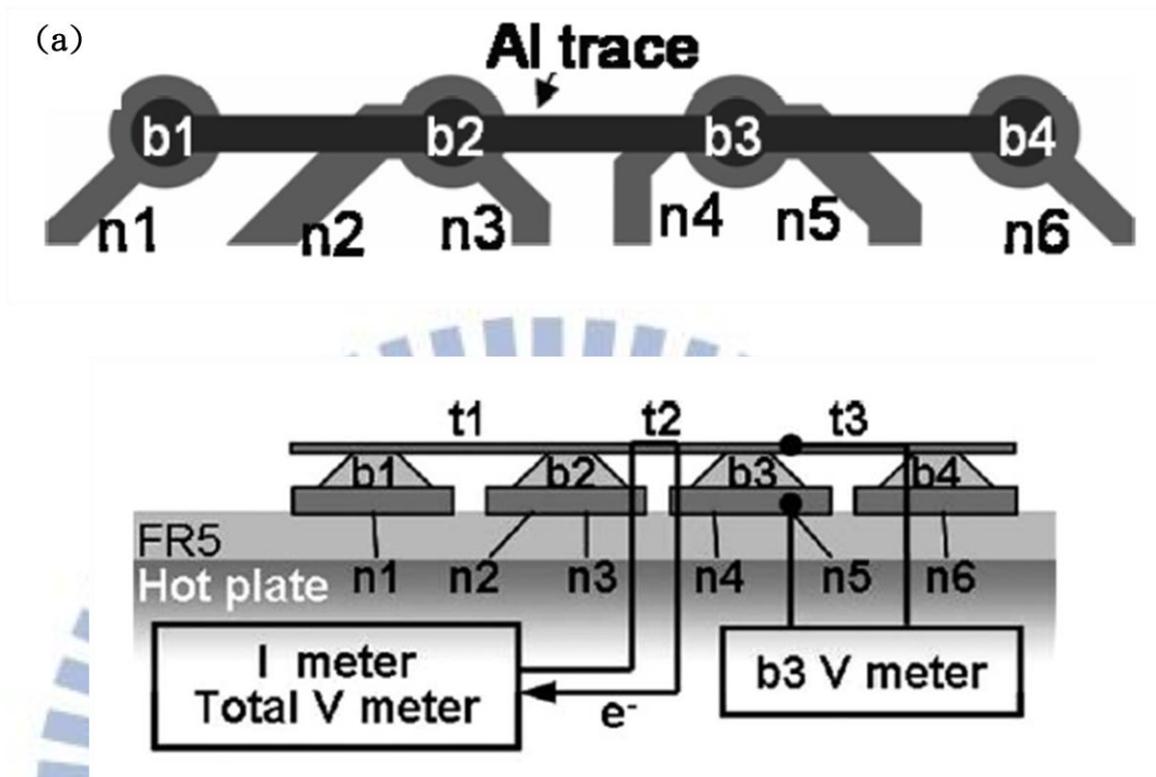


圖 3-2 實驗試片之凱文結構接點示意圖，(a)俯視圖，(b)剖面圖

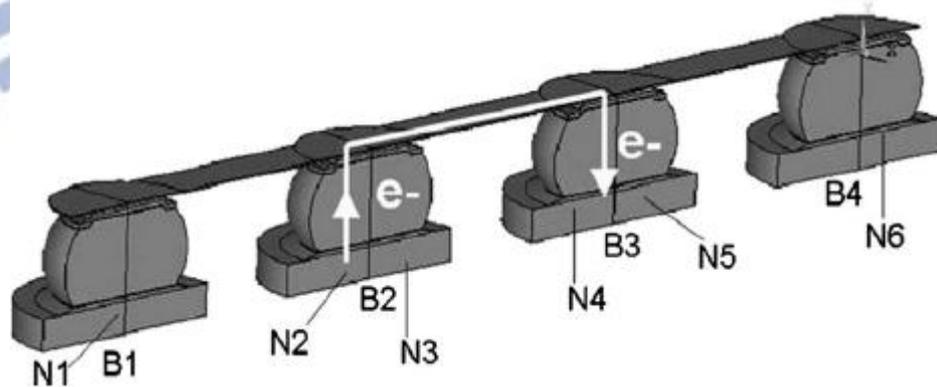


圖 3-3 實驗試片之凱文結構 3D 剖面圖[15]

## 第四章、實驗結果與討論

一般在錒錫接點通電可靠度測試中，所觀察到主要微結構改變通常出現在電子流方向向下的錒錫凸塊破壞最先，最主要發生在電子流向下的錒錫凸塊，破壞會出現在電子流聚集處，即鋁導線與錒錫凸塊接觸的界面，破壞模式為界面上產生孔洞，孔洞隨著通電成長至整個界面使得迴路失效，或是錒錫凸塊上方金屬墊層消耗。其實在電子流向下的錒錫凸塊有著電阻上升的同時，電子流向上的錒錫凸塊也有微結構化變化的發生因此本研究重點在電子流向下的 b3 錒錫凸塊外，也將一併觀測電子流向上的 b2 錒錫凸塊。此章節將探討 Cu/Ni 墊層的錒銀凸塊電遷移行為，實驗中利用凱文結構來量測錒銀錒錫接點，配合金屬墊層為 Cu 5  $\mu$ m / Ni 3  $\mu$ m (簡稱 Cu 5 / Ni 3)，實驗第一階段在加熱板 100 °C 下通以 1.35 安培的電流，當電阻上升到原來的 20%，50%，100%，500% 時，觀察微結構變化，第二階段加熱板降溫至 80 °C 通以相同的電流，當電阻上升到原來的 100% 時，觀察微結構變化再分析不同溫度下的微結構變化與破壞模式。由於 Bump1 與 Bump4 皆為電流未流經之凸塊，估計此兩個凸塊所受之焦耳熱效應影響程度差異不大，故電流未流經之凸塊僅以 Bump1 做為討論。

### 4-1 定電流不同溫度破壞模式結果

#### 4-1-1 溫度 132 °C 破壞模式結果

##### A 電子流向下的破壞模式

圖 4-1 為定電流(1.35A)下 Bump3 電阻上升率與通電時間關係圖表，依各階段阻值上升之試片先以 OM 觀察電子流向下之 Bump3，如圖 4-2 所示，試片分別依電阻上升率之排序一併做觀察比較，通電初期於晶片端處孔洞的生成不明顯，基板

端發現介金屬化合物的累積現象，且隨 Bump3 電阻上升率增加，晶片端處孔洞的開始生成與介金屬化合物生成於錐錫內部。各階段試片於晶片端再進一步以 SEM 觀察如圖 4-3 所示，其圖中虛線為孔洞與錐錫之介面處。觀察發現各階段試片皆有孔洞生成現象，且於介金屬化合物與錐錫介面處產生，孔洞由左向右側延伸擴散，其破壞模式既為先前所討論之鬆餅狀孔洞形成的機制[19]。圖 4-3 (a) Cu<sub>5</sub>/Ni<sub>3</sub> 金屬墊層錐錫接點在加熱板 132 °C 下通以 1.35 安培的電流，經過 90.7 小時之後，錐錫球電阻上升至原來的 20% 時之電子顯微鏡影像圖，電子流由晶片端左上方往基板端流動如同圖中箭頭所示；可以明顯的觀察到電子流由鋁導線進入錐錫內部的入口處有微小的孔洞生成，沿著介金屬化合物與共晶錫銀錐錫的介面由左邊往右邊擴展，最初孔洞形成應是受電流集中效應的影響，初期孔洞生成的地方也是電流集中的嚴重區域，熱點發生的地方。其他則沒有明顯的微結構改變，整個金屬墊層也保持完好，介金屬化合物之厚度無顯著變化。隨著通電時間的增加，電阻上升時其微結構的變化如圖 4-3 (b) 所示，該圖為錐錫接點通電 178.4 小時之後，電阻上升至原來的 50% 時之電子顯微鏡影像圖，因為電子流進入錐錫受到幾何形狀的改變造成電流集中效應，在入口處的位置會形成最大電流密度區，此處也是空洞最先形成的位置，當孔洞形成後電子流被迫改變路徑，由於電子流分流加上 aging 時間增加，在晶片端的金屬墊層原子也因為隨著電子流的驅動進入錐錫內部形成介金屬化合物(Ni<sub>3</sub>Sn<sub>4</sub>)，在基板端之介金屬化合物有明顯變厚的情形發生，而錐錫的錫原子也有擴散進入金屬墊層形成介金屬化合物 Cu<sub>6</sub>Sn<sub>5</sub>，並發現錐錫有回填的現象。再通電 501.6 小時之後，如圖 4-3 (c) 為錐錫接點電阻上升到回原來 100% 時的電子顯微鏡影像圖，發現孔洞的生成並成長繼續沿著介金屬化合物與共晶錫銀的介面由左邊往右邊擴展，而且錐錫內部大量

介金屬化合物( $\text{Ni}_3\text{Sn}_4$ ) 形成，更多錒錫的錫原子擴散進入金屬墊層形成介金屬化合物  $\text{Cu}_6\text{Sn}_5$ ，並發現大量錒錫有回填的現象。在通電 792.1 小時之後圖 4-3 (d) 為錒錫接點電阻上升到回原來 500% 時的電子顯微鏡影像圖，發現孔洞的生成並成長繼續沿著介金屬化合物與共晶錒銀的介面由左邊往右邊擴展，此處孔洞生成原因應為 Current Crowding Effect 影響，使得電子流由鋁導線進入最後由金屬墊層的后端進入錒錫內部，此時的錒錫和金屬墊層接觸面變小，使得電流密度變大，電阻增加，伴隨著焦耳熱效應也更嚴重，局部熱點溫度更高，后端孔洞破壞情形也越明顯。當電子流通過的鎳層遭到電遷移破壞後，銅原子因為電子流的驅動擴散進入錒錫內部與錒反應，最後在基板端及錒錫內部也形成大量的介金屬化合物，此介金屬化合物經 EDX 分析為  $(\text{Cu}, \text{Ni})_6\text{Sn}_5$ ，如圖 4-4。此時在晶片端金屬墊層局部消耗，並反應形成介金屬化合物，隨著電遷移破壞時間的增加，發生了剝離現象，被電子流帶離進入錒錫球內部，而錒錫球內部的錒原子也擴散佔據金屬墊層位置，錒原子和介金屬化合物相較下電遷移抗性較低，於是孔洞便於金屬墊層和鋁導線的介面形成。

#### B 電子流向上的破壞模式

先以 OM 觀察電子流向上之 Bump2，圖 4-5 的 (a)、(b)、(c)、(d) 分別為試片電阻上升 20%、50%、100%、500%。此結構與電子流向下的錒錫凸塊最大的不同在於並未發現孔洞，錒錫內部大量介金屬化合物生成。各階段試片於晶片端再進一步以 SEM 觀察如圖 4-6 (a)、(b)、(c)、(d) 所示，由於下端鎳層是採用無電鍍鎳，在初期的時候基板端的無電鍍鎳層就會與錒銀錒錫產生  $\text{Ni}_3\text{Sn}_4$  介金屬化合物，電子流不斷的向上推動鎳原子，使得化學反應的更加劇烈，而一旦無電鍍鎳層持續消耗，在  $\text{Ni}_3\text{Sn}_4$  介金屬化合物與無電鍍鎳層的界面處，會有一層鎳原子與磷原子

比例為3:1的化合物層，此層經EDS成分分析後為鎳與磷結晶所形成的Ni<sub>3</sub>P，然而，Ni<sub>3</sub>P層為一柱狀結構的結晶層，能提供一條快速擴散路徑，在電子流不斷往上推動的過程下，鎳原子不斷的往上遷移，因而加速了下端鎳層的消耗，圖4-7中所示有一條顏色較深的化合物層即為Ni<sub>3</sub>P層。

### C 觀察電流未流經之 Bump1

Bump1 為電流未流經之凸塊，所以對於此凸塊僅受熱效應所影響。試片先以 OM 分別依電阻上升率之排序做觀察比較，如圖 4-8 所示。觀察晶片端無明顯孔洞與金屬墊層消耗，基板端有明顯金屬化合物(Ni<sub>3</sub>Sn<sub>4</sub>) 形成，隨通電時間的增加而趨於明顯。其原因為以相同通電條件之前提下，Bump1 僅受焦耳熱效應而導致之熱遷移所影響，進而分別再以解析度較高的 SEM 來觀察各凸塊之晶片端，如圖 4-9(a)-(d)所示。可以發現各試片中，介金屬化合物堆積在基板端，其推測為鎳受到熱遷移所影響。

### 4-1-2 溫度 112 °C 破壞模式結果 1896

圖 4-10 (a)~(d)為 112°C 下通入 1.35A Bump 1~4 OM 剖面圖，於 Bump3 電阻上升率與通電時間分別為 100%、4200.2HR。

先以 OM 觀察電子流向向下之 Bump 3，如圖 4-10 (c)所示，電流進入鉍錫(左上方)發現孔洞的生成並成長繼續沿著介金屬化合物與共晶錫銀的介面由左邊往右邊擴展，再以 SEM 進一步觀察，如圖 4-11 (c)所示，通電初期當孔洞形成後電子流被迫改變路徑，此時的鉍錫和金屬墊層接觸面變小，使得電流密度變大，電阻增加，伴隨著焦耳熱效應也更嚴重，局部熱點溫度更高，加上 aging 時間增，在晶片端的金屬墊層原子也因為隨著電子流的驅動進入鉍錫內部形成介金屬化合

物( $\text{Ni}_3\text{Sn}_4$ )，當電子流通過的鎳層遭到電遷移破壞後，銅原子因為電子流的驅動擴散進入錒錫內部與錫反應形成大量的介金屬化合物 $(\text{Cu, Ni})_6\text{Sn}_5$ ，最後在基板端及錒錫內部也形成大量的介金屬化合物( $\text{Ni}_3\text{Sn}_4$ )。此時在晶片端金屬墊層局部消耗，並反應形成介金屬化合物，隨著電遷移破壞時間的增加，發生了剝離現象，被電子流帶離進入錒錫球內部，而錒錫球內部的錫原子也擴散佔據金屬墊層位置，錫原子和介金屬化合物相較下電遷移抗性較低，於是孔洞便於金屬墊層和鋁導線的介面形成。

#### B 電子流向上的破壞模式

先以 OM 觀察電子流向下之 Bump 2，如圖 4-10 (b)所示，晶片與基板端並無孔洞生成，錒錫內部產生大量介金屬化合物，再以 SEM 進一步觀察，如圖 4-11 (b)所示，電子流不斷的向上推動鎳原子，在  $\text{Ni}_3\text{Sn}_4$  介金屬化合物與無電鍍鎳層的界面處，鎳與磷結晶所形成的  $\text{Ni}_3\text{P}$ ，發現錒錫有回填金屬墊層的現象。

#### C 觀察電流未流經之 Bump1

B 先以 OM 觀察電流未流經之 Bump 1，如圖 4-10 (a)所示，所以對於此凸塊僅受熱效應所影響。觀察晶片端無明顯孔洞與金屬墊層消耗，基板端有明顯介金屬化合物( $\text{Ni}_3\text{Sn}_4$ ) 形成，結果溫度  $132\text{ }^\circ\text{C}$  相似，Bump1 僅受焦耳熱效應而導致的熱遷移所影響，介金屬化合物堆積在基板端，其推測為鎳受到熱遷移所影響。

### 4-2 結果觀察與分析

經由錒錫凸塊剖面觀察，孔洞的發生，主要發生於電子流向下的錒錫凸塊，其開始生成的位置為電子流流入的鋁導線與錒錫凸塊的界面處，此一現象係因電流聚集效應(Current crowding effect)，該處為覆晶錒錫凸塊的最大電流密度處，

圖 4-1(b)圖為各試片 Bump 3 通電時間與電阻上升率之關係圖，試片通電初期 Bump 3 電阻緩慢上升到通電時間約 650HR 後阻值上升加速，推測阻值上升初期為 Current Crowding Effect 影響孔洞開始生成於金屬化合物與共晶錫銀鉛錫的介面並由左向右延伸造成，因此電子流經鋁導線進入金屬墊層接觸面變小，使得電流密度變大，伴隨著焦耳熱效應也更嚴重，局部熱點溫度更高，通電時間約 650HR 後，鎳層遭到電遷移破壞後，銅原子因為電子流的驅動擴散進入鉛錫內部與錫反應，最後在基板端及鉛錫內部也形成大量的介金屬化合物。此時在晶片端金屬墊層局部消耗，並反應形成介金屬化合物，隨著電遷移破壞時間的增加，發生了剝離現象，被電子流帶離進入鉛錫球內部，而鉛錫球內部的錫原子也擴散佔據金屬墊層位置，錫原子和介金屬化合物相較下電遷移抗性較低，於是孔洞便於金屬墊層和鋁導線的介面形成，此為後期阻值加速上升原故。降溫至 112 °C 與 132 °C 比較，如圖 4-12(b)為 Bump 3 於不同溫度下之各試片通電時間對應電阻上升率關係圖，由圖 4-13 OM 比較，降溫前、後初期 Bump 3 都發現相同結果，因 Current Crowding Effect 影響孔洞開始生成於金屬化合物與共晶錫銀鉛錫的介面並由左向右延伸造成阻值上升，但降溫後試片阻值上升較緩慢，主要不同處在於降溫後試片通電時間約 650HR 後阻值上升較降溫前緩慢，推測因降溫後 Bump 3 內部溫度下降，局部熱點溫度也下降減緩介金屬化合物生成導致，直到通電時間約 3500HR 後阻值上升再加速上升，如同降溫前通電後期相同結果由圖 4-12 (a) 得知降溫至 112 °C 後阻值上升至原來的 100 % 時間與 132 °C 比較增加約 8.4 倍，主要差異在於降溫後 Bump 3 內部溫度相對下降使得介金屬化合物生減少，並減緩金屬墊層消耗導致阻值上升較通電初期緩慢。

經由鉛錫凸塊剖面觀察 Bump 2，晶片與基板端並無孔洞生成，鉛錫內部產生介

金屬的量與通電時間成正比。由於降溫後阻值上升至原來的 100 %時間與 132 °C 通電時間比較增加約 8.4 倍，因此 aging 時間相對增加，造成無電鍍鎳遭到電遷移破壞後，銅原子因為電子流的驅動擴散進入鉍錫內部與錫反應，最後在基板端及鉍錫內部也形成大量的介金屬化合物，以及鉍錫回填的現象都較降溫前明顯。

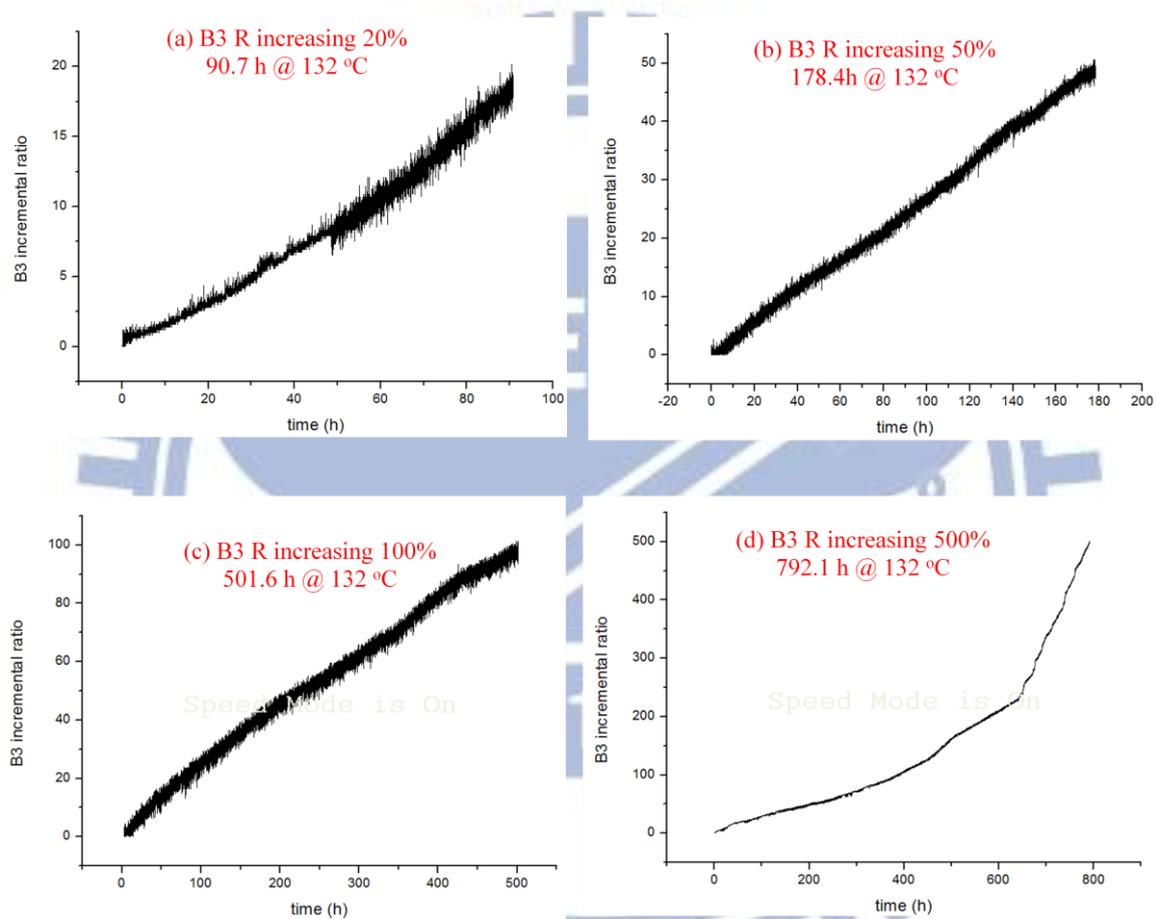


圖 4-1 於定溫 132°C 及定電流 1.35A 下，各試片通電時間與 Bump 3 電阻上升率圖表，(a) 20%、90.7HR，(b)50%、178.4HR，(c)100%、501.6HR，(d)500%、792.1HR

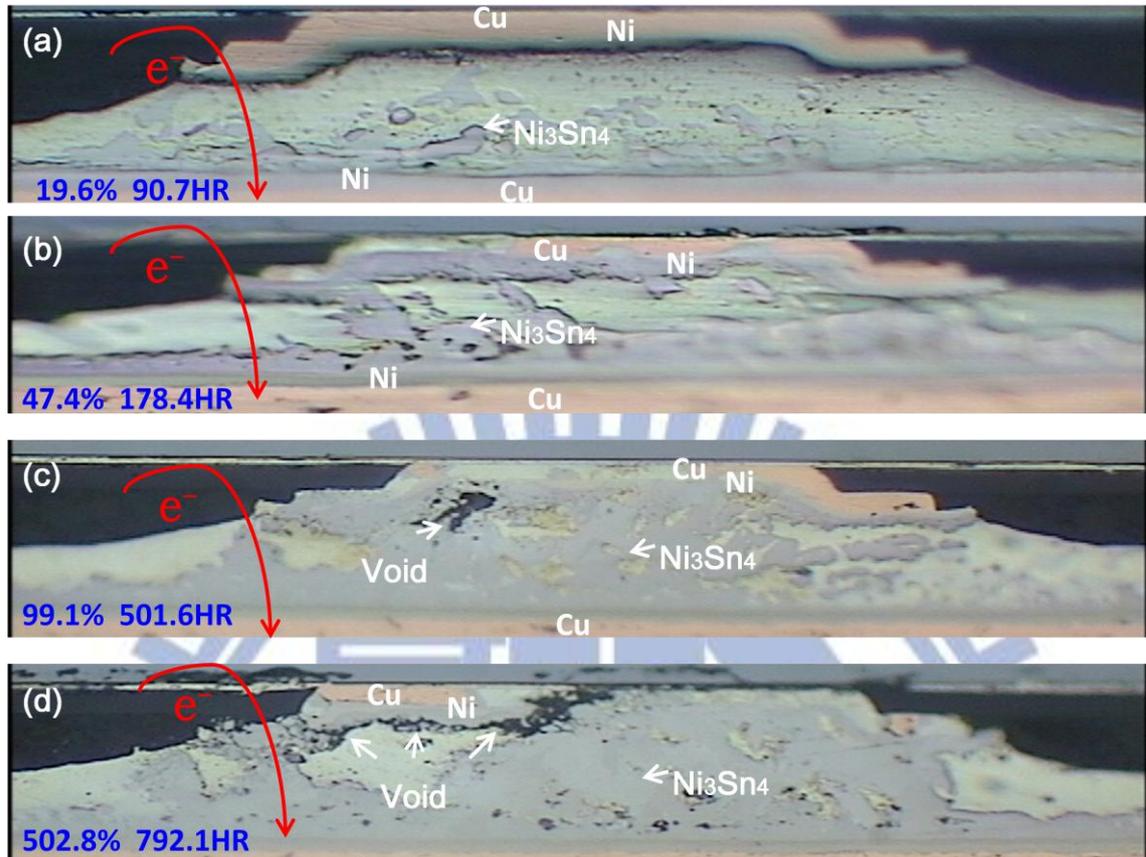


圖 4-2 132°C 下通入 1.35A，電流向下流經 Bump 3 OM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20%、90.7HR，(b)50%、178.4HR，(c)100%、501.6HR，(d)500%、792.1HR

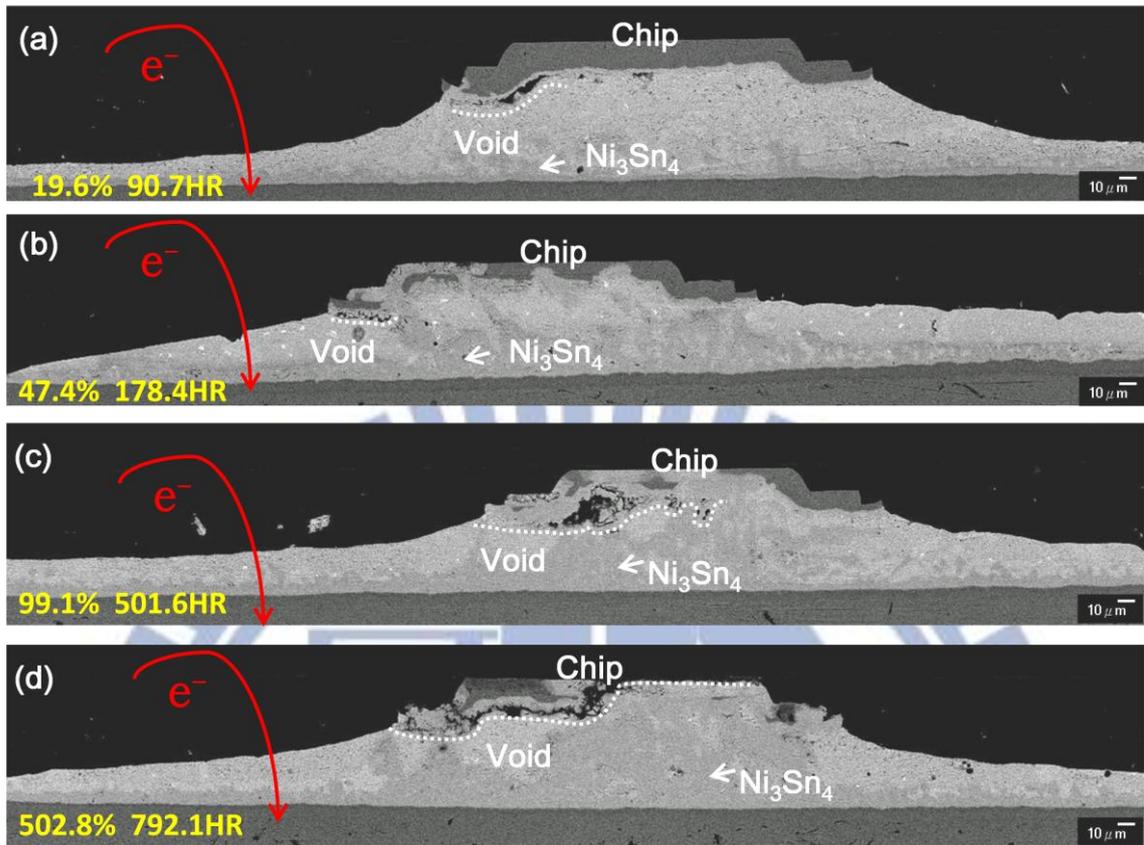


圖 4-3 132°C 下通入 1.35A，電流向下流經 Bump 3 SEM 剖面圖，(a) 於 Bump3 電阻上升率與通電時間分別為 20%、90.7HR，(b)50%、178.4HR，(c)100%、501.6HR，(d)500%、792.1HR

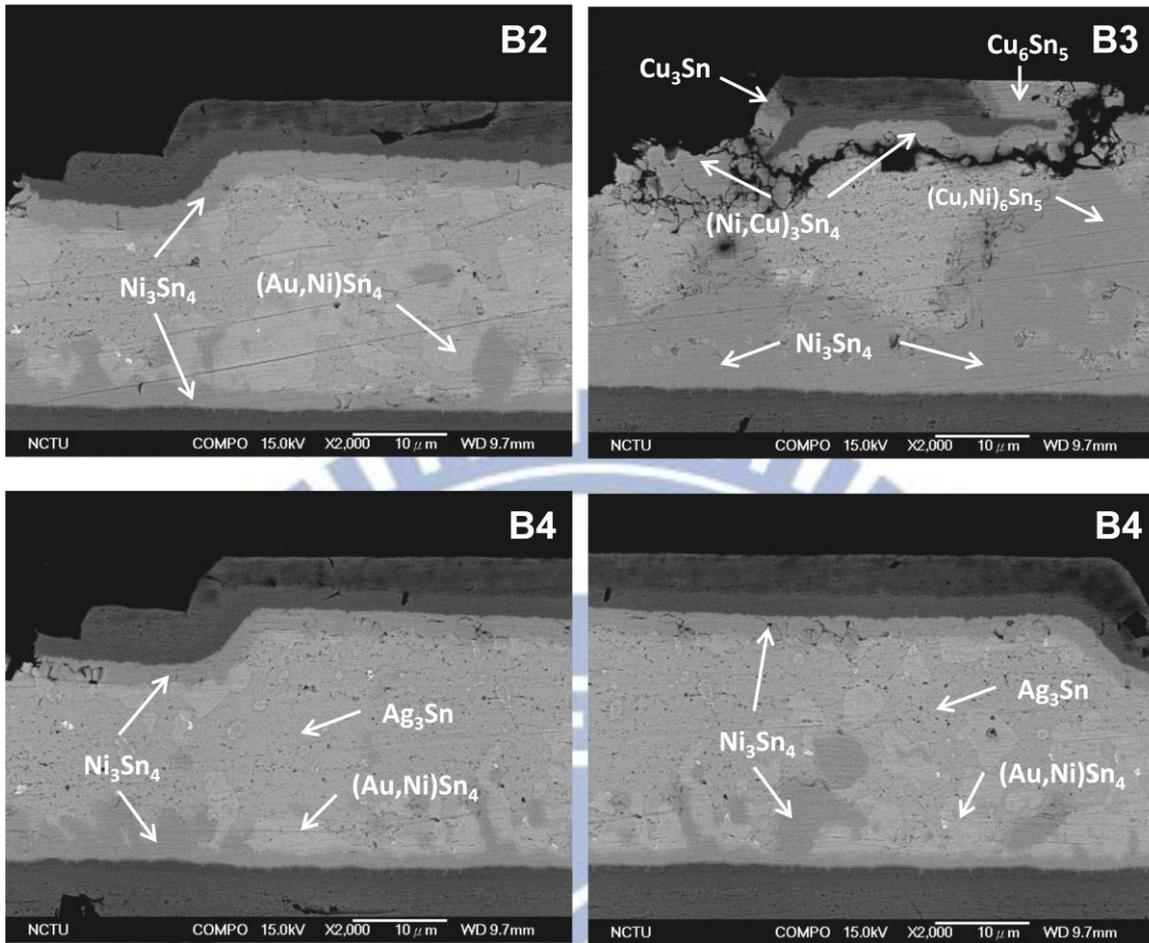


圖 4-4 132°C 下通入 1.35A Bump 3 電阻上升率與通電時間為 100%、501.6HR，Bump2、3、4 EDX 分析結果

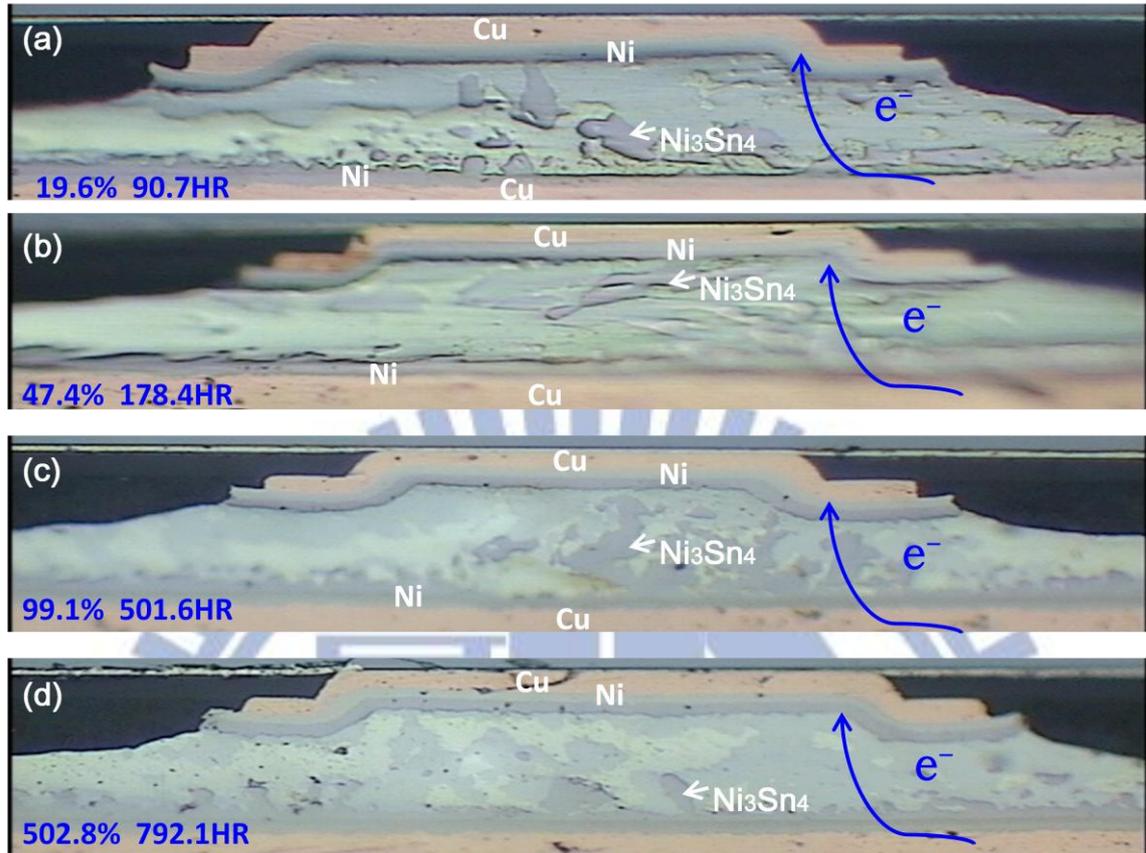


圖 4-5 132°C 下通入 1.35A，電流向下流經 Bump 2 OM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20%、90.7HR，(b)50%、178.4HR，(c)100%、501.6HR，(d)500%、792.1HR

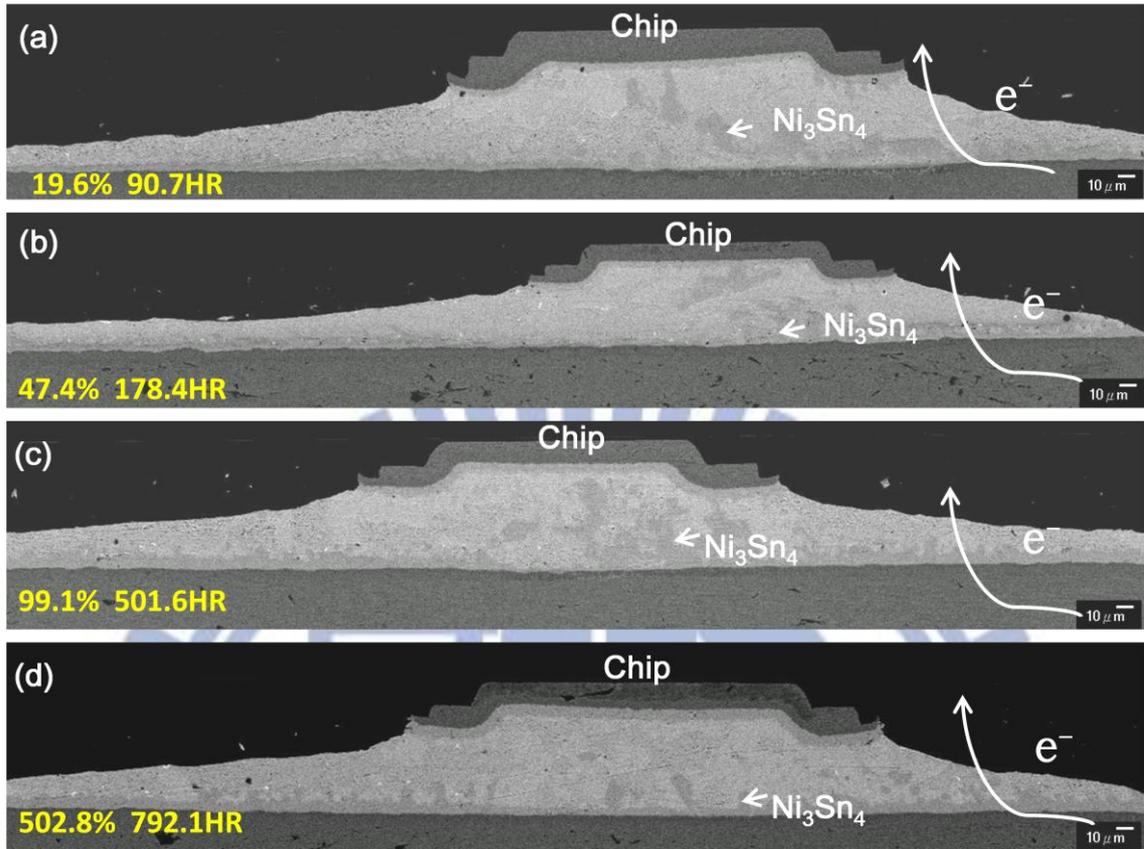


圖 4-6 132°C 下通入 1.35A，電流向下流經 Bump 2 SEM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20%、90.7HR，(b)50%、178.4HR，(c)100%、501.6HR，(d)500%、792.1HR

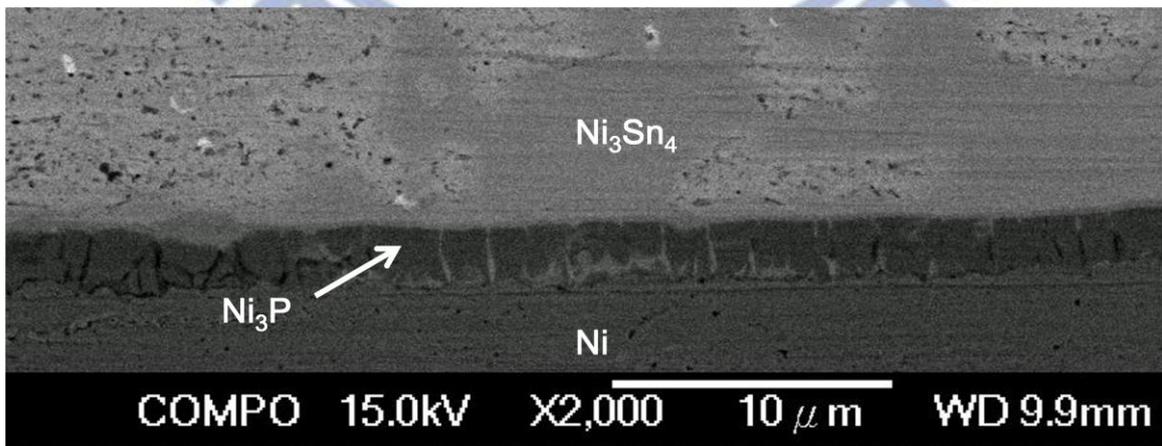


圖 4-7  $Ni_3P$  層間的柱狀結構晶界。

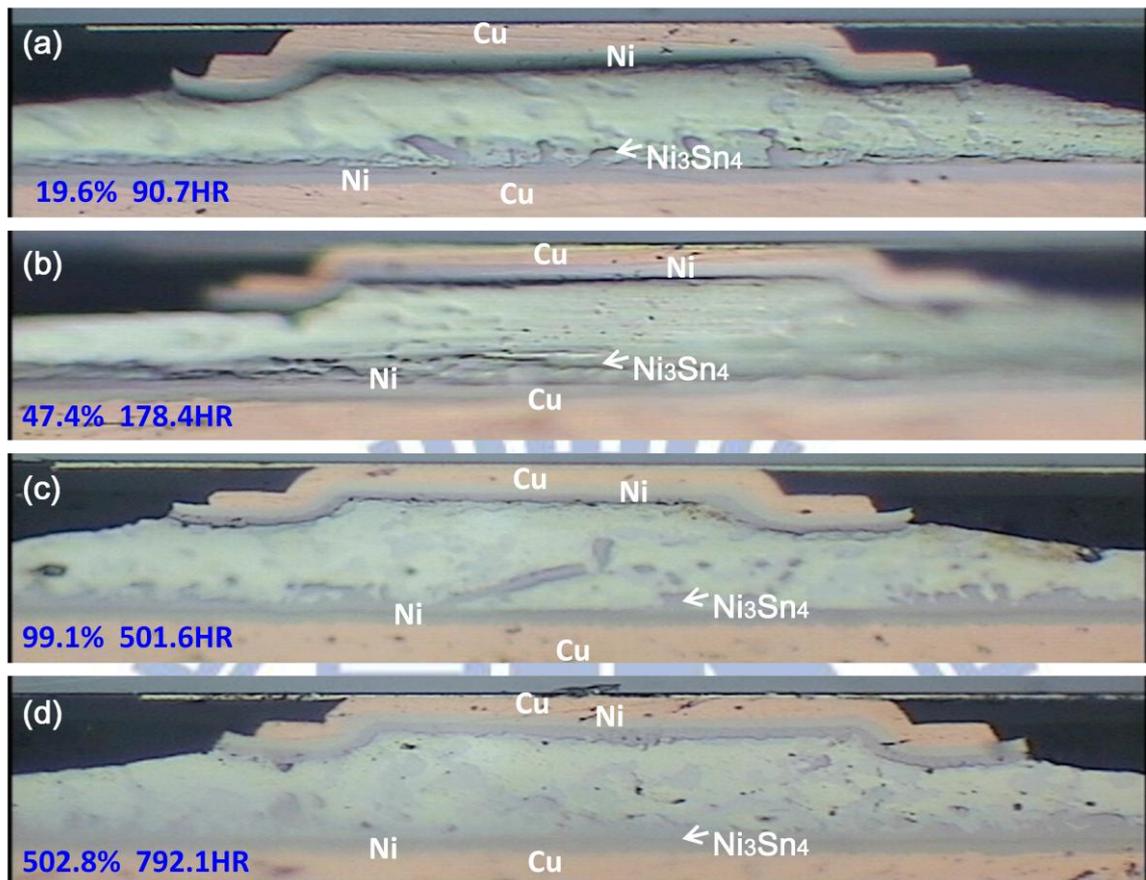


圖 4-8 132°C 下未通電 Bump 1 OM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20%、90.7HR，(b)50%、178.4HR，(c)100%、501.6HR，(d)500%、792.1HR

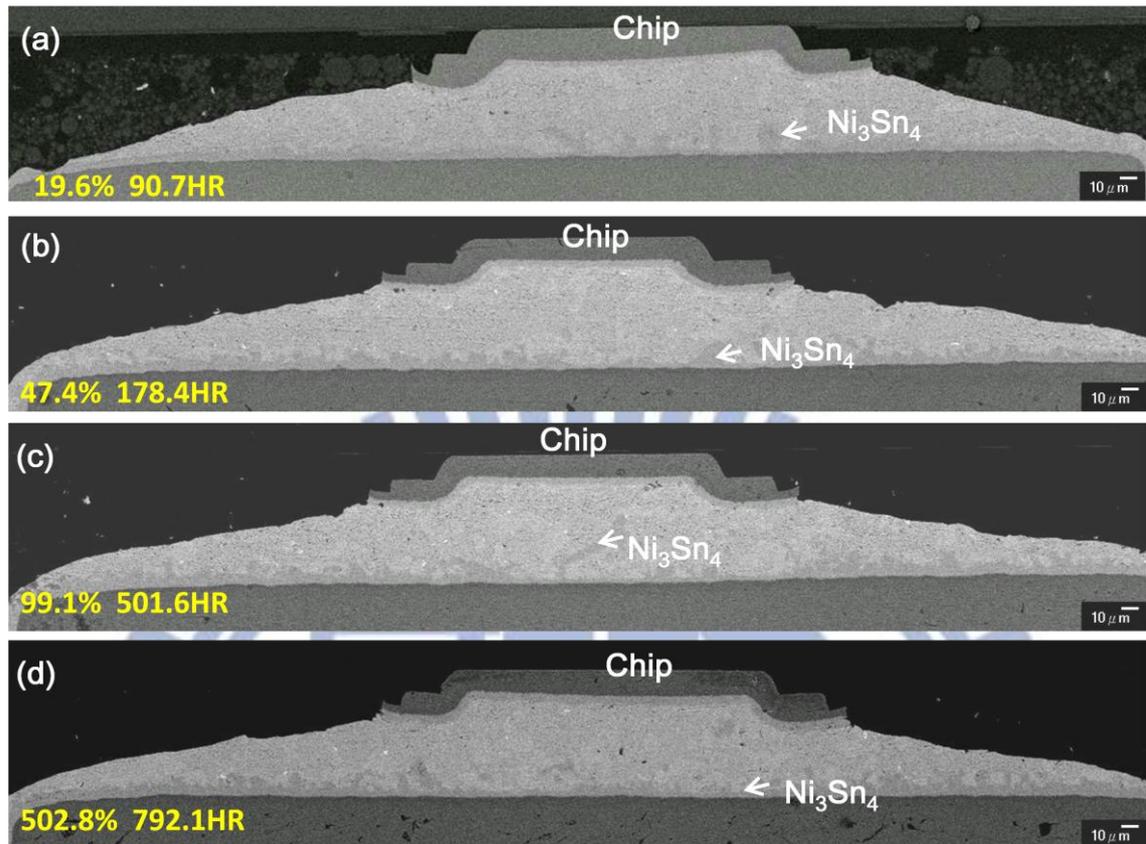


圖 4-9 132°C 下未通電 Bump 1 SEM 剖面圖，(a)於 Bump3 電阻上升率與通電時間分別為 20%、90.7HR，(b)50%、178.4HR，(c)100%、501.6HR，(d)500%、792.1HR

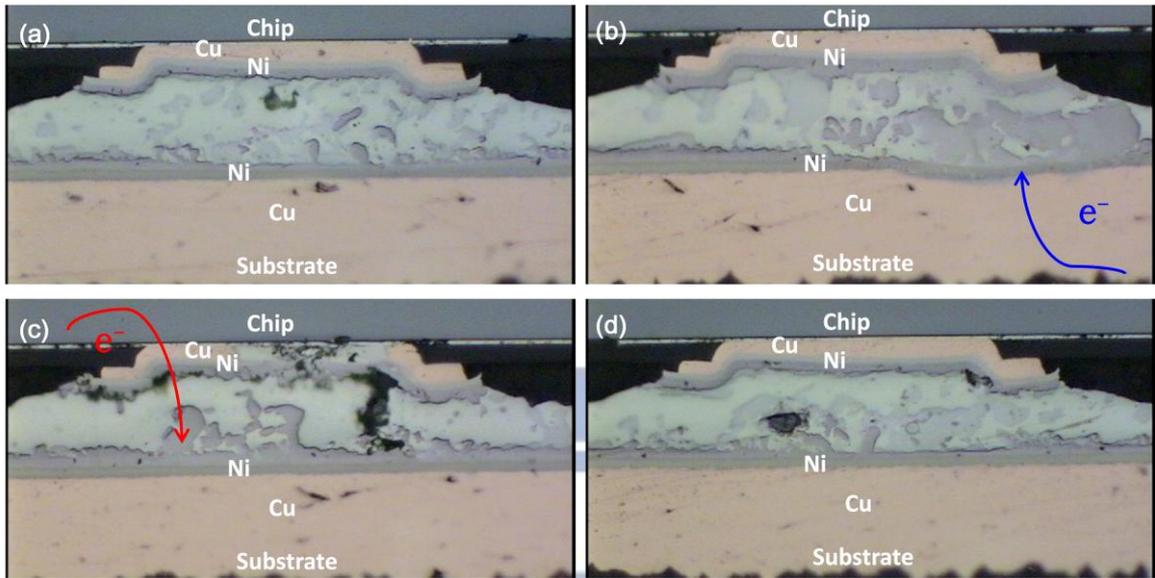


圖 4-10 (a)~(d)為 112°C 下通入 1.35A Bump 1~4 OM 剖面圖，於 Bump3 電阻上升率與通電時間分別為 100%、4200.2HR

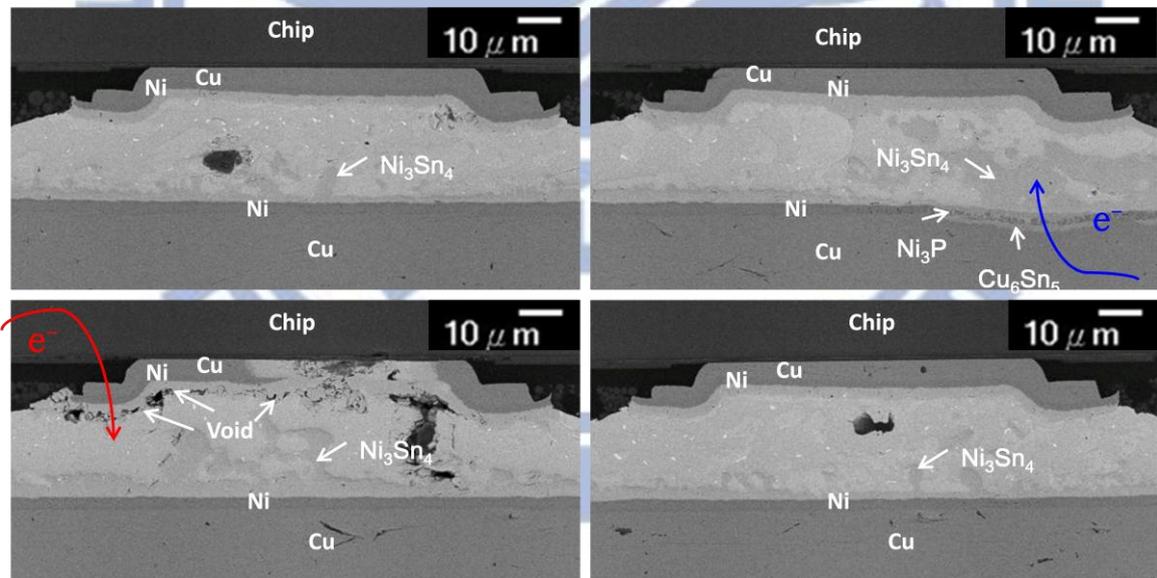


圖 4-11 (a)~(d)為 112°C 下通入 1.35A Bump 1~4 SEM 剖面圖，於 Bump3 電阻上升率與通電時間分別為 100%、4200.2HR

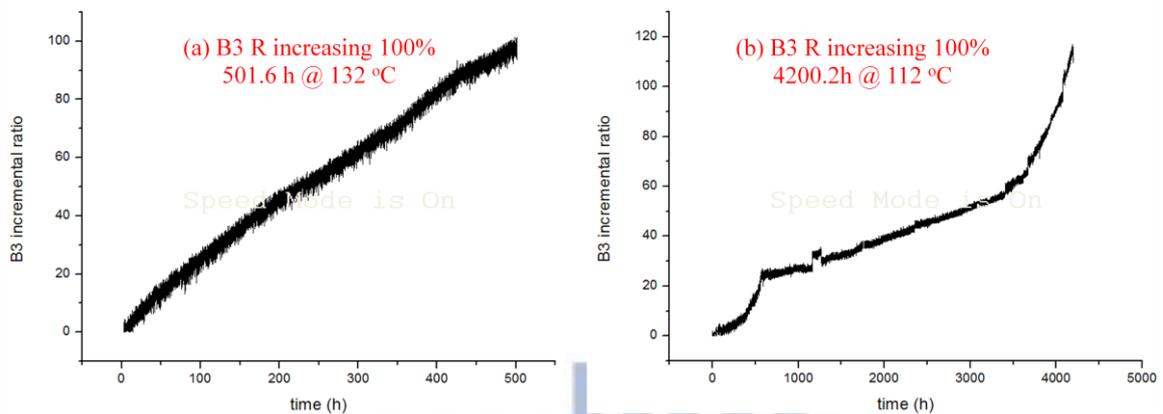


圖 4-12 於定電流 1.35A (a) 溫度 132 °C 電阻上升率與通電時間分別為 100%、501.6HR (b) 溫度 115 °C 電阻上升率與通電時間分別為 100%、4200.2HR

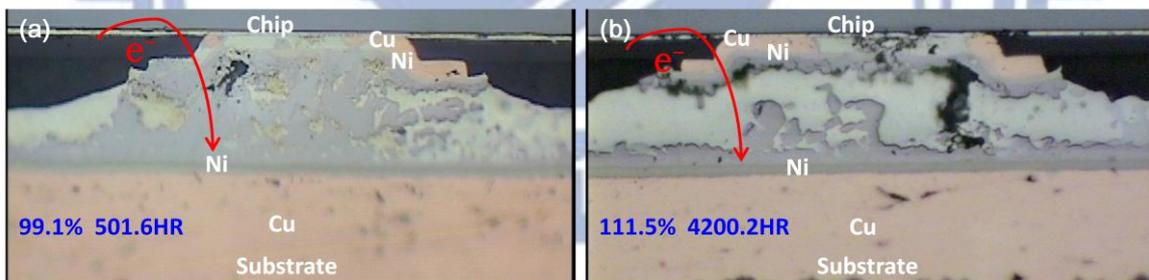


圖 4-13 通入 1.35A，電子流向下之 Bump 3 OM 剖面圖，(a) 132°C Bump3 電阻上升率與通電時間分別為 100%、501.6hr，(b) 112°C Bump3 電阻上升率與通電時間分別為 100%、4200.2hr

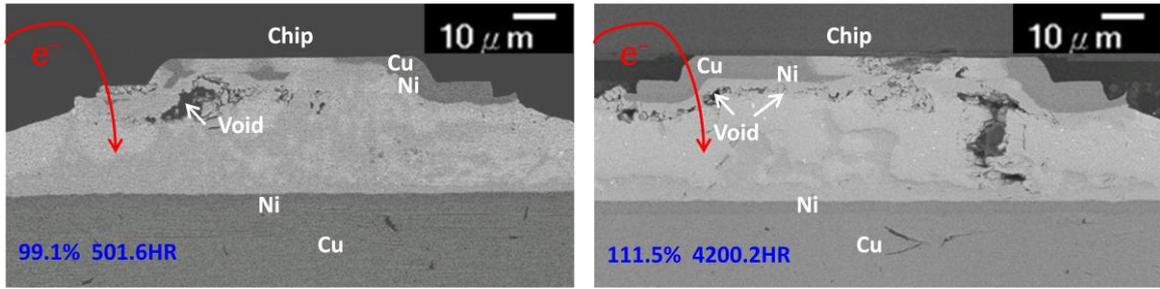


圖 4-14 通入 1.35A，電子流向下之 Bump 3 SEM 剖面圖，(a) 132°C Bump3 電阻上升率與通電時間分別為 100%、501.6hr，(b) 112°C Bump3 電阻上升率與通電時間分別為 100%、4200.2hr

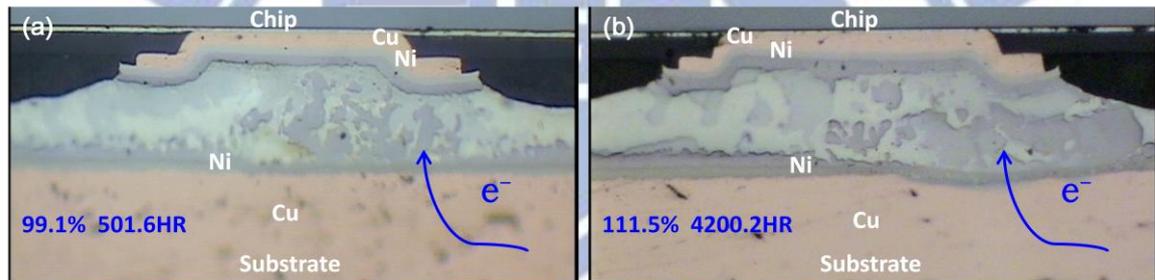


圖 4-15 通入 1.35A，電子流向上之 Bump 2 OM 剖面圖，(a)於 132°C Bump3 電阻上升率與通電時間分別為 100%、501.6hr，(b) 於 112°C 100%、4200.2h

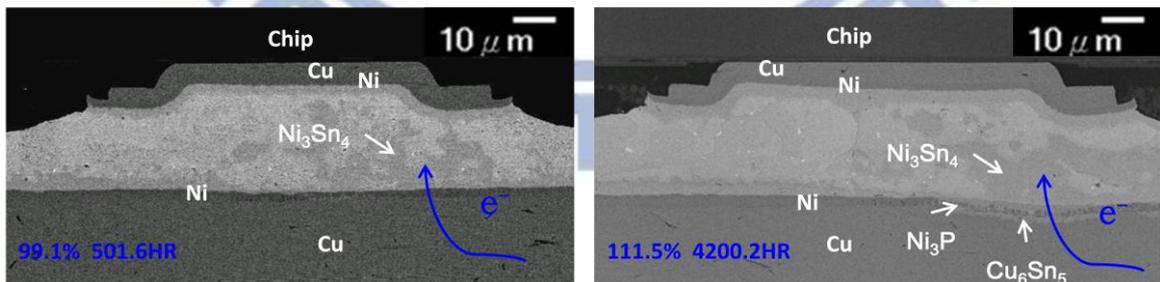


圖 4-16 通入 1.35A，電子流向上之 Bump 2 SEM 剖面圖，(a) 於 132°C Bump3 電阻上升率與通電時間分別為 100%、501.6hr，(b) 於 112°C 100%、4200.2hr

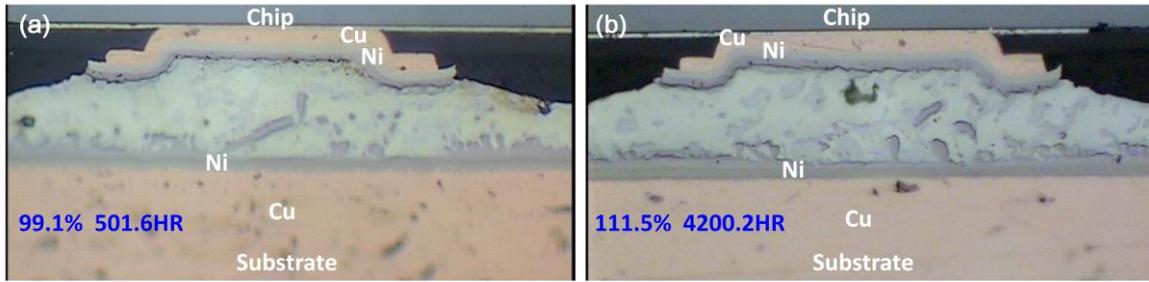


圖 4-17 未通電 Bump 1 OM 剖面圖，(a)132°C Bump3 電阻上升率與通電時間分別為 100%、501.6hr，(b) 112°C Bump3 電阻上升率與通電時間分別為 100%、4200.2h

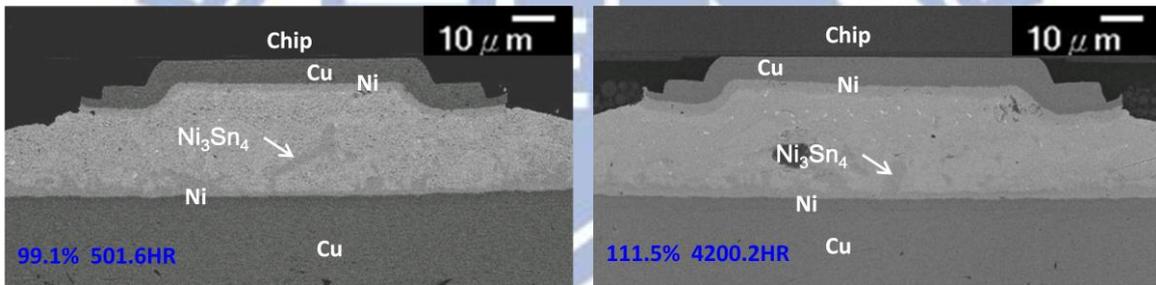


圖 4-18 未通電 Bump 1 SEM 剖面圖，(a)132°C Bump3 電阻上升率與通電時間分別為 100%、501.6hr，(b) 112°C Bump3 電阻上升率與通電時間分別為 100%、4200.2h

## 第五章、結論

電流未流經之 Bump1，由於 Bump1 僅受熱效應影響，僅發現介金屬化合物  $\text{Ni}_3\text{Sn}_4$  堆積於基板端，藉由 SEM 觀察可清楚看見，其主要因高電流密度下所產生較大之焦耳熱及溫度梯度影響所致。

電子流向上之 Bump2 變化主要在基板端，因為基板端開口較大，而且基板的銅導線較厚，接觸面積增加，電流密度遠比晶片端小，加上基板端溫度較低，因此沒有發現孔洞，於電流聚集區各試片皆可以發現  $\text{Ni}_3\text{Sn}_4$  之累積，主要為基板端鎳墊層受電子流向上遷移所致。

電子流向下之 Bump3，溫度  $112\text{ }^\circ\text{C}$  及  $132\text{ }^\circ\text{C}$  之試片，孔洞的形成皆發生於介金屬化合物與錐錫之間，屬於鬆餅狀孔洞形成機制。加熱溫度  $132\text{ }^\circ\text{C}$  之試片，初期 void formation 為電流集中效應導致，後期因電子流分流與 aging 時間增加導致焦耳熱效應加劇，發現在阻值上升 50% 後鎳金屬墊層開始有消耗溶解現象，隨即 Cu 溶解並產生大量 IMC。隨著通電時間加長，大部分銅鎳 UBM 都會融於錐錫接點中且錐錫有回填現象，主要的破壞模式為 void and IMC。加熱溫度  $112\text{ }^\circ\text{C}$  之試片，初期也因電流集中效應產生 void 並無鎳溶解現象，直到後期電子流分流與 aging 時間增加焦耳熱效應，鎳 UBM 開始溶解隨即 Cu UBM 溶解，IMC 生成的量較少，傾向 void formation 導致電阻上升。

## 參考文獻

1. <http://zh.wikipedia.org/wiki/>
2. V. B. Fiks, *Soviet Physics – Solid State*, 1, pp.14-28, (1959).
3. R. J. Wassink, “Soldering in Electronics”, Electrochemical Pub. Ltd., pp. 99, (1984).
4. P. A. Totta, S. Khadpe, N. G. Koopman, T. C. Reiley, and M. J. Sheaffer, in “*Electronics Packaging Handbook*,” edited by R.R. Tummala, E. J. Rymaszewski, and A. G. Klopfenstein, (Chapman & Hall, M. A., 1999) p. 2-129.
5. European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3<sup>rd</sup> Draft, May (2000).
6. Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June (1998).
7. H. B. Huntington, in “*Diffusion in Solids : Recent Developments*”, edited by A. S. Nowick and J. J. Burton, Academic Press, New York, pp. 303-352, (1975).
8. I. A. Blech, “Electromigration in thin aluminium films on titanium nitride”, *J. Appl. Phys.* 47, 4, p. 1203-1208, (1976).
9. H. B. Huntington and A. R. Grone, *J. Phy. & Chem. Solids*, 20, 76, (1961).
10. K. N. Tu, J. W. Mayer, and L. C. Feldman, Pearson Education POD, 355, (1996).
11. Chih Chen, H. M. Tong, and K. N. Tu, *Annu. Rev. Mater. Res.* Vol. 40, pp. 531-555 (2010)
12. S. H. Chiu, T. L. Shao, and Chih Chen, *Appl. Phys. Lett.* Vol.88, 022110 (2006).
13. Hsiang-Yao Hsiao, and Chih Chen, *Appl. Phys. Lett.*, 90, 152105, (2007).
14. Hsiang-Yao Hsiao, and Chih Chen, *Appl. Phys. Lett.*, 94, 092107, (2009).

15. Hsiao-Yun Chen, Chih Chen, and King-Ning Tu, Appl. Phys. Lett., 93, 122103, (2008).
16. Hsiao-Yun Chen, Chih Chen, JMR. Vol26, Issue08, pp. 983-991 (2011).
17. S.H. CHIU,1 CHIH CHEN,1 and D.J. YAO Journal of ELECTRONIC MATERIALS, Vol. 35, No. 9, 2006
18. Y. C. Hu, Y. H. Lin, C. R. Kao, K. N. Tu., "Electromigration failure in flip chip solder joints due to rapid dissolution of copper" , J. Mater. Res., Vol. 18, No. 11, 2003.
19. Y. W. Chang, S. W. Liang and Chih Chen, "Study of voids formation due to electromigration in flip-chip solder joints using Kelvin bump probes.", Appl. Phys. Lett, 89, 032103, 2006. Nguyen, Appl. Phys. Lett. Vol.88, Issue, 012106 (2006).
20. Lingyun Zhang, Shengquan Ou, Joanne Huang, K. N. Tu, Stephen Gee and Luu Nguyen, Appl. Phys. Lett. Vol.88, Issue, 012106 (2006).
21. C. K. Lin, Wei An Tsao, Y. C. Liang, and Chih Chen" Temperature-dependent failure mechanism of SnAg solder joints with Cu metallization after current stressing: Experimentation and analysis", C. K. Lin, Wei An Tsao, Y. C. Liang, and Chih Chen
21. J. H. Ke, T. L. Yang, Y. S. Lai, C. R. Kao, Acta Materialia (2011).
23. [顧旻峰] 顧旻峰碩士論文, 國立交通大學材料所 (2008).