

第一章、緒論

1-1 覆晶接合技術 (Flip Chip)

半導體工業是新技術迅速發展的工業，正如同摩爾定律所預測的那樣，隨著元件的尺寸持續不斷的縮小而積體電路(Integrated Circuit, IC)晶片上的電晶體數量卻是快速增加。1965 年, 英特爾 (Intel) 創始人之一摩爾(Gordon Moore)，注意到電腦晶片上的元件數目幾乎是每 12 個月就會增加一倍，其後雖於 1975 年修正為每 18 個月增加一倍的修正，仍可見積體電路驚人的演進趨勢。

電子封裝技術可以分為三種不同的層級(Level)，如圖 1-1^[1]所示，第一層級是將 IC 晶片黏著於封裝機殼上並完成其中的電路連線與密封保護之製程(Chip to Module)；第二層級是將第一層次封裝完成的元件組合於印刷電路板上的製程(Module to Board)；第三層級則把數個電路板組合於主機板上(Board to Mother Board)。本實驗的研究著重於第一級 Chip to Module。電子封裝第一層級的晶片封裝(Chip Level Packaging)中，晶片與基板間的電導通方式主要可分為：(1) 打線接合(Wire Bonding)；(2) 捲帶自動接合(Tape Automated Bonding, TAB)；以及(3) 覆晶接合(Flip Chip Bonding)三種主要形式(圖 1-2)。隨著積體電路技術不斷微縮，朝高頻、高腳數發展，傳統打線接合封裝已無法滿足電性上的要求。打線接合(圖 1-3)^[2]，若以 50 μm 線寬及 50 μm 的間距推算，僅有 400 腳位/cm²；然而同樣條件下，覆晶接合方式，可有 10,000 腳位/cm² 的高密度優勢。覆晶接合(Flip Chip)(圖 1-4)是採用錒錫凸塊(Solder Bump)作為晶片與基板連接的接合技術，將晶面朝下藉由錒錫凸塊與基板接合，達到晶片與基板接合的方式。其除了具有提高晶片腳位的密度之外，更可以降低雜訊的干擾、強化電性的效能、提高散熱能力、及縮減封裝體積等優點。

覆晶封裝的目的在於連接晶片與中介層(包括導線架、軟質基板、硬質基板

等)。最早的覆晶式封裝是在 1964 年由 IBM 推出應用在 System/360 的 C4 (Controlled Collapse Chip Connection) 製程^[3], C4 技術的橫截面圖如圖 1-5 所示, 覆晶技術可以減小元件尺寸、增進電性、增加 I/O 密度、在迴焊(Reflow)時能自動校準。圖 1-6^[4]為 C4 迴焊過程, 首先在晶片作 passivation 處理, 並鍍上一 BLM layer (ball limiting metallization), 現在一般稱為底部金屬層 UBM (under bump metallization), 如圖 1-6(1)所示。此層金屬包含 Cr-Cr/Cu-Cu-Au, 其中鉻為接著及擴散阻絕層, 因為它與氧化矽的接著較好, 並且可以防止銅擴散至矽晶片。Cr/Cu-Cu 為反應層, 因為銅與錫很容易反應。最上層為 Au, 是用來防止銅氧化及增強迴焊(reflow)初期的反應, 因為金與錫的反應更快。第二步驟是將錫鉛錫鍍上, 那時是用含 97%的高鉛錫, 如圖 1-6(2)所示, 其熔點 (liquidus temperature) 約 320°C。接下來是迴焊(reflow)製程, 將溫度增至約 350°C。由於錫鉛錫只會潤濕 (wet) 在此 BLM 金屬上, 故第一次迴焊後, 其形狀如圖 1-6(3)所示, 變成一個凸塊 (Bump)。最後, 如圖 1-6(4)將此凸塊晶片翻轉向下與陶瓷基板對準、加入助焊劑 (flux)、加熱後第二次迴焊完成接合。其基材為陶瓷材料, 然而在 C4 技術中的缺點是使用高鉛錫, 使得迴焊溫度必須高於 350°C, 而無法使用輕且低價的有機材料, 為了克服此缺點, Tu et. al. 使用複合錫鉛錫結構如圖 1-5, 並研究高鉛錫和共晶錫鉛錫間的擴散反應。

1-2 無鉛化-無鉛錫

因應電子產品日趨輕薄短小的需求, 覆晶技術搭配球腳格狀陣列(Ball Grid Array,BGA)的封裝已成為現今的封裝主流技術, 其中錫凸塊的材料選擇共更相形重要。一般來說, 錫凸塊包含兩個部分: 一為錫錫球, 另一部份則是底部金屬層(Under Bump Metallurgy, UBM)。

長久以來, 錫錫中所用到的錫料都是以錫鉛合金為主, 因為而含鉛錫錫具有以下優點: 一、鉛提供良好的延展性及表面光澤; 二、鉛可使錫錫有效降低表面

能跟介面能；三、共晶錫鉛(Eutectic PbSn)的熔點為 183°C，相對於純鉛(232°C)與純錫(327°C)有較低的熔點；四、95Pb5Sn 高鉛鉛錫的液相點與固相點溫差大約為 10°C，可被當為高溫鉛錫使用。因此，具有低熔點的共晶錫鉛焊錫和具有高熔點的高鉛鉛錫可被運用為複合鉛錫。由於共晶錫鉛具有良好的機械性質，再加上因長年使用的所建立的物理、化學、機械性質資料庫，因此目前共晶錫鉛仍是電子工業最普遍使用的鉛錫材料。

然而鉛具有毒性，近年來開始有禁用或限制使用的呼聲。由於環境污染的考量，因此日本在 2005 之後的國內電子元件，製造過程中，要求不得添加鉛^[5]，歐盟 2003.2.13 公告 2002/95/EC RoHS 指令(the restriction of the use of certain hazardous substances in electrical and electronic equipment，有害物質禁用指令)，明確要求 2006.7.1 起電子產品不可含有鉛、鎘、汞、6 價鉻等重金屬及 PBB 和 PBDE 等溴化物阻燃劑^[6]；影響所及，世界各國皆已開始制訂類似禁令，無鉛化成為未來電子產品基本要求，此外，含鉛鉛錫含有少量的 Pb210 同位素，會衰敗為 Bi，在衰敗過程會放射出 α 粒子，當這些粒子穿過矽基材元件時，會產生電子和電洞，在這些電子和電洞再結合前，會對元件中的電容造成電荷累積現象使元件產生“Soft Error”而失效。

近年來無鉛鉛錫的研發已經成為電子工業相當重要的一環，無鉛鉛錫的要求對各項產業帶來非常大的衝擊，因此發展國家非常重視無鉛鉛錫的研究，紛紛訂定各自的發展計畫，期望可以找到適當的無鉛鉛錫，把衝擊減到最低。因此選用之無鉛鉛錫須具備含鉛鉛錫的特性且不具毒性。近年來無鉛鉛錫開發已成為微電子工業相當重要的一項研發工作，無鉛鉛錫選擇須考慮以下幾點：一、熔點須低於 260°C，因為目前基板為高分子基板無法承受過高的迴錫溫度，二、良好的熱、電和機械性質，三、合理的價格以及容易取得，四、無毒性與環境污染之虞，五、易於生產製造。美國的 NCMS (National Center for Manufacturing Sciences)、NEMI (National Electronics Manufacturing Initiative)、歐盟的 BRITE-EURAM、

日本的 NEDO (New Energy and Industrial Technology Development Organization) 等機構，各自提出多種不同合金組成的鐳料，例如 錫銅 Sn-Cu、錫銀 Sn-Ag、錫鋅 Sn-Zn、錫銀鈹 Sn-Ag-Bi、錫銀銅 Sn-Ag-Cu 等。目前較受矚目的無鉛鐳錫為以 Sn-Ag 為主的合金。Sn-Ag 合金的熔點則較高約為 220°C，而其優異的機械性質使其成為無鉛鐳錫的候選材料之一。

UBM 通常是由許多金屬層所構成的。其除了必須與鐳錫的連接外，還必須阻止 Al 或 Cu 與鐳錫在迴鐳或使用時的相互反應。現今的 UBM 結構包括 Cr/CrCu/Cu，Ti/Cu/Cu，Ti-W/Cu/Cu，Ni/Cu 及無電鍍 Ni/Cu。至於以 Cu 為主的底部金屬層已經逐漸被淘汰，因為 Sn 和 Cu 會快速反應生成易碎裂的 Cu-Sn 介金屬生成物。而以 Ni 為主的凸塊底層金屬則因其與 Sn 的反應較慢而受到青睞。一般在 Ni/Cu 或無電鍍 Ni/Cu 凸塊底層金屬中，鎳或無電鍍鎳是扮演潤濕層與擴散阻絕層的角色，而銅則是作為導線。因此本篇研究將以覆晶錫銀鐳錫厚膜 UBM 5 μm 與 Ni/Cu 凸塊底層金屬 作為研究電遷移現象的主題。

1-3 凱文結構 (Kelvin Structure)

利用雛菊花環結構 (Daisy chain structure, 圖 1-7) 作為覆晶鐳錫接點電遷移研究中的電性觀測，其鐳錫接點的破壞係以電路開路時作為定義，亦即其承受電遷移破壞的能力。其試片設計與製作過程較為簡易，然而確會因鐳錫與電路間阻抗的特性而有所限制。鐳錫接點本身的電阻(約為 1 ~10 m Ω)僅佔總迴路(約為 1 ~10 Ω)的極小部份，因此無法利用此一結構對於鐳錫接點的變化做較為敏感、精確的觀測；另外電路開路的狀況亦可能來自於鋁導線的破壞，如此即可能造成對於覆晶鐳錫接點電遷移破壞分析上的錯誤。

凱文結構 (Kelvin structure) 很早即被運用在積體電路中的電性量測方面，如圖 1-8^[7]，該法為四點探計方式量測，針對欲量測的範圍做電性的觀測時，可避除接點電阻對電性量測的影響，其可用於較低範圍電阻 (10 $\mu\Omega$ ~1 Ω) 的精確

量測。因而利用凱文結構的製備，得以精確量測單一鉛錫凸塊細微電性變化。

上述對於覆晶鉛錫接點電遷移研究中的電性觀測，大多都是直接定義電路開路時為鉛錫接點破壞的時間，亦即鉛錫接點承受電遷移破壞的能力。二者相較之下，以凱文結構對電性的觀測，不因鉛錫接點本身的電阻僅佔總迴路的極為小部份，而無法對鉛錫接點變化做精確的觀測；同時，其可以直接觀測覆晶鉛錫接點電遷移破壞情形，而不因晶片內製作的鋁導線差異受影響。

凱文結構，能針對鉛錫接點本身的變化作精確敏感的量測，在本文中，將針對共晶錫鉛鉛錫搭配 $5\text{-}\mu\text{m}$ 銅金屬墊 UBM(under-bump-metallization)的覆晶鉛錫，利用凱文結構方式，用以研究其在高溫通電下的不同時期電遷移破壞模式，即以鉛錫接點本身的電阻變化作為鉛錫接點本身不同階段時期的破壞模式定義。

1-4 研究動機

高科技新產品不斷追求輕薄短小，使得晶片的尺寸與線寬不斷縮小，封裝技術演進至 FC technology，同時覆晶鉛錫尺寸也跟著微縮，再加上無鉛化的需求。因此本篇研究選用無鉛共晶錫銀鉛錫作為電遷移測試接點，並使用凱文結構量測單顆鉛錫球的電阻變化，來討論不同溫度下覆晶錫銀鉛錫凸塊的電遷移壽命與破壞模式。此外根據文獻探討章節的研究經驗，鉛錫接點的破壞模式，主要分為 Pancake void，及金屬墊層的溶解兩種，影響這兩種破壞模式的原因，過去相關研究較少，本文藉由差異化的溫度以及電流密度實驗條件來重複驗證研究探討溫度差異對鉛錫接點破壞模式的影響。

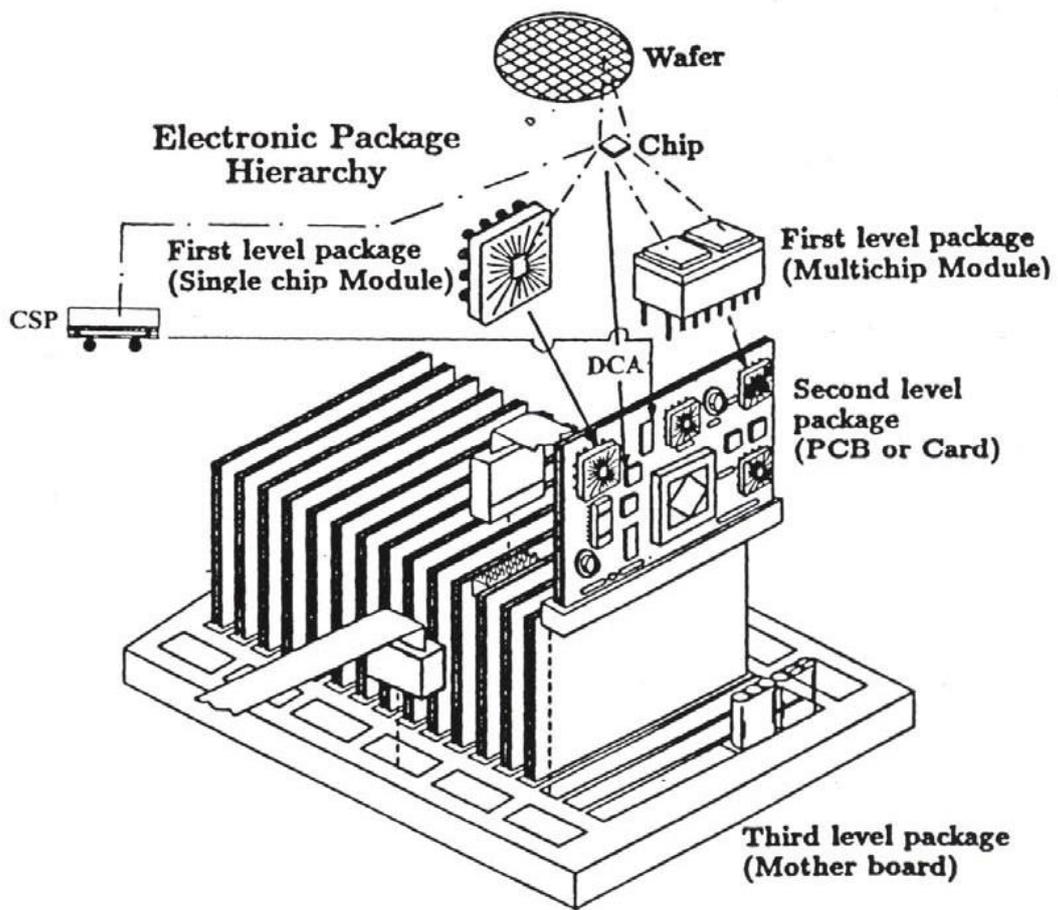
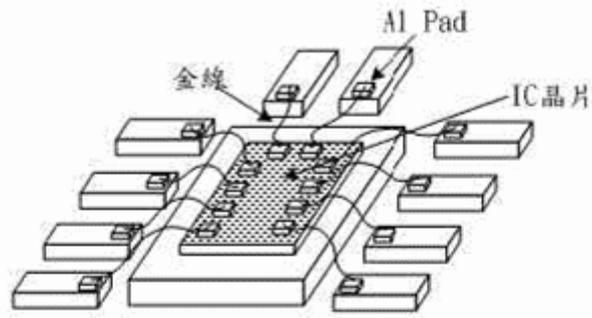
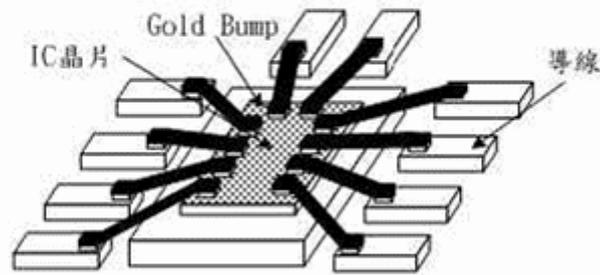


圖 1-1 電子封裝技術中的三種層級

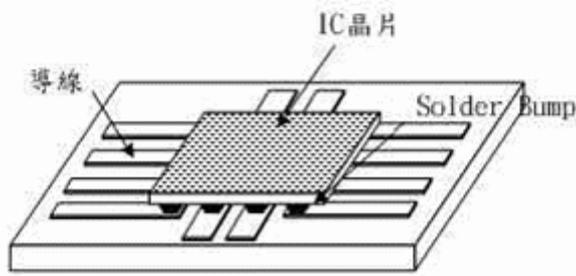
[ref 1]



(a)



(b)



(c)

圖 1-2 晶片封裝中三種不同的電導通方式(a)打線接合(b)捲帶式自動接合(c)覆晶接合^[ref 1]

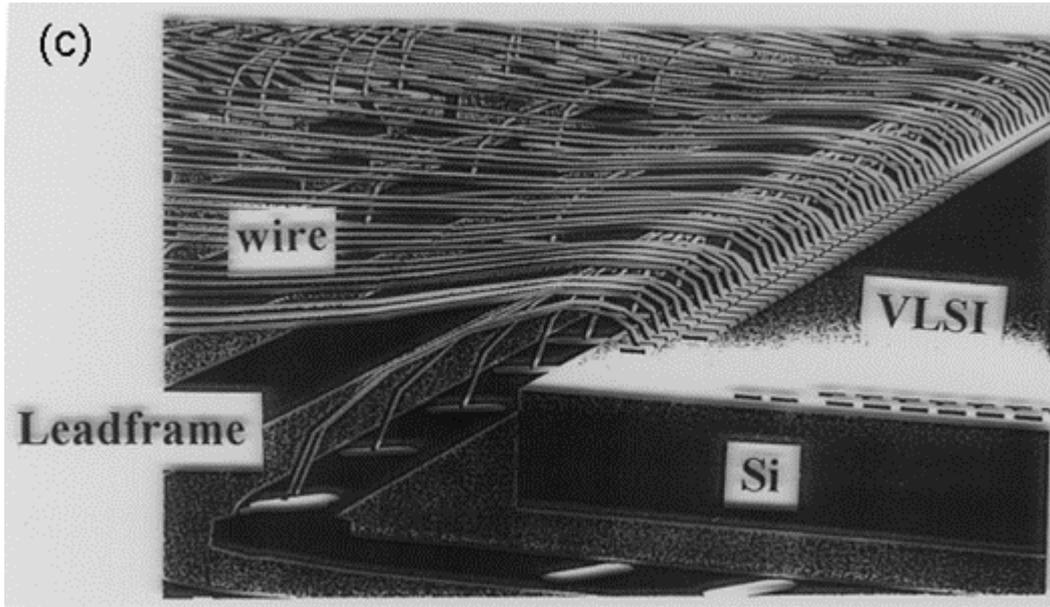


圖 1-3 打線接合(Wire bonding)圖示^[ref 2]

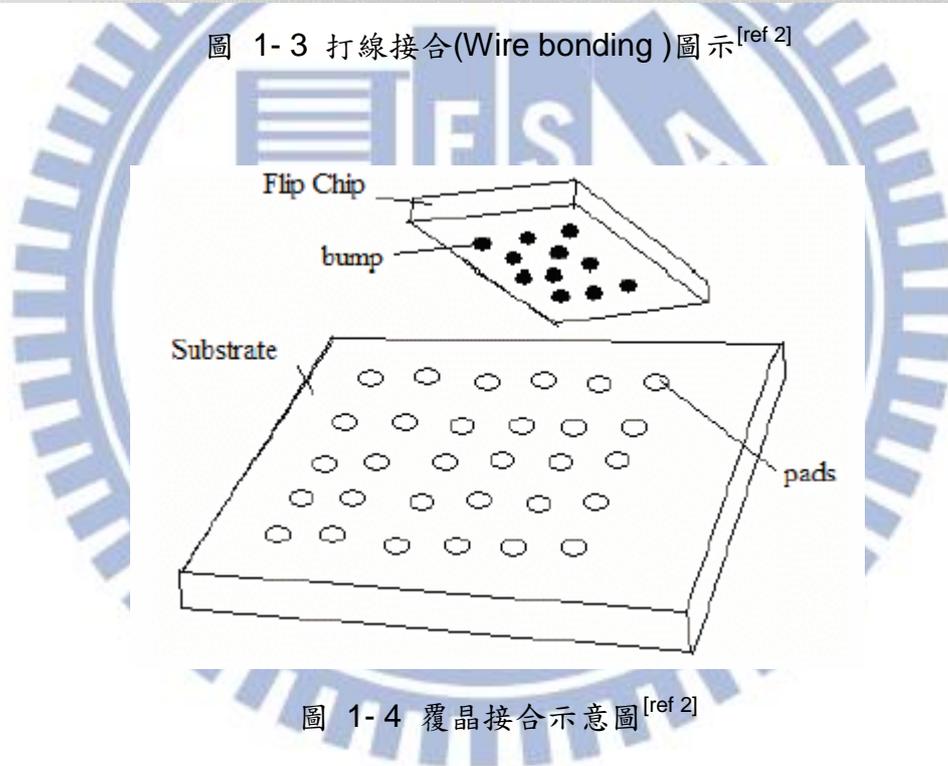


圖 1-4 覆晶接合示意圖^[ref 2]

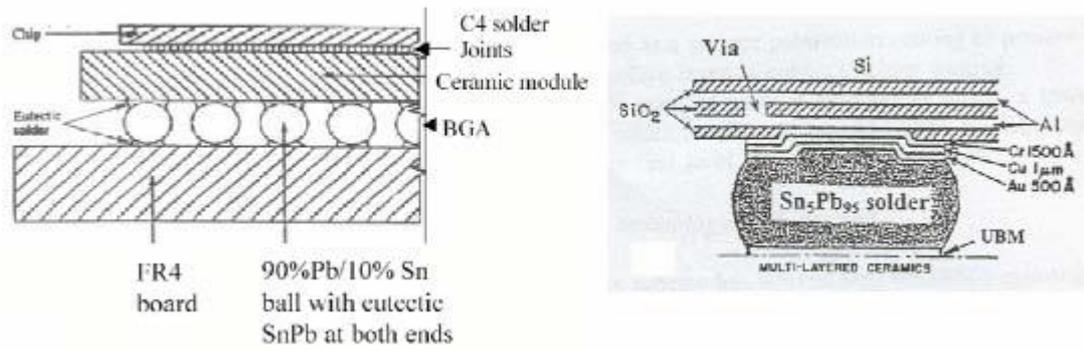


圖 1-5 覆晶封裝與 FR4 基版(左圖)及 IBM C4 結構剖面示意圖(右圖)^[ref 3]

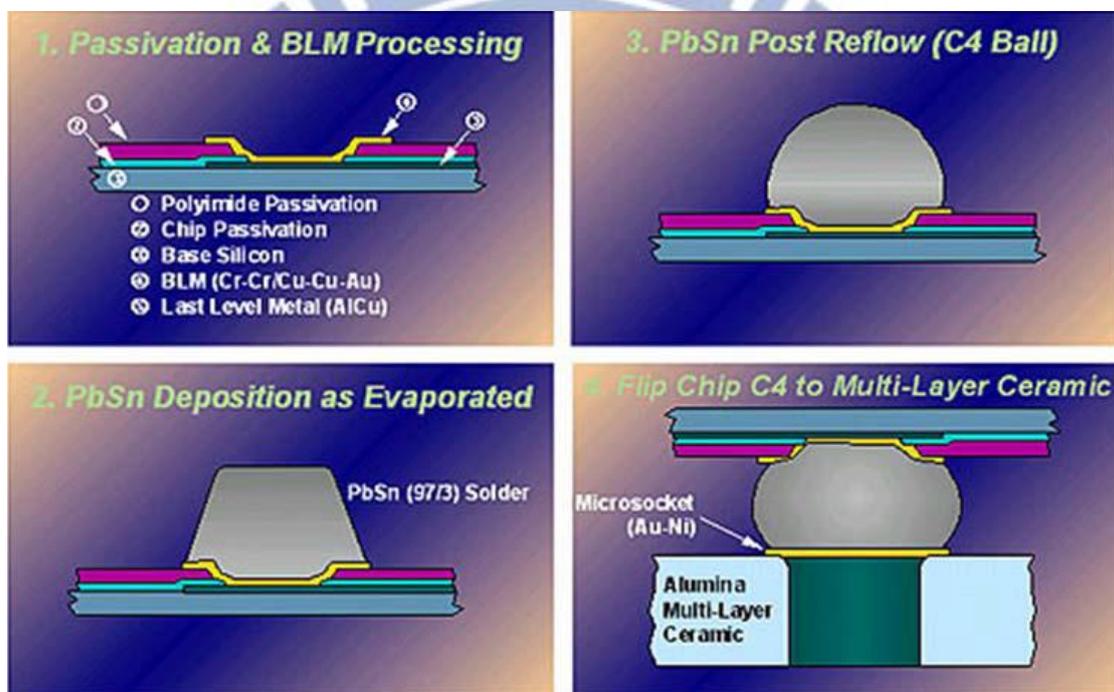


圖 1-6 C4 迴焊過程^[ref 4]

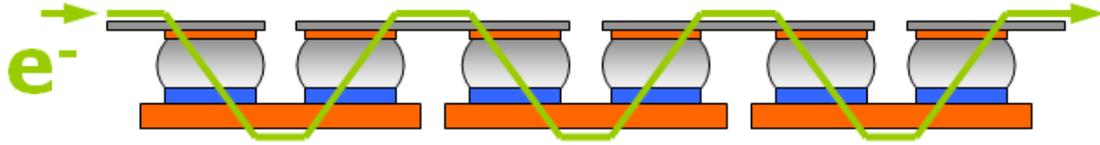


圖 1-7 Daisy chain 結構示意圖

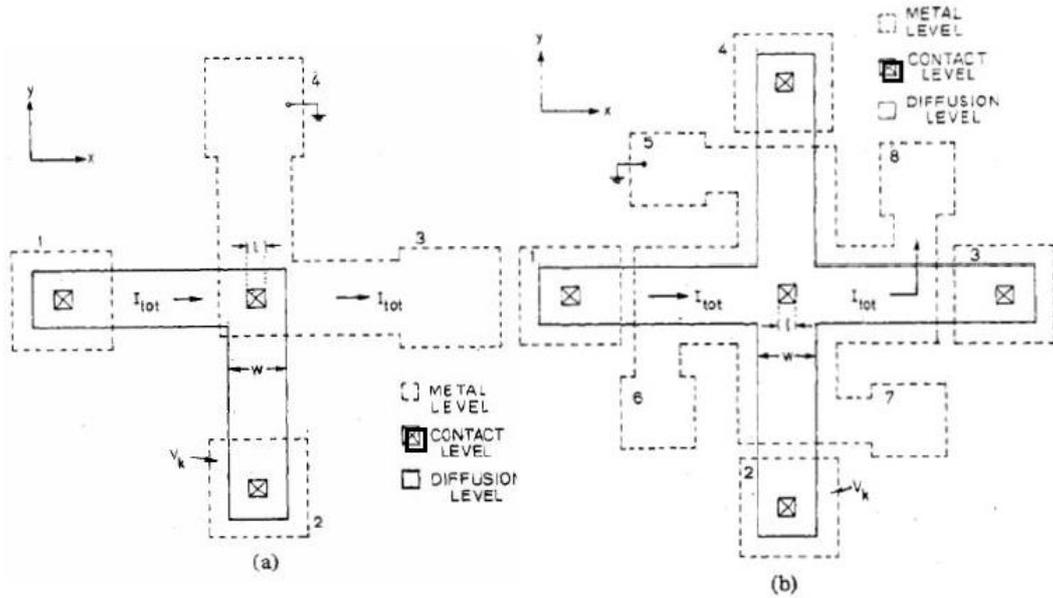


圖 1-8 Kelvin Resistor Structure (a) with two diffusion arms and two metal arms
(b) with four diffusion arms and four metal arms [7]

第二章、文獻回顧

2-1 電遷移

電遷移是以電場為驅動力造成質量的轉移，質量轉移的方向與電子流方向相同，電遷移的驅動力由電子風力(Electron Wind Force)和靜電場力(Electrostatic Field Force)所組成，電子風力指的是當電流經過試片時電子撞擊離子所造成的動量交換。當電子流通過試片提供一高電流密度的環境，使電子和離子原子交換劇烈，產生質量上的移動稱為電遷移效應^[4]。具代表性研究電遷移現象的即為 Blech 結構，圖(圖 2-1)為利用 Blech 結構研究 Al 導線的電遷移現象^[8]。

因為 Al 的導電度較 Mo 佳，電子流的流向會在邊緣處往 Al 導線流，經過長時間會在陰極處發現孔洞而在陽極處有隆起的現象。電子流流經金屬時，會產生類似磨擦力使離子與靜電場相斥，此類似磨擦力的能量為電子風力，因此使離子移動的總驅動力為：

$$F_{driving} = F_{field} + F_{el-wind} \dots\dots\dots(2-1)$$

當施加電場時，其將會承受二個外加作用力，一者為電力 F_{el} ，此一作用力是因鋁離子受外加電場作用的庫倫力，稱為靜電力；其二為電子風力(Electron Wind Force) F_{wd} ，此作用力來自於鋁離子和高電流密度下電子碰撞造成動量轉移所致。當線條非常短的時候，空孔的梯度會變的很大足以抑制電遷移的現象，因在陽極處為壓應力，存在一壓力梯度使原子被推向陰極；此背向應力為電遷移時所產生，為穩態的應力^{[9][10]}。在 Blech 試片的電遷移過程中，陽極為壓應力的狀態，並且空孔濃度小於平衡空孔濃度；陰極為張應力狀態，且空孔濃度大於平衡濃度。此壓力梯度產生空孔梯度導致一空孔通量從陰極流向陽極，故在陽極處不會因為空孔的通量產生孔洞。(圖 2-2) 為不同長度的 Al 導線通電後受到應力

的情況，較長的 Al 導線受到的背向應力較小，對 Al 導線而言，不發生電遷移的臨界長度為 10~20 μm 。

圖 2-3 為 J. T. Yue 於 1996 提出鋁的電遷移模型^[11]，可以了解到原子在電流作用下，會受到二種力量的影響。

電遷移模型中，高溫下部份之鋁離子會有機率躍遷至位能井之頂端，此活化的鋁離子，基本上不受限於晶格，處於平衡狀態，即其不會離開也不會掉回位能井內。

Huntington 及 Grone 將電遷移力以下式表示：^[12]

$$F_{em} = Z^* E e = (Z_{el}^* + Z_{wd}^*) e E \dots\dots\dots(2-2)$$

其中 Z^* 表示有效電荷(effective charge)，其指當受到電遷移效應時，能夠遷移的程度

e 表示電子電荷

E 表示電場($E=j\rho$ ， ρ 為電阻率， j 為電流密度)

Z_{el}^* 表示受擴散影響的離子常數

Z_{wd}^* 表示受電子風力影響的有效價電數

電場所造成原子流動的驅動力可以分為兩部份，電場直接對擴散原子作用力，是為靜電力；而電子與擴散原子之間的動量轉換，又可稱為電子風力。其中靜電力以(2-3)式表示

$$F_{el} = Z_{el}^* e E \tag{2-3}$$

而電子風力可改寫成(2-4)式

$$F_{wd} = Z_{wd}^* e E \tag{2-4}$$

由於 Fwd 與電子流同一方向，而 Fel 和電子流呈反方向，且 Fwd 遠大於 Fel，是以鋁離子受電子風推擠而沿電子流方向移動，而空位(Vacancy)則由電子流反方向移動。空位和遷移的鋁離子在電遷移過程中是同時產生的。電遷移因空位的產生，而有另一個快速移動的路徑—離子和空位交互躍遷(Ion-Vacancy Jump Process)。多晶狀金屬薄膜中，在晶界(Grain Boundary)以及金屬薄膜與介電層間的界面中，提供大量的空位所致。因此得以解釋多晶狀金屬薄膜的電遷移活化能(0.5~0.6 eV，鋁)遠低於塊材(1.48 eV，鋁)。

2-2 電流聚集效應 (Current crowding effect)

覆晶焊錫凸塊的結構為鋅錫球連接到晶片端內連接線與基板端的導線，因為在內連接線的剖面面積比鋅錫凸塊小了兩個維度，加上同樣的電流流經，在和錫球與內連接線接面會有很大的電流密度改變，這樣的改變造就了電流集中效應。另一方面，電遷移的作用機制是利用電子與原子間的碰撞所產生的效應，然而電子的行進路線會選擇最短或受最小阻礙的路徑來行走。若路徑為曲線，則因為最內側的路徑電阻較小，所以通過的電子數量較多，於是在彎角的地方也會出現電流聚集的情形。

在 Everett C.C. 等人的研究中^[13]，提及導線與鋅錫凸塊幾何形狀的差異造成鋅錫凸塊內部的電流集中情形，鋅錫內部電流密度分部分析結果如圖 2-4，並由實驗的結果證實此現象會造成鋅錫凸塊中電流集中處有孔洞生成，且使鋅錫在電遷移可靠度測試的結果不如預期，結果推得如在設計中引入可減緩電流集中效應的方法，可以提高鋅錫凸塊的電遷移測試可靠度。圖 2-4(a)為覆晶封裝的鋅錫球內的電流分佈與錫球內電流分佈二維模擬，圖 2-4(b)為電流密度分佈模擬圖。從中可明顯發現鋅錫錫球電流分佈並不平均，錫球中心的電流密度約小於晶片內連導線與鋅錫錫球界面一個維度。由於覆晶封裝中的獨特鋅錫接點外形，晶片內連導線與鋅錫錫球截面大小相較有二個維度大小之差，因此在流由晶片內連導線

進入鉅錫錫球時，二者界面處將有極大的電流密度改變，如此大的電流密度改變，形成了電流聚集效應。

圖 2-5 為覆晶鉅錫共晶錫鉛，UBM 為 Cu/Ni(V)/Al，電遷移破壞孔洞生成與成長的連續過程，可以發現電遷移破壞發生在界面處。孔洞生成的主因在於二者界面處有著較大的電流密度，造成電流聚集效應的影響。

2-3 焦耳熱效應

鉅錫錫球在通電作用下產生焦耳熱，將導致錫球的溫度變化。圖 2-6 為利用紅外線顯像技術，量測置於 70°C 熱板、通電中的覆晶鉅錫結構，其因焦耳熱效應造成的溫升分佈及其模擬情形，其中發現主要發熱源存在於鋁導線進入鉅錫處^[14]。金屬在絕對零度時，其原子會於晶格平衡位置上不斷地來回振動，當溫度愈高時，其振幅愈大，因此當電子通過金屬導體時，其所面臨的阻抗也愈大，其阻抗將直接反應於金屬的電阻特性，稱為 TCR 效應(Temperature Coefficient of Resistance Effect)。因此鉅錫錫球在通電作用下，所產生的焦耳熱，除了造成溫度效應外，也會因 TCR 效應而造成電路阻值的改變。

$$TCR = \left(\frac{R_1 - R_0}{R_0} \right) \left(\frac{1}{T_1 - T_0} \right)$$

其中

T_0 表示參考溫度

T_1 表示為真實溫度

R_0 表示在 T_0 下的電阻

R_1 表示在 T_1 下的電阻

如此即可利用電路阻值的變化，來校正鉅錫錫球在通電作用下所受焦耳熱造成的溫升變化。

2-4 電遷移活化能的計算

圖 2-7 為依 Black Equation 修正的覆晶鉍錫 (a)共晶錫鉛鉍錫，(a)共晶錫銀銅鉍錫活化能推算，其推算出的共晶錫鉛與共晶錫銀銅的活化能數值分別為 0.5eV 與 0.8eV^[15]。1969 年 Black 對鉛導線電遷移失效的平均失效時間所提出的公式(式 2-5)^[16]，在覆晶鉍錫的運用上，由於電流聚集效應及焦耳熱效應的影響，需做適當的修正。其中電流聚集效應使其電流密度需以一常數 c 修正；而焦耳熱效應造成的溫升效應，以 ΔT 修正鉍錫錫球內部的溫度表現。修正後之 Black Equation 如式子 2-6。

$$\text{Black Equation : } MTTF = A \frac{1}{J^n} \exp\left(\frac{Q}{kT}\right) \quad (2-5)$$

修正之 Black Equation :

$$MTTF = A \frac{1}{(cJ)^n} \exp\left(\frac{Q}{k(T + \Delta T)}\right) = A' \frac{1}{J^n} \exp\left(\frac{Q}{k(T + \Delta T)}\right) \quad (2-6)$$

2-5 通電造成的相分離

在 Jong-Kai Lin, Jin-Wook Jang 等人於 ECTC2003[26]，對無電鍍鍍 UBM 的共晶錫鉛覆晶接點測試中指出通電後發生相分離的現象。另外也發現到當在 150°C 下，電流密度為 $5.1 \times 10^4 \text{ A/cm}^2$ 以上，經過 30 小時的通電時間，就可以發現明顯的相分離，富鉛相被推往陽極側聚集，同時伴隨嚴重的 IMC 成長，但不會發生明顯的孔洞生成在通電過程中。

此外，Chien-Neng Liao 等人發表於在 JMR 2005^[28]也指出，在銅金屬墊層薄膜與共晶錫鉛反應時，有鉛聚集在銅金屬墊層的方向。當共晶錫鉛融化的時候，Pb 偏析 (segregation) 在陽極側，此時通電的環境為 $10^3\text{-}10^4 \text{ A/cm}^2$ 的電流密度，生成柱狀的富鉛相 α 於陽極側。其中的 α -phase 會沿著電子流方

向平行成長，且與電流密度成正比。透過量測其柱狀的 α -phase 之成長速率，可以推出 Pb 的有效價數 (effective charge number) 在電遷移下為 2.7。此數值遠較 Pb 自電遷移擴散係數 (約為 47) 數值遠低許多。在 175°C，試片 (如圖 2-8) 受 0.8 A、1.0 A、1.2 A 的電流驅動後觀測兩端的微 (圖 2-9) 可以發現其 stripe 上，Pb 會聚集於電子流的陽極側。鉛的擴散 Jae-Woong Nah, Jong Hoon Kim 等人發表在 Acta Materialia^[29]，研究了 97Pb-3Sn / 37Pb-63Sn 的複合鉛錫。晶片端以 TiW / Cu / electroplated Cu 作為 UBM 與 97Pb-3Sn 接合，而在基板側則以 electroless Ni / Au 與 37Pb-63Sn 鉛料接和。於 140°C 下通入 $2.55 \times 10^4 \text{ A/cm}^2$ 的電流，可以發現到鉛為主要的擴散載子隨電子流方向移動。並發現因為鉛的擴散 97Pb-3Sn 會轉變為 83Pb-17Sn，這使得 Cu₆Sn₅ 的析出與成長速度變快，最後讓 Cu UBM 快速耗盡而生成 Void 發生破壞。同時 Liu YH, and Lin KL 等人也提出相似結構下的電遷移^[30]。

2-6 電遷移造成鉛錫接點破壞的機制

2-6-1 電遷移下造成的孔洞生成

W. J. Choi、E. C. C. Yeh 與 K. N. Tu 等人在 JAP 2003^[22]，利用薄膜 Al / Ni (V) / Cu UBM 的覆晶鉛錫試片做研究。將共晶錫鉛試片在 100、125、140°C 的加熱板上，通入 1.90、2.25、 $2.75 \times 10^4 \text{ A/cm}^2$ 的電流密度，進行電遷移可靠度的測試，同時紀錄測試過程中的電位變化，發現當共晶錫鉛的晶片與鉛錫界面的孔洞，成長越過整個接觸面時，電阻快速上升，而導致迴路斷路。參照紀錄過程中電阻變化與時間的關係圖，可以對應電遷移導致孔洞產生時，電阻的變化。

在 Y.H. Lin, Y.C. Hu, K. Tu 等人發表於 Acta Materialia 53 (2005)^[23]，對於晶片以 UBM 銅與基板的厚膜的鎳，與接合錫鉛接點在電遷移過程中，發現有電遷移造成的孔洞產生。同樣的在破壞機制的研究上，T. Y. Lee 與 K.N. Tu

所發表的在 2001 的 JAP 中^[24] (“Electromigration of eutectic SnPb and SnAg3.8Cu0.7”) 提到，在覆晶接點裡使用厚膜的無電鍍鎳作為 UBM，與電鍍厚膜銅作為基板側的墊層，在 1.5 A、120°C 下，進行通電 20、30、39.5 小時的電遷移測試，結果可以發現到厚膜鎳 UBM 快速反應溶解，介金屬化合物迅速成長，產生孔洞，介金屬化合物最遠可以生成到距離鎳 UBM 20 μm 處。

K.N. Tu 等人發表在 APL, Vol. 88 (2006) ^[25] 發現鬆餅狀的孔洞 (pancake-type void)。(圖 2-10) 這篇引用提出在 150°C 電流密度 $2.55 \times 10^4 \text{ A/cm}^2$ 下，經過 38 小時孔洞開始在界面產生；但當鬆餅狀的孔洞生成後，只需 5 小時就橫越整個界面，導致斷路。

2-6-2 銅金屬墊層快速溶解

Y. H. Lin, C. M. Tsai, Y. C. Hu, Y. L. Lin 與 C. R. Kao 等人發表在 J. Mater. Res. 18 (2003) [20] 與 J. Electron. Mater. 34 (2005) ^[26] 的研究中展示出與過去文獻中大不相同的破壞機制。研究中發現利用 5 μm 厚的銅墊層與錒錫做接合時，在 100°C、 $2 \times 10^4 \text{ A/cm}^2$ 的測試條件下，電遷移會造成銅墊層的快速消耗，最後錒錫延著銅墊層的方向回流，使銅導線亦反應形成斷路，促使覆晶錒錫錒錫接點的可靠度大幅下降，(圖 2-11) 為該研究中觀察銅墊層消耗的情形。

此外近期 J.H. Ke a, T.L. Yang a, Y.S. Lai b, C.R. Kao 等人發表在 Acta Materialia 59 (2011) ^[31] 與 C. K. Lin, Wei An Tsao, Y. C. Liang, and Chih Chen 發表在 J. Appl. Phys. 114, 113711 (2013) ^[32] 的研究中發現不同溫度環境下支配電遷移的破壞機制也有所不同。其中下也 C.K.Lin 等人觀察到低溫環境下主要支配破壞模式為 Pancake-void。高溫環境下主要支配破壞模式為銅金屬墊層消耗溶解，伴隨微孔洞的成長。隨著通電時間加長，銅 UBM 都會融於錒錫接點中，主要的破壞模式也會轉成孔洞的生成。然而其實驗與觀察結果與 J.H.Ke a 等人的研究呈現相反的論述。

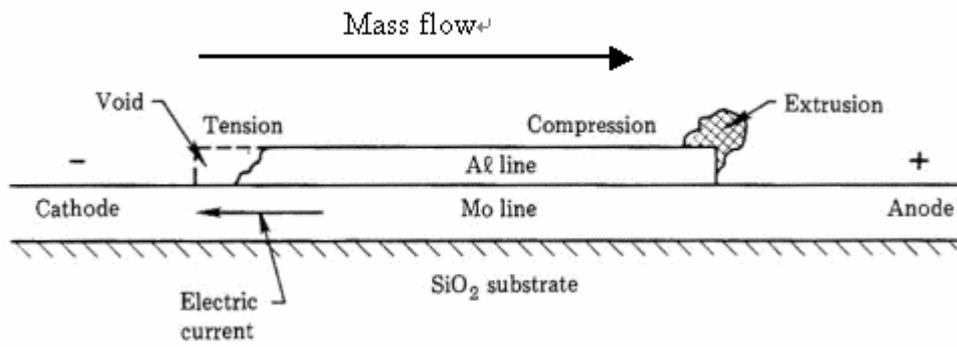


圖 2-1 Blech 結構研究鋁導線的電遷移現象 [ref 7]

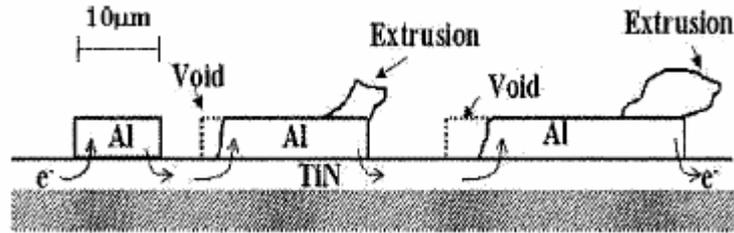


圖 2-2 不同長度的鋁導線通電後電遷移現象 [ref 7]

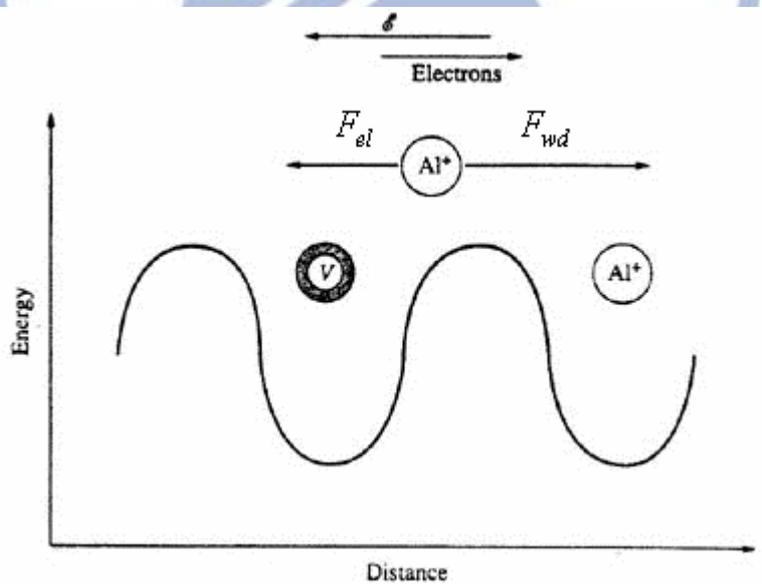


圖 2-3 鋁離子在晶格位能井承受電子(F_{ei})和電子風力(F_{wd})示意圖；符號 V 表鋁離子離開後的空位 [ref10]

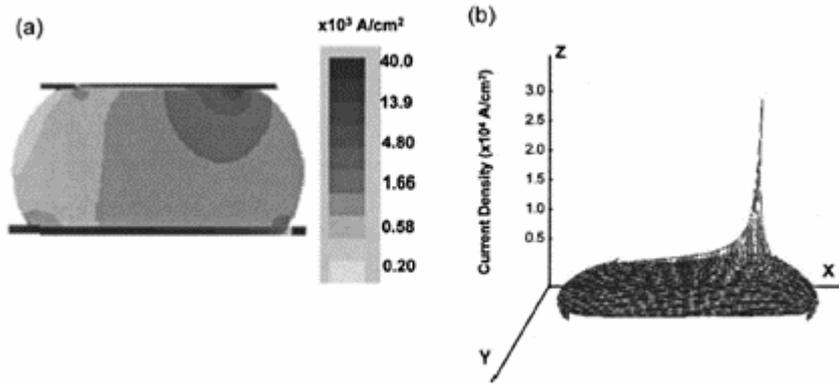


圖 2- 4 (a) 錫球內電流分佈二維模擬 (b) 錫球剖面(x-y 面)電流密度分佈(z 軸) 模擬示意圖^[ref 12]

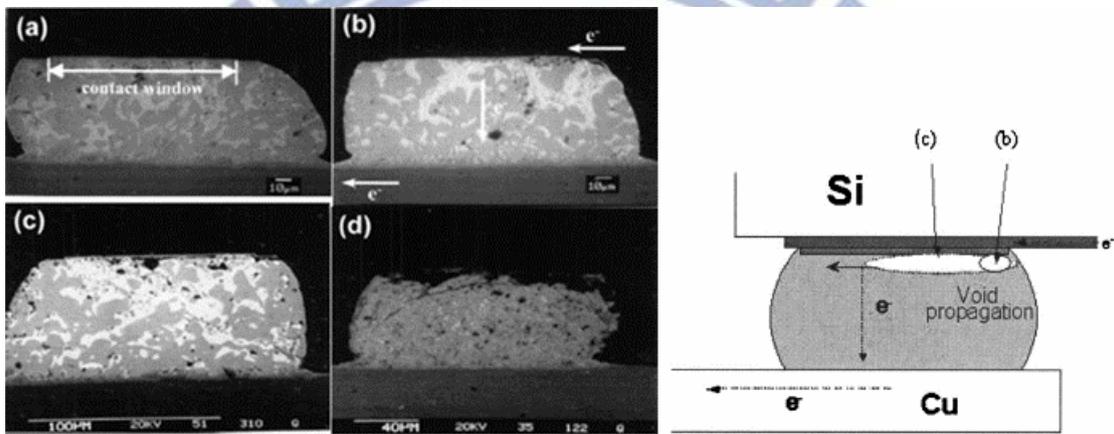


圖 2- 5 (a)-(d)覆晶鋅錫共晶錫鉛 UBM Cu/Ni(V)/Al 電子顯微鏡電遷移破壞剖面圖，(e) 孔洞生成與成長示意圖。條件：加熱 125°C ，電流密度 $2.25 \times 10^4 \text{ A/cm}^2$ ，通電時間(a) 37 hrs, (b) 38 hrs, (c) 40 hrs, and (d) 43 hrs. ^[ref 12]

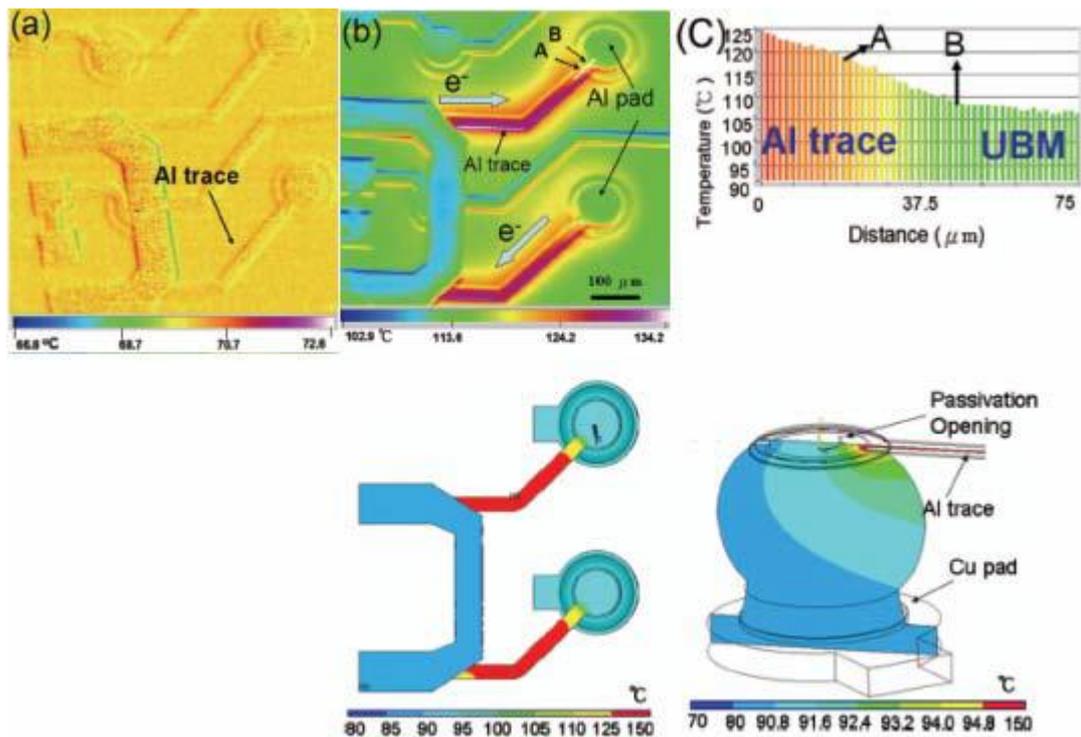


圖 2-6 焦耳熱效應 (a)未通電前溫度分佈(b)通電 0.59A 溫度分佈 (c)圖中所示白線溫度曲線。及其溫度模擬分佈^[ref 13]

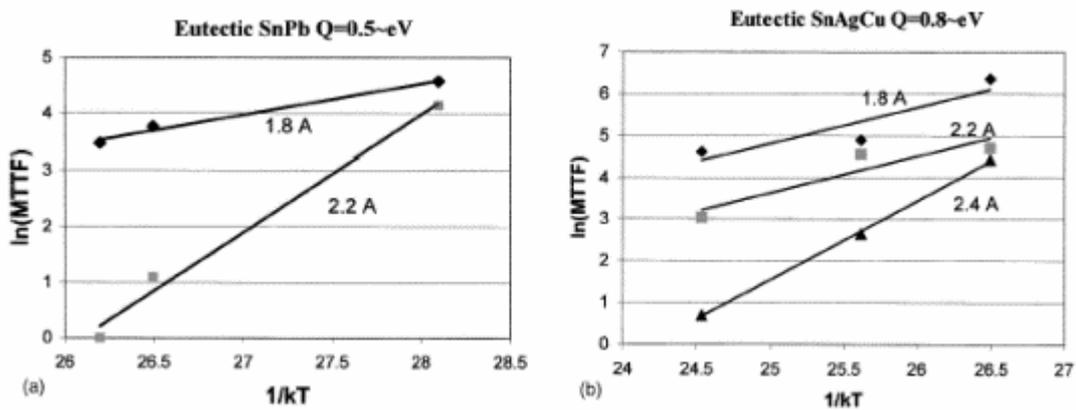


圖 2-7 覆晶鋅錫活化能 (a)共晶錫鉛鋅錫，(b)共晶錫銀銅鋅錫^[ref 14]

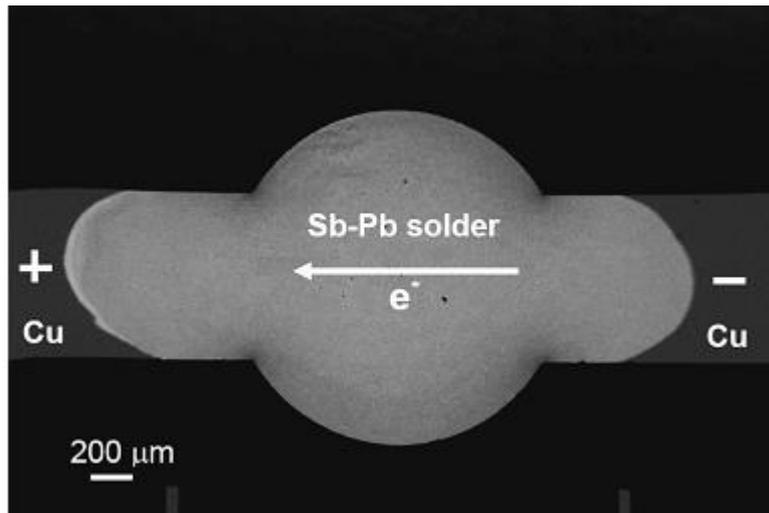


圖 2-8 共晶錫鉛觀測電流作用後 segregation 的試片結構^[ref 27]

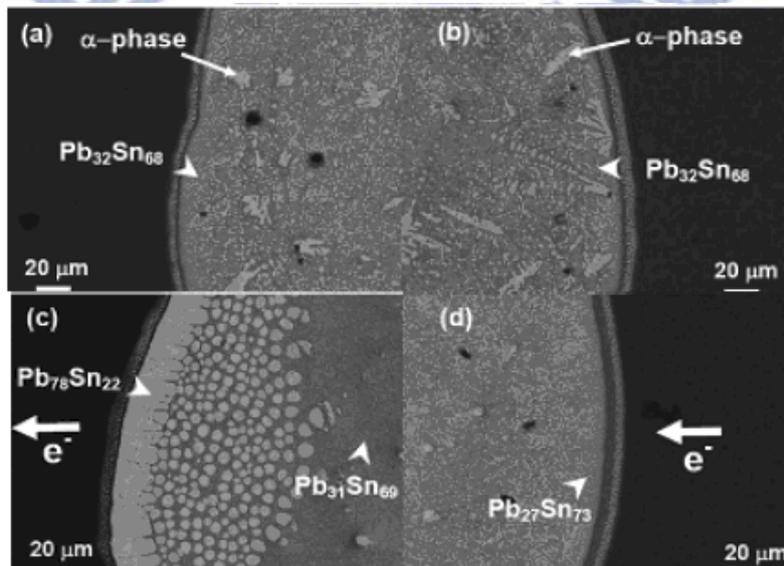


圖 2-9 錫鉛鉛錫的兩端微結構 SEM 影像。(a)(b)通電前、(c)(d)通電後^[ref 29]

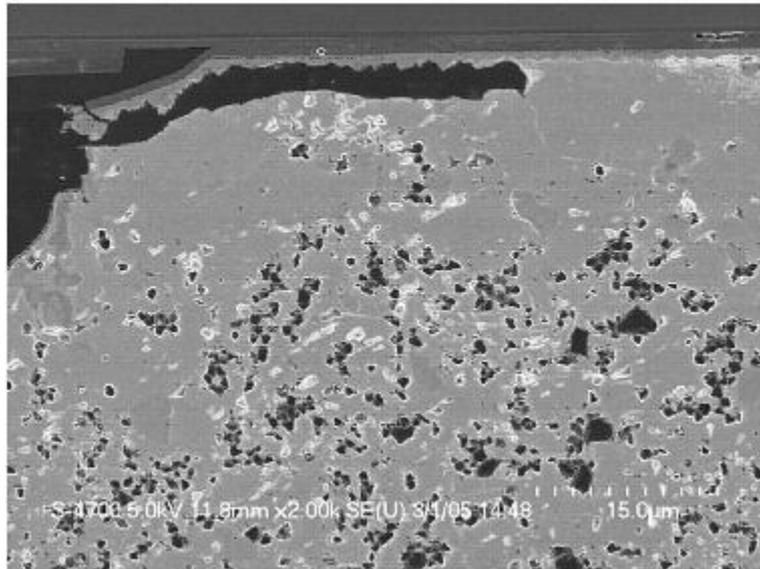


圖 2-10 鬆餅狀的孔洞示意圖^[ref 24]

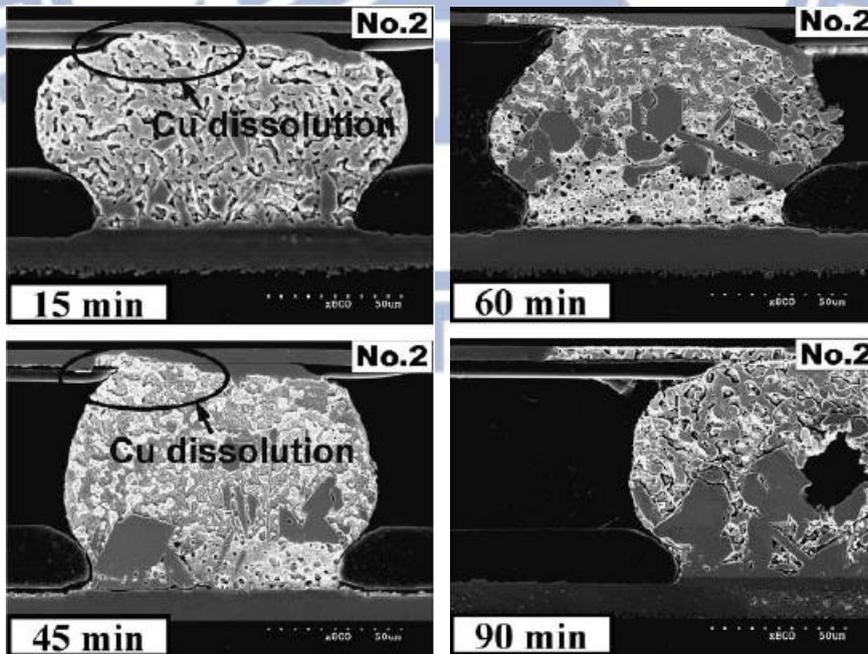
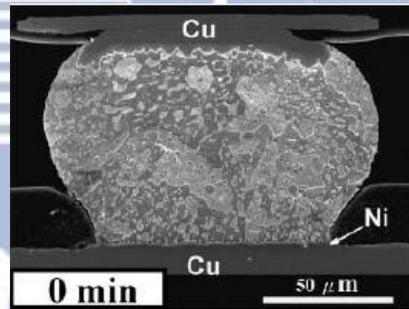


圖 2-11 銅墊層快速反應示意圖^[ref 25]

180 °C, 1.0×10^4 A/cm², 325 h

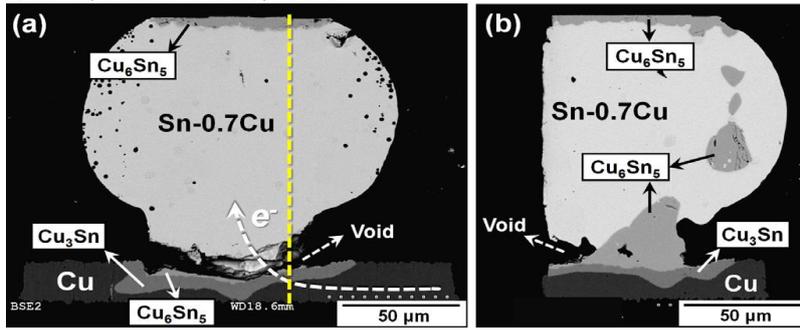


圖 2-12 180 °C, 1.0×10^4 A/cm² 電遷移破壞機制^[ref 30]

60 °C, 4.5×10^4 A/cm², 1630 h

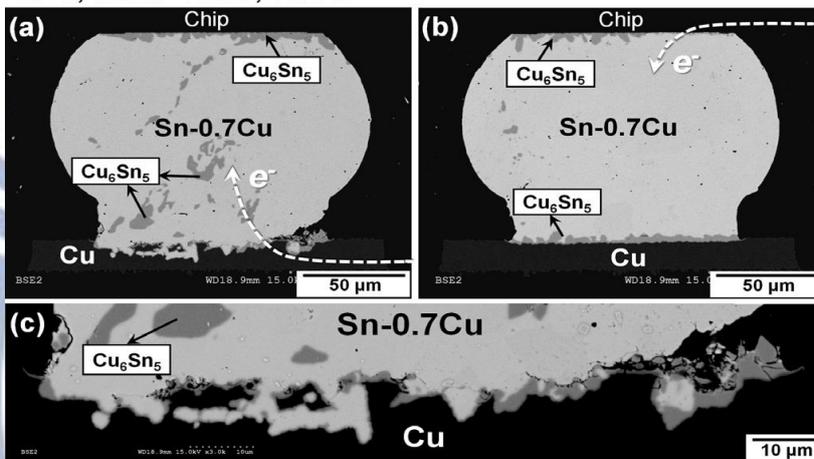


圖 2-13 60 °C, 4.5×10^4 A/cm² 電遷移破壞機制^[ref 30]

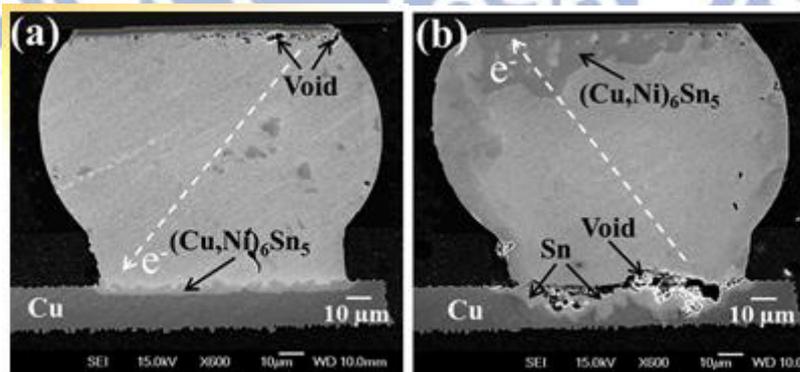


圖 2-14 126 °C, 1.4×10^4 A/cm² 電遷移破壞機制^[ref 31]

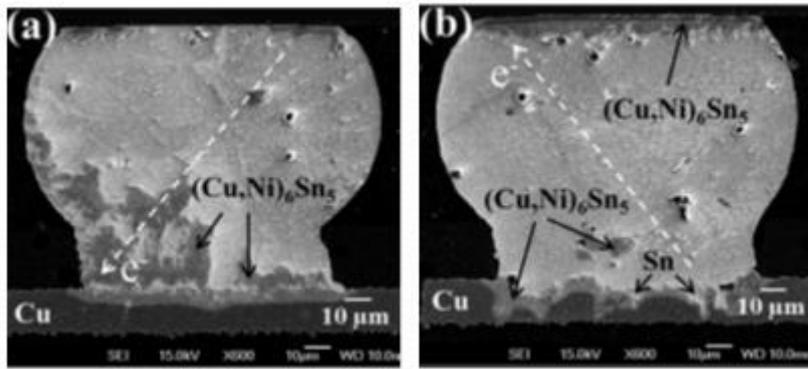
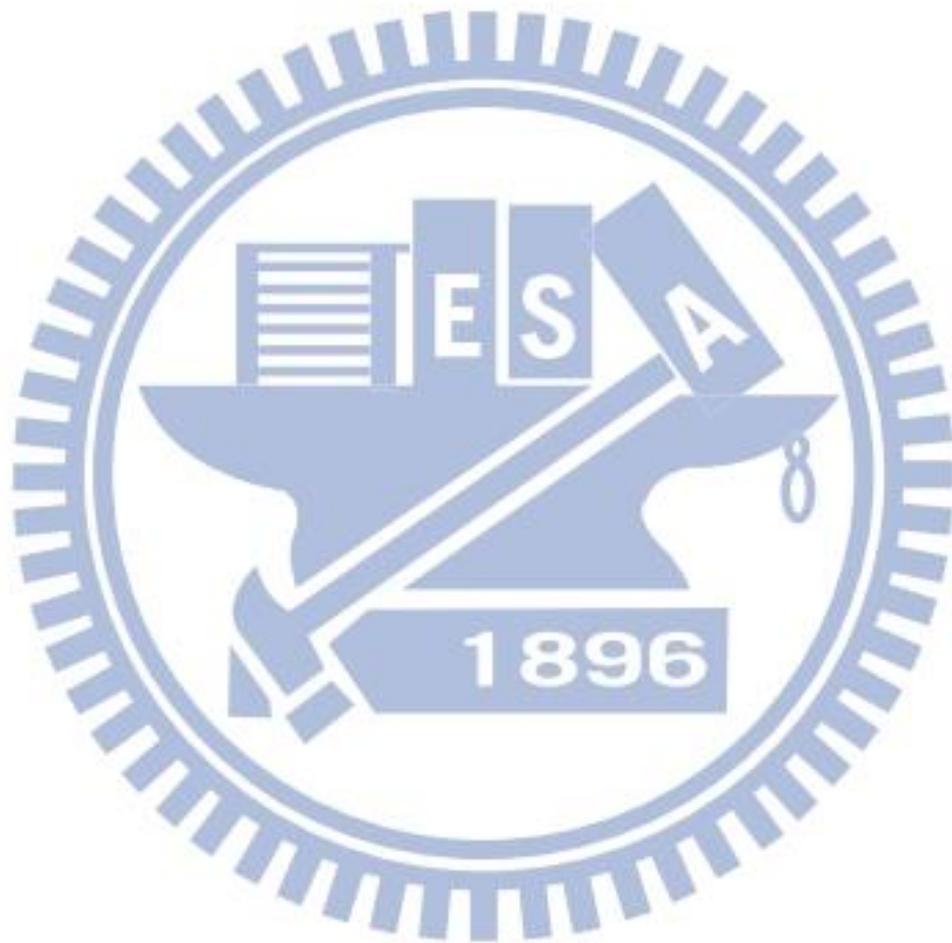


圖 2-15 185°C, $1.4 \times 10^4 \text{ A/cm}^2$ 電遷移破壞機制^[ref 31]



第三章、實驗方法、步驟與結果

本實驗將利用敏感、精確量測的凱文結構覆晶共晶錫銀和錫試片，試片係為一覆晶共晶錫銀鍍錫，其鍍錫凸塊高度為 50- μm 、銅金屬墊層 (under-bump-metallization) 為 5- μm 厚，用來觀測其電遷移破壞變化情形。

實驗測試方法為在一定加熱溫度、通電電流的條件下，作為加速破壞實驗，實驗電路設計所使用的電源供應器與量測儀器分別為電流源 Agilent E3642A 與搭配有二十個獨立頻道 Agilent EA34901A 模組的資料交換器(Data switch) Agilent E34907A。藉由上述兩組儀器對序列阜與 GBIP 控制介面通訊協定的以美國國家儀器公司開發的圖形化儀器控制軟體 Lab view，作為實驗過程中的資料擷取及儀器控制的工具。

實驗監測通電中的鍍錫凸塊電阻值變化，作為研究該是騙電遷移破壞不同階段的指標。本實驗的兩組條件

1. 加熱溫度條件為 100°C，通電電流條件為 0.8 A 電流。
2. 加熱溫度條件為 160°C，通電電流條件為 0.8 A 電流。

實驗流程如下：

1. 電遷移破壞測試：利用凱文結構於電遷移破壞測試期間，量測並記錄鍍錫隨測試時間變化的電阻值，當電阻值上升到 20%，100%，200%至 Opened 時，即停止測試。
2. 試片觀察：利用研磨設備一一定方向將其所需的觀察剖面研磨、拋光後，利用光學顯微鏡及掃描式電子顯微鏡觀察、紀錄試片的剖面狀態。

3-1 試片結構

實驗試片的製備，係由米輯科技提供的共晶錫銀覆晶封裝試片，其凸塊結構如圖 3-1 – 晶片端的鋁導線為 140- μm 寬、1.5- μm 厚、鋅錫 UBM (Under Bump Metallization) 種類為 Cu，厚度為 5- μm ，UBM opening 為 85- μm ，鋅錫凸塊直徑為 145- μm ，高度 50- μm 的共晶錫銀鋅錫，凸塊間距為 1-mm。

鋅錫鋅料係以共晶錫銀鋅錫，晶片端部分，利用電鍍將鋅錫固定於 UBM 所在，再加熱爐中加熱到 220°C 約一分鐘；基板部分，則採用 FR5 基板，銅墊層直徑為 2805- μm ，上一層為 3- μm 無電鍍鍍。

試片迴路設計依凱文結構方式佈局，如圖 3-2，本研究中，將僅測試第六排（最下排，圖 3-3）的四顆鋅錫凸塊結構作為研究，剖面示意圖如圖 3-4。

3-2 實驗方法

實驗測試方法為利用凱文結構設計，將試片置於一加熱板上，施加一定通電電流於電路，同時量測、紀錄鋅錫凸塊及鋁導線的電阻值變化，當電阻值變化達到一定程度時，即停止加熱、通電等測試條件。之後再依一定方向(圖 3-6)將所需觀察的剖面研磨、拋光後，利用光學顯微鏡以及掃描式電子顯微鏡作為試片的剖面狀影像的觀察、紀錄，了解其電遷移在不同階段時期的破壞模式。

3-2-1 實驗電路設計及凸塊電性觀測

圖 3-3 為本文所指之凱文結構俯視圖，系僅圖 3-2 中的最後一排，利用此結構觀測鋅錫受到電遷移影響時的即時電性變化。

結構中含有四顆鋅錫凸塊，此四顆鋅錫凸塊，如圖 3-3 所示 b1、b2、b3 及 b4，由一鋁導線連接四個墊層。其中鋁導線長 3150- μm 、厚 1.5- μm 、寬 100- μm ，鋅錫凸塊間距為 1mm。此外，圖示之六條導線，係 FR5 基板與四顆鋅錫凸塊

連接的銅導線，分別標示為 n1、n2、n3、n4、n5 及 n6，銅導線厚 30- μm 、寬 100- μm ，其中鐳錫凸塊 b1 到 b4 依序分別連接 1、2、2、1 條的銅導線，導線分佈圖如圖 3-3。

實驗電路設計，利用此六條銅導線不同的連接方式，可分別量測到 b2、b3 的單顆鐳錫凸塊電阻與晶片內的鋁導線電位差與電阻，如圖 3-4 標註箭頭方向所示。在本研究中，由 n3 及 n4 通入一定電流，電子流在 b2 鐳錫凸塊中從基板端流向晶片端，在 b3 鐳錫凸塊中則呈相反方向。分別由 n1 及 n2 量測 b2 鐳錫凸塊電子流向上的電位差(定義晶片端方向為向上)，b3 鐳錫凸塊則由 n5 及 n6 量測其電子流向下的電位差，如此量測方式即可在電遷移發生的同時量測到兩個電子流不同方向的鐳錫凸塊電阻表現。同時以 n1 及 n6 來量測鋁導線的電阻變化。

由於電流集中效應的影響，以往的研究中發現孔洞的生成大多顯示在電子流流入鐳錫凸塊的晶片端，所以本實驗電遷移現象著重於 b3 鐳錫凸塊電性的量測，當其電阻值變化達到設定為初始值的一定倍數時，即停止加熱、通電等條件，以此分別觀察其不同時期的電遷移破壞模式。

實驗步驟首先將第一組條件試片置於一加熱板上，將晶片面緊貼熱板上，並用耐熱膠帶固定，靜置試片直到溫度到達 100°C 平衡後，才開始如上述方式通電量測。電路迴路與量測的位置如圖 3-5 所示，於圖 3-4 中的 n3 及 n4 通入一定電流 0.8A，其所對應電流密度為 $7.07 \times 10^3 \text{ A/cm}^2$ ，量測 b3 鐳錫凸塊的電阻值變化，當其電阻值上升 20%，100%，200% 以及 Open 時，停止通電及加熱並取下試片。第二組條件一樣的試片，將晶片緊貼加熱板上並用耐熱膠帶固定，靜置試片直到試片溫度達到 160°C 平衡才開始以上述方式通電量測。電路迴路與量測的位置如圖 3-5 所示，於圖 3-4 中的 n3 及 n4 通入一定電流 0.8A，其所對應電流密度為 $7.07 \times 10^3 \text{ A/cm}^2$ ，量測 b3 鐳錫凸塊的電阻值變化，當其電阻值上升 20%，100%，200 以及 Open 時，停止通電及加熱並取下試片。

3-2-2 銲錫凸塊破壞模式的觀測

將實驗通電破壞後的試片依序沿圖 3-6 所示方向以不同號數的 SiC 砂紙(60、400、1200、2500、4000 等 SiC 砂紙)依序研磨試片，將試片研磨置銲錫凸塊中心，同時顯現銲錫凸塊之半剖面及鋁導線，再以 1- μm 、0.3- μm 、0.05- μm 大小顆粒的 Al_2O_3 做研磨拋光，剖面圖如圖 3-7。

之後再利用光學顯微鏡(OM)及掃描式電子顯微鏡(SEM)觀察、紀錄試片破壞後的剖面影像。

3-3 實驗結果

表 3-1 為覆晶共晶錫銀銲錫，其銲錫凸塊高度為 50- μm 、UBM 為 5- μm 厚的 Cu。分別在 100°C 加熱環境-電流密度 $7.07 \times 10^3 \text{ A/cm}^2$ ，與 160°C 加熱環境-電流密度 $7.07 \times 10^3 \text{ A/cm}^2$ 通電條件下的電子流向下之錫銀銲錫凸塊在各階段的電阻變化率與通電時間。

電阻率變化 R_{ratio} 定義為 R/R_0 ，其中 R 為銲錫凸塊 b3 的即時量測電阻， R_0 為銲錫凸塊 b3 的初始量測電阻，銲錫凸塊 b3 為電子流向下之標示銲錫凸塊。用此一指標定義可以修正各試片間因初始電阻值的差異造成結果判讀上的困難。

圖 3-8-1~圖 3-8-6 為錫銀銲錫電阻變化率對時間所做的曲線圖；圖 3-9~圖 3-14 為錫銀銲錫凸塊在各階段電阻變化率的光顯微鏡(OM)影像圖。

Temperaturer (°C)	Calibrated Temperature (°C)	Current (A)	Current Density (A/Cm ²)	R/R ₀	Experiment Time (hr)
25	25	0	1	0.00	0
100	114.7	0.8	7.07 x 10 ³	1.20	315.3
100	114.7	0.8	7.07 x 10 ³	2.00	835.9
100	114.7	0.8	7.07 x 10 ³	3.00	1472.6
100	114.7	0.8	7.07 x 10 ³	Opened	2305.6
160	174.7	0.8	7.07 x 10 ³	1.20	43.9
160	174.7	0.8 <td>7.07 x 10³</td> <td>2.00</td> <td>50.2</td>	7.07 x 10 ³	2.00	50.2
160	174.7	0.8	7.07 x 10 ³	3.00	161.8
160	174.7	0.8	7.07 x 10 ³	Opened	22.3

表一、實驗條件表

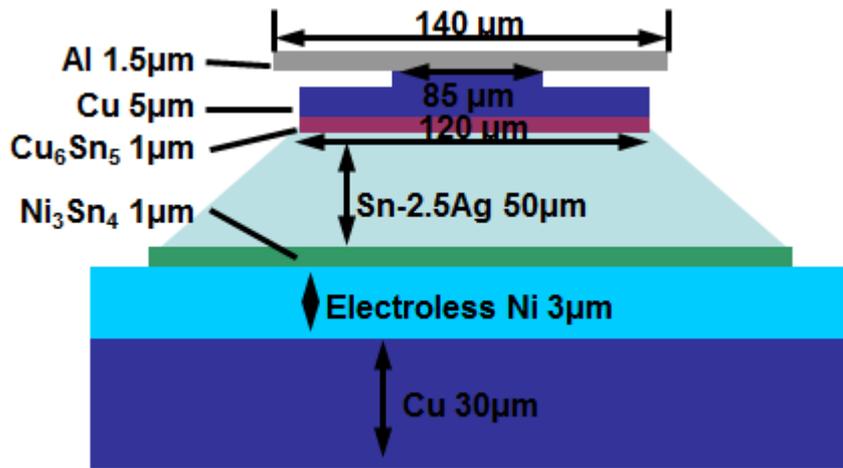


圖 3-1 試片鐳錫凸塊結構示意圖

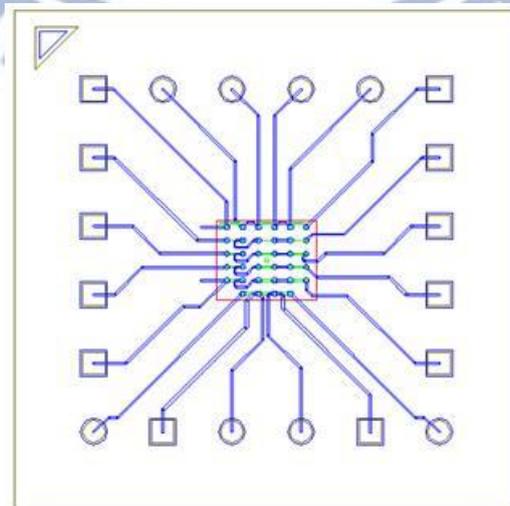


圖 3-2 試片迴路設計圖

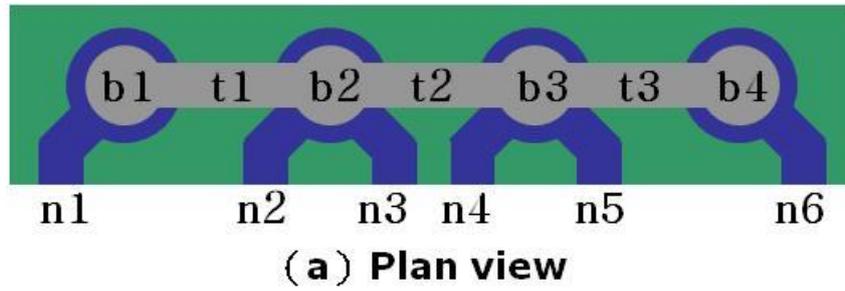


圖 3-3 凱文結構俯視示意圖

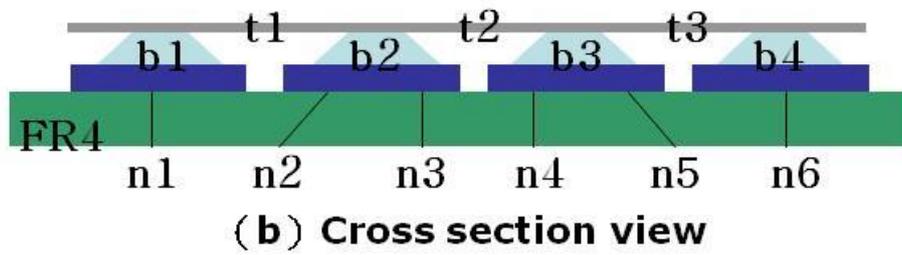


圖 3-4 凱文結構剖面示意圖

ΔV_{b2}	電子流由基板往晶片	n2	n1
ΔV_{t2}	電子流由左向右	n1	n6
ΔV_{b3}	電子流由晶片往基板	n6	n5
ΔV_{total}	n3 - b2 - t2 - b3 - n4	n3	n4

圖 3-5 實驗電路示意圖

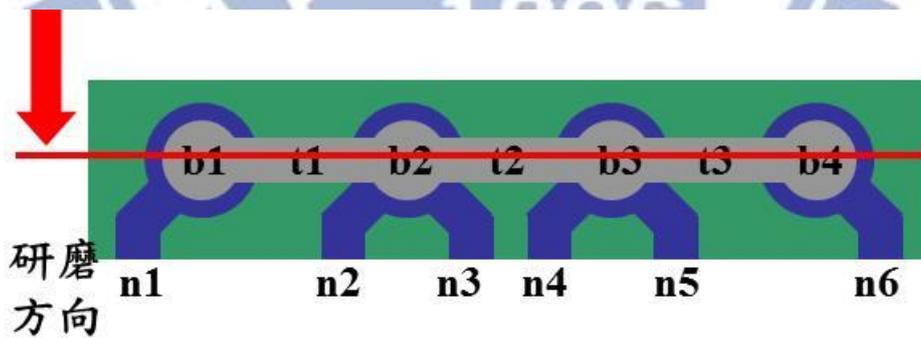


圖 3-6 試片研磨方向示意圖

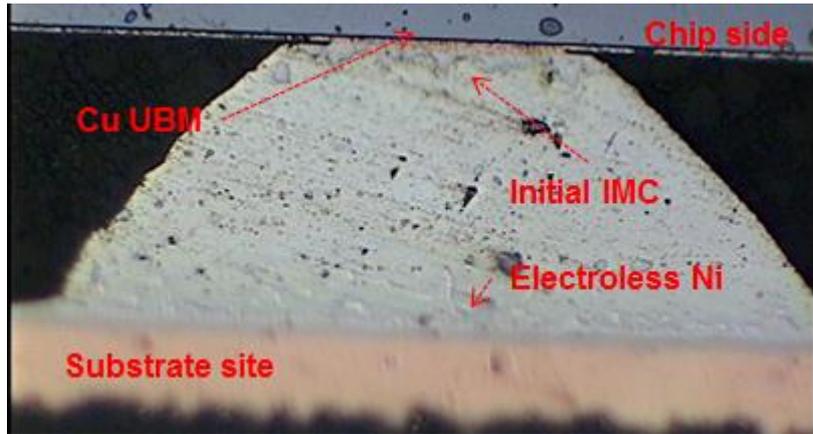


圖 3-7 試片研磨鉛錫凸塊剖面圖

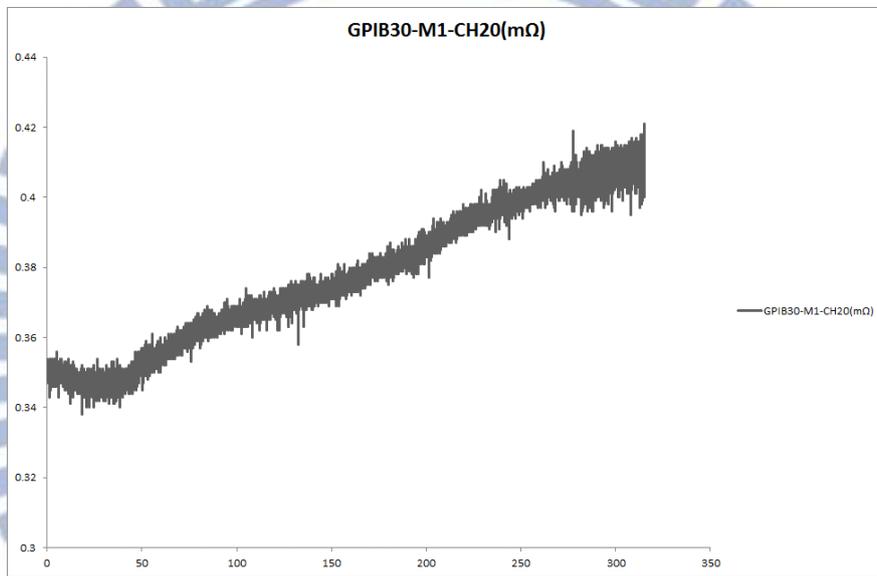


圖 3-8-1 (0.8A 100°C, R=1.2R₀) 試片電阻變化率與通電時間關係曲線

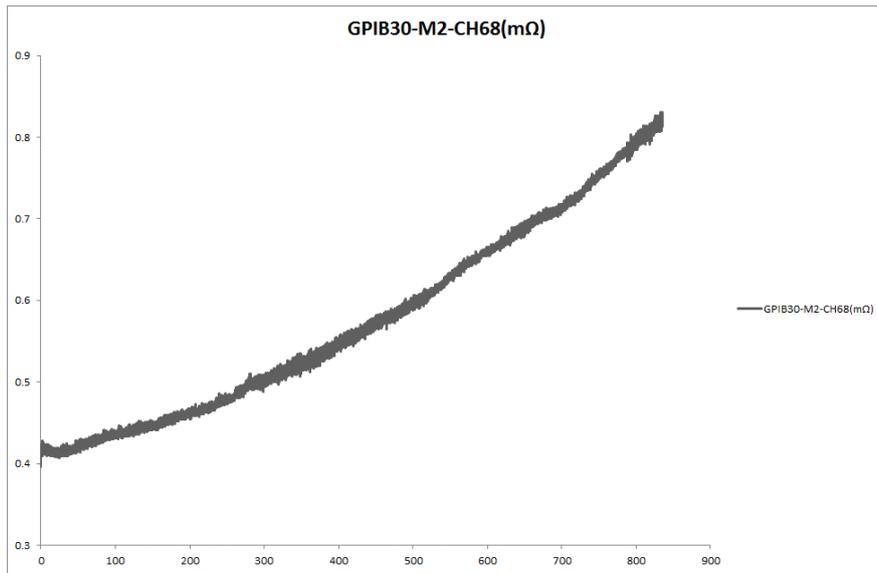


圖 3-8-2 (0.8A 100°C, $R=2R_0$) 試片電阻變化率與通電時間關係曲線

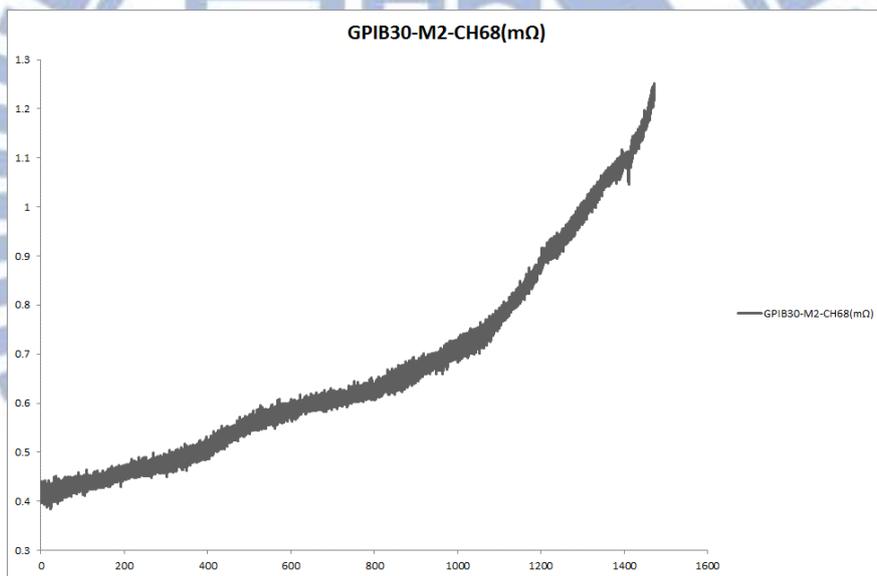


圖 3-8-3 (0.8A 100°C, $R=3R_0$) 試片電阻變化率與通電時間關係曲線

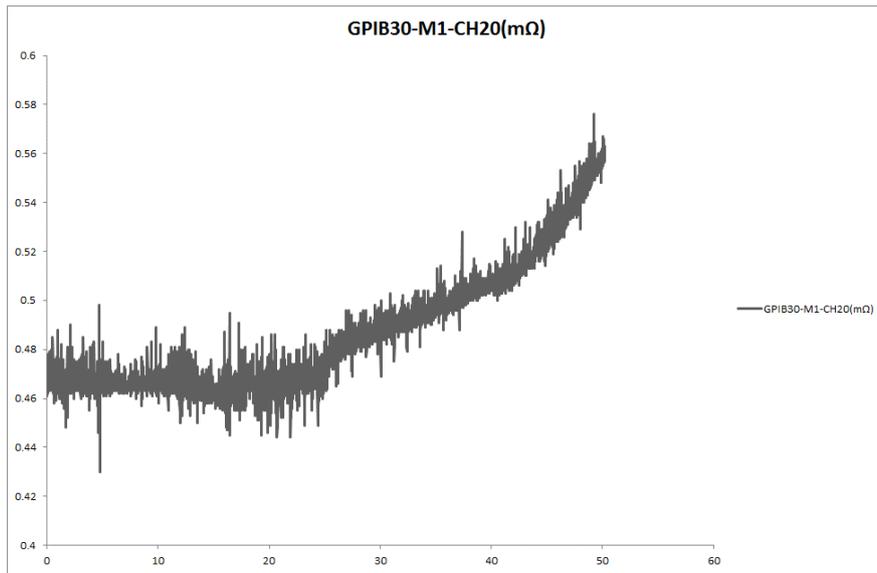


圖 3-8-4 (0.8A 160°C, R=1.2R₀) 試片電阻變化率與通電時間關係曲線

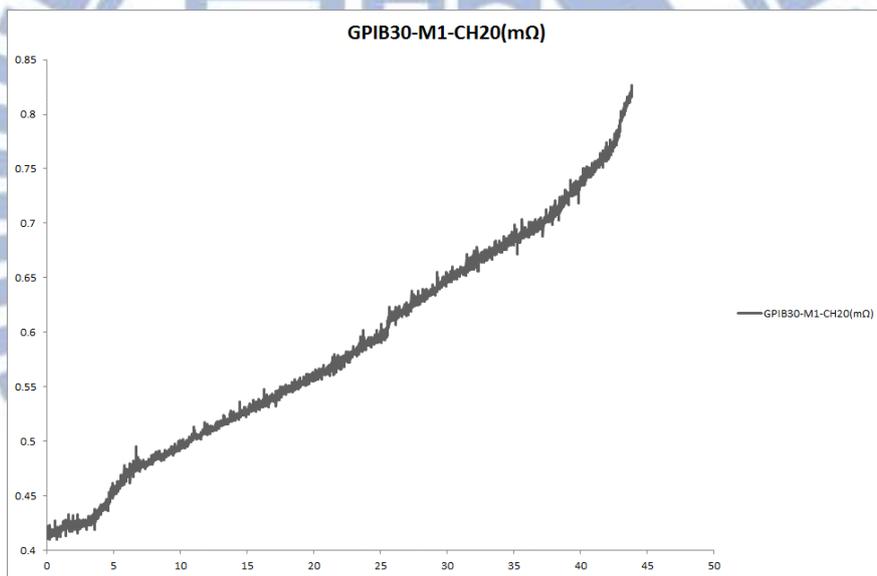


圖 3-8-5 (0.8A 160°C, R=2.0R₀) 試片電阻變化率與通電時間關係曲線

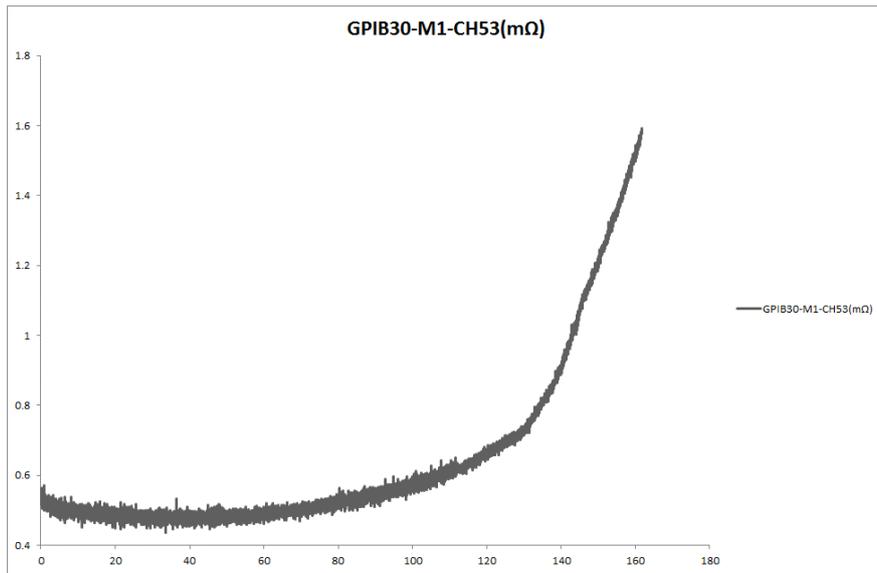


圖 3-8-6 (0.8A 160°C, R=3R₀)試片電阻變化率與通電時間關係曲線

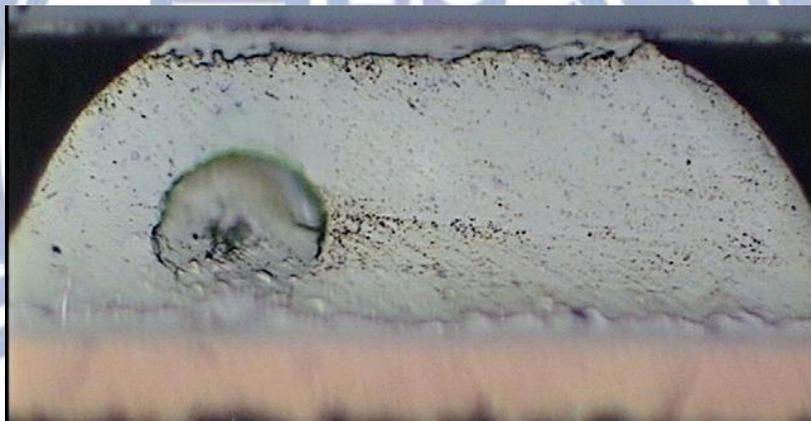


圖 3-9 光學顯微鏡剖面圖,電子流向下(R=1.2R₀,0.8A/160°C,電流密度 7.07×10^3 A/cm²)

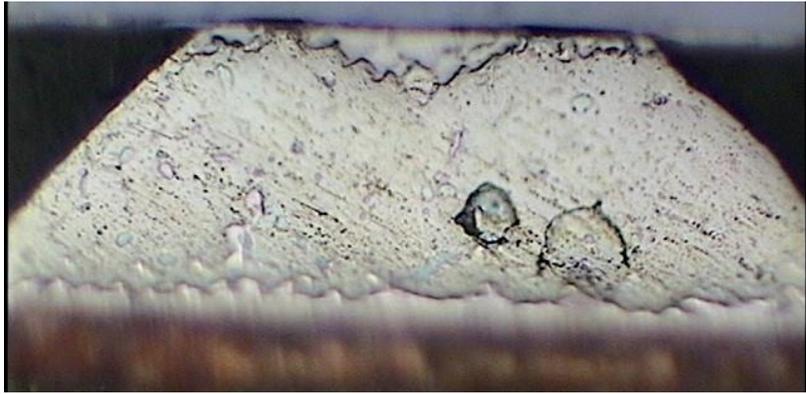


圖 3-10 光學顯微鏡剖面圖,電子流向下($R=2.0R_0, 0.8A/160^{\circ}C$, 電流密度 7.07×10^3
 A/cm^2)

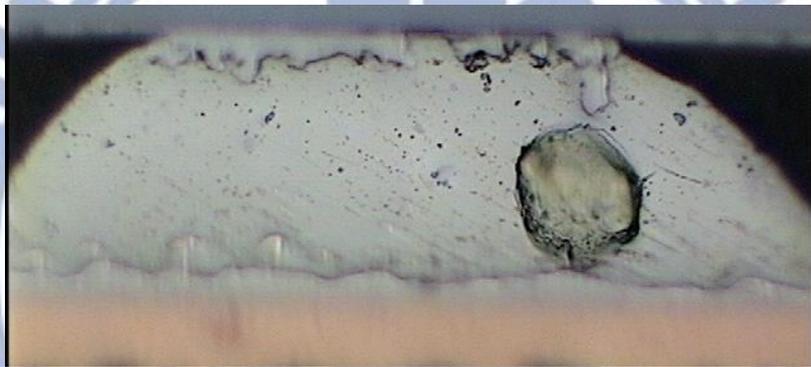


圖 3-11 光學顯微鏡剖面圖,電子流向下($R=3.0R_0, 0.8A/160^{\circ}C$, 電流密度 7.07×10^3
 A/cm^2)

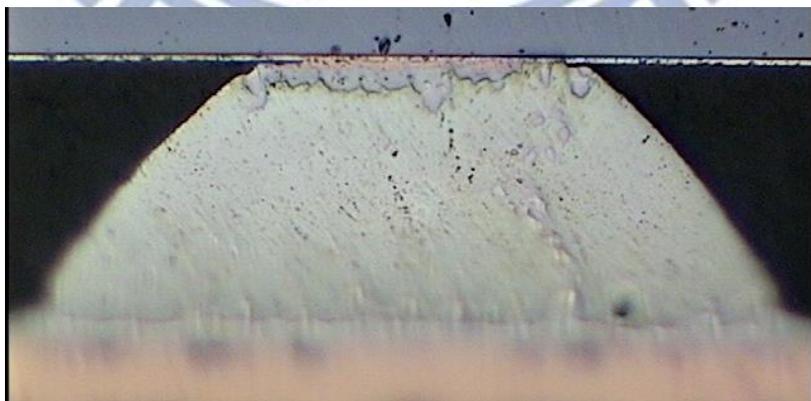


圖 3-12 光學顯微鏡剖面圖,電子流向下($R=1.2R_0, 0.8A/100^{\circ}C$, 電流密度 7.07×10^3
 A/cm^2)

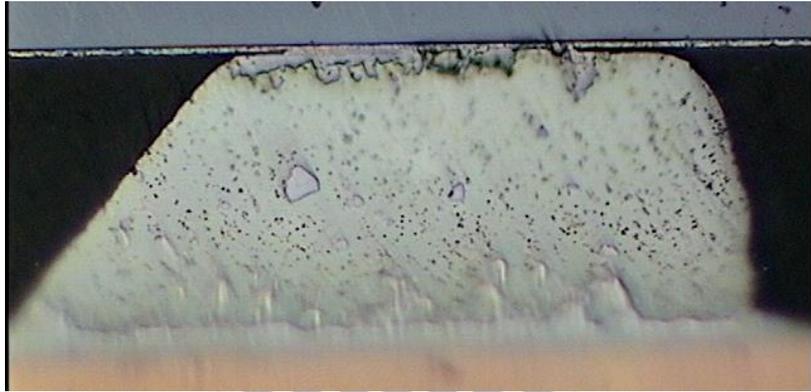


圖 3-13 光學顯微鏡剖面圖,電子流向下($R=2.0R_0, 0.8A/100^{\circ}C$, 電流密度 7.07×10^3
 A/cm^2)



圖 3-14 光學顯微鏡剖面圖,電子流向下($R=3.0R_0, 0.8A/100^{\circ}C$, 電流密度 $7.07 \times 10^3 A/cm^2$)

第四章、結果與討論

本實驗利用凱文結構的電性觀測方式，配合金屬墊層 Cu-5 μ m 之共晶錫銀錒錫，在加熱板 100 $^{\circ}$ C 與 180 $^{\circ}$ C 的環境，施以 0.8 安培的電流，研究電阻變化率於 20%，100%，200% 以及 Open 各階段的電遷移破壞情形。由實驗試片中各階段的錒錫凸塊剖面影像，與圖 4-1 為未受電遷移破壞的錒錫凸塊影像比較，其中錒錫凸塊 Bump2 與 Bump3 為電子流所通過之錒錫凸塊，本研究重點在電子流向下的 Bump3，在不同溫度環境下觀察各階段電阻的變化時的錒錫微結構，同時一起觀察電子流向上的 Bump2，錒錫凸塊的 Cu UBM 消耗溶解、IMC 成長、電遷移孔洞生成破壞的現象。

首先觀察低溫環境 100 $^{\circ}$ C (電流密度 7.07x10³ A/cm²) Bump2 電子流向上、Bump3 電子流向下錒錫凸塊，觀察其變化 Cu UBM 消耗溶解、IMC 成長、電遷移破壞孔洞生成情形，再觀察低溫環境 160 $^{\circ}$ C (電流密度 7.07x10³ A/cm²) Bump2 電子流向上、Bump3 電子流向下錒錫凸塊，觀察其變化 Cu UBM 消耗溶解、IMC 成長、電遷移破壞孔洞生成情形。藉以討論高低溫下錒錫凸塊 UBM 消耗溶解、IMC 成長與電遷移孔洞生成的破壞現象。

4-1 破壞模式分析，低溫 100 $^{\circ}$ C (電流密度 7.07x10³ A/cm²)

4-1-1 電子流向下的破壞模式(電子流由晶片端流進錒錫)

圖 4-2 為 Cu-5 μ m 金屬墊層的錒錫接點在加熱板 100 $^{\circ}$ C 的環境下通以 0.8 安培的電流，經過 315 小時之後，錒錫電阻上升至 1.2 倍 R₀ 時的電子顯微鏡影像圖，與 4-1 圖比較，可以明顯觀察到錒錫右上角，也就是電子流由晶片端進入錒錫的地方尚未有孔洞生成，觀察其他地方也沒有明顯的微結構改變，還維持完好的銅金屬墊層。隨著通電時間增加到 835 小時之後，錒錫的電阻

上升至 2 倍 R_0 如圖 4-3 之電子顯微鏡影像，可以發現到孔洞生成的區域沿著介金屬化合物與共晶錫銀的介面向左擴展，由鉚錫凸塊電阻曲線變化推論，初期孔洞生成之後，鉚錫凸塊的幾何形狀改變，電子流行進方向受阻，行走路線被迫向左轉移，此時電流聚集效應與熱點位置也逐漸向左擴展，孔洞也隨之成長，鉚錫與金屬墊層的接觸面積縮小，電流密度變大，電阻曲線斜率急遽上升，同時晶片端更多的金屬墊層原子受電子流的驅動逐漸進入鉚錫內部，使基板端的介金屬化合物明顯變厚，而鉚錫的錫原子也擴散進入到金屬墊層形成金屬化合物(經 EDX 分析為 Cu_6Sn_5)。當通電時間增加到 1472 小時之後，鉚錫電阻上升至 3 倍 R_0 ，如圖 4-4 之電子顯微鏡影像，可以看到孔洞沿著金屬化合物與共晶錫銀界面向右長出更多的孔洞，且已超過鉚錫的中心部分，此時晶片端的金屬墊層被大量消耗，形成更多的介金屬化合物，鉚錫與金屬墊層的接觸面積更小了，電流密度變大，電阻增加，伴隨著焦耳熱效應更嚴重，後端孔洞的破壞情形也更明顯，金屬墊層銅原子持續受電子流的驅動進入鉚錫內部，形成更多的介金屬化合物，並移動到鉚錫內部與基板端，更多的錫原子也擴散進入到金屬墊層形成金屬化合物，並占據整個金屬墊層部分(經 EDX 分析為 Cu_6Sn_5)。通電時間增加到 2305 小時之後，電阻量測值已呈現為開路，如圖 4-5 電子顯微鏡影像，經過長時間電遷移破壞，金屬墊層銅原子不斷的流出，幾乎完全消耗形成介金屬化合物，佔據整個金屬墊層，孔洞生成已橫跨整個金屬化合物與共晶錫銀介面，電阻值呈現開路，而鉚錫接點已經完全斷開崩潰。

4-1-2 電子流向上的破壞模式(電子流由基板端流進鉚錫)

圖 4-6 為 $\text{Cu-5}\mu\text{m}$ 金屬墊層的鉚錫接點在加熱板 100°C 的環境下通以 0.8 安培的電流，電流方向如箭頭所指示，從基板端流進鉚錫，圖 4-6(a)(b)(c)(d) 分別為通電 315, 835, 1472, 2305 小時之後，各階段的電子顯微鏡影像圖，與圖 4-1 比較可以觀察到 Cu UBM 消耗溶解、IMC 成長、錫銀相重新分布並

發生相分離等現象。

在晶片端可以觀察到隨著通電時間的增加，金屬墊層逐漸消耗並形成介金屬化合物 Cu_6Sn_5 ，受電遷移的作用下，介金屬化合物不規則的擴散到鉛錫內部，但其電遷移破壞孔洞生成的情況相較於電子流向下鉛錫凸塊，並無明顯的孔洞成長現象。電子流向上受電遷移破壞的情況沒有比電子流向下來的嚴重。主要是因為電子流向上金屬墊層 Cu/Ni。金屬墊層 Cu/Ni 中，鎳原子的擴散速度慢，可以減緩電流集中效應。故其所能容忍的電遷移破壞時間相對較長。

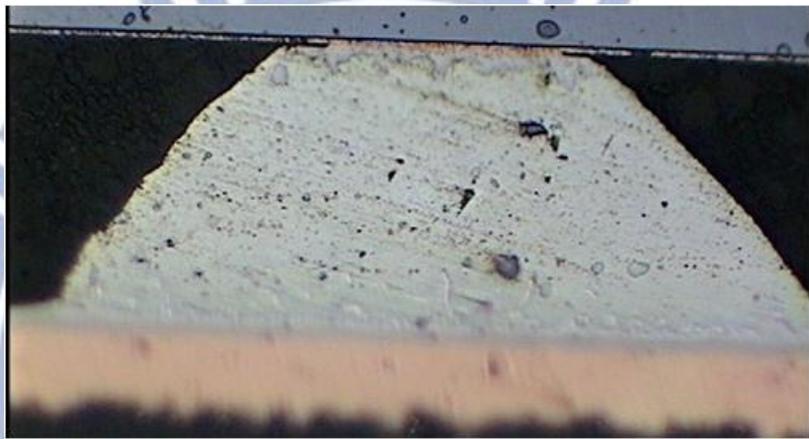


圖 4-1 未受電遷移破壞的鉛錫凸塊剖面影像

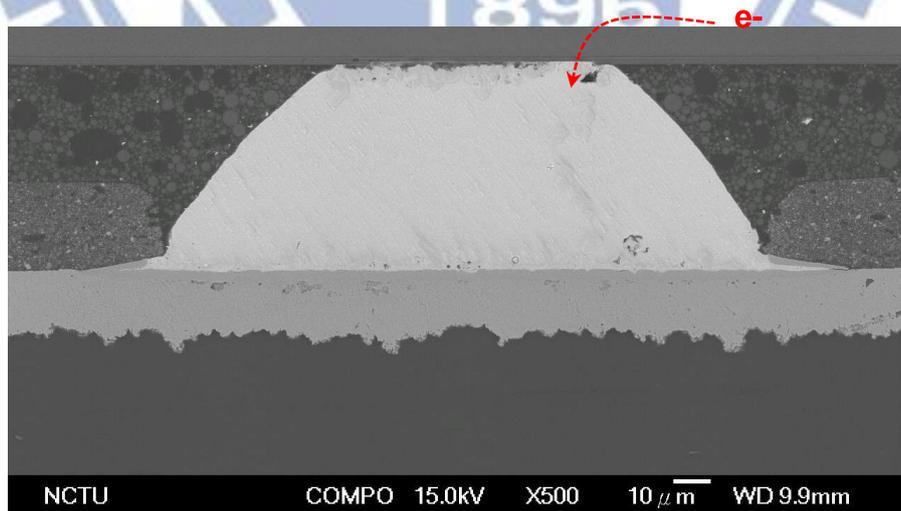


圖 4-2 0.8A 100°C R=1.2R₀ 通電時間 315 小時 SEM 影像

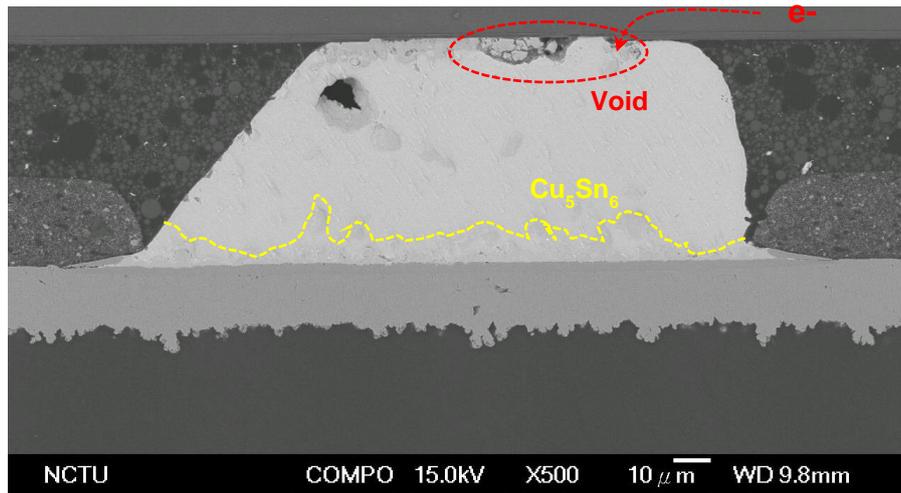


圖 4-3 0.8A 100°C R=2.0R₀ 通電時間 835 小時 SEM 影像

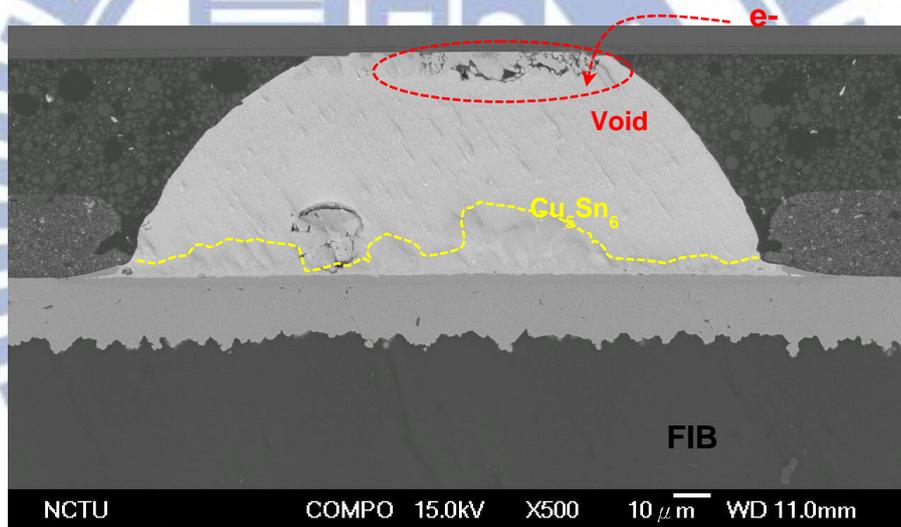


圖 4-4 0.8A 100°C R=3.0R₀ 通電時間 1472 小時 SEM 影像

FIB分析發現大型孔洞破壞結構。100°C, 3.0R₀

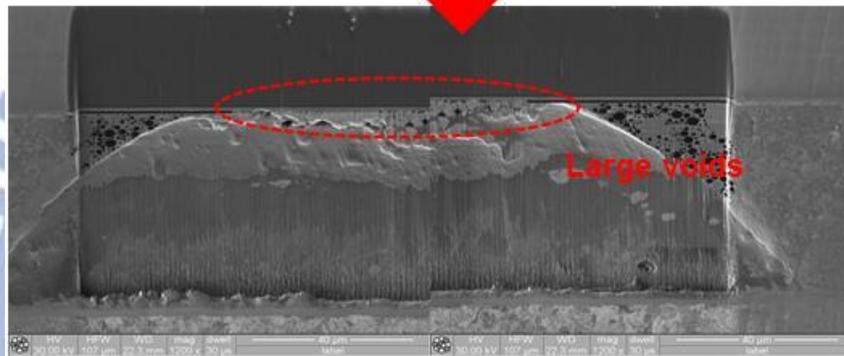
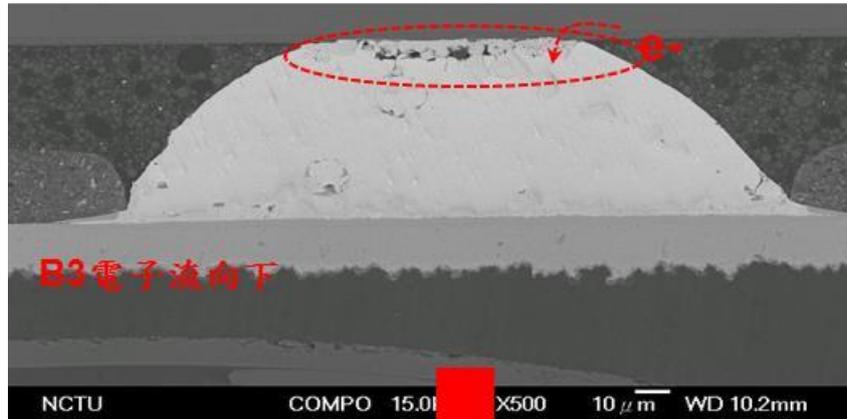


圖 4-5 0.8A 100°C R=3.0R₀ 通電時間 1472 小時, FIB 分析發現大型孔洞

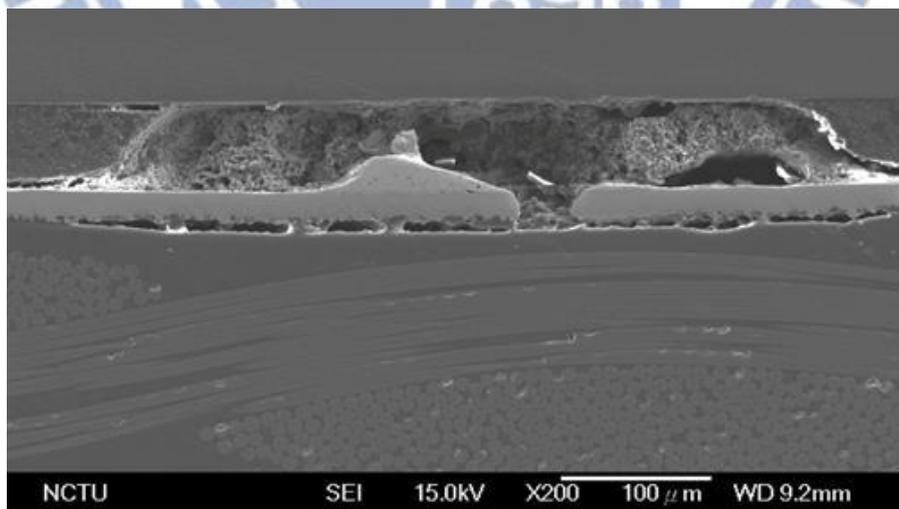


圖 4-6 0.8A 100°C R=Open 通電時間 2305 小時 SEM 影像

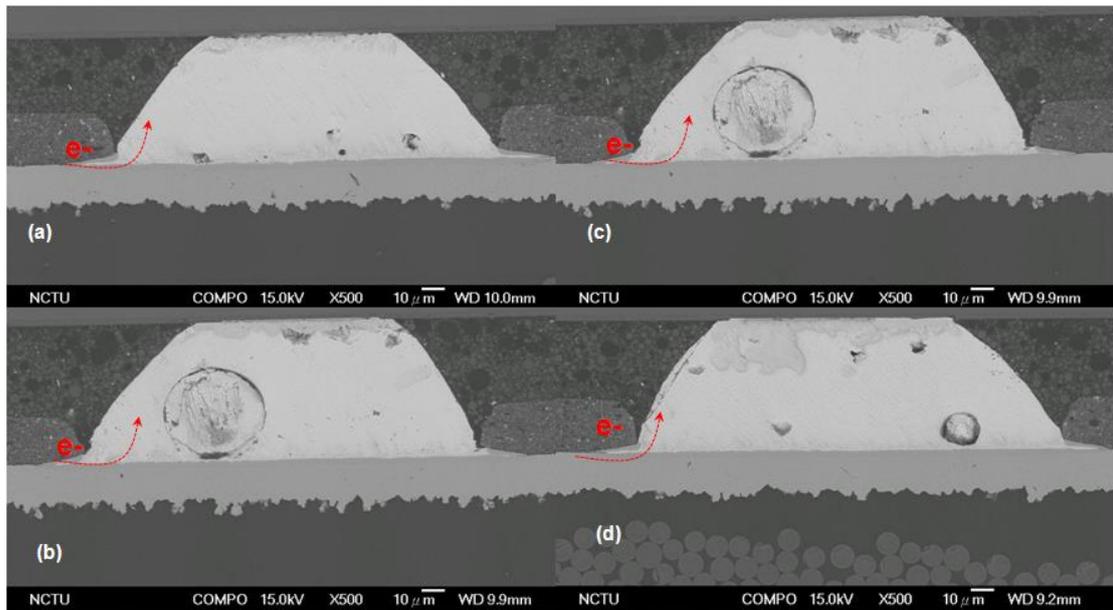


圖 4-7 0.8A 100°C 電子流向上(a)通電時間 315 小時(b)通電時間 835 小時(c)通電時間 1472 小時(d)通電時間 2305 小時 SEM 影像

4-2 破壞模式分析，高溫 160°C (電流密度 $7.07 \times 10^3 \text{ A/cm}^2$)

4-2-1 電子流向下的破壞模式(電子流由晶片端流進鉛錫)

圖 4-7 為 Cu-5 μm 金屬墊層的鉛錫接點在加熱板 160°C 的環境下通以 0.8 安培的電流，經過 50 小時之後，鉛錫電阻上升至 1.2 倍 R_0 時的電子顯微鏡影像圖，與圖 4-1 比較，在電流集中效應的影響下，可觀察到銅金屬墊層逐漸消耗，形成的介金屬化合物其成分組成經 EDX 分析為 Cu_6Sn_5 。

圖 4-8 為通電時間 44 小時電阻上升至 2 倍 R_0 時的電子顯微鏡影像圖。在電遷移的持續作用下，金屬墊層形成的介金屬化合物受電子流的推移，逐漸剝離進入鉛錫內部，堆積於基板端方向，其成分組成經 EDX 分析為 Cu_6Sn_5 。

圖 4-9 當鉛錫電阻上升到 3 倍 R_0 時，通電時間 161 小時，可以看到晶片端的金屬墊層持續消耗，大量的介金屬化合物形成，佔據 UBM 位置並剝離擴散進入鉛錫內部，試片經 FIB 分析一樣可以觀察到鉛錫右上角有許多微孔洞

出現(圖 4-11)。而在基板端累積更多的介金屬化合物。

圖 4-10 為通電電阻量測值呈 Open 時的電子顯微鏡影像圖。在電遷移的持續作用下，金屬墊層已完全消耗，電阻值呈現開路，而鉛錫接點已經完全斷開崩潰。

4-2-2 電子流向上的破壞模式(電子流由基板端流進鉛錫)

圖 4-12 為金屬墊層 Cu-5 μ m 的鉛錫接點在加熱板 160 $^{\circ}$ C 的環境下通以 0.8 安培的電流，Bump2 電子流流向為基板端往晶片端，圖(a)(b)(c)(d)分別為通電 50,44,161 小時之後各階段的電子顯微鏡影像。在晶片端，可以觀察到隨著時間的增加 Cu UBM 逐漸消耗溶解、IMC 成長、形成介金屬化合物 Cu₆Sn₅。在基板端電流進入鉛錫的端點沒有發現孔洞成長，鉛錫內部有些自 UBM 金屬墊層擴散出來的介金屬化合物，電遷移的破壞模式大致上與 100 $^{\circ}$ C 的環境下相同。通電時間越長，介金屬化合物的生成越多，Bump2 電子流向上受電遷移破壞的情況沒有 Bump3 電子流向下來的嚴重，主要也是因為電子流向上金屬墊層 Cu/Ni，其中鎳原子的擴散速度慢，且鎳原子層再一次的分散電流密度，減緩電流集中效應，故其能容忍的電遷移破壞時間相對較長。

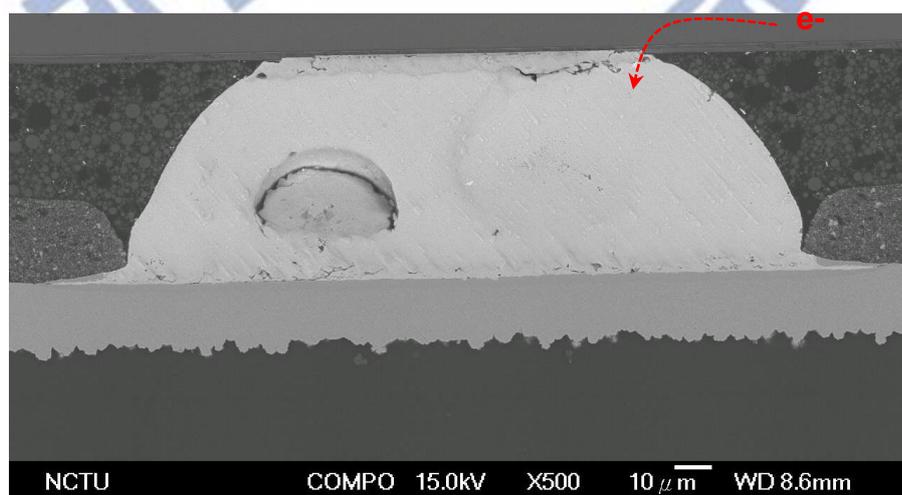


圖 4-8 0.8A 160 $^{\circ}$ C R=1.2R₀ 通電時間 50 小時 SEM 影像

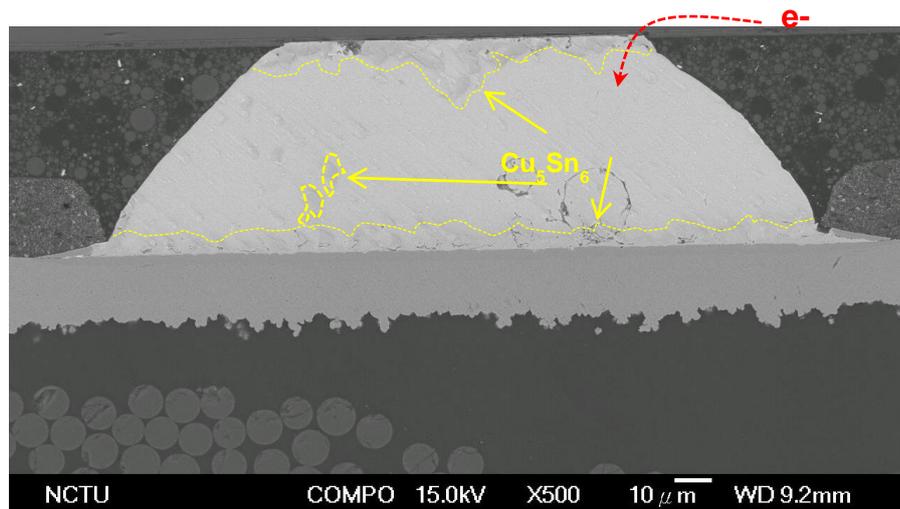


圖 4-9 0.8A 160°C $R=2.0R_0$ 通電時間 44 小時 SEM 影像

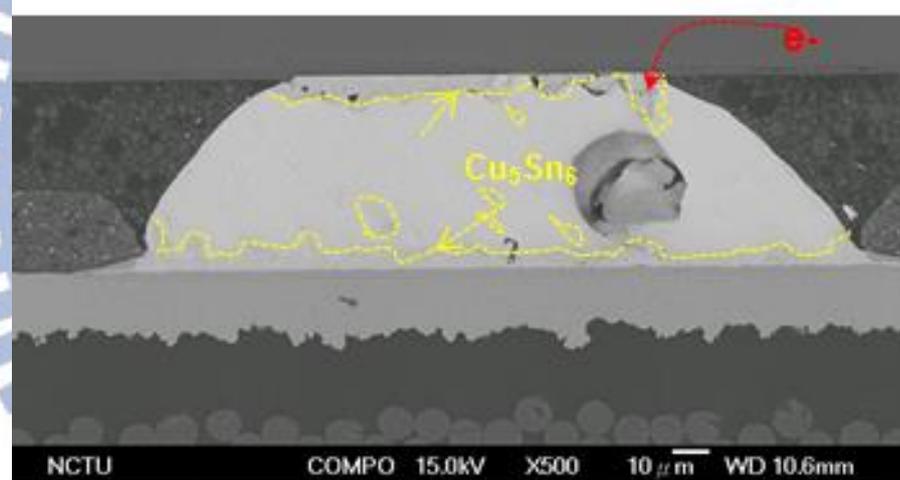


圖 4-10 0.8A 160°C $R=3.0R_0$ 通電時間 161 小時 SEM 影像

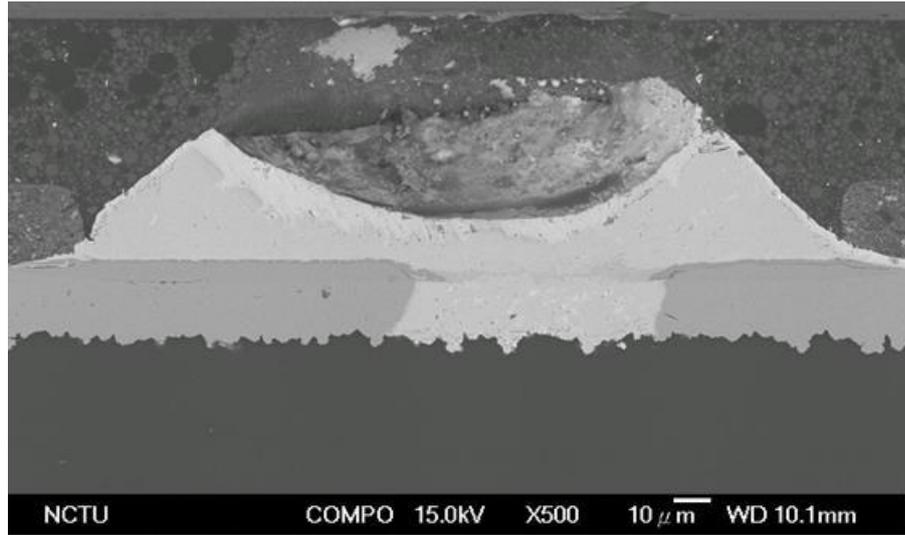


圖 4-11 0.8A 160°C R=Open SEM 影像

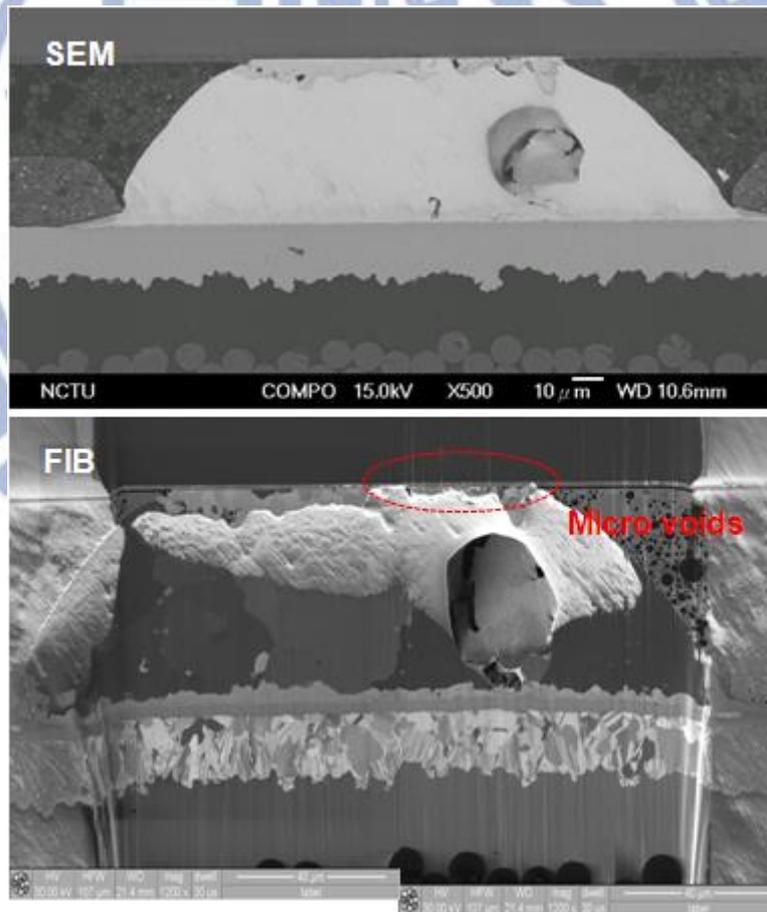


圖 4-12 0.8A 160°C R=3.0R₀ , FIB 發現 micro void

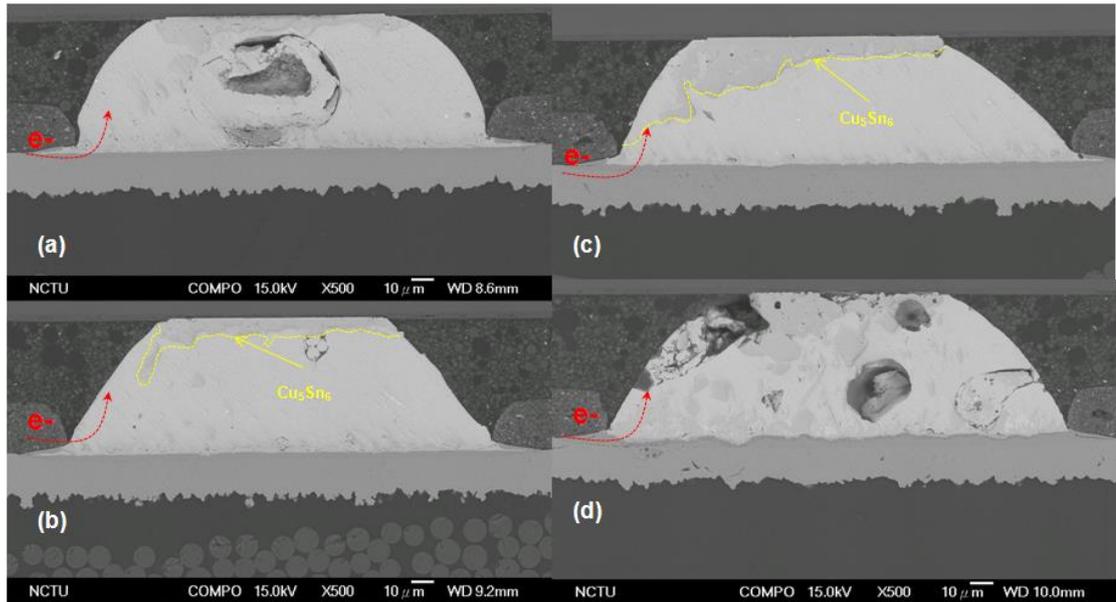


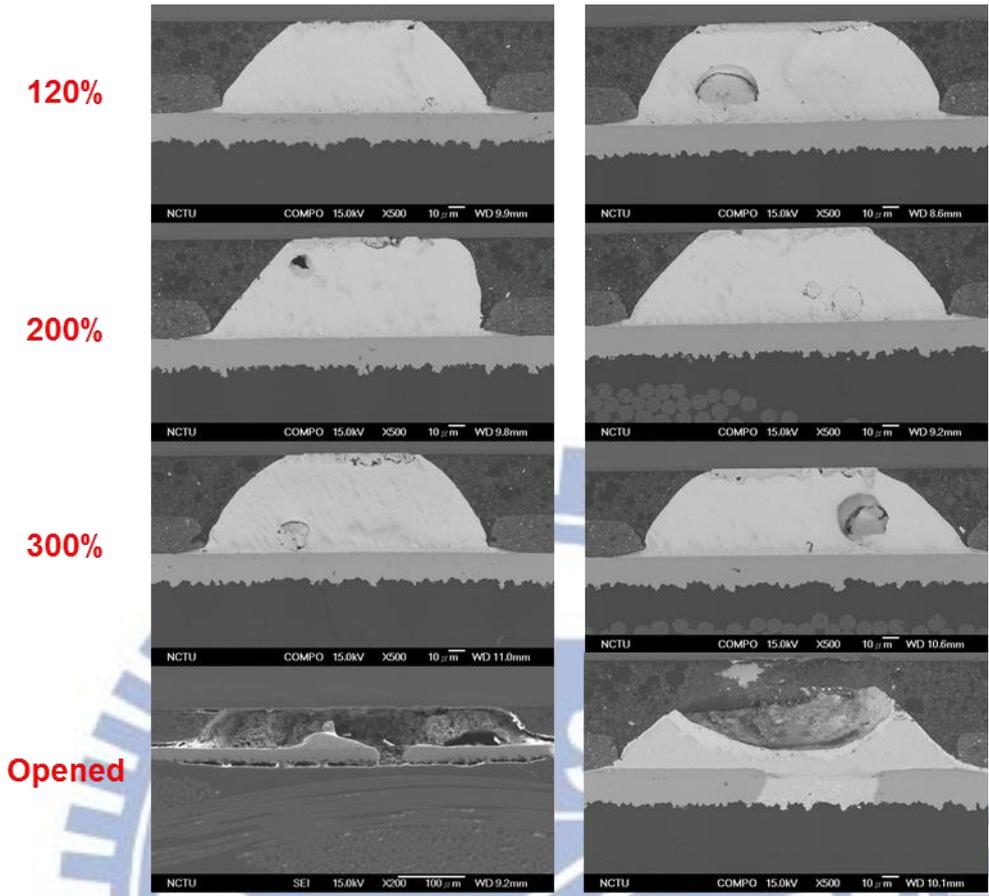
圖 4-13 0.8A 160°C 電子流向上(a)通電時間 50 小時(b)通電時間 44 小時(c)通電時間 161 小時(d)通電時間 24 小時 SEM 影像

4-3 孔洞生成討論

經由鋅錫凸塊剖面觀察，孔洞的發生主要發生在電子流向下的鋅錫凸塊，開始生成的位置為電子流流入的鋁導線與鋅錫凸塊的介面處，此一現象係因電流集中效應(Current crowding effect)，該處為覆晶鋅錫凸塊的最大電流密度處，其中在 100°C 的溫度下所形成的孔洞較大，一般達到幾十微米的寬度，且隨電子流路徑的改變，常沿著 IMC 與鋅錫凸塊的界面向左陸續成長，直到整體鋅錫凸塊完全破壞。在 160°C 的溫度下所形成的孔洞相對較小，當孔洞沿著 IMC 與錫銀鋅錫凸塊的介面持續成長時，其電子流可流經之面積亦隨之減少，造成電阻曲線上升的原因來自於微孔洞的生成。

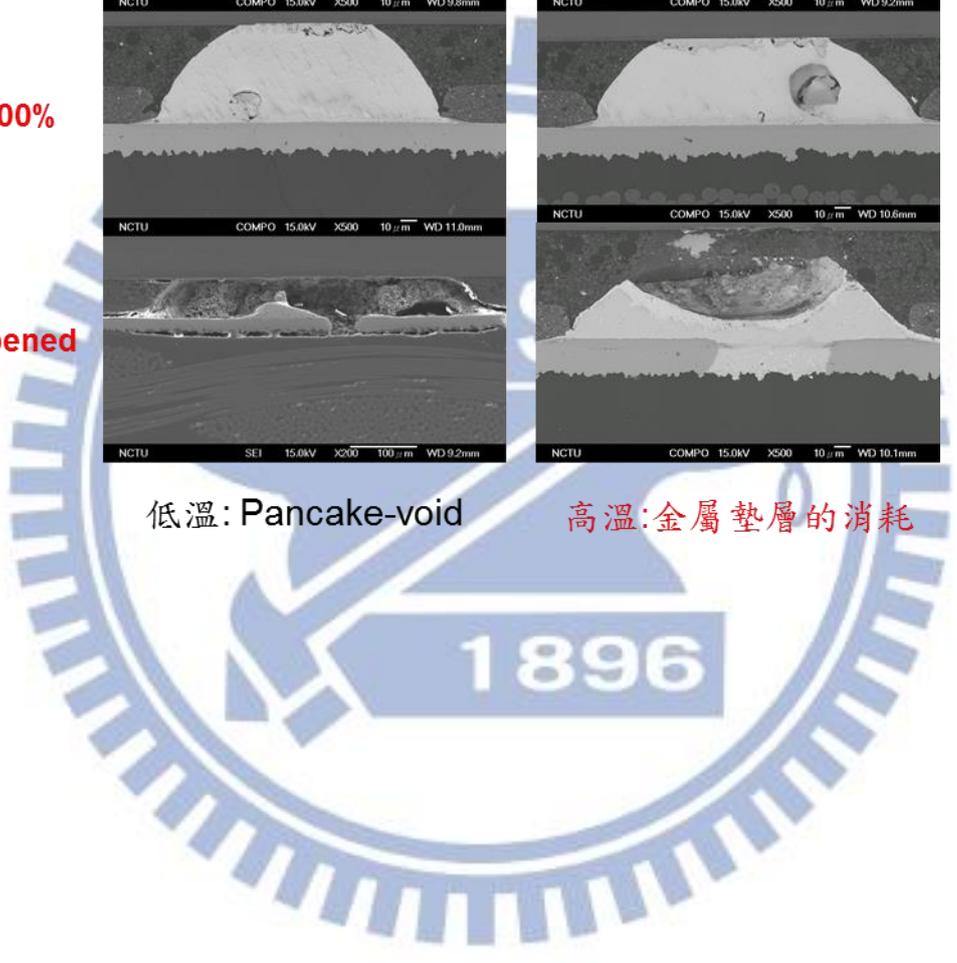
第五章、結論

本研究在討論不同溫度下鉛錫受電遷移的破壞情形。利用上述凱文結構共晶錫銀試片。實驗發現在不同的溫度下，鉛錫受電遷移的破壞模式為，低溫環境下由試片剖面觀察到主要的破壞模式為 Pancake-void；高溫環境下主要的破壞模式為銅金屬墊層消耗溶解，並伴隨微孔洞的生成與成長。探討其形成的機制，覆晶鉛錫中銅原子的擴散速度快於錫原子，在環境溫度達到 160°C 時，因為銅原子和錫原子的相互擴散形成介金屬化合物，此時銅原子與錫原子的擴散速率差異縮小，使得整體擴散速率增加。且高溫條件下鉛錫兩端溫度梯度差異形成熱遷移現象，UBM 中的銅原子與錫快速反應生成 IMC 並佔據整個 UBM 位置，電流聚集效應包覆在 IMC 中，電遷移效應不明顯，micro void 形成在 barrier 與 IMC 介面 (FIB 分析)，造成電阻上升。低溫條件下所產生的焦耳熱效應在鉛錫上下兩端形成較大的溫度梯度而造成明顯的熱遷移現象，UBM 中銅原子快速往冷端移動，IMC 不易在此生成，在銅原子不斷流失下，在 IMC 與錫的介面逐漸形成 void，造成電阻上升。本實驗證實覆晶錫銀鉛錫受電遷移破壞模式，低溫環境下破壞模式為 Pancake-void，高溫環境下主要為銅金屬墊層的消耗溶解，並伴隨著微孔洞的成長。而孔洞的成長機制會受溫度大小不同，在鉛錫兩端形成不同梯度的溫度差，所引發的熱遷移效應，電流聚集效應發生的位置，將影響孔洞生成的大小及位置。



低溫: Pancake-void

高溫: 金屬墊層的消耗



參考文獻

1. Intel Technology Journal, Vol. 9, Issue 4 (2005).
2. R.J. Wassink, Soldering in Electronics, Electrochemical Pub. Ltd., p.99, (1984).
3. V. B. Fiks, Soviet Physics – Solid State, Vol. 1, pp. 14-28, 1959.
4. J. R. Black, IEEE Trans. On Electron Devices, ED-16, No4,p338, 1969.
5. Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June 1998.
6. European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May 2000.
7. W. M. Loh, K. Saraswat, and R. W. Dutton, IEEE Electron Device Lett. EDL-6, 105 (1985).
8. I. A. Blech, "Electromigration in thin aluminium films on titanium nitride", J.Appl. Phys. 47 (4) (1976) 1203-1208.
9. K. N. Tu, "Electromigration in stressed thin films", Phys. Rev. B 45 (3) (1992) 1409-1413.
10. Christian Witt. Electromigration transport mechanisms and back flow in Al interconnects, first year report, Max-Planck-Institute fur Metallforschung Stuttgart, 91 July, 1998.
11. K. N. Tu, J. Appl. Phys., Vol. 94, No. 9, P.5456 (2003).
12. H. B. Huntington and A.R. Grone, "Current-Induced Masker Motion in Gold Wires," J. Phy. & Chem. Solids, 20, 76 (1961).
13. E. C. C. Yeh, W. J. Choi, and K. N. Tu, P. Elenius, and H. Balkan, Appl.Phys. Lett. 80, 580 (2002).

14. S. H. Chiu, T. L. Shao, and Chih Chen, Infrared microscopy of hot spots induced by Joule heating in Flip-chip SnAg solder joints under accelerated electromigration, APL 88, 022110, 2006.
15. W. J. Choi, E. C. C. Yeh, and K. N. Tu J. Appl. Phys. Vol.94, Issue 9, pp.5665-5671 (2003).
16. J. R. Black, Proc. IEEE 57, 1587 (1969).
17. B. Salam, N. N. Ekere, and D. Rajkumar, Study of the Interface Microstructure of Sn-Ag-Cu Lead-free Solders and the Effect of Solder Volume on Intermetallic Layer Formation, ECTC 2001.
18. T. L. Shao, Y. H. Chen, S. H. Chiu, and Chih Chen, Electromigration failure mechanisms for SnAg3.5 solder bumpson Ti/Cr-Cu/Cu and Ni.P./Au metallization pads (2004-4) JAP EM in SnAg.
19. [顧旻峰] 顧旻峰碩士論文，國立交通大學材料所 (2008).
20. T. L. Shao, S. W. Liang, T. C. Lin, and Chih Chena, Three-dimensional simulation on current-density distribution in flip-chip solder joints under electric current stressing, JAP 2005.
21. Y. W. Chang, S.W. Liang, and Chih Chen*: Study of void formation due to electromigration in flip-chip solder joints using Kelvin bump probes, Appl.Phys. Lett.
22. W. J. Choi, E. C. C. Yeh, and K. N. Tu, Mean-time-to failure study of flip chip solder joints on Cu/Ni (V) /Al thin-film under-bump-metallization, JAP, Vol. 94, N. 9, 2003.
23. Y.H. Lin, Y.C. Hu, C.M. Tsai, C.R. Kao, K.N. Tu, In situ observation of the void formation-and-propagation mechanism in solder joints undercurrent-stressing, pp. 2029-2035, Acta Materialia 53, 2005.
24. T. Y. Lee, and K. N. Tu, Electromigration of eutectic SnPb and

- SnAg_{3.8}Cu_{0.7} flip chip solder bumps and under-bump metallization, JAP, Vol. 90, N. 9, 2001.
25. Lingyun Zhang, Shengquan Ou, Joanne Huang, and K. N. Tu, Effect of current crowding on void propagation at the interface between intermetallic compound and solder in flip chip solder joints, APL, Vol. 88, 012106, 2006.
26. H. Lin, C. M. Tsai, Y. C. Hu, Y. L. Lin, and C. R. Kao, Electromigration failure in flip chip solder joints due to rapid dissolution of copper, J. Electron. Mater. Vol. 34, 27, 2005.
27. Jong-Kai Lin, Jin-Wook Jang, and Jerry White, Characterization of Solder Joint Electromigration for Flip Chip Technology, pp.816-821, ECTC 2003.
28. Chien-Neng Liao, Chien-Ping Chung, and Wei-Tai Chen, Electromigration-induced Pb segregation in eutectic Sn-Pb molten solder, JMR, V. 20, N. 12, Dec 2005.
29. Jae-Woong Nah, Jong Hoon Kim, Hyuck Mo Lee, Jyung-Wook Paik, Electromigration in flip chip solder bump of 97Pb-3Sn / 37Pb-63Sn combination structure, pp. 129-136, Acta Materialia 52, 2004.
30. Liu YH, and Lin KL, Damages and microstructural variation of high-lead and eutectic SnPb composite flip chip solder bumps induced by electromigration, JMR, Vol. 20 (8) , pp. 2184-2193, Aug 2005.
31. J.H. Ke a, T.L. Yang a, Y.S. Lai b, C.R. Kao, Analysis and experimental verification of the competing degradation mechanisms for solder joints under electron current stressing, Acta Materialia 59

(2011) 2462 – 2468.

32. C. K. Lin, Wei An Tsao, Y. C. Liang, and Chih

Chen, Temperature-dependent failure mechanism of SnAg solder joints with Cu metallization after current stressing: Experimentation and analysis, J. Appl. Phys. 114, 113711 (2013).

