

國立交通大學

電機學院 電信學程

碩士論文

RGMII Interface 電磁干擾解決方案分析

Analysis of Electromagnetic Interference Solutions
for RGMII Interface

研究生：王家龍

指導教授：吳霖堃 博士

中華民國 一 百 零 二 年 十 二 月

RGMII Interface 電磁干擾解決方案分析

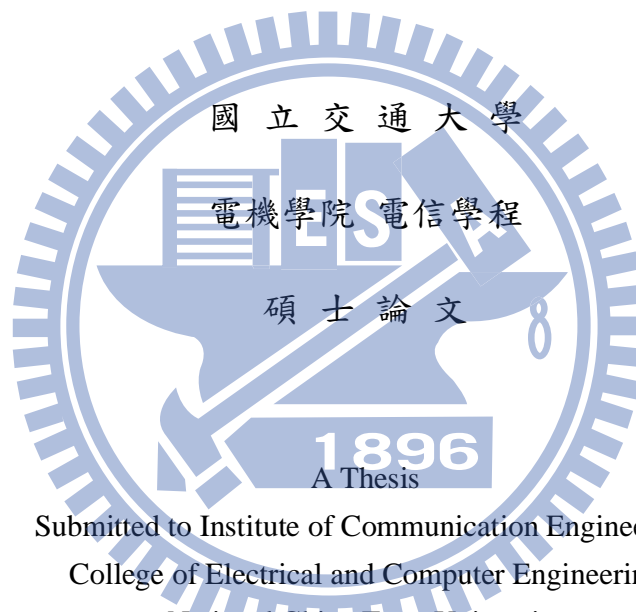
Analysis of Electromagnetic Interference Solutions for RGMII Interface

研究生：王家龍

Student : Chia-Lung Wang

指導教授：吳霖堃 博士

Advisor : Dr. Lin-Kun Wu



Submitted to Institute of Communication Engineering
College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Communication Engineering
December 2013
Hsinchu, Taiwan, Republic of China

中華民國一百零二年十二月

RGMII Interface 電磁干擾解決方案分析

研究生：王家龍 指導教授：吳霖堃 博士

國立交通大學 電機學院 電信學程碩士班

摘要

本論文探討網路晶片的 MAC 與 PHY 對接時使用的 RGMII Interface 分析 EMI 問題常用的解決對策。藉由量測 clock 波形及 FFT 後的頻譜分佈，對於 125MHz clock 的基頻及其於 250MHz、375MHz... 等諧波頻率 EMI 的抑制效果進行探討，本論文亦分析不同對策。

針對 125MHz 的 Clock 使用展頻及控制 slew rate 兩種抑制 EMI 的技巧。實驗結果顯示，展頻可透過將基頻及各階諧波能量分散到較寬頻寬的作法而達到降低峰值輻射的目的，而在 clock trace 並聯 10pF 電容來降低 slew rate，亦可有效的抑制 125MHz 及諧波的 EMI。雖然這兩種技巧都可以抑制 EMI，但是使用時則需滿足 timing spec 的規定。

Analysis of Electromagnetic Interference Solutions for RGMII Interface

Student : Chia-Lung Wang

Advisor : Dr. Lin-Kun Wu

Degree Program of Electrical and Computer Engineering

National Chiao Tung University

Abstract

This thesis investigates the effectiveness of two techniques commonly used to improve EMI performance of networking products RGMII Interface. By measuring clock waveform and obtaining its spectral power characteristics via FFT, the EMI suppressing effectiveness of the two techniques are compared.

Spread-spectrum clocking (SSC) and slew rate control techniques are employed to suppress the EMI associated with the RGMII's 125MHz clock signal. Experimental results indicate that SSC reduces EMI by spreading power contained in each clock harmonic over a wider bandwidth. On the other hand, reducing the slew rate by shunting the clock trace to the ground via a 10pF capacitor is also effective in suppressing clock signal's EMI. Although both techniques can be used to suppress EMI, they have to be constrained not to causing any violation in timing specification.

誌 謝

感謝指導教授 吳霖堃博士這兩年的教導才能讓論文順利完成，在實驗及學術的探討教授都給予經驗與理論的指導，也使本人在研究探討時獲得知識的增長，得以如期完成此論文。

同時也要感謝在學時同事在工作上的支援讓我可以順利的完成學業，在此表達心中的感謝。

最後，要感謝父母這段研究路程的鼓勵與支持，也要感謝我的老婆怡君與兩個兒子學閔與承恩及小女兒思婷，在課業與工作及家庭三方需同時兼顧給予最大的包容與關懷，僅將此成果的榮耀與他們分享。



Contents

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目錄.....	iv
圖目錄.....	v
表目錄.....	vii
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 章節介紹.....	2
第二章 理論基礎.....	3
2.1 乙太網路介面簡介.....	3
2.2 展頻時脈技術理論.....	19
2.3 Slew rate 控制理論.....	23
第三章 防治干擾與實驗方法及結果研討.....	25
3.1 PCB 板介紹.....	29
3.2 量測環境介紹.....	32
3.3 量測數值討論與分析.....	33
3.4 EMI 輻射來源分析.....	35
3.5 Clock 展頻的頻譜分析量測實驗.....	41
3.6 Clock slew rate 控制實驗.....	50
第四章 結論.....	64
參考文獻.....	65

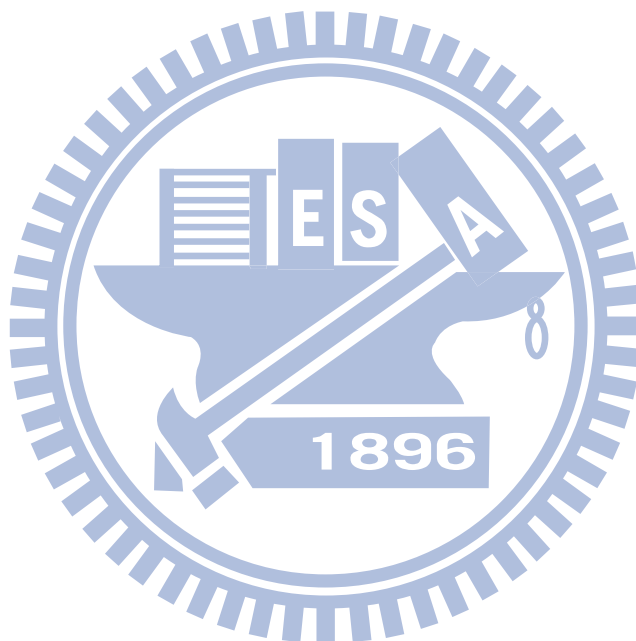
圖目錄

圖 1-1	全球 L2/L3 交換機成長需求.....	1
圖 2-1	SOC MII 與 PHY OR SWITCH MAC 溝通信號.....	6
圖 2-2	SOC RMII 與 PHY OR SWITCH MAC 溝通信號.....	9
圖 2-3	SOC SMII 與 PHY OR SWITCH MAC 溝通信號.....	12
圖 2-4	GMII MAC 與 PHY 溝通信號.....	14
圖 2-5	RGMII MAC 與 PHY 溝通信號.....	17
圖 2-6	頻率調變訊號.....	19
圖 2-7	展頻時脈的頻率變化.....	20
圖 2-8	展頻時脈訊號波形.....	20
圖 2-9	向上展頻[13].....	21
圖 2-10	向中間展頻[13].....	22
圖 2-11	向下展頻[13].....	22
圖 2-12	比較 SLEW RATE 調整前後的 CLOCK 波形.....	24
圖 3-1	線路方塊圖.....	25
圖 3-2	實驗電路的線路圖.....	27
圖 3-3	測試使用的印刷電路板正面.....	30
圖 3-4	測試使用的印刷電路板背面.....	30
圖 3-5	LAYOUT PLACEMENT 正面.....	31
圖 3-6	LAYOUT PLACEMENT 背面.....	31
圖 3-7	測試實驗室環境圖.....	32
圖 3-8	待測物放置待測桌面圖.....	33
圖 3-9	初始值 EMI 水平極化量測結果.....	34
圖 3-10	初始值 EMI 垂直極化量測結果.....	35
圖 3-11	CLOCK 串接 1 OHM 的線路位置圖.....	36
圖 3-12	量測串接在 CLOCK 的兩端電壓波形.....	36
圖 3-13	流經 CLOCK 的電流波形.....	37
圖 3-14	125MHZ 的電流成份.....	38
圖 3-15	250MHZ 的電流成份.....	38
圖 3-16	375MHZ 的電流成份.....	39
圖 3-17	500MHZ 的電流成份.....	39
圖 3-18	625MHZ 的電流成份.....	40
圖 3-19	750MHZ 的電流成份.....	40
圖 3-20	875MHZ 的電流成份.....	41
圖 3-21	DISABLE SSC 時量測到的 125MHZ 輻射.....	42
圖 3-22	ENABLE SSC 時量測到的 125MHZ 輻射.....	42
圖 3-23	SSC EMI 水平極化量測結果.....	43

圖 3-24	SSC EMI 垂直極化量測結果	44
圖 3-25	展頻後 125MHz 的頻譜分佈	46
圖 3-26	展頻後 250MHz 的頻譜分佈	46
圖 3-27	展頻後 375MHz 的頻譜分佈	47
圖 3-28	展頻後 500MHz 的頻譜分佈	47
圖 3-29	展頻後 625MHz 的頻譜分佈	48
圖 3-30	展頻後 750MHz 的頻譜分佈	48
圖 3-31	展頻後 875MHz 的頻譜分佈	49
圖 3-32	OVERSHOOT 示意圖 [7]	49
圖 3-33	電壓的 OVERSHOOT 波形	50
圖 3-34	CLOCK 並聯 10pF 的電容到 GND 的電路圖 [1]	51
圖 3-35	CLOCK 並聯 10pF 的電容到 GND 的 PCBA 位置圖 [1]	51
圖 3-36	125MHz CLOCK 波形	52
圖 3-37	並聯 10pF 電容後 125MHz CLOCK 波形	52
圖 3-38	未修改前 125MHz 電壓成份	53
圖 3-39	未修改前 250MHz 電壓成份	54
圖 3-40	未修改前 375MHz 電壓成份	54
圖 3-41	未修改前 500MHz 電壓成份	55
圖 3-42	未修改前 625MHz 電壓成份	55
圖 3-43	未修改前 750MHz 電壓成份	56
圖 3-44	未修改前 875MHz 電壓成份	56
圖 3-45	控制 SLEW RATE 後 125MHz 電壓成份	57
圖 3-46	控制 SLEW RATE 後 250MHz 電壓成份	57
圖 3-47	控制 SLEW RATE 後 375MHz 電壓成份	58
圖 3-48	控制 SLEW RATE 後 500MHz 電壓成份	58
圖 3-49	控制 SLEW RATE 後 625MHz 電壓成份	59
圖 3-50	控制 SLEW RATE 後 750MHz 電壓成份	59
圖 3-51	控制 SLEW RATE 後 875MHz 電壓成份	60
圖 3-52	SLEW RATE 變小後 EMI 水平極化量測結果	61
圖 3-53	SLEW RATE 變小後 EMI 垂直極化量測結果	62

表目錄

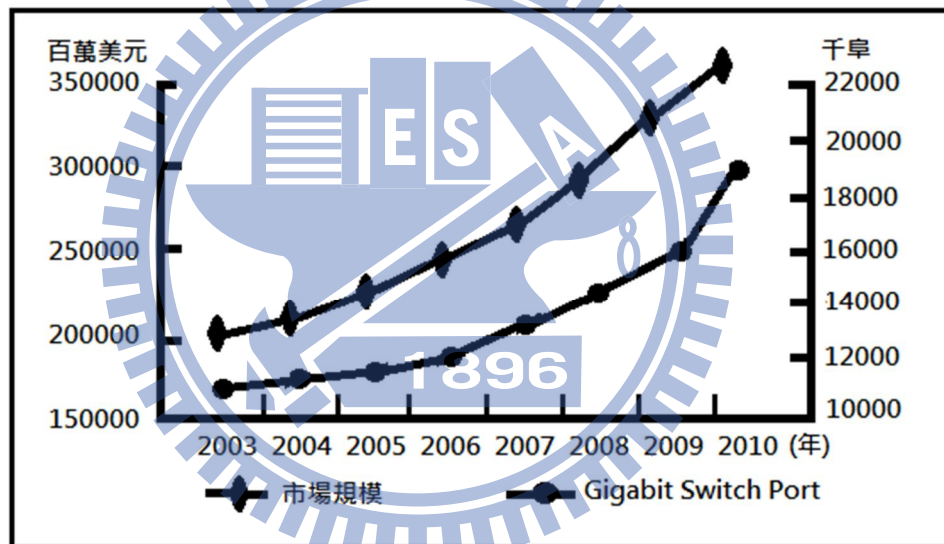
表 2-1	MII 信號腳位說明.....	6
表 2-2	RMII 信號腳位說明.....	9
表 2-3	SMII 信號腳位說明.....	12
表 2-4	GMII 信號腳位說明.....	14
表 2-5	RGMII 信號腳位說明.....	18
表 3-1	初始值與使用 SSC 的水平極化測試結果比較.....	44
表 3-2	初始值與使用 SSC 的垂直極化測試結果比較.....	45
表 3-3	SLEW RATE 比較表格.....	53
表 3-4	初始值與 SSC 及 SLEW RATE 變小後的水平極化測試結果比較.....	62
表 3-5	初始值與 SSC 及 SLEW RATE 變小後的垂直極化測試結果比較.....	63



第一章 緒論

1.1 研究動機

消費者已經廣泛的使用網路來聽線上音樂或在線上看電影，對於網路頻寬的需求慾壑難填，電信業者要滿足客戶的需求也積極的提升上網速度由 VDSL 升級成光纖上網，無線網路更是由 3G 換成 4G。當然，電信業者要提供更快速的上網同時也需要一台區域網路路由器來讓更多的電腦可以同時連上線上網。



資料來源：IDC

圖 1-1：全球 L2/L3 交換機成長需求

在每一個電子產品要販售到市面上都必須通過 EMC 的認證，但是追求高頻寬的同時 EMC 也必需受到重視，系統廠商往往花費大量的時間與測試費用最後 EMI 還是無法通過法規，也往往無法順利取得認證而造成產品延後上市或無法出貨，

電子產品的 EMC 日益受到重視還有一個原因就是為了讓產品更有

競爭力所以必須壓低產品的成本，最常見的就是將 PCB stack 4-Layer 改成 2-Layer 及將 PCB 尺寸縮到最小，當高速訊號因 2-Layer PCB 造成訊號走線無法有完整的 GND 可以參考時，layout 走線就會因電流回路不完整而產生輻射，這對於不能增加設計電路的成本是一大挑戰，本論文將提供幾個方式來抑制 EMI 又不會增加設計成本的方式。

一般系統的 HW R&D 並不太瞭解 EMI 超出法規時該如何解決，而專門解 EMI 的工程師也不太清楚電路的動作原理，所以無法在測試 EMI 時可以順利的找到輻射來源而解決問題，如果 EMI 工程師與設計電路的工程師可以在電路研發期間就預留解決 EMI 的方案，就可以讓產品出貨週期縮短，而達到準時出貨的目標。

本論文主要討論的是網路產品需要擴充的 RGMII 介面，這是一個由 IEEE 制訂的規格，定義在 IEEE 802.3-2000，RGMII 的傳輸基頻是 125MHz，傳輸速率可達 1000Mbps，同時兼容 MII 所規範的 10/100Mbps 傳輸速率，可以傳輸的速率有：10M/100M/1000Mbps，而對應的 Clock 信號分別為 2.5MHz/25MHz/125MHz。

1.2 章節介紹

本論文一共有四個章節，第一章節為簡介，主要說明研究動機及論文架構；第二章說明理論的基礎架構；第三章討論實驗的量測及結果分析；第四章為最後整篇論文的結論。

第二章 理論基礎

2.1 乙太網路介面簡介

串列協定即媒體獨立介面(MII)，是使用於PHY(Physical layer) 與 MAC layer的標準介面，此標準是在1995年所公佈乙太網技術規範 IEEE802.3U中的一種介面。分為MII資料匯流排和MII管理資訊匯流排，而時序管理介面SMI (Serial Management Interface)也是媒體獨立介面的重要部分，能夠提供外界存取內部的PHY暫存器。提供內部的PHY裝置暫存器能監視PHY裝置的狀態並加以控制，主要是能控制網路連線速率及工作協調。

以下介紹乙太網路常用的幾種介面：

10/100MHz 乙太網路介面

1. MII (Media Independent Interface)
2. RMII(Reduced Media Independent Interface)
3. SMII (Serial Media Independent Interface)

Gigabit 乙太網路介面

4. GMII (Gigabit Media Independent Interface)
5. RGMII (Reduced Gigabit Media Independent Interface)

2.1.1 MII 介面簡介

MII(媒體獨立介面)用於不同的 MAC 可以與任何類型的 PHY 設備對接都可以正常工作，其中資料介面包括分別用於發送器和接收器的兩條獨立通道而每條通道都有自己的數據、傳輸頻率和控制信號。MII 數據接口總共需要 16 個信號，包括 TX_ER, TXD, TX_EN, TX_CLK, COL, RXD, RX_EX, RX_CLK, CRS, RX_DV 等。

MII 以 4bit 雙向傳輸方式傳送數據，外部須提供一個 25MHz 的頻率，其工作速率可達 100Mbps，管理接口是個雙信號接口，一個是傳輸需要的頻率，另一個是數據信號。通過管理接口，上層能監視和控制 PHY，其管理是使用 SMI (Serial Management Interface) 通過讀寫 PHY 的寄存器來完成。

PHY 裡面的部分暫存器是由 IEEE 定義的，PHY 把傳輸狀態儲存到暫存器裡面，MAC 通過 SMI 介面不斷的讀取 PHY 的狀態暫存器以得知當前 PHY 的狀態，例如連接速度，雙工的能力等。當然也可以通過 SMI 設置 PHY 的暫存器而達到控制的目的，例如流量控制的開或關閉，自動協商模式還是強制模式等。

不論是物理連接的 MII 介面和 SMI 介面還是 PHY 的狀態暫存器和控制暫存器都是有 IEEE 的規範的，因此不同公司的 MAC 和 PHY 一樣可以協調工作。PHY 在發送數據的時候，收到 MAC 傳過來的數據，每 4bit 就增加 1bit 的檢查錯誤碼，然後把 parallel data 轉化為 serial flow data，按照物理層的編碼規

則把數據編碼，再轉為線上信號把數據送出去，而接收的方式剛好相反。

PHY 還有個重要的功能就是實現 CSMA/CD 的部分功能，它可以檢測到網路上是否有數據在傳送，如果有數據在傳送中就等待，一旦檢測到網路空閒，再等待一個隨機時間後將送數據出去。如果兩個碰巧同時送出了數據，那樣必將造成衝突，這時候，衝突檢測機制可以檢測到封包有衝突，然後各等待一個隨機的重新發送數據。這個隨機時間很有講究的，並不是一個常數，在不同的時刻計算出來的隨機時間都是不同的，而且有多重算法來避免兩台主機之間的第二次衝突。

連線速率通過雙方協商，協商的結果是兩個設備中能同時支持的最大速度和最好的雙工模式，這個技術被稱為 Auto Negotiation 或者 NWAY。而隔離變壓器是把 PHY 送出來的 differential signal 用差模耦合的線圈耦合濾波以增強訊號，並且通過電磁場的轉換耦合到連接網路的另外一端。在連線速率在 100Mbps 的 RJ-45 定義中 1、2 是傳送數據的，3、6 是接收數據，而 PHY 支持 AUTO MDI-X 功能，也需要隔離變壓器支持，它可以實現 RJ-45 接口的 1、2 上的傳送信號線和 3、6 上的接收信號線的功能自動互相交換。

圖 2-1 是 MII 與 PHY 對接的信號示意圖。

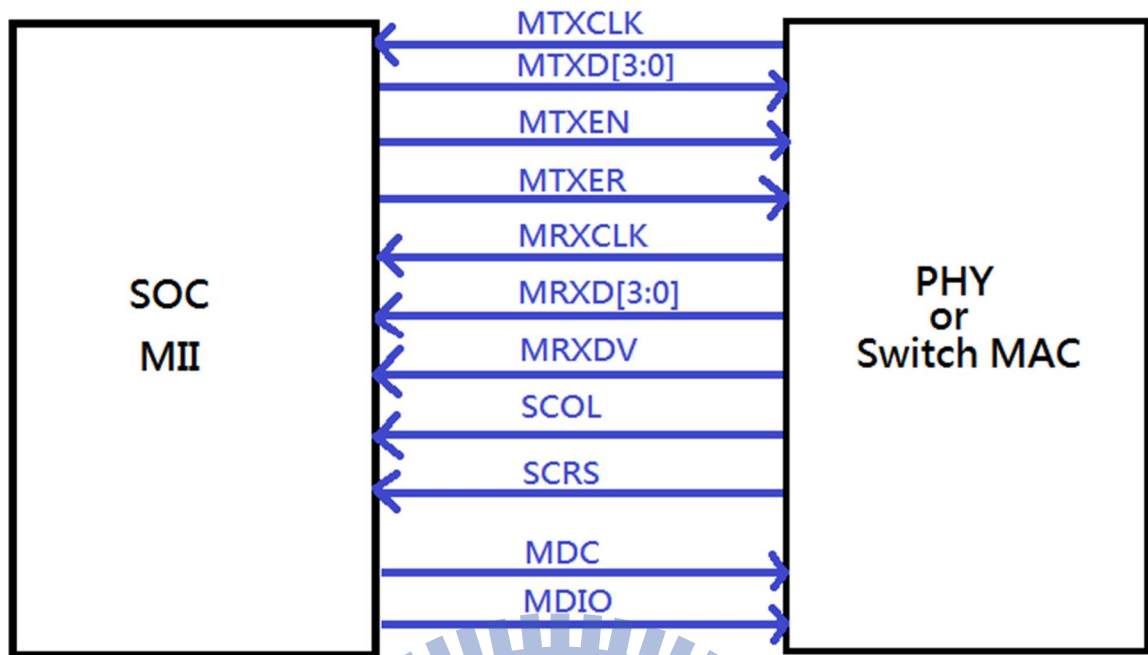


圖 2-1 SOC MII 與 PHY or Switch MAC 溝通信號。

Symbol	Type	Signal Description
TXD0 TXD1 TXD2 TXD3	Output	Transmit Data
TX_ER	Output	Transmit Error
TX_CLK		Transmit Clock
TX_EN	Output	Transmit Enable
RXD0 RXD1 RXD2 RXD3	Input	Receive Data
RX_DV	Input	Receive Data Valid
RX_ER	Input	Receive Error
RX_CLK	Input	Receive Clock
COL	Input	Collision Detected
CRS	Input	Carrier Sense
MDC	Input	Management Data Input/output
MDIO	I/O	Management Data Clock

表 2-1 MII 信號腳位說明

由表 2-1 整理出來的所以信號腳位可以清楚的知道 MII 所需要的溝通電器特性，接下來針對於傳輸的動作原理做說明：

- TX_CLK：是一個連續不斷的頻率，來自 Physical layer，將做為 TXD、TX_EN、TX_ER 同步的參考頻率，在 10 Mbps 時，TX_CLK 為 2.5MHz；在 100Mbps 時，TX_CLK 為 25MHz。
- TXD <3:0>：是 4-bit 的資料，傳送時必須與 TX_CLK 同步，當 TX_EN 啟動後，TX_D 在 Physical medium 的資料才算有意義，否則 TX_D 是無意義的。
- TX_EN：當所有的 Nibbles 都經由 MII 傳送到 Physical medium 時，TX_EN 都必須是在啟動的狀態。TX_EN 傳送時必須與 TX_CLK 同步。
- COL：非同步訊號，不需與 TX_CLK 或 RX_CLK 同步。當在 Physical medium 有碰撞發生時，COL 啟動偵測直到碰撞結束（對半雙工過程有效，全雙工無效）。
- CRS：非同步訊號，不需與 TX_CLK 或 RX_CLK 同步。當 Physical medium 上不管是傳送或接收資料，CRS 都會運作。
- RX_CLK：是一個連續不斷的頻率，來自 Physical layer，將做為 RXD、RX_DV、RX_ER 同步的參考訊號，在 10 Mbps 時，RX_CLK 為 2.5MHz；在 100 Mbps 時，RX_CLK 為 25MHz。
- RXD <3:0>：是 4-bit 的資料，傳送時必須與 RX_CLK 同步，當 RX_DV 運

作後，MAC接收Physical medium上的資料才算正確。

- RX_DV：訊號來自Physical medium，必須與RX_CLK同步。RX_D運作的範圍至少必須從SFD 開始，一直到Frame的結尾。
- RX_ER：RX_ER傳送時必須與RX_CLK同步一或二個RX_CLK時間。RX_DV 運作時，若接收有錯誤發生，則RX_ER開始動作。

2.1.2 RMII 介面簡介

RMII 介面 (Reduced MII 介面) 是簡化的 MII 介面。它也分為 MAC 模式和 PHY 模式。RMII 介面接收、發送和控制的同步參考 REF_CLK 這是由外部 Crystal 提供的50MHz 頻率。這與原來的 MII 介面不同，MII 介面中發送和接收的參考頻率是分開的，且都是由實體層晶片提供給 MAC 層晶片。

這裡需要注意的是由於資料接收頻率是由外部 Crystal 提供而不是由 IC 內部的 PLL 所提供的，所以在實體層晶片內的資料接收部分要設計一個 FIFO，用來協調兩個不同的頻率，在發送接收的資料時提供緩衝。實體層晶片的發送部分則不需要一個 FIFO，它直接將接收到的資料發送出去即可。

MII 與 RMII 用於乙太網路傳輸格式為：前置字元+開始位元+目的 mac 位址+原始 mac 位址+類型/長度+數據+padding(optional)+32bitCRC，如果有 vlan，則要在類型/長度後面加上2個位元組的 vlan tag，其中12bit 來表示 vlan id，另外4bit 表示資料的優先順序。圖2-2是 RMII 與 PHY 對接的信號示意圖。

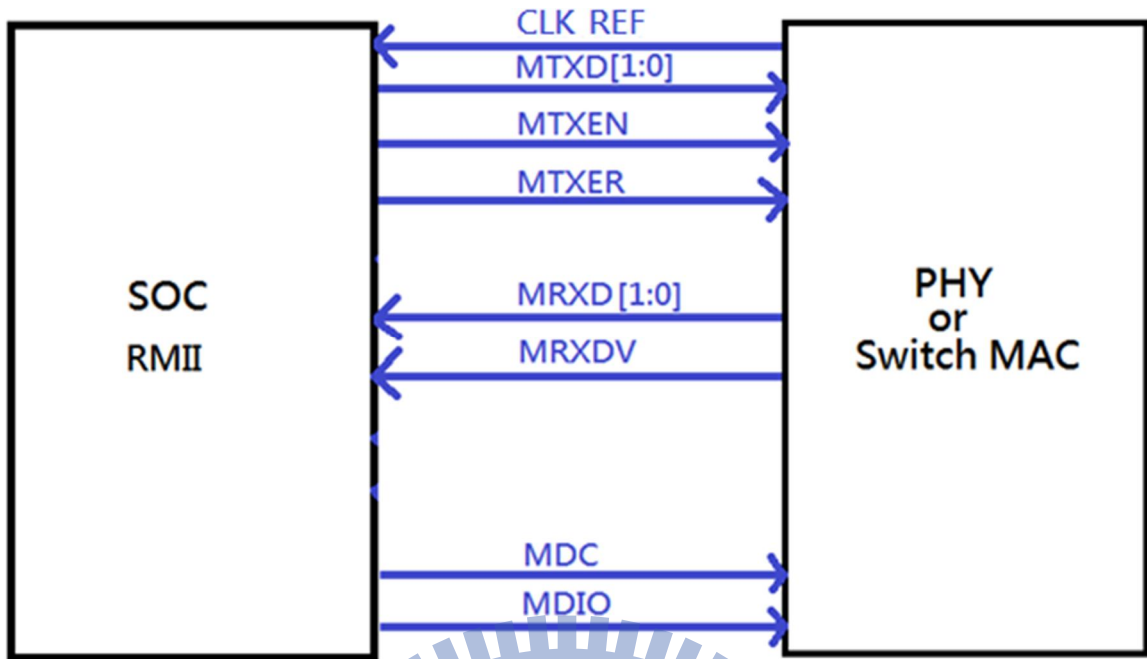


圖 2-2 SOC RMI 與 PHY or Switch MAC 溝通信號

Symbol	Type	Signal Description
TXD0	Output	Transmit Data
TXD1		
CLK_REF	Input	Reference Clock
TX_EN	Input	Transmit Enable
RXD0	Input	Receive Data
RXD1		
CRS_DV	Input	Collision and Data Valid
RX_ER	Input	Receive Error
MDC	Output	Management Clock
MDIO	I/O	Management Data I/O

表 2-2 RMI 信號腳位說明

由表 2-2 整理出來的所以信號腳位可以清楚的知道 RMII 所需要的溝通電器特性，接下來針對於傳輸的動作原理做說明：

- TXD[1:0]：資料發送信號線，資料位元為2個位元，是MII介面的一半。
- RXD[1:0]：資料接收信號線，資料位元為2個位元，是MII介面的一半。
- TX_EN(Transmit Enable)：啟動傳輸資料信號，與MII介面中的信號功能一樣。
- RX_ER(Receive Error)：資料接收錯誤提示信號，與MII介面中的信號功能一樣。
- CLK_REF：是由外部Crystal所提供的50MHz參考頻率，與MII介面不同，MII介面中的接收頻率和發送頻率是分開的，而且都是由PHY晶片提供給MAC晶片的。這裡需要注意的是，由於資料接收頻率是由外部Crystal所提供而不是由載波信號提取的，所以在PHY層晶片內的資料接收部分需要設計一個FIFO，用來協調兩個不同的參考頻率，在發送接收的資料時提供緩衝。
- CRS_DV：此信號是由MII介面中的RX_DV和CRS兩個信號合併而成。當信號busy時，CRS_DV和REF_CLK將以相位非同步的方式給出。當CRS比RX_DV早結束時(即載波消失而佇列中還有資料要傳輸時)，就會出現CRS_DV在半位元組的邊界以25MHz/2.5MHz的頻率在0、1之間的來回切換。因此，MAC能夠從 CRS_DV中精確的判讀出是RX_DV和CRS。

- 在100Mbps速率時，TX/RX每個頻率週期採樣一個資料；在10Mbps速率時，TX/RX每隔10個週期採樣一個資料，因而TX/RX資料需要在資料上保留10個週期，相當於一個資料發送10次。
- 當PHY層晶片收到有效的載波信號後，CRS_DV信號變為有效，此時如果FIFO中還沒有資料，則它會發送全0的資料給MAC，然後當FIFO中填入有效的資料時，資料框架的開頭會是“101010---”交叉的前導碼，當資料中出現“01”的位元時，代表正式資料傳輸開始，MAC晶片檢測到有變化，就會開始接收資料。
- 當外部載波信號消失後，CRS_DV會變為無效，但如果FIFO中還有資料要發送時，CRS_DV在下一週期又會變為有效，然後再無效再有效，直到FIFO中資料發送完為止。在接收過程中如果出現無效的載波信號或者無效的資料編碼，則RX_ER會變為有效，表示實體層晶片接收出錯，就會停止傳輸。

2.1.3 SMII 介面簡介

SMII (Serial MII) 介面又叫串列 MII 介面。它包括 TXD、RXD、SYNC 三種信號線。另外所有的傳輸共用一個 Clock，此 Clock 的頻率是125MHz 與前三種信號頻率同步。使用125MHz 的目的是因為資料線裡面會傳送一些控制資訊，以下會有詳細介紹。SYNC 是資料收發的同步信號，它每10個頻

率週期置1次高電位，指示同步。TXD 和 RXD 上收發的資料和控制資訊，它們以10個位元為一組，以 SYNC 為高電位來指示一組資料的開始傳輸，由信號表格2-3可以看出，SMII 介面所需的信號線每埠只有3根，比 RMII 介面(7根)還要少，比 MII 介面(14根)就更少了。圖2-3是 SMII 與 PHY 對接的信號示意圖。

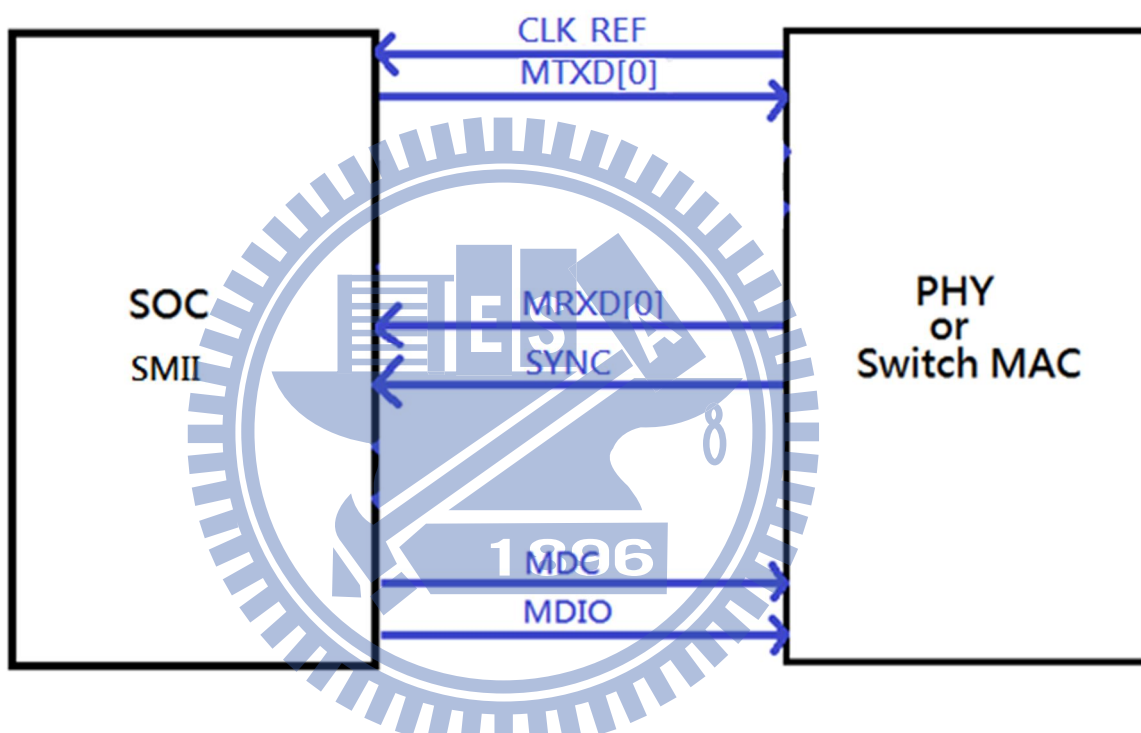


圖 2-3 SOC SMII 與 PHY or Switch MAC 溝通信號

Symbol	Type	Signal Description
TXD0	Output	Transmit Data
CLK_REF	Input	Reference Clock
RXD0	Input	Receive Data
SYNC	Input	Synchronous Signal
MDC	Output	Management Clock
MDIO	I/O	Management Data I/O

表 2-3 SMII 信號腳位說明

由表 2-3 整理出來的所以信號腳位可以清楚的知道 SMII 所需要的溝通

電器特性，接下來針對於傳輸的動作原理做說明：

- TXD[0]：資料發送信號線，資料位元為1，是RMII介面的一半。
- RXD[0]：資料接收信號線，資料位元為1，是RMII介面的一半。
- SYNC：收發資料同步信號，每10個頻率週期置1次高電位，指示同步。
- CLK_REF：所有埠共用的一個參考頻率，頻率為125MHz，100Mbps速率需要用125MHz頻率，因為在每8位元資料中會插入2位元控制信號。
- TXD/RXD以10位元為一組，以SYNC為高電位來指示一組資料的開始，在SYNC變高後的10個頻率週期內，TXD上依次輸出的資料是：TXD[7:0]、TX_EN、TX_ER，控制信號的含義與MII介面中的相同；RXD上依次輸出的資料是：RXD[7:0]、RX_DV、CRS，RXD[7:0]的含義與RX_DV有關，當RX_DV為有效時(高電位)，RXD[7:0]上傳輸的是實體層接收的資料。當RX_DV為無效時(低電位)，RXD[7:0]上傳輸的是實體層的狀態資訊資料。
- 當傳輸的速率為10Mbps時，每一組資料要重複10次，MAC/PHY晶片每10個週期採樣一次，MAC/PHY晶片在接收到資料後會進行串/並轉換。

2.1.4 GMII 介面簡介

Gigabit 乙太網 MII 介面類型主要有 GMII、RGMII、SGMII、TBI 和 RTBI 五種，本論文接下來會介紹的是 GMII 與 RGMII 這兩種介面廣泛用於路由器擴充時的設計。GMII 與 MII 介面相比，GMII 的 TX/RX 數據寬度由 4 位元變

為 8 位元，GMII 介面中的控制信號如 TX_ER、TX_EN、RX_ER、RX_DV、CRS 和 COL 的作用同 MII 介面一致，發送傳輸頻率 GTX_CLK 和接收傳輸頻率 RX_CLK 的頻率均為 125MHz(1000Mbps/8=125MHz)。在這裡有一點需要特別說明，那就是發送參考頻率 GTX_CLK，它和 MII 介面中的 TX_CLK 是不同的，MII 介面中的 TX_CLK 是由 PHY 提供給 MAC 的，而 GMII 介面中的 GTX_CLK 是由 MAC 提供給 PHY。兩者方向不一樣。在實際應用中，絕大多數 GMII 接口都是兼容 MII 接口的，所以，一般的 GMII 接口都有兩個發送參考頻率：TX_CLK 和 GTX_CLK 而兩者的方向是不一樣的，在用作 MII 模式時，使用 TX_CLK 和 8 根數據線中的其中 4 根。圖 2-4 是 GMII MAC 與 PHY 對接的信號示意圖。

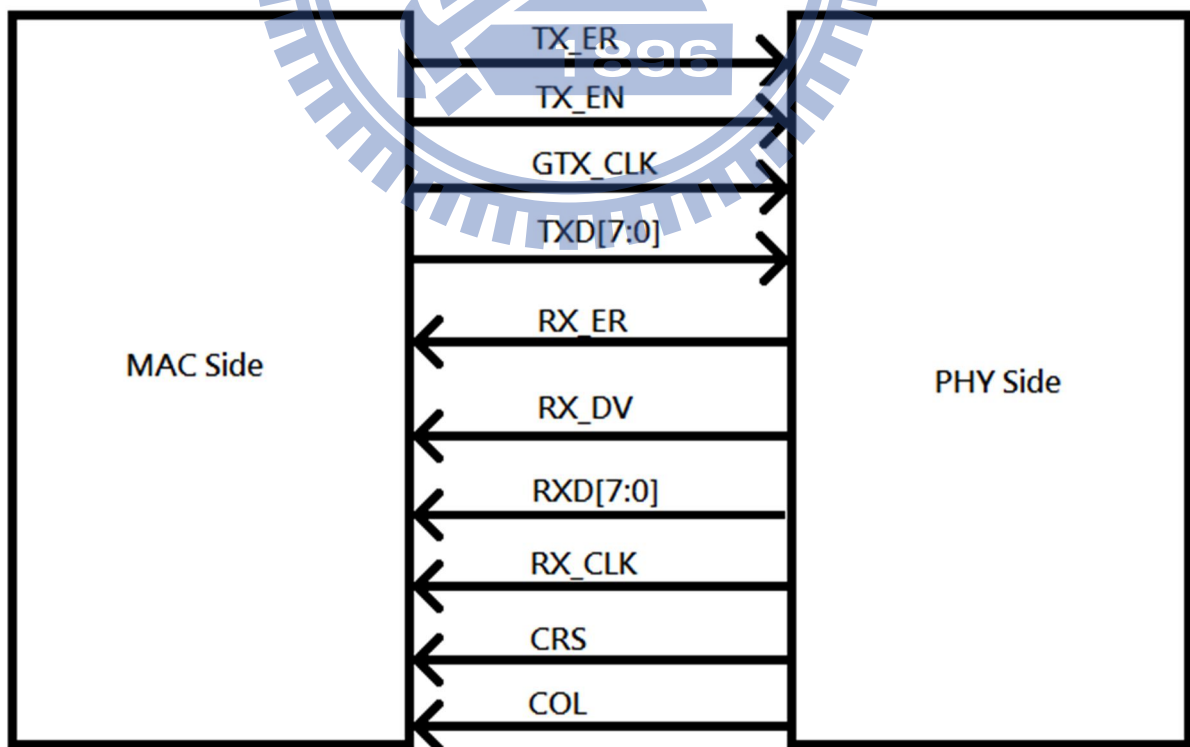


圖 2-4 GMII MAC 與 PHY 溝通信號

Symbol	Type	Signal Description
GTX_CLK	Output	Transmit Clock_125MHz
TXD[0:7]	Output	Transmit Data
TX_ER	Output	Transmit Coding Error
TX_EN	Output	Transmit Enable
RX_CLK	Input	Receive Clock_125MHz
RXD[0:7]	Input	Receive Data
RX_ER	Input	Receive Error
RX_DV	Input	Receive Data Valid
COL	Input	Collision Detected
CRS	Input	Carrier Sense
MDC	Output	Management Clock
MDIO	I/O	Management Data I/O

表 2-4 GMII 信號腳位說明

GMII 是 8bit 並行同步收發介面，採用 8 位元介面資料，工作頻率為 125MHz，因此傳輸速率可達 1000Mbps。同時相容 MII 所規定的 10/100 Mbps 工作方式。GMII 介面資料結構符合 IEEE 乙太網標準。該介面定義於 IEEE 802.3-2000。由表 2.4 整理出來的所有信號腳位可以清楚的知道 GMII 所需要的溝通電器特性，接下來針對於傳輸的動作原理做說明：

- TXD[7..0]：資料發送信號線，資料位元寬為 8。
- RXD[7..0]：資料接收信號線，資料位元寬為 8。
- GTXCLK：Gigabit TX 訊號傳輸所使用的頻率是 125MHz。
- TX_EN(Transmit Enable)：啟動傳輸資料信號，與 MII 介面中的信號功

能一樣。

- RX_ER：傳送時必須與RX_CLK同步一或二個RX_CLK時間。RX_DV 運作時，若接收有錯誤發生，則RX_ER開始動作。
- RX_CLK：接收頻率是由傳輸的資料取得，所以與GTX_CLK無關。
- RX_DV：訊號來自Physical medium，必須與RX_CLK同步。RX_D運作的範圍至少必須從SFD 開始，一直到Frame的結尾。
- RX_ER：傳送時必須與RX_CLK同步一或二個RX_CLK時間。RX_DV 運作時，若接收有錯誤發生，則RX_ER開始動作。
- COL：非同步訊號，不需與TX_CLK或RX_CLK同步。當在Physical medium有碰撞發生時，COL啟動偵測直到碰撞結束(對半雙工過程有效, 全雙工無效)。
- MDC/MDIC：管理配置介面控制PHY的特性。該介面有32個暫存器位址，每個位址16位元。而前16個位元已經在“IEEE 802.3, 2000-22.2.4 Management Functions”中規定了用途，其餘的則由功能需求自行定義即可。
- 在速率為1000Mbps時，MAC向PHY提供GTX_CLK信號時TXD、TXEN、TXER信號會與此頻率信號同步。否則，在10/100M速率下，PHY所提供TXCLK頻率信號，無法向下相容到MII的介面與使用頻率，如MII的頻率為25MHz傳輸為100Mbps或2.5MHz傳輸在10Mbps。

2.1.5 RGMII 介面簡介

RGMII 即 Reduced GMII，是 GMII 的簡化版本，將介面信號線數量從 24 根減少到 14 根，工作頻率仍舊為 125MHz，TX/RX 數據寬度從 8 為變為 4 位，為了保持 1000Mbps 的傳輸速率不變，RGMII 介面在工作頻率的上升沿和下降沿都採樣數據，可以與 GMII 的資料傳輸用於 8 個位元的方式說明，在 GMII 的參考頻率的上升沿發送資料位元中的 TXD[3:0]/RXD[3:0]，在參考頻率的下降沿發送資料位元中的 TXD[7:4]/RXD[7:4]。圖 2-5 是 RGMII MAC 與 PHY 對接的信號示意圖。

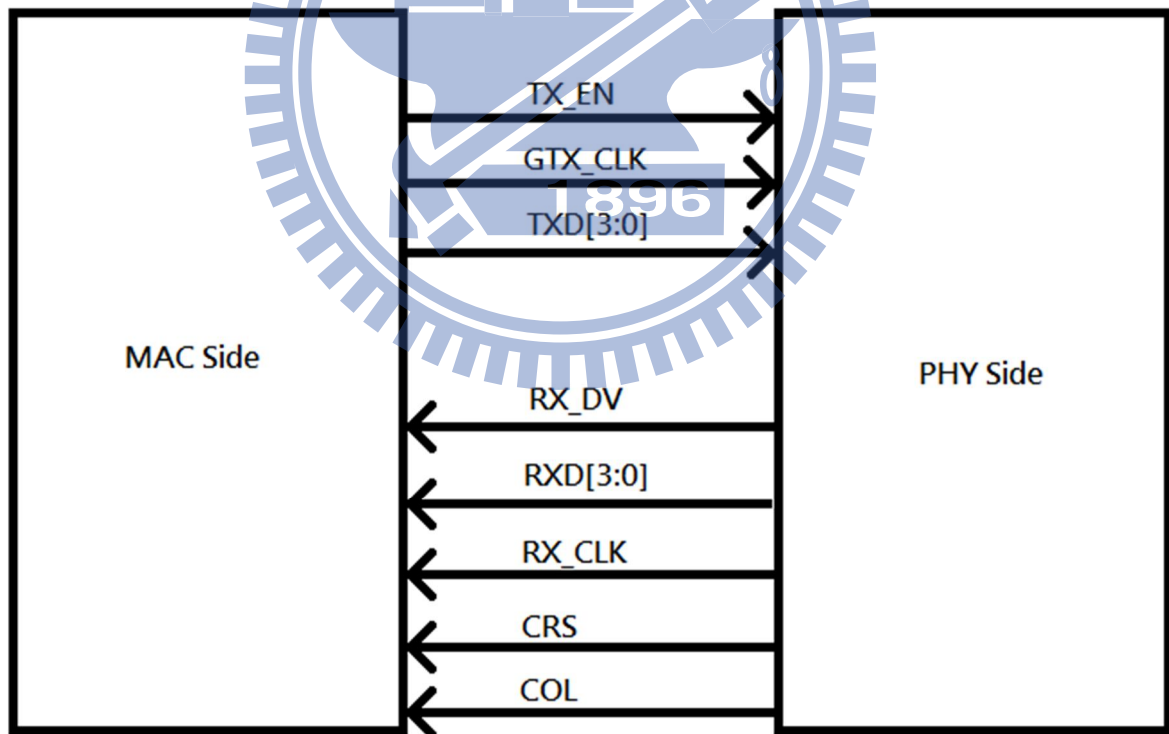


圖 2-5 RGMII MAC 與 PHY 溝通信號

Symbol	Type	Signal Description
GTX_CLK	Output	Transmit Clock_125MHz
TXD[0:3]	Output	Transmit Data
TX_EN	Output	Transmit Enable
RX_CLK	Input	Receive Clock_125MHz
RXD[0:3]	Input	Receive Data
RX_DV	Input	Receive Data Valid
COL	Input	Collision Detected
CRS	Input	Carrier Sense
MDC	Output	Management Clock
MDIO	I/O	Management Data I/O

表 2-5 RGMII 信號腳位說明

RGMII 同時也兼容 100Mbps 和 10Mbps 兩種速率，此時參考頻率分別為 25MHz 和 2.5MHz。TX_EN 信號線上傳送 TX_EN 和 TX_ER 兩種信息，在 TX_CLK 的上升沿發送 TX_EN，下降沿發送 TX_ER；同樣的，RX_DV 信號線上也傳送 RX_DV 和 RX_ER 兩種信息，在 RX_CLK 的上升沿發送 RX_DV，下降沿發送 RX_ER。工作原理與 GMII 相同，請參考 GMII 的動作原理說明。

2.2 展頻時脈技術理論

展頻時脈(Spread Spectrum Clock, SSC)技術一開始是運用在通訊系統週期性頻率調變的作法 (Frequency Modulation, FM)，使用頻率調變的目的是將一原始頻率調變在其附近的頻率上。以能量輻射的論點可以說展頻是將能量分散在原本頻率附近的一定頻寬內，所以其功率頻譜密度會比原始訊號來的弱，因而達到降低單位頻寬內輻射量的目的。以下將針對頻率調變來做數學分析以瞭解能量延展的情況。

設定原始訊號 $S_{SSC}(t)$ 、調變訊號 $m_f(t)$ 、頻率變化 $f_i(t)$ 如下所示：

$$S_{SSC}(t) = A_c \cdot \cos(\omega_c \cdot t) \quad (2-1)$$

$$m_f(t) = V_f \cdot \cos(\omega_m \cdot t) \quad (2-2)$$

$$f_i(t) = (\Delta F / V_f) \cdot m_f(t) + f_c \quad (2-3)$$

訊號振幅 A_c 為一定值，圖 2-6 及 2-7 分別顯示 $m_f(t)$ 及 $f_i(t)$ 。方程式如下所示：

$$f_d(t) = f_i(t) - f_c = \Delta F \cdot \cos(\omega_m \cdot t) = \frac{1}{2} \pi [d\theta/dt] \quad (2-4)$$

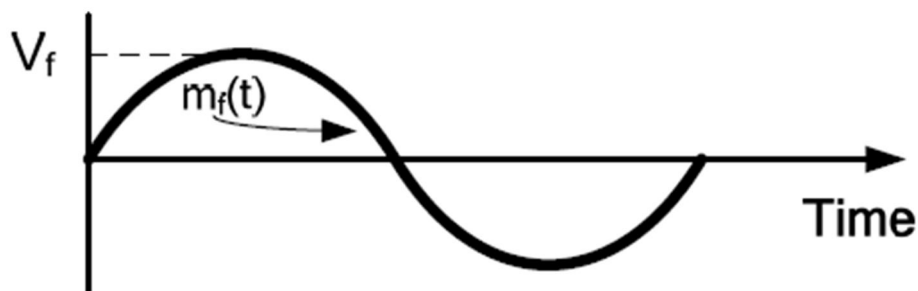


圖2-6 頻率調變訊號

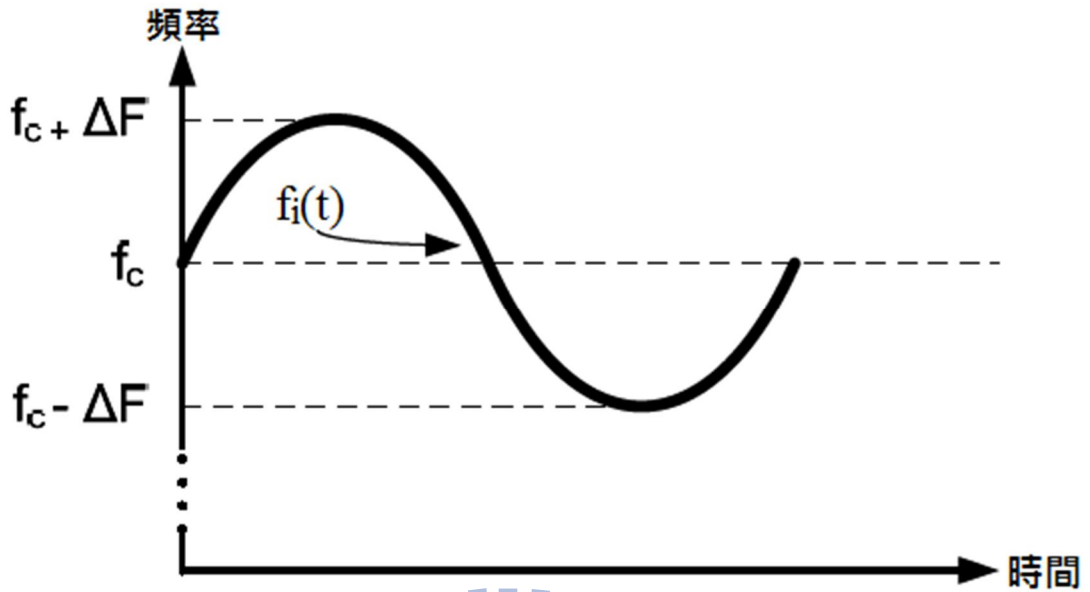


圖2-7 展頻時脈的頻率變化

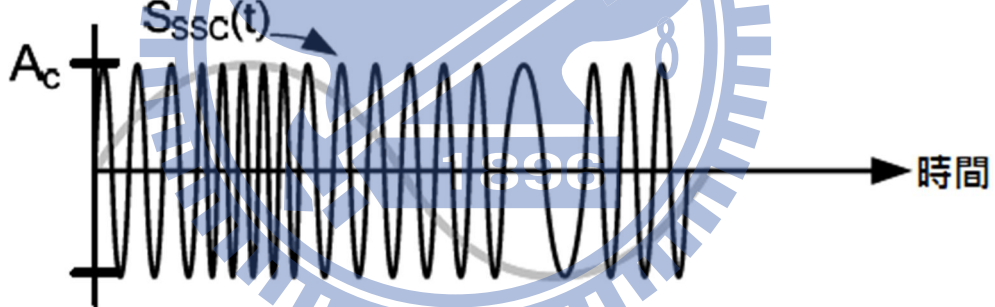


圖2-8 展頻時脈訊號波形

圖 2-8顯示一弦波在經過頻率調變後的波形；展頻後的訊號如公式2-5所示。

$$\begin{aligned}
 S_{ssc}(t) &= A_c \cdot \cos(2\pi f_i(t)) & (2-5) \\
 &= A_c \cdot \cos[(\omega_c + 2\pi\Delta F \cos\omega_m \cdot t) \cdot t]
 \end{aligned}$$

一般展頻時脈產生器大約可以分成三種：向上展頻(如圖2-9)，中心展頻(如圖2-10)，及向下展頻(如圖2-11)。而其中 f_c 為未展頻之頻率， σ 為頻率延展量的比例。向上展頻其頻率變化在 f_c 到 $f_c \cdot (1 + \sigma)$ 的範圍，因此在頻譜上可以看到其頻率向高頻延展。中心延展是以中心頻率往兩邊 $f_c \cdot (1 + \sigma/2) \sim f_c \cdot (1 - \sigma/2)$ 去調變頻率範圍，於是在頻譜上可看到其頻率向兩邊延展。向下展頻其頻率變化在 $f_c \cdot (1 - \sigma)$ 到 f_c 的範圍，所以可以看到頻譜上頻率向低頻去延伸。在上面三種展頻時脈產生器其 σ 為一定值，並且中心頻率並未改變，在頻率調變的範圍也為一固定範圍，所以在能量衰減量上也為一固定量[13]。

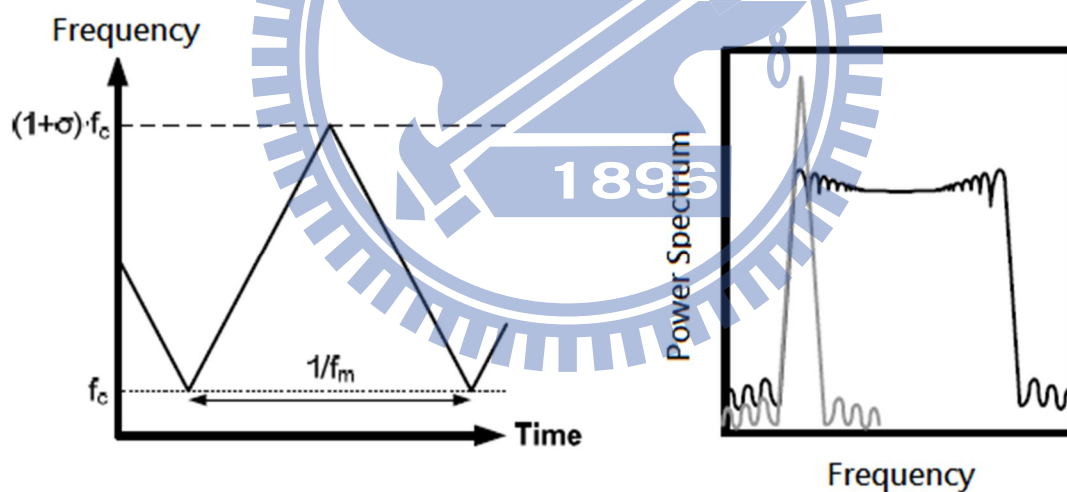


圖 2-9 向上展頻

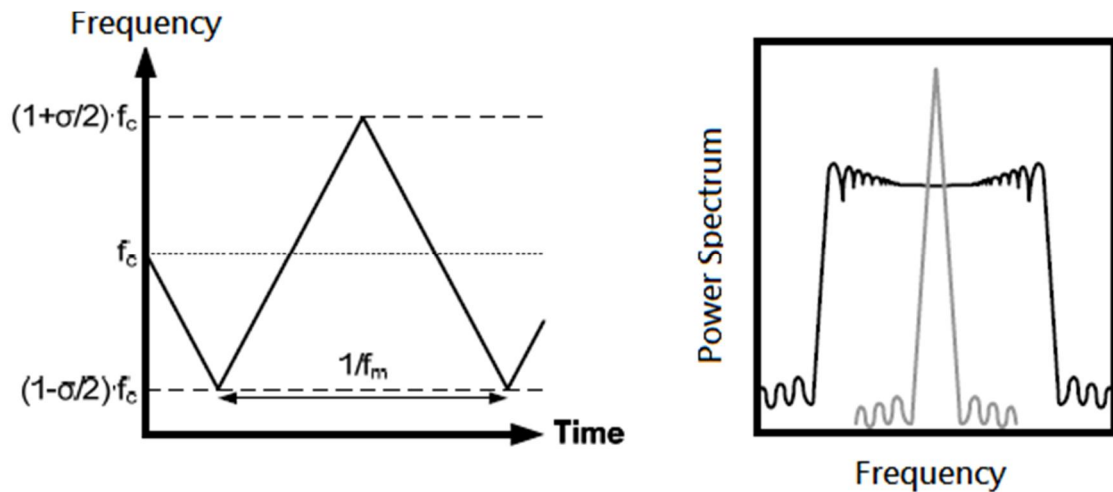


圖 2-10 向中間展頻

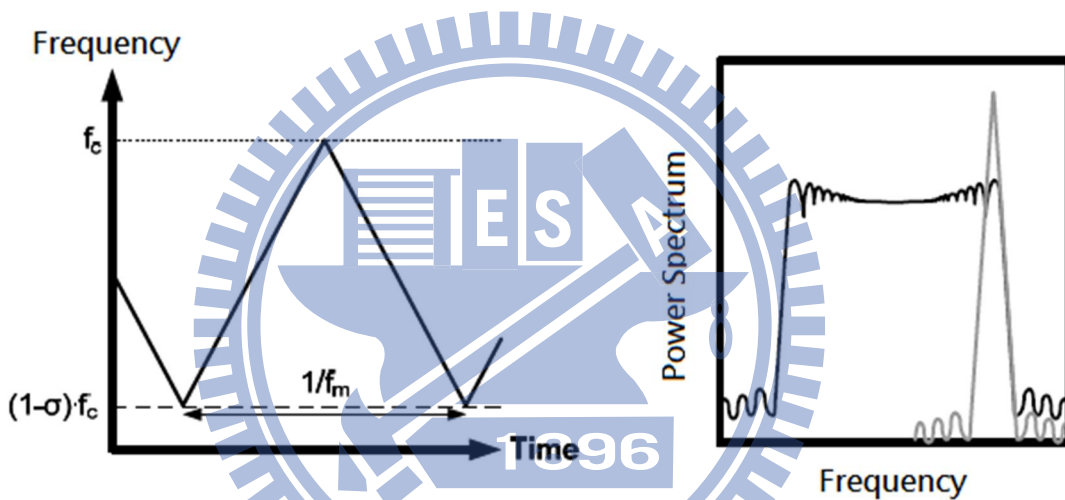


圖 2-11 向下展頻

目前 IC 在設計的初期就會內建展頻的功能，可以讓使用者自行調整設定。使用展頻需要在信號失真度(Jitter)與 EMI 輻射能量的衰減之間取得平衡，避免時脈信號因展頻的頻寬過大造成失真或功能異常。以下列出展頻的好處及功能：

- 對背景的雜訊、干擾以及自體多路徑干擾 (Multipath interference) 有較好的抗雜訊能力。
- 對人為的刻意干擾訊號有良好的抵禦能力，這也是展頻最早應用於軍方

通訊系統中對抗人為的干擾重要原因其一。較良好的隱密性，通訊過程被截收的可能性較低。這是因為展頻後，單位頻率的功率值降低，截收者不易透過頻譜分析儀獲得敵方通訊的資訊；即使電波被接收了，由於截收者不知道展頻碼的內涵，因此無法回復編碼的資訊。所以展頻通訊亦具有簡單的保密通訊能力。

- 降低電磁干擾(EMI)，若對電子裝置的時脈產生器 (Clock generator) 做展頻，也就是刻意在時脈訊號(Clock signal)中增加抖動(jitter)，則可以將特定造成電磁干擾的能量由特定頻率打散，進而減輕其干擾程度，本質上和通訊技術的展頻是相同的。

2.3 Slew rate 控制理論

本文討論 Slew rate 控制是運用在 Clock 上，以一個方波的 Clock 波形來舉例。圖 2-12 比較 slew rate 調整前後的 clock 波形。理想的 clock 方波在 low 與 high 準位轉換時經常伴隨著 undershoot、overshoot 或 ringing 的雜訊。由圖 2-12 的波形可以得知當 clock 波形使用了 slew rate 控制後上升/下降斜率變的比較緩而 undershoot、overshoot 及 ringing 也消失了[2]。一般廣泛的運用在降低 slew rate 的方法就是在 clock 信號路徑上並聯一個電容，當然電容越大 slew rate 就越緩，但有可能電容太大造成信號失真。

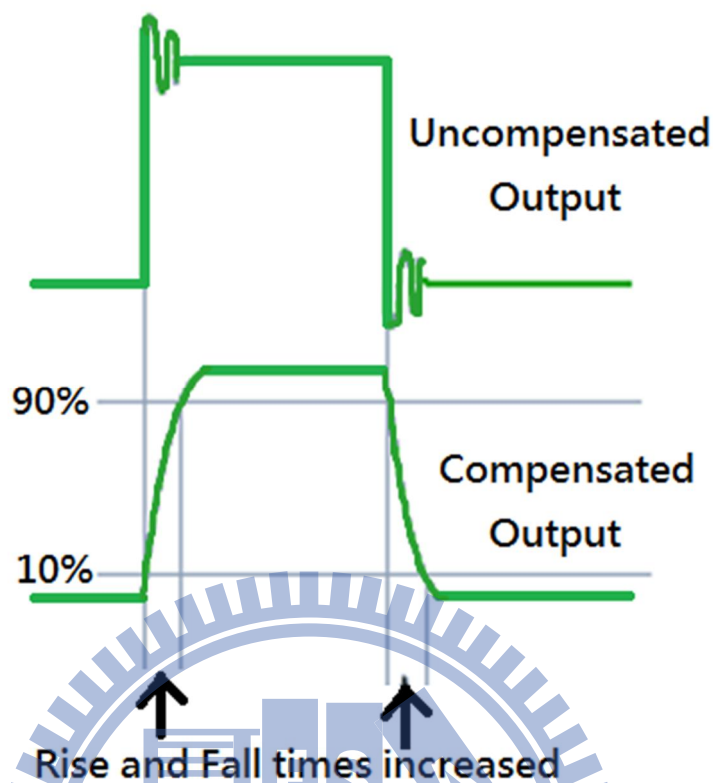


圖 2-12 比較 slew rate 調整前後的 clock 波形

將 Clock 的 undershoot、overshoot 及 ringing 消除後在 EMI 可以看出明顯的幫助，因為 clock 的電壓波形不再因有突波而造成電流亂竄，信號輻射也會因此降低，另一個就是將上升及下降的斜率變緩後，clock 在上升時可以有多一點的時間爬升相對的電流流動的速度也會比較慢，對於高頻的電磁干擾有很大的幫助[7]。

第三章 防治干擾與實驗方法及結果研討

本論文測試使用的平台是 Realtek 的 RTL8696 SOC 與另一個 RTL8211E 的 Giga PHY 對接所設計出來的 Gigabit Ethernet Port PCBA ;此 Ethernet Port 支援 1000Base-T IEEE 802.3ab, 100Base-TX IEEE802.3u, 10Base-T IEEE 802.3 等通訊協定。本論文將探討 SOC 與 Giga PHY 對接時使用的 RGMII 介面，使用展頻及 slew rate 控制來確認對於 EMI 的影響。RTL8696 需提供一組 25MHz 的 Crystal，SOC 會因 1000Base-T, 100Base-T 及 10Base-T 連線速率的不同來調整內部的 PLL 而輸出需要的 125MHz, 25MHz 及 2.5MHz 時脈訊號。本次的實驗主要討論是在 RGMII Clock 為 125MHz 時，EMI 的測試結果。線路的方塊圖如圖 3-1 所示。電路的部分如圖 3-2 所示。

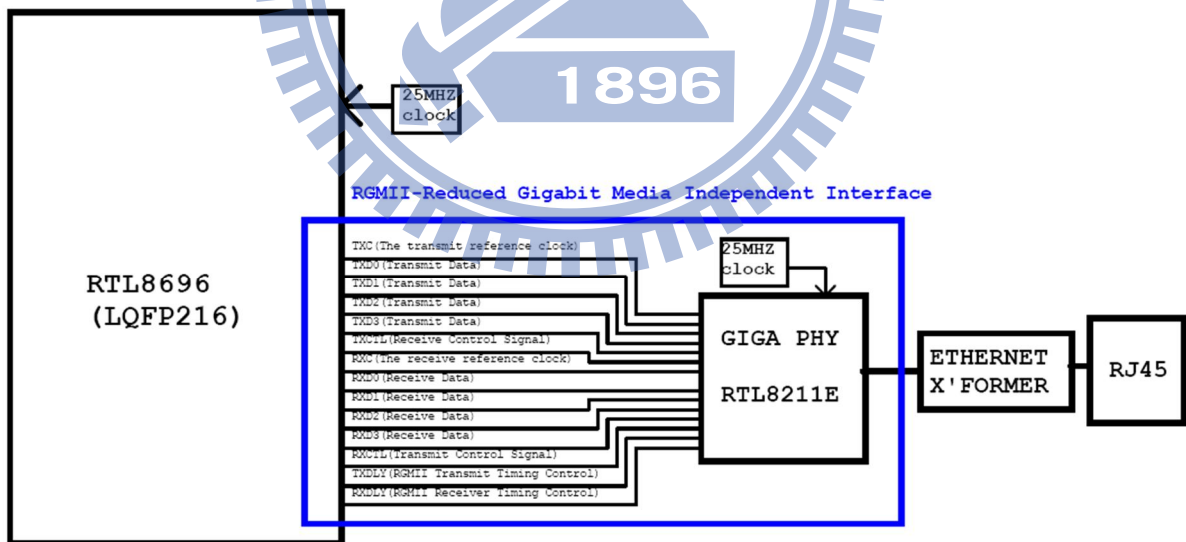
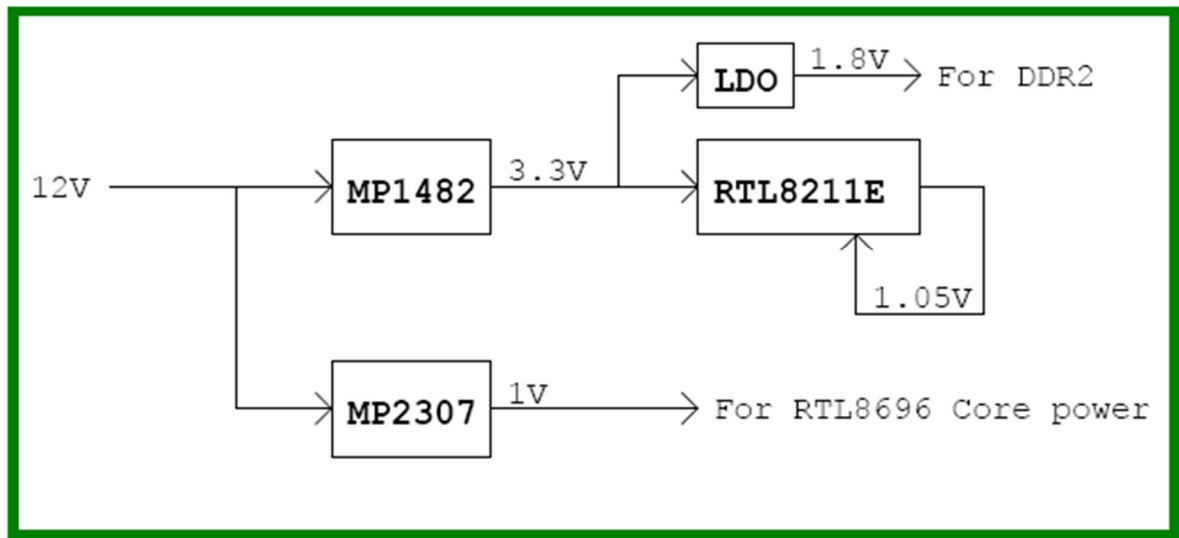


圖 3-1 線路方塊圖

Power Distribution



PCB Placement

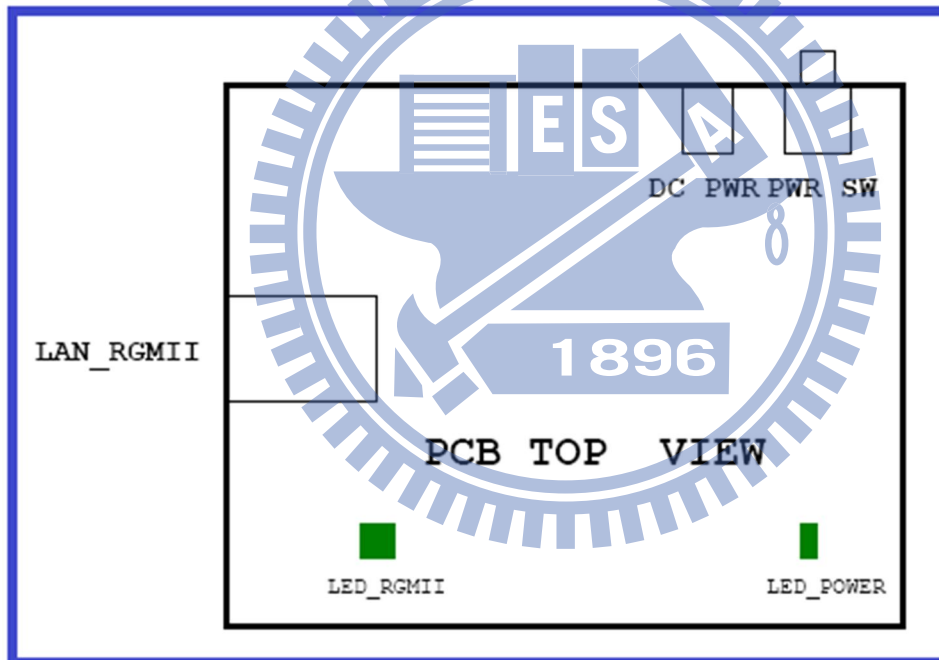


圖 3-1 線路方塊圖(續)

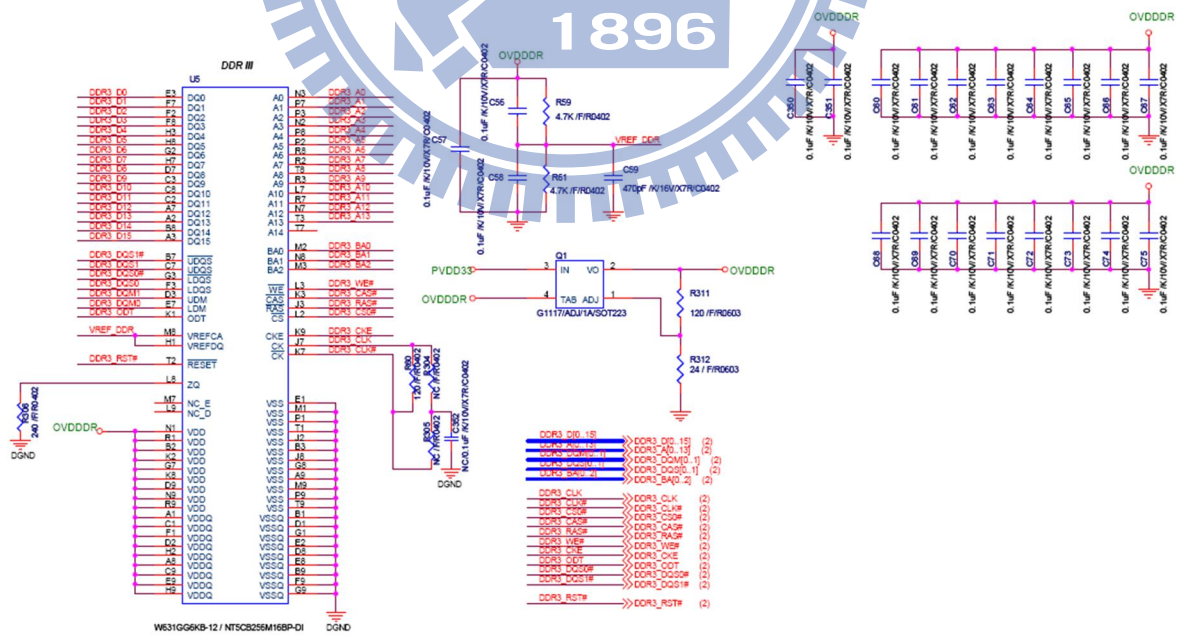
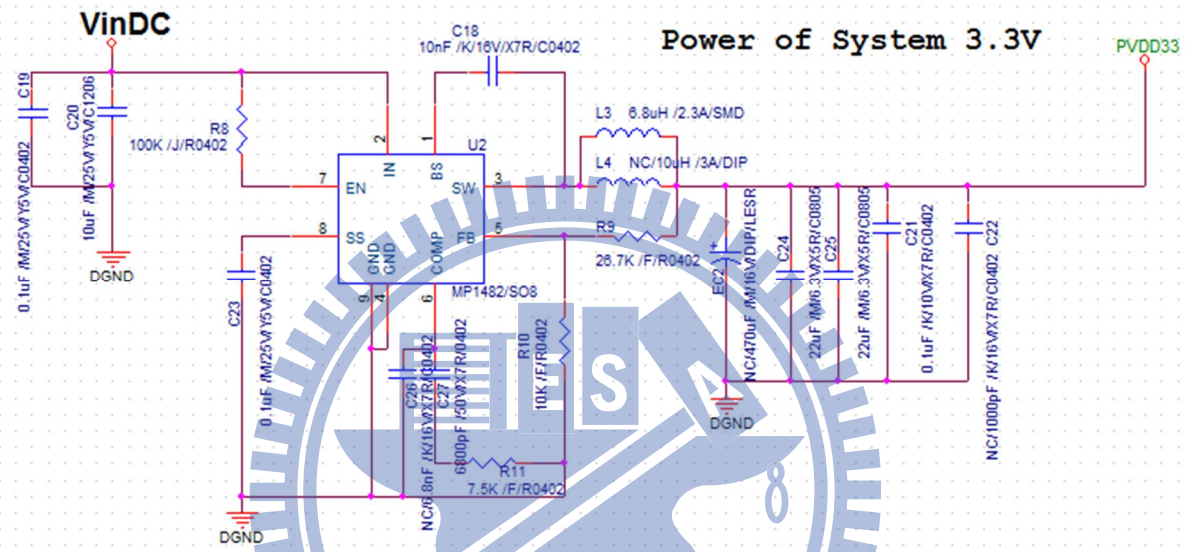
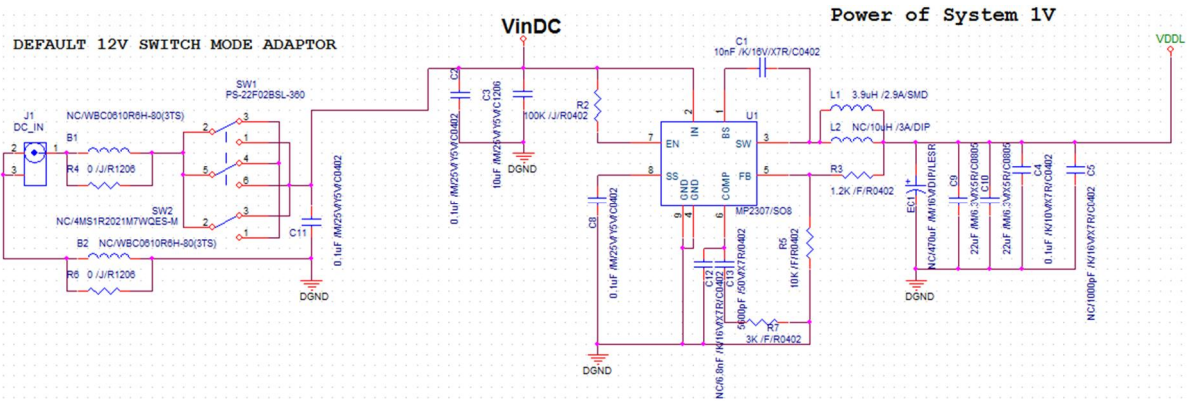


圖 3-2 實驗電路的線路圖

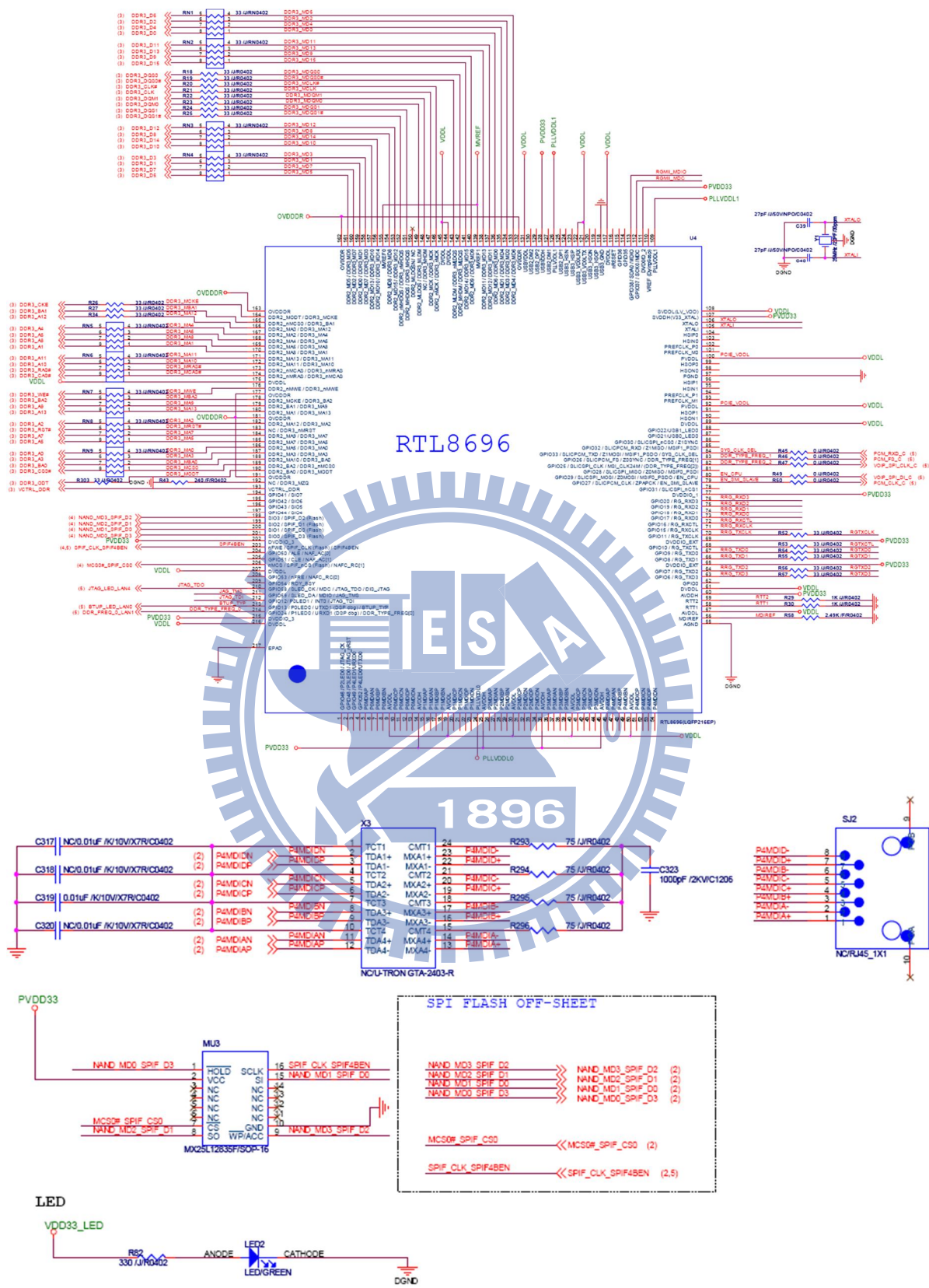


圖 3-2 實驗電路的線路圖(續)

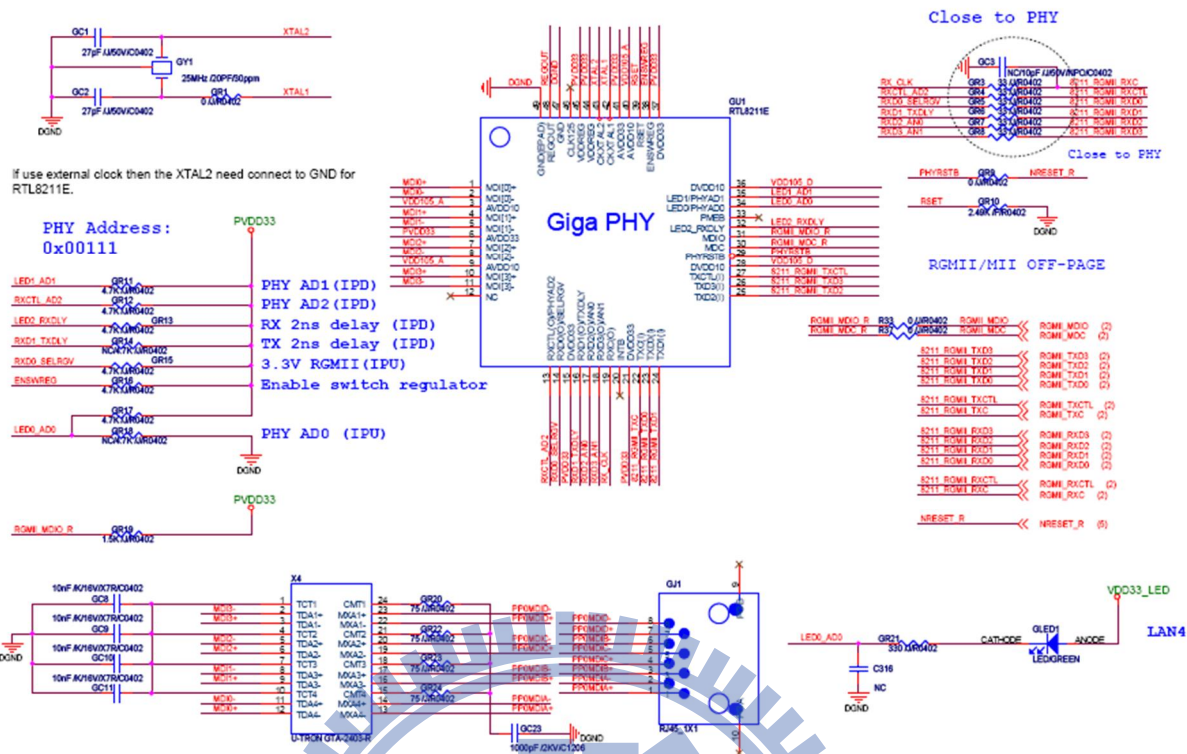


圖 3-2 實驗電路的線路圖(續)

3.1 PCB 板介紹

本論文使用的印刷電路版採用兩層板設計，PCB 的厚度為 1.2mm，PCB 的長寬為 152X128mm,PCB 的材質是使用 FR4 玻璃纖維材質，該材質的介電係數為 4.3；信號線的厚度則使用 0.7mils 的銅箔。Layout Placement 是將 SOC (RTL8696)與 Giga PHY(RTL8211E)放置 PCB 的正面，Clock trace 走正面左右兩邊有包 GND，但是因為 PCB 是 2 Layer，一定會有些電源走線穿越信號線與 Clock，所以參考層的 GND 並不完整，也因為電路沒有一個好的封閉回路，就造成訊號的輻射，並可能導致 EMI Fail。圖 3-3 為印刷電路板正面，圖 3-4 為印刷電路板背面，圖 3-5 為 Layout placement 正面圖，圖 3-6 為 Layout placement 背面圖。

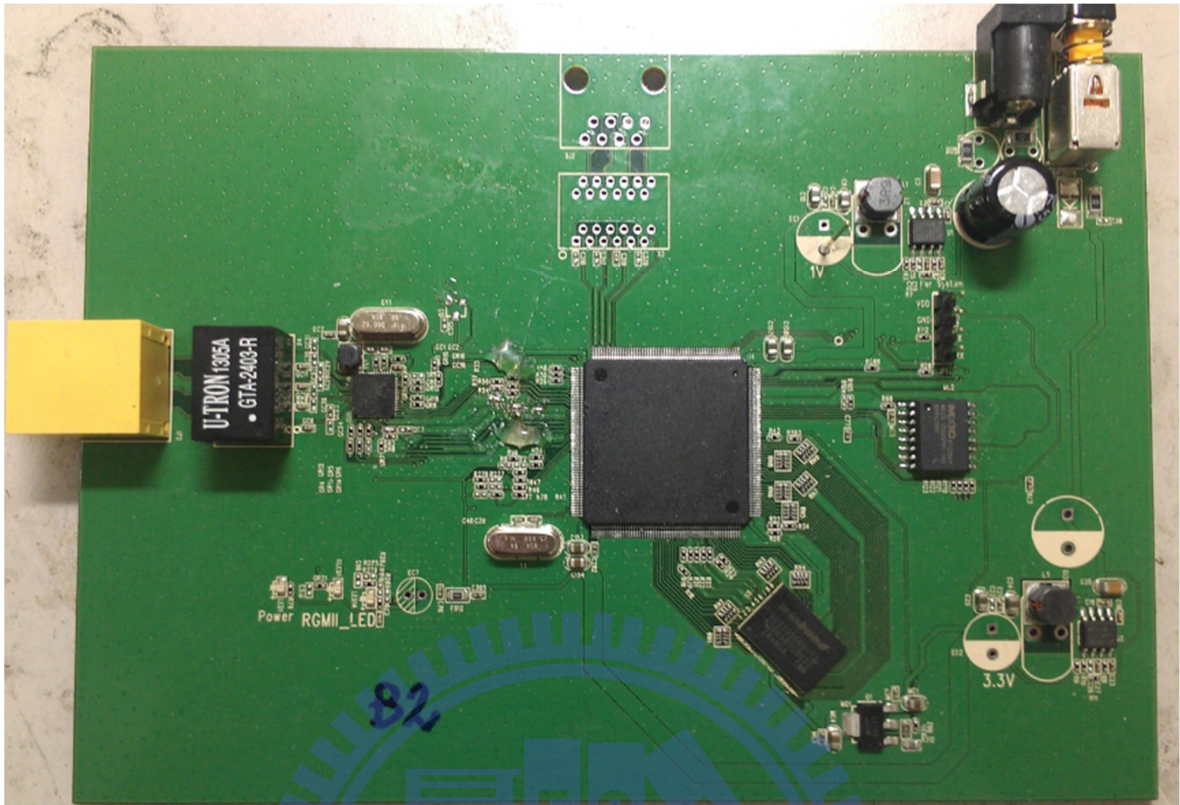


圖 3-3 測試使用的印刷電路板正面

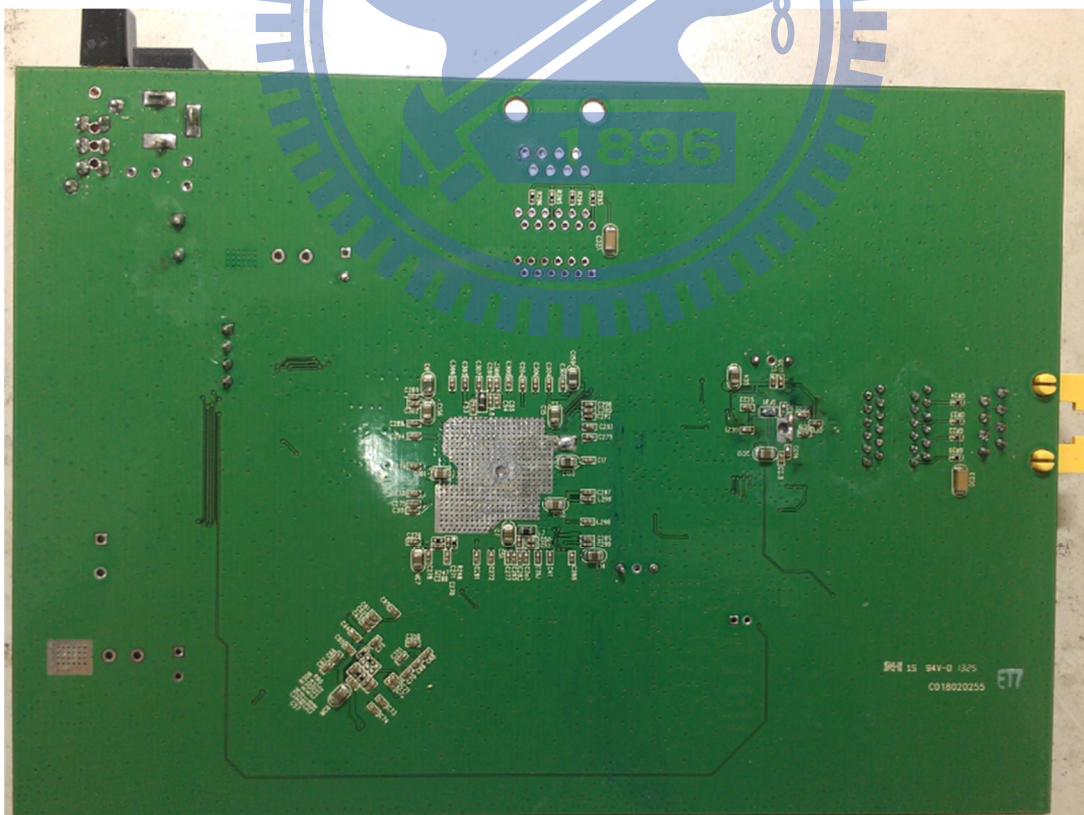


圖 3-4 測試使用的印刷電路板背面

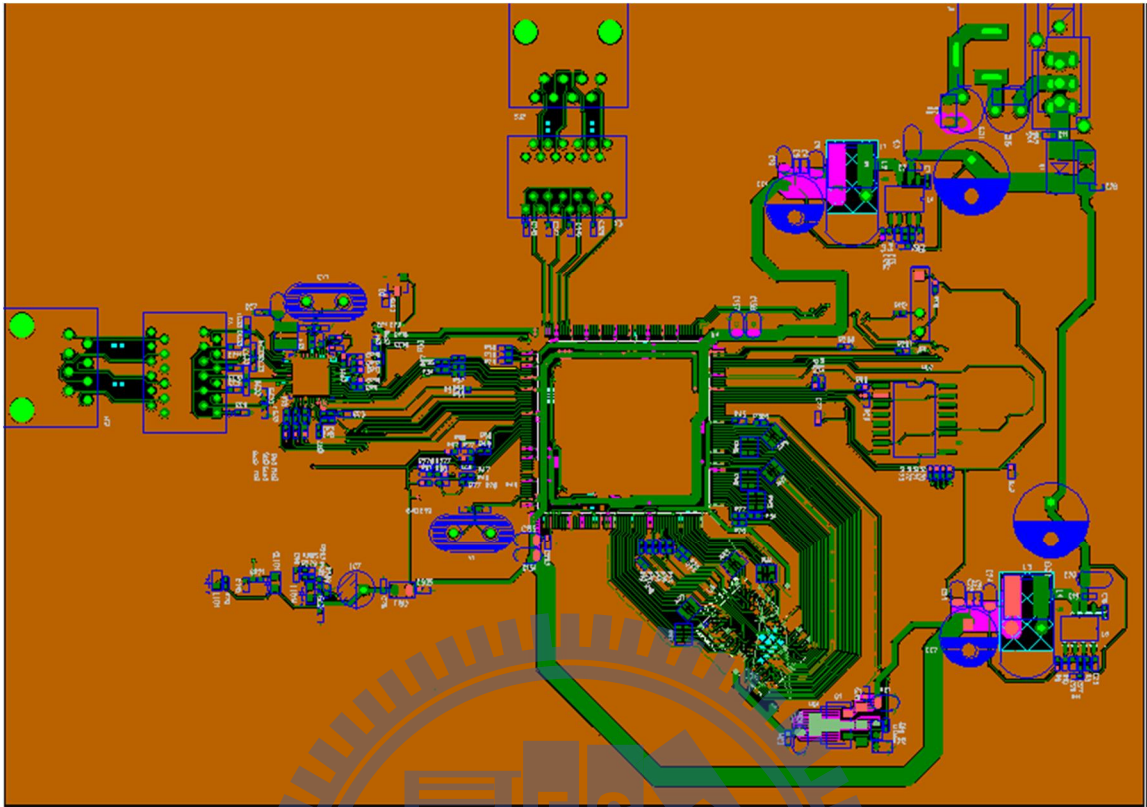


圖 3-5 Layout placement 正面

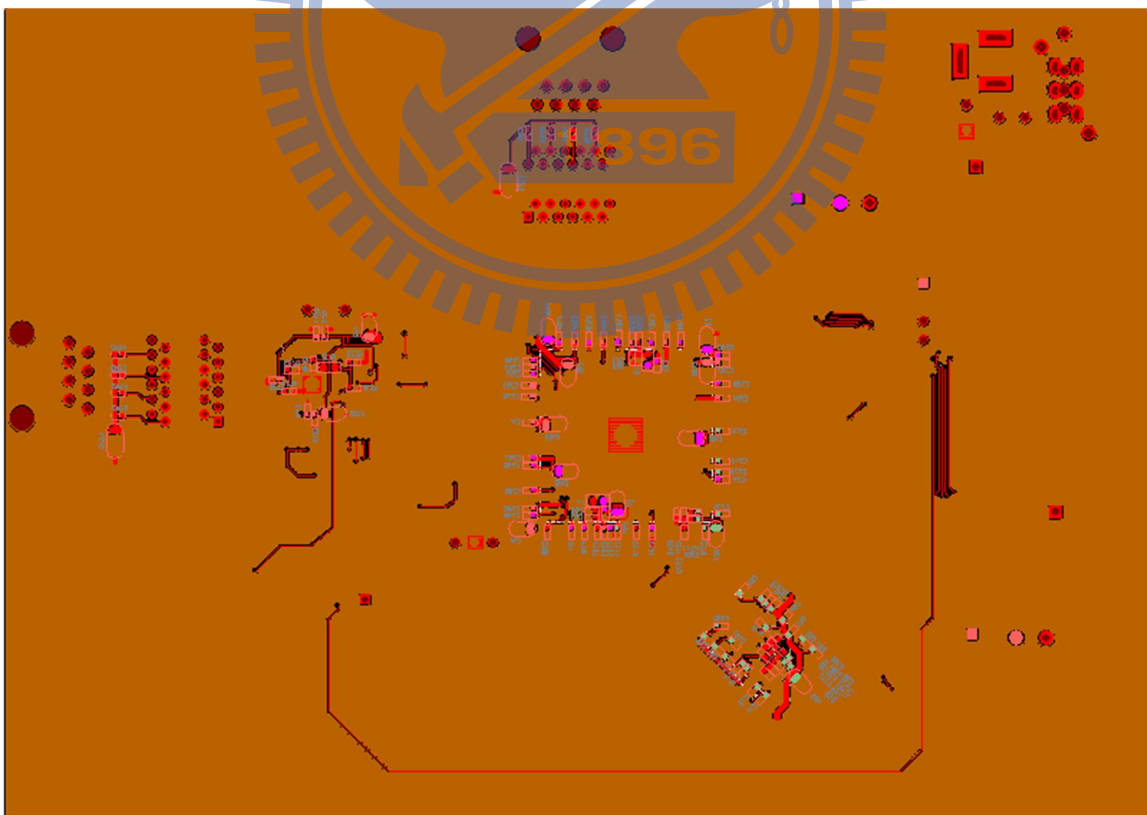


圖 3-6 Layout placement 背面

3.2 量測環境介紹

測試使用的實驗室是 7m(L)x4m(W)x3m(H)，實驗室的六個面全部都鋪上吸波材質。圖 3-7 與 3-8 是本次量測的實驗室及待測物放置測試轉桌的照片。待測物與量測的天線水平距離為 3m；天線的種類是雙錐對數天線，天線的量測高度距離地面為 1m 及 1.5m；天線的測試角度分別與地面呈水平及垂直的方式測試，將待測物放置旋轉桌上，以 360 度旋轉來量測到任意角度的電場最高峰值；法規是依照 EN 55022 Class B 量測的頻率是 30MHz~1GHz，使用 Agilent E7405A 的頻譜分析來量測最大的電磁波輻射強度。

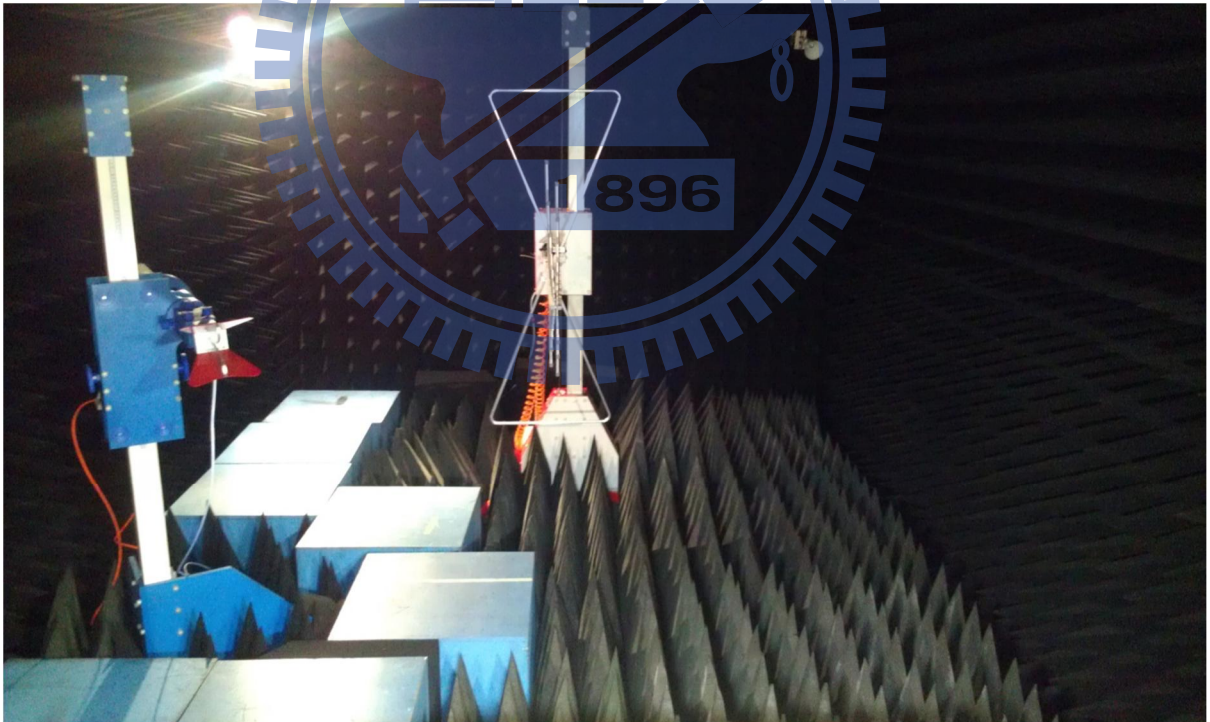


圖 3-7 測試實驗室環境圖

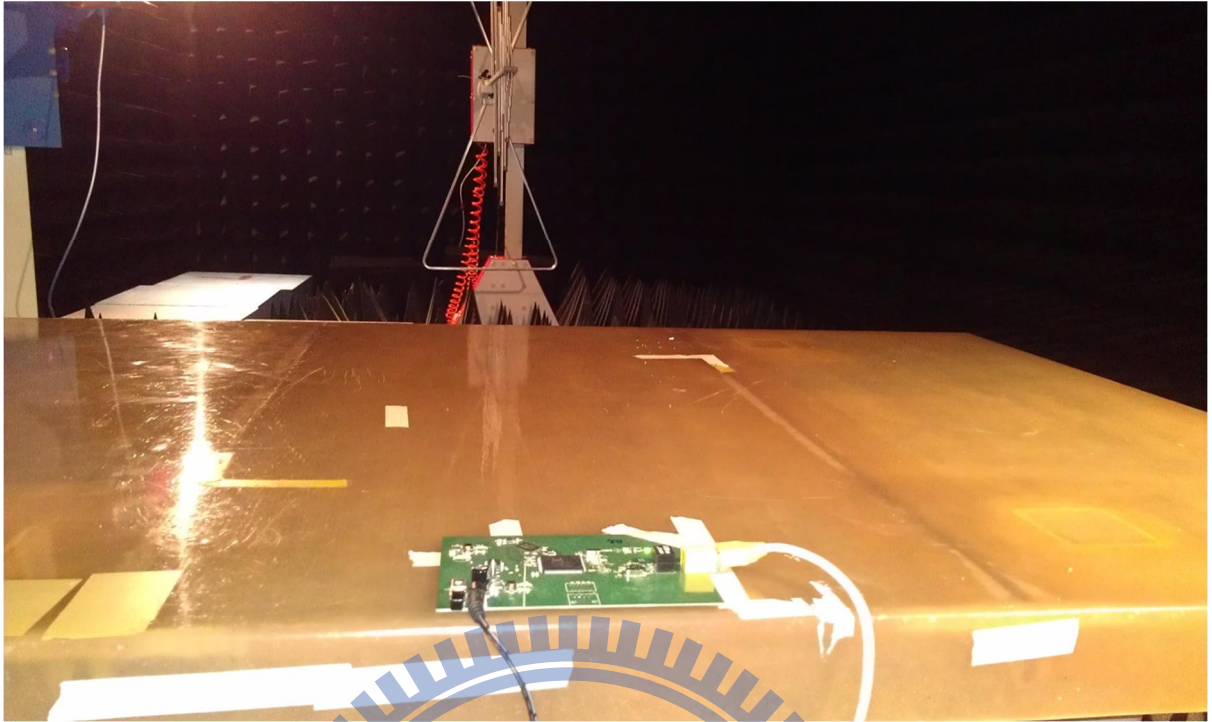
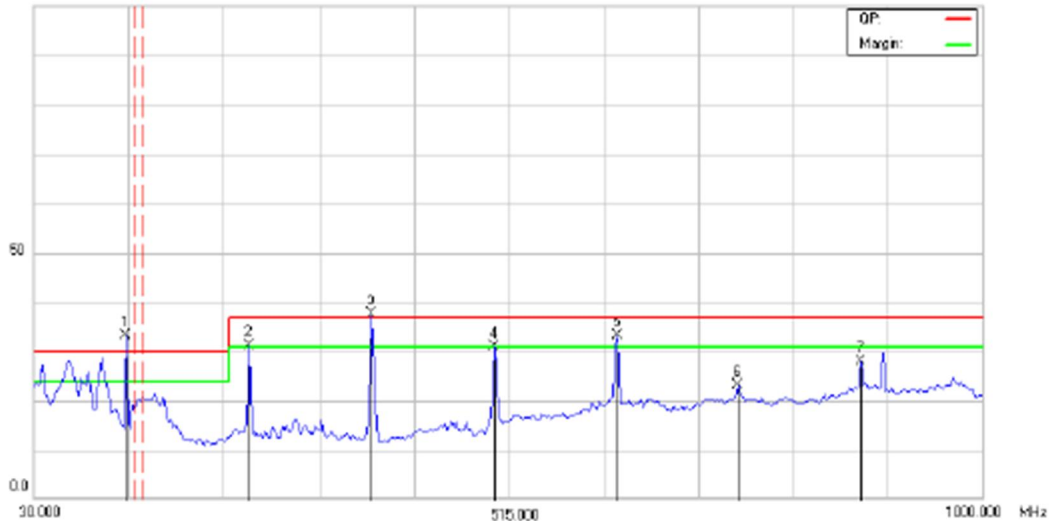


圖 3-8 待測物放置待測桌面圖

3.3 量測數值討論與分析

本論文將結合第二章的理論架構來針對於展頻及 Slew rate 控制在 EMI 量測的實驗數據進行分析，同時也進行波形的 FFT 轉換以探討展頻及 slew rate 控制對 EMI 的影響機制。

實驗前先對未啟動展頻及 slew rate 控制的 PCBA 量測 EMI，此一結果被稱為初始值。如圖 3-9 及 3-10 所示，初始值 EMI Fail 的頻率都發生在 125MHz 的諧波，由此可知 125MHz 的時脈信號是造成 EMI Fail 的主要原因。



Site site #1	Polarization: <i>Vertical</i>	Temperature: 24 °C
Limit: CISPR22 ClassB 10M Radiation	Power:	Humidity: 76 %
EUT:	Distance:	RBW: 100 KHz
M/N:		VBW: 100 KHz
Mode:		Sweep Time: 300 ms
Note:		

No.	Mk.	Freq.	Reading Level	Correct Factor	Measurement	Limit	Over	Antenna Height	Table Degree
		MHz	dBuV/m	dB	dBuV/m	dBuV/m	dB	cm	degree
1	*	124.5750	55.30	-22.12	33.18	30.00	3.18	peak	
2	!	250.6750	53.48	-22.45	31.03	37.00	-5.97	peak	
3	X	374.3500	59.57	-21.98	37.59	37.00	0.59	peak	
4		500.4500	49.95	-19.15	30.80	37.00	-6.20	peak	
5	!	626.5500	47.38	-14.34	33.04	37.00	-3.96	peak	
6		752.6500	40.94	-13.53	27.41	37.00	-9.59	peak	
7		876.3250	38.65	-10.75	27.90	37.00	-9.10	peak	

圖 3-10 初始值 EMI 垂直極化量測結果

3.4 EMI 輻射來源分析

因 EMI 的輻射能量大小與電流有正相關，所以接下來將量測頻率 125MHz 的電壓及電流波形，來確認 EMI Fail 的信號源頭。首先如圖 3-11 線路圖所示將 1 ohm 的電阻(R52) 串接在 125MHz Clock 走線上；圖 3-12 顯示電阻兩端量到的電壓波形。

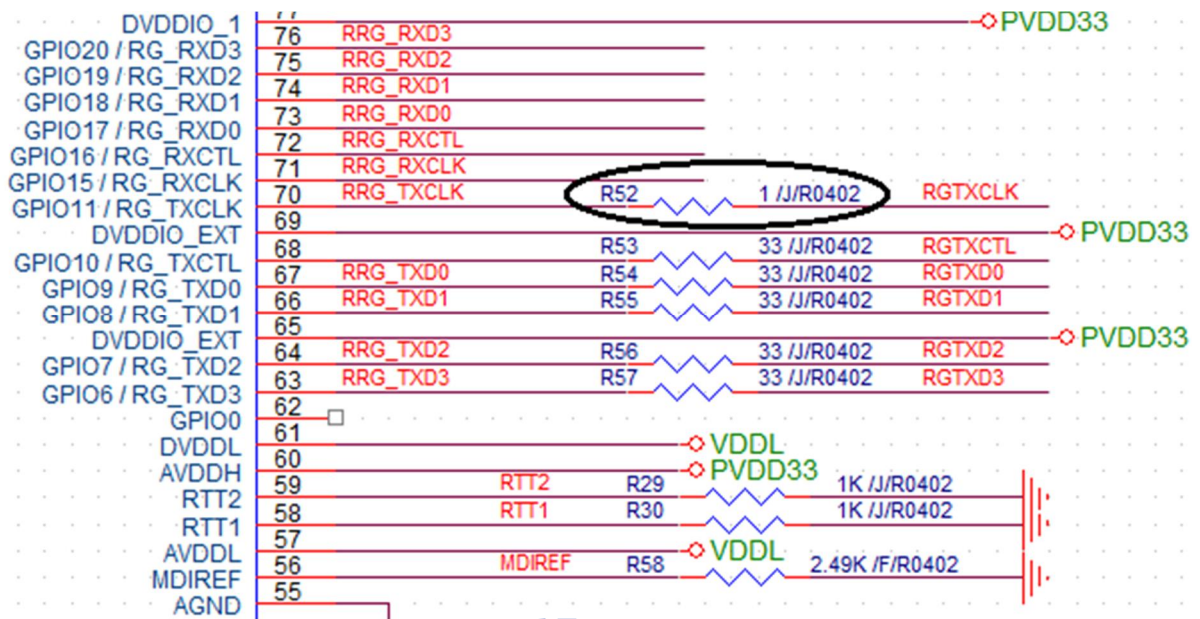


圖 3-11 Clock 串接 1 ohm 的線路位置圖

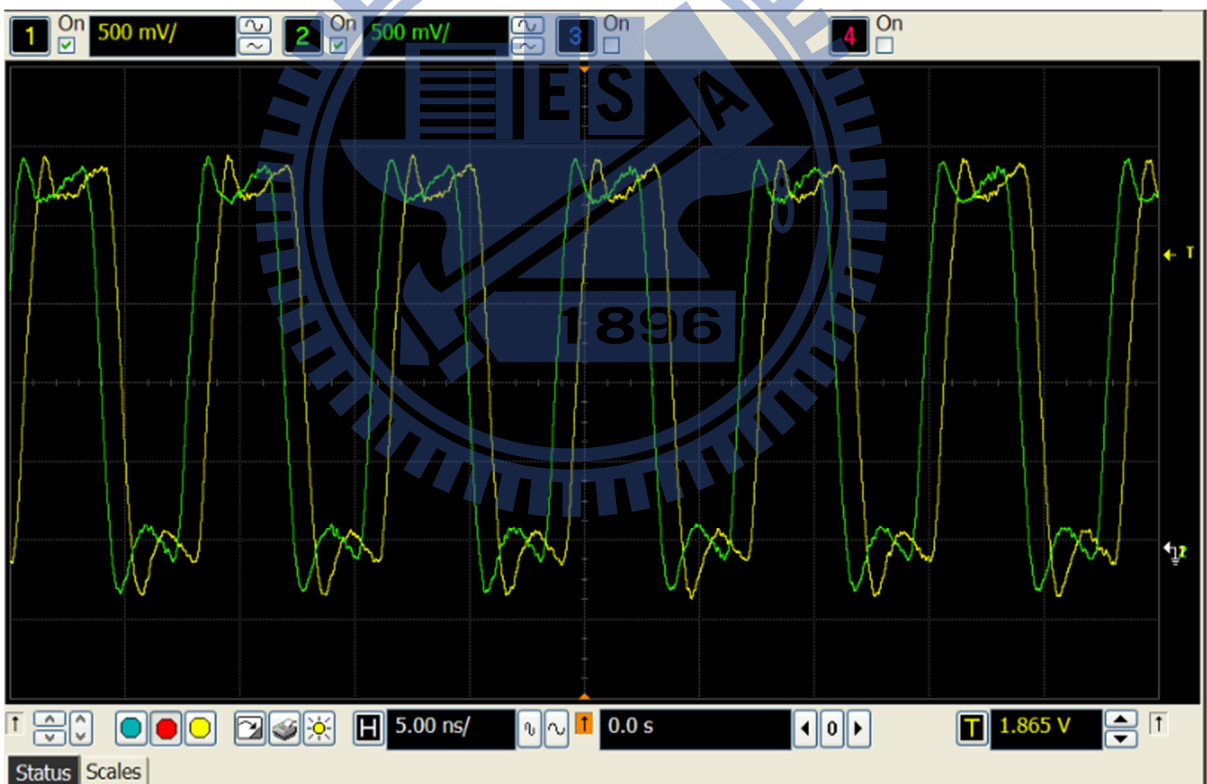


圖 3-12 量測串接在 clock 的兩端電壓波形

將量測到的兩個電壓波形進行相減後即為流過 125MHz 的電流。由電流波形可以看出在兩個電壓波形的上升與下降緣有較大電壓差發生，而這

個電壓差也意謂著在時脈信號高低準位切換瞬間會發生電流突波。圖 3-13 是量測到的電流波形。此電流突波的峰值產生是 IC 內部的 CMOS 在做開關切換瞬間產生的正電流(+Vp-Vp)與負電流(-Vp-Vp)。將電流波形做 FFT 轉換即可發現其能量集中在 125MHz 及其諧波(見圖 3-14 ~3-20)，顯然這就是 EMI 輻射的來源了。

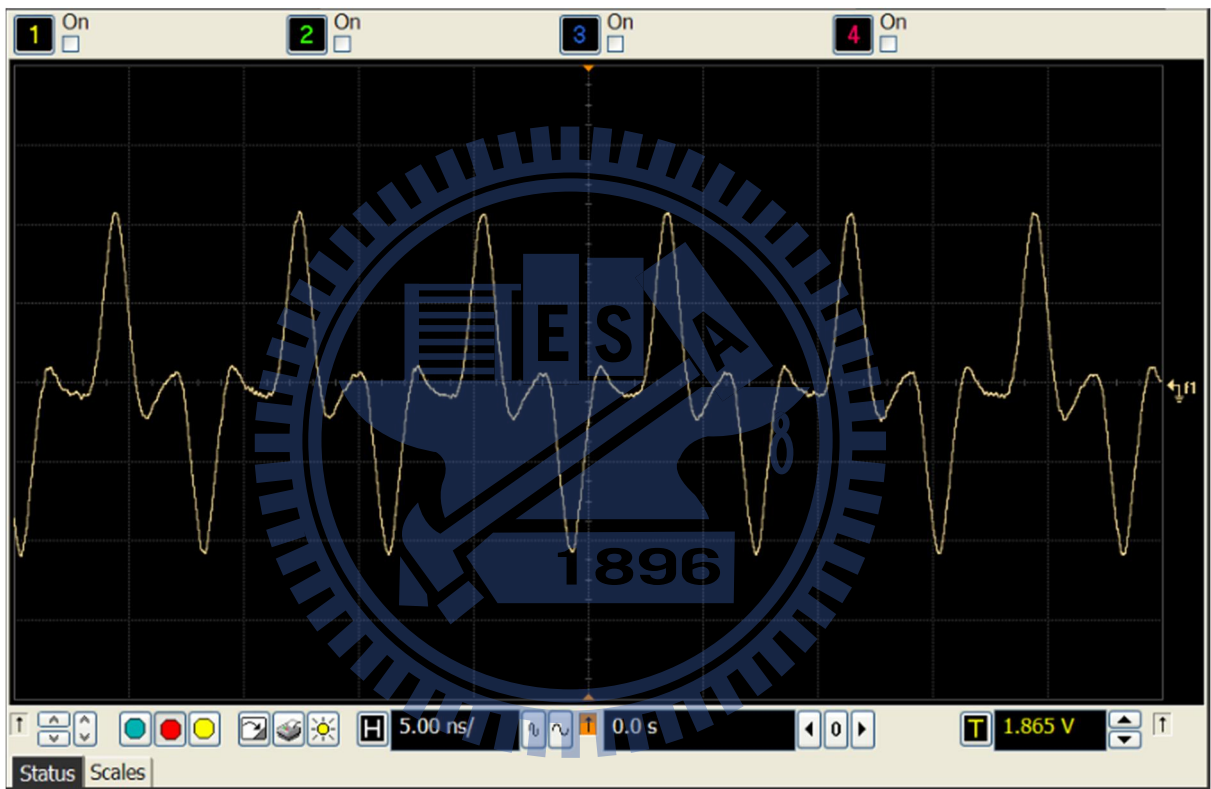


圖 3-13 流經 clock 的電流波形

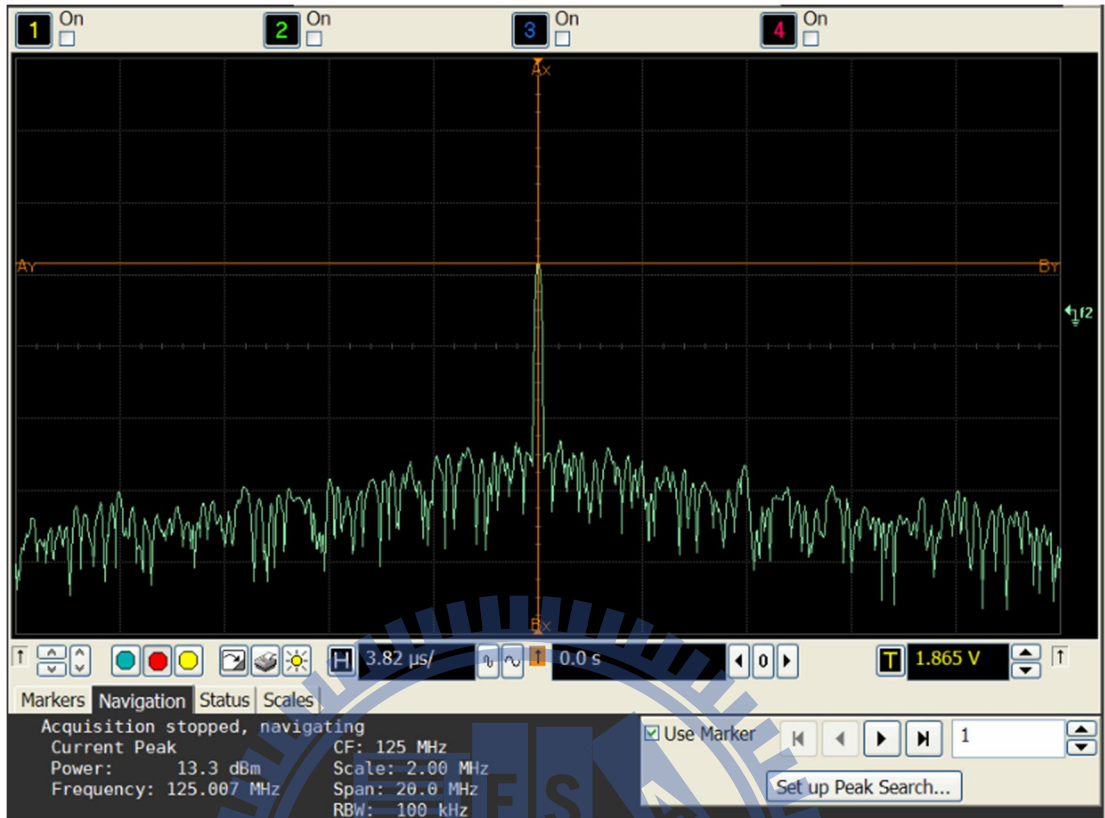


圖 3-14 125MHz 的電流成份

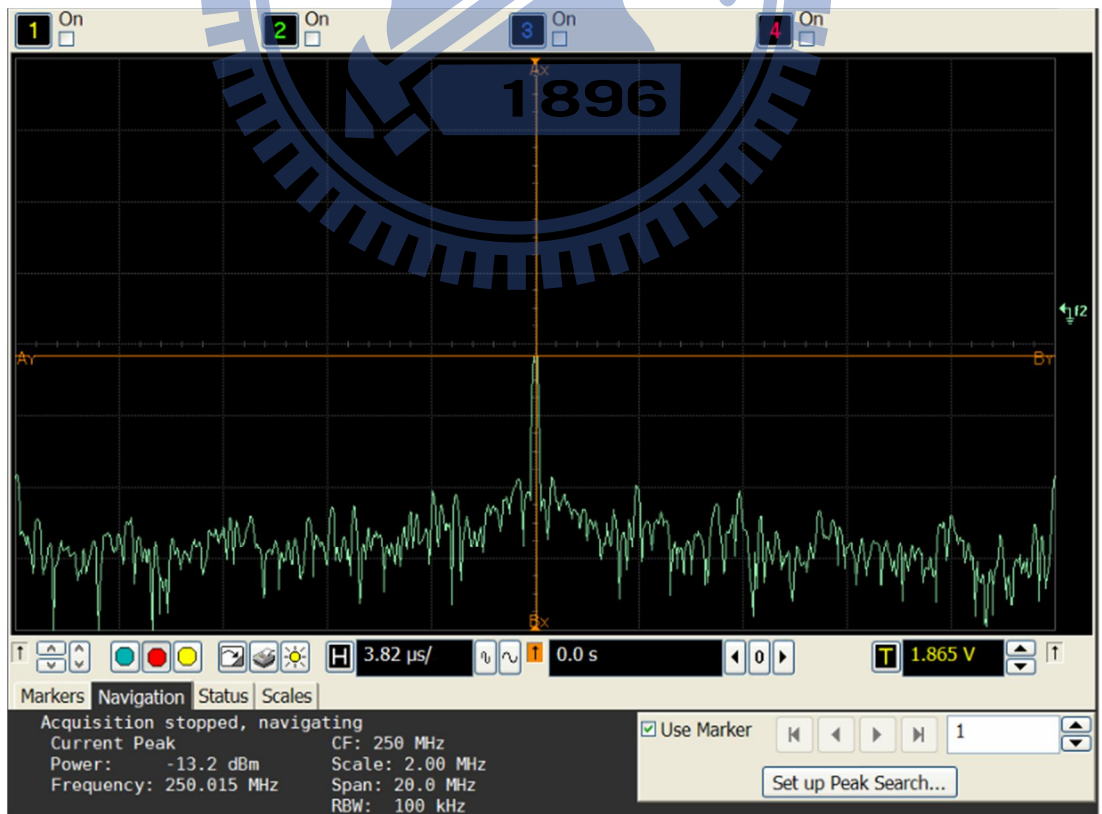


圖 3-15 250MHz 的電流成份

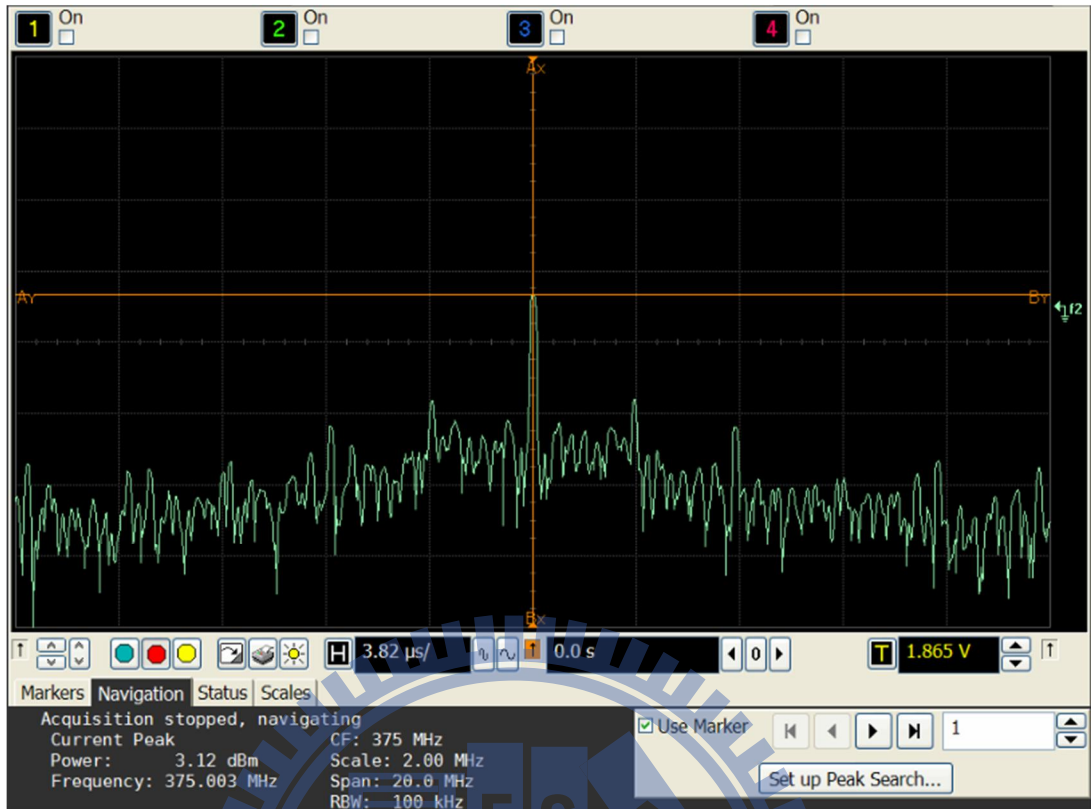


圖 3-16 375MHz 的電流成份

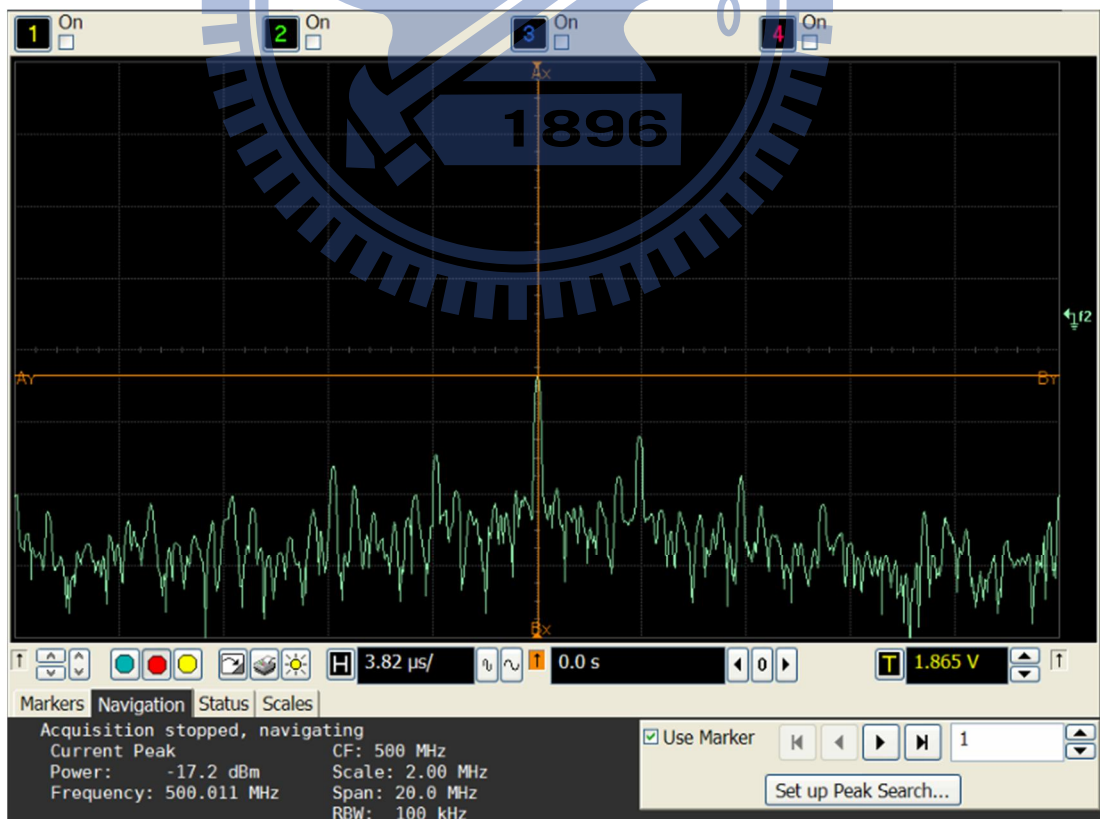


圖 3-17 500MHz 的電流成份

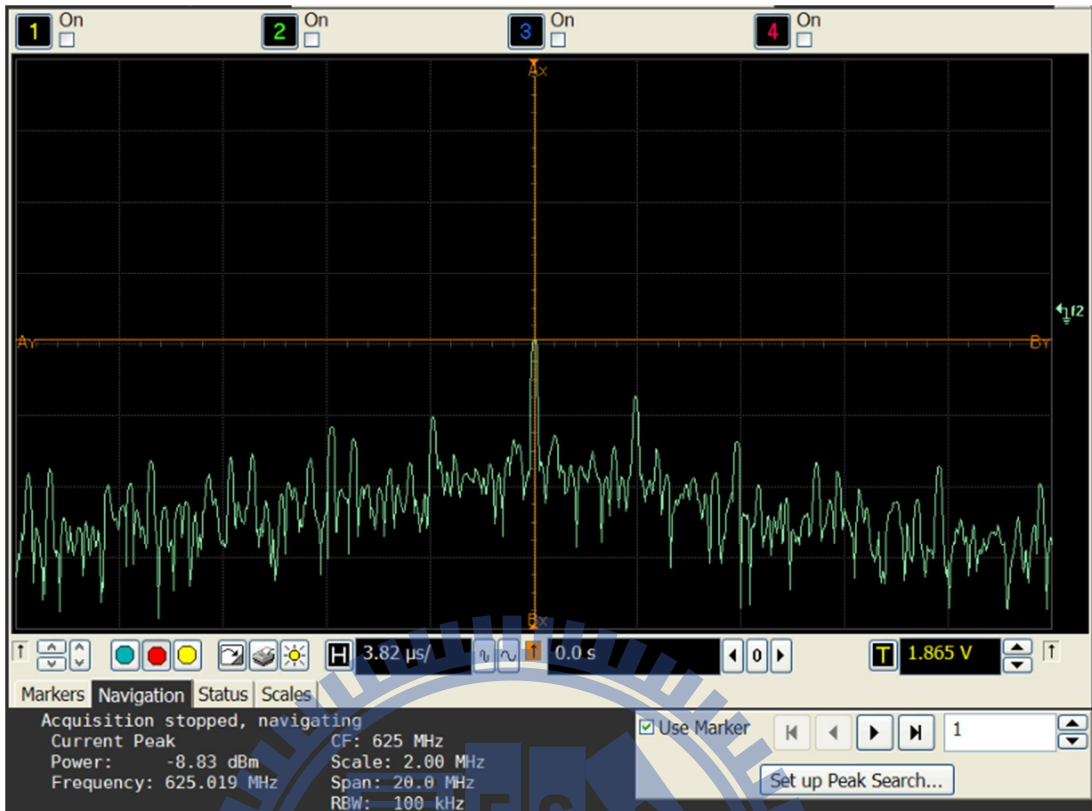


圖 3-18 625MHz 的電流成份

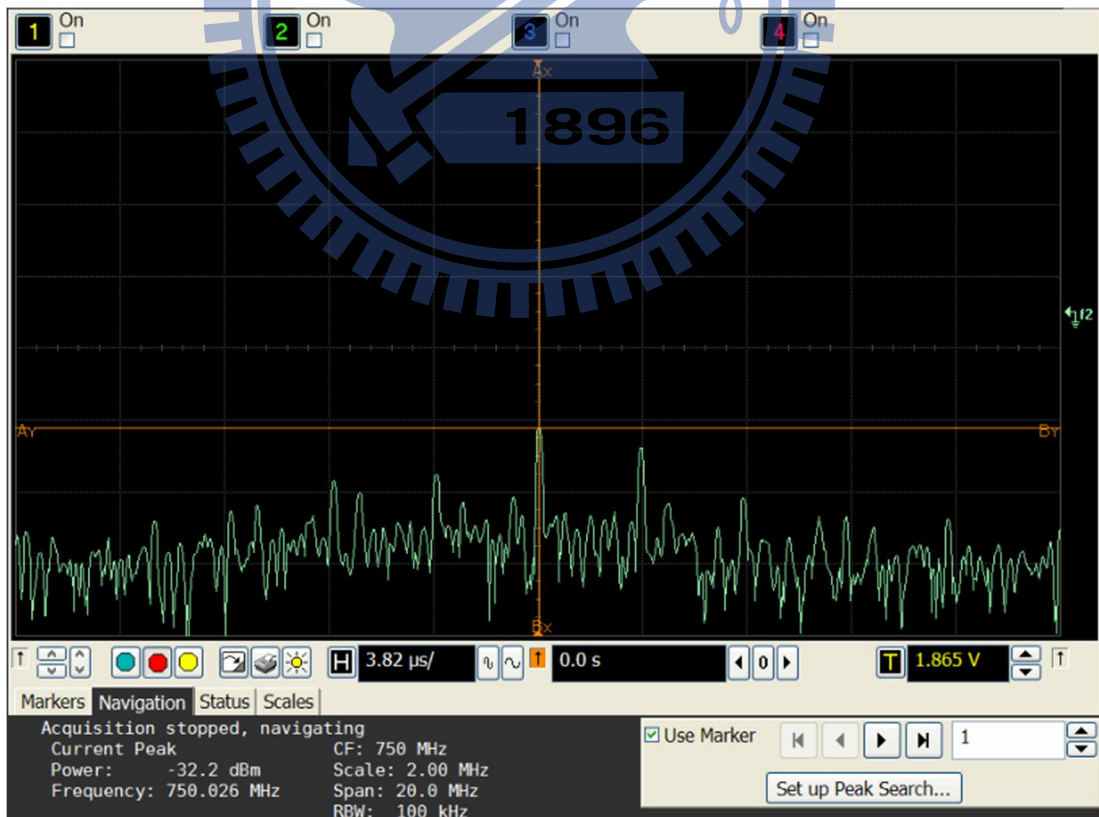


圖 3-19 750MHz 的電流成份

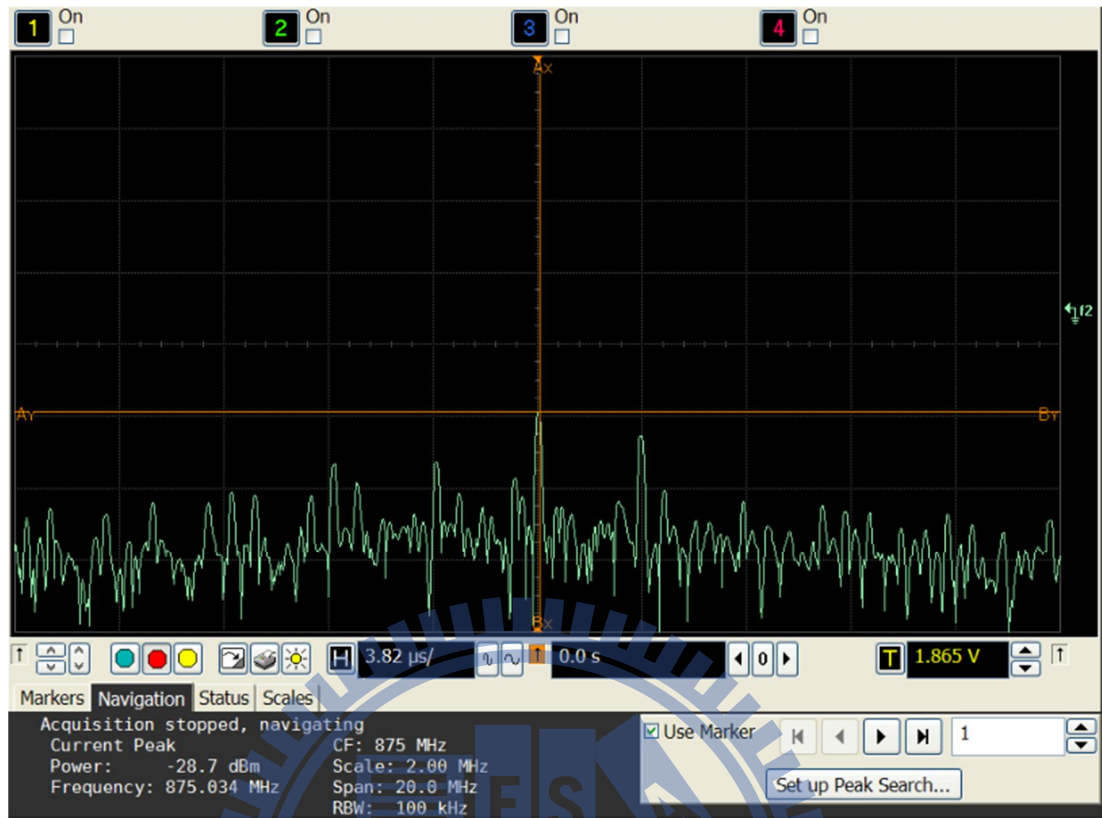


圖 3-20 875MHz 的電流成份

3.5 Clock 展頻的訊號頻譜分佈量測實驗

使用近場測試探棒來量測 PCBA 上 125MHz clock 輻射出來的能量大小如圖 3-21，圖 3-22 則為啟動 SSC 功能的量測結果。結果顯示當有 SSC 時，125MHz 的峰值大小由原來的 -29.78 dBm 降至 -45.57dBm，這是由於集中在 125MHz 的能量已經被平均分攤到 122~125MHz 之間。

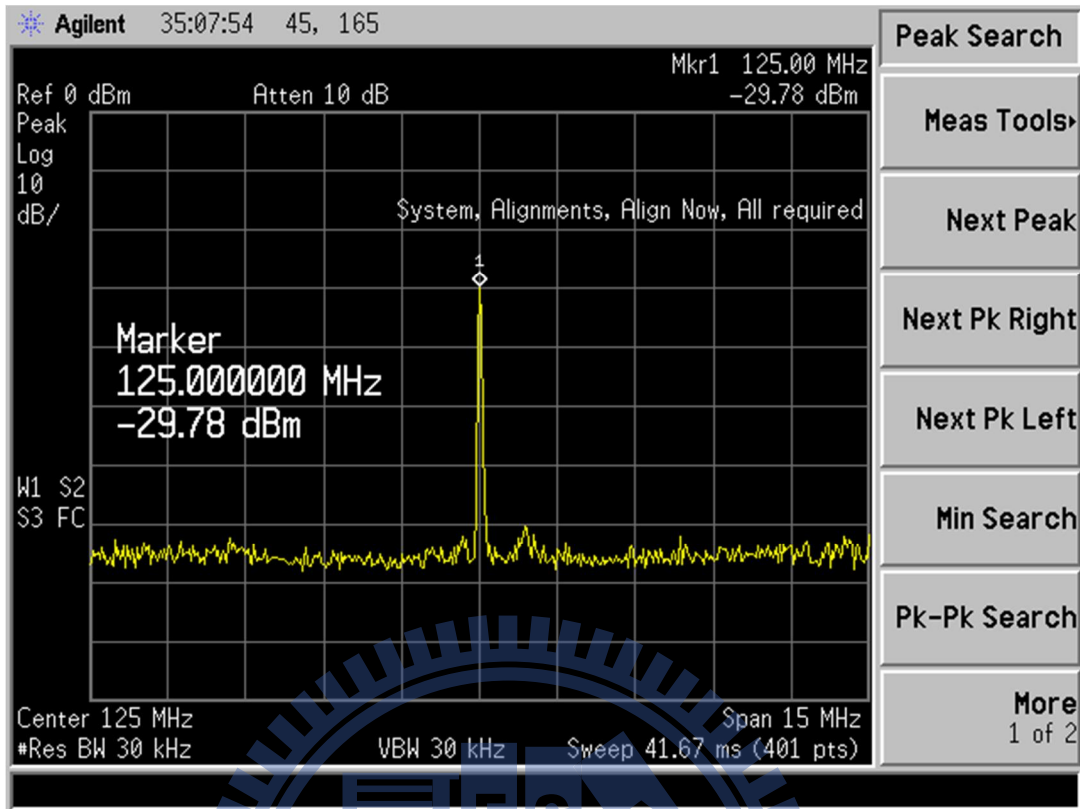


圖 3-21 Disable SSC 時量測到的 125MHz 輻射

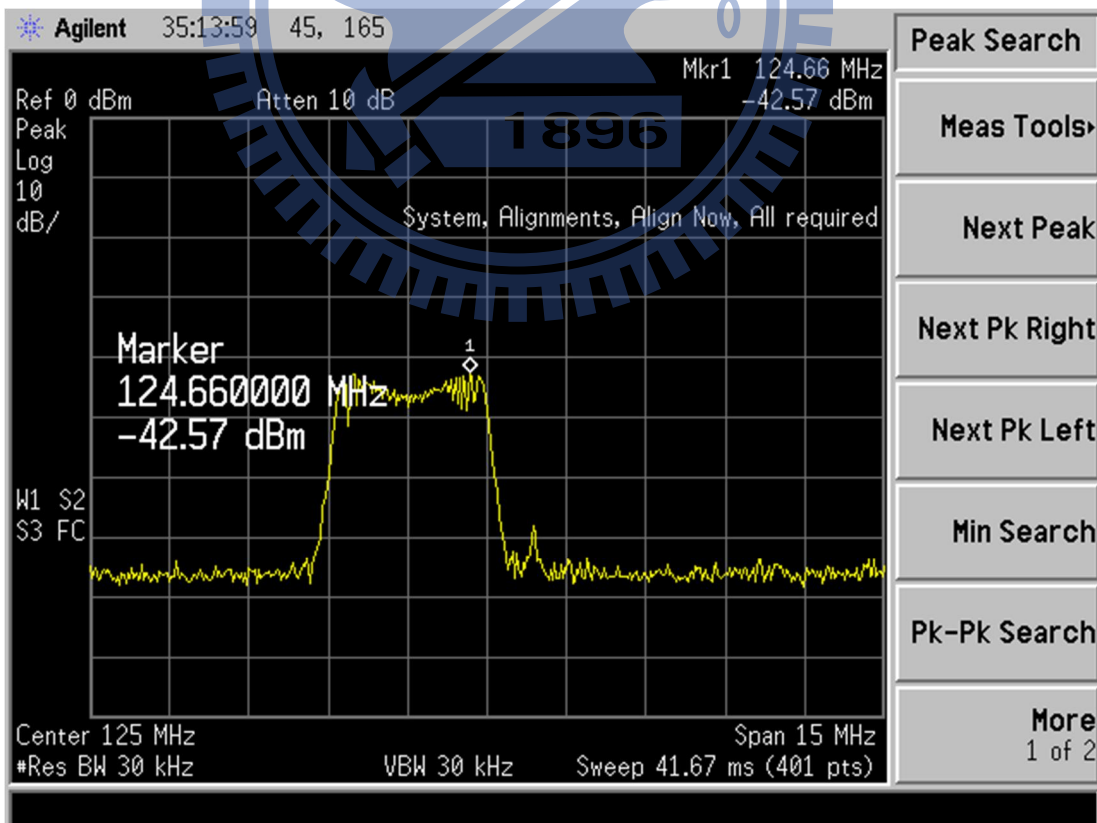


圖 3-22 Enable SSC 時量測到的 125MHz 輻射

圖 3-23 及 3-24 為使用 SSC 時，EMI 的量測結果，其與初始值(即 SSC disabled)的比較如表 3-1 及 3-2。

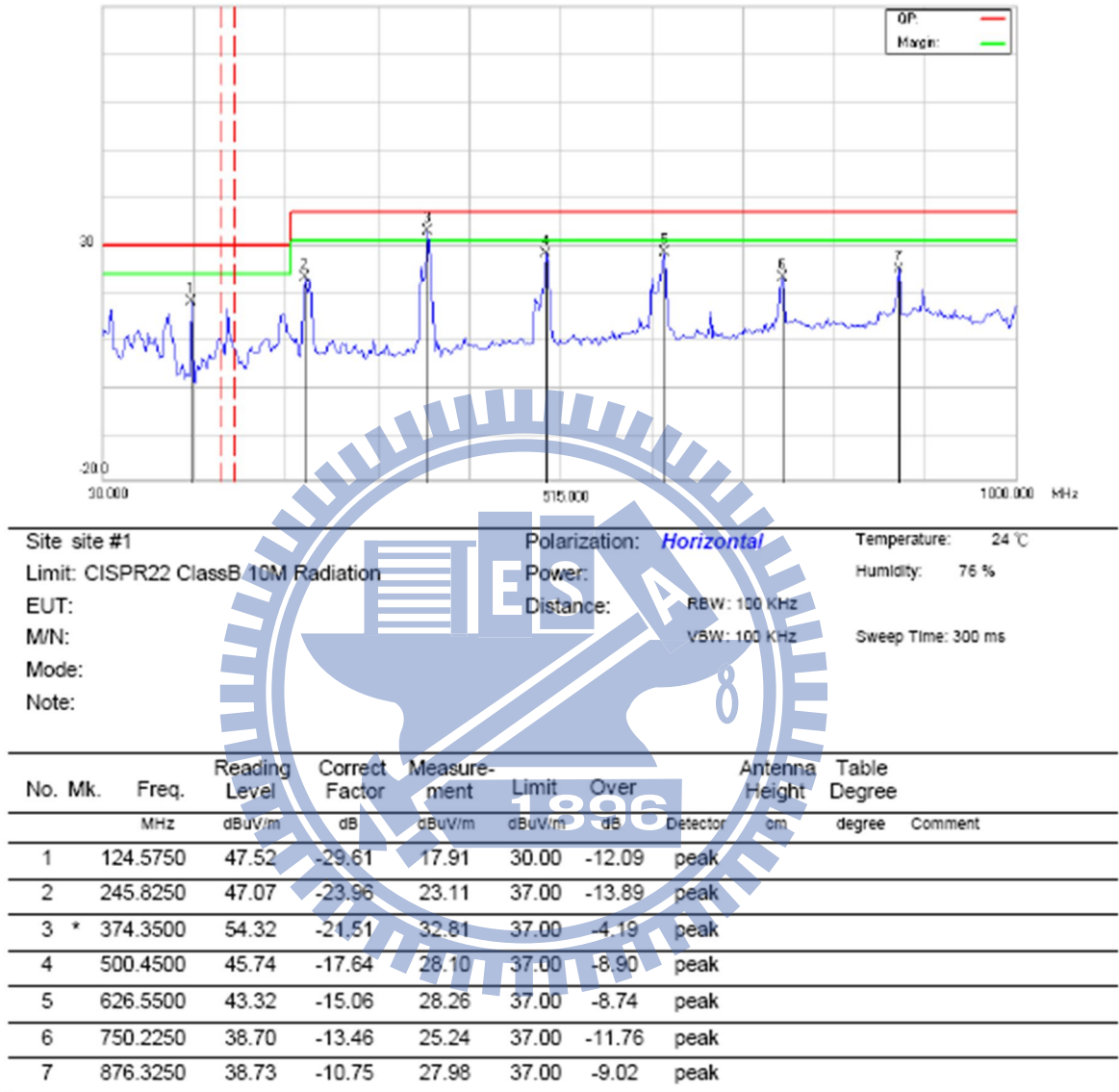


圖 3-23 SSC EMI 水平極化量測結果

	Vertical(dB)						
Condition	125MHz	250MHz	375MHz	500MHz	625MHz	750MHz	875MHz
Original	3.18	-5.97	0.59	-6.2	-3.96	-9.59	-9.1
Enable SSC	-10	-11.67	-6.18	-10.02	-8.76	-17.71	-12.52

表 3-2 初始值與使用 SSC 的垂直極化測試結果比較

表 3-1 和 3-2 顯示 SSC 對 EMI 的抑制效果在低階諧波較好，但高階諧波則不顯著。這點與展頻理論並不一致。為進一步探討此現象，我們接著對 SSC 波形做 FFT 轉換，以瞭解展頻後各階諧波頻率附近訊號的實際頻譜分佈狀況，結果如圖 3-25~3-31 所示。

如圖 3-30 與 3-31 顯示在 750MHz 及 875MHz 高頻諧波的主要頻率旁邊還有一些 spike，此 Spike 比展頻後的能量來得大。而產生這一個 Noise spike 的原因是，如圖 3-12 所示，clock 波形信號因阻抗不匹配造成反射，此一 noise 的波形時間變化比 Clock 的週期還要短，能量出現在高頻中因而可能蓋掉 SSC 的高頻抑制效果。

如圖 3-32 及 3-33 所示，電壓波形的 overshoot 時間換算成頻率是 825MHz 的 noise，此高頻的 noise 也是造成展頻無法如預期得到效果，因此可以在 clock 的線路上並聯電容可以將此 overshoot 消除，在高頻的 EMI 應可以有效的抑制，這部分請參考 3.6 節。

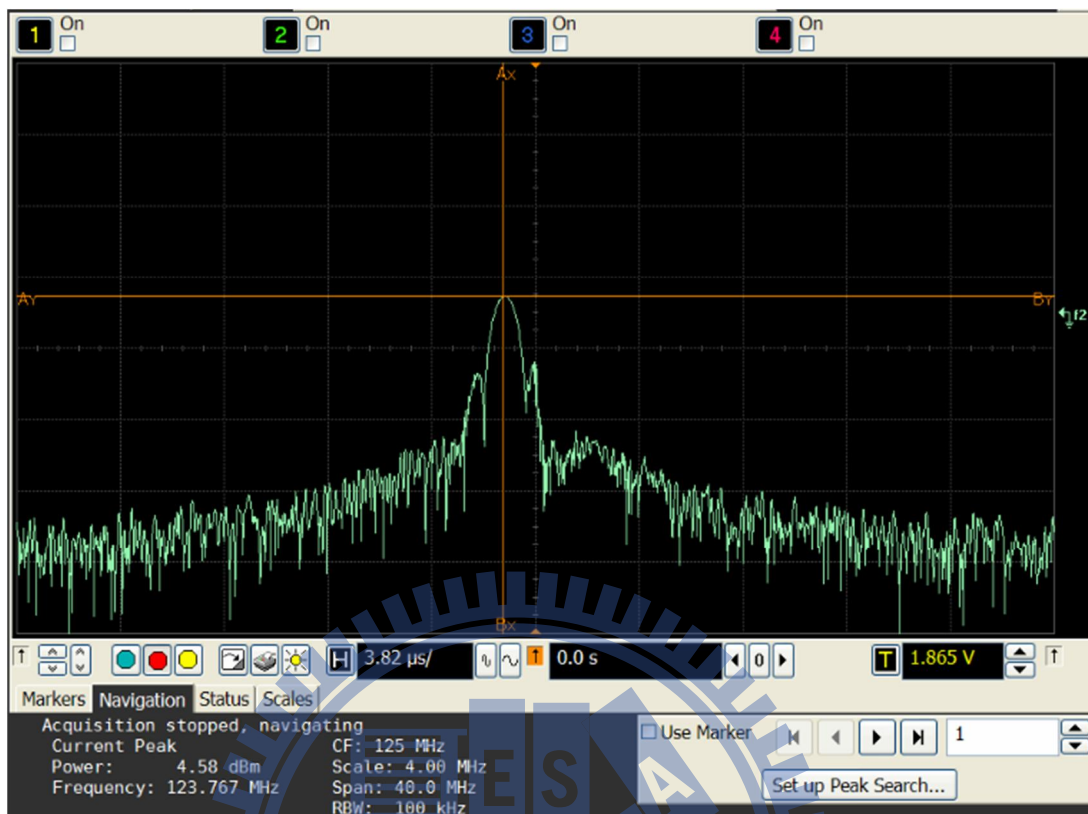


圖 3-25 展頻後 125MHz 的頻譜分佈

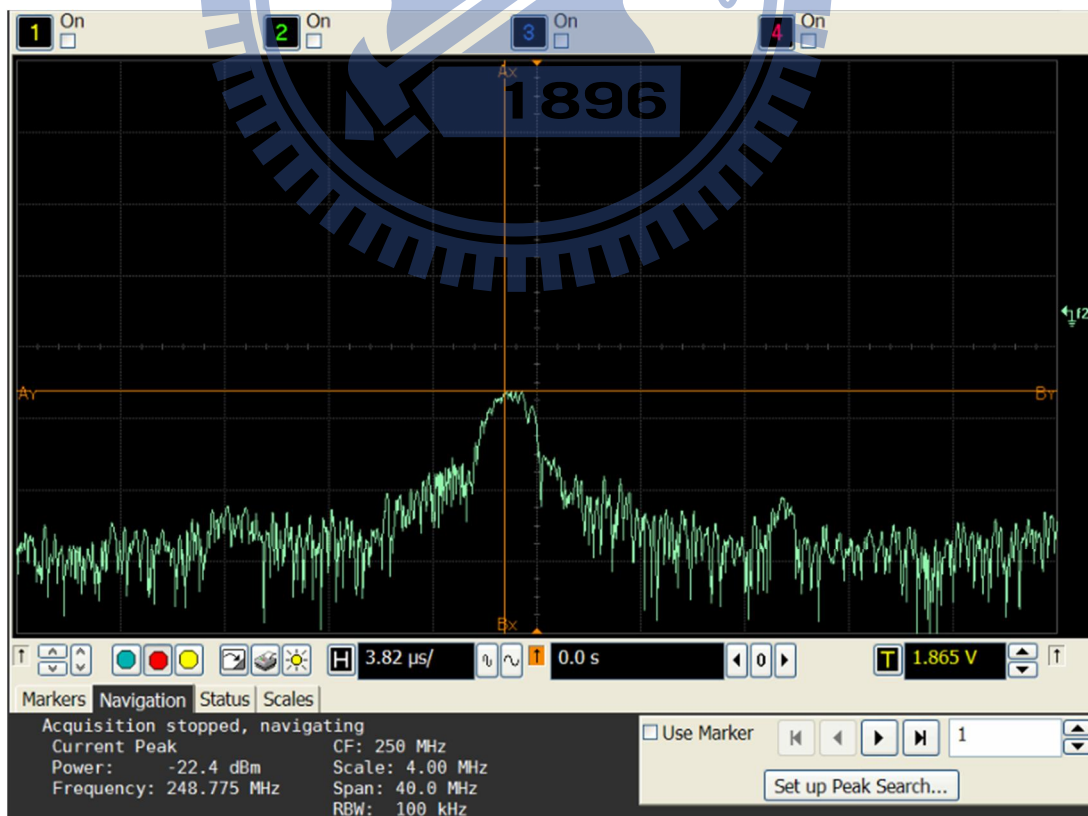


圖 3-26 展頻後 250MHz 的頻譜分佈

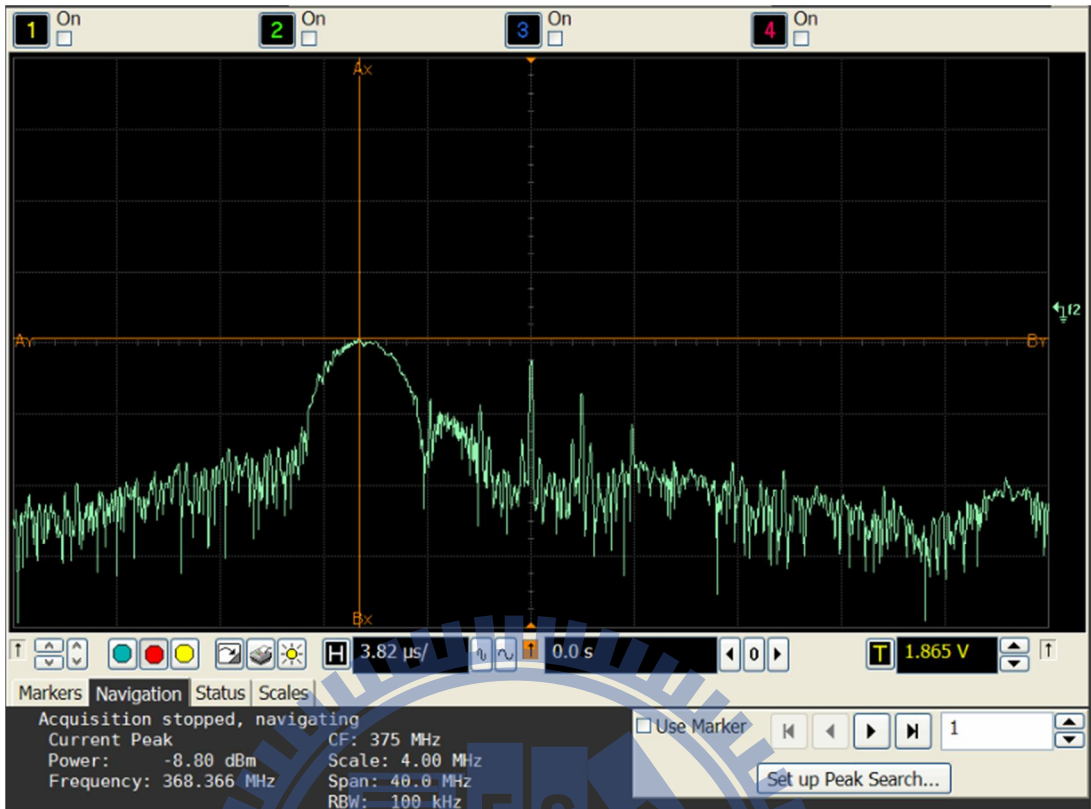


圖 3-27 展頻後 375MHz 的頻譜分佈

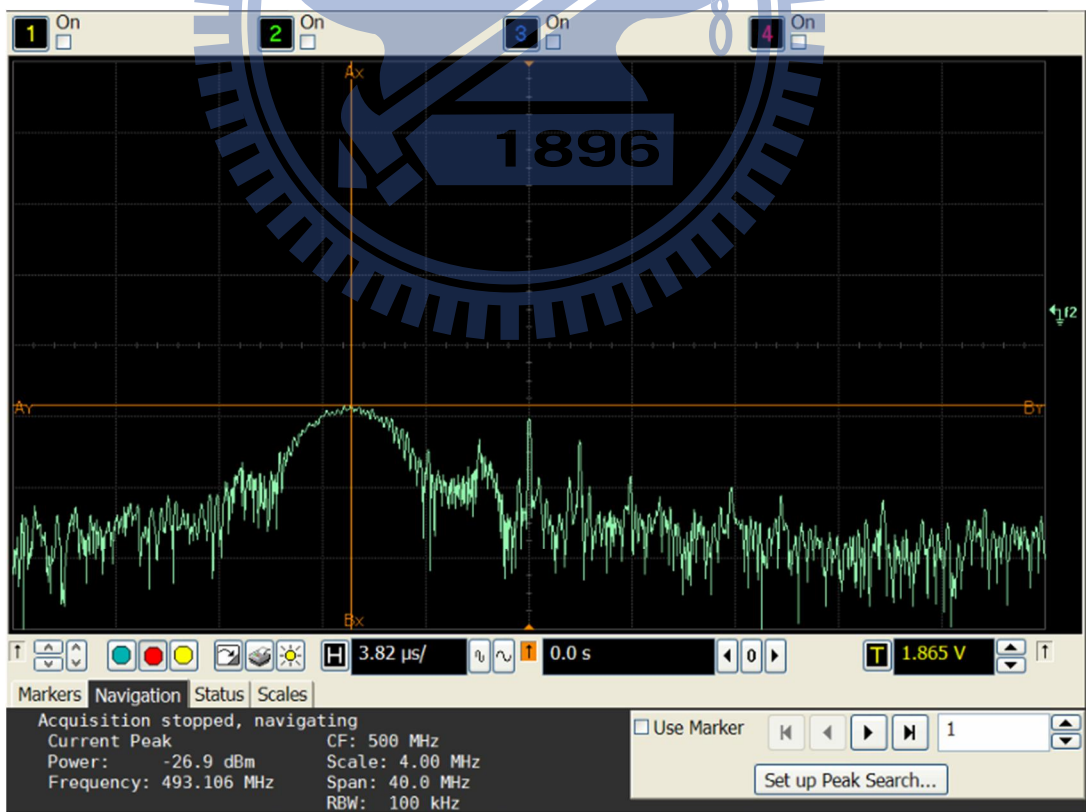


圖 3-28 展頻後 500MHz 的頻譜分佈

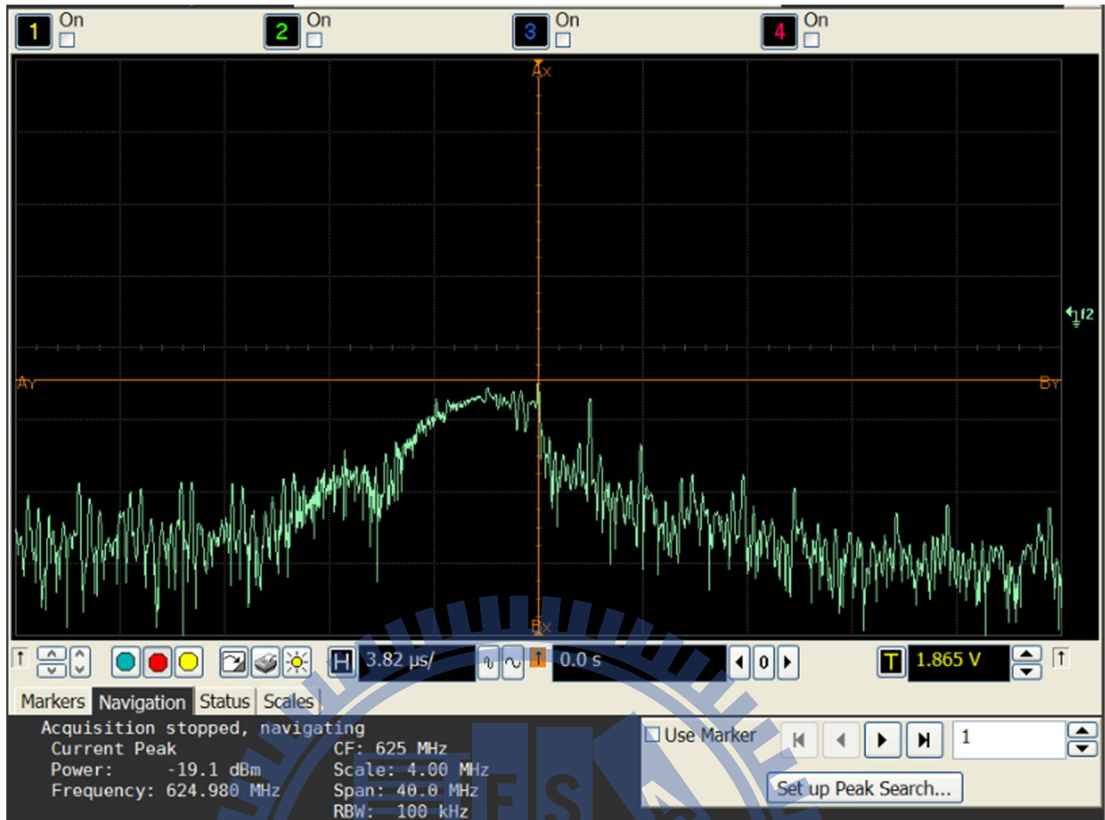


圖 3-29 展頻後 625MHz 的頻譜分佈

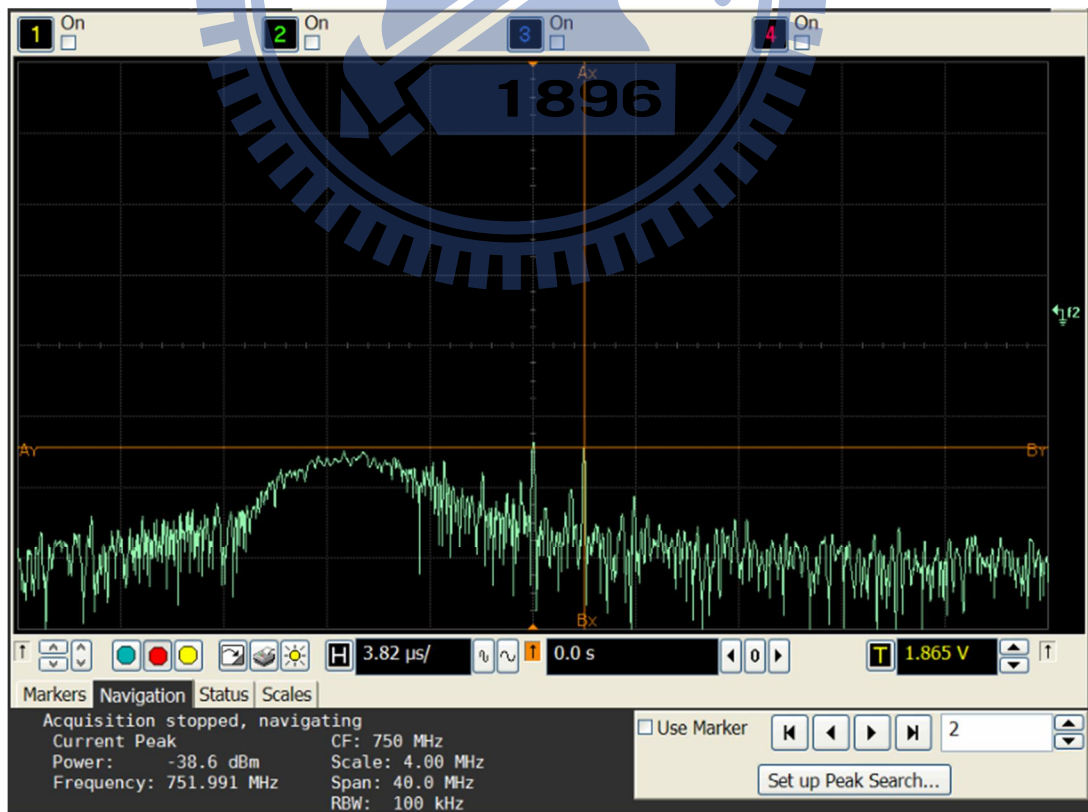


圖 3-30 展頻後 750MHz 的頻譜分佈

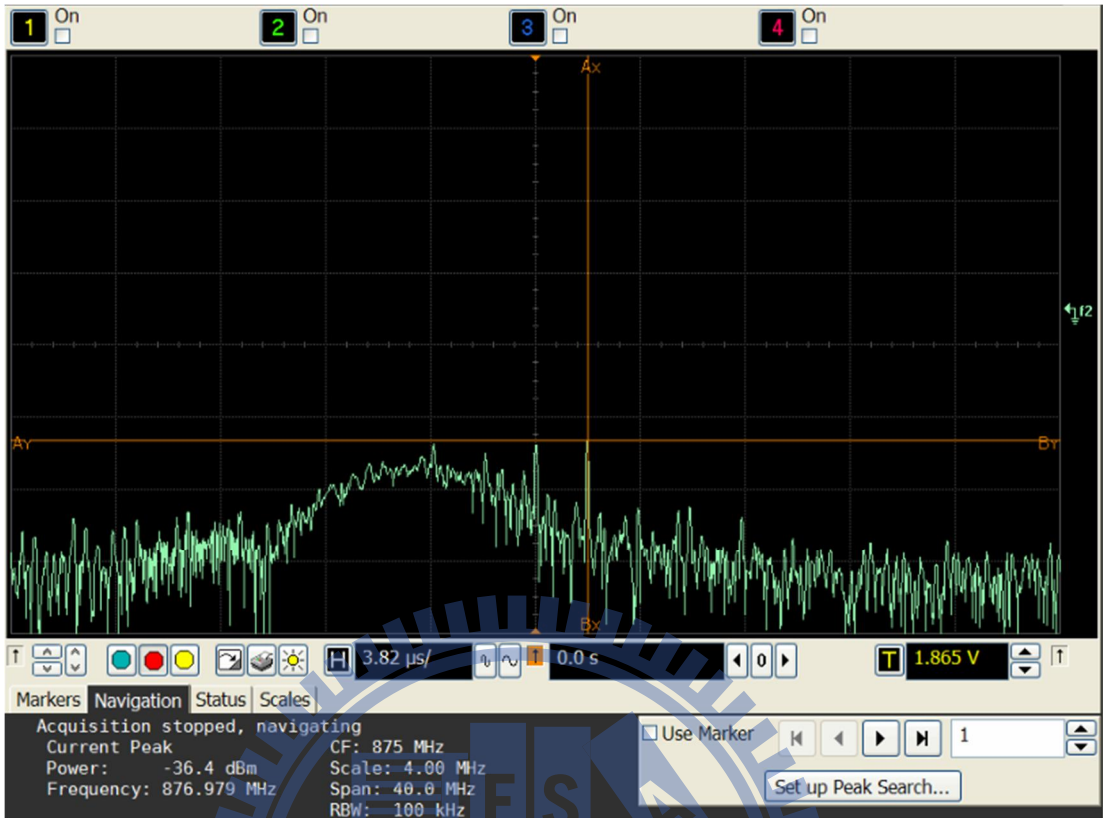


圖 3-31 展頻後 875MHz 的頻譜分佈

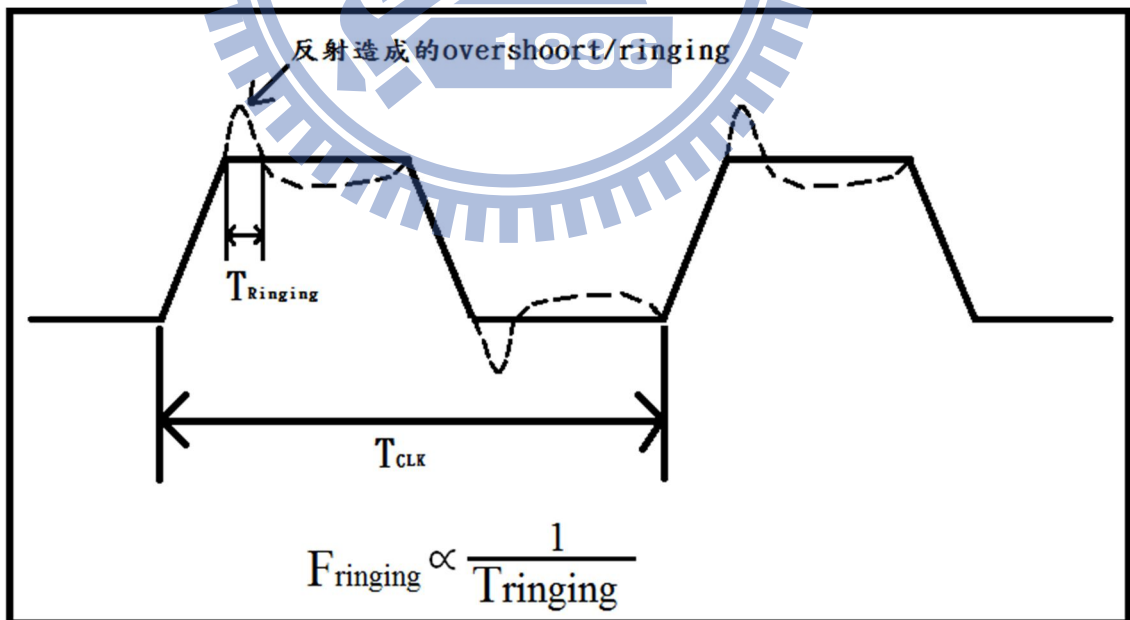


圖 3-32 overshoot 示意圖[7]

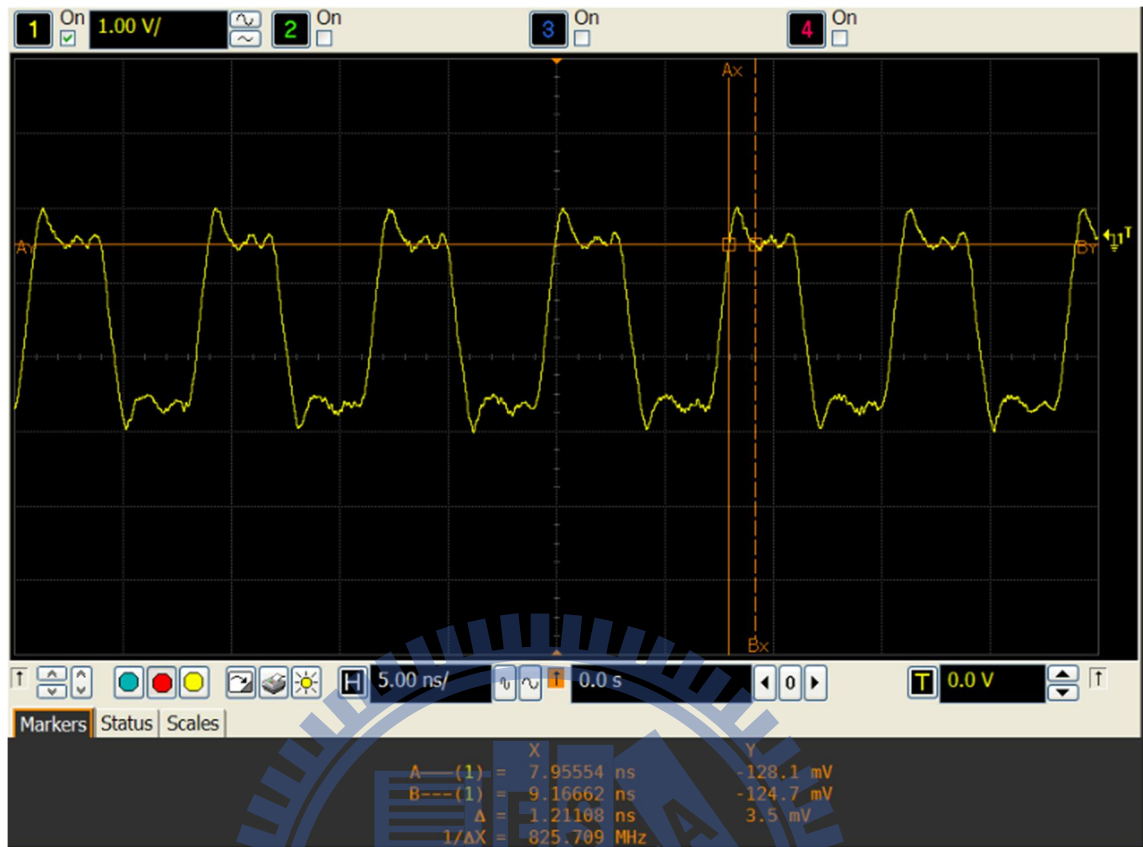


圖 3-33 電壓的 overshoot 波形

3.6 Clock slew rate 控制實驗

針對 Clock 加入 slew rate 控制來進行實驗測試，以測試所得到的數據來進行差異比較，以分析當 Clock 的上升/下降斜率變緩時對於基頻 125MHz 及諧波的 EMI 影響及改善效果。

3.6.1 實驗步驟

於待測物、測試配置、測試週邊及測試條件...等皆相同的條件下針對 125MHz 的 Clock 並聯一個 10pF 的電容到 GND，量測 Clock 有無 10pF 電容到 GND 時的 slew rate 差異進行測試，如圖 3-34 與 3-35 所示[1][8]。

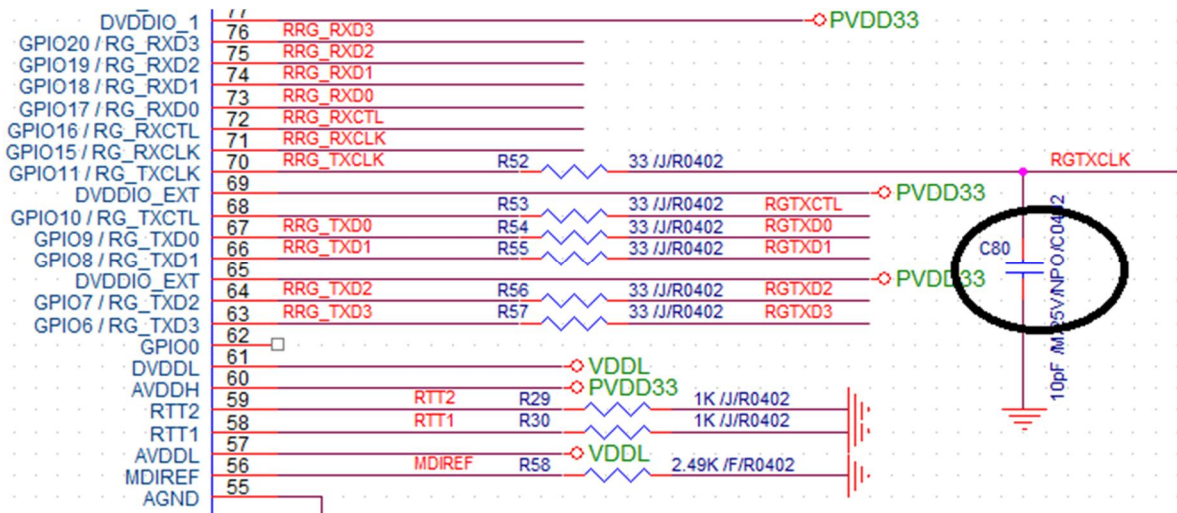


圖 3-34 Clock 並聯 10pF 的電容到 GND 的電路圖[1]

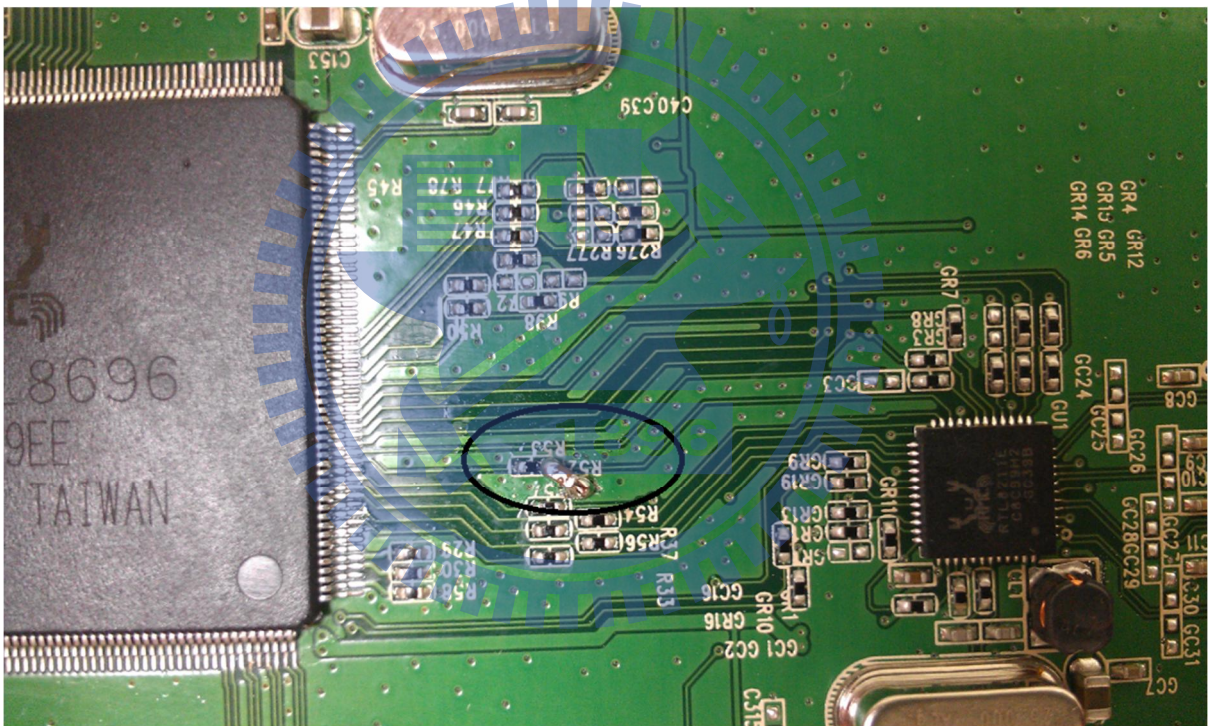


圖 3-35 Clock 並聯 10pF 的電容到 GND 的 PCBA 位置圖[1]

3.6.2 Clock slew rate 實驗結果

量測 125MHz clock 的波形如圖 3-36 與圖 3-37 並聯 10pF 電容後的 clock 波形比較後可以看出上升斜率與下降斜率明顯變緩，Clock 的上升緣也變的更圓滑；兩者 slew rate 斜率比較可見於表 3-3。

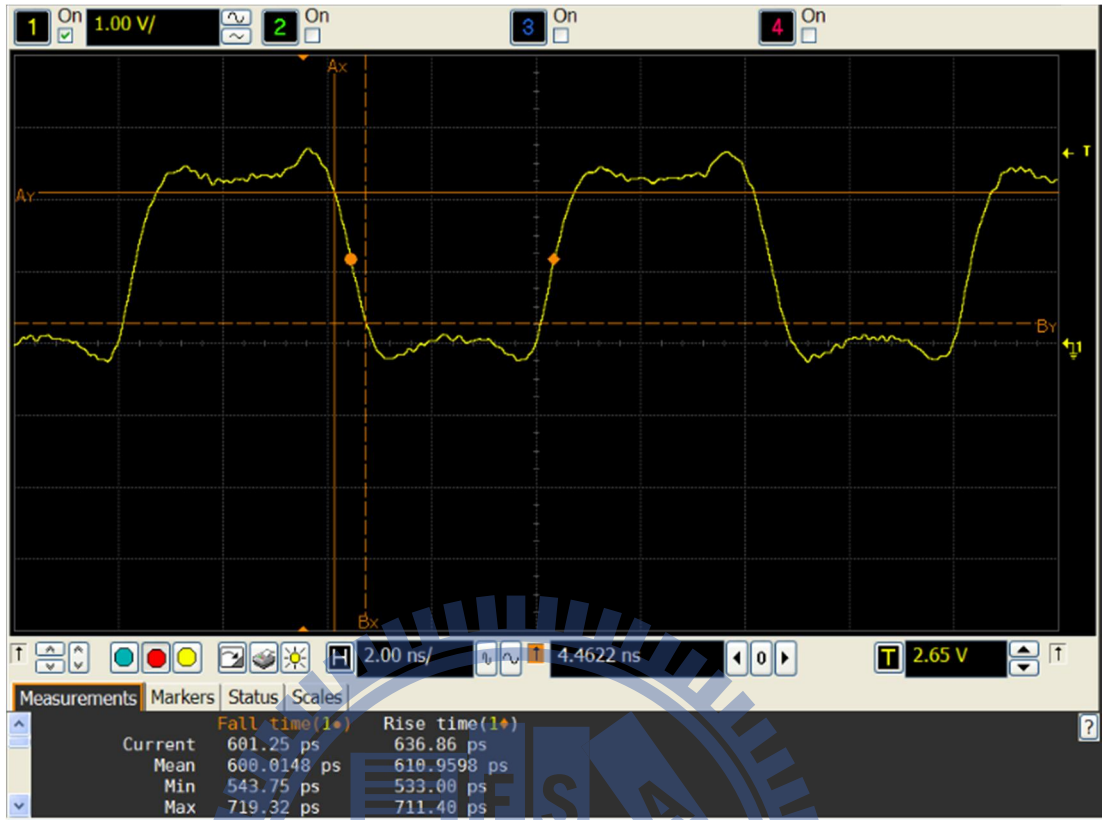


圖 3-36 125MHz clock 波形

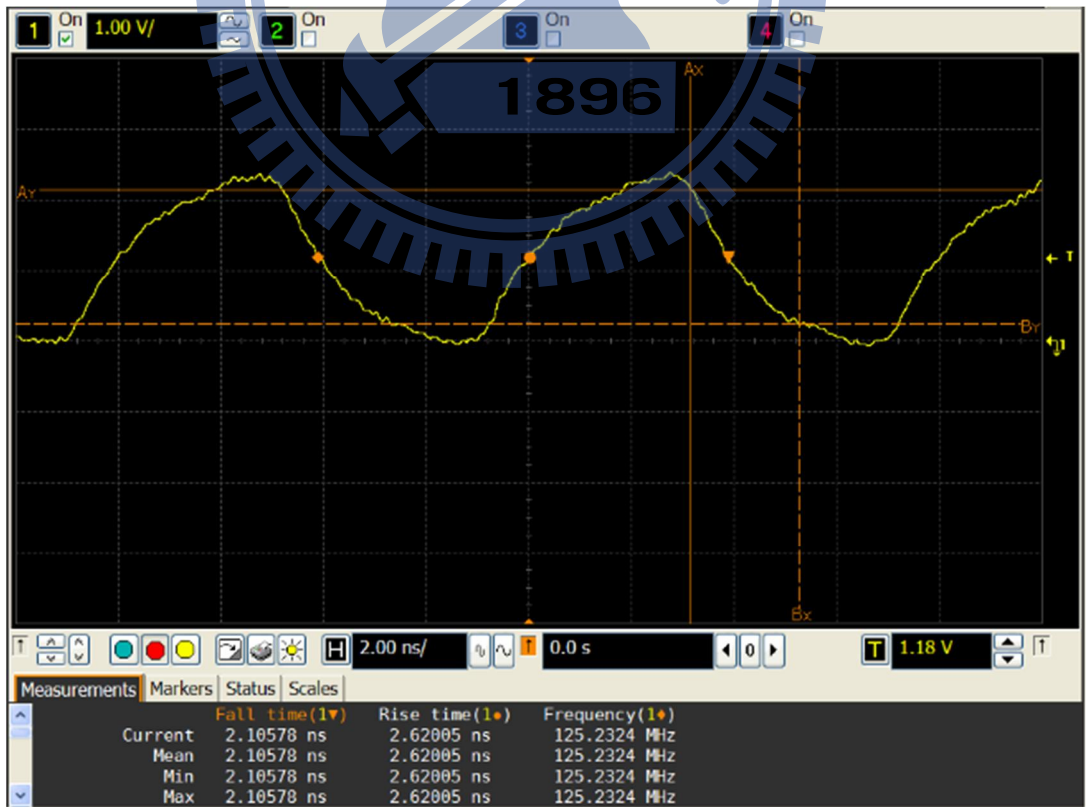


圖 3-37 並聯 10pF 電容後 125MHz clock 波形

	Rise Time	Fall Time
未修改前 Clock	610.9598ps	600.1048ps
Clock 並聯 10pF to GND	2.62005ns	2.10578ns

表 3-3 slew rate 比較表

以下是由圖 3-36 及 3-37 的波形轉換成 FFT 做比較，在 clock 並聯 10pF 後對於基頻 125MHz 及諧波由量測到的 Power 都變的比較小；圖 3-36 的 FFT 轉換結果如圖 3-38~3-44 所示，圖 3-37 FFT 轉換結果如圖 3-45~3-51 所示。

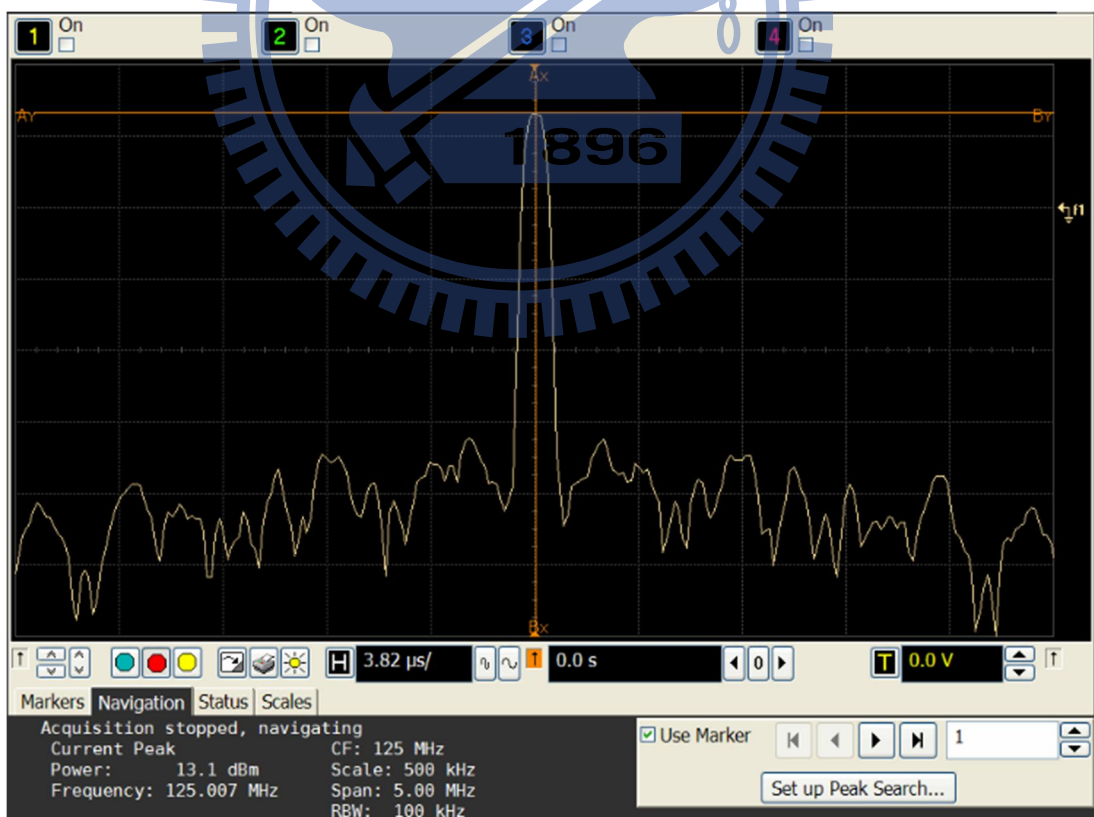


圖 3-38 未修改前 125MHz 電壓成份

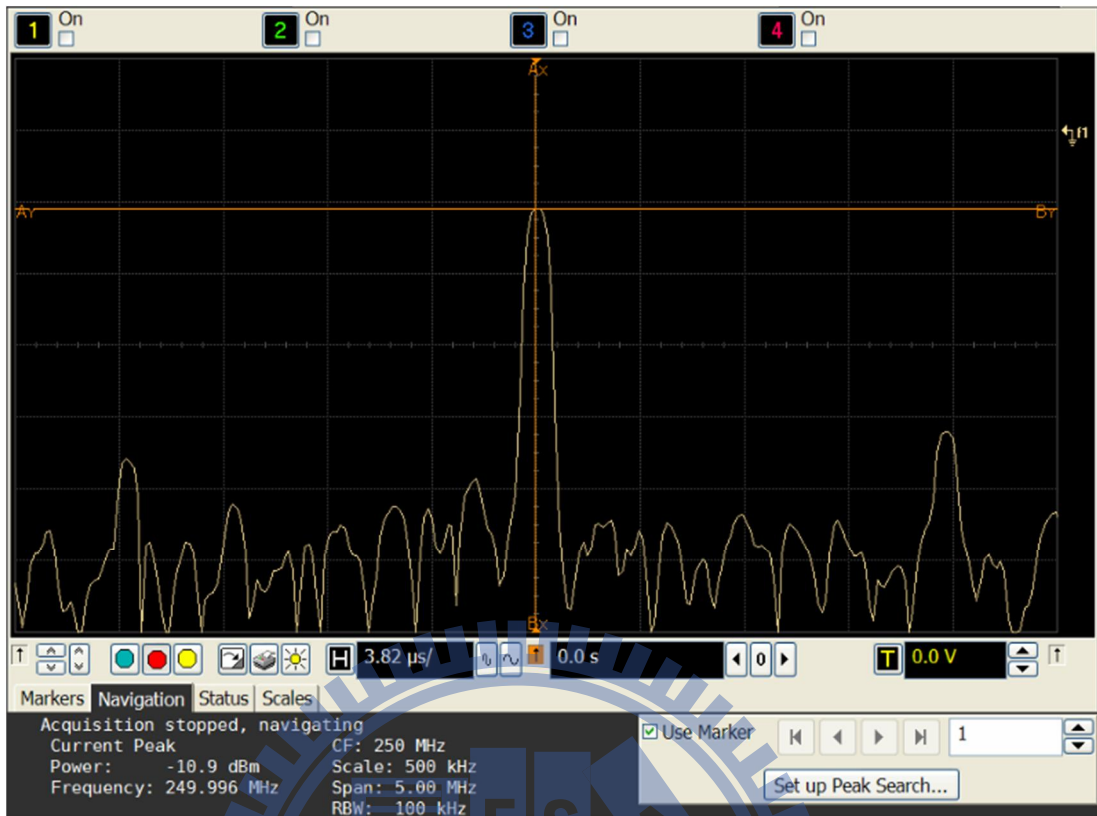


圖 3-39 未修改前 250MHz 電壓成份

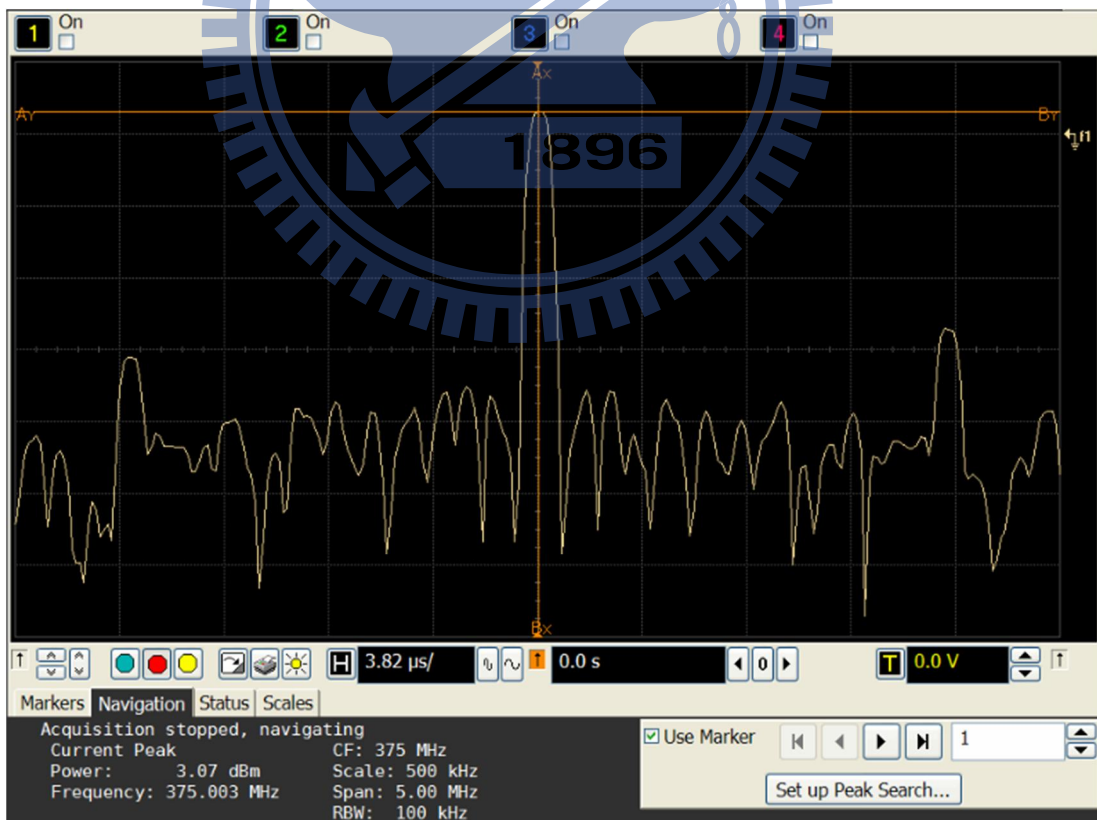


圖 3-40 未修改前 375MHz 電壓成份

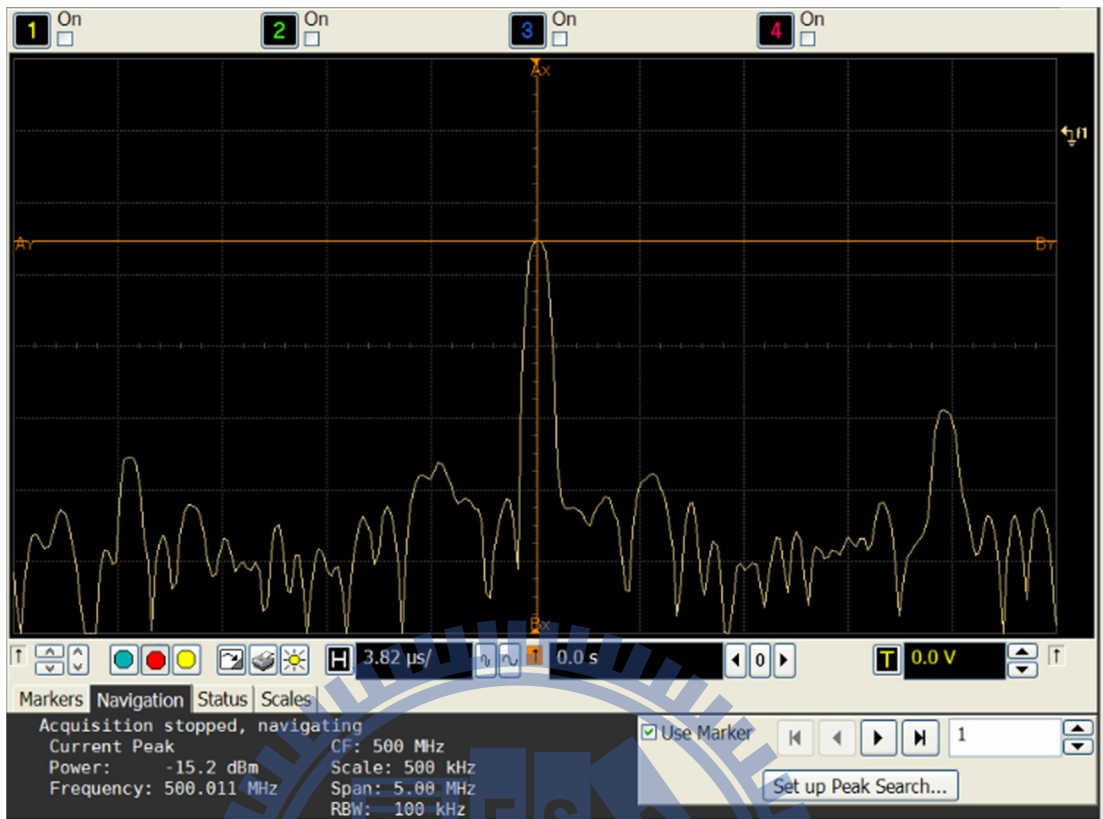


圖 3-41 未修改前 500MHz 電壓成份

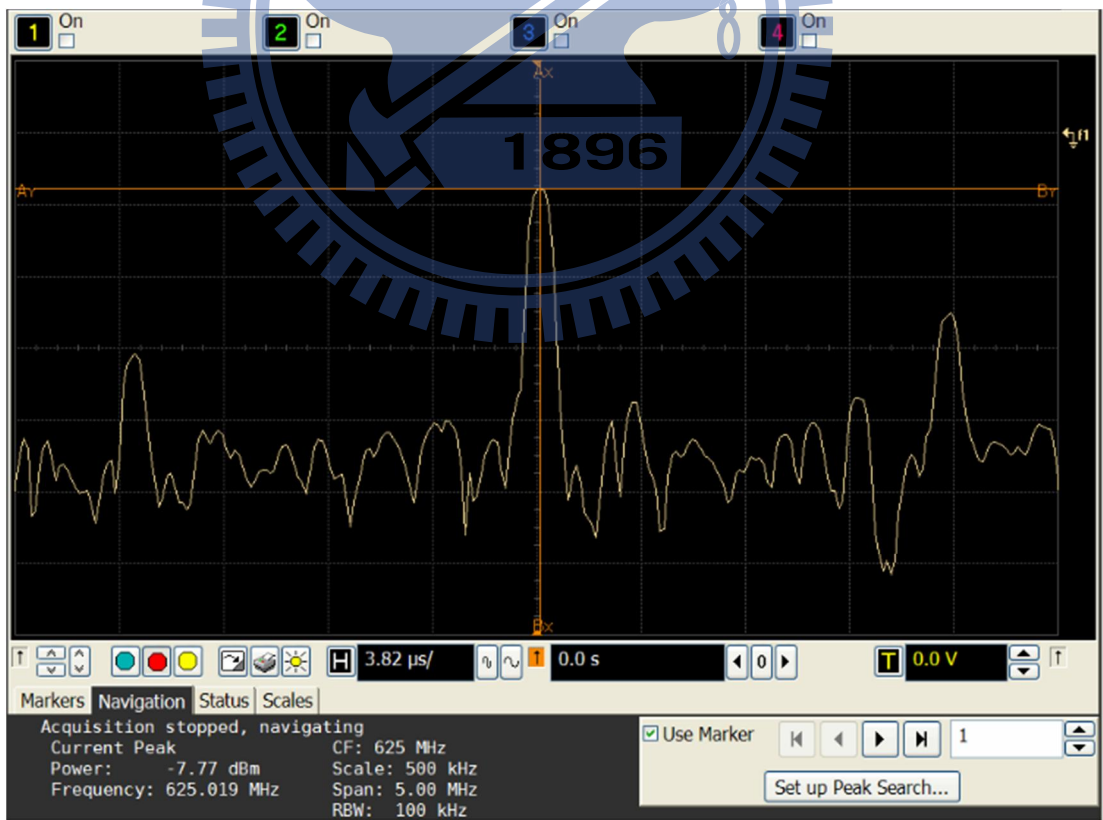


圖 3-42 未修改前 625MHz 電壓成份

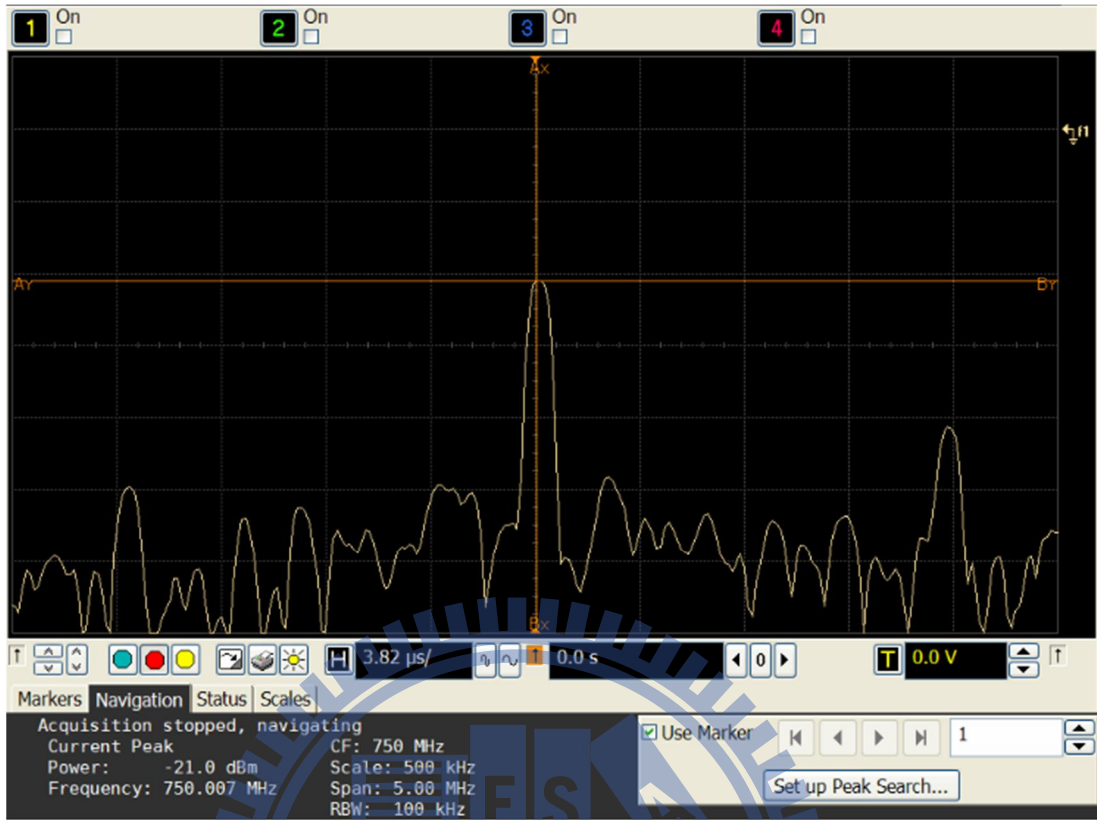


圖 3-43 未修改前 750MHz 電壓成份

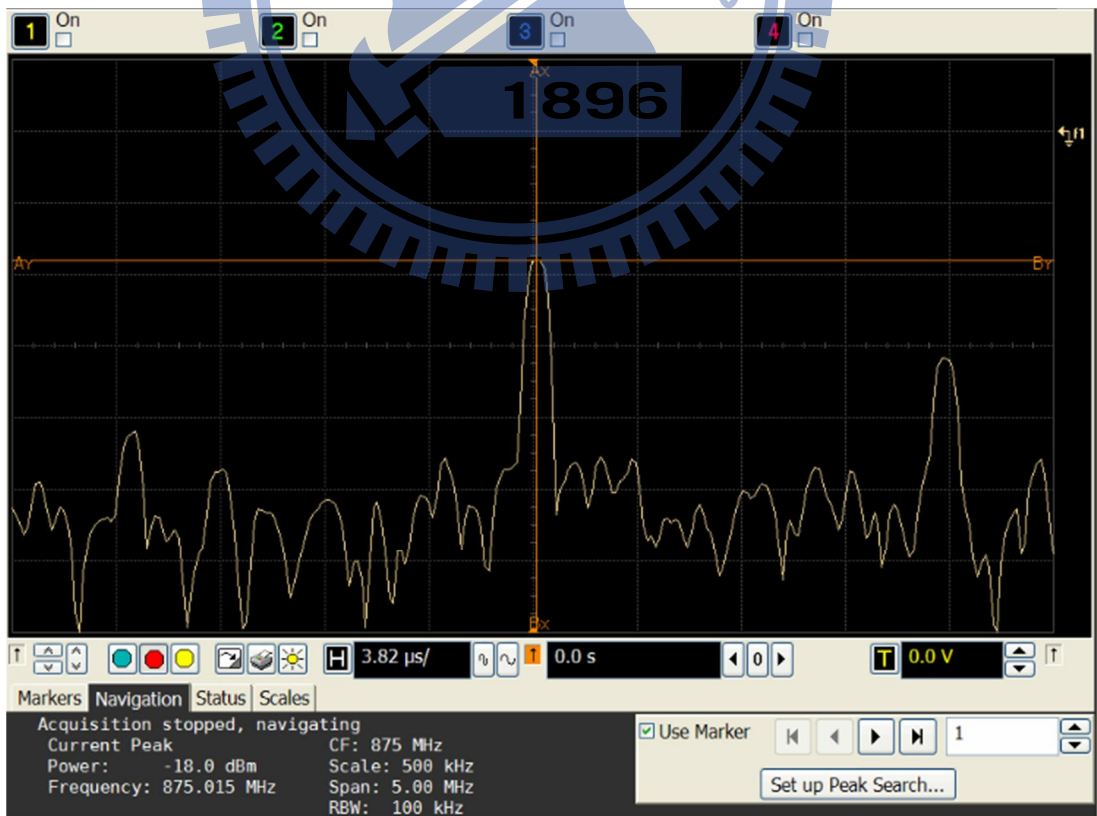


圖 3-44 未修改前 875MHz 電壓成份

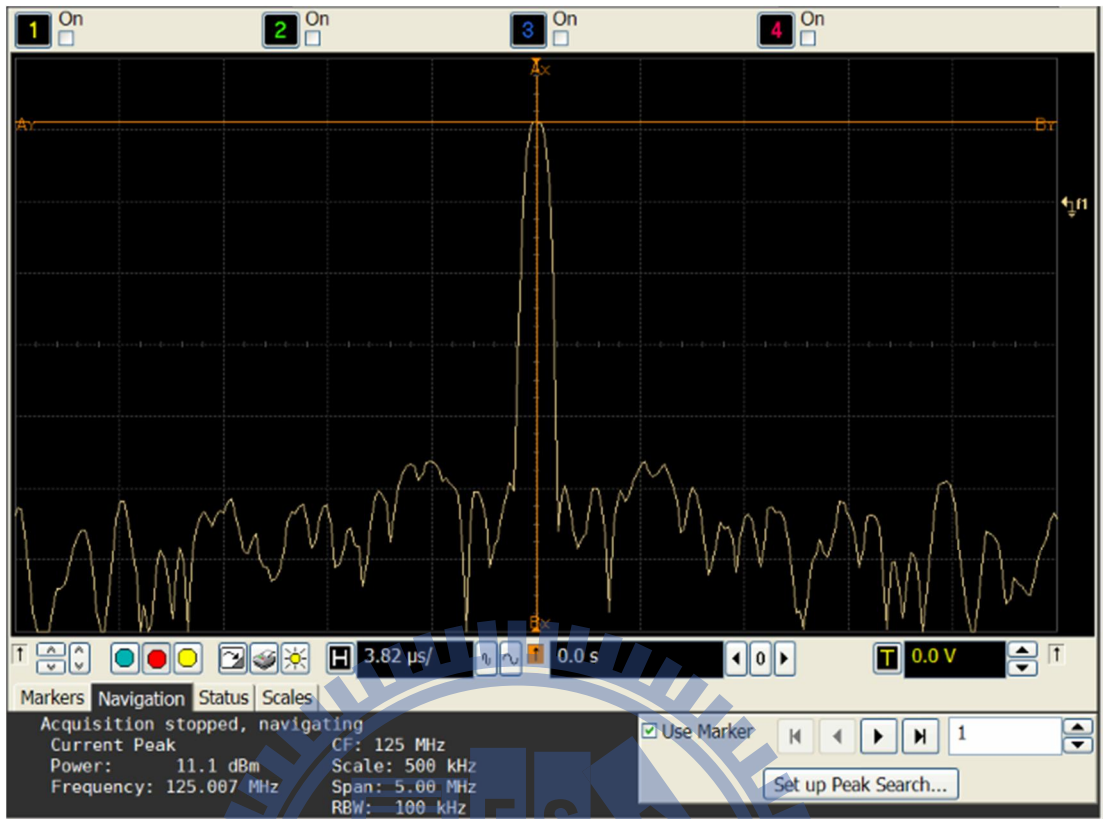


圖 3-45 控制 slew rate 後 125MHz 電壓成份

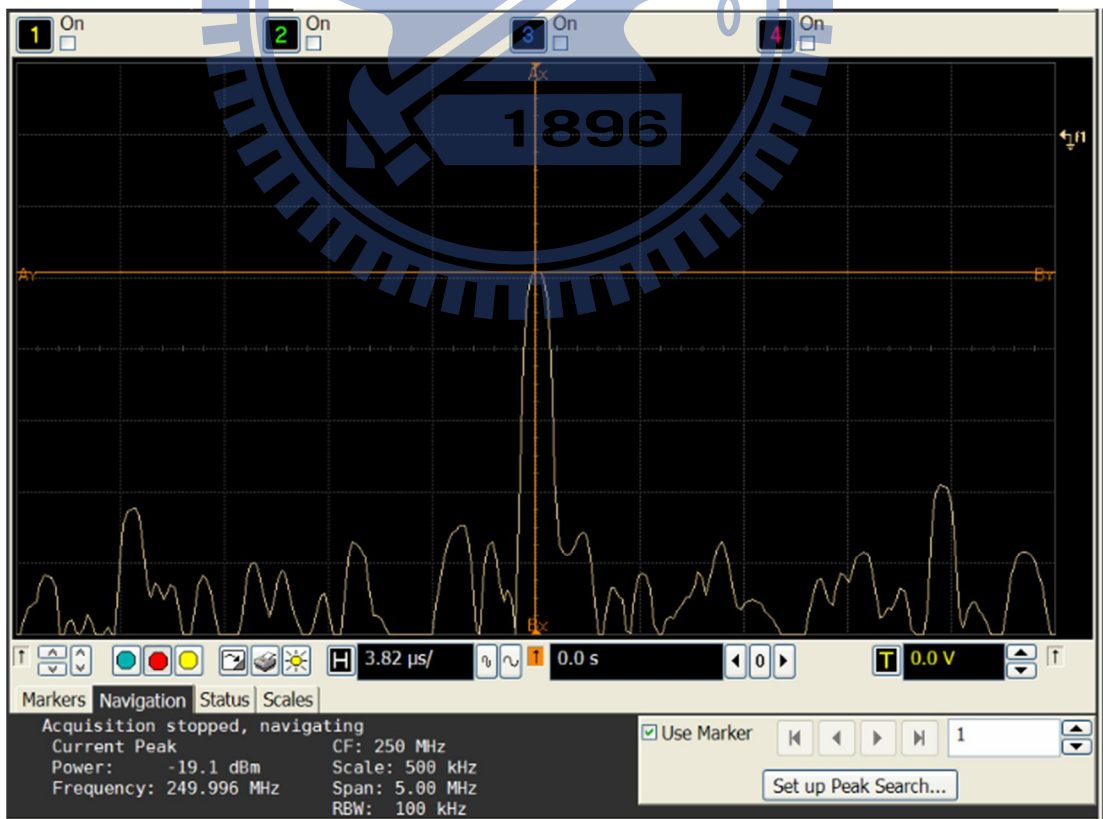


圖 3-46 控制 slew rate 後 250MHz 電壓成份

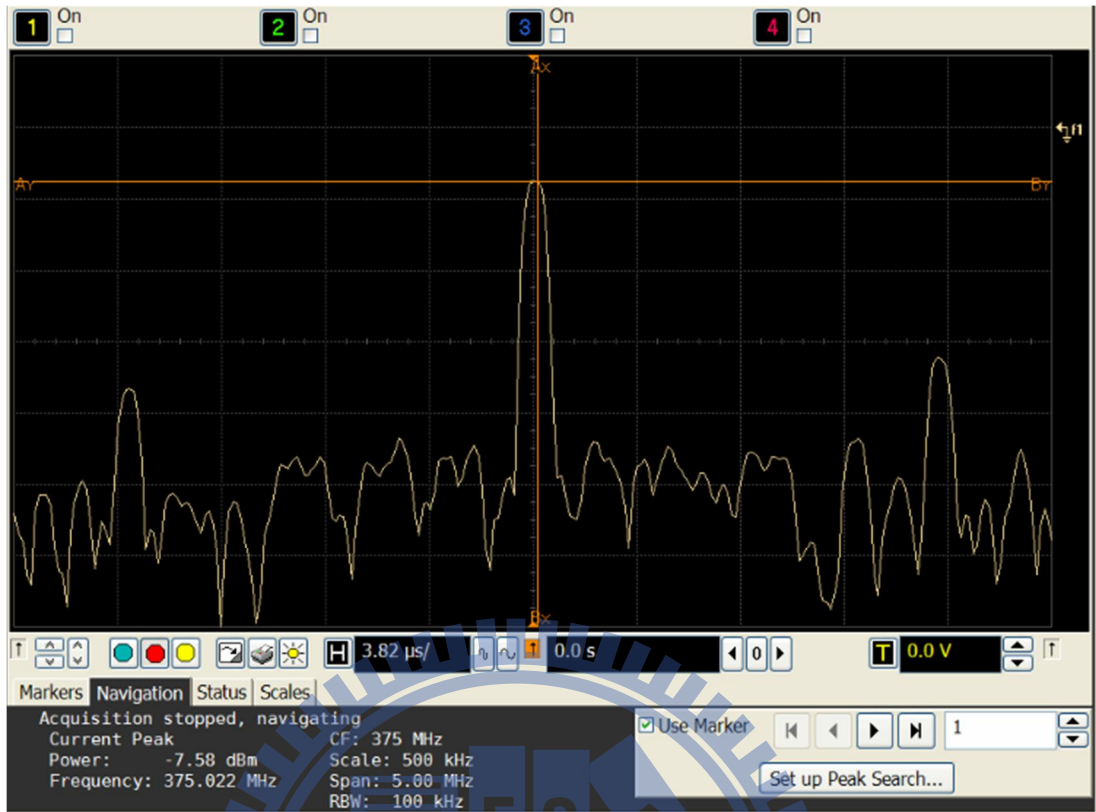


圖 3-47 控制 slew rate 後 375MHz 電壓成份

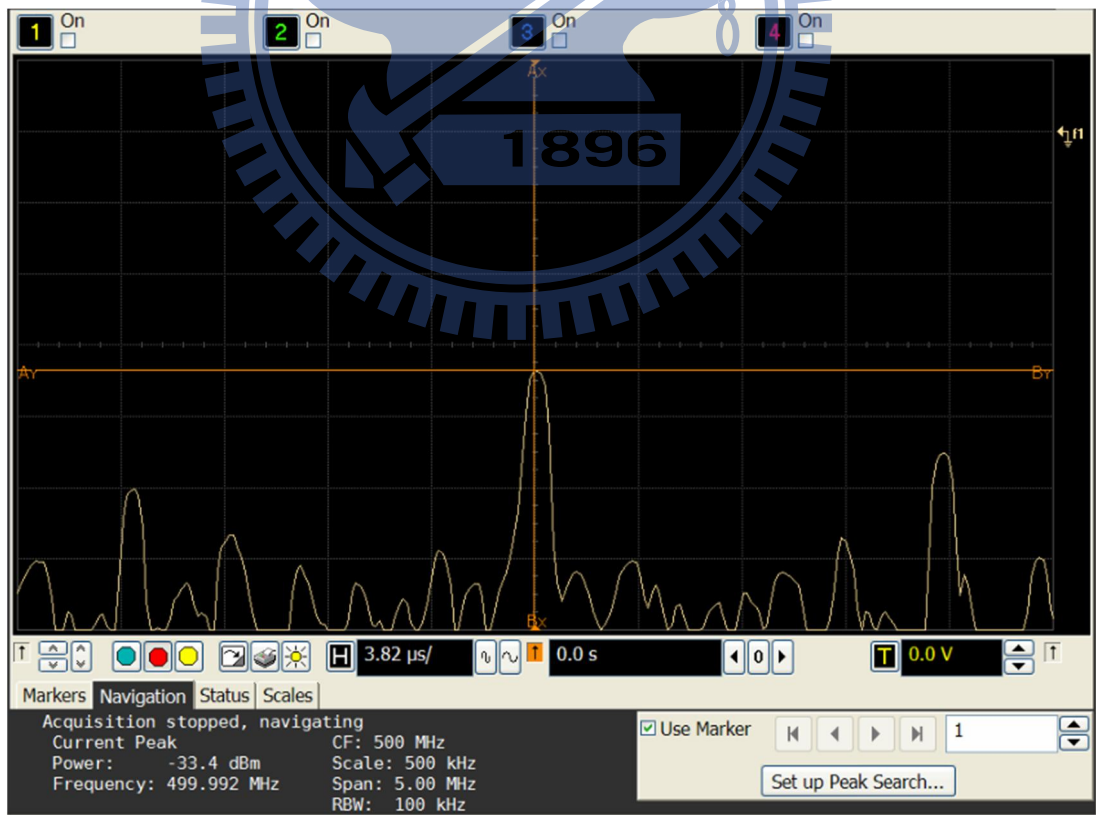


圖 3-48 控制 slew rate 後 500MHz 電壓成份

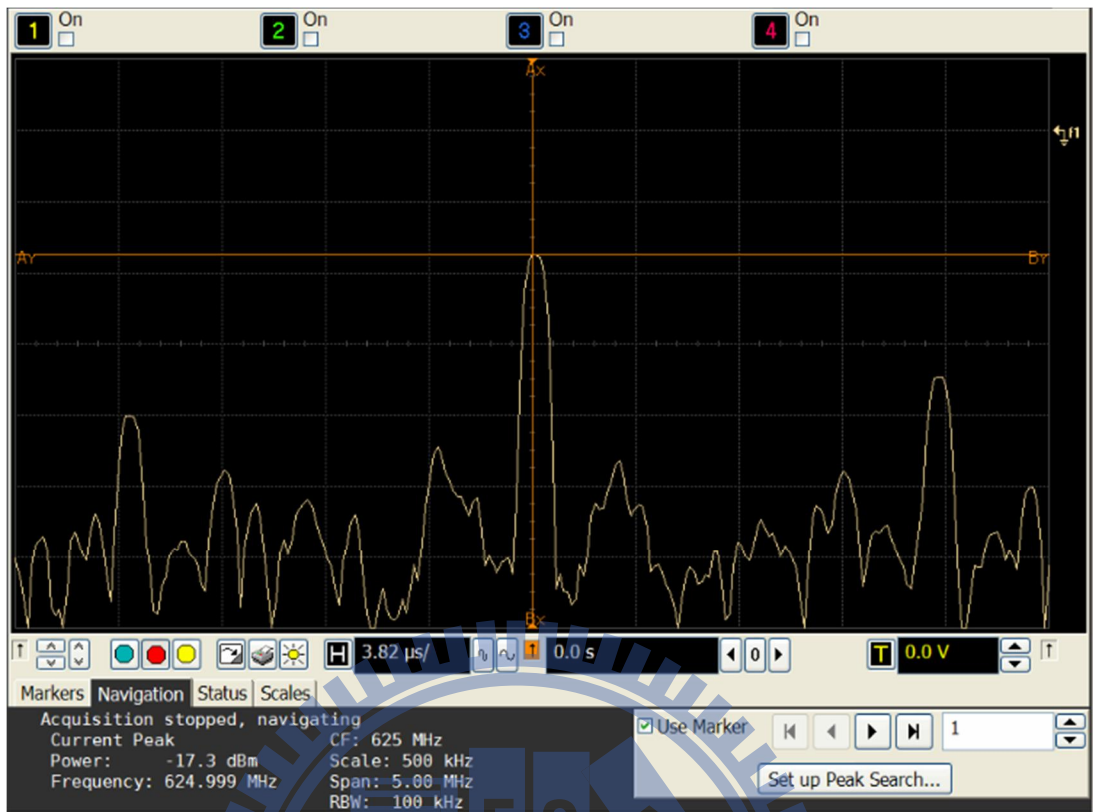


圖 3-49 控制 slew rate 後 625MHz 電壓成份

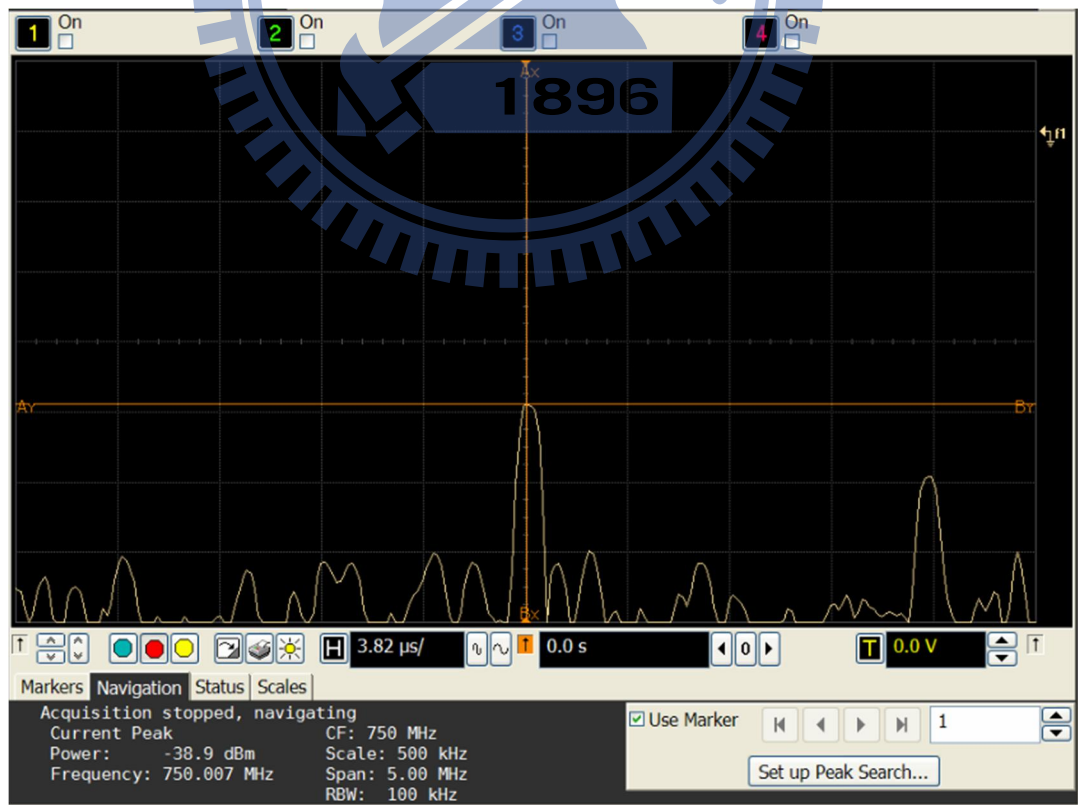


圖 3-50 控制 slew rate 後 750MHz 電壓成份

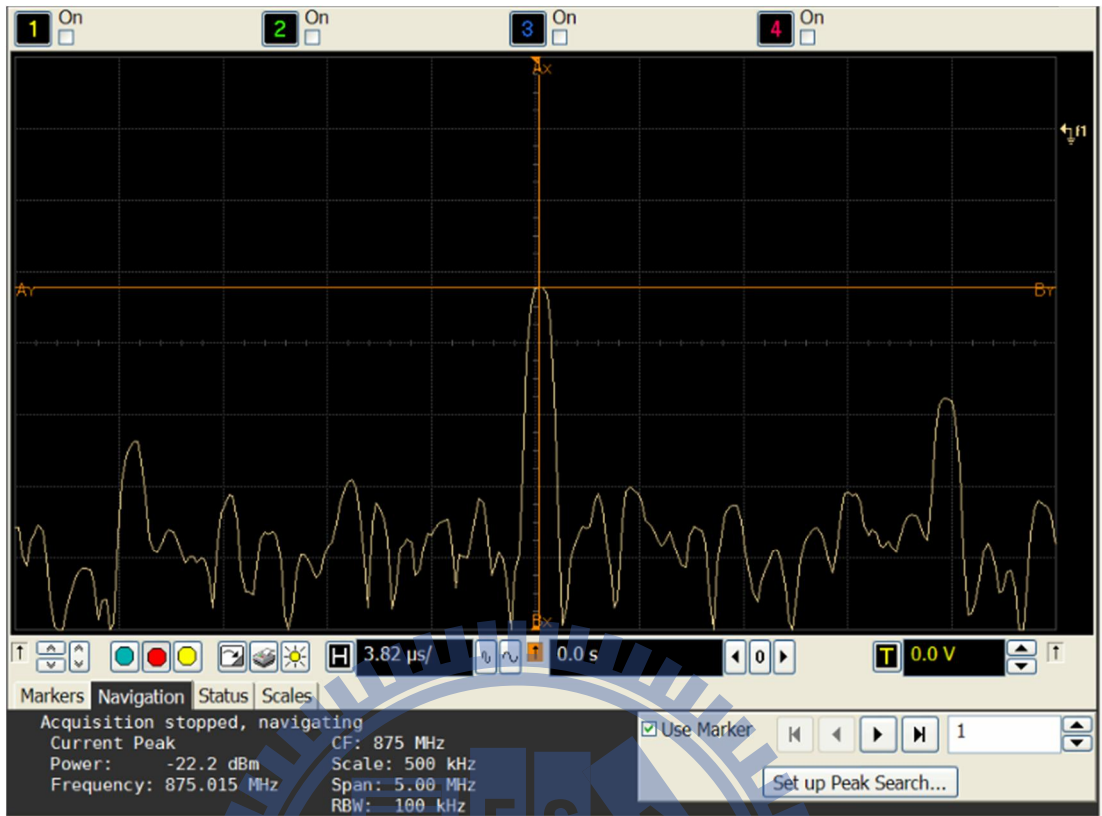
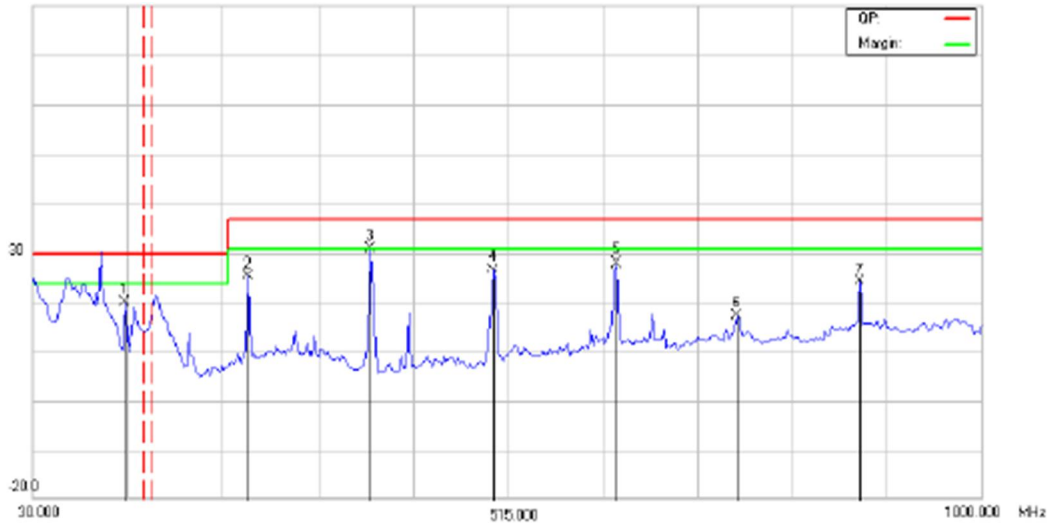


圖 3-51 控制 slew rate 後 875MHz 電壓成份

Slew rate 變小後 EMI 的測試結果如圖 3-52 及 3-53，其與初始測試值和 SSC 比較可見於表 3-4 及 3-5。



Site: site #1	Polarization: <i>Vertical</i>	Temperature: 24 °C
Limit: CISPR22 ClassB 10M Radiation	Power:	Humidity: 76 %
EUT:	Distance: RBW: 100 KHz	Sweep Time: 300 ms
M/N:	VSW: 100 KHz	
Mode:		
Note:		

No. Mk.	Freq. MHz	Reading Level dBuV/m	Correct Factor dB	Measurement dBuV/m	Limit dBuV/m	Over dB	Detector	Antenna Height cm	Table Degree	Comment
1	124.5750	40.85	-22.12	18.73	30.00	-11.27	peak			
2	250.6750	46.07	-22.45	23.62	37.00	-13.38	peak			
3 *	374.3500	53.47	-21.98	31.49	37.00	-5.51	peak			
4	500.4500	42.44	-19.15	23.29	37.00	-13.71	peak			
5	626.5500	39.90	-14.34	25.56	37.00	-11.44	peak			
6	750.2250	30.71	-13.46	17.25	37.00	-19.75	peak			
7	876.3250	33.68	-10.75	22.93	37.00	-14.07	peak			

圖 3-53 slew rate 變小後 EMI 垂直極化量測結果

Condition	Horizontal(dB)						
	125MHz	250MHz	375MHz	500MHz	625MHz	750MHz	875MHz
Original	-10.35	-5.44	1.18	-2.21	-0.56	-10.20	-8.77
SSC	-12.09	-13.89	-4.19	-8.9	-8.74	-11.76	-9.02
Slew rate	-22.51	-16.00	-6.94	-15.81	-9.66	-14.30	-11.97

表 3-4 初始值與 SSC 及 Slew rate 變小後的水平極化測試結果比較

	Vertical(dB)						
Condition	125MHz	250MHz	375MHz	500MHz	625MHz	750MHz	875MHz
Original	3.18	-5.97	0.59	-6.2	-3.96	-9.59	-9.1
SSC	-10.00	-11.67	-6.18	-10.02	-8.76	-17.71	-12.52
Slew rate	-11.27	-13.38	-5.51	-13.71	-11.44	-19.75	-14.07

表 3-5 初始值與 SSC 及 Slew rate 變小後的垂直極化測試結果比較

3.6.3 實驗結果分析

對於 Clock 使用展頻的技術將原本輻射很高的 125MHz 及諧波，透過能量平均分散於展延後的頻寬內的作法，進而達到降低輻射峰值的目的，但是在 750MHz 與 875MHz 附近因有其它的 Noise 存在(可能是阻抗不匹配所引發的反射)，而此 Noise spike 比展頻 clock 能量來的大，所以展頻在高頻如法有效發揮。

對於展頻無法將 125MHz 的諧波高頻部分有效降低就可以使用 slew rate 控制。由量測的波形可以得知，透過如實驗所用並聯電容方式可以降低 clock 波形的 slew rate，此時高頻的成分就越少，抖動的幅度越小，相對的高頻的反射也就越小。由圖 3-37 來看，10pF 對於 clock 信號的 loading 看來是蠻嚴重，雖然測試過程中的封包收送功能正常，但 timing 的 spec 能否被滿足，這部分則需要可靠度的驗證後方可確認。

第四章 結論

隨著網通產品的頻寬需求日益增加，電子產品也朝向高速化與輕薄短小來發展，IC 的半導體製程也不斷提升，因此電磁干擾問題也就越來越受到重視。因此如何在不增加成本的條件下可以順利的完成電磁干擾法規的測試項目是各家 IC 設計公司努力的目標。當然系統廠也會在設計線路的階段就預留電磁干擾的解決方式，以因應當無法通過法規時可以有對策可以解決，否則到了量產階段才來解決電磁干擾的問題無論是花費的成本與時間，都是難以估算的。

在本文的分析中，以不增加設計的成本提升網通產品與時脈信號有關的 EMI 研究可歸納出以下兩項結果：

- (1) 針對高頻的 Clock 使用展頻，可利用能量原本集中在各階諧波的頻率上變成平均分佈在較寬的頻譜進而達到降低輻射峰值的目的。
- (2) 在 Clock 走線上(或輸出端)並聯小電容到 GND，讓 slew rate 變小，阻抗不匹配所造成的高頻 Noise 就會降低，就可達到降低輻射峰值的目的。

雖然這兩種技巧都可以抑制 EMI，但是使用時則需滿足 timing spec 的規定。

參考文獻

1. 呂紹崧，Gigabit Ethernet 電磁干擾對策之分析，國立交通大學電信工程系碩士論文，2011。
2. 蔡政憲，防護線對於高速數位信號在板級的電磁干擾影響探討，國立交通大學電信工程系碩士論文，2009。
3. D. G. Brooks, Signal Integrity Issues and Printed Circuit Board Design, Prentice Hall PTR, 2003.
4. S. H. Hall and H. L. Heck, Advanced Signal Integrity for High-Speed Digital Design, Wiley, 2009.
5. G. B. Hok, "A Study of High Speed Implementation for System on Chip on 2 Layers Printed Circuit Board," 2007 IEEE Int. Symp. on Integrated Circuit, pp.150-153, 26-28 Sept. 2007.
6. H. W. Johnson and M. Graham, High Speed Digital Design, A Handbook of Black Magic, New Jersey: Prentice Hall PTR, 1993.
7. 賴宥熹，差模傳輸線跨越不連續參考平面及EMI之效應分析，國立交通大學電信工程系碩士論文，2012。
8. 劉家益，高速IC電源導線佈線和電容設計方法對板級電磁干擾影響探討，國立交通大學電信工程系碩士論文，2006。
9. D. Moongilan, "Image and return current modeling of PCB traces for radiated emissions," 2001 IEEE Int. Symp. Electromagnetic Compatibility, Vol. 2, pp.927-932, Aug. 2001.
10. F. Gisin and Z. Pantic-Tanner, "Radiation from Printed Circuit Board Edge Structures," Electromagnetic Compatibility, 2001 International Symposium

on, Vol.2, pp. 881 –883, 2001.

11. S. Drabowitch, A. Papiernik, H. Griffiths, J. Encinas, and B. L. Smith, Modern Antennas, Chapman & Hall, 1998.
12. M. I. Montrose, Printed Circuit Board Design Techniques for EMC Compliance, A Handbook for Designers, 2nd Edition, IEEE Press, 2000.
13. 張誌顯，應用在SATA-III 上6Gbps展頻時脈產生器 A 6Gbps SATA-III Spread Spectrum Clock Generator，國立中央大學電機工程學系碩士論文，2008。

