

國立交通大學
材料科學與工程學系
碩士論文

以無電電鍍技術沉積鈷磷合金應用於
銲錫擴散阻障層之研究

**Preparation of Electroless Co-P Thin-film
as the Diffusion Barrier of Pb-Sn Solder**

學生姓名：顏慧婷 (H.T. Yen)

指導教授：謝宗雍 博士 (Dr. T.-E. Hsieh)

中華民國 94 年 7 月

以無電電鍍技術沉積鈷磷合金應用於鉛錫擴散阻障層之研究

**Preparation of Electroless Co-P Thin-film as the Diffusion Barrier of
Pb-Sn Solder**

學生：顏慧婷
Student: H.T. Yen

指導教授：謝宗雍 博士
Advisor: Dr. T.-E. Hsieh

國立交通大學

材料科學與工程學系



A Thesis

Submitted to Department of Materials Science and Engineering

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Materials Science and Engineering

July 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月

以無電電鍍技術沉積鈷磷合金應用於錒錫擴散阻障層之研究

學生：顏慧婷

指導教授：謝宗雍 博士

國立交通大學 材料科學與工程學系

摘 要

本實驗以無電電鍍沉積技術 (Electroless Plating) 在矽晶片基板上製作無電電鍍鈷磷 (Co-P) 合金薄膜，再以電鍍方式沉積錒鉛 (Pb-Sn) 錒料於其上，用以探討無電鍍鈷磷薄膜做為銅製程覆晶接合 (Flip-chip Bonding, FC) 凸塊底部金屬化 (Under Bump Metallurgy, UBM) 之應用可行性。將表面鍍有鈦/銅 (Ti/Cu) 金屬層之矽晶片基板浸置於無電鍍鈷鍍浴 300 秒可獲得厚度約 600 nm 之鍍層，由歐傑電子能譜儀 (Auger Electron Spectroscopy, AES) 及能量散佈光譜儀 (Energy Dispersive Spectrometer, EDX) 之元素成分分析結果顯示，鈷膜中之磷含量隨其厚度之增加而降低，但鍍成之鈷膜平均磷含量皆高於 10 at.%；X 光繞射 (X-ray Diffraction, XRD) 分析顯示無電鍍鈷膜主要應由奈米微晶 (Nano-crystallinity) 組成。掃描式電子顯微鏡 (Scanning Electron Microscopy, SEM) 亦被使用以觀察無電鍍鈷磷層與錒鉛錒錫之界面反應，在 250°C、氮氣環境下之熱處理中，介金屬化合物的厚度隨著時間的增加而增加，當熱處理至 6 小時以上，介金屬化合物的形成則趨於緩和。元素線掃描分析結果顯示，在錒、銅及鈷之相互擴散反應過程中，當做為潤濕層的銅完全被消耗掉之後，錒仍只在鈷磷鍍層與錒錫的界面處；經 250°C、24 小時之熱處理後，錒無法穿透鈷磷層的阻擋，而底層的銅亦無法擴散之錒錫層中，故證實無電鍍鈷磷層可同時做為銅製程之銅導線與錒錫凸塊之擴散阻障層 (Diffusion Barrier)，而其阻擋能力主要由高磷含量之初鍍鈷層形成之非晶質結構所提供。

Preparation of Electroless Co-P Thin-film as the Diffusion Barrier of Pb-Sn Solder

Student: H.T. Yen

Advisor: Dr. T.-E. Hsieh

Department of Materials Science and Engineering

National Chiao-Tung University

Abstract

Electroless plating technique was utilized to prepare the cobalt-phosphorous (Co-P) thin film to serve as the diffusion barrier layer of lead-tin (Pb-Sn) solder. Co-P/solder interfacial reactions were characterized in order to evaluate the feasibility of electroless Co-P layer as the under bump metallurgy (UBM) for flip-chip bonding. After depositing Ti/Cu layer on Si wafer, we immersed the samples in the electroless plating bath for 5 min to obtain the Co-P layer with thickness about 600 nm. The analyses using Auger electron spectroscopy (AES) and energy dispersive spectrometer (EDX) indicated that the phosphorous contents in Co-P films decreases with the increase of film thickness and the average contents are higher than 10 *at.*% for the specimens prepared in this work. X-ray diffraction (XRD) analysis revealed that the electroless Co-P layers are nanocrystalline granular structure. Cross-sectional scanning electron microscopy (SEM) was adopted to examine the interfacial reactions of electroless Co-P layer and Pb-Sn solder. For the samples annealed at 250°C in N₂ ambient, the thickness of intermetallic compounds (IMCs) at Co-P/solder interface increased with the time of thermal treatment. However, there was no distinct raise of thickness of IMCs after 6-hr annealing. The EDX line scan analysis revealed that

during the interdiffusion of Sn, Cu, and Co, the Sn remains at the interface of Co-P layer after the Cu wetting layer was totally consumed. The fact that Sn and Cu underlayer could not penetrate Co-P layer after 250°C, 24-hr annealing evidenced that the Co-P layer may serve as a good diffusion barrier of UBM structure for both Cu interconnect and solder bumping for Cu-ICs. The excellent diffusion retardation ability of Co-P should result from the amorphous nature provided by the high-phosphorous content in Co layer.



誌 謝

感謝謝宗雍老師兩年來的指導，老師的嚴謹及認真讓我在做研究時的態度變得更細心也更自動自發，在我遭遇困難時也能指引我的方向，讓我有更明確的目標，與老師對談討論的過程中，不僅能獲得專業領域的知識，更能學習到待人處世應有的態度，著實獲益良多。

感謝在研究過程中伸出援手給我許多幫忙的每個人，包括工研院的梁沐旺學長以及曾志遠學長，非常感謝你們提供相關設備及寶貴的意見。謝謝實驗室裡的學長姐，大師兄、小葉、姿萱、小 A、國良、重伊、羽筠、小麥、教官、怡靜平時的鼓勵還有傾囊相授，有問必答的你們讓我在研究的路上並不是那麼孤單；還有同甘共苦同學宜峰、小茅跟賀昌，謝謝你們平時的互相打氣督促及實驗上的協助；還有可愛的學弟妹文成、佳瑩跟茱莉，有你們在我的研究生涯充滿了歡笑。特別感謝大師兄三不五時碎碎念的建議還有口試前的叮嚀、小葉學長的打氣王子麵、構裝三人組小 A 姊姊跟怡靜半夜不睡覺陪著我一起在 SEM 前睜大眼對焦、以及佳瑩每天的精神喊話，要是沒有你們的陪伴，我想我大概撐不過最後這段日子吧。

還要謝謝我的好朋友們，接收我苦水遞給我安慰的九人幫，謝謝你們一路陪著我，從我大學離家到新竹唸書一直到我完成碩士學位，有你們能夠一起吃喝玩樂談心訴苦真好。還有系女排的大伙，跟你們一起打球的時光是最快樂的。當然更要謝謝我親愛的橘子先生，謝謝你任勞任怨做牛做馬還得忍受我任性的脾氣，你的陪伴讓我不會孤單，你的安慰讓我更有力量繼續往前衝。

最後也是最要感謝的我的家人，爸爸、奶奶跟弟弟，謝謝你們從小就放心讓我想做什麼就做什麼，想飛去哪就飛去哪，讓我能自己選擇我要走的路，因為你們的扶持，我才有辦法盡情揮灑的我人生。

這份喜悅，我要與所有的人一同分享。

目 錄

摘 要.....	i
英文摘要.....	ii
誌 謝.....	iv
目 錄.....	v
圖目錄.....	vii
表目錄.....	ix
第一章 前 言.....	1
第二章 文獻回顧.....	3
2.1 內連接導線發展趨勢.....	3
2.1.1 銅金屬化製程.....	3
2.1.2 擴散阻障層.....	5
2.2 電子構裝及覆晶接合技術之發展與應用.....	7
2.2.1 電子構裝技術.....	7
2.2.2 覆晶接合技術.....	8
2.2.3 銲錫凸塊.....	10
2.3 無電電鍍技術.....	11
2.3.1 無電鍍原理.....	11
2.3.2 無電鍍鈷合金.....	13
2.3.3 無電鍍擴散阻障層.....	14
2.4 研究動機.....	16
第三章 實驗方法.....	18
3.1 無電鍍金屬基本性質量測.....	18
3.1.1 鍍率量測.....	18
3.1.2 無電鍍鈷鍍層成分分析.....	18

3.1.3	X光繞射分析.....	19
3.2	無電鍍鈷金屬阻障層之製備.....	19
3.2.1	基板製備與清洗.....	19
3.2.2	基板前處理.....	20
3.2.3	無電鍍鈷磷合金層之製備.....	21
3.3	無電鍍金屬與銲錫之界面反應.....	22
3.3.1	試片製備.....	22
3.3.2	結構與成分分析.....	22
第四章	結果與討論.....	23
4.1	無電鍍鈷磷合金基本性質.....	23
4.1.1	薄膜沉積速率.....	23
4.1.2	析鍍過程變因之影響.....	24
4.1.3	金屬鍍層表面型態.....	27
4.1.4	金屬鍍層成分分析.....	32
4.2	無電鍍鈷磷合金阻障層與銲錫之界面反應.....	36
第五章	結 論.....	49
	參考文獻.....	51

圖目錄

圖 2-1. 閘極延遲及導線延遲與元件尺寸的關係圖	4
圖 2-2. 各類型擴散阻障層之示意圖	6
圖 2-3. 各種結晶構造之阻障層	7
圖 2-4. 各種覆晶接合技術	9
圖 2-5. 錫鉛凸塊之結構圖	11
圖 3-1. 實驗試片之架構	18
圖 3-2. 試片準備流程	20
圖 4-1. 無電鍍鈷鍍率	23
圖 4-2. 以氧化鋁基板進行析鍍反應之表面形貌	25
圖 4-3. 以拋光銅板進行析鍍反應之表面形貌	26
圖 4-4. 不同pH值條件下進行析鍍反應之表面形貌	27
圖 4-5. 前處理完之試片表面形貌	28
圖 4-6. 不同活化時間之試片表面形貌	29
圖 4-7. 不同析鍍時間所得之無電鍍鈷層表面形貌	31
圖 4-8. 鈷-磷二元合金相圖	33
圖 4-9. 歐傑電子能譜儀 (AES) 之平均磷含量縱深分析	34
圖 4-10. 不同析鍍時間鍍層之X光繞射分析	35
圖 4-11. 析鍍 30 分鐘 (= 1800 秒) 鍍層之X光繞射分析	36
圖 4-12. 錫-鉛二元合金相圖	37
圖 4-13. 銅-錫二元合金相圖	37
圖 4-14. 鈷-銅二元合金相圖	38
圖 4-15. 鈷-錫二元合金相圖	38
圖 4-16. 熱處理前之試片界面形貌	40
圖 4-17. 經 0.5 小時熱處理之試片界面形貌	40

圖 4-18. 經 6 小時熱處理之試片界面形貌	41
圖 4-19. 經 18 小時熱處理之試片界面形貌	41
圖 4-20. 經 24 小時熱處理之試片界面形貌	42
圖 4-21. 熱處理前試片界面之EDX線掃描分析結果	43
圖 4-22. 經 0.5 小時熱處理之試片界面EDX線掃描分析結果	44
圖 4-23. 經 6 小時熱處理之試片界面EDX線掃描分析結果	45
圖 4-24. 經 18 小時熱處理之試片界面EDX線掃描分析結果	46
圖 4-25. 經 24 小時熱處理之試片界面EDX線掃描分析結果	47
圖 4-26. 熱處理 24 小時試片之鈷磷鍍層成分分析	48



表目錄

表 3-1. 粗化、敏化與活化溶液組成及浸漬時間	21
表 3-2. 無電鍍鈷鍍液組成及濃度	22
表 4-1. 不同pH值所得之鍍層厚度	24
表 4-2. 不同析鍍時間鍍層之EDX磷含量分析結果	33
表 4-3. 不同熱處理時間產生之介金屬化合物成分EDX分析結果	39



第一章

前 言

隨著半導體製程的進步以及電子產品應用層面的增加，元件的發展走向高密度、多功能、高速訊號傳遞、低能損耗、薄型化、輕量化及低成本之趨勢，為提升元件的效能而同時達成輕薄短小之目的，勢必將元件尺寸縮小，故積體電路（Integrated Circuit, IC）製程亦須採用多層金屬連接導線與金屬連線製程微細化之設計。但當金屬導線層數增加，訊號在連接 IC 導線間傳遞的時間延遲（RC Delay）將會高於閘極延遲（Gate Delay），而嚴重影響訊號傳遞的速度。因此為降低 RC 延遲，除了更新設計的電路架構之外，新材料的開發也是絕對必要的，目前 IC 製程所採用的銅導線及低介電常數材料即在降低 IC 中之 RC 延遲。

除了 IC 部分的訊號延遲之外，構裝部分的訊號延遲（Package Delay）亦是影響電子產品整體效能之重要因素；目前 IC 製程之進步雖有效地抑制了積體電路中的訊號延遲，但高度集積化同時增加了 IC 之集積數（Input/Output Count, I/O Count），構裝的內連線密度與腳數（Pin Count）亦須增加以爲因應，構裝延遲所佔的比例也相對地增加，而成爲影響電子產品效能的瓶頸因素。

爲了降低構裝延遲，新型的構裝技術與材料的開發成爲當務之急；在連線（Interconnect）技術中，具有諸多優點的覆晶接合（Flip-chip Bonding, FC）技術因此成爲目前熱門的研發對象。覆晶接合採用面陣列式（Area Array）接合的觀念將 IC 晶片以面向下的方式接合於構裝基板之上，它的優點包括高構裝效益（Packaging Efficiency）、高密度/高腳數之連線架構且電性優越、薄型化及能自動對準（Self-alignment）等。覆晶接合一般利用錫錫凸塊（Solder Bump）完成接合，而在 IC 之導線與錫錫凸塊之間需有一凸塊底部金屬化層（Under Bump Metallurgy, UBM）以提供凸塊在 IC 上之良好附著性質並阻擋 IC 錫錫金屬與錫錫材料之擴散反應。UBM 通常由黏著層（Adhesion Layer）、擴散阻障/潤濕層

(Diffusion Barrier/Wetting Layer) 與保護層 (Protective Layer) 等不同功能之金屬層所組成，本實驗探討無電鍍沉積之鈷磷薄膜之擴散阻障能力，以評估其是否能應用於銅製程覆晶構裝中之 UBM 架構。

實驗結果顯示，本實驗所製備之無電鍍鈷層之磷含量隨厚度之增加而降低，但平均磷含量皆高於 10 *at.*%，鈷層之微觀結構主要由奈米微晶組成。無電鍍鈷磷/銅/錫鉛試片經過 250°C 熱處理後，界面會起擴散反應並生成介金屬化合物，隨著時間的增加介金屬化合物厚度亦增加；當熱處理至 6 小時以上，介金屬化合物的形成則趨於緩和，而原本已形成之介金屬化合物有向上溶入錫鉛部分之現象。元素線掃描分析結果顯示，當作為潤濕層的銅完全被消耗掉之後，錫仍只在鈷磷鍍層與錫鉛的界面處，經 24 小時之熱處理後錫仍無法穿透鈷磷層的阻擋，而底部的銅亦不能擴散至錫鉛中，證實無電鍍鈷磷薄膜可做為銅製程晶片中之銅導線與錫鉛凸快之 UBM 中的擴散阻障層，而其阻擋能力主要由高磷含量之初鍍鈷層形成之非晶質結構所提供。



第二章

文獻回顧

2.1 內連接導線發展趨勢

2.1.1 銅金屬化製程

鋁具備低電阻係數 ($2.66 \mu\Omega\text{-cm}$) 及與二氧化矽 (SiO_2) 之間理想的界面性質，是傳統 IC 連線製程中最廣泛使用的金屬材料。但隨著半導體製程技術的進步與應用層面的增加，元件的尺寸也不斷的縮小，朝向高密度、高速訊號傳輸、低能量損耗、薄型化、輕量化及低成本的深次微米領域邁進，為使更多的電晶體 (Transistor) 可被容納在晶片 (Chip) 中，當元件尺寸縮減，積體電路的集積度相對增加，使得晶片表面無法提供足夠的面積來製作所需的內連接線，因此多層金屬連接導線與金屬連線製程微細化的設計，便成為積體電路製程發展所採用的方式。如圖 2-1 所示[1]，隨著金屬導線層數的增加，電子訊號在連接導線間傳遞的時間延遲 (RC Delay) 將會高於閘極延遲 (Gate Delay)，因而影響元件速度；且過高的電流密度也將導致電子遷移 (Electromigration) 效應，造成電路中孔洞成長，使得元件的可靠度發生問題。因此在深次微米製程中，需尋求具備良好特性的導線層材料才能有效提高晶片的操作速度。

電子訊號在導線間傳遞的速度快慢取決於金屬導線層的電阻 (R) 與導線層間的寄生電容 (C)，為降低電阻/電容時間延遲 (RC Delay)，需結合高導電率的金屬與低介電常數之絕緣材料。就目前發展趨勢，銅是取代鋁作為下一代導線材料的最佳選擇，其優點為銅具有更低的電阻係數 ($1.67 \mu\Omega\text{-cm}$)，可有效降低 RC 延遲，估計可提升約 30% 至 40% 之效能。除此之外，銅導線的抗電致/應力遷移 (Electro/Stress-migration) 能力亦較鋁導線為優 (銅約 0.97 eV，鋁則約為 0.62 eV)，且銅的熔點與機械強度都高於鋁，因此在相同的元件功能要求下，銅導線可承受更高的電流密度，減少導線斷路的機率，提高 IC 電路的可靠度。

CONTRIBUTIONS TO RC DELAY FROM INTERCONNECTS AND GATES

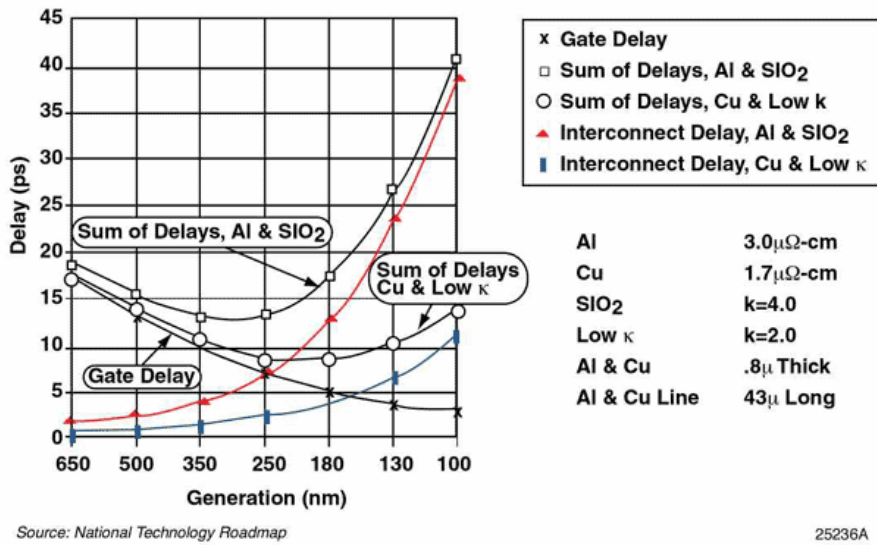


圖 2-1. 閘極延遲及導線延遲與元件尺寸的關係圖[1]。

早期 IC 製程不採用銅作為金屬連線是因為銅在實際應用上尚有許多問題有待克服，但隨著材料與製程技術的進步，針對這些問題亦有因應之道，茲將其缺點及解決方法概述如下：

- (1) 高表面腐蝕性：銅本身易氧化，低溫下易與其他材料反應，且高純度的銅不像鋁一樣可生成一緻密之氧化膜以提高抗腐蝕能力。為彌補這項缺點，可在銅金屬中添加 1 至 2% 的合金元素（如鎂、鋁或硼）[2-4]，或在矽烷（SiH₄）環境下經熱處理使銅表面形成矽化物做為保護層。
- (2) 低化學蝕刻性：銅無法使用傳統的乾式蝕刻技術來進行導線佈植，因為銅的鹵化物與氟化物蒸氣壓較低，進行乾式蝕刻時的副產物會不易揮發，造成蝕刻上的困難[5]。蝕刻性的缺點目前利用化學機械研磨法（Chemical Mechanical Polishing，CMP）來解決[6]，並搭配同時蝕刻雙層介電層孔槽的銅雙重大馬士革（Dual-Damascene）平坦化方法來簡化製程[7]。
- (3) 低介電層附著性：銅與介電層間無法產生良好鍵結，通常是在銅與介電層之間再加入一黏著層來解決。

- (4) 擴散的問題：銅原子在矽中的擴散係數高（約 $10^{-5} \text{ cm}^2/\text{sec}$ ），在高溫時易擴散至矽與二氧化矽中形成深層電子能階，造成元件特性退化甚至造成破壞[8]，因此需要一種有效且厚度均勻連續的擴散阻障層來阻擋銅的擴散。

2.1.2 擴散阻障層

擴散阻障層在積體電路製程中扮演一個非常重要的角色，傳統鋁導線製程中，經過退火後鋁會擴散至矽基材中導致短路或其它元件問題，而由於銅原子的擴散係數高，更易在基材中形成深層能階使得元件電性劣化。為增進金屬與基材間接著的可靠度以及抑制彼此間的相互擴散，其中之一的解決方法就是沉積一擴散阻障層在金屬導線與基材間。理想的金屬擴散阻障層須具備以下幾種特性：低電阻率、低擴散速率、低應力值、高熱穩定性、平滑表面、不易與導線材料和介電層發生反應、良好的界面接著性，在製程方面的考量則需有良好的階梯覆蓋性，在溝槽內部成分可維持均勻不形成微裂隙，以及與銅的 CMP 性質相容性[9]。

目前在擴散阻障層的研究上大致分為犧牲型阻障層 (Sacrificial Barriers)、填塞型阻障層 (Stuffed Barriers)、被動型複合阻障層 (Passive Compound Barriers)、非晶質阻障層 (Amorphous Barriers) 等四種[10-11]。茲將其機制概述如下：

- (1) 犧牲型阻障層：如圖 2-2 (a) 所示，擴散阻障層的不穩定性質能與導電層或介電層產生反應，彼此間會相互擴散，若元件的工作溫度小於阻障層和導電層或介電層的反應溫度，則會使得反應速率變得非常慢，使預期的犧牲型阻障層壽命大於元件壽命，即達到犧牲型阻障層之目的；而一旦擴散阻障層完全被反應成化合物，則阻障層便完全失去功效。
- (2) 填塞型阻障層：如圖 2-2 (b) 所示，多晶材料的晶界為擴散的快速通道 (Fast Diffusion Path)，當加入某些特定材料（如 N_2 、 O_2 ）於阻障層中，其可填塞於晶界中成為擴散通道之阻礙，此即為填塞型阻障層。

- (3) 被動型複合阻障層：擴散阻障層的化性穩定，不易與導線層或介電層產生反應，且固溶性很低，此即為被動型複合阻障層。良好的被動型複合阻障層具有很強的鍵結力，與其他材料接觸時能維持其界面化學性穩定而不起反應，圖 2-2 (c) 所示為被動型複合阻障層。
- (4) 非晶質阻障層：就結構上看，晶界的存在是造成擴散最主要的原因，故沒有晶界的單晶材料為最佳的擴散阻障層，但因單晶薄膜製備困難，同樣無晶界的非晶質材料亦是擴散阻障層的選擇。一般純金屬沉積後為多晶結構，但金屬化合物沉積後能得到非晶質結構，經過熱處理後仍能維持非晶質結構而保有良好阻障特性，此金屬化合物需有較高的再結晶溫度。如圖 2-2 (d) 所示。

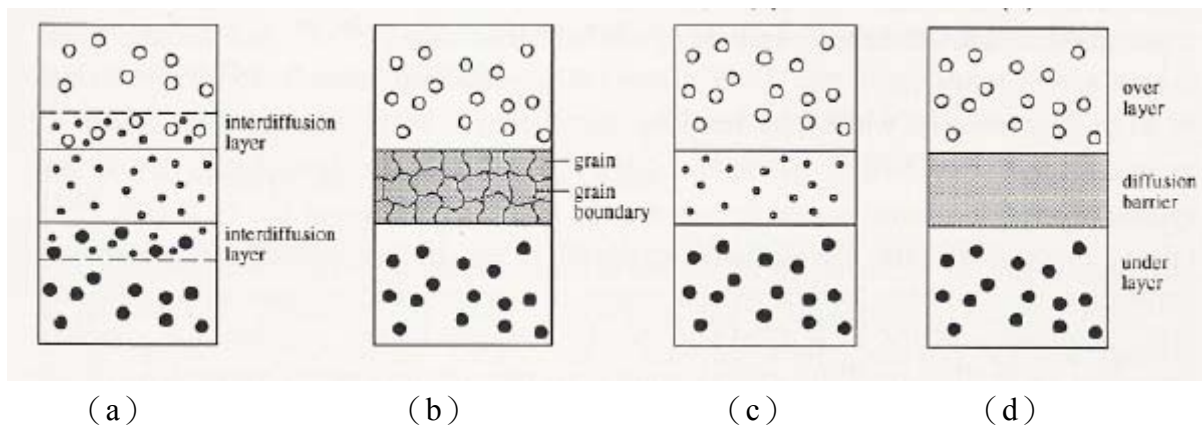


圖 2-2. 各類型擴散阻障層之示意圖：(a) 犧牲型阻障層；(b) 填塞型阻障層；(c) 被動型複合阻障層；(d) 非晶質阻障層[11]。

就結晶性質和微結構特徵來看，阻障層材料可分為單晶 (Single-Crystal)、孔隙柱狀複晶 (Void-Columnar Poly-Crystal)、等軸柱狀複晶 (Equiaxed Columnar Poly-Crystal)、微晶 (Nanocrystalline) 結構與非晶質 (Amorphous) 結構等五種，如圖 2-3 所示。

就擴散機制而言，溫度在熔點的 $1/2$ 或 $2/3$ 以下時，晶界的擴散速率將大於塊材 (Bulk) 的擴散速率，缺陷存在的位置如空孔 (Vacancy) 及差排 (Dislocation) 等皆為快速擴散的路徑。因此，沒有晶界及內部缺陷較少的單晶材料乃最為理想

的擴散阻障層材料，但因單晶薄膜製程受限於許多因素如單晶孕核不易、晶格不匹配、沉積不容易等，所以單晶薄膜在擴散阻障層材料的使用上便較有所限制且少有研究；然而，同樣沒有晶界存在的非晶質擴散阻障層的製備簡單，且無引發殘餘應力之虞，故目前研究也較多。前人嘗試利用不同方式使擴散阻障層轉為非晶質化，例如進行蒸鍍時添加合金元素使其轉變為非晶質，像鉭-矽-氮（Ta-Si-N）、鎢-矽-氮（W-Si-N）等，缺點則為電阻率過高。微晶結構或填塞型擴散阻障層由於有著較為複雜的晶界擴散路徑，可延遲擴散時間，故也有不錯的阻障效果。而等軸柱狀複晶結構的材料提供最單純、最快速的晶界擴散路徑，因此阻擋效果最差。

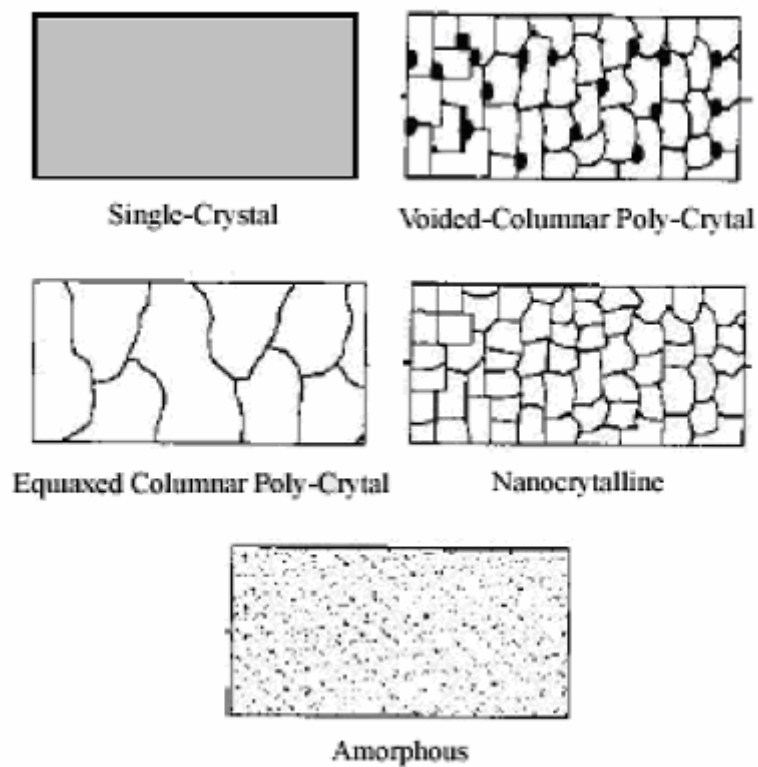


圖 2-3. 各種結晶構造之阻障層。

2.2 電子構裝及覆晶接合技術之發展與應用

2.2.1 電子構裝技術

電子構裝（Electronic Packaging）之目的係利用黏晶（Die Attachment）、電

路連線與結構密封等步驟完成 IC 晶片與構裝基地之間的電源傳輸、訊號傳遞、散熱途徑、承載與結構保護；也包括構裝完成之模組元件在電路板上的組裝 (Assembly)，使成爲具備特定功能的次系統或系統的工程技術[12]。

隨著電子資訊產品的快速發展，電子元件多功能化、大容量化、高速化、及高密度化已成爲必要的趨勢，因此具有高 I/O 數及細線距之 IC 晶片方能符合需求。一些較爲傳統的構裝技術，例如雙列式構裝 (Dual-inline Package, DIP)、小型化構裝 (Small Outline Package, SOP)、四邊扁平構裝 (Quad Flat Package, QFP) 逐漸被錫球陣列構裝 (Ball Grid Array, BGA)、晶片尺寸構裝 (Chip Scale Package, CSP)、晶片直接接合 (Direct Chip Attach, DCA) 等所取代[12]，這說明了面陣列式構裝時代的來臨。就連線技術而言，也已從傳統的打線接合 (Wire Bonding, WB)、卷帶自動接合 (Tape Automated Bonding, TAB)，發展到現在的覆晶接合技術，其 I/O 數增加以及線距縮小，直接連接 IC 與基板，其能提高訊號傳遞速度，發揮高頻高功率 IC 的效能。



2.2.2 覆晶接合技術

覆晶 (FC) 接合技術被定義爲一種將 IC 晶片以面向下的方式與構裝基板接合的連線技術，其乃在 IC 晶片錫墊上形成接合凸塊，再以面朝下的方式與基板上的錫墊相互連接。覆晶接合源自 1960 年初期 IBM 公司所開發的 C4 (Controlled Collapse Chip Connection) 技術[13]，這是爲了配合混成固態邏輯電路技術 (Solid Logic Technology, SLT) 所開發的一種 IC 晶片連線方式，其製程是以真空蒸鍍配合金屬遮罩 (Metal Mask) 製作高鉛錫凸塊，目的在於取代耗時耗力的人工打線接合，用以降低成本及提高電路連線密度與接合可靠度[14]。

覆晶接合技術通常利用錫錫凸塊 (Solder Bump) 完成接合，但其亦可利用卷帶自動接合 (TAB)、打線接合 (WB)、異方性導電膠 (Anisotropic Conductive Adhesives, ACA)、導電膠 (Conductive Polymer Bump)、金屬接合凸塊 (Metal Bump)、複合凸塊 (Compliant Bump) 等完成 IC 晶片以面朝下的方式與基板接

合，如圖 2-4 所示。

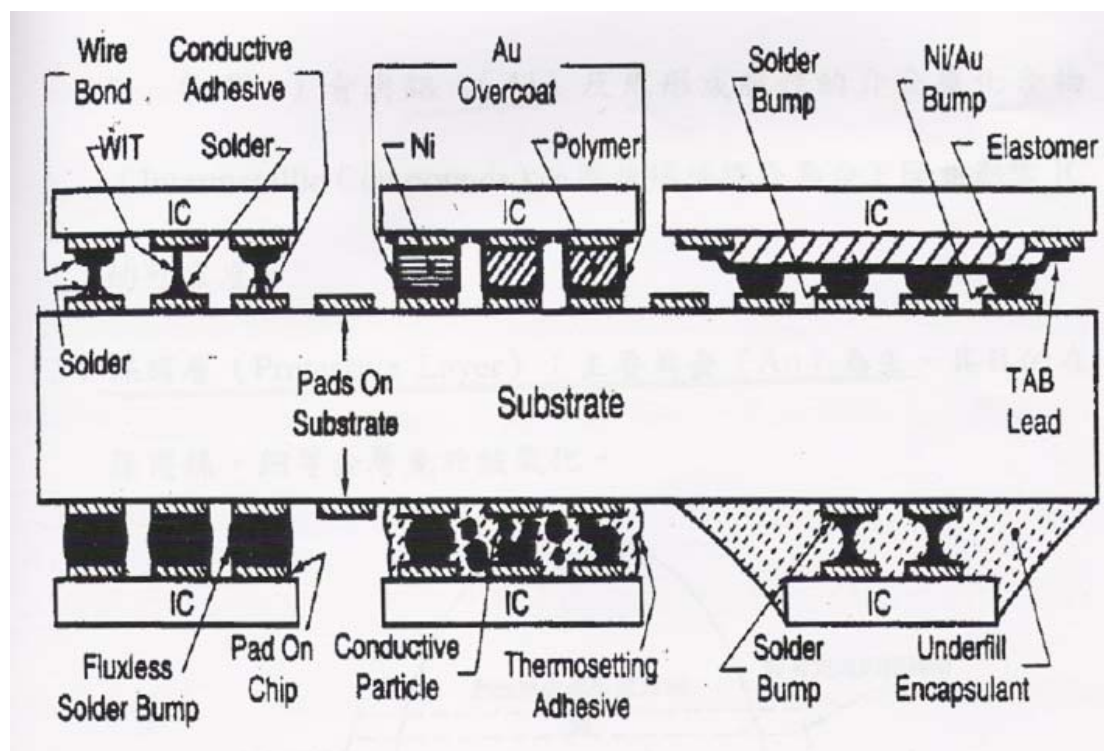


圖 2-4. 各種覆晶接合技術[14]。

相較於其它構裝或連線技術，覆晶接合技術具有以下之優點[15-18]：

- (1) 良好的電性：覆晶接合之晶片與基板間連線距離較打線接合或卷帶自動接合短，亦即縮短訊號傳遞的距離，寄生電容（Parasitic Capacitance）及電感（Induction）得以降低，使訊號延遲（Propagation Delay）縮小，更適合應用於高頻高功率之 IC 構裝；
- (2) 面陣列式連線：整個 IC 晶片表面皆可製作接點，提供的 I/O 數遠高於週列式（Peripheral Array）的連線技術，且構裝完成後之面積只比裸晶時增加約 8%，構裝效益亦接近 100%，可應用於高 I/O 數的高性能系統；
- (3) 散熱能力佳：平面陣列的構裝可配合散熱設計，由於晶片背面裸露，可直接貼上散熱片，因此可提供較佳的散熱效率；
- (4) 自動對位：晶片與基板的接合是利用錒錫的迴流（Reflow），藉由熔融的錒球表面張力效應完成自動對位，製程寬容度較大；
- (5) 優異的可靠度：晶片直接與基板接合，可免除第一層次模組構裝（First-level

Package)，可降低電路接點之數目，連線距離亦大幅縮減，故可提升產品之可靠度；

- (6) 可重工性：經由再迴流的動作，可使劣質晶片與基板分離進行重工 (Rework)；
- (7) 降低製程成本：I/O 數大量增加，單位 I/O 數成本相對降低，且所有接點可於同一製程步驟中完成接合，再加上自動對位的效應，亦可提高製程良率並降低成本。

2.2.3 鐳錫凸塊

鐳錫為覆晶接合最主要的接合材料，目前以共晶錫鉛 (Eutectic Pb-Sn Solder，成分為 63 wt.%錫-37 wt.%鉛) 為最常見鐳錫。鐳錫凸塊之基本結構除了錫球 (Solder Balls) 之外，也包括凸塊底部金屬化 (UBM)，其結構如圖 2-5 所示[14,19-21]。UBM 由多層金屬薄膜組成，依據功能的不同可分為黏著層、擴散阻障層、潤濕層與保護層等，其製作方式有真空蒸鍍 (Thermal 或 e-beam Evaporation)、濺鍍 (Sputter)、電鍍以及無電鍍等，各層之功能與材料種類簡述如下：

- (1) 黏著層：主要為增進 IC 上之鐳墊金屬材料與後續金屬間的接合性，一般常用鈦 (Ti)、鉻 (Cr)、鈦/鎢 (Ti/W) 等材料。
- (2) 擴散阻障層：鐳墊金屬材料與鐳錫作用會在界面形成介金屬化合物 (IMC)，其具有脆性且容易產生裂縫，因而接點斷路而降低影響可靠度。擴散阻障層即在防止鐳墊金屬與鐳錫間的相互擴散，其需有良好的熱穩定性，才能在後續製程與元件操作產生的高溫環境下保持有效的阻障能力。常用的材料有鎳 (Ni)、銅 (Cu)、鉬 (Mo)、鉑 (Pt)、鎢 (W) 等金屬，或鈦/鈀 (Ti/Pd)、鈦/鎢 (Ti/W) 等雙金屬層。另外以無電鍍方式沉積的鎳磷 (Ni-P) 合金亦極常見[22-24]。
- (3) 潤濕層及保護層：防止擴散阻障層被氧化，並改善阻障層與鐳錫層之間的

潤濕性，銅為常見的潤濕層材料，金（Au）或鈦（Pd）等貴金屬則為常見的保護層材料。

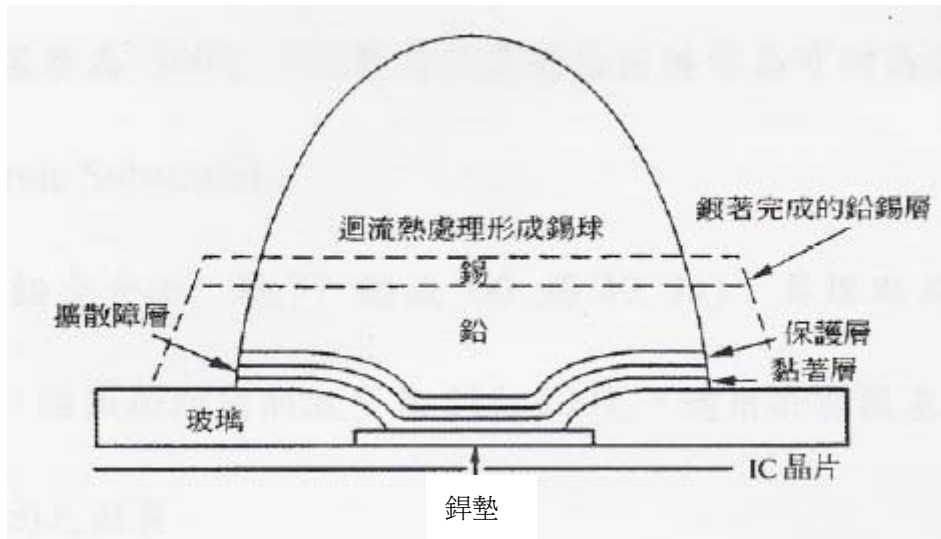


圖 2-5. 錫鉛凸塊之結構圖[20]。

在錫鉛材料部分，目前所使用的錫鉛以錫鉛（Pb-Sn）為主[25-27]，但基於環保的考量，無鉛錫鉛（Lead-free Solders）是未來的趨勢所在，具備應用潛力的無鉛錫鉛系統包括錫銀（Sn-Ag）、錫銅（Sn-Cu）、錫鋅（Sn-Zn）、錫鉍（Sn-Bi）、錫銀銅（Sn-Ag-Cu）等，但因應用可靠度資訊不足，無鉛錫鉛目前仍不能全面取代（Drop-in）錫鉛錫鉛。錫鉛錫鉛主要有兩種，茲概述如下：

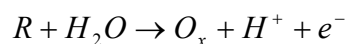
- (1) 共晶錫鉛合金（63 錫/37 鉛或 60 錫/40 鉛）：熔點為其共晶溫度（183°C），迴流溫度約在 215°C 至 230°C，組裝所需成本較低，適用於使用有機基板（Organic Substrate）之覆晶接合。
- (2) 高鉛合金（5 錫/95 鉛或 3 錫/97 鉛）：由於鉛的含量很高，所以熔點較高，約在 305°C 至 320°C，迴流所需溫度約為 360°C，可使用於耐高溫的陶瓷基板（Ceramic Substrate）之覆晶接合。

2.3 無電鍍技術

2.3.1 無電鍍原理

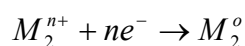
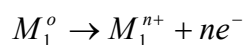
無電鍍技術是利用氧化還原反應使溶液中欲鍍金屬離子還原，以金屬狀態析

鍍在被鍍物上的一種化學沉積法，由於能以本身析鍍出之金屬做為催化表面，故名為自身催化鍍法。其驅動力為化學還原力，且因其省略電源供應設備及電極，故又稱為化學鍍（Chemical Plating）[28]，無電鍍之基本反應式如下：



其中 R 為還原劑， M^{n+} 為溶液中欲鍍金屬離子。初期反應是欲鍍金屬離子與被鍍物被優先置換，進而引起還原反應，之後析出之金屬便利用自身催化作用進行還原。

置換鍍金的條件是被鍍物比溶液中的金屬離子（活性大）易成離子，其反應為被鍍物金屬（ M_1^0 ）在溶液中溶出形成離子釋放出電子，另一方面溶液中的金屬離子（ M_2^{n+} ）在被鍍物上接受電子形成金屬析出，反應式如下：



無電鍍法可析鍍的金屬包括鈷（Co）、鎳（Ni）、銅（Cu）、鈳（Ru）、銠（Rh）、鈀（Pd）、銀（Ag）、鎘（Cd）、銦（In）、鉑（Pt）、金（Au）、鉛（Pb）及含有這些金屬合金的鍍層。而無電鍍鍍浴中，主要含有下列成分，其功能說明如下 [28-30]：

- （1）金屬鹽（Metallic Salt）：析鍍金屬的主要來源，提供析鍍反應時所需的金屬離子。常見的有鈷、鎳金屬的氯化物或硫酸鹽。
- （2）還原劑（Reducing Agent）：具備強還原力，在催化表面進行氧化反應，釋放出電子使金屬離子還原成原子。一般增加還原劑濃度可提升析鍍速率，但過量時卻會加速鍍浴的分解。常用的有次磷酸鈉、硼氫化鈉以及二甲基

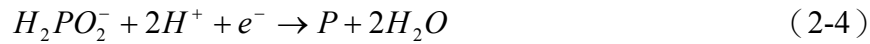
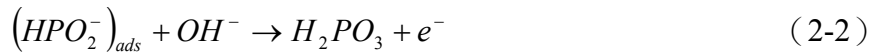
胺硼 (Dimethylamineborane, DMAB), 可由還原劑的種類來控制鍍層的成分。

- (3) 錯合劑 (Complexant): 會與鍍浴中金屬離子形成錯合物, 控制鍍浴中可供反應的自由金屬離子的濃度, 使其僅在活性表面進行析鍍, 一般錯合劑為有機酸及其鹽類, 如檸檬酸 (Citric Acid)、檸檬酸鈉 (Sodium Citrate)、琥珀酸 (Succinic Acid)、醋酸鈉 (Sodium Acetate) 等。
- (4) 促進劑 (Accelerator): 添加錯合劑後會使得析鍍速率降低, 故添加促進劑使析鍍速率提高, 並可抑制氫氣的產生, 一般促進劑有硫化物 (Sulfide Compounds) 及氟化物 (Fluoride Compounds)。
- (5) 安定劑 (Stablizer): 在析鍍反應進行時, 會出現一些具有催化活性的雜質微粒, 若析出金屬析鍍在其上, 會造成金屬離子的消耗使鍍浴提前分解。因此加入少量安定劑如硫化物、氯化物 (Chloride Compounds)、硫脲 (Thiourea)、重金屬鹽類 (Heavy Metal Salts) 於鍍浴中, 使其吸附在微粒上抑制其持續成長便可達到穩定鍍浴的效果。
- (6) 緩衝劑 (Buffer): 析鍍反應進行中會因為氫離子不斷釋出而使鍍浴 pH 值產生變動, 因此須添加緩衝劑來調節 pH 值以維持鍍浴穩定及析鍍條件之一致性。
- (7) 改良劑: 改良鍍膜的狀態, 例如增加金屬膜的光澤, 通常使用界面活性劑, 且添加量微小。

2.3.2 無電鍍鈷合金

就標準單極電位而言, 鈷 (-0.28 V) 小於鎳 (-0.23 V), 所以較不容易析出。由於鈷的催化作用比鎳來得弱, 因此在酸性鍍浴中的析出速率小, 而在驅動力大的鹼性鍍浴中會增快。析出速率在 $\text{pH} = 8$ 至 10 的範圍內析出速率較大, 脫離此範圍則較不易析出[28, 31]。

無電鍍鈷磷合金主要反應式如下[29]：



由(2-1)式至(2-3)式可知次磷酸根會在吸附在被鍍物表面並氧化脫氫，接著吸附在表面的會與溶液中氫氧根離子結合氧化形成亞磷酸並釋放出電子，而釋放出的電子則與鈷離子結合析鍍出鈷金屬。由此可知溶液中氫氧根離子濃度越高，越利於電子的釋放，亦即溶液的 pH 值越高，金屬析鍍速率越快。而(2-4)式中，磷乃次磷酸根與氫離子反應而形成，由(2-4)式可知磷含量與氫離子濃度有關，所以 pH 值越低，可得到越高的磷含量。綜合前述可得知，在較酸的環境下，較不利於電子的釋放，所以磷含量提高但相對金屬析鍍速率慢。而(2-4)式亦說明了薄膜成分為鈷磷合金乃由於還原劑副產物的共沉積，同理，若使用硼氫化鈉或 DMAB 等含硼元素的還原劑則可得到含硼的合金薄膜。

2.3.3 無電鍍擴散阻障層

目前使用於銅製程的擴散阻障層材料主要為鈦 (Ti)、鎢 (W)、鉬 (Mo) 等耐火金屬以及其氮化物，皆有著優異的高溫擴散阻障能力，這類阻障層材料大多數都是採用物理氣相沉積 (Physical Vapor Deposition, PVD) 製程來沉積金屬薄膜，但在現今之深次微米 IC 製程中，PVD 製程有階梯覆蓋性 (Step Coverage) 不佳的困難，因此近年來已有許多研究針對此一問題進行探討，並提出以無電電

鍍方式製備擴散阻障層的方式，並應用在銅晶片製程中[32-33]。

無電鍍的金屬種類有鎳 (Ni)、鈷 (Co)、銅 (Cu) 以及其合金等，最早是應用在磁性記錄媒體與構裝上，合金中的磷含量多寡會對鍍層微結構造成影響，磷的含量越高，越有可能產生非晶質相 [34]，能大幅提升擴散的阻擋能力並降低鍍層之殘餘內應力。在銅導線製程的擴散阻障層材料選擇上，無電鍍鎳磷以及無電鍍鈷磷合金薄膜已有許多深入的探討，根據之前文獻所述[35]，無電鍍鈷磷合金的阻障臨界溫度可達到 400°C；亦有研究是在鈷磷合金中添加少量的耐火金屬元素 (Refractory Metals)，如鎢 (W)、鉬 (Mo)、銠 (Re) 等，以增加金屬薄膜的熱穩定性，提高結晶變態的轉換溫度[36-38]，根據 K. Nono 等人之研究及其它文獻[39-40]，如果鈷是以微晶結構沉積，則所添加的磷及鎢元素並非沉積在鈷原子的晶粒內，而是填塞在鈷的晶界處，此即為栓塞型晶界，可抑制擴散達到阻障之效果。

元素沿著晶界擴散至元件是造成阻障層失效的原因之一，如能減少甚至消除阻障層中晶界的存在，則能大幅提高擴散阻障層的阻擋能力並降低鍍層之殘餘內應力，因此非晶質化的特性對阻障層而言是非常有幫助的。在早期電化學的研究上，添加磷元素可改變鍍層結構，有研究指出，磷含量大於 12 at.% 將形成非晶質之結構，此類型的微結構能免除晶界所造成的快速擴散路徑，改善擴散阻障的品質[29, 41-42]。

使用無電鍍技術沉積擴散阻障層有以下幾項優點：

- (1) 鍍層均一性佳，銳邊及角等節狀鍍層 (Nodular Deposits) 情形可完全消除；
- (2) 鍍層孔率較少，耐蝕性較電鍍佳；
- (3) 經過適當前處理，可析鍍在非導體的表面；
- (4) 鍍層具獨特之物理、化學、磁性及機械性質；
- (5) 可形成複合鍍層 (Co-deposit)、多元合金 (Poly-alloy) 等結構；
- (6) 耐磨性及密著性良好；
- (7) 製品與導體接觸亦可完全鍍上。

2.4 研究動機

無電鍍鈷合金最早是由 Brenner 及 Ridell 利用次磷酸鈉作為還原劑製備而成，並指出無電鍍鈷合金與無電鍍鎳合金的不同在於當鍍浴為酸性的環境下，無電鍍鈷合金無法析鍍，唯有在鹼性環境下才有可能發生反應進行析鍍[30, 43]。無電鍍電鍍技術自 1949 年發展至今，已為相當成熟之工業技術，而無電鍍鈷磷合金之應用亦愈趨多元，從其磁性性質至目前所針對的擴散阻障性質，皆值得研究探討。

隨著 IC 製程發展進入銅導線製程，能有效阻擋銅金屬擴散的阻障層是目前急需研究開發的，無電鍍技術低成本且製程容易，故為近年來 IC 製程技術重要的研發題目之一。E.J. O'Sullivan 等人在 1998 年所發表無電鍍鈷磷合金應用於銅矽間之擴散阻障層的文獻指出，當鍍層厚度約 50 nm 即可有效阻擋銅的擴散，即使元件溫度達 400°C 亦不劣化，亦證明無電鍍鈷磷較無電鍍鎳磷之擴散阻障效果為佳[35]。近來有許多研究在探討其於銅矽間擴散阻障能力，茲整理概述如下。

Y. Shacham 等人研究在無電鍍鈷磷合金中添加耐火金屬如鎢 (W) 及鉬 (Mo)，在厚度小於 30 nm 之鍍層中即能明顯地增進其阻障之功效，退火溫度可達 350°C 而不受影響[36]。

Takeyuki Itabashi 等人以 DMAB (Dimethyl Amine Borane) 為還原劑，沉積 CoWB 合金為銅導線擴散阻障層，厚度約 200 nm，退火溫度可至 500°C[44]。

A. Kohn 等人針對無電鍍鈷磷合金、無電鍍鈷鎢磷合金以及 PVD 方式所沉積的鈷金屬對於銅金屬的阻障能力進行比較，結果顯示 PVD 方式沉積的鈷金屬乃為多晶結構，故晶界擴散情形嚴重，而無電鍍方式所沉積之鈷合金因晶界處由鎢原子及磷原子填滿，故可有效阻擋銅之擴散，且 $\text{Co}_{0.9}\text{W}_{0.02}\text{P}_{0.08}$ 合金之效果較 $\text{Co}_{0.9}\text{P}_{0.1}$ 為佳，厚度約 30 nm 之鍍層在 450°C 退火數小時仍可有效阻擋銅的擴散[42,45]。

除了在銅導線的擴散阻障層應用上，目前無電鍍鈷磷合金在覆晶技術中對於錒錫球的擴散阻障能力之探討，即無電鍍鈷應用於凸塊底層金屬化 (UBM) 之

可行性的相關研究尚屬欠缺。根據文獻指出，已有研究是將鈷金屬使用在 UBM 層材料中，但其沉積乃是以電鍍方式，如 Riet Labie 等人所發表之論文即為探討電鍍鈷金屬之 UBM 層與共晶錫鉛及純錫銲錫之界面反應，其亦證明了鈷金屬能夠阻擋錫球之擴散，且經過 150°C 熱處理 1500 小時尚能保持穩定未劣化[46,47]。

綜合上述可知鈷可做為一良好之擴散阻障層材料，且若能利用其非晶質結構之特性，則除了運用於銅導線間之阻障外，亦能將其應用於覆晶構裝中 UBM 層中之阻障材料。UBM 層製作方式大多是以真空蒸鍍、濺鍍、電鍍以及無電電鍍為主，但因電鍍不適用於非導體之陶瓷或有機基板，蒸鍍與濺鍍技術的成本昂貴，故本實驗採用低成本且製程容易之無電電鍍技術方式沉積鈷磷層，觀察其與共晶錫鉛所產生之界面反應、錫元素的擴散情形，以評估其應用於銅製程之覆晶接合中，同時阻擋錫鉛及銅的擴散之能力。



第三章

實驗方法

本實驗嘗試在長有氧化層的矽晶片基板上蒸鍍鈦/銅金屬層，用以模擬金屬導線，再於其上沉積無電鍍鈷合金擴散阻障層，接著在作為潤濕層的銅金屬表面電鍍共晶錫鉛後於還原氣氛下進行熱處理，用以模擬鈷磷合金/銅結構與銲錫迴流後之界面反應，藉以評估無電鍍鈷合金用於凸塊底部金屬化（UBM）擴散阻障層之可行性，試片架構如圖 3-1 所示。

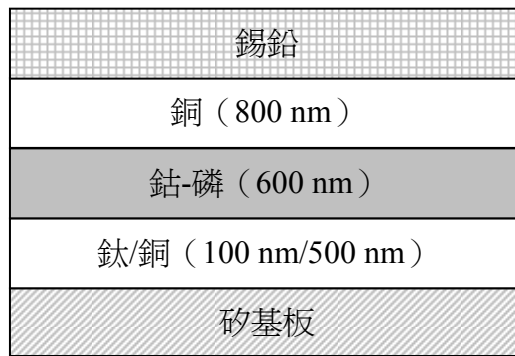


圖 3-1. 實驗試片之架構。

3.1 無電鍍金屬基本性質量測

3.1.1 鍍率量測

先將長有氧化層的矽晶片以電子束蒸鍍方式鍍上鈦/銅金屬模擬導線，經過前處理、敏化及活化等步驟後，分別進行不同時間的無電鍍鈷合金沉積，再以表面粗度儀（Surface Profiler，KLA-TENCOR P-10）測量厚度，即可得到其鍍率。

3.1.2 無電鍍鈷鍍層成分分析

本實驗無電鍍鈷鍍浴是以次磷酸鹽為還原劑，所得之鍍層為鈷磷合金，利用歐傑電子能譜儀（Auger Electron Spectroscopy，AES，VG350）與場發射式電子

顯微鏡 (Field Emission Scanning Electron Microscope, FE-SEM JSM-6500F) 所附之能量散佈光譜儀 (Energy Dispersive Spectrometer, EDX Oxford Inca Energy 300) 對所析鍍出的無電鍍鈷層進行元素定性及定量分析。

3.1.3 X 光繞射分析

先將長有氧化層的矽晶片以電子束蒸鍍方式鍍上鈦/銅金屬模擬導線，經過前處理、敏化及活化等步驟後，分別進行不同時間的無電鍍鈷合金沉積，各取一組試片以X光繞射儀進行分析 (X-ray Diffractometer, XRD, M18 XHF)，X光來源為Cu- K_{α} ，波長為 0.154 nm，電流與電壓分別為 200 mA及 50 kV，掃描速率為每分鐘 4 度。

3.2 無電鍍鈷金屬阻障層之製備

實驗試片準備流程如圖 3-2 所示，以下簡介其前處理及鍍膜程序。



3.2.1 基板製備與清洗

採用經RCA清潔後之 4 吋矽晶片為基板，並於其上以濕氧化法 (Wet Oxidation) 沉積一層二氧化矽 (SiO_2) 氧化層，再以電子束蒸鍍方式分別沉積鈦/銅層。鈦為附著層，用以增加銅與氧化層間之附著能力，銅則為模擬導線之金屬層。

銅基板使用前，為避免表面污染物或微小雜質影響後續鍍膜品質，需先進行清洗以確保表面潔淨，其步驟如下：

- (1) 浸入去離子水 (D.I. Water) 中，以超音波震盪清洗 5 分鐘，此步驟為去除表面微小粒子；
- (2) 將基板浸入丙酮 (Acetone) 中，以超音波震盪清洗 3 分鐘，此步驟為去除表面有機物。
- (3) 將基板浸入去離子水中，以超音波震盪清洗 3 分鐘，此目的為去除前一步

驟所殘留的丙酮；

(4) 將基板取出以去離子水清洗後，再以氮氣吹乾即完成清洗步驟。

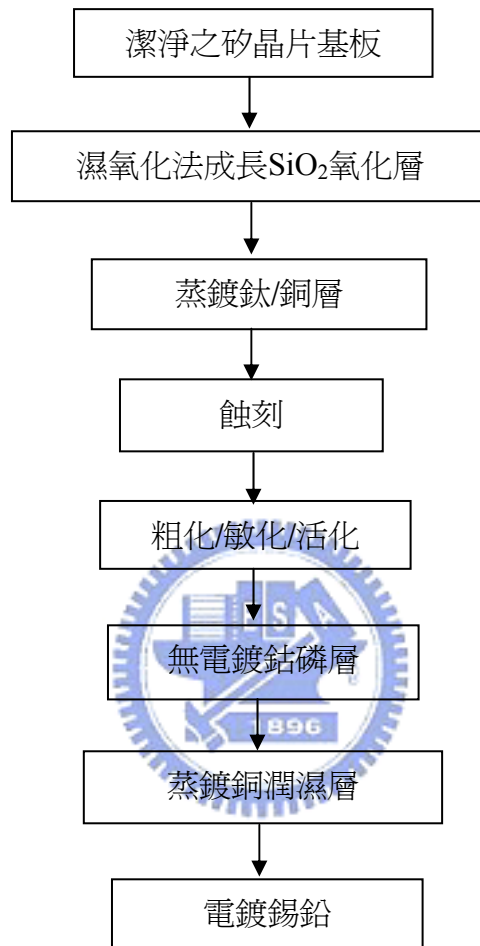


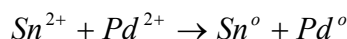
圖 3-2. 試片準備流程。

3.2.2 基板前處理

將製備完成的潔淨矽基板切割成約 2 cm×2 cm 面積大小之試片，並於鍍膜前先進行試片之前處理，主要可分區為粗化、敏化以及活化等步驟，溶液之組成及濃度等如表 3-1 所示，其原理及目的概述如下。

粗化的部分是採用 5 wt.%的稀硫酸（H₂SO₄）溶液為銅蝕刻液，將試片置入蝕刻液中浸漬 10 分鐘後，取出試片以去離子水沖洗表面並以氮氣吹乾。此蝕刻動作之目的是為了增加基板銅表面的粗糙度，以利後續鍍膜對基材之附著性。如在非活性表面上進行鍍膜，則必須經過敏化與活化的動作，才能將金屬離子析鍍

在表面[29-30]。由於本實驗所採用之銅已為活性表面，故不必經由敏化活化步驟亦可進行鈷磷合金之鍍膜，但求金屬膜之均勻平整性，仍將敏化及活化動作列為必須步驟。先將粗化完之試片置入敏化液中浸漬 10 分鐘，利用氯化亞錫（ $\text{SnCl}_2 \cdot 2\text{H}_2\text{O}$ ）在水中解離得到亞錫離子（ Sn^{2+} ）吸附在銅表面，用來還原後續的鈰離子（ Pd^{2+} ）形成鈰原子（ Pd^0 ）。再將敏化完之試片置入活化液中浸漬約 40 至 50 秒，由於氯化鈰解離後得到的鈰離子（ Pd^{2+} ）之還原性較亞錫離子（ Sn^{2+} ）來得高，故可藉由氧化還原反應使銅表面形成一層具催化能力的鈰原子層（ Pd^0 ），微小的島狀鈰顆粒會沉積在銅基板的表面，成為鈷合金的成核位置。鈰的沉積反應式如下：



藉由粗化敏化活化之前處理使試片表面產生一均勻催化層後，即可利用無電電鍍技術在其表面進行沉積。

表 3-1. 粗化、敏化與活化溶液組成及浸漬時間。

步驟	組成	濃度	浸漬時間
粗化	H_2SO_4	5 wt. %	10 分鐘
敏化	$\text{SnCl}_2 \cdot 2\text{H}_2\text{O}$	10 g/L	10 分鐘
	HCl	40 ml/L	
活化	PdCl_2	0.1 g/L	45 秒
	HCl	8 ml/L	

3.2.3 無電鍍鈷磷合金層之製備

將經由前處理過後之銅基板浸置無電鍍鈷鍍液中，開始進行無電鍍鈷沉積，鍍液組成與濃度如表 3-2 所示，以濃度為 3M 之 NaOH 調整鍍液 pH 值。採用直接加熱法，並以磁石攪拌保持鍍液內溫度與濃度之均一性，析鍍條件控制在 pH 值 7.8 ± 0.3 ，溫度 $75 \pm 2^\circ\text{C}$ ，V/A（鍍液體積/面積， ml/cm^2 ）不低於 20，析鍍時間依所需厚度調整，析鍍 30 秒鐘可得到厚度約 100 nm 之鈷層，試片取出後以去離子

水沖洗再以氮氣 (N₂) 吹乾。

表 3-2. 無電鍍鈷鍍液組成及濃度。

組成	濃度 (g/L)
CoSO ₄ ·7H ₂ O	35
NaH ₂ PO ₂ ·H ₂ O	40
Na Citrate	35
(NH ₄) ₂ SO ₄	70

3.3 無電鍍金屬與錒錫之界面反應

3.3.1 試片製備

將經過無電鍍鈷沉積後之試片以電子束蒸鍍方式先鍍上一層厚度約為 300 nm的銅作為潤濕層，再以電流密度為 1 ASD (Amp/dm²) 電鍍共晶錒鉛 30 分鐘，接著將試片置於 250°C、成型氣氣氛 (Forming Gas, 95% N₂-5% H₂) 中進行時間分別為 0, 0.5, 6, 18, 24 小時之熱處理。



3.3.2 結構與成分分析

以熱場發射式電子顯微鏡 (FE-SEM JSM-6500F 或 FE-SEM Hitachi S-4700) 觀察試片橫截面型態及金相組織變化；以能量分散光譜儀 (Energy Dispersive Spectrometer, EDX Oxford Inca Energy 300) 進行元素定性分析，利用元素線掃描 (Element Line-scanning) 觀察化學組成變化及元素擴散情形。

第四章

結果與討論

4.1 無電鍍鈷磷合金基本性質

4.1.1 薄膜沉積速率

圖 4-1 為無電鍍鈷磷薄膜的鍍率曲線，析鍍條件為 pH 值 = 7.8 ± 0.3 ，溫度 = $75 \pm 2^\circ\text{C}$ ，析鍍初期因鍍液濃度最高所以反應較快，浸置 30 秒之沉積厚度約 100 nm，在此析鍍條件下之平均鍍率約 135 nm/min；與無電鍍鎳比較，無電鍍鈷的沉積速率較慢。依照其化學反應式，改變 pH 值使鍍液之鹼性增加有利於電子的釋放，因而可提高沉積速率，表 4-1 為鍍液在相同溫度不同 pH 值條件下析鍍 30 秒所得之鍍層平均厚度，可看出鍍層的厚度隨著 pH 值增加而增加，證實在較鹼的環境下析鍍速率較快。此外。溫度升高可加快化學反應速率，亦可增加鍍膜速度。

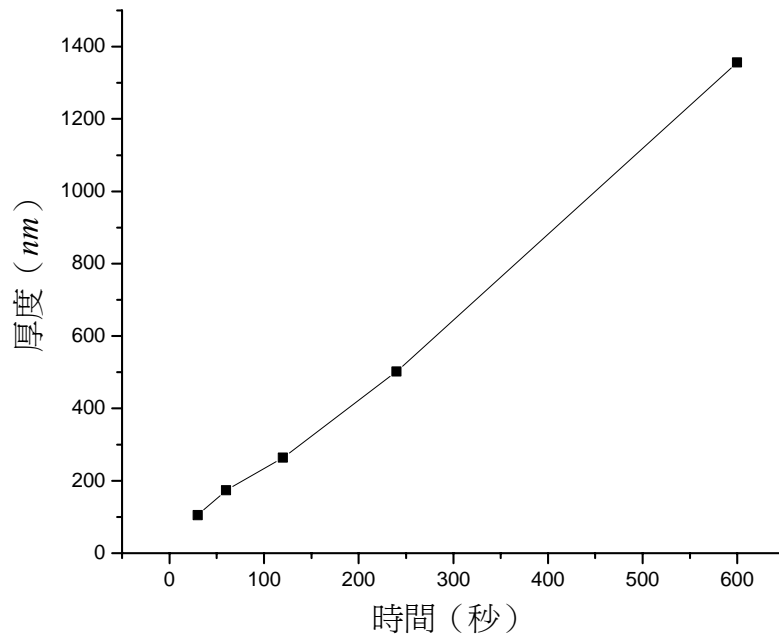


圖 4-1. 無電鍍鈷鍍率。

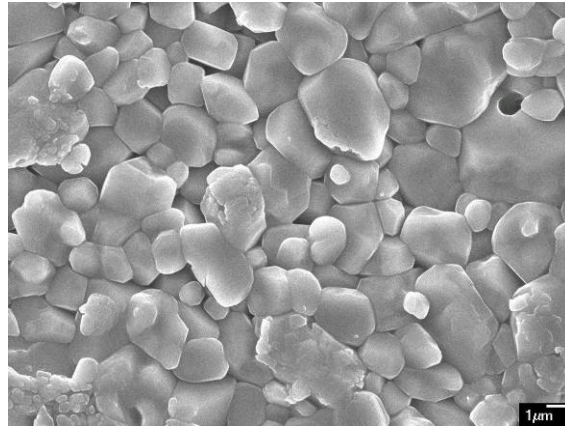
表 4-1. 不同pH值所得之鍍層厚度。

pH 值	析鍍 30 秒之鍍層平均厚度 (nm)
7.5	100
8.0	160
8.5	250

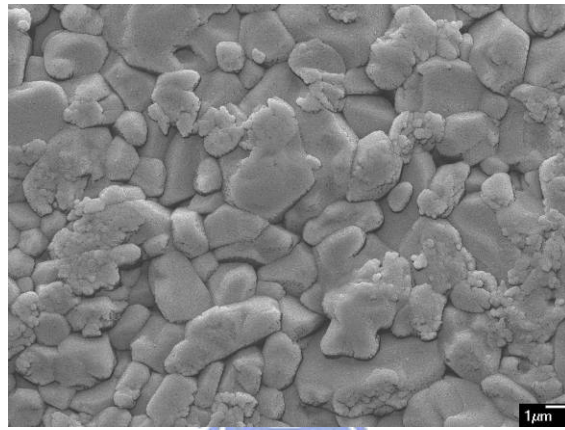
4.1.2 析鍍過程變因之影響

析鍍條件影響無電鍍層的形貌、性質以及結構，本實驗在決定最後析鍍條件前，曾嘗試許多不同析鍍條件下之製程，茲將其結果整理如下：

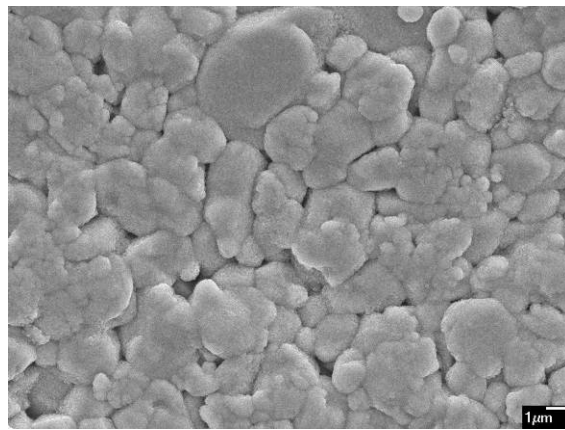
- (1) 基板的影響：本實驗共嘗試了五種不同的基板，包括薄銅片、銅箔積層板（Copper Clad Laminate，CCL）、鍍有鈦/銅之氧化鋁基板、拋光銅板、以及鍍有鈦/銅之矽晶片基板，而根據後續製程可能產生的問題，例如 CCL 無法承受後續熱處理的高溫等，最後遂決定所採用矽晶片為基板。基板種類不同，會影響到後續無電鍍鍍層的表面形貌，以及鈷晶核的成長與叢聚情形，且前處理所需條件亦有所不同。在析鍍條件相同的情況下，圖 4-2 為氧化鋁基板以及於其上進行後續製程之表面形貌，可觀察到後續的鍍層會複製底部基板形貌，使得晶核叢聚類似基板表面形貌，且析鍍時間不夠長的鈷膜無法形成連續緻密的鍍層，因而可能影響後續的擴散實驗結果，故亦不採用氧化鋁做為本實驗之基板。而圖 4-3 則為在拋光銅板表面之析鍍形貌，可看出在較為平整的銅板表面所析鍍上去的鈷晶核顆粒較小，且鈷層緻密度及連續性較好，外觀與析鍍在 CCL 上的金屬膜不同的地方在於，析鍍於拋光銅板表面的鈷膜有金屬亮澤，但銅板表面有刮痕存在的地方會造成鈷原子成核及成長的速率不同，使得鈷層無法完整地覆蓋住整個銅板的表面，而這些刮痕極可能成為後續擴散反應的快速路徑，因此最後亦不採用拋光銅板。



(a)



(b)

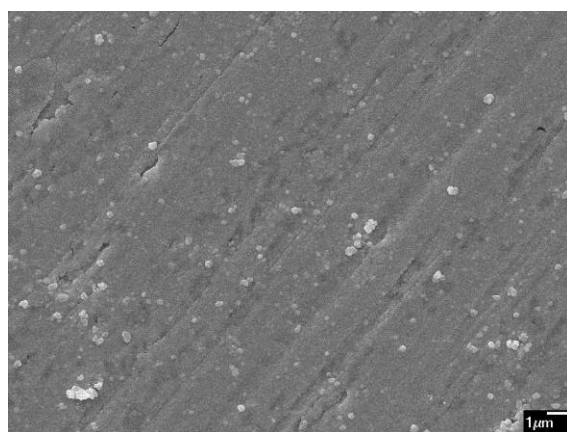


(c)

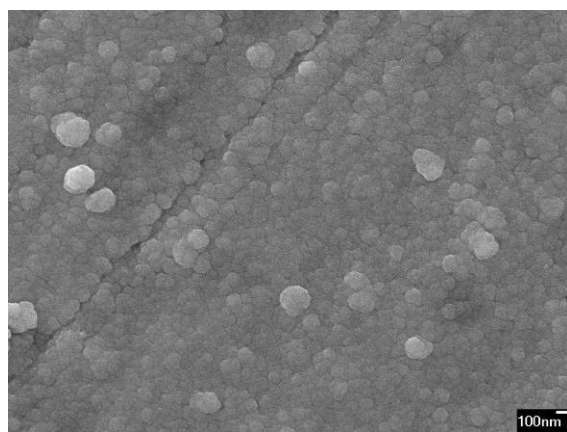
圖 4-2. 以氧化鋁基板進行析鍍反應之表面形貌：(a) 析鍍前氧化鋁基板；(b) 鍍上鈦/銅之氧化鋁基板；(c) 析鍍 600 秒試片表面。



(a)



(b)



(c)

圖 4-3. 以拋光銅板進行析鍍反應之表面形貌：(a) 析鍍前銅板表面；(b) 析鍍 600 秒試片表面；(c) 析鍍 600 秒試片表面。

(2) 鍍浴 pH 值不同之影響：pH 值的高低會影響鍍層的磷含量，因而改變鍍層的結構，且隨著 pH 值的不同，鈷晶核的叢聚情形亦有所不同，圖 4-4 為不同 pH 值條件下，在拋光銅板上進行析鍍 60 秒所得之試片表面形貌，可看出當 pH 值增加時，鈷晶核叢聚的顆粒開始變大，而 pH 值在 8.5 時顆粒間的連續性較佳，然而當 pH 值增加至 9.0 時，叢聚的型態轉變為類似針葉片狀的結構。

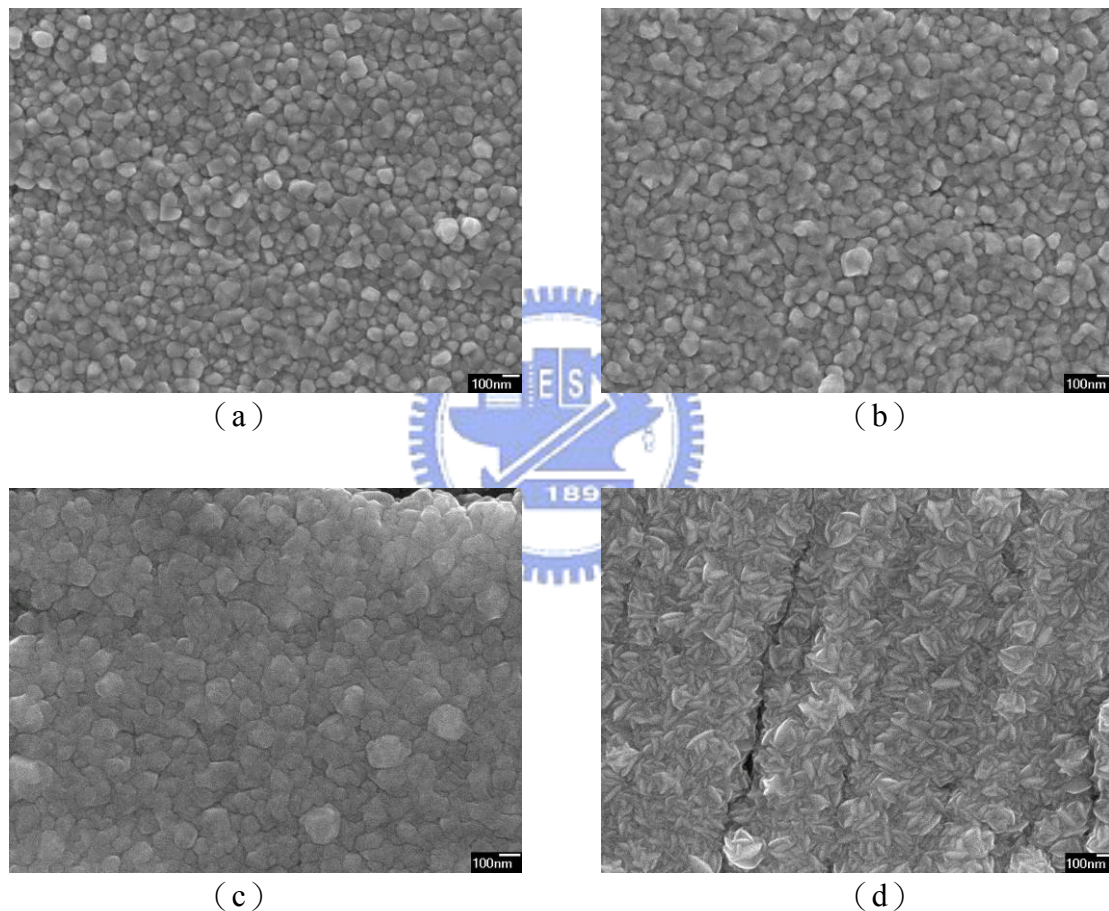


圖 4-4. 不同pH值條件下進行析鍍反應之表面形貌：(a) pH值 = 7.5；(b) pH值 = 8.0；(c) pH值 = 8.5；(d) pH值 = 9.0。

4.1.3 金屬鍍層表面型態

圖 4-5 為前處理完之銅基板表面形貌，圖 4-5 (a) 為粗化完之試片表面，銅原子晶粒大小約在 100 nm 上下，由於銅金屬層乃以電子束蒸鍍方式沉積，故原子堆疊緊密，表面亦平整無刮痕。圖 4-5 (b) 為敏化完之銅表面形貌，經過浸置

於敏化液中 10 分鐘，氯化亞錫已均勻覆蓋在銅表面。圖 4-5 (c) 為活化完之銅表面形貌，試片浸置於活化液中的時間長短會影響鈀的晶粒大小，活化時間太短，鈀的晶粒雖小但覆蓋並不完全，而活化時間過長，鈀的晶粒則開始成長，晶粒大小亦可能超過 100 nm，且可能造成過多的鈀在後續浸鍍的過程中殘留在鍍液中，造成鍍液的沉澱。因此本實驗活化時間固定在 45 至 50 秒，所得到之鈀的晶粒叢聚大小約在 20 至 30 nm，且已能均勻覆蓋住銅基板的表面。

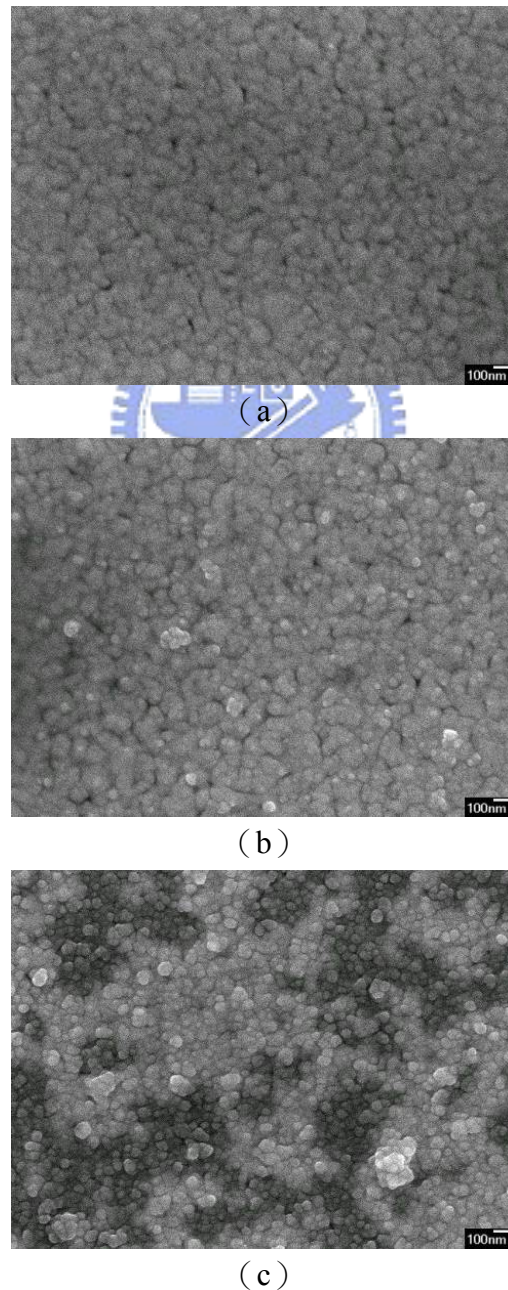


圖 4-5. 前處理完之試片表面形貌：(a) 粗化；(b) 敏化；(c) 活化。

活化時間長短會影響到鈰原子的叢聚情形，且如使用不同基板，則活化時間亦須隨之調整，如圖 4-6 所示，其分別為活化時間不同的試片表面形貌，當活化時間很短只有約 10 秒時，鈰尚未與基板上的錫置換完全，所以仍有部分位置是錫跟鈰共同存在，且鈰無法完全覆蓋表面。而當時間拉長至 90 秒，鈰雖完全將基板表面覆蓋，但叢聚的顆粒變大，會影響後續鈷金屬置換時的晶核大小，因而影響鍍層的結構，因此 45 至 50 秒最適當之活化時間。

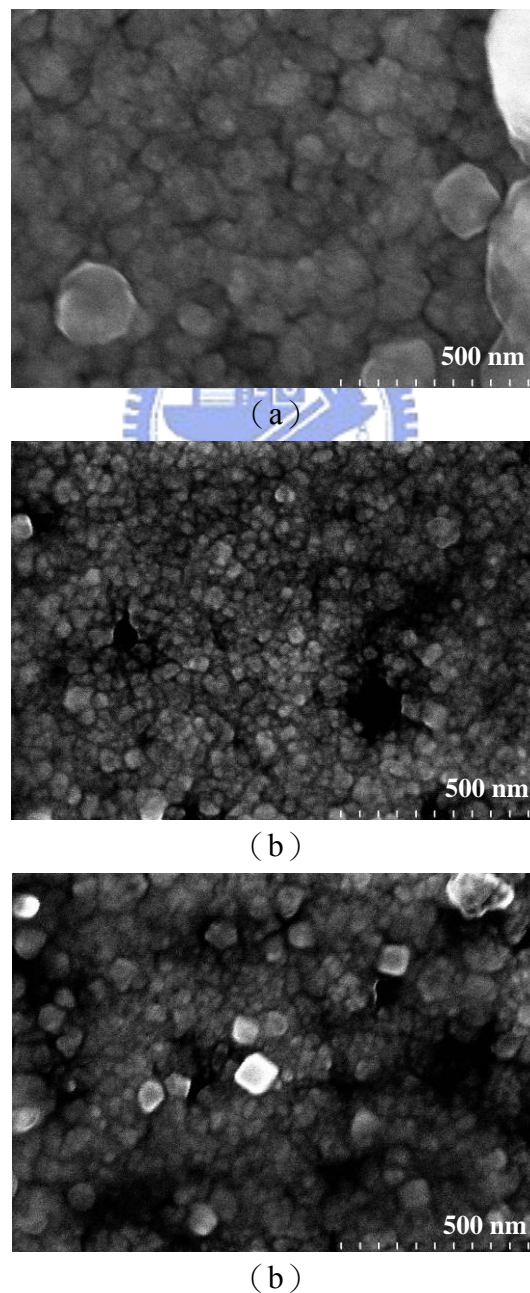


圖 4-6. 不同活化時間之試片表面形貌：(a) 10 秒；(b) 50 秒；(c) 90 秒。

根據研究指出[30]，析鍍初期所置換得之鈷原子大小範圍約在 20 至 100 nm 間，以分散不連續粒子方式成核，所以析鍍時間短之表面無法完全覆蓋，會有部份區域無金屬沉積，當沉積厚度大於 70 nm，晶粒會開始成長變大。而晶粒大小亦受鍍液濃度的 pH 值影響，在 pH 值約 7.5 時，平均的晶粒大小約 60 nm，當 pH 值增加到 8.4 時，平均的晶粒大小則為 300 nm 左右，當 pH 介於 7.8 至 8.4 的範圍內，所沉積的薄膜連續性較佳。圖 4-7 為不同析鍍時間所得之無電鍍鈷層表面型態，本實驗之鍍液 pH 值為 7.8 ± 0.3 ，由 4-7 (a) 析鍍 30 秒的試片表面形態，可看到表面顆粒大小約數十 nm，而隨著析鍍時間增加，原本分散不均的晶核開始叢聚，由原本的微小顆粒開始成長為較大的顆粒，且結構會因反應時間以及析鍍速率的不同而有所改變。由於無電鍍鈷磷合金是由前處理活化之鈮原子置換所得，而鈮原子的叢聚情形以及基板本身形貌皆會影響置換後鍍層的緻密程度及薄膜的連續性，由 SEM 表面形貌之觀察，隨著析鍍時間增加，試片表面所顯示一顆顆類似晶粒之形貌，並非是鈷磷鍍層多晶化之現象，其應為顆粒叢聚的結果，即原本在任意位置所形成的晶核會開始成長，且聚集在一起形成較大的顆粒，而奈米微晶結構則是嵌在照片所見的大顆晶粒當中（4.1.4 節成分與結構之分析將針對此一結果討論之）。

進行無電鍍沉積時，由其析鍍反應式中可推知試片表面會有大量氫氣產生。因此在析鍍的過程中，除須有磁石在燒杯底部攪拌保持鍍浴濃度穩定外，仍須適時搖動試片的夾具使氫氣脫離基板的表面，否則會有氣泡堆積在基板表面，而氣泡存在的位置會形成一與外界隔絕之氣室使金屬無法沉積於其上，因而影響後續鍍膜，導致鍍層產生缺陷，所沉積出之膜層也會不均勻緻密。析鍍過程中，鍍浴壽命亦為影響鍍膜品質的重要原因之一[31]，金屬離子會與錯合劑形成錯化物，且若是 pH 值過高亦可能與氫氧根離子形成錯離子或氫氧化物而產生沉澱。根據研究指出[48]，鍍浴壽命變短乃因鍍浴中的錯化物會由容易還原 (Easy-to-reduce) 轉變為難還原 (Difficult-to-reduce) 的錯化物，而藉由添加硫化胺 (Hydrazine Sulfate, $(\text{NH}_2)_2\text{S}$) 及二甲基胺硼 (Dimethylamineborane, DMAB) 可抑制難還原

錯化物的增加，使得鍍浴壽命可由原本的 2 至 3 天增加為 5 至 7 天。根據本實驗之研究，失效之鍍浴會產生無法析鍍的現象，或析鍍試片表面外觀呈深黑色而非金屬光澤型態，以及鍍浴中出現白色氫氧化物的沉澱，因此隨時添加pH值調整劑保持鍍浴pH值與適時更換新的鍍浴，才是確保鍍浴穩定性的最好方法。

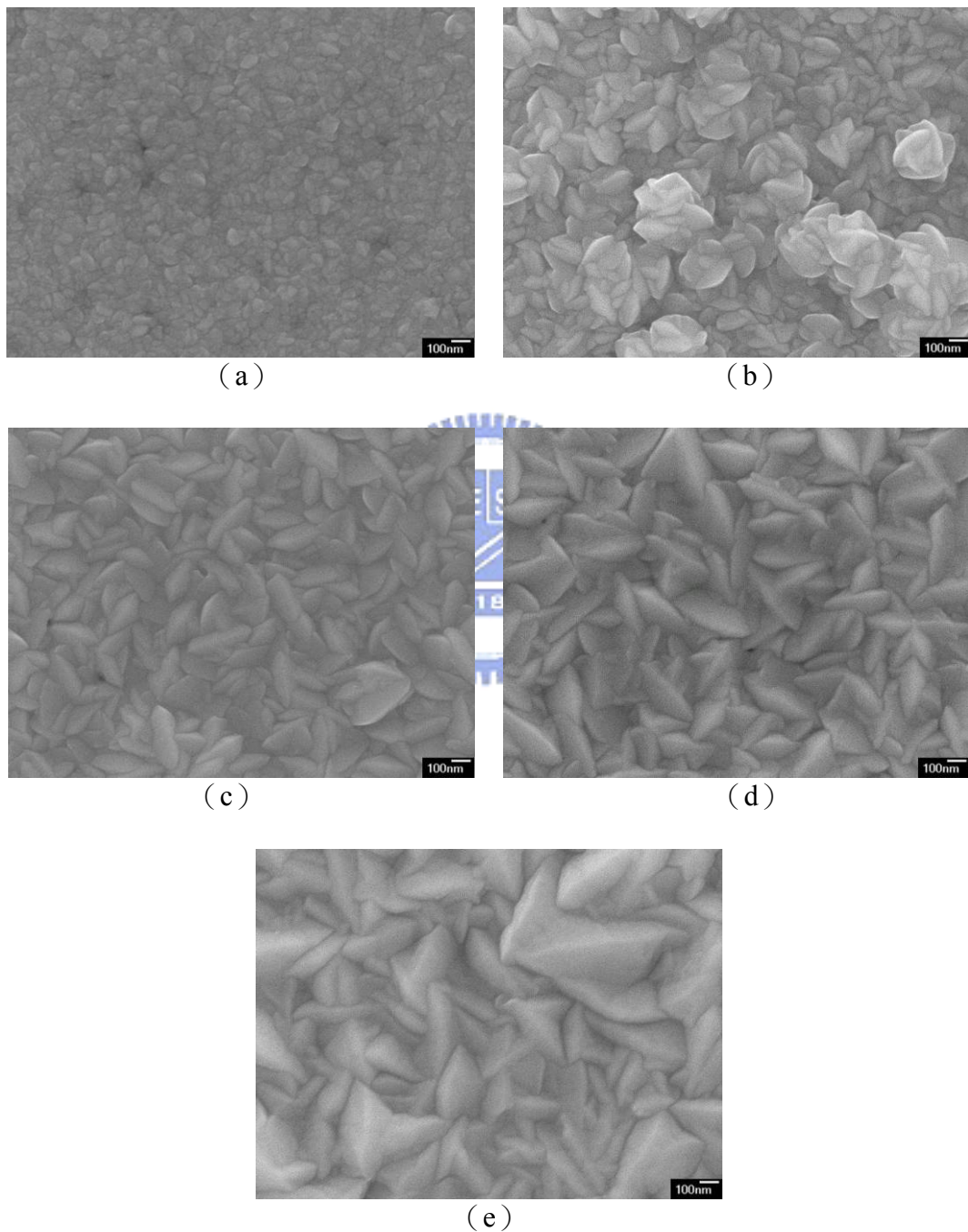


圖 4-7. 不同析鍍時間所得之無電鍍鈷層表面形貌：(a) 30 秒；(b) 60 秒；(c) 120 秒；(d) 240 秒；(e) 600 秒。

4.1.4 金屬鍍層成分分析

由鈷-磷相圖（圖 4-8）可知，鈷主要以六方最密堆積（Hexagonal Closed-packed, HCP）結構的 α -Co型態存在，而根據之前的研究報導，磷含量的多寡會影響鍍層結構及表面形貌，當磷含量介於 8 at.%至 10 at.%之間，可得到晶粒大小約在奈米級的微晶結構（Nanocrystalline），磷含量在 10 at.%至 12 at.%之間，金屬鍍層則為奈米微晶及部分非晶質結構所組成，而磷含量超過 12 at.%，則可得到完全的非晶質結構[41-42]，此非晶質結構會在約 290°C時開始結晶轉為 α -Co，而斜方（Orthorhombic）晶體結構的Co₂P相則會在約 420°C時出現[45]。本實驗熱處理溫度為 250°C，故上述兩種在較高溫才有的結晶型態應不至於出現。根據本實驗所得之無電鍍鈷磷鍍層元素的定性與定量分析顯示，磷含量會根據析鍍時間的長短而有所變動，表 4-2 為不同析鍍時間試片表面之EDX分析結果，將其磷含量平均後整理得之數據，雖然磷含量有所改變，但都能維持在約 12 at.%上下，因此理論上本實驗所得之試片應為非晶質結構，但EDX分析所得之數據應為一元素定性及半定量的分析值，而非絕對定量之結果，故實際上本實驗之試片其應為奈米微晶結構與非晶質結構所組成，此亦可由後續X光繞射分析結果以及歐傑電子能譜儀的縱深分析得證。

根據 X 光繞射分析結果顯示：無電鍍鈷磷鍍層並非完全由非晶質結構所組成，應有奈米微晶結構的區域存在，析鍍時間越長，具有結晶型態的鈷磷層亦更趨明顯。由無電鍍鈷磷的反應式，可看出磷的形成乃次磷酸根與氫離子反應而成，次磷酸根氧化成為亞磷酸根，並提供電子使鈷離子還原成鈷金屬沉積。因此可推測得知，在反應初期的次磷酸根濃度最高，故反應驅動力最大，相對磷的析出量亦最大，而隨著反應的進行，次磷酸根濃度會逐漸降低，鍍層中磷的含量亦有可能隨之遞減，因此後續鍍層的結晶型態也會受到影響而產生變化。反應初期的高磷含量會使鍍層成為非晶質結構，而隨著磷含量的降低，部分區域的無電鍍鈷磷合金層可能開始逐漸產生奈米微晶結構，嵌在原本的非晶質結構之中，至磷含量低於 8 at.%時，鍍層結構的結晶型態會更加顯著。且隨著時間增加，晶粒亦

開始成長，起始的奈米微晶粒也可能轉變為多晶結構，此亦符合上述理論。圖 4-9 為歐傑電子能譜儀 (AES) 對析鍍 5 分鐘，厚度約 600 nm 的鈷磷鍍層所做之縱深分析，橫座標為由鍍層表面往下之深度，縱座標為每 100 nm 厚之鈷層的平均磷含量，其顯示磷含量隨著深度漸深開始增加，至鈷鍍層與下層銅基板之界面時可達一最高磷含量 ($\approx 20 \text{ at.}\%$)，此亦可說明磷含量在析鍍初期為最高，但隨著析鍍時間變長厚度增加而開始降低，進而使鍍層的結構由非晶質轉變為奈米微晶，甚至多晶的結構。

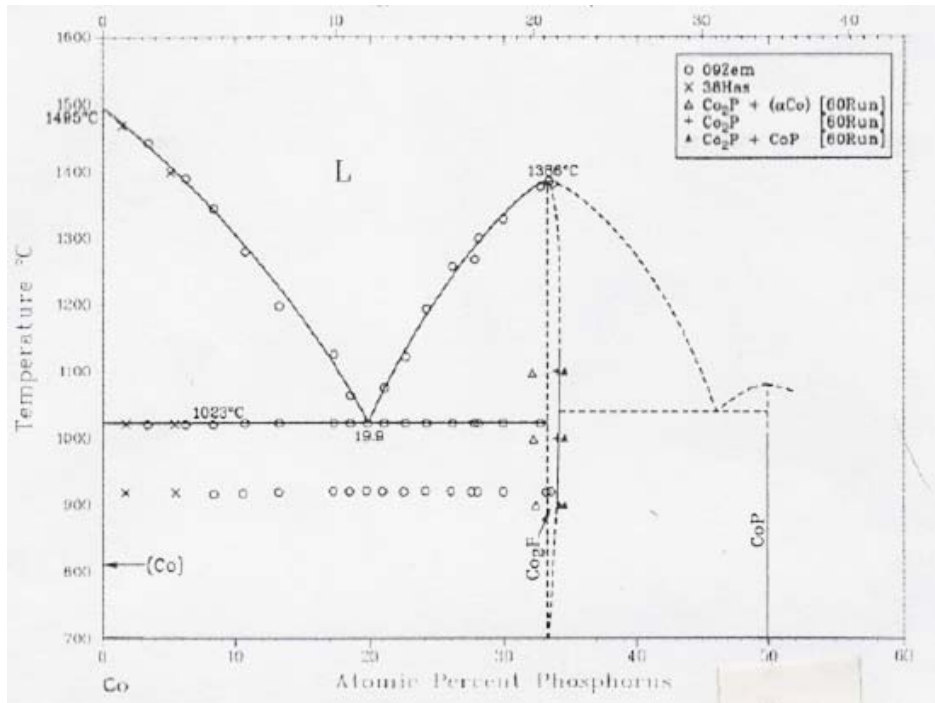


圖 4-8. 鈷-磷二元合金相圖。

表 4-2. 不同析鍍時間鍍層之EDX磷含量分析結果。

析鍍時間 (秒)	Co (at.%)	P (at.%)
30	85.02	14.98
60	88.07	11.93
120	86.66	13.34
240	89.68	10.32
600	91.32	8.68

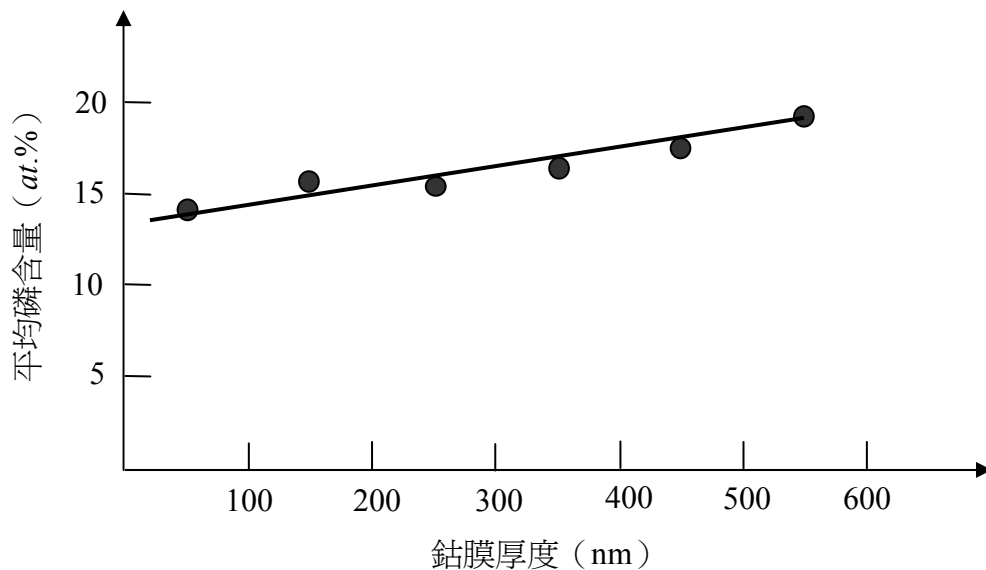


圖 4-9. 歐傑電子能譜儀 (AES) 之平均磷含量縱深分析。

圖 4-10 為不同析鍍時間所得之 X 光繞射圖，析鍍 30 秒的試片完全無鈷元素的繞射峰，只有明顯的銅 (111) 以及 (200) 方向的繞射峰，根據鍍率顯示析鍍 30 秒之試片厚度約 100 nm，在析鍍初期，薄膜可能尚未完全覆蓋表面，且析鍍時間較短的鈷磷薄膜應為非晶質結構，因此鈷繞射峰強度相較於銅基板層的繞射峰強度顯得極為微弱。隨著析鍍時間的增長，鈷的繞射峰強度逐漸增加，而銅的繞射峰強度相對地減弱，至析鍍 600 秒的試片，其 (10 $\bar{1}$ 0) 方向的繞射峰相較於 (0002) 及 (10 $\bar{1}$ 1) 方向已非常明顯，可知隨著析鍍時間增加，非晶質結構開始轉變為微晶結構，且時間越長微晶結構區域會逐漸擴大，因此可得到較為明顯的鈷金屬繞射峰值。圖 4-11 為析鍍 30 分鐘 (= 1800 秒) 所得之無電鍍鈷層 X 光繞射圖，其厚度約 2 至 3 μm ，由 (10 $\bar{1}$ 0)、(0002) 及 (10 $\bar{1}$ 1) 等鈷繞射峰值的明顯出現可推測析鍍 30 分鐘所得之鈷磷薄膜應為多晶質 (Polycrystalline) 結構，而結晶性高之無電鍍鈷磷鍍層並無法作為有效的擴散阻障層，另外，再以 X 光繞射峰值計算晶粒大小之公式 ($t = \frac{0.9\lambda}{B \cos\theta}$ ， t 為晶粒大小， B 為半高寬， θ

為其布拉格繞射角度) 來估算晶粒大小[49]，以推論本實驗鍍層的結構，析鍍 60 秒之試片經由計算可得其晶粒大小約 8.42 nm，隨著時間增加其晶粒亦開始變大，析鍍 30 分鐘 (= 1800 秒) 之試片晶粒大小約 34 nm。而分析所得本實驗所使用之析鍍 5 分鐘之鈷金屬層應主要為奈米微晶結構，晶粒大小應約為 20 至 30 nm。根據上述表 4-2 之 EDX 磷含量分析結果，析鍍 30 秒之試片的磷含量可達 14.98 at.% (AES 分析則接近 20 at.%!)，隨著析鍍時間增加磷含量減少，鍍層的結晶型態亦隨之改變，此結果與公式所估算得之晶粒大小相符，故推測在析鍍最初期時，應已形成一層非晶質結構的薄膜在底部銅金屬與鈷層界面，雖後續析鍍所得之鍍層結構開始轉為奈米微晶結構，但此非晶質結構之薄膜的存在為能有效阻擋錫與銅元素擴散之主因。

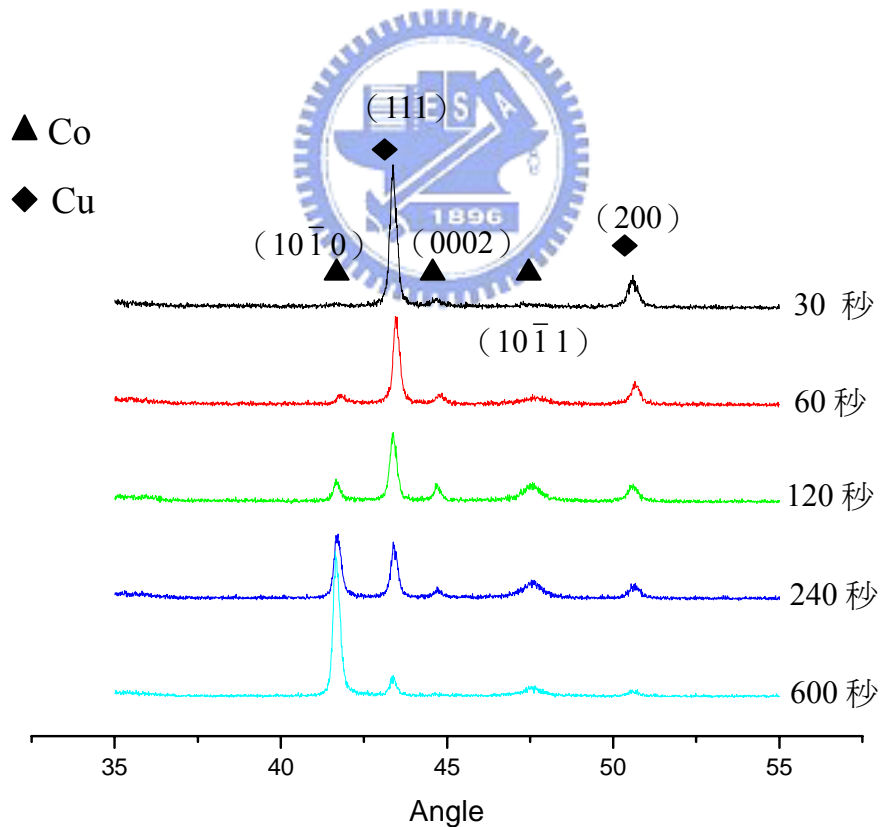


圖 4-10. 不同析鍍時間鍍層之X光繞射分析。

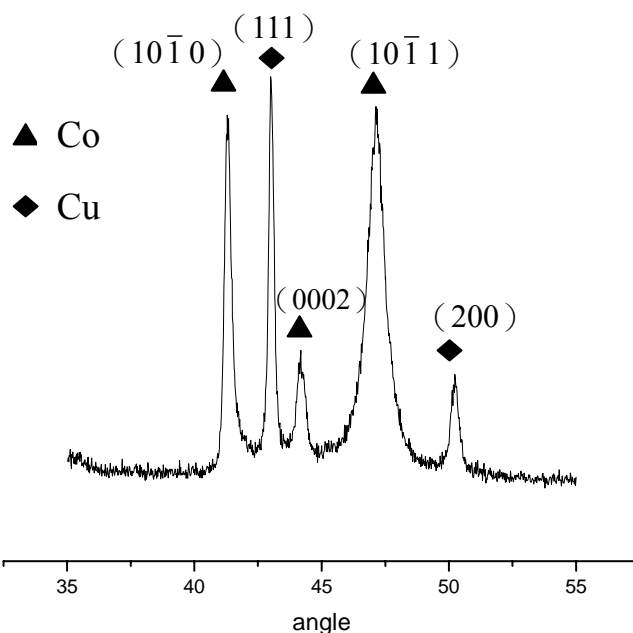


圖 4-11. 析鍍 30 分鐘 (= 1800 秒) 鍍層之X光繞射分析。

4.2 無電鍍鈷磷合金阻障層與鋅錫之界面反應

本實驗所採用之鋅錫為接近共晶組成的錫鉛鋅錫，由錫-鉛相圖（圖 4-12）可知其共晶溫度約 183°C，故本實驗所採用之 250°C 熱處理溫度下，應可得到錫鉛之共晶結構，且界面的擴散行為乃在一液態情況下進行。根據前人研究結果顯示，鈷跟銅都會與錫鉛中的錫反應產生介金屬化合物，故作為潤濕層的銅金屬會先與錫鉛反應，而由銅-錫的相圖（圖 4-13）可知，銅與錫會產生 Cu_6Sn_5 及 Cu_3Sn 兩種介金屬化合物，依熱處理的溫度及時間來決定所出現的化合物為何。根據鈷-銅（圖 4-14）以及鈷-錫（圖 4-15）的相圖，鈷與銅在 422°C 下幾乎不互溶，因此鈷可作為一良好之銅擴散阻障層，而鈷與錫則可能互溶產生一介穩相。本實驗之試片結構為矽/氧化矽/鈦/銅/鈷/銅/鋅錫，在 250°C、氮氣環境下，分別進行 0、0.5、6、18、24 小時之熱處理，其SEM截面型貌如圖 4-16 至 4-20 所示。

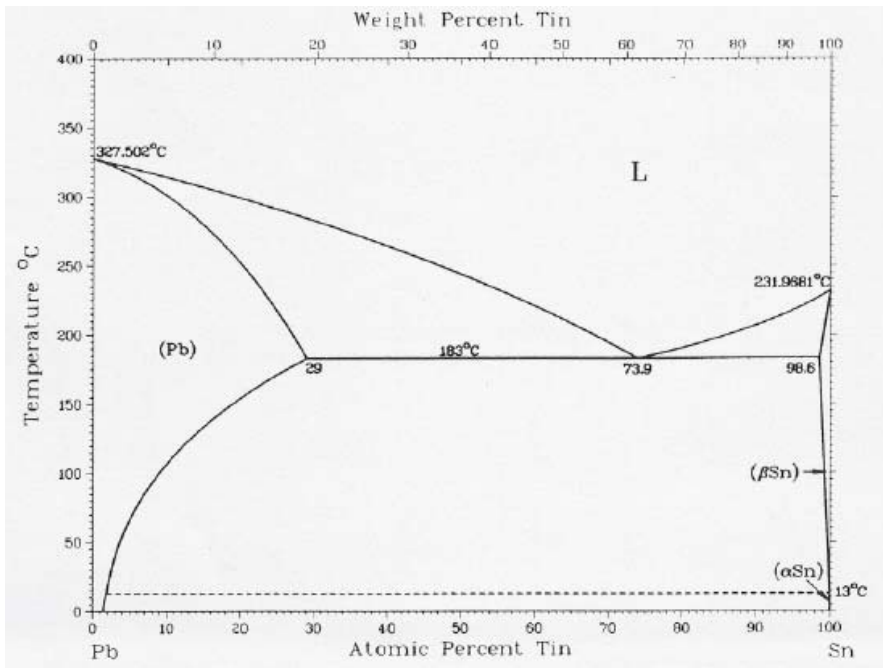


圖 4-12. 錫-鉛二元合金相圖。

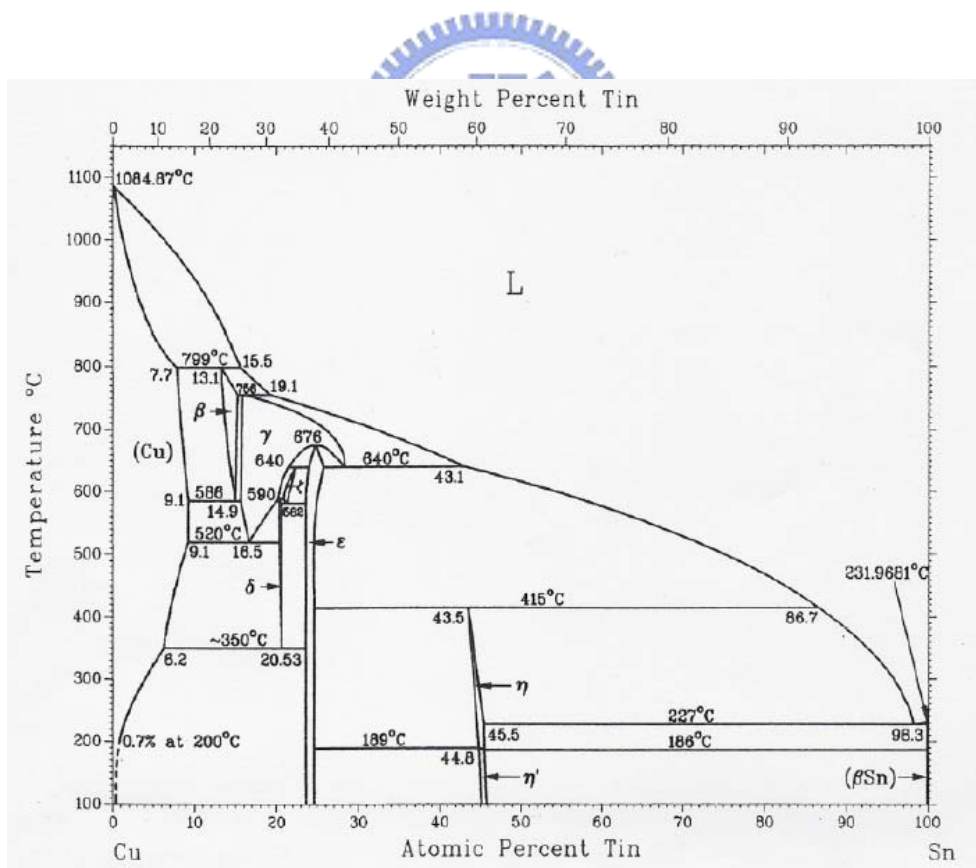


圖 4-13. 銅-錫二元合金相圖。

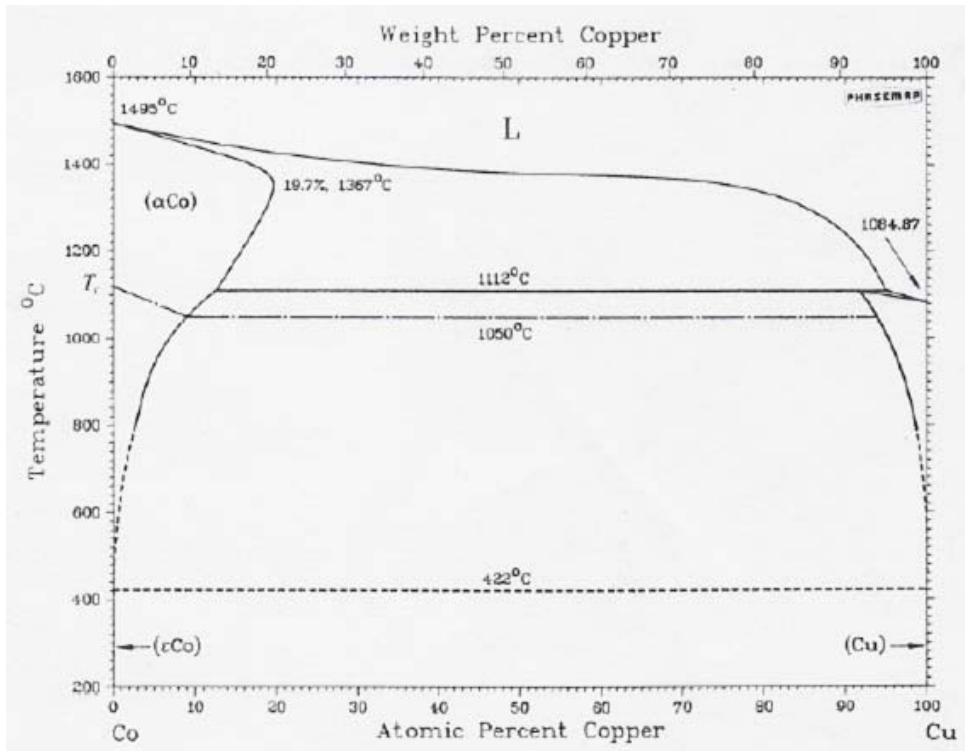


圖 4-14. 鈷-銅二元合金相圖。

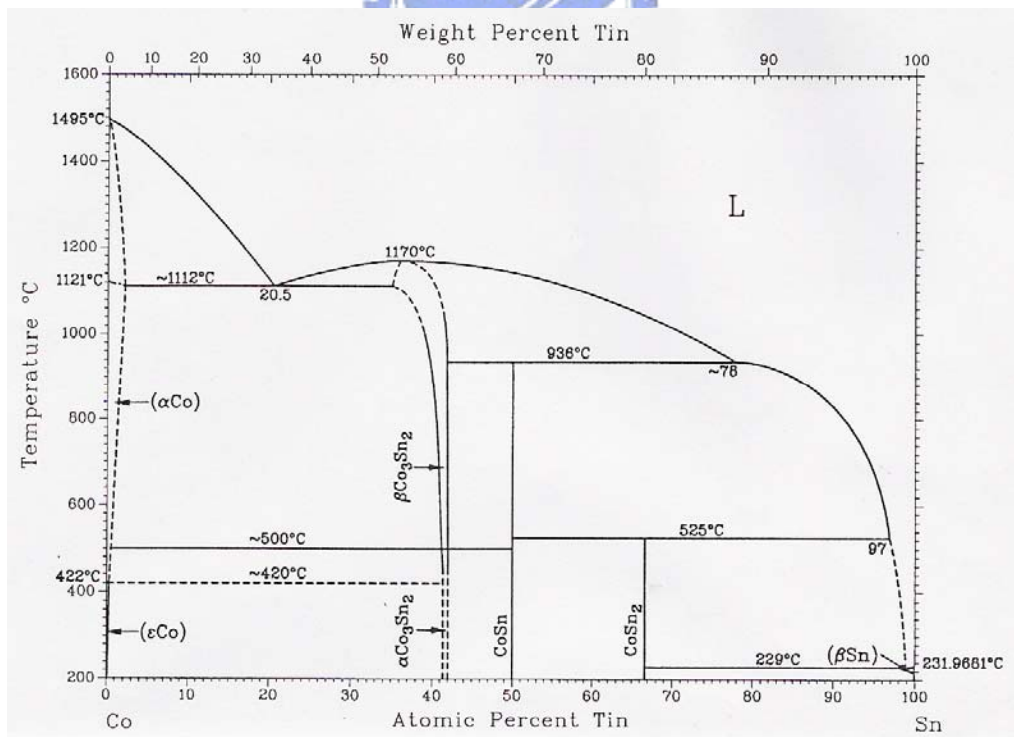


圖 4-15. 鈷-錫二元合金相圖。

圖 4-16 為尚未熱處理試片之截面，鍍錫與下層無電鍍 UBM 層間並無介金屬化合物形成，可明顯看出其分層由上至下為錫鉛/銅/鈷磷合金/銅。經過熱處理 0.5 小時之試片，作為潤濕層的銅金屬層已開始與上層的錫鉛合金作用，原本約 0.8 μm 的銅金屬變得比較厚，因在其與錫鉛之界面處開始形成了約 1 至 2 μm 厚的介金屬化合物，而上層錫鉛部分可能因熱處理時間尚不夠長，還未與銅層作用，加上電鍍所得之鍍層緻密度不足，且經過研磨拋光之試片，鬆散的錫鉛結構亦可能因施力的關係產生拖拉，故由截面所得之形貌可看出其上層的孔洞還存在且試片平整度稍嫌不足。隨著熱處理的時間增加，介金屬化合物亦開始成長，由熱處理 6 小時的試片截面可看出，介金屬化合物的厚度約 3 至 4 μm 不等。但熱處理時間再增加，介金屬化合物的成長趨於緩和，原本已形成之介金屬化合物開始球化，往上溶入錫鉛合金部分，無電鍍鈷磷合金亦開始表現其擴散阻障能力，阻擋錫往下層的銅金屬導線層擴散。由熱處理 18 及 24 小時的試片截面可看出，經過長時間的熱處理，熔融的錫鉛已完全填滿原本的缺陷孔隙處，組織不再鬆散。且無電鍍鈷磷部分完全無變化，下層模擬導線用之銅金屬層亦無與錫鉛作用情形發生，顯示本實驗之無電鍍鈷磷合金層成功地阻擋錫鉛的擴散，對鍍錫而言，可做為一穩定之擴散阻障層，阻擋其下層的金屬之擴散與反應。

另外，針對不同熱處理時間所生成之介金屬化合物種類進行元素成分EDX分析，可得如表 4-3 之平均結果，由銅元素與錫元素之比例皆介於 1.5 至 2.0 之間的結果，可推論介金屬化合物可能由 Cu_6Sn_5 及 Cu_3Sn 共同組成，但因無法由EDX分析明確判斷化合物種類，故無法斷定哪一種化合物所佔比例較高。

表 4-3. 不同熱處理時間產生之介金屬化合物成分EDX分析結果。

熱處理時間 (小時)	元素平均原子百分比 (銅/錫)
0.5	2
6	1.65
18	1.73
24	1.56

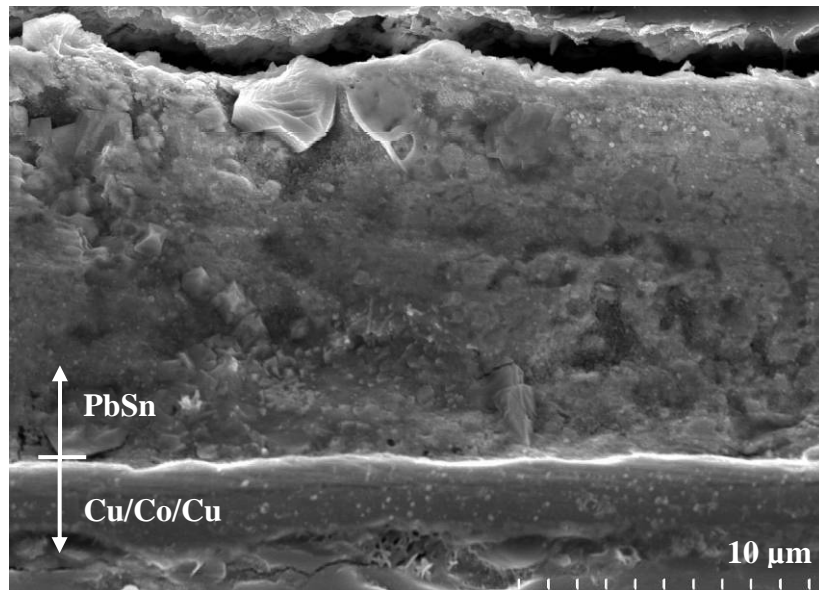


圖 4-16. 熱處理前之試片界面形貌。

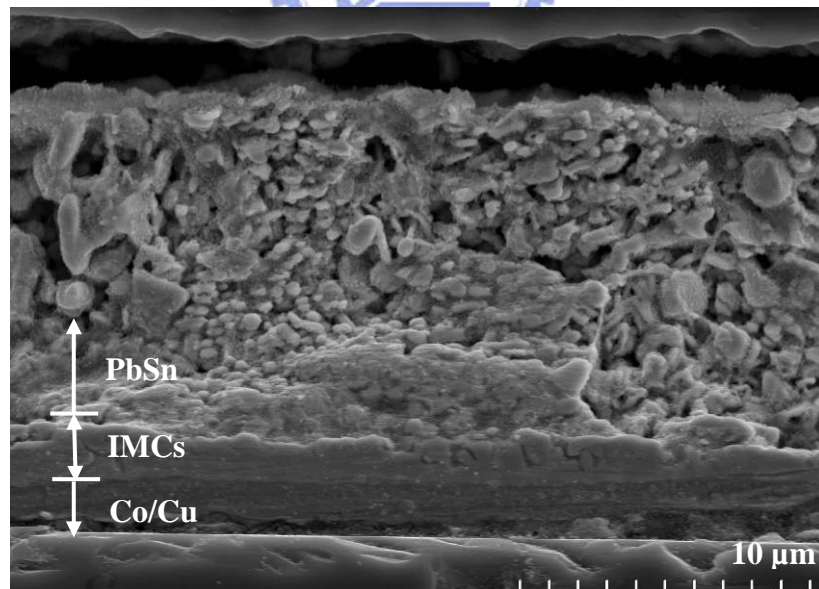


圖 4-17. 經 0.5 小時熱處理之試片界面形貌。

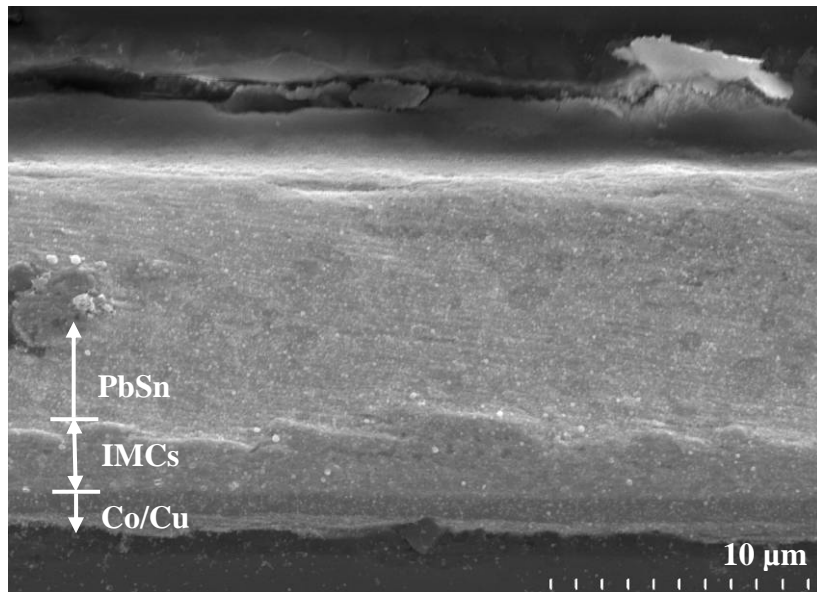


圖 4-18. 經 6 小時熱處理之試片界面形貌。

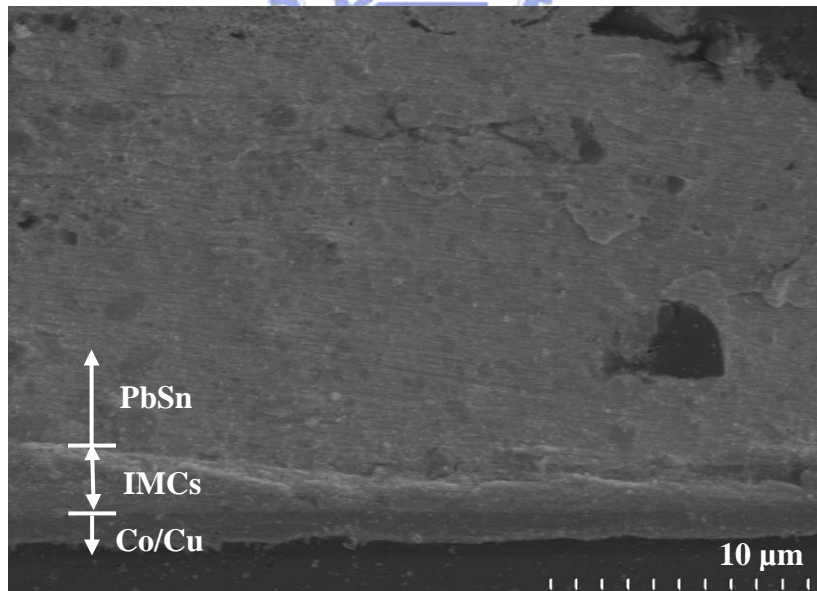


圖 4-19. 經 18 小時熱處理之試片界面形貌。

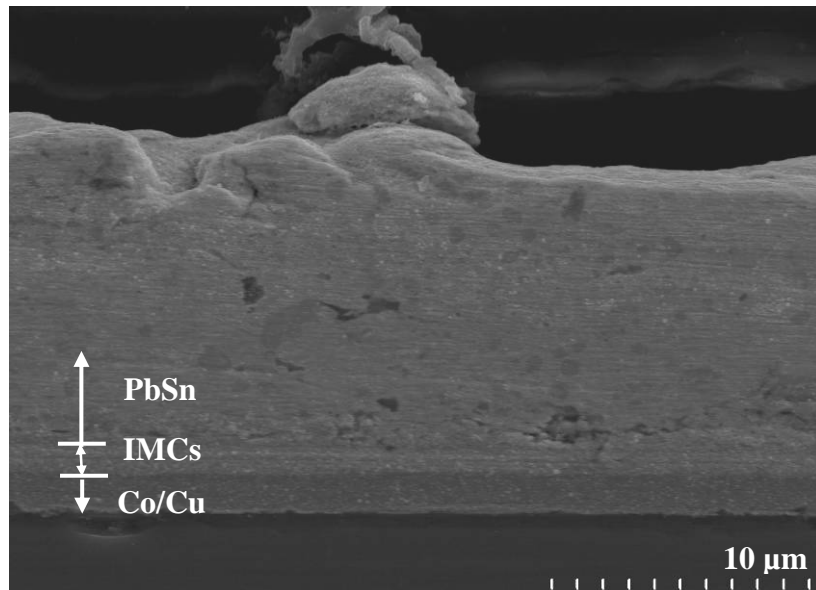


圖 4-20. 經 24 小時熱處理之試片界面形貌。

圖 4-21 至 4-25 為不同熱處理時間試片之元素線掃描分析，由基板的銅金屬層往鋅錫層方向進行掃描，每組試片皆取四點以上的位置分析，茲將其平均顯示之結果討論如下。

圖 4-21 顯示，未經熱處理之試片其鈷、銅、錫鉛等分層明顯，並無互相擴散情形。進行熱處理後，擴散情形同時產生，熱處理時間較短的 0.5 小時試片（圖 4-22），潤濕層的銅金屬開始向鋅錫層擴散，由線掃描分析圖可發現銅與錫的元素訊號峰開始有重疊的趨勢，此表示交互擴散與介金屬化合物應已發生，但因熱處理時間很短，各區域的介金屬化合物生成的速率不同，其厚度尚不均勻，故隨著取樣區域不同，擴散的距離亦有所不同。由線掃描分析及鈷層厚度約為 600 nm 去推算，熱處理 0.5 小時試片所生成的介金屬化合物厚度約 1 至 2 μm 不等，與前述的 SEM 截面形貌所得結果相符。觀察圖 4-23 的熱處理時間 6 小時試片分析可知，隨著熱處理時間的增加，潤濕層的銅金屬持續與錫鉛作用形成介金屬化合物，故介金屬化合物厚度不會繼續增加，且原本於介金屬化合物內的銅亦往上擴

散至錫鉛內部，因此整個介金屬化合物的區域將不再侷限於界面處，且錫會開始往下層的阻障層金屬擴散。而熱處理時間再拉長，表示錫往下層阻障層金屬擴散的情形會越來越明顯，但根據本實驗元素線掃描分析結果顯示，錫雖然會與銅及鈷相互擴散反應，不過當作為潤濕層的銅完全被消耗掉之後，錫元素最多只擴散到鈷磷鍍層與錐錫的界面處或鈷磷鍍層的表面，圖 4-25 熱處理至 24 小時的試片線掃描分析中，可清楚看出錫元素的訊號峰到鈷磷鍍層前便開始下降，雖然鈷元素與錫元素的訊號峰值有部分重疊處，但錫無法穿透鈷層的阻擋，因此，可證實本實驗所沉積的無電鍍鈷磷鍍層可應用於 UBM 層。之前的成分與結構分析結果顯示初鍍之鈷層具有極高之磷含量，可推論其應為非晶質之結構，而以上錫無法擴散通過無電鍍鈷層的實驗結果可做為此一推論之佐證。

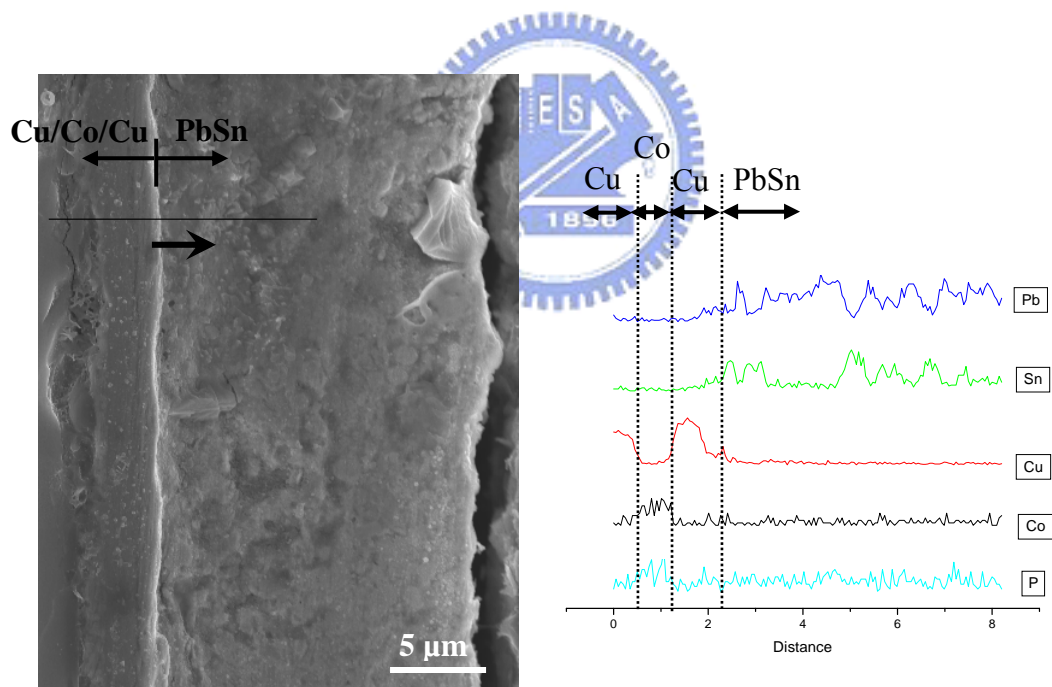


圖 4-21. 熱處理前試片界面之EDX線掃描分析結果。

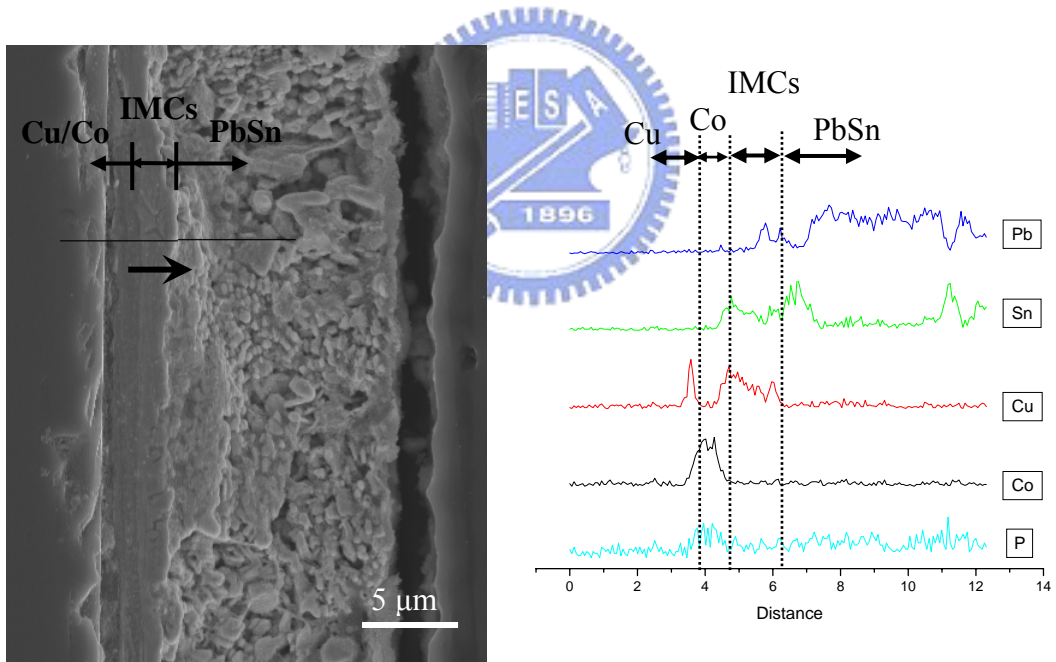
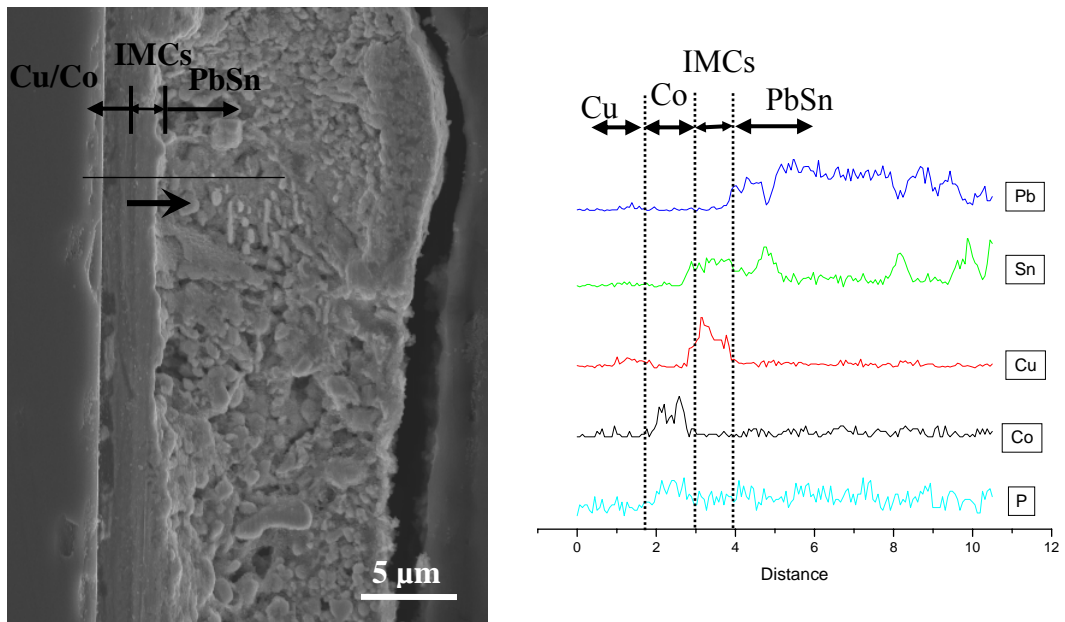


圖 4-22. 經 0.5 小時熱處理之試片界面EDX線掃描分析結果。

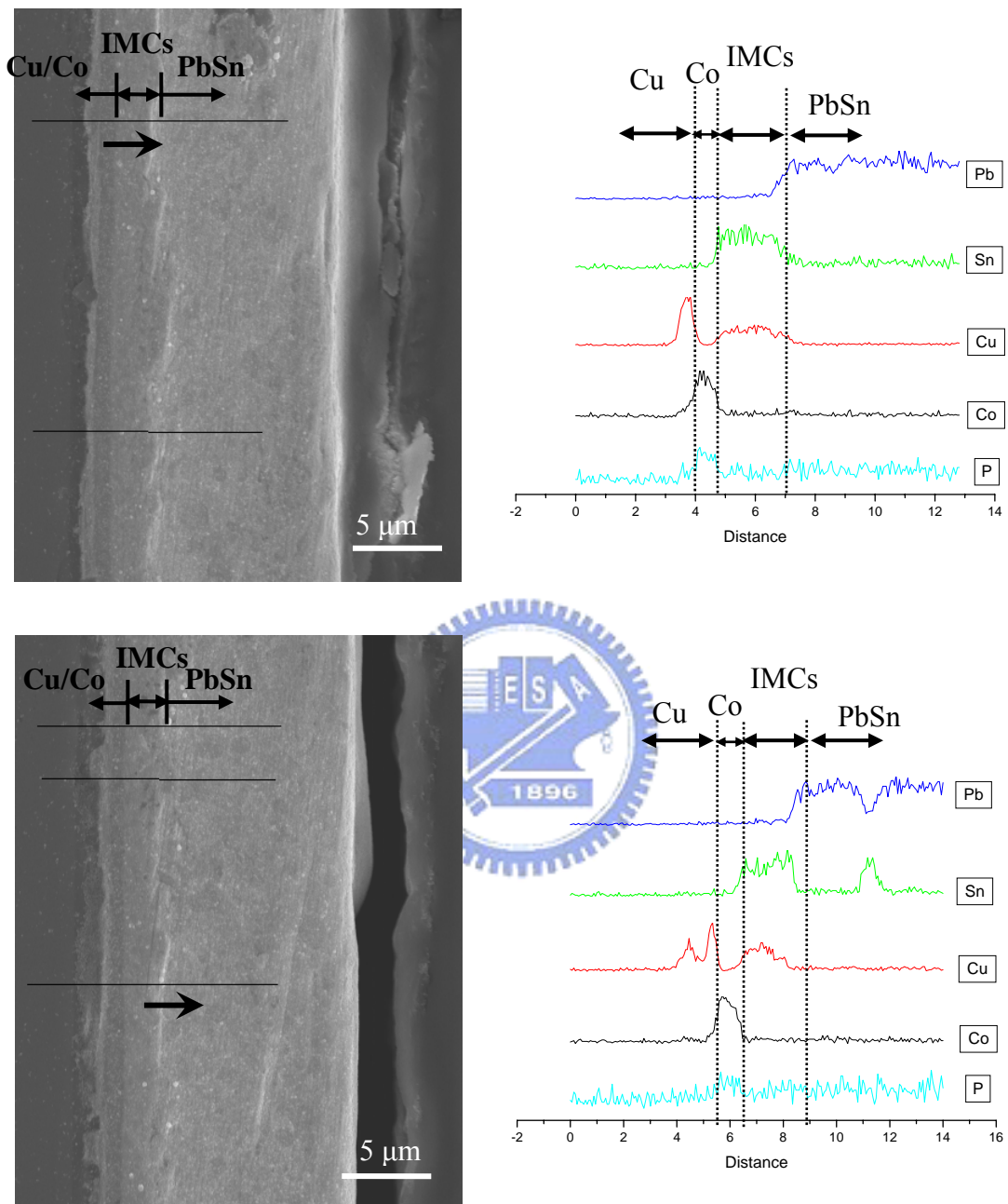


圖 4-23. 經 6 小時熱處理之試片界面EDX線掃描分析結果。

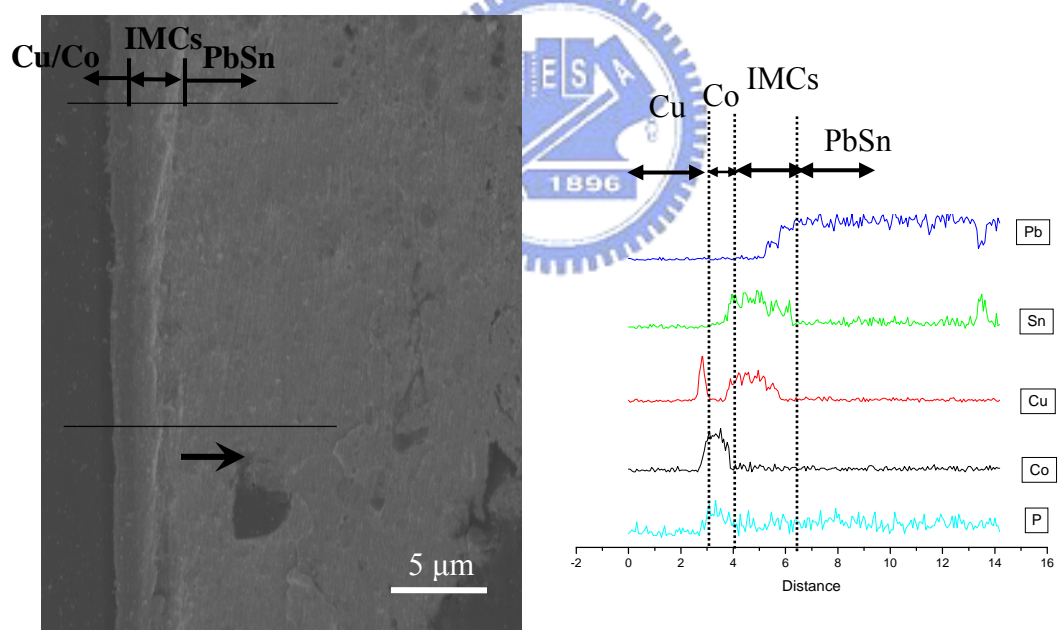
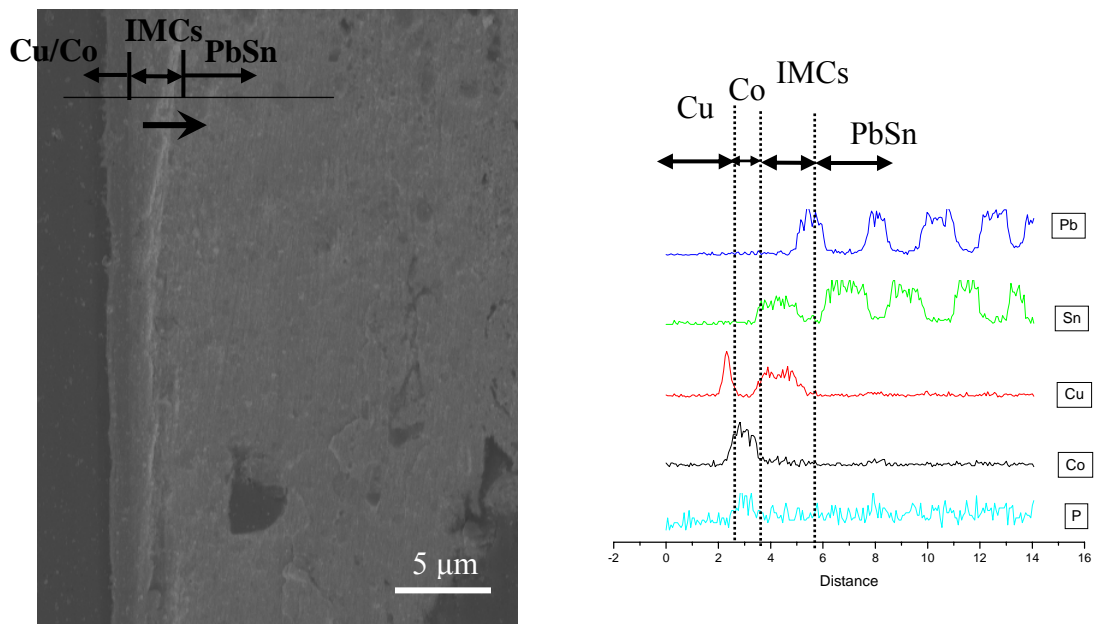


圖 4-24. 經 18 小時熱處理之試片界面EDX線掃描分析結果。

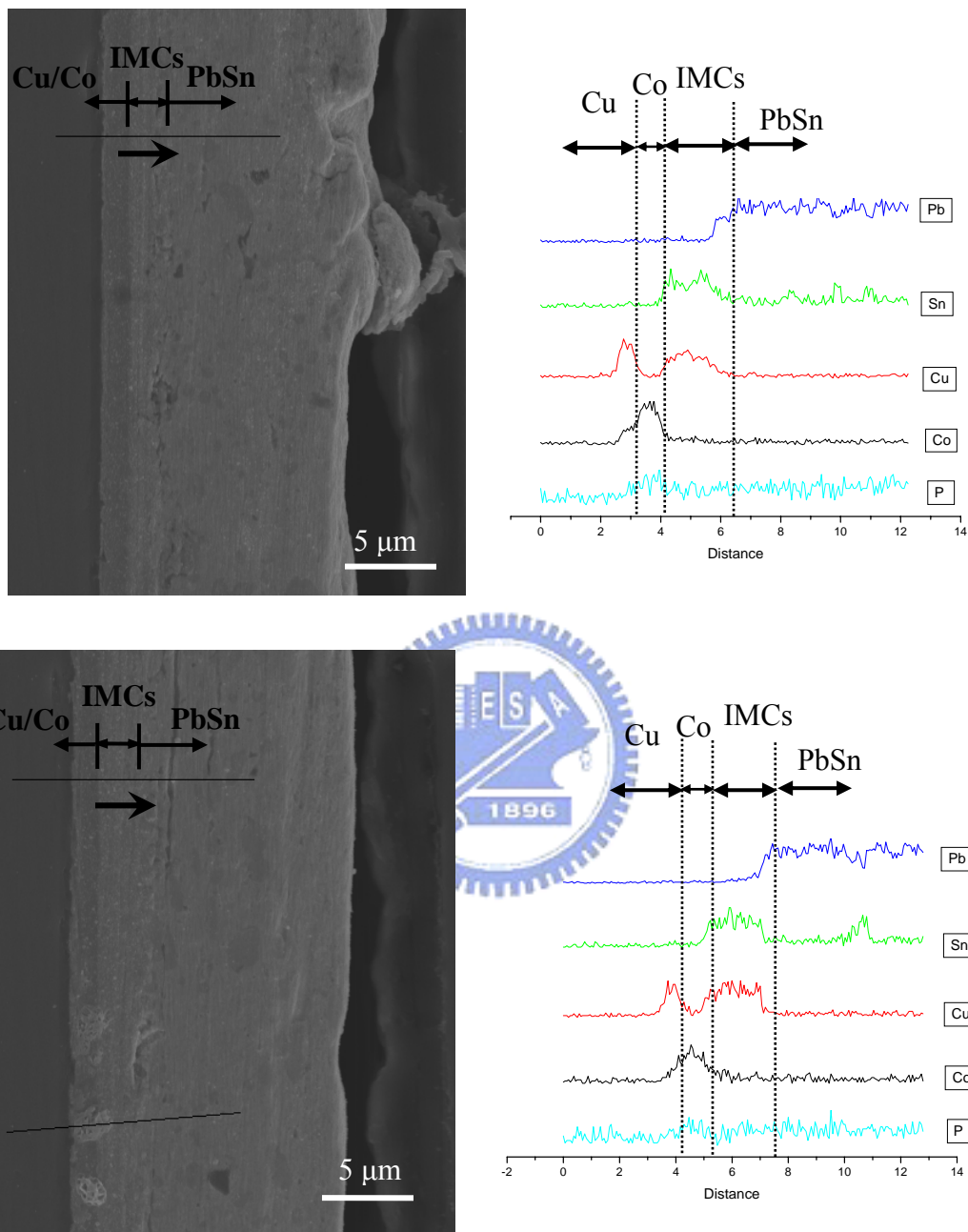


圖 4-25. 經 24 小時熱處理之試片界面EDX線掃描分析結果。

除了針對鉛錫擴散部份來探討，我們亦可由上述元素線掃描分析中觀察到基板模擬導線用的銅金屬層與無電鍍鈷層間的反應情形，即使隨著熱處理時間的增加，銅的訊號與鈷的訊號始終維持一個分層，且並無明顯的改變，訊號峰亦無完全重疊部分，表示本實驗所得之鈷層除了能有效阻擋上層錫鉛的擴散之外，對於

下層銅導線也能有良好的阻障效果，故證明無電鍍鈷磷合金能同時阻擋鋁錫材料及銅金屬層的擴散，可做為銅製程晶片之覆晶接合的阻障層材料。

圖 4-26 為熱處理 24 小時後的試片，在無電鍍鈷磷合金層所作的點元素成分分析，結果顯示鈷磷鍍層完全無錫、鉛等元素的訊號出現，表示鈷磷合金鍍層能夠完全發揮其擴散阻障的功效，成功阻擋錫鉛擴散進入下層銅金屬導線，再度證實了本實驗之無電鍍鈷磷合金擴散阻障層對於阻擋錫鉛擴散之能力，亦與前述結果相符，而此一擴散阻障之能力應為高磷含量的非晶質鈷層結構所致。

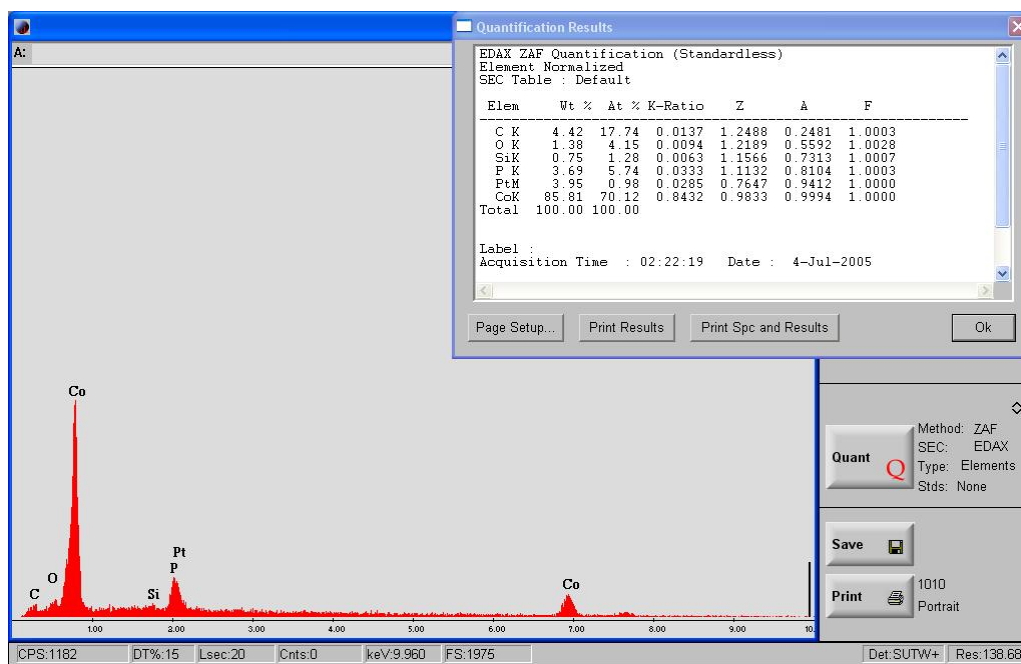


圖 4-26. 熱處理 24 小時試片之鈷磷鍍層成分分析。

第五章

結 論

綜合前述之無電鍍鈷磷薄膜製備、結構與性質、以及其與錫鉛銲錫之界面反應結果，可歸納出以下結論：

- (1) 本實驗之最佳析鍍條件為 pH 值 = 7.8 ± 0.3 ，溫度 = $75 \pm 2^\circ\text{C}$ ，析鍍初期因鍍浴濃度最高所以反應較快，析鍍 30 秒可得厚度約 100 nm，而平均的析鍍速率約 135 nm/min。當溫度維持不變，將 pH 值提高到 8.5 進行反應，析鍍 30 秒可得厚度約 250 nm。可知調整 pH 值使鍍液鹼性增加以及提高鍍液的溫度會有利於電子的釋放，可提高鈷磷薄膜之沉積速率。
- (2) EDX 成分分析顯示，本實驗所得析鍍 300 秒之無電鍍鈷磷鍍層的磷含量約在 10 at.% 以上；而由 AES 縱深分析結果可看出在鍍層與銅基板界面處有一最高的磷含量，且隨著析鍍時間增加鍍層變厚且鍍浴中次磷酸鈉濃度降低使得磷含量亦開始降低；由 X 光繞射及後續擴散實驗分析結果顯示，鍍層結構會隨著磷含量變化而改變，高磷含量的鈷層應為非晶質結構，之後則隨著磷含量降低而開始轉變為奈米微晶或是多晶結構。
- (3) SEM 的截面形貌觀察顯示無電鍍鈷磷/銅/錫鉛試片經過熱處理後，界面會起擴散反應開始作用並生成介金屬化合物，其可能由 Cu_6Sn_5 及 Cu_3Sn 混合組成，較短時間的熱處理其介金屬化合物厚度會隨時間增加而變厚；但當熱處理時間增加至 6 小時以上時，介金屬化合物的成長趨於緩和，原本已形成之介金屬化合物並有向上溶入錫鉛部分之現象。無電鍍鈷磷鍍層部分則幾乎無變化，下層模擬導線用之銅金屬層亦無與錫鉛產生交互擴散的跡象，可證明本實驗之無電鍍鈷磷鍍層能有效阻擋錫元素的擴散，亦能阻擋下層之銅使其不會與錫鉛發生反應。
- (4) EDX 元素線掃描分析結果顯示，錫會與銅相互擴散反應生成介金屬化合

物，當作爲潤濕層的銅完全被消耗掉之後，錫最多只會擴散至鈷磷鍍層與錒錫的界面處或鈷磷鍍層的表面，無法穿透鈷層的阻擋，250°C 熱處理 24 小時之試片，仍未在鈷磷鍍層發現錫的元素訊號，故證實無電鍍鈷磷鍍層可做爲擴散阻障層，而此一擴散阻障之能力應爲高磷含量的非晶質鈷層結構所致。另外，針對基板模擬導線用的銅金屬層與無電鍍鈷層間的反應，可觀察到即使隨著熱處理時間的增加，銅的訊號與鈷的訊號始終維持一個分層且無明顯的改變，訊號峰亦無完全重疊部分，表示本實驗所得之鈷層除了能有效阻擋上層錒錫往下擴散之外，亦能阻絕下層的銅往上擴散，證明無電鍍鈷磷合金能同時阻擋錒錫及銅的擴散，可同時做爲銅製程晶片之銅導線與錒錫覆晶接合的阻障層材料。



參考文獻

1. S.C. Sun, "Process Technologies for Advanced Metallization and Interconnect Systems", *Tech. Dig. IEDM*, (1997), p.765.
2. W.A. Lanford, P.J. Ding, W. Wang, S. Hymes, and S.P. Muraka, "Low Temperature Passivation of Copper by Dopping with Al or Mg", *Thin Solid Films*, **262**(1995), p.234.
3. W.A. Lanford, P.J. Ding, *et al.*, "Alloying of Copper for Use in Microelectronic Metallization", *Mat. Chem. Phys.*, **41**(1995), p.192.
4. P.J. Ding and W.A. Lanford, "Oxidation Resistant High Conductivity Copper Films", *Appl. Phys. Lett.*, **64**(1994), p.2897.
5. C.K. Hu, B. Luther, R.B. Kaufman, J. Hummel, C. Uzoh, and D.J. Pearson, "Copper Interconnection Integration and Reliability", *Thin Solid Films*, **262**(1995), p.84.
6. J.M. Sterigerwald, S.P. Muraka, R.J. Gutmann, and D.J. Duquette, "Chemical Process in the Chemical Mechanical Polishing of Copper," *Mat. Chem. Phys.*, **41**(1995), p.217.
7. C.W. Kaanta, S.G. Bombardier, W.J. Cote, W.R. Hill, G. Kerszykowski, H.S. Landis, D.J. Poindexter, C.W. Pollard, G.H. Ross, J.G. Ryan, S. Wolff, and J.E. Cromin, "Dual Damascene: a ULSI Wiring Technology", *IEEE VMIC Conf*, (1991), p.144.
8. A.A. Istratov and E.R. Weber, "Electrical Properties and Recombination Activity of Copper, Nickel and Cobalt Silicon", *Appl. Phys. A*, **66**(1998), p.123.
9. K.L. Lin and C.J. Chen, *Int. J. Microcircuits Electron. Packaging*, **20**(1997), p.46.
10. James W. Mayer and S.S. Lau, *Electronic Materials Science: for Integrated*

Circuits in Si and GaAs, p.329.

11. Toivo T. Kodas and Mark J. Hampden-Smith, *The Chemistry of Metal CVD*, Weinheim, N.Y., (1994), p.9-12.
12. 陳信文，陳立軒，林永森與陳志銘，*電子構裝技術與材料*，(2004)，31 頁。
13. L.F. Miller, “Controlled Collapse Reflow Chip Joining”, *IBM J. Res. Develop.*, **5**(1969), p.239.
14. John H. Lau, *Flip Chip Technologies*, McGraw-Hill, New York, (1996).
15. P.A. Totta, *Advances in Electronic Packaging*, ASME, New York, USA, **1**(1997), p.337.
16. H. Reichl, A. Schubert, and M. Topper, “Reliability of Chip-size Packages”, *Microelectronics Reliability*, **40**(2000), p.1243.
17. 楊省樞與李榮賢，“透析覆晶構裝”，*工業材料*，**139** 期，(1998)，147 頁。
18. J. Baliga, “Flip-chip Packaging: Prepare for the Ramp-up”, *Semiconductor International*, **21**(1998), p.87.
19. M. Pecht, *Integrated Circuit, Hybrid, and Multichip Module Package Design Guidelines*, John Wiley, & Sons, New York, (1994), Chapter 7.
20. 楊省樞，“覆晶技術”，*工業材料*，**127** 期，(1997)，90 頁。
21. 溫英男，“錫鉛凸塊技術與覆晶技術之應用”，*電子月刊*，**64** 期，(2000)，178 頁。
22. C.J. Chen and K.L. Lin, “Electroless Ni-Cu-P Barrier between Si/Ti/Al Pad and Pb-Sn Flip-chip Solder Bumps”, *IEEE Trans. Comp. Pack. Technol.*, **24**(2001), p.691.
23. K.L. Lin, Y.L. Chang, C.C. Huang, F.I. Li, and J.C. Hsu, “Microstructure Evolution of Electroless Ni-P and Ni-Cu-P Deposits on Cu in the Presence of Additives ”, *Appl. Surf. Sci.*, **181**(2001), p.166.
24. K.L. Lin and Y.C. Liu, “Manufacturing of Cu/Electroless Nickel/Pb-Sn Flip Chip

- Solder Bumps”, *IEEE Trans. Adv. Package.*, **22**(1999), p.575.
25. E.P. Wood and K.L. Nimmo, “In Search of New Lead-free Electronic Solders”, *J. of Electron. Mater.*, **23**(1994), p.709.
 26. Y. Fujiwara, H. Enomoto, T. Nogao, and H. Hoshika, “Composite Plating of Sn-Ag Alloys for Pb-free Soldering”, *Surf. Coat. Technol.*, **169**(2003), p.100.
 27. M. Abtey and G. Selvaduray, “Lead-free Solders in Microelectronics”, *Mater. Sci. Eng.*, **27**(2000), p.95.
 28. 莊萬發編，*無電解鍍金-化學鍍金技術*，復漢出版社，(1996)。
 29. 曾威綱，“無電鍍鈷合金薄膜對銅矽擴散阻障效能之研究”，逢甲大學，碩士論文，民國 91 年。
 30. G.O. Mallory and J.B. Hajdu, *Electroless Plating: Fundamentals and Applications*, AESF, Orlando, Florida, USA, (1990)
 31. 廖智良，“無電鍍鈷磷合金反應行為”，國立台灣工業技術學院，碩士論文，民國 82 年。
 32. Chwan-Ying Lee, Tzuen-His Huang, and Shing-Chi Lu, “Diffusion Barrier Properties of Electroless Ni for Electroless Cu Using Cu Plating Employing Hypophosphite as a Reducing Agent”, *J. Mater. Sci.*, **9**(1998), p.337.
 33. Milan Paunovic, Philip J. Bailey, and Robert G. Schad, “Electrochemically Deposited Diffusion Barrier”, *J. Electrochem. Soc.*, **141**(1994), p.337.
 34. K. Huller, M. Sydow, and G. Dietz, “Magnetic Anisotropy, Magnetostriction and Intermediate Range Order in Co-P Alloys”, *J. Magn. Mater.*, **53**(1985), p.269.
 35. E.J. O’Sullivan, A.G. Schrott, M. Paunovic, C.J. Sambucetti, J.R. Marino, P.J. Bailey, S. Kaja, and K.W. Semkow, “Electrolessly Deposited Diffusion Barrier for Microelectronics”, *IBM J. Res. Develop.*, **42**(1998), p.607.
 36. Y. Shacham-Diamand, A. Zylberman, N. Petrov, and Y. Sverdlov, “Electroless Co(W,P) and Co(Mo,P) Deposition for Cu Metallization Applications”, *IEEE*

- Conference Proceeding*, (2001), p.410.
37. Y.S. Kim, S. Lopatin, and Y. Scham-Diamand, “An Electrochemical Study of Electroless Co-W-P Alloy Deposition”, *IEEE Conference Proceeding*, (1997), p.192.
38. A. Kohn, M. Eizenberg and Y. Shacham-Diamand, “Copper Grain Boundary Diffusion in Electroless Deposited Cobalt Based Films and its Influence on Diffusion Barrier Integrity for Copper Metallization”, *J. Appl. Phys.*, **94**(2003), p.3015.
39. K. Hono and D.E. Laughlin, “Evidence of Phosphorous Segregation in Grain Boundaries in Electroless-Plated Co-P Thin Film”, *J. Magnetism and Magnetic Mat*, **80**(1989), p.L137.
40. R. Tarozaitė, M. Kurtinaitienė, A. Dziuvė, and Z. Jusys, “Composition, Microstructure and Magnetic Properties of Electroless-Plated Thin Co-P films”, *Surface and Coatings Technol.*, **115**(1999), p.57.
41. A. Kohn, M. Eizenberg, and Y. Shacham-Diamand, “Structure of Electroless Deposited $\text{Co}_{0.9}\text{W}_{0.02}\text{P}_{0.08}$ Thin Films and Their Evolution with Thermal Annealing”, *J. Appl. Phys.*, **94**(2003), p.3810.
42. A. Kohn, M. Eizenberg, and Y. Shacham-Diamand, “Improved Diffusion Barriers for Copper Metallization Obtained by Passivation of Grain Boundaries in Electroless Deposited Cobalt-based Films”, *J. Appl. Phys.*, **92**(2002), p.5508.
43. A. Brenner and G.E. Riddell, *Journal Research National Bureau of Standards*, **39**(1947), p.385.
44. Takeyuki Itabashi, Hiroshi Nakano, and Haruo Akahoshi, “Electroless Deposited CoWB for Copper Diffusion Barrier Metal”, *IEEE Conf. Proc.*, (2002), p.285.
45. A. Kohn, M. Eizenberg, and Y. Shacham-Diamand, “The Role of Microstructure in Nanocrystalline Conformal $\text{Co}_{0.9}\text{W}_{0.02}\text{P}_{0.08}$ Diffusion Barriers for Copper

- Metallization”, *Appl. Surf. Sci.*, **212**(2003), p.367.
46. Riet Labie, Eric Beyne, and Petar Ratchev, “Investigation of Co UBM for Direct Bumping on Cu/LowK Dies”, *IEEE Conf. Proc.*, (2003), p.1230.
47. Riet Labie, Eric Beyne, Robert Mertens, Petar Ratchev, and Jan Van Humbeeck, “Investigation of the Reliability of Cu and Co UBM Layers in Thermal-Cycling Tests”, *IEEE Conf. Proc.*, (2003), p.584.
48. H. Honma and M. Noguchi, “Electroless Cobalt Bath-Life Extension”, *Plating and Surface Finishing*, (1990), p.67.
49. B.D. Cullity and S.R. Stock, *Elements of X-Ray Diffraction*, 3rd Edition, Prentice Hall, New Jersey, (2001), p.388.

