

國立交通大學

電機資訊學院 資訊學程

碩士論文

應用新的掃描暫存器之微管線測試

The Testing of Micropipeline with New Scan Registers



研究生：范姜弘宇

指導教授：陳昌居 教授

中華民國九十三年六月

應用新的掃描暫存器之微管線測試
The Testing of Micropipeline with New Scan Registers

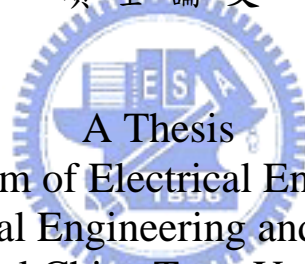
研究生：范姜弘宇

Student : Hung-Yu Fan-Chiang

指導教授：陳昌居

Advisor : Chang-Jiu Chen

國立交通大學
電機資訊學院 資訊學程
碩士論文



A Thesis
Submitted to Degree Program of Electrical Engineering Computer Science
College of Electrical Engineering and Computer Science
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Computer Science
June 2004
Hsinchu, Taiwan, Republic of China

中華民國九十三年六月

應用新的掃描暫存器之微管線測試

學生：范姜弘宇

指導教授：陳昌居 教授

國立交通大學電機資訊學院 資訊學程（研究所）碩士班

摘 要

近年來，越來越多的積體電路設計者注意到非同步電路的設計，因為非同步電路設計相較於同步電路有許多好處。例如非同步電路在執行時並不是藉由時序信號的時脈來達成同步的動作，而是藉由通訊協定來代替時脈的關係，因此它在信號執行時效能將比同步電路來的好。另外擁有較小的功率消耗也是另一個非同步電路設計吸引積體電路設計者的地方。

然而，非同步電路設計有個較大的問題已經被越來越多人注意到，此問題即是如何來測試非同步電路。因為在同步電路中，所有的測試資料輸入與輸出皆由時序信號來控制，但是非同步電路設計的特色卻是沒有時序信號來進行同步的動作。這種使用通訊協定取代時脈的做法，於測試時會相對複雜且冗長，再加上目前的積體電路設計其測試成本也需加以考量，因此減少測試時間也是相對重要。

本篇論文中我們所選擇研究的非同步電路為微管線（Micropipeline）架構，藉由加入掃描測試結構，來增加此架構的可測試性；另外我們改良了新的掃描暫存器，以使其同步的掃描鏈與非同步的控制信號可各自執行，這樣一來將可降低測試時間。

實驗的數據顯示利用我們所提出的掃描測試架構，在增加暫存器硬體花費 24% 下，以 ISCAS' 85 的標準比較電路為其中的組合線路，其掃描測試週期數目將比已有的研究之掃描架構少 36%，而測試時間甚至可以節省 45%。因此這個架構在可容忍的硬體花費下，節省非常多的測試時間。

The Testing of Micropipeline with New Scan Registers

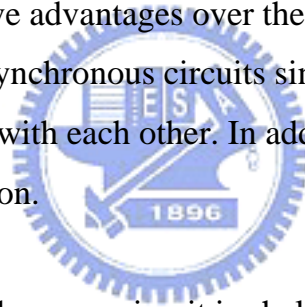
student : Hung-Yu Fan-Chiang

Advisors : Prof. Chang-Jiu Chen

Degree Program of Electrical Engineering Computer Science
National Chiao Tung University

ABSTRACT

Recently, more and more designers pay attention to asynchronous circuit design. Asynchronous VLSI design may have advantages over their synchronous counterparts. The clock problem no longer exists in asynchronous circuits since they do not use global clocks. It uses the protocol to communicate with each other. In addition, asynchronous circuits have a potential for low power consumption.



However, how to test the asynchronous circuit is challenging because of asynchronous circuits by definition have no global synchronous signal. It's hard to test the circuit without global synchronous signal. Besides, since the test cost is more important in VLSI device these day. How to keep the fault coverage and reduce the test time is an important thing.

We propose a new scan test architecture for micropipeline. It's also the asynchronous circuit. By using modify the scan register, the scan chain is acted as synchronous circuit and the control signal which is asynchronous signal can work together in the same time. Base on the architecture, the test time can be reduced. That is, our method can be reduced the test time of testing micropipeline which compare to the previous related method.

The experiment result shows, base on our proposal, 24% hardware overhead for scan register was increased. However, the amount of scan test cycles can be reduced 36%. And the test time can reduce about 45% at most for the ISCAS'85 benchmark circuit.

誌 謝

在這幾年的研究生活中，特別感謝老師的指導，與學長、同學與學弟之間的相互切磋與指導。對我來說，大學畢業後進入社會工作了許多年，能有機會回到學校充電真是令我受益匪淺。也謝謝我的家人和朋友對我的支持與鼓勵，尤其要謝謝我的另一半對我的支持，讓論文能夠順利完成。謝謝大家。



目	錄	
中文提要	i
英文提要	ii
誌謝	iii
目錄	iv
表目錄	vi
圖目錄	vii
一、	緒論.....	1
1.1	起源.....	1
1.2	背景.....	2
1.3	動機與目的.....	2
二、	基礎理論與研究內容.....	4
2.1	微管線的操作原理與特性.....	4
2.2	微管線的測試.....	8
2.2.1	錯誤發生於控制電路部分.....	9
2.2.2	錯誤發生於組合電路部分.....	9
2.2.3	錯誤發生於暫存器部分.....	9
2.2.4	延遲錯誤.....	10
2.3	微管線的掃描測試.....	10
2.4	研究方向.....	14
三、	新架構之設計.....	16
3.1	設計之想法.....	16
3.2	新的掃描暫存器應用於微管線.....	18
3.2.1	掃描門架構.....	18
3.2.2	正常模式.....	19
3.2.3	掃描模式.....	20
3.3	微管線的掃描測試.....	22
3.3.1	掃描暫存器的架構.....	23
3.3.2	區塊控制信號架構.....	25
3.3.3	具備掃描測試電路的微管線.....	28
四、	實驗結果與分析.....	30
4.1	微管線測試的模擬.....	30
4.1.1	ISCAS'85 標準比較電路.....	30

目 錄

4.2	掃描測試週期 (scan test cycle) 數目的模擬.....	31
4.2.1	模擬掃描測試週期數目的模型.....	31
4.2.2	掃描測試週期數目的實驗結果.....	32
4.3	掃描測試時間 (scan test time) 的模擬.....	34
4.2.1	模擬掃描測試時間的模型.....	35
4.2.2	掃描測試時間的實驗結果.....	37
4.4	硬體新增花費的討論.....	37
4.5	結果分析與探討.....	39
五、	結論與展望.....	41
參考文獻	42



表 目 錄

表 4-1	ISCAS' 85 標準比較電路.....	31
表 4-2	四級微管線測試架構掃描測試週期比較表 1.....	33
表 4-3	四級微管線測試架構掃描測試週期比較表 2.....	34
表 4-4	四級微管線測試架構測試時間比較表 (per cycle).....	37
表 4-5	掃描閘的電晶體數目比較表.....	39



圖目錄

圖 2-1	非同步電路的運作模式.....	4
圖 2-2	Two-phase 時序圖.....	5
圖 2-3	Four-phase 時序圖.....	5
圖 2-4	Bundled data 架構的說明.....	6
圖 2-5	Dual-rail 架構的說明.....	6
圖 2-6	四級的微管線方塊圖.....	7
圖 2-7	掃描測試門架構.....	11
圖 2-8	STCL 架構.....	12
圖 2-9	改良的掃描測試門架構.....	13
圖 2-10	運用非同步掃描測試架構的觀念.....	14
圖 3-1	改良掃描門之結構.....	19
圖 3-2	一般模式的時序圖.....	19
圖 3-3	掃描模式 cont=1 的時序圖.....	20
圖 3-4	掃描模式 cont=0 的時序圖.....	21
圖 3-5	掃描模式 cont=0 與 De 的時序圖.....	22
圖 3-6	4-input 掃描暫存器的架構.....	24
圖 3-7	區塊控制信號的架構.....	26
圖 3-8	區塊控制信號的時序圖.....	27
圖 3-9	具備掃描測試電路的微管線.....	29
圖 4-1	具備掃描測試電路的模擬微管線架構.....	32
圖 4-2	微管線架構測試時間影響元件.....	35

一. 緒論

1.1 起源

近年來，越來越多的積體電路設計者已經注意到非同步電路 (Asynchronous Circuit) 的設計，因為非同步電路設計相較於同步電路 (Synchronous Circuit) 有許多好處。例如非同步電路在執行時並不是藉由時序信號 (clock signal) 的時脈來達成同步，而是藉由通訊協定來代替時脈的關係，所以它沒有同步電路中時序偏斜 (clock skew) 的問題。另外，也因為非同步電路缺少時序信號之故，因此它在執行時可以有較高的效能。相較於同步電路，因電路上需要有時序信號來進行同步的關係，所以同步電路的效能會因為電路中存在著關鍵路徑 (critical path) 的關係而使整個電路執行在最差的效能。

除效能外，較小的功率消耗也是另一個非同步電路吸引積體電路設計者的地方。因為其不需要時序信號來進行同步的動作，而使用通訊協定代替時脈之故，所以非同步電路在動作時，其電路區塊可以分開獨立執行，並不會像同步電路一般，於同一個時間點有許多電路區塊同時在執行而導致功率消耗變大。因此非同步電路其功率消耗上會較低於同步電路。

然而，近年來非同步電路設計上有個較大的問題已經被越來越多人注意到，此問題即是如何測試非同步電路。因為相較於以往同步電路的測試，所有的測試資料輸入與輸出皆由時序信號來控制。但是非同步電路設計的特色即是沒有時序信號來進行同步的動作，而是採取使用通訊協定來取代時脈信號，造成測試上可能會產生障礙 (Hazard) 與競賽 (race) 的問題，另外測試資料的輸入與輸出也會因為缺少時序信號的關係，而大幅增加測試時的複雜度。

從測試的角度來看，沒有同步時脈的測試是相當複雜的，因此開發出能有效降低非同步電路測試複雜度並且維持高錯誤涵蓋率 (fault coverage) 與節省測試時間的非同步電路測試方法便是我們想要探討的議題。

本篇論文中我們所選擇研究的非同步電路為經常使用於非同步電路設計上的微管線 (Micropipeline) 架構，藉由增加此架構的可測試性來達到我們所期望的目的。

1.2 背景

微管線 (Micropipeline) 是一種常使用於非同步電路設計中的一種架構，這是由 Ivan E. Sutherland 在 1989 年提出 [11]，並在次年獲得 Turing Award 獎項的一項發明，它和傳統管線使用同步電路最大的不同處為微管線是不需要時序信號的電路，它主要是靠通訊協定即請求 (request) 與認可 (acknowledge) 兩個信號來作為各級 (stage) 之間的溝通。如此一來，因為使用通訊協定代替時脈的關係，微管線可使運作處於最佳效能的狀況。換言之，相較於傳統使用同步電路的管線，因為受到關鍵路徑牽制的影響，使其處於最差的狀況下執行。微管線因此具備較高的效能與低功率消耗的特性。

一個非同步電路版本的 ARM6 微處理器稱作 AMULET1 [1] 已被設計出來，它是由英國曼徹斯特大學 (University of Manchester) 的 AMULET group 所設計與開發。AMULET1 它主要是使用微管線架構所建立出來的，它證明了微管線架構可以使用於商業用途，另外，它也提供了一個很好的工程平台去設計一個複雜的非同步超大型積體電路。

不過因為微管線具有非同步的特性，因此微管線的測試也是一項挑戰。針對這部分，加入一些如同步電路常使用的掃描測試電路 (scan test circuit) 似乎是一個可行的辦法。因為同步電路中加入掃描測試電路是個相當常用而且純熟的技術，再加上使用如 ATPG (automatic test pattern generator) 的工具將可有效地增加錯誤涵蓋率。因此如果可以於微管線中加入掃描測試電路的機制，除了可以降低測試上的複雜度外，另一方面還可以縮短測試時間，並且也可以提高錯誤涵蓋率。

1.3 動機與目的

本篇論文研究的動機即是針對以微管線為基礎的非同步電路，藉由加入改良後的掃描測試架構來達到降低微管線測試的複雜度。另一方面也可達到維持高錯誤涵蓋率與節省測試時間的目的。

本論文中我們將提出一種新的掃描暫存器 (scan register)，其有別於以往

的設計架構為測試資料由掃描鏈 (scan chain) 輸入端進入後，測試資料將被分割並且各別進入各級中執行，運算完成後測試結果將各別儲存於下一級的掃描暫存器中。相較於以往的架構，測試資料需在掃描鏈走完全程後再執行其運算。其測試時間將可有效的減少。此新的掃描暫存器架構是本篇的研究重點與方向。

微管線的基礎理論與微管線測試相關研究內容將於第二章介紹，運用於微管線掃描測試的新掃描暫存器將於第三章說明，實驗結果與分析將於第四章中呈現，第五章為總結與展望。



二. 基礎理論與研究內容

2.1 微管線的操作原理與特性

Ivan E. Sutherland 在 1989 年提出的微管線，是一種常使用於非同步電路中的架構。一般傳統的管線為需要時序信號的同步電路，而微管線則是不需要時序信號，並且由通訊協定取代時脈的非同步電路。這樣的好處為微管線經由非同步的方式可執行於最佳的效能狀況，有別於傳統的管線，因為受到關鍵路徑牽制的影響，而使得運作時必需處於最差的狀況下執行。因此，與同步的管線比較，微管線具有較高的效能與低功率消耗的特性。

如圖 2-1 所示，非同步電路主要是由通訊協定中請求與認可這兩種控制信號來作為相互之間的溝通。運作方式為當資料於傳送端 (Sender) 準備完成後將送出一個請求信號告知接收端 (Receiver)，當接收端收到資料後將回傳一個認可的信號告知傳送端資料已接收完成並可以傳輸下一筆資料。如此依照這種模式，資料便可在請求與認可這兩種信號的運作下由傳送端送至接收端。

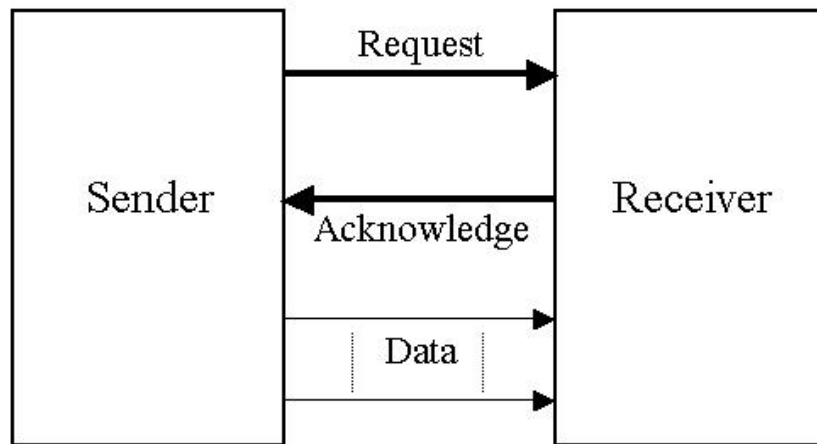


圖 2.1 非同步電路的運作模式

關於非同步電路中請求與認可控制信號的通訊協定，可再分為 two-phase 與 four-phase 兩種不同的交握 (handshaking) 方式。

Two-phase 的定義為控制信號其上昇緣 (raising edge) 與下降緣 (falling edge) 皆代表具有相同觸發的意義，圖 2-2 所示為 two-phase 架構的時序示意圖。當資料於傳送端就緒時，傳送端將產生一個上昇緣 (或下降緣) 的請求訊號，而同樣的，接收端於收到資料後也將產生一個上昇緣 (或下降緣) 的認可訊號回覆給傳送端。

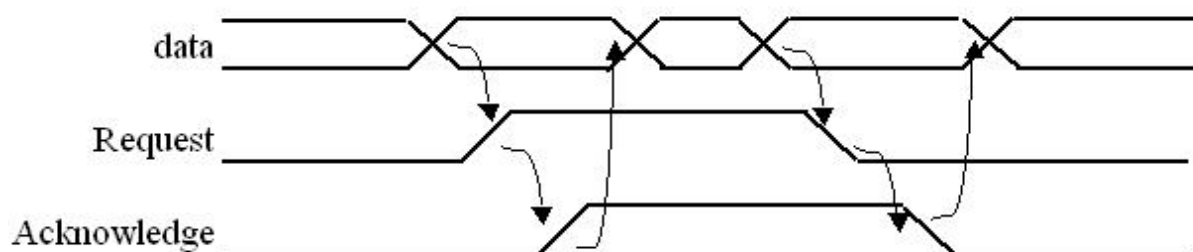


圖 2-2 Two-phase 時序圖

Four-phase 的架構，控制信號的上昇緣與下降緣代表不相同的觸發意義。Four-phase 的運作方式有別於 two-phase 的架構，它僅有當請求與認可兩個信號皆為零的時候，新的資料才可能被傳輸進來。圖 2-3 為 four-phase 架構的時序示意圖。

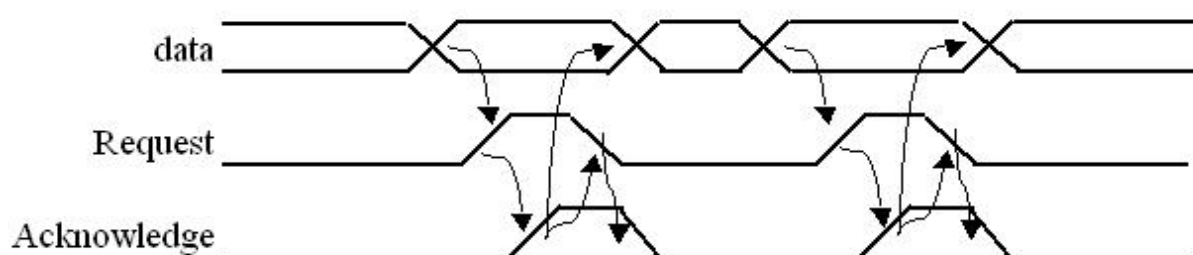


圖 2-3 Four-phase 時序圖

另外，若針對資料傳輸方式來分類，非同步電路也可以分成 Bundled data 與 Dual-rail 兩種不同的架構。

Bundled data 的運作方式主要為需要量測資料於進入各個電路區塊中運算完成的最大延遲時間。藉由得到此延遲時間，當傳送端送出請求信號時，接收端將

延遲一段延遲時間後再送出認可的信號，如此即可完成一次資料的傳輸與運算。Bundled data 架構的好處為需使用的訊號線較少，如圖 2-4 所示，若資料有 n 個位元，則 bundled data 的架構僅需要 n+2 個訊號線即可，加入的兩條訊號線為請求與認可訊號。

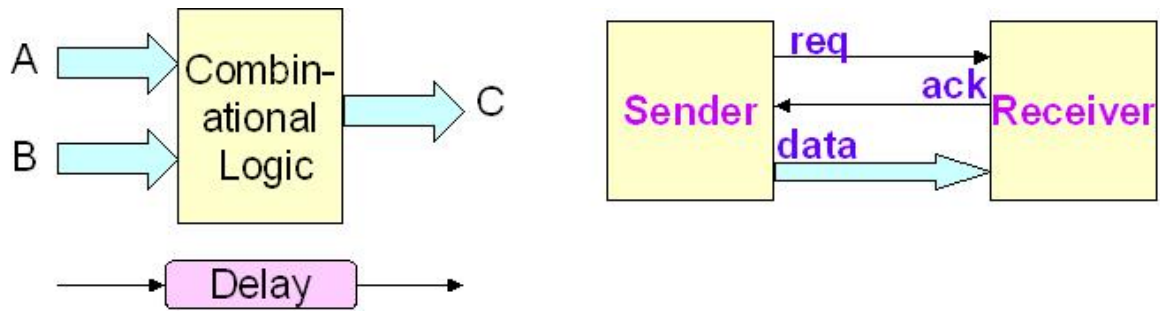


圖 2-4 Bundled data 架構的說明
(左圖為最大延遲時間的計算，右圖表現出所需要的訊號線數)

Dual-Rail data 的運作方式與 Bundled data 最大的不同處為其任一個資料位元需對應到兩條控制信號線，先假設控制信號為 A0 與 A1，藉由 A0 與 A1 中的值我們可以得到四種不同的組合，定義各種組合如下所示：

$A_1A_0 \rightarrow 00 = \text{no data}, 01 = 0, 10 = 1, 11 = \text{error}$

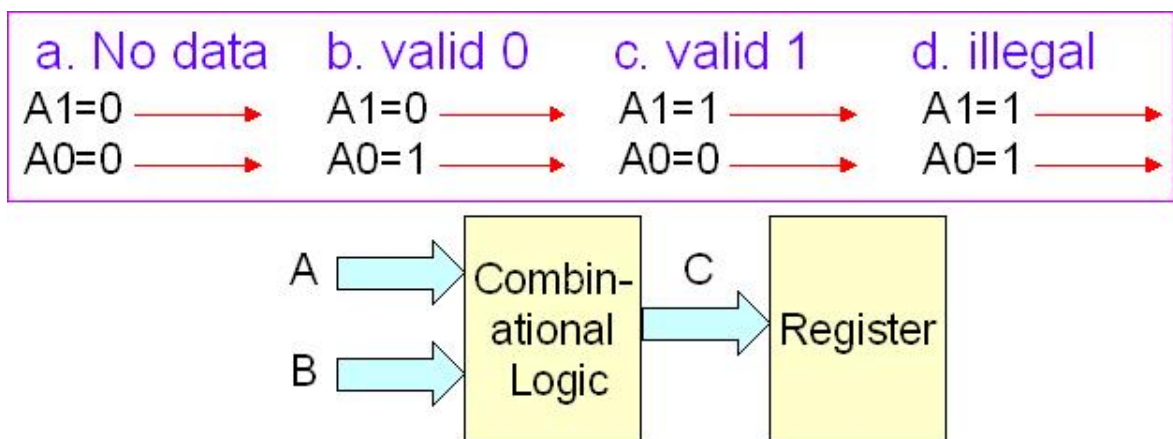


圖 2-5 Dual-rail 架構的說明

由圖 2-5 可知此種方式將可得到更正確的資料傳輸。然而訊號線的數目將會增加一倍，即資料訊號若有 n 個位元，應用此架構的話將需要 $2n$ 條訊號線方能完成傳輸動作。

Sutherland 提出的微管線為基於 two-phase 運作的非同步而且屬於事件驅動 (event-driven) 的架構。由於它是採用 bundled data 為介面來傳送資料，因此當資料於傳送端就緒時，傳送端將送出一個請求的訊號至接收端，經過一段延遲時間後當接收端收到資料後會回傳一個認可的訊號給傳送端。另外，另一個請求訊號將會被傳送至下一級的接收端，再經過一段延遲時間後，當下一級的接收端收到資料時會再回傳一個認可的訊號給傳送端。如此的機制將一直重複往下傳至下一級，直到所有新的資料皆完成輸入的動作。

圖 2-6 所示即為四級微管線的示意圖，資料由 D_{in} 進入電路中，經過四級的處理後由 D_{out} 輸出。每級電路中皆包含了暫存器與組合電路於其中，暫存器的動作藉由請求訊號由前一級的 R_{out} 傳至後一級的 R_{in} ，圖中的訊號線均由上昇緣或下降緣來控制其運作。

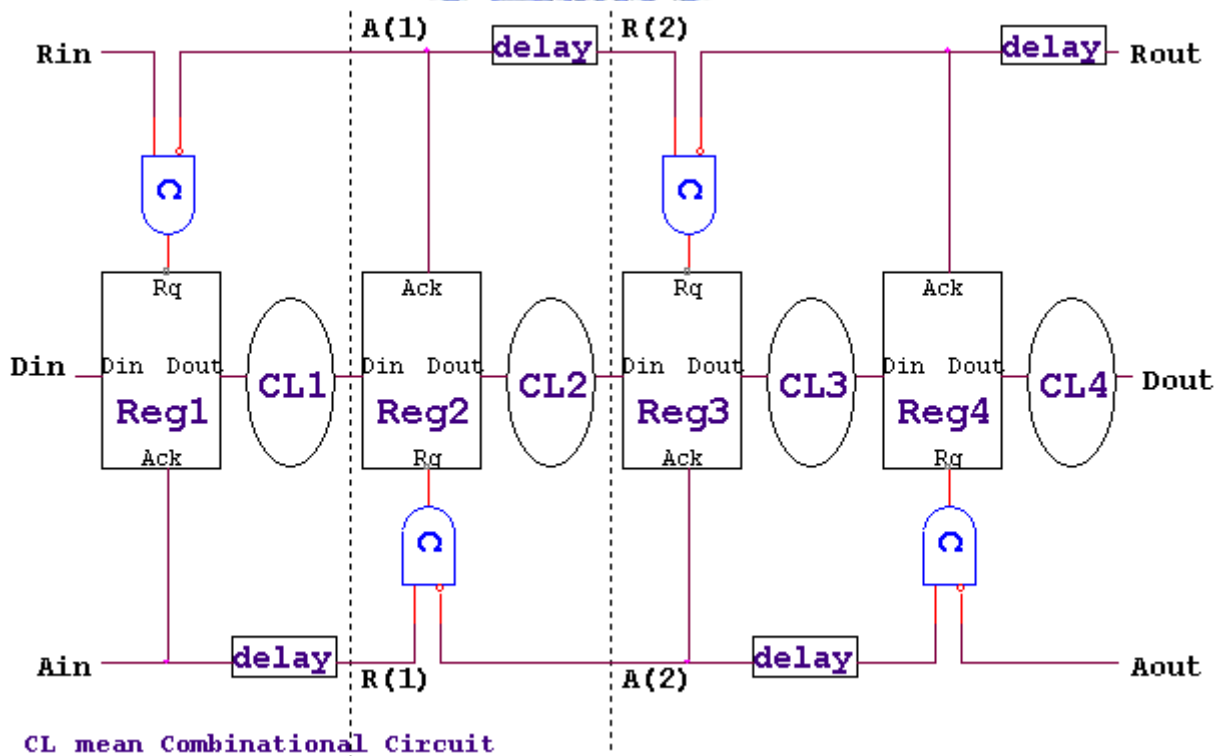


圖 2-6 四級的微管線 (4-stage micropipelines) 方塊圖

圖 2.6 中的 C 代表著 Muller C element，這個元件的操作原理如下所描述：

```
IF predecessor and successor differ in state
THEN copy predecessor' s state
ELSE hold present state.
```

Muller C 在非同步電路的設計中是相當常見的，它的運算邏輯是採用前級與後級之狀態來做比對產生下一級的輸出，即若是前級與後級輸入的狀態（電位）不同，則輸出前級的狀態，否則維持現在的狀態。

分析此微管線架構，資料由 Din 進入電路中，經過四級的處理，每級皆有暫存器與組合電路包含於其中。而電路的控制關鍵則在 Muller C element 與暫存器上，暫存器的動作藉由請求訊號由前一級的 Rout 傳至後一級的 Rin，資料也由前一級流入組合電路中，經過一段處理時間後資料被送到下一級的暫存器中。在此同時於 Rout 至 Rin 之間設計一個延遲元件，這是為了讓事件發生時，下一級可以在收到這個事件的同時能夠取得正確的資料，這個延遲元件的延遲時間是取決於這一級組合電路的執行時間。由於每一級的延遲元件是個別獨立的，所以每一級可以有不同的延遲時間，也就是可以使用不同延遲時間的延遲元件。最後，一旦請求訊號進入下一級暫存器，則下一級的認可訊號即由 Ain 送出至前一級的 Aout。前一級於收到認可訊號後，則重複上述的動作繼續傳送下一筆新的資料。

進一步若以第二級為例，第二級的定義如圖 2-6 中所示，由 A(1), R(1) 至 R(2), A(2)。當一個觸發信號自 R(1) 進入，並且 A(2) 的信號也進入 C-element，則這一級的請求事件被觸發。這個意義即為當這一級的資料已經被下一級接受之後，若上一級的資料也已經備妥，則這一級的暫存器就可以去抓取前一級的資料。等到取得資料之後的穩態，認可事件就送出經由 A(1) 到前一級，用意即為通知前一級已抓到資料了，讓前一級可以送出下一筆資料。如此各級間都是利用這種請求與認可的非同步協定來溝通，各級串接起來就是一個完整的微管線機制。

2.2 微管線的測試

關於微管線的測試，因為其為非同步電路，因此並未有時序信號可供使用，

使得測試上變的相對複雜。若分析微管線的架構，其實可分出四大主要可能發生錯誤的部分，其依序為：

- 錯誤發生於微管線控制電路部分；
- 錯誤發生於組合電路部分；
- 錯誤發生於暫存器部分；
- 延遲錯誤；

2.2.1 錯誤發生於控制電路部分

這種錯誤是發生於 C-element 的輸入與輸出電路與微管線中請求與認可的信號線，這部分因微管線於動作時必須要有這些控制訊號線的幫忙才可有正確的資料輸出，因此只要有資料進入微管線時，這些信號線若有錯誤的話，就不可能有正確的資料被輸出。

2.2.2 錯誤發生於組合電路部分

關於組合電路部分的錯誤，要偵測組合電路的 stuck-at fault，其測試向量 (test vector) 的產生方式與相關的演算法 (algorithm) 已相當的純熟，可由現今許多的測試向量產生技術來提供。但是對微管線架構來說，如何有效且準確的將這些測試向量送入相關的組合電路中以供偵測錯誤則較為複雜。

2.2.3 錯誤發生於暫存器部分

暫存器部分錯誤的發生，例如發生 stuck-at fault 於暫存器輸入或輸出部分，這種錯誤發生時相當於組合電路發生 stuck-at fault 的狀態，因為組合電路部分的輸入信號來自暫存器，組合電路執行完後輸出訊號也流入暫存器中，因此一旦暫存器發生 stuck-at fault，連帶的使組合電路部分的輸入信號或輸出訊號也如同發生 stuck-at fault，這時因為組合電路的輸入端並無法正確的將資料輸入，自然的，就不可能有正確的資料由組合電路輸出。

2.2.4 延遲錯誤

當資料於組合電路的輸入端時，經過一段延遲時間後，其輸出的資料會被鎖住在輸出端，而組合電路的延遲錯誤往往是因為路徑延遲 (path delay) 所造成的。換言之，對微管線而言，延遲錯誤的發生可能為組合電路的輸出已被鎖住，然而輸出訊號尚未穩定的狀況。因此微管線中的組合電路也必須測試延遲錯誤。一般延遲測試的方法需要兩個測試向量，一個測試向量先於輸出端被鎖住，而另外一個測試向量則由輸入端經一段時間於組合電路運算後再被鎖住於輸出端，利用這種方法可進行延遲錯誤的測試。

2.3 微管線的掃描測試

由於在同步電路中，掃描測試的技術與觀念已日漸成熟，因此對於非同步電路與微管線的測試部分，若可以應用掃描測試於其中的話，就可以利用現有的技術達到測試的效果，再加上應用掃描測試的話可以增加可控制性 (controllability) 與可觀察性 (observability)，如此一來也可以提高錯誤涵蓋率與降低測試時間，因此加入掃描測試將可有效的進行微管線測試。一些關於運用掃描電路來測試微管線的方法已被提出，其中大部分是利用加入同步的掃描測電路，少部分則利用非同步的方式。相關的文獻說明如下：

Khoche & Brunvand 提出的文獻[3] 主要是將同步的掃描架構運用到微管線中，該篇提到測試微管線運作時區分為兩種模式：正常模式 (normal mode) 與掃描測試模式 (scan test mode)。在正常模式下，微管線的動作即如一般的微管線運作方式；而於掃描測試模式下，所有的門皆被組織成一個移位暫存器 (shift register)，而門的效能相當於一個主僕 (master-slave) 正反器。另外 Aout 的訊號，在此模式下將被當作掃描時序的輸入源，即掃描測試所需的時序是由 Aout 訊號端所輸入，而為配合 Aout 訊號於此模式轉變為輸入端的關係，Muller C-element 在此模式下的功能也將改變為將掃描時序由 Aout 輸入後經 Muller C-element 輸入端直接傳送至 C-element 輸出端，換句話說，相當於為掃描路徑中的時序線。如此測試向量可由掃描輸入端依照掃描時序而逐步移入掃描暫存器中。

當測試資料移入並被鎖住後，微管線回復至正常模式，此時測試資料即經由組合電路的運算且儲存於下一級的暫存器中，接下來再進入掃描測試模式，一方面將新的測試向量移入暫存器中，另一方面將存於下一級的已運算資料移出至掃描輸出端，如此重複上述的步驟直到所有的測試向量完成。這種測試方式將可以偵測出 stuck-at fault 與延遲錯誤。

另一個掃描測試技術為 Petlin & Fuber 所提出[7]，其主要方法為利用一個特殊設計的掃描測試閘 (scan test latch) 來實現掃描測試。這種方式可以支援 two-phase 或 four-phase 的訊號傳輸協定。它主要的架構為改良掃描測試閘並增加掃描測試控制邏輯 (scan test control logic : STCL)。

此方法於掃描測試閘改良後，相對於前一個方法 (Khoche & Brunvand 所提出) 將可以減少掃描測試閘的邏輯閘 (gate) 數目。圖 2-7 所示為此特殊設計的掃描測試閘。另外 STCL 電路除了當作微管線測試介面之外，同時也會產生時序訊號以供測試模式時使用，圖 2-8 所示即為 STCL 使用 two-phase 訊號傳輸協定的架構圖，而一個 STCL 架構可供數個非同步模組於測試模式下所共用。

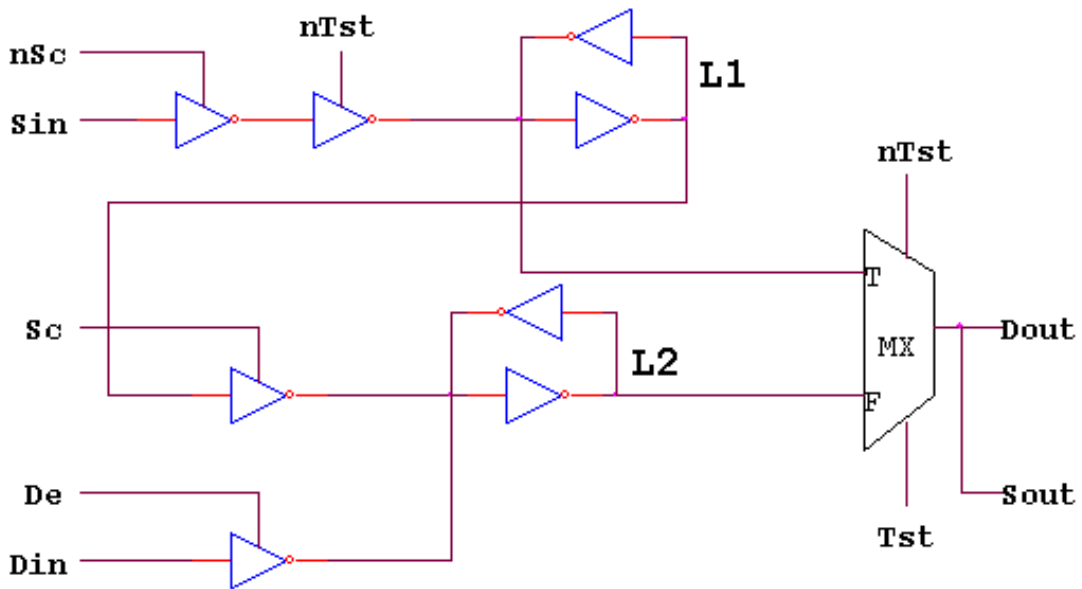


圖 2-7 掃描測試閘架構

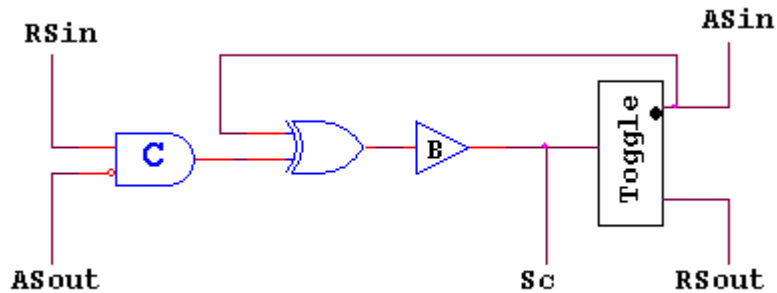


圖 2-8 STCL 架構

測試的工作原理與前一篇文章所提的方法相似。主要區分為三種模式：正常模式、掃描模式與測試模式。正常模式即指微管線一般平時的運作方式；在掃描模式下，測試資料藉由掃描時序而移入暫存器中，資料移入就緒後，就切換到測試模式進行測試，換言之，原本在暫存器中的資料，此時進入組合電路，並於運算完後儲存於下一級的暫存器中，最後再進入掃描模式將新的測試資料存入暫存器中，並將運算完後的測試資料移出暫存器後於輸出端進行比對驗證，如此重複的將資料移入，運算與移出。此方法也可以測試 stuck-at 與延遲錯誤。

基於上述的文獻，另一個相類似架構為 Yong-Seok Kang, Kyung-Hoi Huh and Sungho Kang 所提出 [2]，此篇主要是依照上篇介紹的技術，再提出一個如圖 2-9 所示新的掃描測試門架構設計。此篇作者是希望能再改良上篇掃描測試門的可控制性與可觀察性，如此除可以保留原有高的錯誤涵蓋率與 stuck-at fault 的測試外，對於延遲錯誤更可有相對於前一篇文章的改善。

延遲錯誤的測試方法主要是利用兩個不同的測試向量依序進入測試電路來達成，第一個測試向量先設法於暫存器輸出端被鎖住，接下來第二個測試向量由掃描輸入端輸入後經過一段時間於組合電路運算後再被鎖住於暫存器輸出端，將輸出端的結果經由掃描鏈流至掃描輸出端後再進行比對驗證，利用此種方式可以來偵測延遲錯誤。

此篇文章相對於上篇主要是針對測試掃描門再進行改良，以改善第二個測試向量的可控制性來提高偵測延遲錯誤的錯誤涵蓋率。因為於上篇文章中，於測試延遲時間時，第二個測試向量的產生是需要經過前一級的組合線路執行的結果。換句話說，第二個測試向量並無法有效的藉由掃描輸入端自由控制，因此這篇文

獻的作者即針對這部分再改良測試掃描門的部分，藉著將第二測試向量可以由掃描輸入端控制的方式來提高延遲錯誤的錯誤涵蓋率，除此之外，對於 stuck-at fault 的錯誤涵蓋率此篇也維持與上篇相當。

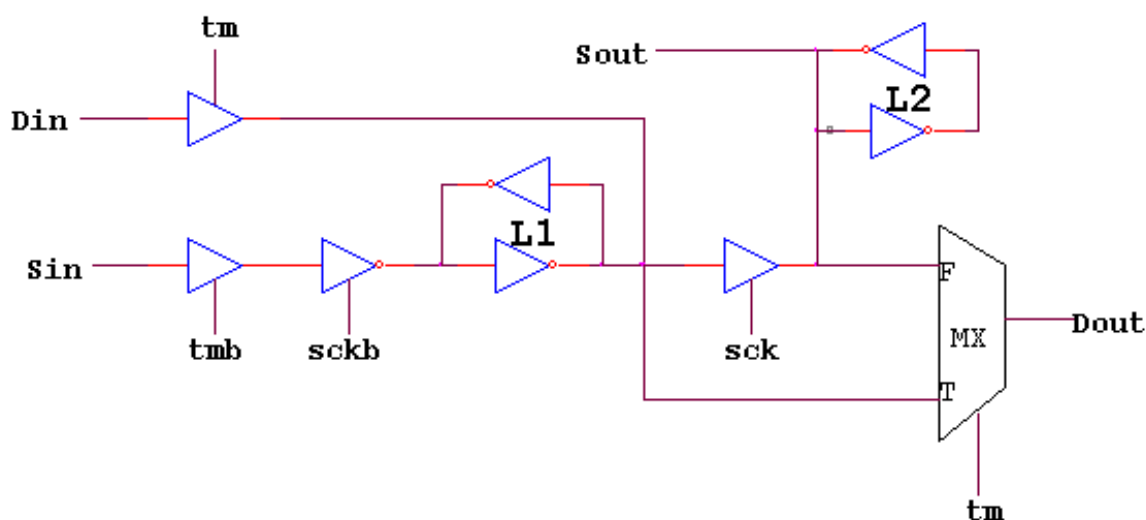


圖 2-9 改良的掃描測試門架構

上述的相關研究皆為針對微管線加入同步的掃描架構為基礎來做討論，Volker Schober & Thomas Kiel 的文獻[10] 不同於其他的文獻處為它主要是運用非同步的方式來應用掃描測試於微管線中。換句話說，一種新的運用非同步架構的掃描測試門被提出，運作的方式同樣利用請求與認可的概念將掃描電路連接起來。

這種非同步掃描測試架構的好處為不需要應用前述文獻中所需要的掃描時序信號，而是利用通訊協定來取代時脈並將掃描電路連接起來。然而它的缺點則是為達成非同步掃描測試架構的方式，需要外加的電路較其他運用掃描時序的方法更多並且更為複雜；另外也因為採取非同步的方式，測試時間也可能較運用掃描時序的方法更長。

不過，採取非同步掃描測試架構，於測試時因不像同步電路需要電路中的元件同時動作，因此功率消耗方面將可較同步的方式為小。此篇作者的基本概念如圖 2-10 所示。

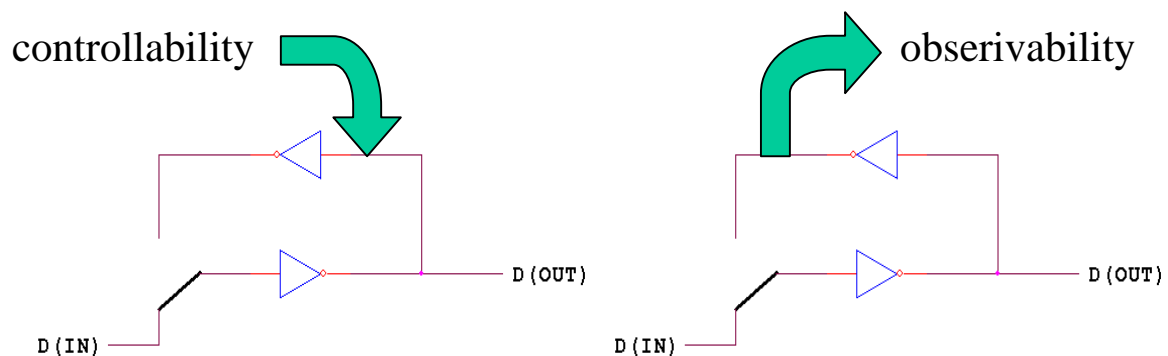


圖 2-10 運用非同步掃描測試架構的觀念

2.4 研究方向

上述的文獻研讀後可發現，依照原本掃描測試的方法，測試資料需慢慢的移入所有的掃描暫存器後，再經由組合線路的執行將結果放置於下一級的掃描暫存器中，最後再經由掃描鏈將執行的結果移出掃描暫存器並置入下一筆新的測試資料。

若微管線的級數較長的話，其掃描鏈也相對的較長，所以將一筆測試資料掃描進入的測試週期 (test cycle) 數目也會變得較多，導致測試時間變長。因此我們希望針對這個部分於掃描暫存器中作一些改善，期望能在維持上述相關文獻的高錯誤涵蓋率的狀態下於微管線的掃描測試中減少測試週期的數目已達成減少測試時間的目的。

我們研究的方向為如果將原先各級串接在一起的掃描鏈分割為各級於收到掃描進入的測試資料後，直接進入組合電路執行並將結果儲存於下一級的暫存器中等待掃描輸出，這樣將比等待所有掃描鏈中的暫存器都輸入資料後再執行測試來的有效率且可以節省測試時間。

另外由於掃描進入的方式被分割的關係，因此測試向量也可依各級各自輸入，故若微管線中欲測試第一級的組合線路測試向量較第二級為多的話，若為原本的掃描測試方法，則掃描鏈需要將第一級與第二級之測試資料皆掃描進入後才結束，然而若能照我們所提出之方法的話，假設第二級的測試資料皆已掃描完

成，則只需再將第一級的測試資料掃描進入即可，這樣的話也可減少測試向量掃描進入的次數，並進而減少測試時間。

上述方法，其實不僅可應用於微管線這種非同步電路，對於同步電路的類似管路（pipeline）架構，也可以應用於其上，同樣也可以減少測試時間。



三. 新架構之設計

3.1 設計的想法

基於以上對於微管線的掃描測試架構研讀後，我們希望能提出一個新的架構以便能在維持高 stack at 與延遲錯誤涵蓋率的狀態下減少測試週期的數目。另外由對之前文獻的瞭解，應用同步的掃描測試將能降低微管線的測試複雜度與測試時間，因此我們也將藉由加入同步的掃描測試方法來進行我們的研究；如上節所提到的，其實若是能將應用將一條掃描鏈中各個暫存器分開測試，其測試向量不僅不會增加，反而會因此減少。我們將舉個例子來說明這個想法：

假設微管線共有兩級，分別為第一級包含 Reg1 (掃描暫存器) 與 CL1 (組合線路) 與第二級的 Reg2 與 CL2，其中 Reg1 有 a 個掃描暫存器並需 m 個測試向量才可測全組合電路 CL1，Reg2 有 b 個掃描暫存器而需 n 個測試向量才可測全組合電路 CL2，其掃描鏈為由 Reg1 掃描輸入端至 Reg2 掃描輸出端。

假設 $a < b$ 且 $m < n$ ，即第二級的掃描暫存器與測試向量數目皆比第一級為多，則在如此的狀態下，依照原本測試掃描鏈的架構，測試週期的數目可以估計如下：

- A. 因掃描鏈皆連在一起，因此資料需由 Reg1 移入掃描暫存器中，並需流至 Reg2 的掃描暫存器為止，故需要的測試週期為 $(a+b)$ cycles，藉此可展開與計算所需要測試週期數目。
- B. CL1 與 CL2 的第一筆測試向量需 $(a+b)$ cycles 移入，移入完成後由掃描模式切換至測試模式測試，資料穩定後再由測試模式切換至掃描模式。
- C. 將第二筆測試資料移入與移出第一筆測試資料的運算結果需 $(a+b)$ cycles。
- D. 如此將所有的測試資料一筆一筆的移入掃描暫存器並運算後移出，共需要 $\max(m, n) = n$ 次才可完成所有的測試，另外需再額外加一次將最後一筆的測試資料運算後移出掃描暫存器。
- E. 計算一下測試週期數目的總和，我們可得到如下的數據：

$$\text{測試週期數目總合} = (\text{最大測試向量數} + 1) * (\text{一筆測試向量所需的測試週期數目})$$

$$\text{即測試週期數目總合} = (n+1) * (a+b) \text{ cycles}$$

若依照我們的想法，此時若兩個掃描暫存器可由掃描鏈各自讀入測試資料並各自執行的話，我們可再計算如下：

- A. CL1 與 CL2 的第一筆測試向量仍需 $(a+b)$ cycles 移入。
- B. 第二筆測試向量移入與第一筆運算結果移出需 $(a+b)$ cycles。
- C. 如此直到對 CL1 部分將所有的測試資料皆移入掃描暫存器並運算後移出，共需 $(m+1)$ 次才完成。
- D. 但此同時，CL2 的測試向量尚未測完，不過因為掃描鏈可分開的關係，可只針對 CL2 移入測試向量。
- E. 對 CL2 的部分需再 $m-n$ 次才完成所有的測試。
- F. 計算一下測試數目的總和，我們可得到如下的數據：

測試週期數目總合 =

$$\begin{aligned} & (\text{第一級測試向量數} + 1) * (\text{第一級一筆測試向量所需的測試週期數目}) + \\ & (\text{第二級測試向量數} + 1) * (\text{第二級一筆測試向量所需的測試週期數目}) \end{aligned}$$

$$\text{即測試週期數目總合} = (m+1) * a + (n+1) * b \text{ cycles}$$

將原本的掃描測試方法與我們所提出的方法作一比較可知，因為已經假設 $a < b$ & $m < n$ ，所以針對週期數目的總合，我們可以得知我們提出的架構其測試週期數目總合將比原先的架構更少；而測試週期數目的減少，即意味著測試時間的減少。

$$\text{原本方式} = (n+1) * (a+b) > (m+1) * a + (n+1) * b = \text{新的方式}$$

第一級中的暫存器 REG1 與第二級的暫存器 REG2 於測試時若其掃描鏈相串接或不相串接各自執行時可能會有不同的差異，也由此引發我們對減少測試週期與測試時間於微管線掃描測試架構的興趣，並進而依照此概念提出一個新的掃描暫存器架構。利用此新的掃描暫存器架構，可以運用上述的觀念將掃描鏈中的各級掃描暫存器串聯或忽略，在維持高錯誤涵蓋率與延遲錯誤的前提下，達到減少測試週期與測試時間的目的。

我們提出的方法，其實不僅可應用於測試微管線這種非同步電路，對於同步電路的類似管路 (pipeline) 架構，也可以應用於其上，同樣也可以減少測試時間。

3.2 新的掃描暫存器應用於微管線

基於以上的想法與研讀其他文獻後，我們所要提出新的改良掃描門如圖 3-1 所示，此架構主要不同於之前的相關文獻[2],[7]為電路中多了一個多工器，其目的在決定掃描測試資料是否需要進入此掃描門或直接忽略此掃描門而將測試資料流入下一個掃描門。此掃描門的電路模式切換可分為一般模式與掃描模式兩種。其主要的架構與模式切換說明如下：

3.2.1 掃描門架構

如圖 3-1 所示，為達成將一條掃描鏈能各別將測試資料送給各級的想法，我們將針對原本的掃描門[2],[7] 作了一些更改，以其能符合我們的想法。掃描門的接腳說明如下：

Din 代表正常資料 (data) 的輸入端。

Dout 代表正常資料 (data) 的輸出端。

Sin 代表掃描資料 (scan data) 的輸入端。

Sout 代表掃描資料 (scan data) 的輸出端。

tm 信號表示是否進入掃描模式 (scan mode) 的輸入端。

sck 代表掃描時序 (scan clock) 的輸入端。

cont 代表區塊控制信號的輸入端，代表此級目前是處於正在掃描資料狀態或是僅將掃描資料忽略直接傳送至下一級。

cosck 信號表示為 cont 與 sck 信號作 and 運算之結果，

當 cont=0 時 sck 的訊號將被忽略 cosck=0，

當 cont=1 時 cosck = sck。

De 信號代表控制資料可否由 Din 傳至 Dout 的輸入端。

電路中包含 2 個門供暫存資料，分別為 L1 and L2，其運作的功能類似主僕架構 (master-slave)。還有 2 個多工器：M1 與 M2；M1 主要是選擇 Dout 的值，而 M2 則是選擇 Sout 的值。

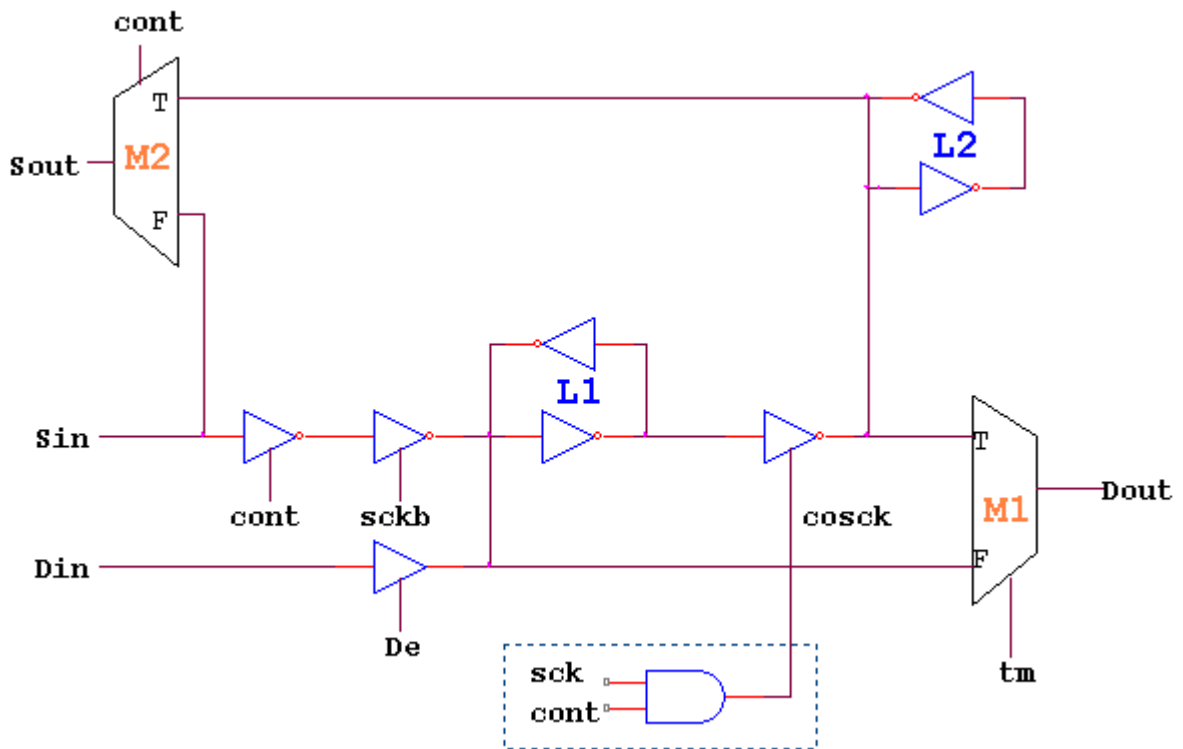


圖 3-1 改良掃描閘之結構

3.2.2 一般模式 (normal mode)

$tm=0$ 進入一般模式，此時若 $De=1$ 資料由 Din 進入，並經過 $L1$ 儲存資料後由 $Dout$ 直接送出。若 $De=0$ 則 $Dout$ 的資料由 $L1$ 決定。其時序圖如圖 3-2 所示，此時即為一般微管線的正常的運作模式。

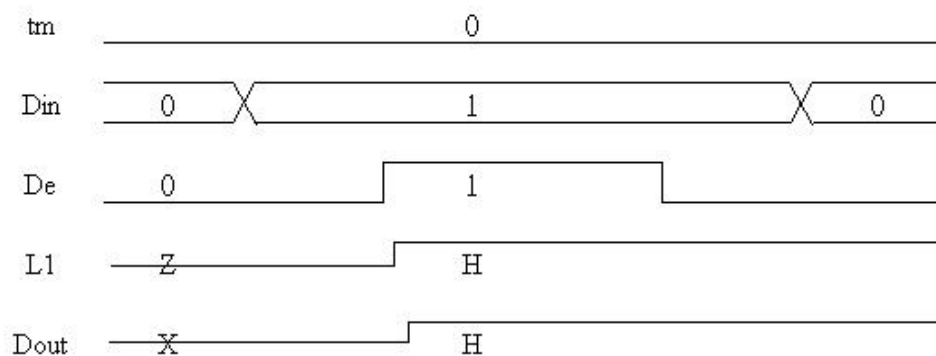


圖 3-2 一般模式的時序圖

3.2.3 掃描模式 (scan mode)

tm=1 時為掃描模式，此時需要參考 cont 信號。若 cont=1 時，代表此級目前是處於掃描資料狀態，因此測試資料將會進入 L1 與 L2 中暫存，同時暫存於 L1 的資料將經過多工器 M1 流至 Dout，另外 L2 的資料則將經由多工器 M2 而流至 Sout 並傳至下一級。圖 3-3 所示為掃描模式 cont=1 的時序圖。

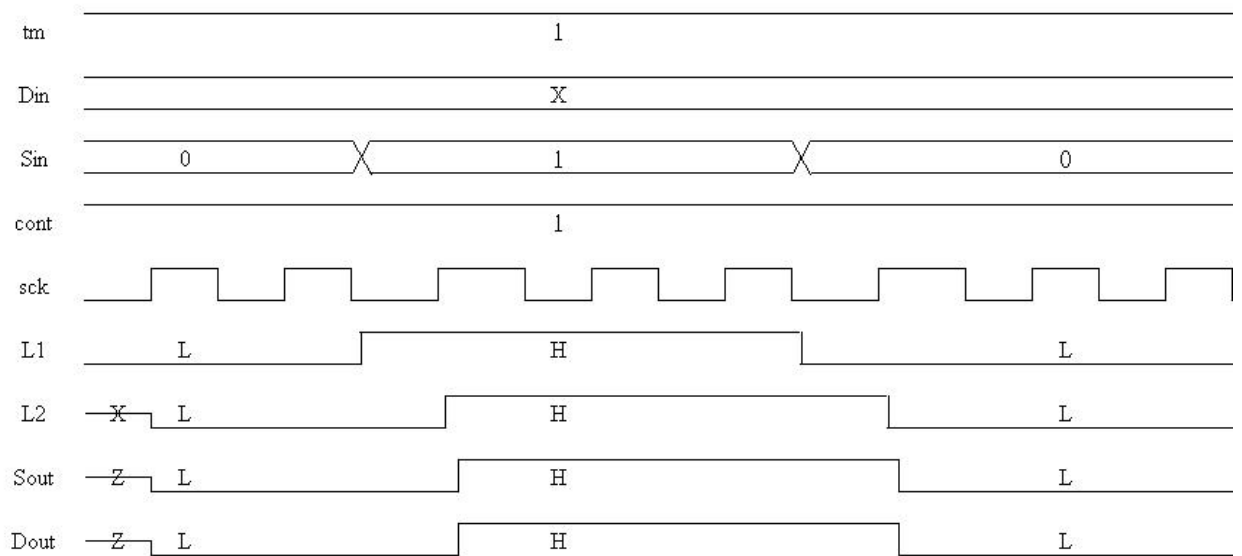


圖 3-3 掃描模式 cont=1 的時序圖

由圖 3-3 分析，在掃描測試狀態 tm=1 與 cont=1 的時候，當 sck=0 時 Sin 的測試資料進入 L1 中暫存，而與 L2 不導通；當 sck=1 時 Sin 與 L1 不導通，但 L1 的資料將被送至 L2 後流經 M1 與 M2 至 Dout 與 Sout。Sout 的資料將流入下一級/下一個掃描門，而 Dout 的資料則流入此一級相對應之組合電路中並進行運算。

當 cont=0 時所有的且閘 (AND gate) 輸出皆為 Low，因此 cosck=0；而多工器 M2 的輸出也因 cont 信號而被選取至 Sin，此時由圖 3-1 中可得知測試資料由 Sin 經過 M2 後直接輸出至 Sout，並不會進入 L1 與 L2 中暫存，換言之，因為 cont 代表區塊控制信號，若此級目前是處於僅將掃描資料直接傳送

至下一級之狀態 (cont=0)，則測試資料將僅由 Sin 直接傳至 Sout 後流入下一級/下一個掃描門，測試資料將不會被讀至 L1 或 L2。其目的是在達成將掃描鏈中部分的掃描暫存器可視為不串接的效果，這樣可以達成我們的想法。

圖 3-4 所示為掃描模式 cont=0 的時序圖。由時序圖可以看到在 cont=0 時，無論 Sin 輸入的資料為何，Sout 的輸出皆與 Sin 相同

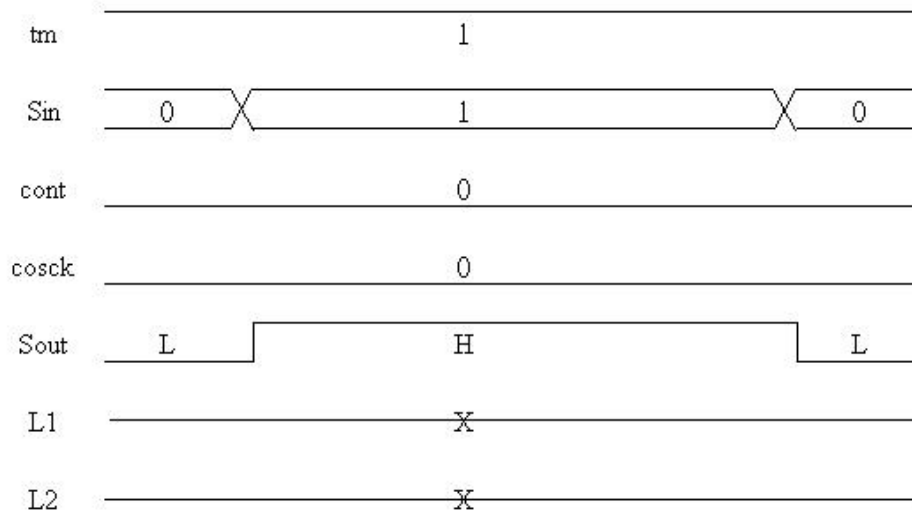


圖 3-4 掃描模式 cont=0 的時序圖

另外當 cont=0 時，De 信號也是相當重要的，因為 De 信號代表控制資料可否由 Din 傳至 Dout。若 De=1 時代表 Din (前一級的測試結果) 可以流入 L1 中暫存，先前已提及因為 cont=0 時 L1 與 L2 並不相通，因此當 De=1 時，L1 就存放前一級的測試結果，而 L2 則仍存放舊有的資料。若 De=0 時，L1 與 L2 繼續保持其舊有的資料，其時序圖請參考圖 3-5。

如圖 3-5 所示，由於 cont=0 時，L1 與 L2 並不相通，資料的取決由 De 控制信號來決定，利用這個特性可達成我們期望將測試資料由一條掃描鏈進入後，可以各自傳輸到各級中。它的動作原理為掃描傳輸完成後當級的 L2 將存放所掃描進入的測試資料，並且經由 Dout 將測試資料傳送到其後的組合電路，當在 De=1 時組合電路的結果將經由下一級的 Din 而存入下一級的 L1 中。而後當下一筆測試資料被掃描進入，同時原本存在 L1 的資料也將同時被掃描輸出並進行測試。如此便完成一次的掃描測試。

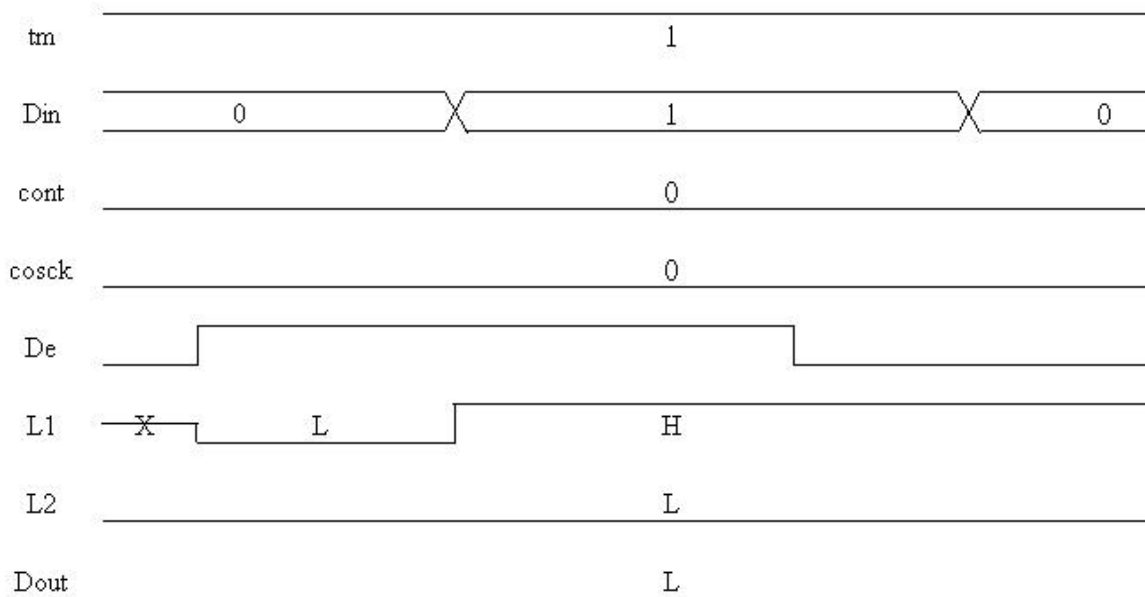


圖 3-5 掃描模式 cont=0 與 De 的時序圖

另外值得注意的一點為 cont 與 sck 的關係，因為 sck 為掃描時序，其主要為控制測試資料是否可以進入 L1 或 L2 中，而 cont 為區塊控制信號，控制著這一級是否要將掃描資料讀入。為了要於掃描模式下，其資料要正確的由 L1 傳至 L2，因此 cont 的信號改變必須在 sck 訊號改變前發生，這樣的話，當 cont 從 0→1 時，原先鎖住在 L1 的資料可以於 sck=1 時先傳至 L2，而後再藉由其餘的掃描時序動作將新的測試資料掃描進入 L1，並將原先儲存於 L2 的資料掃描出來。

運用上述新的掃描門，我們即可建構新的掃描測試電路並且來驗證我們的觀念與想法。

3.3 微管線的掃描測試

有了改良後的掃描門後，我們便可利用它來建構微管線的掃描測試架構，並將我們的想法應用於其中，其改良後的測試掃描暫存器與微管線掃描測試，我們將由下而上(bottom-up) 的設計方式來完成此架構。

3.3.1 掃描暫存器的架構

將數個掃描門組合起來可構成掃描暫存器，掃描暫存器於正常模式下的運作方式類似一般的暫存器；切換至掃描模式下其運作方式類似移位暫存器，測試資料由掃描輸入端掃描進入後，依掃描時序逐步掃描進入各個掃描門，再經由掃描輸出端將資料傳至下一個掃描暫存器或掃描輸出端。

我們以 4 個掃描門組合成一個掃描暫存器為例，如圖 3-6 所示即為此暫存器的示意圖，其中各個接腳說明如下：

Din1, Din2, Din3, Din4 代表正常資料的輸入端。

Dout1, Dout2, Dout3, Dout4 代表正常資料的輸出端。

Sin 代表掃描資料的輸入端。

Sout 代表掃描資料的輸出端。

tm 信號表示是否進入掃描模式的輸入端。

sck 代表掃描時序的輸入端。

cont 代表區塊控制信號的輸入端，代表此級目前是處於正在掃描資料狀態或是僅將掃描資料直接傳送至下一級。

cosck 信號表示為 cont 與 sck 信號作 and 運算之結果。

Rq 代表請求信號的輸入端。

Ack 代表認可信號的輸出端。

De 信號代表控制資料可否由 Din 傳至 Dout 的輸入端。

電路中包含一個門供暫存資料，另外還有一個 toggle 元件，主要的功能是用來經由前一級所傳送的請求信號來產生認可信號。

toggle 元件的操作原理如下所描述：

Steer events to its outputs alternately starting with the dot.

它的運算邏輯即是當輸入端收到一個事件的時候，將交替地改變兩個輸出的狀態，而初始時以有點 (dot) 的那一端開始改變狀態。

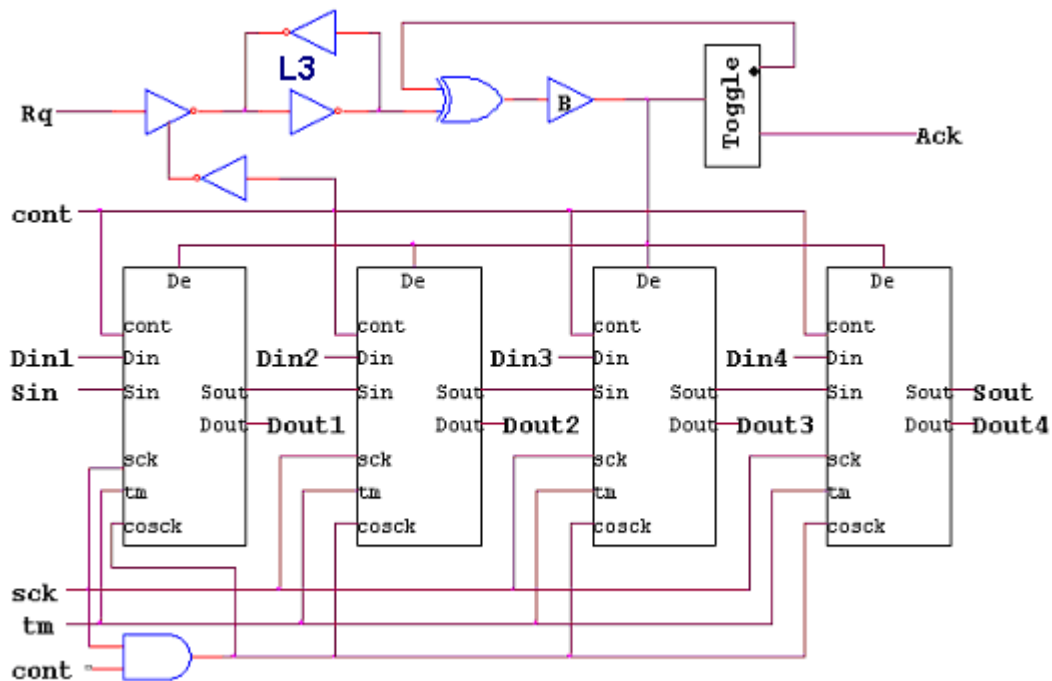


圖 3-6 4-input 掃描暫存器的架構

Toggle 元件應用於其中是為了當有一個請求信號進入時，藉由圖中所示：XOR + Buffer + Toggle，將可產生 De 與 Ack 的信號，De 信號的作用如 3.2.3 節中所描述的功能，而 Ack 信號則可將認可的信號傳回上一級。

電路中包含了一個門 - L3，主要的功能為預防在當級正在進行掃描資料輸入時，如果有請求信號進入時將產生障礙的現象，為解決這種問題，Rq 訊號的進入將由 cont 來控制，當 cont=1 時，鎖住的資料將繼續維持，而 cont=0 時則 Rq 的信號將進入門中並進而產生 De 與 Ack 信號。

此掃描暫存器運作的方式為：

- a. 正常模式 (tm=0)：資料由 Din 傳至暫存器中的輸入端，透過 Rq 信號與 toggle 元件的觸發來產生 De 信號並將 Din 的資料傳輸到 Dout 輸出端，隨後 toggle 元件也將產生 Ack 信號來告知上一級資料已收到並等待下一筆資料的輸入。
- b. 掃描模式 (tm=1)：cont=0，測試資料由 Sin 直接傳至 Sout，測試資料並不會進入掃描門中

cont=1，測試資料由 Sin 進入第一個掃描閘中，經由掃描時序 sck 的動作將測試資料掃描進入所有的掃描閘中再傳至 Sout，此時已掃描進入的測試資料將會進入該級的組合線路中執行。

在掃描模式下，Rq 信號與 De, Ack 信號的關係與正常模式下是一樣的，透過 Rq 信號與 toggle 元件的觸發來產生 De 信號並將 Din 的資料傳輸到 Dout 輸出端，隨後 toggle 元件將產生 Ack 信號來告知上一級暫存器資料已收到。不過於掃描模式下，Rq 信號的產生需要特別注意，因為在 cont=1 時表示測試資料正在掃描進入掃描閘中，如果此時 De 信號產生的話，則從 Sin 進入的測試資料將會與 Din 來的資料互相影響而產生障礙或競賽的現象。因此要避免此現象的發生即需要一個控制機制，L3 的存在即在避免此現象的發生。

觀察此改良後的測試掃描暫存器後可知，於掃描模式下其運作可分為兩大部分，分別為 Sin, sck, cont, Sout 等訊號所組成的掃描鏈部分與由 Rq, De, Ack 所組成的控制信號部分；如圖 3-6 所示這兩部分可藉由 cont 訊號的控制而各自運作不會互相干擾。換言之，掃描鏈部分的同步電路與利用非同步方式的控制信號將可以各自運作，這種暫存器的架構將達成我們希望將測試資料掃描進入微管線其中一級掃描暫存器後便可進入當級的組合線路中執行。另一方面可利用請求信號將前一級於組合線路執行的結果放入當級的暫存器中。如此即可避免如先前文獻中所提的，要將所有的掃描閘皆擺入測試資料再執行這種較費測試時間的方法。

3.3.2 區塊控制信號架構

上述各節中所提到的 cont 信號，其實是個相當重要的控制信號，它代表區塊控制信號的輸入，代表此級目前是處於正在將測試資料掃描進入掃描暫存器的狀態或是僅將掃描資料由當級直接傳送至下一級而資料不掃描進入當級暫存器。

關於這個區塊控制信號的產生，由於微管線的架構中並無此部份，故我們為了要進行微管線測試，將需要增加此部份的電路，另外還需一個輸入信號 bck 來當作產生控制信號的來源。電路部分請參考圖 3-7，此電路它可產生 4 個區塊控制線，各個接腳說明如下：

cont1, cont2, cont3, cont4 代表區塊控制信號的輸出端，
tm 信號表示是否進入掃描模式的輸入端，
sck 代表掃描時序的輸入端，
bck 代表用來產生區塊控制信號時序 (block clock) 的輸入端，它需為一個可由外部控制的輸入端。

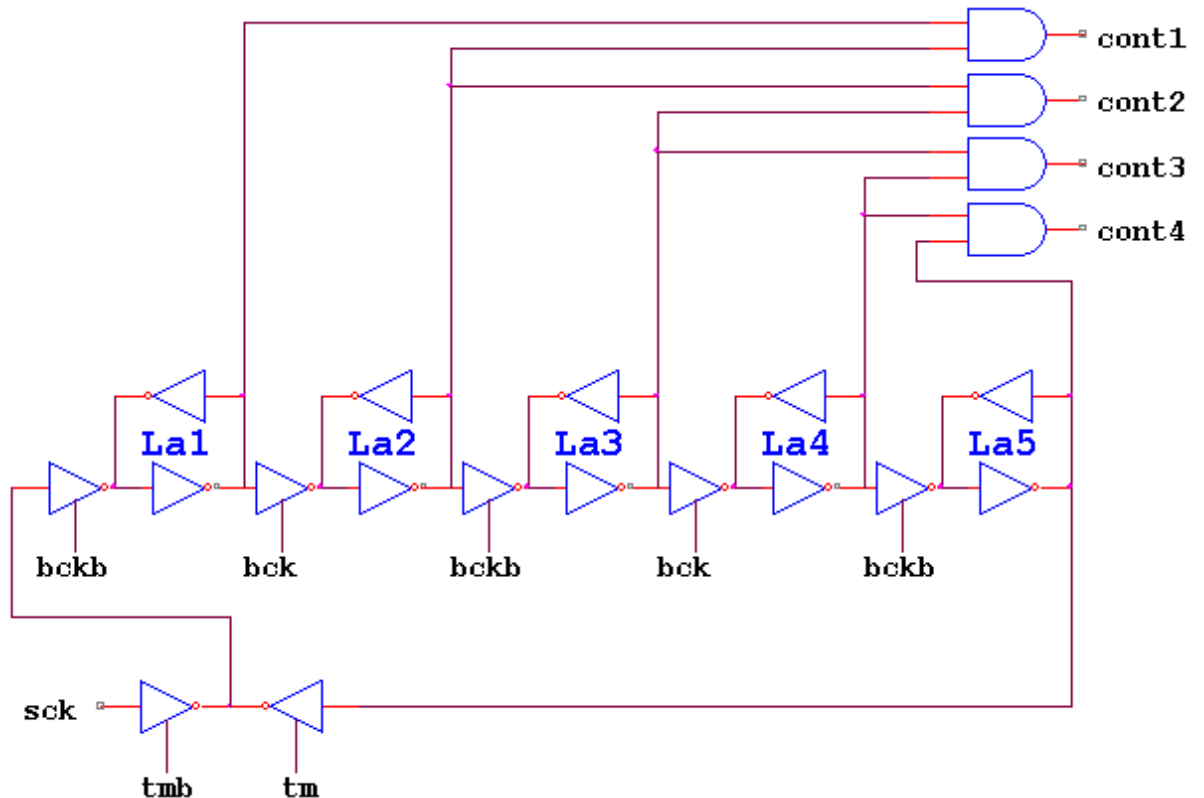


圖 3-7 區塊控制信號的架構

電路中包含 5 個門供暫存資料，分別為 La1, La2, La3, La4 與 La5，另外還有四個且閘 (AND gate) 作為產生區塊訊號的邏輯。其中 sck 與 tm 信號線主要的功能為幫門作設定 (set) 與重置 (reset) 其初始的狀況，接下來利用由外部可控制的 bck 信號對 5 個門做存取的动作，藉由 bck 信號 high 與 low 的變化，門中的值也跟著更改，鎖住產生後的值經過且閘來產生區塊控制訊號。此架構類似移位暫存器，主要的目的為於 bck 信號由 low 轉為 high 或由 high 轉為 low 時僅 enable 一組區塊控制信號，其餘的區控制信號都將暫時 disable，如此區塊控制信號依序並且循環產生，其時序圖可參考圖 3-8。

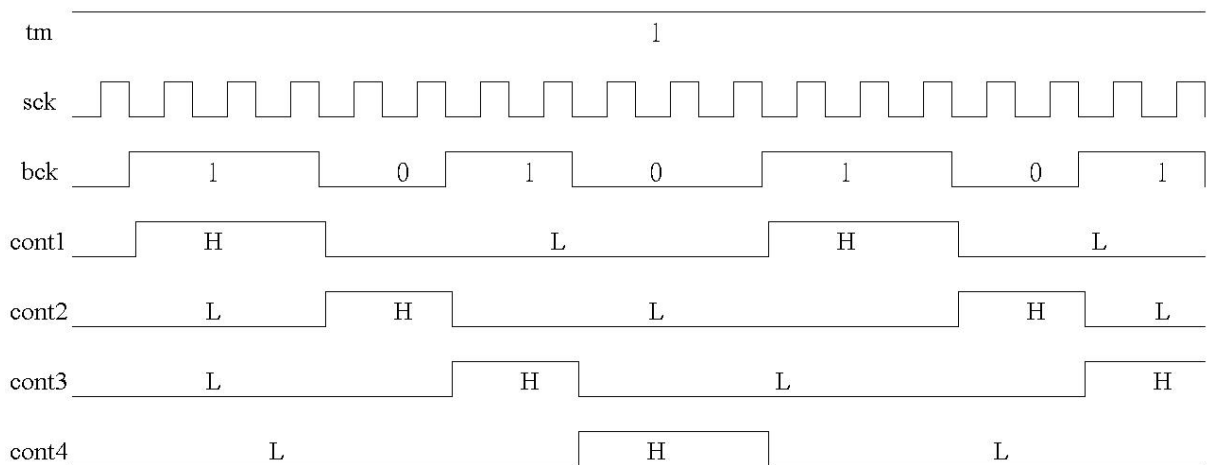


圖 3-8 區塊控制信號的時序圖

由時序圖中可看出，cont1 等控制信號為 bck 信號所控制，cont1 等信號隨著 bck 信號而依序更改，換言之，以此四級微管線為例，首先 cont1=1 則第一級被選取；依序再為 cont2=1, 第二級被選取；cont3=1, 第三級被選取；cont4=1, 第四級被選取，接著再循環為 cont1=1 → cont2=1 → cont3=1 → cont4=1 依次序被選取。利用此方式即可達成將一條掃描鏈於測試資料進入各級後即進入相關的暫存器與組合電路中執行。

運用區塊控制信號的方式，最大的好處為我們對微管線中各級的暫存器將有較大的可控制性與可觀察性。當我們於測試微管線中各級的組合電路時，因為隨著組合電路的複雜與否，測試向量的多寡也隨著不同。若於掃描測試時，當其中某些級的組合電路因測試向量較少而已經測完時，因其他級則尚未完成，若依照舊有的掃描測試方法，這些已測完的級因為同屬於一個掃描鏈的關係，因此掃描鏈仍需要將所有的掃描門填滿後再執行，這樣相對來說較浪費時間。

若使用區塊控制的方法，當其中的某一級已測完時，我們便可利用區塊控制信號將該級於掃描鏈中被忽略 (bypass)，這樣將可減少測試資料於掃描鏈中傳輸的掃描測試週期。而隨著掃描鏈中越來越多級的組合線路被測完，相對的越來越多的掃描暫存器被忽略，掃描測試週期將會越來越少，利用這種方式可使測試週期較原有的方式減少，而測試時間也相對的會減少。

另外由於使用區塊控制信號的關係，由 3.3.1 節中我們可以得知掃描鏈與

請求認可控制信號藉由區塊控制信號的幫忙可各自獨立運作。換言之，測試資料掃描進入微管線其中一級掃描暫存器後，便可進入當級的組合線路中執行，執行的結果於一段延遲時間後，利用請求信號將結果存放於下一級的暫存器中。由於這種方式不需要等所有的掃描門皆擺入測試資料再執行，而是一級的測試資料擺好後即進入組合線路中執行，相較之下後者將可以更節省測試時間。

3.3.3 具備掃描測試電路的微管線

具備上述的掃描門，掃描暫存器與區塊控制架構後，我們即可將掃描測試的架構應用於微管線中。

如圖 3-9 所示，以四級微管線為例，相關的接腳說明如下：

Din 代表正常資料的輸入端。

Dout 代表正常資料的輸出端。

Sin 代表掃描資料的輸入端。

Sout 代表掃描資料的輸出端。

tm 信號表示是否進入掃描模式的輸入端。

sck 代表掃描時序的輸入端。

cont1, cont2, cont3, cont4 代表區塊控制信號的輸入端。

Rin 代表請求信號的輸入端。

Rout 代表請求信號的輸出端。

Ain 代表認可信號的輸出端。

Aout 代表認可信號的輸入端。

圖 3-9 所示為利用上述的掃描架構應用於微管線的電路圖，我們將利用此測試架構來進行模擬與實驗，並且與其他相關文獻的結果作一個比較，其結果將在下一章中呈現。

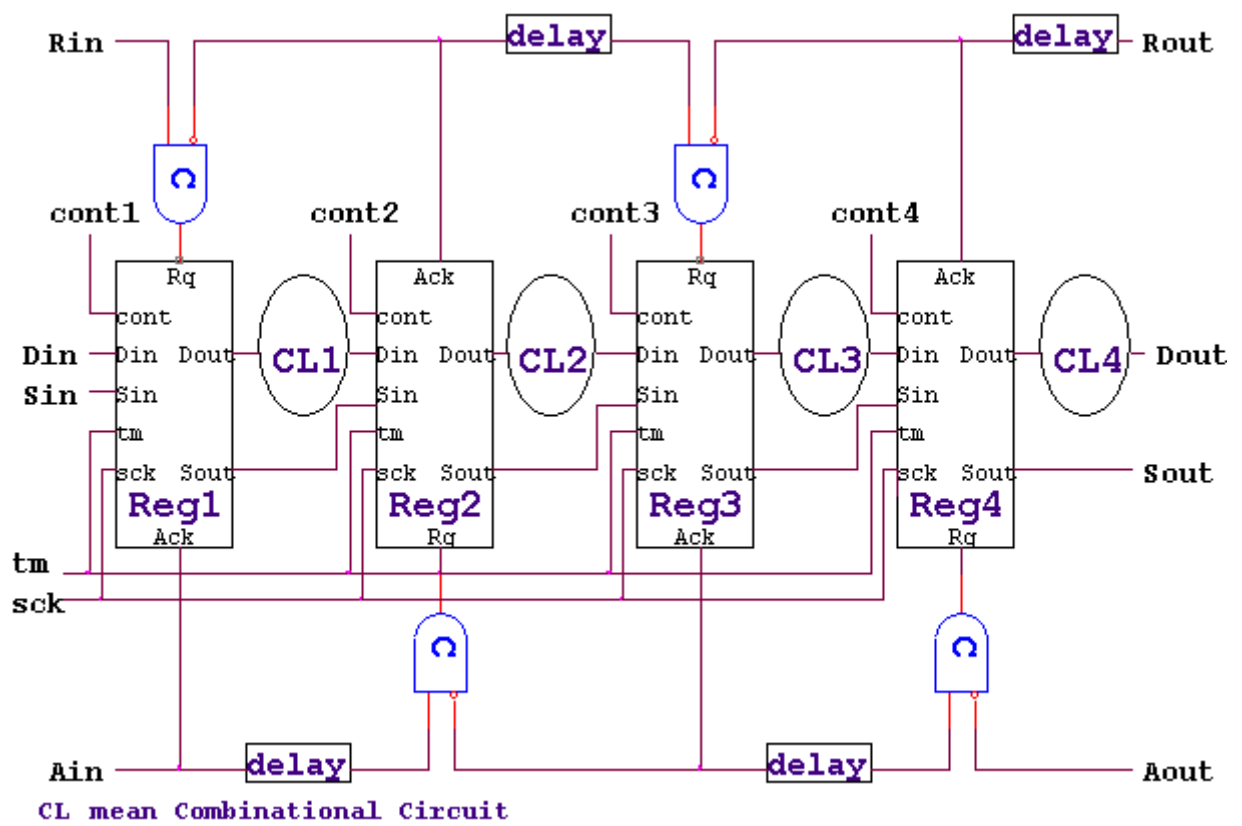


圖 3-9 具備掃描測試電路的微管線

四. 實驗結果與分析

4.1 微管線測試的模擬

對於以上所提出新的掃描暫存器應用於微管線的方法，我們將針對測試週期 (test cycle) 與測試時間 (test time) 兩部分來作模擬與實驗，實驗的方式將以一個四級微管線為例，各暫存器之間的組合電路部分將利用 ISCAS' 85 的標準比較電路 (benchmark circuit) 來模擬。此架構的區塊圖請參考圖 3-9。另外針對此掃描暫存器的硬體花費部分，我們也將針對其他文獻所提出的掃描暫存器架構來作一比較。

4.1.1 ISCAS' 85 標準比較電路

ISCAS' 85 中的標準比較電路皆為組合電路，其中的電路組合包含 INVETER, AND, OR, XOR, NAND, NOR, BUFFER 等邏輯閘，表 4-1 所列的為 ISCAS' 85 標準比較電路的相關資訊。

Circuit Name 欄代表電路的名稱，名稱前的 C 代表其為 Combinational circuit (組合電路)，而後面的數字代表此電路中連接線 (interconnect line) 的總和。

Input, Output, Gate 欄則分別表示該電路的主要輸入端數目，主要輸出端數目與電路中所有的邏輯閘的數目。

Useful Patterns 與 Final Coverage 欄是根據該電路架構，利用目前現有的測試向量自動產生器 (ATPG - automatic test pattern generator) 所產生出所需測試向量的數目與使用這些測試向量後的錯誤涵蓋率。

以其中電路 C432 為例，該電路有 36 個輸入端與 7 個輸出端，電路中有 200 個邏輯閘，應用 ATPG 的工具產生後需 47 個測試向量即可達到錯誤涵蓋率 99.24% 的狀況。

Circuit Name	Input	Output	Gate	Useful Patterns	Final Coverage
C432	36	7	200	47	99.24%
C499	41	32	242	53	98.95%
C880	60	26	472	54	100%
C1355	41	32	618	84	99.49%
C1908	33	25	1319	114	99.52%
C2670	233	140	1710	100	95.74%
C3540	50	22	2382	152	96.00%
C5315	178	123	3201	116	98.90%
C6288	32	32	2448	30	99.56%
C7552	207	108	4922	201	98.24%

表 4-1 ISCAS' 85 標準比較電路

4.2 掃描測試週期 (scan test cycle) 數目的模擬

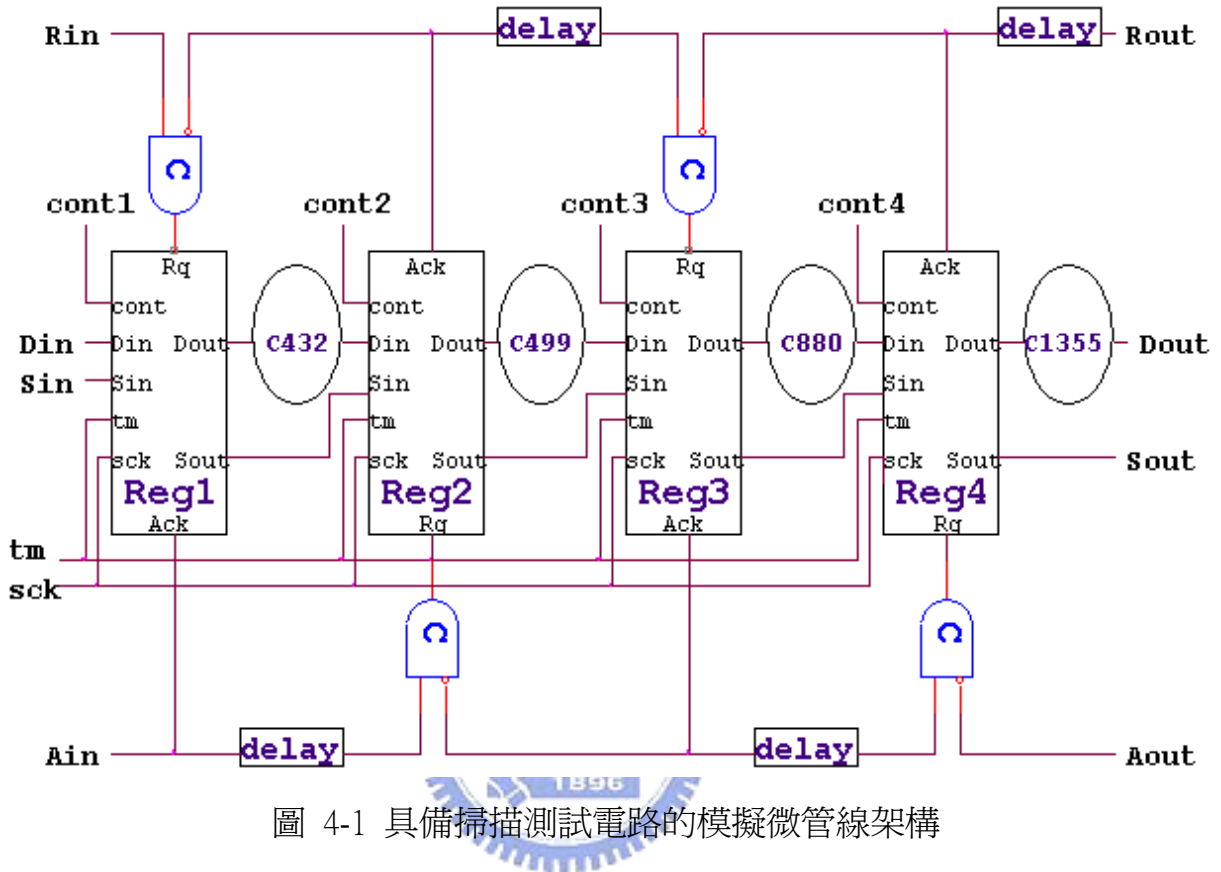
使用 ISCAS' 85 的標準比較電路，再加上運用提出的微管線測試架構，我們可以進行掃描測試週期數目的模擬。模擬的對象為四級微管線，我們將運用 ISCAS' 85 的標準比較電路來當作其中的組合電路，即四級中的組合電路將運用 ISCAS' 85 中的電路組合而成。以圖 4-1 中的微管線為例，其中組合電路已分別被 ISCAS' 85 中的 C432, C499, C880 與 C1355 所取代。我們將觀察不同的組合之間為了測試這些電路所需的掃描測試週期數目，並藉此與提他文獻所提出的掃描暫存器架構作一個比較。

4.2.1 模擬掃描測試週期數目的模型

原先提出的掃描測試方法 [7] 為進入掃描模式後將所有的測試向量皆先掃描進入暫存器後，再回到測試模式經由請求與認可的信號來達成電路測試，其方式為藉由同步的掃描架構將資料存入各個掃描暫存器中，再經由非同步的通訊協定使測試資料於組合線路中作運算，其結果再經由同步的掃描架構傳出。

其缺點為因為僅有一條掃描鏈的關係，因此就算四級中的三級其組合電路已經測完了，然而因為仍有一級尚未完成組合電路的測試，故仍需將測試資料掃描

進入掃描鏈中，並走完全部的掃描鏈，這樣的話，測試資料流入其他三級已測全的掃描鏈將浪費測試週期。



我們所提出的架構將可改善上述方法的缺點，加入一個區塊控制信號並更改其掃描暫存器後，將可使各級的掃描暫存器更具有可控制性與可觀察性，再加上於掃描模式下同步的掃描鏈與非同步的控制信號可以各自運作，因此可以藉由區塊控制信號將原掃描鏈有效的分割，對於該級已經測完的組合電路，再下一筆掃描測試資料進入時，將不再進入此級的掃描暫存器中，而是直接傳至下一級的掃描暫存器中，如此一來便可以節省測試週期並可有效的降低測試時間。

4.2.2 掃描測試週期數目的實驗結果

表 4-2 即為我們針對四級微管線並加入測試架構後所作的實驗數據，其中 Combinational Circuit 1, 2, 3, 4 欄所代表的是我們所選取的 ISCAS' 85 標準比較電路的組合，Original method 即代表原先方法[2], [7]所需的掃描測試週

期數目，而 Proposed method 所代表則為依照本篇提到的測試架構所需的掃描測試週期數目，最後一欄 Decrement ratio 即表示我們所提架構的掃描測試週期數目相對於原本方法減少的百分比率，藉此來了解所提架構的效能。

由表 4-2 中所觀察，依照不同的標準比較電路組合，我們所提出的架構在掃描測試週期數目總和上比原先的架構可以減少 11 至 36%，相對地，由於測試週期數目的減少將可減少測試的時間，因此我們提出此新的架構也較原本的方法節省測試時間。

Item	Combinational Circuit 1	Combinational Circuit 2	Combinational Circuit 3	Combinational Circuit 4	Original method (Scan test cycle) (a)	Proposed method (Scan test cycle) (b)	Decrement ratio from (a) to (b)
1	C432	C499	C880	C1355	15130	10647	29.63%
2	C499	C880	C1355	C1908	20125	12770	36.55%
3	C880	C1355	C1908	C2670	42205	37366	11.47%
4	C1355	C1908	C2670	C3540	54621	41744	23.58%
5	C1908	C2670	C3540	C5315	75582	65518	13.32%
6	C2670	C3540	C5315	C6288	75429	61968	17.85%
7	C3540	C5315	C6288	C7552	94334	80366	14.81%
8	C5315	C6288	C7552	C432	91506	73443	19.74%
9	C6288	C7552	C432	C499	63832	52334	18.01%
10	C7552	C432	C499	C880	69488	54590	21.44%

表 4-2 四級微管線測試架構掃描測試週期比較表 1

另外，由於此架構本質的關係，以四級微管線為例，其四個組合電路中個別電路在掃描鏈先後的次序也是相當的重要，以表 4-3 所示，選取的組合電路為 C432, C2670, C6288 與 C7552，在原先的架構中，其掃描測試週期數目並不會因為其所在位置的不同而有不同，然而，於我們的架構中，因為部份已測全的組合電路不需再掃描測試資料，所以掃描鏈的先後次序對掃描測試週期的數目是有關的。

觀察表 4-3，針對四級微管線，我們將其中的組合電路，由四個標準比較電路取代，可得到 24 種不同的組合。不過雖然我們使用相同的標準比較電路，然而將這些標準比較電路放置於掃描鏈前後不同位置，其所產生的掃描測試週期數目就可能不相同，相較於原先文獻所提的架構其節省比率，最大可達 33.8%，最少的部分也有 8.3%。

分析最大比率差異的架構，可發現若依待掃描測試向量的寡多來排列掃描鏈的話將可以達到最大的效益，換句話說，我們在安排掃描鏈時，若能事先安排將組合電路中待掃描測試向量最少的級先安排在掃描鏈的最前段，而測試向量最多的級安排在掃描鏈的最後面，其餘的各級依照測試向量的寡多來依序排列，如此在我們所提的的測試架構中將可得到最少的掃描測試週期數目。

	Combinational Circuit 1	Combinational Circuit 2	Combinational Circuit 3	Combinational Circuit 4	Original method (Scan test cycle) (a)	Proposed method (Scan test cycle) (b)	Decrement ratio from (a) to (b)
1	C432	C2670	C6288	C7552	102616	70186	31.60%
2	C432	C2670	C7552	C6288		73321	28.55%
3	C432	C6288	C2670	C7552		68543	33.20%
4	C432	C6288	C7552	C2670		92211	10.14%
5	C432	C7552	C2670	C6288		93854	8.54%
6	C432	C7552	C6288	C2670		73321	28.55%
7	C2670	C432	C6288	C7552		70433	31.36%
8	C2670	C432	C7552	C6288		75211	26.71%
9	C2670	C6288	C432	C7552		70186	31.60%
10	C2670	C6288	C7552	C432		75615	26.31%
11	C2670	C7552	C432	C6288		73972	27.91%
12	C2670	C7552	C6288	C432		73321	28.55%
13	C6288	C2670	C432	C7552		69875	31.91%
14	C6288	C2670	C7552	C432		73414	28.46%
15	C6288	C432	C2670	C7552		67985	33.75%
16	C6288	C432	C7552	C2670		91653	10.68%
17	C6288	C7552	C2670	C432		93543	8.84%
18	C6288	C7552	C432	C2670		73414	28.46%
19	C7552	C2670	C6288	C432		93854	8.54%
20	C7552	C2670	C432	C6288		94101	8.30%
21	C7552	C6288	C2670	C432		75211	26.71%
22	C7552	C6288	C432	C2670		73321	28.55%
23	C7552	C432	C2670	C6288		75615	26.31%
24	C7552	C432	C6288	C2670		73972	27.91%

表 4-3 四級微管線測試架構掃描測試週期比較表 2

4.3 掃描測試時間 (scan test time) 的模擬

由於微管線是屬於非同步電路的架構，控制信號為使用通訊協定如請求與認可的信號來取代時脈，因此在時間的量測上並不太容易。

對於我們所提出應用於微管線的測試架構，雖然是使用同步的掃描測試架構，然而其於各級之間的控制信號仍為非同步的通訊協定的方式，因此要詳細的量測其測試時間是相當的不容易，因此我們提出一個模型來估計不同的測試架構，其完成一筆測試向量的移入與其後組合線路的執行其時間的比較與效能。

4.3.1 模擬掃描測試時間的模型

針對微管線的測試架構，分析後可知對於測試時間的影響變數，最重要的兩個變數為：延遲元件 (delay element) 與掃描測試週期 (scan test cycle)，因此我們將針對此兩部份來作分析。

圖 4-2 說明我們分析的模型，如方框中所示，時間的主要影響變數為相對於 Combinational Circuit 1 的 delay element，另外為 Reg2 的 scan test cycle。

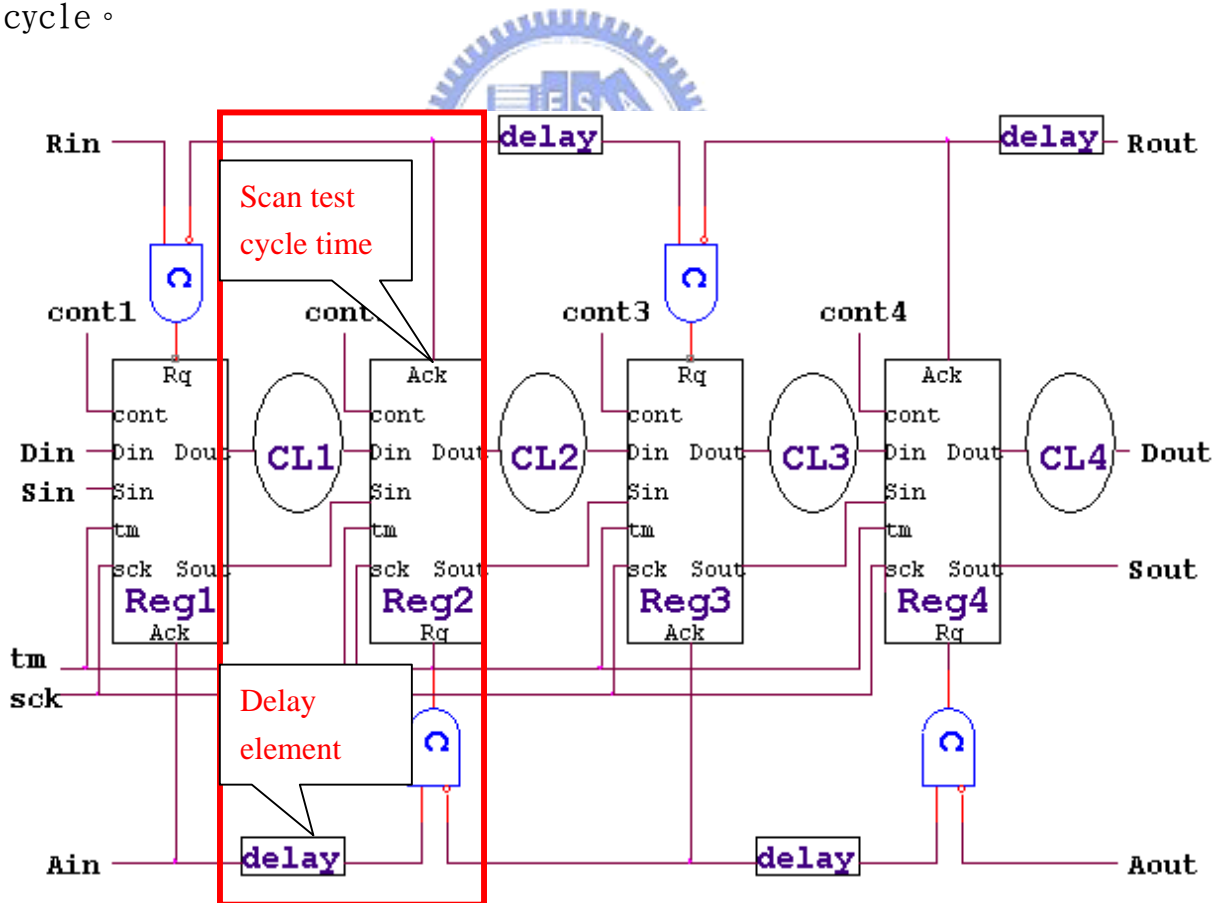


圖 4-2 微管線架構測試時間影響元件

依照圖 3-1, 3-6 與 3-9 的架構，有兩種情況會發生：

a. scan test cycle time 大於或等於 delay element time -

當情形發生時，因 Reg2 的 scan test cycle time 完成時，Reg2 掃描測試資料已被放置於 L2 掃描門中。另外 combinational circuit 1 的 delay element 早已完成，代表 combinational circuit 1 已可有穩定的測試結果輸出，故 Rq 信號也隨 delay element time 完成後產生。不過因為 cont 此時仍為 high，因此須等到 Reg2 在掃描測試資料完成傳入時 cont 由 1 變為 0，Rq 信號才會產生 De 訊號並將 combination circuit 1 的測試結果放置在 Reg2 的 L1 掃描門中。此部份其測試時間可視為 Reg2 的掃描測試週期時間。

b. scan test cycle time 小於 delay element time -

Reg2 的 scan test cycle time 完成時，若 combinational circuit 1 之 delay element time 若仍未完成，則雖然 Reg2 的掃描測試資料已被放置於 L2 掃描門中，但仍需等待 delay element 完成後才會產生 Reg2 的 Rq 信號並藉由此信號產生 De 信號，因此要完成將測試資料放置於 Reg2 的掃描門中同時 combinational circuit 1 有穩定的輸出需要等待 delay element time。故此部份的測試時間可視為延遲元件的時間。

綜合以上的模型，針對四級的微管線測試架構可觀察到 Reg2, Reg3, Reg4 的測試時間決定於其 scan test cycle time 或 combinational circuit 1, 2, 3 的 delay element time。而 Reg1 的掃描測試週期時間與 combinational circuit 4 的延遲時間是必要的。

我們舉個例子來說明：我們假設 Reg 1, 2, 3, 4 的 scan test cycle time 為 a, b, c, d，而 combinational circuit 1, 2, 3, 4 的 delay element time 為 m, n, o, p，依照我們的模型設計，完成一筆測試向量的移入與執行，其測試時間可能有下列兩種狀況：

1. 若 $b+c+d$ (Reg 2, 3, 4 scan test cycle time) $>$ $m+n+o$ (組合線路 1, 2, 3 delay time) \Rightarrow 測試時間為 $a+(b+c+d)+p$
2. 若 $b+c+d < m+n+o \Rightarrow$ 測試時間為 $a+(m+n+o)+p$

為何是針對 Reg 2, 3, 4 scan test cycle time 與 combinational circuit 1, 2, 3 的 delay element time 的時間總和來做比較，而不是 Reg 2 scan time 與 CL1 delay element time 或 Reg 3 scan time 與 CL2 delay element time 等分別比較的原因為：

- a. 若 Reg 2 scan time 大於或等於 CL1 delay element time 時，其所需時間為 Reg 2 scan time。
- b. 若 Reg 2 scan time 小於 CL1 delay element time 時，其所需時間為 CL1 delay element time。然而在 delay element time 大於 Reg 2 scan time 的同時，即 Reg 2 scan time 已完成，但 CL1 delay element time 仍在執行時，Reg 3 scan input/output 已在進行中。換言之 CL1 delay element time - Reg 2 scan time = Reg 3 scan time 已進行的時間。
- c. 由以上的觀念可得之需用總和時間取代個別時間來做比較。

4.3.2 掃描測試時間的實驗結果

表 4-4 列出依照表 4-2 的組合電路組合與上述的模型所得到的測試時間，並依此與原架構[2], [7] 的測試時間作一比較。比較的方式為針對完成一筆測試向量的移入與執行所需的測試時間來作分析。

Item	Combinational Circuit 1	Combinational Circuit 2	Combinational Circuit 3	Combinational Circuit 4	Original method unit : ns (a)	Proposed method unit : ns (b)	Decrement ratio from (a) to (b)
1	C432	C499	C880	C1355	11964	10136	15.28%
2	C499	C880	C1355	C1908	14052	11388	18.96%
3	C880	C1355	C1908	C2670	26588	21770	18.12%
4	C1355	C1908	C2670	C3540	29908	22614	24.39%
5	C1908	C2670	C3540	C5315	41924	31102	25.81%
6	C2670	C3540	C5315	C6288	44132	31132	29.46%
7	C3540	C5315	C6288	C7552	49256	33194	32.61%
8	C5315	C6288	C7552	C432	44192	30442	31.11%
9	C6288	C7552	C432	C499	31424	17224	45.19%
10	C7552	C432	C499	C880	28872	22022	23.73%

表 4-4 四級微管線測試架構測試時間比較表 (per cycle)

表 4-4 中我們使用了數種組合來觀察其效能，其中我們取 delay element time 為各 ISCAS' 85 標準比較電路的邏輯閘數 * 2ns，另外關於掃描鏈的測試頻率 (test frequency)，我們也針對 20MHz (50ns) 來觀察其變化。另外分析原架構 [2],[7] 的測試時間為將所有的資料掃描進入 - scan test cycles 後再加上各個 delay element time。

依照上述的假設所做的測試時間分析，我們所提的運用新掃描暫存器之測試架構，其完成一筆測試向量的移入與執行所需的測試時間相對於原先的測試架構最多可以節省將近一半的時間，若再加上如上節所討論的測試週期數目的減少，測試時間將可更進一步的減少。

4.4 硬體新增花費的討論

由於所提出的測試架構為建構於微管線之上，即將同步的掃描電路加諸於非同步的電路中，因此將會有一些額外的電路加於其中，我們將針對所提出架構的兩個部分探討其硬體花費，並與其他文獻中之方法作一比較。

掃描閘 (scan latch) 是我們所提出新的掃描暫存器相當重要的元件，相關的文獻於利用掃描測試時也是利用更改掃描閘的設計來達到此目的，我們所提出的掃描閘相對於其他的文獻[7]，為多了一組多工器用以選擇 Sout 端的輸入源，另外也多了一個輸入信號 cont 用以作為區塊控制信號。

表 4-5 所示為針對電晶體個數的比較表，相關的文獻為 [7] Petlin & Furber 與 [3] Khoche & Brunvand 所提出的，第一欄中 normal latch 表示微管線不加入測試架構的電晶體個數，而後的 Increment ratio 欄則為我們所提出的掃描閘相對於其他方法的比較百分比。

由表 4-5 可得知，我們所提出的架構其電晶體數目相較於 [7] Petlin & Furber 所提的架構多出了 24%。對應於另一個架構 [3] Khoche & Brunvand 所提出的架構多出了 10%。

Method	Transistor count	Increment ratio in proposed
Normal Latch	11	318%
Scan Latch (Petlin & Furber)	37	24%
Scan Latch (Khoche & Brunvand)	42	10%
Scan Latch (Proposed)	46	--

表 4-5 掃描閘的電晶體數目比較表

另外，除了掃描閘外，區塊控制電路也並不存在於原本的微管線架構中。換句話說，此部份的電路是為了達成測試的目的所多加的。因為於我們所提出的測試架構中，每一級皆需要有一條區塊控制信號來控制資料的傳輸，其所需要的電晶體數目將隨著微管線的級數增加而增加，每加入一級便需要 10 個電晶體來產生該區塊控制信號。因此這個區塊控制電路將是掃描測試架構中硬體花費較大的部分



4.5 結果分析與探討

由以上的實驗數據所顯示，我們可以了解提出新的掃描測試架構當中，影響效能的幾個因素：

1. 安排掃描鏈時，若能事先安排將組合電路中待掃描測試向量最少的級先安排在掃描鏈的最前段，而測試向量最多的級安排在掃描鏈的最後面，其餘的各級依照測試向量的寡多來依序排列，如此將可得到最少的掃描測試週期數目。

2. 所提出的架構，於安排掃描測試向量時需依另外演算法來加入，相較於原先的架構，因原先的方法較有重複性，掃描測試向量的產生較簡單。而我們所提出的方法，因需另外注意到各級的測試向量的個數並根據這個數來安排掃描測試向量，故較複雜。若是在某級中加入新的測試向量，因為測試向量個數改變，因此測試向量需重新產生，依照我們所提出的架構，測試向量的總數也一定會改變（變多）。而對原先的方法來說，除非加入新測試向量的當級剛好是測試向量數

目最多的一級，否則測試向量的總數是不會改變的。然而，對兩者之間的總數比較的話，提出的架構仍比原先的架構少。

3. 測試時間的減少除可以靠減少掃描測試週期外，同時因此架構可改善需將全部的測試資料掃描進入掃描鏈後再行進行測試的缺點，故可以再減少每一週期的測試時間，將可有效地減少測試微管線的時間。



五. 結論與展望

經過模擬實驗，我們可以從數據中得到驗證，證明我們所提出新的掃描測試架構，由於具備可同時將掃描資料的進入與測試資料的執行一起動作，並且可以針對不同級來掃描資料的功能，避免了一般需先將測試資料全部掃描進入後再行測試的缺點，因此於效能上可超越一般的微管線掃描測試。

此架構也同樣可適用於同步電路的管線 (pipeline) 中，不過因為有時序信號的關係，測試時間的節省將不若微管線非同步電路應用上來的明顯。

微管線測試架構的設計當中有一些實作上的技術還有待研究開發，如延遲元件(delay element) 在操作上可能會受工作溫度的改變而影響延遲的時間與雜訊的容忍度等。

近來非同步電路的領域已吸引越來越多的設計者注意。然而伴隨而來的測試問題卻是需要解決的問題，這裡所提出應用新的掃描暫存器之微管線測試，是希望為非同步微管線的測試提出一個更為節省測試時間的方法。當然，要將非同步電路的測試架構完整的實現在系統上成為成熟的應用，還有待多方的努力及時間的考驗。

參考文獻

- [1] S.B. Furber, P. Day, J.D. Garside, N.C. paver and J.V. Woods, "AMULET1 : A micropipelined ARM," *Compccon Spring '94, Digest of papers*, pp.476-485. Mar 1994
- [2] Yong-Seok Kang, Kyung-Hoi Huh and Sungho Kang, "New Scan Design of Asynchronous Sequential Circuits," *ASICs, 1999. AP-ASIC '99. The First IEEE Asia Pacific Conference on*, pp.355-358, Aug 1999
- [3] Ajay Khoche and Erik Brunvand, "Testing Micropipelines," *Advanced Research in Asynchronous Circuits and Systems* , pp.239-246. Nov 1994
- [4] Ajay Khoche and Erik Brunvand, "A partial Scan Methodology for Testing Self-Timed Circuits," *VLSI Test Symposium, 1995. Proceedings., 13th IEEE*, pp.305-312, May 1995
- [5] C.J. Myersy, "Asynchronous Circuit Design", Wiley-Interscience, 2001
- [6] Sandeep Pagey, S. D. Sherlekar and G. Venkatesh, "Issues in Fault Modelling and Testing of Micropipelines," *Test Symposium*, pp.107-111. Nov 1992
- [7] O.A.Petlin and S.B. Furber, "Scan Testing of Micropipelines," *VLSI Test Symposium, 1995. Proceedings., 13th IEEE*, pp.296-301, May 1995
- [8] O.A.Petlin and S.B. Furber, "Scan Tesging of Asynchronous Sequential Circuits," *VLSI, 1995. Proceedings., Fifth Great Lakes Symposium on*, pp.224-229, March 1995
- [9] O.A. Petlin, S.B. Furber, A.M. Romankevich and V.V. Groll, "Designing asynchronous sequential circuits for random pattern testability," *Computers and Digital Techniques*, IEE Proceedings- , Volume: 142 , Issue: 4 ,, pp.299-305, July 1995

[10] Volker Schober and Thomas Kiel, "An Asynchronous Scan Path Concept for Micropipelines using the Bundled Data Convention," *Test Conference, 1996. Proceedings., International*, pp.225-231, Oct 1996

[11] Ivan E. Sutherland, "Micropipelines," *Communications of the ACM*, Vol.32, No.6, pp.720-738, June 1989

