

國立交通大學

資訊科學系

碩士論文

以軟硬體共設計的方式設計與實現 Ogg

Vorbis 音訊解碼器

Design & Implementation of Ogg Vorbis Audio
Decoder Using HW/SW Codesign

研究生：徐家駿

指導教授：何慎諾 教授

莊仁輝 教授

中華民國 九十四年六月

以軟硬體共設計的方式設計與實現 Ogg Vorbis 音訊解碼器
Design & Implementation of Ogg Vorbis Audio Decoder Using
HW/SW Codesign

研究 生：徐家駿

Student : Chia-Chun Hsu

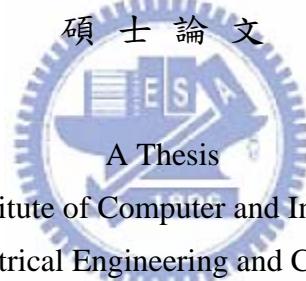
指 導 教 授：何 慎 諾

Advisor : Luc Claesen

莊 仁 輝

Jen-Hui Chung

國 立 交 通 大 學
資 訊 科 學 系
碩 士 論 文



A Thesis
Submitted to Institute of Computer and Information Science
College of Electrical Engineering and Computer Science

National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
in

Computer and Information Science

June 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年六月

以軟硬體共設計的方式設計與實現 Ogg Vorbis 音訊解碼器

學生：徐家駿

指導教授：何慎諾

莊仁輝

國立交通大學
資訊科學研究所

摘要

在此論文中，我們設計了一個符合 Ogg Vorbis 標準的音訊解碼器。根據複雜度分析的結果，解碼的過程主要可分為兩部分：較複雜控制部分（如反量化），以及大量計算的部分（如 IMDCT）。我們將控制的部分用軟體來實現，而大量計算的部分則用硬體來實現，利用軟硬體共同設計來完成整個 Ogg Vorbis 音訊解碼系統。我們選擇 Leon2 處理器及 Xilinx Multimedia Board 為發展平台來實現及驗證整個音訊系統。此平台為一個完整的 SoC 設計環境。

Design & Implementation of Ogg Vorbis Audio Decoder Using HW/SW Codesign

Student : Chia-Chun Hsu

Advisor : Luc Claesen

Jen-Hui Chung

Institute of Computer and Information Science
National Chiao Tung University

Abstract

In this thesis, we design an Ogg Vorbis audio system. According to the result of complexity analysis, decoding processes can be divided into two main groups, one contains high control complexity parts , e.g. inverse quantization, and the other contains high computation complexity parts, e.g. IMDCT. We implement the first group by C models, and design the second group by an FPGA system. Finally, we apply software/hardware co-design to implement the entire system. We choose the LEON processor and Xilinx Multimedia board, which is a complete environment for SoC design, to implement and verify the system.

致謝

兩年的碩士求學時光一轉眼就過了，感謝我的指導教授，莊仁輝教授以及何慎諾教授，提供我一個良好的學習和研究的環境，以及不間斷的用心指導，就算表現不如老師期望時，也還是能保持耐心給予我提攜和幫助；從很多生活、課業上的小細節，都可以發現老師的用心，使我獲益不少。

最重要的，要感謝我的父母親，能夠從小學、中學，一路念到研究所提供從不間斷的支援，讓我可以無後顧之憂的完成學業，感謝你們！今後我也會更加努力表現，不讓你們失望。



目錄

摘要	III
Abstract	IV
致謝	V
目錄	VI
圖目錄	VIII
表目錄	X
第一章 簡介.....	1
1.1 研究背景與動機	1
1.2 章節安排.....	3
第二章 Ogg Vorbis 音訊編解碼原理.....	4
2.1 聲響心理模型 (The Psychoacoustic Model)	4
2.1.1 靜音門檻曲線 (The Absolute Threshold of Hearing)	5
2.1.2 臨界頻帶 (Critical Bands)	6
2.1.3 遮蔽效應 (Masking)	6
2.2 Ogg Vorbis 封裝格式與解碼過程.....	9
2.2.1 Ogg位元串流.....	9
2.2.2 Ogg Vorbis 封裝過程.....	10
2.2.3 分頁結構.....	11
2.3 解碼過程.....	13
第三章 系統單晶片設計與發展平台.....	16
3.1 系統單晶片	16
3.2 系統單晶片之設計流程.....	16
3.2.1 傳統設計(Traditional design)	17
3.2.2 系統單晶片設計(SoC Design)	19
3.2.3 軟/硬體共同設計(Hardware/Software Co-design)	19
3.3 SoC發展平台	20

3.4	LEON2處理器.....	22
3.5	AMBA匯流排.....	23
3.5.1	AHB.....	24
3.5.2	AHB主模組端&從模組端互動方式.....	25
3.6	RTEMS嵌入式即時作業系統.....	26
第四章	Ogg Vorbis 解碼器實作.....	29
4.1	軟體模擬與系統架構.....	29
4.2	系統架構介紹.....	34
4.3	硬體實現部分.....	35
4.3.1	MDCT演算法.....	35
4.3.2	IMDCT 模組分析.....	38
4.3.3	IMDCT 硬體模組架構.....	48
4.3.4	AC97 控制器.....	49
4.4	軟體實現部分.....	53
4.4.1	AC97 驅動程式.....	53
4.4.2	播放程式運作流程.....	55
4.5	系統驗證.....	56
第五章	結論與未來工作.....	58
附錄		59
參考文獻		64

圖 目 錄

圖2-1 靜音門檻曲線.....	5
圖2-2 遮蔽曲線和訊號遮蔽比.....	7
圖2-3 遮噪門檻曲線與靜音門檻曲線.....	8
圖2-4 時域遮蔽效應之前遮蔽與後遮蔽效應.....	9
圖2-5 封裝流程圖.....	11
圖2-6 分頁檔頭結構圖.....	12
圖2-7 解碼過程.....	14
圖3-1 一般系統單晶片的架構.....	17
圖3-2 傳統設計流程.....	18
圖3-3 軟/硬體共同設計流程.....	19
圖3-4 統單晶片設計流程.....	20
圖3-5 Xilinx Multimedia Board.....	21
圖3-6 LEON2 架構圖.....	22
圖3-7 典型的 AMBA 系統架構圖.....	23
圖3-8 AHB 主模組端及從模組端間溝通主要訊號.....	26
圖4-1 解碼所消耗資源.....	29
圖4-2 系統架構.....	34
圖4-3 MDCT 的各種窗框.....	37
圖4-4 遲迴 butterfly 運算.....	38
圖4-5 IMDCT 計算過程.....	38
圖4-6 pre-twiddling.....	40
圖4-7 奇數 pre-twiddling.....	41
圖4-8 偶數 pre-twiddling.....	41
圖4-9 n/2-point butterfly 運算.....	44
圖4-10 16-point butterfly 運算.....	45
圖4-11 8-point butterfly 運算.....	45

圖4-12 IMDCT 模組示意圖.....	49
圖4-13 AC97 控制器與 codec 連接架構圖.....	50
圖4-14 PCM 資料暫存器格式.....	51
圖4-15 命令暫存器格式.....	52
圖4-16 狀態暫存器格式.....	52
圖4-17 除數暫存器格式.....	52
圖4-18 驅動程式位址表之結構.....	54
圖4-19 寫入 PCM 資料流程圖.....	55
圖4-20 播放程式運作流程.....	57



表 目 錄

表2-1 人類聽覺系統的臨界頻帶.....	6
表2-2 Ogg 各種檔頭所代表的意義.....	15
表4-1 AC97 控制器與 codec 連接訊號.....	50
表4-2 工作站模擬與實際執行結果.....	56

