

年 度	里 程 碑	廠 商	時 代	
1904	發明二極真空管	Fleming	真空管	
1906	發明三極真空管	-		
1947	發明電晶體	Bell Lab	電晶體	
1951	採用 Gallium Arsenide 材料	Siemens		
1953	發表矽太陽電池	Bell Lab		
1954	發表 Zener 二極體	NS		
1956	發表 Silicon Controlled Rectifier	General Electric		
1958	首顆 IC 開發完成	TI	SSI (10 ¹)	積 體 電 路
1961	第一顆商用 IC 上市	Fairchild、TI		
1963	發表 TTL Logic IC	Sylvania		
1963	發表 Linear IC	Fairchild、TI	MSI (10 ²)	
1964	發表 MOS IC	General Microelectronics		
1968	發表 CMOS IC	RCA		
1969	ROM 上市	Electronic Arrays		
1970	計算器用單顆 IC 上市	TI		
1970	開發 1K DRAM	Intel	LSI (10 ⁴)	
1971	發表 EPROM	Intel		
1972	開發 Microprocessor	Intel		
1973	開發 EEPROM	NCR		
1975	日本發表發展 VLSI 計畫	MITI/NTT	LSI (10 ⁴)	積 體 電 路
1976	開發 64K DRAM	-		
1978	發表語音合成 IC	TI		
1980	台灣新竹科學園區設立	台灣	LSI (10 ⁴)	
1980	發表 DSP IC	Bell Lab		
1981	發表 32 bit Microprocessor	AT&T		
1982	發表 IBM PC	IBM	VLSI (10 ⁶)	
1982	正式生產 256K DRAM	Bell Lab		
1984	開發 VRAM	TI		
1985	1M DRAM 開發完成	IBM/AT&T		
1986	美日簽定半導體貿易協定	DOC、MITI		
1986	4M DRAM 論文發表	-		
1987	16M DRAM 論文發表	NTT		
1989	第一顆 16M DRAM 開發成功	Hitachi/TI		
1991	64M DRAM 論文發表	Fujitsu 等		
1992	16M Flash 論文發表	NEC		

1993	256M DRAM 論文發表	Hitachi/NEC	ULSI (10^8)	
1993	1G DRAM 論文發表	NEC	GLSI (10^9)	

註：SSI(Small-Scale Integration)指一顆晶方(chip)含~10 個電晶體

MSI(Medium-Scale Integration)指一顆晶方(chip)含~ 10^2 個電晶體

LSI(Large-Scale Integration)指一顆晶方(chip)含~ 10^4 個電晶體

VLSI(Very Large-Scale Integration)指一顆晶方(chip)含~ 10^6 個電
晶體

ULSI(Ultra Large-Scale Integration)指一顆晶方(chip)含~ 10^8 個電
晶體

GSI(Giga-Scale Integration)指一顆晶方(chip)含~ 10^9 個電晶體



資料來源：工研院經資中心 ITIS 計畫，2000 年 9 月

表 1.1 半導體發展的大事記

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM							
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Contact in resist (nm)	130	110	100	90	80	70	60
Contact after etch (nm)	115	100	90	80	70	65	55
Overlay	35	32	28	25	23	21	19
CD control (3 sigma) (nm)	12.2	11.0	9.8	8.6	8.0	7.0	6.1
MPU							
MPU/ASCI Metal 1 (M1) ½ pitch (nm)	120	107	95	85	76	67	60
MPU ½ Pitch (nm) (uncontacted gate)	107	90	80	70	65	57	50
MPU gate in resist (nm)	♦ 65	53	45	40	35	32	28
MPU gate length after etch (nm)	45	37	32	28	25	22	20
Contact in resist (nm)	130	122	100	90	80	75	60
Contact after etch (nm)	120	107	95	85	76	67	60
Gate CD control (3 sigma) (nm)	♦ 4.0	3.3	2.9	2.5	2.2	2.0	1.8
ASIC/LP							
ASIC ½ Pitch (nm) (uncontacted gate)	107	90	80	70	65	57	50
ASIC/LP gate in resist (nm)	90	75	65	53	45	40	36
ASIC/LP gate length after etch (nm)	65	53	45	37	32	28	25
Contact in resist (nm)	130	122	100	90	80	75	60
Contact after etch (nm)	120	107	95	85	76	67	60
CD control (3 sigma) (nm)	5.8	4.7	4.0	3.3	2.9	2.5	2.2
Chip size (mm²)							
DRAM, introduction	485	383	568	419	662	449	356
DRAM, production	139	110	82	122	97	131	104
MPU, high volume at introduction	280	280	280	280	280	280	280
MPU, high volume at production	140	140	140	140	140	140	140
MPU, high performance	310	310	310	310	310	310	310
ASIC	704	704	704	704	704	704	704
Minimum field area	704	704	704	704	704	704	704
Wafer size (diameter, mm)	300	300	300	300	300	300	300

表 1.2 2004 年 ITRS 所定義的關鍵性微影需求

<i>Year of Production</i>	<i>2010</i>	<i>2012</i>	<i>2013</i>	<i>2015</i>	<i>2016</i>	<i>2018</i>
<i>Technology Node</i>	<i>hp45</i>		<i>hp32</i>		<i>hp22</i>	
DRAM						
<i>DRAM ½ Pitch (nm)</i>	45	35	32	25	22	18
<i>Contact in resist (nm)</i>	55	45	40	35	30	25
<i>Contact after etch (nm)</i>	50	35	30	25	21	18
<i>Overlay</i>	18	14	12.8	10	8.8	7.2
<i>CD control (3 sigma) (nm)</i>	5.5	4.3	3.9	3.1	2.7	2.2
MPU						
<i>MPU/ASIC Metal 1 (M1) ½ pitch (nm)</i>	54	42	38	30	27	21
<i>MPU ½ Pitch (nm) (uncontacted gate)</i>	45	35	32	25	22	18
<i>MPU gate in resist (nm)</i>	25	20	18	15	13	10
<i>MPU gate length after etch (nm)</i>	18	14	13	10	9	7
<i>Contact in resist (nm)</i>	59	46	42	33	30	23
<i>Contact after etch (nm)</i>	54	42	38	30	27	21
<i>CD control (3 sigma) (nm)</i>	1.6	1.3	1.2	0.9	0.8	0.6
ASIC/LP						
<i>ASIC ½ Pitch (nm) (uncontacted gate)</i>	45	35	32	25	22	16
<i>ASIC/LP gate in resist (nm)</i>	32	27	22	19	16	13
<i>ASIC/LP gate length after etch (nm)</i>	22	19	16	14	11	9
<i>Contact in resist (nm)</i>	59	46	42	33	30	23
<i>Contact after etch (nm)</i>	54	42	38	30	27	21
<i>CD control (3 sigma) (nm)</i>	2.0	1.7	1.4	1.3	1.0	0.8
Chip size (mm²)						
<i>DRAM, introduction</i>	563	353	560	351	464	292
<i>DRAM, production</i>	83	104	83	104	138	87
<i>MPU, high volume at introduction</i>	280	280	280	280	280	280
<i>MPU, high volume at production</i>	140	140	140	140	140	140
<i>MPU, high performance</i>	310	310	310	310	310	310
<i>ASIC</i>	704	704	704	704	704	704
<i>Minimum field area</i>	704	704	704	704	704	704
<i>Wafer size (diameter, mm)</i>	300	450	450	450	450	450

表 1.3 ITRS 所發表未來數年之微影技術路圖

散條	相位差	透射率
全條遮光	$\Delta\theta=0$	$T\%=0$
全條減光	$\Delta\theta\neq 0$	$T\%>0$
陣列減光	$\Delta\theta=0$	$T\%>0$

表 2.1 全條遮光、全條減光、陣列減光之特性



Material	Thickness	<i>n</i>	<i>k</i>	<i>T</i> (%)	<i>θ</i>
Al ₂ O ₃ (vuv, r)	20 nm	1.8618	0.0253	87.30	32.15
Al ₂ O ₃ (vuv, n)	20 nm	1.8783	0.0167	87.99	32.77
Nb ₂ O ₅ (vuv, n)	20 nm	1.9522	0.0603	81.76	35.52
Nb ₂ O ₅ (vuv, r)	20 nm	1.8681	1.1026	16.93	32.39
Mo(vuv)	20 nm	0.8012	1.9520	1.91	-7.42
MoN(vuv)	20 nm	1.3860	1.7780	4.52	14.40
MoO _x (vuv)	20 nm	1.3127	1.5964	6.31	11.67
Cr ₂ O ₃ (vuv)	20 nm	1.6162	0.8208	27.68	22.99
CrN(vuv)	20 nm	1.2921	0.8989	23.85	10.90
Nb(vuv)	20 nm	0.9532	0.9636	18.81	-1.75
NbN(vuv)	20 nm	1.9019	1.1747	14.94	33.65
Zr(vuv)	20 nm	1.2100	0.6950	33.77	7.83
ZrN(vuv)	20 nm	2.2120	1.3280	11.22	45.21
Ti(vuv)	20 nm	1.1089	1.2897	10.66	4.06
TiO(vuv)	20 nm	1.7400	1.1024	17.04	27.61
TiN(vuv)	20 nm	1.9381	1.3974	10.12	35.00
TaN(vuv)	20 nm	1.8579	1.2666	12.76	32.00
Ta(vuv)	20 nm	1.3582	1.7328	4.89	13.36
Ta ₂ O ₅ (vuv)	20 nm	1.9233	1.5289	8.01	34.44
SiO ₂ (vuv)	20 nm	1.5729	0.0231	92.21	21.37
Si ₃ N ₄ (vuv)	20 nm	2.4852	0.1853	60.66	55.41
Ag	20 nm	1.0242	1.1748	12.85	0.90
Al	20 nm	0.1126	2.2056	0.04	-33.11
AlN	20 nm	2.4222	0.0416	74.71	53.06
Al ₂ O ₃	20 nm	1.7840	0.0178	89.56	29.25
a-Si	20 nm	0.9752	2.1008	1.71	-0.93
Au	20 nm	1.4252	1.1560	15.21	15.86
CaF ₂	20 nm	1.5014	1.5014	13.58	18.71
Cr	20 nm	0.8418	1.6472	4.00	-5.90
CrO ₃	20 nm	1.6364	0.6504	36.53	23.74
c-Si	20 nm	0.8808	2.7638	0.35	-4.45

Cu	20 nm	0.9669	1.4026	7.71	-1.23
HfO ₂	20 nm	2.3191	0.2123	61.01	49.21
LiF	20 nm	1.4435	1.4435	14.74	16.55
MgF ₂	20 nm	1.4279	1.4279	15.06	15.96
Mo	20 nm	0.7880	2.3474	0.76	-7.91
MoN	20 nm	1.5171	1.3653	10.45	19.29
MoO ₃	20 nm	1.6027	0.6849	36.65	22.48
Ni	20 nm	1.0091	1.4536	7.15	0.34
Nb	20 nm	1.0997	0.9215	21.82	3.72
NbN	20 nm	1.8916	1.7589	5.26	33.26
Nb ₂ O ₅	20 nm	1.7687	1.1234	16.41	28.68
Pd	20 nm	0.7288	1.2798	7.87	-10.12
Pt	20 nm	1.4234	1.2882	11.88	15.80
Rh	20 nm	0.6980	1.7614	2.50	-11.27
Si ₃ N ₄	20 nm	2.6630	0.2451	53.37	62.04
SiO ₂	20 nm	1.5631	1.5631	12.43	21.01
Ta	20 nm	1.5645	1.7513	5.05	21.06
TaN	20 nm	2.0717	1.5300	7.99	39.98
Ta ₂ O ₅	20 nm	2.0519	1.2408	13.20	39.24
TaSi ₂	20 nm	1.1060	1.4603	7.51	3.95
Ti	20 nm	1.0735	1.1247	14.57	2.74
TiN	20 nm	1.5812	1.3060	11.77	21.68
W	20 nm	1.0518	2.1550	1.64	1.93
WN	20 nm	1.6603	1.7675	5.01	24.63
WO ₃	20 nm	1.6525	0.7986	28.66	24.34
YF ₃	20 nm	1.6054	0.0741	85.77	22.58
ZrO ₂	20 nm	2.2031	0.8782	23.45	44.88

表 2.2 在 193 nm 波長下之減光材料之光學性質計算結果

Simulation Parameters used		
Parameter Name	Value(s)	Comment
Wavelength	193 nm	ArF
Numerical Aperture	0.85	
Line Width	90 nm	Line
Illumination	Quasar	$\sigma_{outer}=0.8$, $\sigma_{inner}=0.5$, Blade Angle=45°
	Annular	$\sigma_{outer}=0.8$, $\sigma_{inner}=0.5$
	Dipole	$\sigma_{center}=0.7$, $\sigma_{radius}=0.3$
Resist Thickness	270 nm	ArF Clariant AX102 ($n=1.703$)
BARC	45 nm	Shipley AR2 ($n=1.47$)
Resist Developing Model	Enhanced Mack Model	$R_{max}=333.73$ nm/s, $R_{min}=0.011$ nm/s, $R_{resist}=46.25$ nm/s, $n=1.77$, $l=5.63$
Process Window	$EL: 6\%$	Line width Specification (+/- %): 10.0 Sidewall Angle Specification (deg.): 80.0-100.0 Resist Loss Specification (%): 10.0 Exposure Latitude Specification for DOF (%): 6.0
Immersion Liquid	Water	$n=1.44$ at 193 nm wavelength

表 2.3 微影模擬各項參數

B. W. Smith 網站所得之模擬數據

	Thickness	n	θ	$T\%$
Si_3N_4	16.9 nm	2.6630	52.4	56.07
SiO_2	11.8 nm	1.5631	12.4	30.44

由實驗所得之數據

	Thickness	n	θ	$T\%$
Si_3N_4	16.9 nm	2.573	49.6	51.18
SiO_2	11.8 nm	1.493	10.9	35.05

表 4.1 各項光學性質測量結果