

國立交通大學
奈米科技研究所

碩士論文

矽鍺奈米線的製程和電性分析

Fabrication and electrical properties of
SiGe nanowires



研 究 生： 劉俊佑

指 導 教 授： 許鈺宗 博士

中華民國九十四年七月十三日

致謝

首先，感謝我的指導教授 **許鈺宗** 博士，這兩年除了指導我課業問題外，並不時與我分享、與溝通我的思想觀念。使我在這兩年的碩士生涯中學習到很多寶貴的東西。還要感謝口試委員 **潘扶民** 博士 **吳文發** 博士給我的寶貴建議和指教。

其次感謝這兩年中指導我在實驗上及課業上問題的學長們，交大電工所 **郭俊銘** 學長、交大電物所 **吳家豪** 學長、交大電工所 **林建宏** 學長、暨南大學電機所 **陳振嘉** 學長及清大電子 **葉昇平** 學長。以及度過兩年時光的同學 **協唐**、**柏鈞**、**松霖** 及 **富元**、**天佑**，在實驗及生活上曾經共同走過的足跡。另外感謝奈米所學弟 **洪銓**、**仁豪**、**皓恆**、**和政**、在實驗上的幫忙以及生活上帶給實驗室的歡樂。

另外，感謝國立交通大學奈米中心、國家奈米元件實驗室(NDL)、和國家同步輻射研究中心(NSRRC)，提供研究的環境和設備以及技術人員熱心的協助，使得這次研究能夠順利的進行。

最後，感謝長期以來支持我的家人和女友，如果沒有他們在生活上和精神上的支持，也沒有今日的成果。在此對於那些曾經幫助過我的人僅以此論文表達感謝之意，你們的支持和鼓勵也是使我順利取得碩士學位的原動力。

矽鍺奈米線的製程和電性分析

學生: 劉俊佑

指導教授: 許鈺宗 博士

國立交通大學

奈米科技研究所碩士班

摘要:

在本論文中，我們利用矽鍺的晶格不匹配的效果，製作出具有應變力(strain) 的矽鍺奈薄膜，其製作方式利用超高真空化學器相沈積系統(UHV-CVD)以及低壓化學器相沈積系統(LPCVD)沈積矽鍺薄膜，本實驗中先嘗試沈積不同矽鍺薄膜的濃度，另使用 ESCA 去分析。之後利用 side wall spacer 的方式，配合半導體製程技術定義出我們的矽鍺奈米線，我們成功的製作了 90nm 的矽鍺奈米線。

爲了改善其電流特性我們先使用 anneal 方式，第二部分則利用其矽鍺氧化的機制，鍺的濃縮(Ge condensation)，將矽鍺薄膜放入爐管中進行高溫乾式氧化，製作出較高濃度的矽鍺奈米線，原理爲利用矽和氧反應生成二氧化矽，對我們的矽鍺薄膜中鍺的濃度相對而言提高，如此將觀察到電流提高約 100 倍左右。本實驗中使用 Auger 分析矽鍺薄膜的成分，可由鍺 peak 相對高度去判斷，經由乾氧化的方式可將鍺濃度提高，直接證明利用氧化方式可將 Ge condensation。完成後鍍鋁並定義其接觸孔，最後使用 HP4155C bottom gate 方式量測出其 I-V 特性。

Fabrication and electrical properties of SiGe nanowires

Student : Chun-Yu Liu

Advisor : Dr. Jeng-Tzong Sheu

Institute of Nanotechnology
Nation Chiao Tung University

Abstract

In this thesis, we utilize the result of crystalline mismatch between silicon and germanium to deposit the silicon germanium film with strain. Two deposition schemes, ultra-high vacuum chemical vapor deposition system (UHV-CVD) and low-pressure chemical vapor deposition system (LPCVD), are adopted for the deposition of silicon germanium films. Different composition between silicon and germanium are deposited and analyzed with ESCA. Finally, we utilized sidewall spacer method to fabricate silicon germanium nanowires.

In order to improve electrical characteristics, annealing and Ge condensation are adopted to reduce the defects and to increase the Ge concentration respectively. It was observed that conductance of the silicon germanium nanowires were improved about 100 times. Also, the Auger analysis after Ge condensation process did indicate the increase of Ge concentration on the surface of the silicon germanium film from $\text{Si}_{0.8}\text{Ge}_{0.2}$ to $\text{Si}_{0.5}\text{Ge}_{0.5}$. The source and drain contact pads between $\text{Si}_{0.5}\text{Ge}_{0.5}$ nanowires were made by aluminum and HP4155C was utilized for measurement of I-V characteristics.

Contents 論文目次

致謝	I
中文摘要	II
英文摘要	III
論文目次	IV
圖表目錄	VI

Chapter 1 介紹

1.1 前言	1
1.2 研究動機	1
1.3 奈米線製作之方式	2
1.4 奈米線的應用	5



Chapter 2 矽鍺特性機制之描述

2.1 異質接面矽鍺/矽材料特性之描述	9
2.2 矽鍺薄膜的製作	10
2.3 如何提升電子/電洞遷移	10
2.4 矽鍺濃度和其氧化的機制	11
2.5 鍺的濃縮機制(Ge condensation)	12

Chapter 3 矽鍺奈米線的製作

3.1 前言	19
3.2 實驗設備	19
3.3 實驗步驟	21

Chapter 4 實驗結果與討論

4.1 前言	30
4.2 成分分析	30
4.3 結構分析	33
4.4 電信分析和結果	35
4.5 元件特性的改善	38



圖表目錄

圖 1-1	探針與吸附的水膜產生電化學反應	6
圖 1-2	AFM 氧化之情形	6
圖 1-3	利用 EBL 製作出的邏輯電路	7
圖 1-4	VLS 成長機制(a)成核(b)析出(c)一維結晶	7
圖 1-5	SLS mechanism process	8
圖 2-1	Si & Ge band gap & lattice parameter	13
圖 2-2	SiGe 成長在矽上時的形變為壓縮形變(compressive strain)	14
圖 2-3	critical thickness 的關係和其 strain 狀態	15
圖 2-4	strain SiGe / Si 能帶圖	15
圖 2-5	MBE 系統	16
圖 2-6	Biaxial tensile strain	16
圖 2-7(a)	valance band of bulk Si	17
圖 2-7(b)	valance band of strained (tensile) Si	17
圖 2-8	未應變的(unstrained)矽材料受到雙軸伸張、雙軸壓縮、與單軸伸張及 壓縮應變後，導電帶與價電帶能帶結構變化簡單示意圖	17
圖 2-9	SiGe oxidation behaviors	18
圖 2-10(a)	不同鍺濃度在矽鍺氧化下所產生的情形 $\text{Si}_{0.75}\text{Ge}_{0.25}$	18
圖 2-10(b)	$\text{Si}_{0.5}\text{Ge}_{0.5}$	18
圖 2-10(c)	$\text{Si}_{0.25}\text{Ge}_{0.75}$	18
圖 2-11	Ge condensation	18
圖 3-1	薄膜沈積系統	24
圖 3-2	isotropic & anisotropic	24

圖 3-3	氧化矽乾式蝕刻機	25
圖 3-4	離子電漿蝕刻過程	25
圖 3-5	Auger Electron	26
圖 3-6	Auger Electron Spectroscopy	26
圖 3-7(a)	元件製作過程, 定義第一道光罩	27
圖 3-7(b)	UHV-CVD SiGe	27
圖 3-7(c)	利用乾蝕刻方式蝕刻矽鍺	28
圖 3-7(d)	使用磷酸蝕刻氮化矽	28
圖 3-8	光罩製作過程	29
圖 4-1(a)	SiGe ESCA 成分分析之一	30
圖 4-1(a)	SiGe ESCA 成分分析之二	30
圖 4-2(a)	矽鍺薄膜氧化前的 Auger 分析	32
圖 4-2(b)	矽鍺薄膜氧化後的 Auger 分析	32
圖 4-3	SEM image of SiGe spacer of overetch	33
圖 4-4	SEM image of SiGe 90nm nanowire	34
圖 4-5	矽鍺奈米線未經任何處理的 I-V 電性圖	35
圖 4-6	矽鍺奈米線 anneal 後的 I-V 電性圖	36
圖 4-7	矽鍺氧化後之 I-V 電性圖	37
圖 4-8	離子佈值投影範圍 R _p 圖	39

第一章 介紹

1-1 前言

在這高科技日新月異的時代積體電路的技術成就了電腦網路、通訊傳播業的蓬勃發展，之所以可進步的原因在於電晶體(FET)元件結構尺寸不斷低縮小(scaling down)，因為當元件尺寸縮小時能改善許多和大尺寸下不同的優點，譬如說：將改善元件運算速度並且降低元件的消耗功率、更可以增加元件製作在電路上的密度降低其製作成本其功能更大大增強了許多(邏輯計算的處理能力、資料儲存的容量等)。隨著製程技術由深次微米(deep submicron)電子元件逐漸微小化進入奈米(nano)電子的領域，由於製程能力、元件物理的限制，將重新進入一個新技術的世紀，也出現了許多困難。在本論文中將使用一種技術搭配一種和傳統矽晶元不同材質的材料(Ge)作為進入此奈米世代縮小的過程中可能面臨的問題解決之道。並使用一種新引技術達成奈米尺寸的結構。

1-2 研究動機

矽基(Silicon-Based)技術在電子元件微小化過程中，進到奈米尺寸後由於受到製程能力、元件物理的限制，無不思考不同方法，以突破效能無法提昇的困境；其中 SiGe 技術利用 SiGe/Si 異質介面、晶格不匹配，以及易與主流技術 CMOS 製程相容的特點，已隱然開啓新一代微電子技術潮流。有鑑於此，國際上已有相當多研究機構相繼投入這方面的研發，且目前全世界各大半導體廠商無不開始積極開發或列入下一世代重點技術；國內半導產業在最近幾年衝擊中，亦極需思考下一波技術的變革，其中 SiGe 技術研發將是重點之一。所以本論文中將採取矽鍺做為我們的奈米線就如同我們對電晶體所認知的載子傳輸通道一般(channel)。

我們知道矽鍺薄膜沈積技術是近年來一種非常重要的一項新穎技術，矽鍺化合物能帶與特性隨鍺濃度含量的增加而改變，與矽形成的異質接面結構(Hetero-junction structure)讓許多製程可有較大的改變空間，並且搭配成熟的傳統矽製程技術，可達到更高性能的元件。

然而我們將利用矽鍺材料做為我們研究的方向，本篇論文將使用矽鍺做為奈米線之研究。然而在傳統的矽質奈米線的製做有許多的應用，如在 2001 年由 Charles M. Liber 等人所提出的分子生物檢測元件(Nanoscaled-biosensor)[1]、在半導體奈米線的研究方面有 X. Duan 和 M. H. Huang 在 Nature 和 Science 所提出的以 InP 及 ZnO 奈米線為發光材料成功地製作出目前最小的 LED 及雷射[11、12]。以及 Yu Hung 等人在 2002 Nano Letter 所發表的 GaN NWFET 場效電晶體 [2]、和 Nicholas A 提出利用奈米線製作的高密度邏輯電路[3]。

1-3 奈米線製作之方式



奈米尺寸是近年來許多研究的一個方向，然而我們知道如何快速且不需太多成本製作奈米結構的元件是許多研究機構所追求的目標。針對奈米線製作的方式我們大致可分為幾種、我們大致以材料製作加以分類。如第四族半導體奈米線的合成主要有兩種，雷射飛濺法及高溫高壓法，2000年Lieber利用矽和鐵的合金為靶材，以雷射剝削法經由氣固液成長(Vapor-Liquid-Solid，簡稱VLS)過程，成長矽的奈米線，利用相同的系統也可以合成出鍺奈米線，VLS粒子成長機制從六十年代即已經被廣泛應用，最早由Wanger和Ellis在1964年提出。1993年Heath將GeCl₄和phenyl-GeCl₃混合鈉金屬在高溫高壓下反應，合成鍺的奈米線。III-V族半導體奈米線的合成方法主要有兩種，1997年Shoushan Fan利用碳奈米管侷限法(Carbon Nanotube-Confined Reaction)以碳奈米管為模型，利用鎵的氧化物及氨氣，把原先的碳奈米管經由反應後，轉變成GaN奈米線。1995年Buhro利用溶液轉液體轉氣體的成長過程(Solution-Liquid-Solid，簡稱SLS)，在溶液中合成出

InP、InAs、GaAs奈米線。II-VI族半導體奈米線有三種合成方法，1996年Moskovits Martin利用AAO (Anodic Aluminum Oxides) 薄膜中的孔洞，在DMSO溶液下電鍍，將CdS合成於這些孔洞之中，再將AAO薄膜溶解，即可得到CdS奈米線。1995年Fendler利用二十酸形成LB薄膜的特殊排列，吸附水中的 Cd^{2+} 離子，在通入 H_2S ，即能因LB的特殊排列而合成出樹枝狀的CdS奈米棒，1998年Quan Yi -Tai 簡單地利用ethylenediamine做為鉗合劑，在高壓反應器中反應，合成CdSe、CdS、CdTe奈米線。

所以我們大致可將其製作分兩大類，第一類為由上而下的製作方式(Top down)，這類方法多屬於比較新的製程模式如掃描式探針微影技術(scanning probe lithography SPL)[4、5、6]以及電子束微影技術(electric beam lithography)，另一類則是由下而上的技術(Bottom up)，這類發展時間較早，如氣相液相固相成長法(Vapor-Liquid-Solid)以及 Solid-liquid-solid mechanism SLS 的機制，接下來我們將介紹上述幾種的製作方式：

(a) Scanning probe lithography :

掃描式探針微影技術主要是利用以探針方式的掃描探針顯微鏡(Scanning Probe Microscope)，例如原子力顯微鏡(Atomic force microcopy)以其尖銳探針針尖來直接劃寫在樣品表面當作我們所需的奈米線。其工作機制是我們利用掃描式探針顯微鏡進行電磁場的氧化反應，當我們在大氣中探針針尖接觸試片表面會吸附一層水膜，探針和試片表面會因毛細現象而形成，我們外加一電場足夠大時，使得探針和吸附的水膜產生電化學反應生成 OH^- 並和Si反應成 SiO_2 而形成水橋 [圖 1-1]。另外我們可控制偏壓大小以及探針針尖和試片表面接觸力去操控氧化物的線寬[7、8、9、][圖 1-2]。

(b) Electric beam lithography :

電子束微影為製作次微米至奈米級尺度結構最重要的技術之一，其基本原理為利用高電壓加速之電子對特殊之阻劑(resist)進行直寫，藉由電磁線圈來控制電子行進路線，可製作出各種包含週期性及非週期性等圖案，如由 S. Rishtonand

所提出的邏輯電路[圖 1-3]。利用此技術可製作 10-100 奈米的線寬，此技術擁有許多之優點，如；不需光罩、較高之解析度以及 Diffraction effects are minimized 等，但其也存在許多缺點包含：此系統造價而貴且製作相當費時。

(c) Vapor-Liquid-Solid :

在過去幾年研究中，大部分的矽奈米線的製備都是基於氣液固相(Vapor-liquid-solid, VLS)技術[13]，以 SiH_4 為氣相反應物，金屬粒子為催化劑，這種結晶合成的方式最早由Wagner和Ellis在 1964 年提出。金屬奈米粒子在反應的過程中形成相對較低熔融溫度的合金相液滴，在系統之中此合金相液滴為氣相沈積的優選位置，此時合金液滴中會形成飽合金屬矽化物，當氣相矽粒子持續提供下，合金相會達過飽合狀態因而析出矽形成矽奈米線。奈米線的尺寸由金屬粒子的大小決定，使得此方式所製備的奈米線尺寸較易被控制，而且均勻度也較高。VLS 機制基本而言，VLS機製可分為 3 個階段 [圖 1-4]；成核、析出及一維結晶。在成核階段，金粒子被散佈在基材之上，這些粒子可以利用化學氧化還原法或雷射熱退火金屬薄膜而形成。然後引入反應氣體如 SiH_4 或 SiCl_4 ，當系統溫度高於金屬，則矽共晶溫度，高溫使金矽粒子融為液相。此時氣體會金屬表面解離，矽粒子擴散進入金屬粒子，介面形成合金相，當此合金相達到適相成分比之下，於相對較低之共晶溫度下液化。當共晶的合金相達到飽合，矽會從合金相析出而固化。此時反應氣體持續供應，使得成長持續進行，而使得奈米線的長度持續增加。奈米線的長度可由成長速率與成長時間控制。

(d) Solid-liquid-solid :

此製作的機制和 Vapor-Liquid-Solid 類似，差別在於此種方法不需要氣相反應氣體，它只需沈積一層催化劑在我們的矽晶圓上，此種製作方式由 H.F. Yan 等人在 2000 年所提出[14、15、16][圖 1-5]。

1-4 奈米線的應用

1974年 Aviram和Ratner便提出了分子級電子元件（molecular electronic device）的概念，直到最近幾年，科學家才知道如何以碳奈米管、奈米線或有機分子建構導線、開關等單一電子元件。2002年Lieber首先以矽和GaN分別生成p型及n型的半導體奈米線，再將它們垂直交叉，每個交叉點相當於一個電晶體，故把這些點適當地聯結起來可形成邏輯電路。而他們是利用由下而上（bottom-up）的組合方式，這種建構哲學將可以大量地製造及測試所生產的電路。另外半導體奈米線也可以應用至半導體雷射的製作，2003年哈佛大學的Charles Lieber利用與合成碳奈米管類似的方式，合成直徑在80-200奈米，具wurtzite晶體結構的CdS奈米線，並且將雷射照射在奈米線上，結果觀察到Fabry-Perot共振腔的干涉條紋，他們發現干涉條紋會隨著雷射的激發功率大小而有所變化，甚至可達到自發性激發的放大（amplified spontaneous emission），其發光頻譜也出現具雷射特徵的曲線，因此日後便可將這項技術應用到合成以GaN（藍光）或InP（紅光/紅外光）為材料的奈米線雷射上。

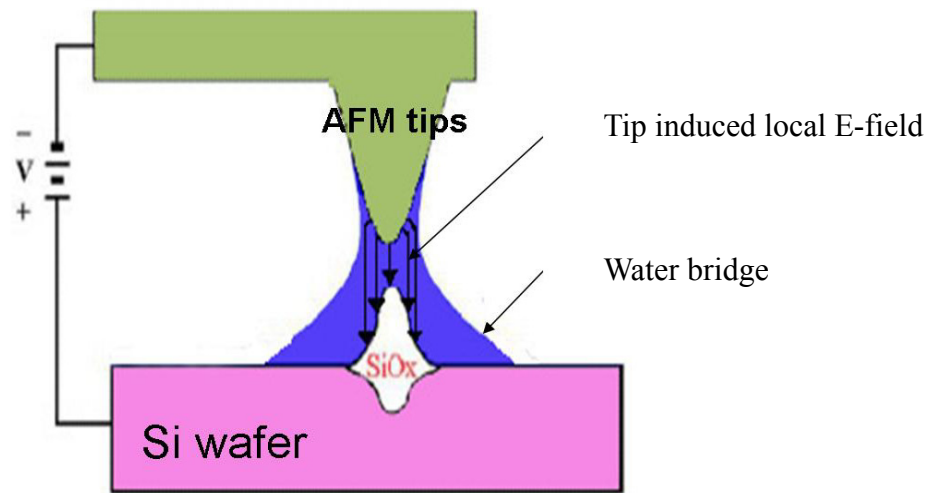


圖 1-1 探針與吸附的水膜產生電化學反應。

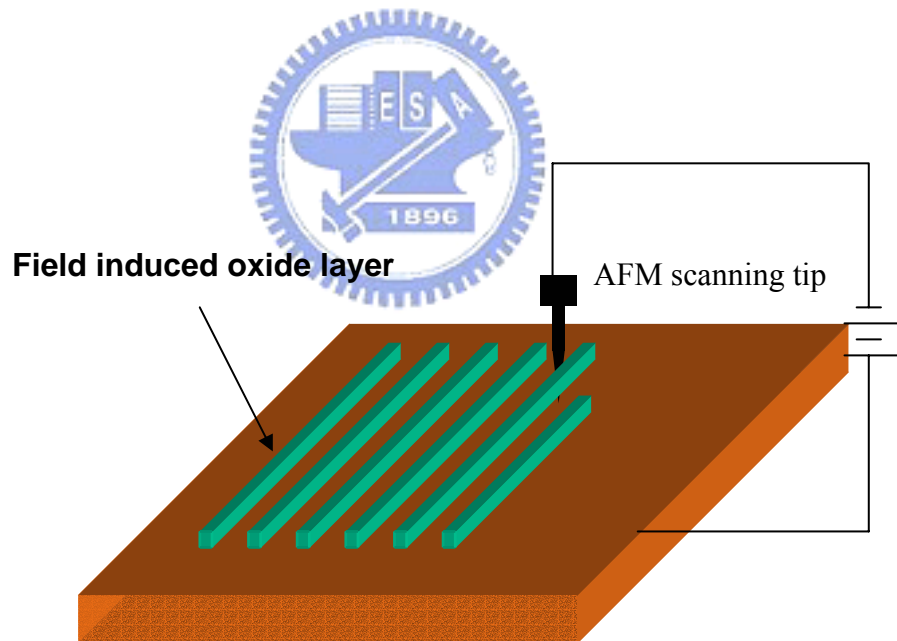


圖 1-2 AFM 氧化之情形。

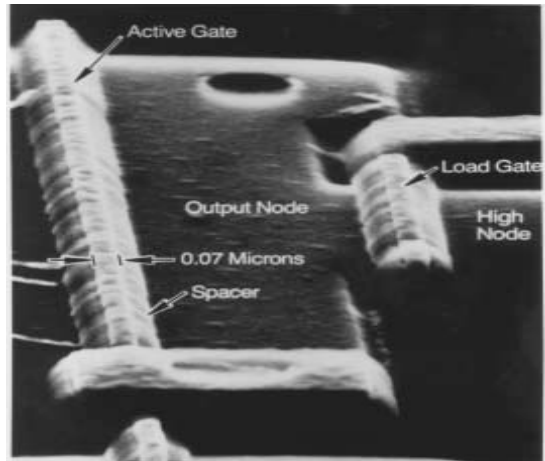


圖 1-3 利用 EBL 製作出的邏輯電路。

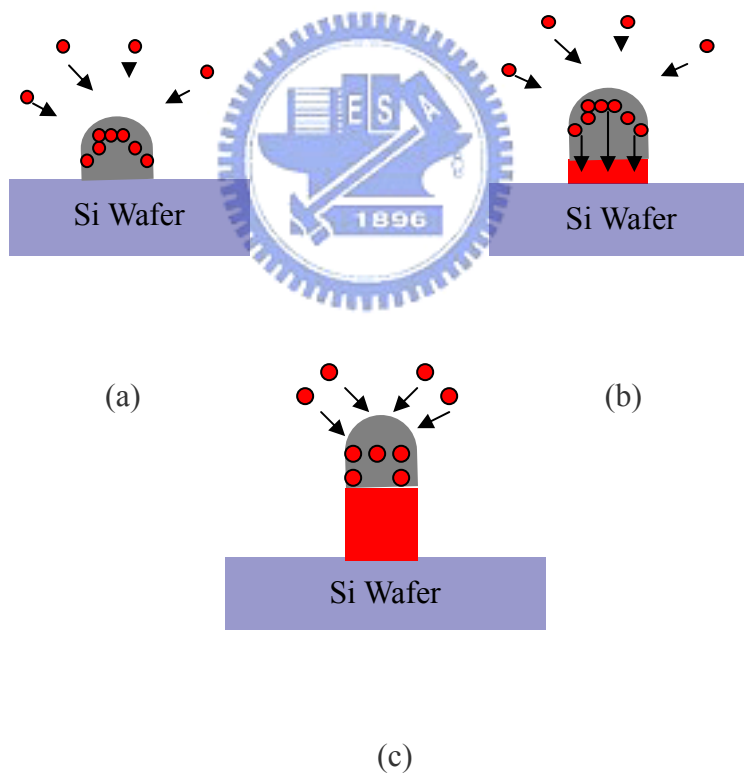


圖 1-4 VLS 成長機制(a)成核(b)析出(c)一維結晶。

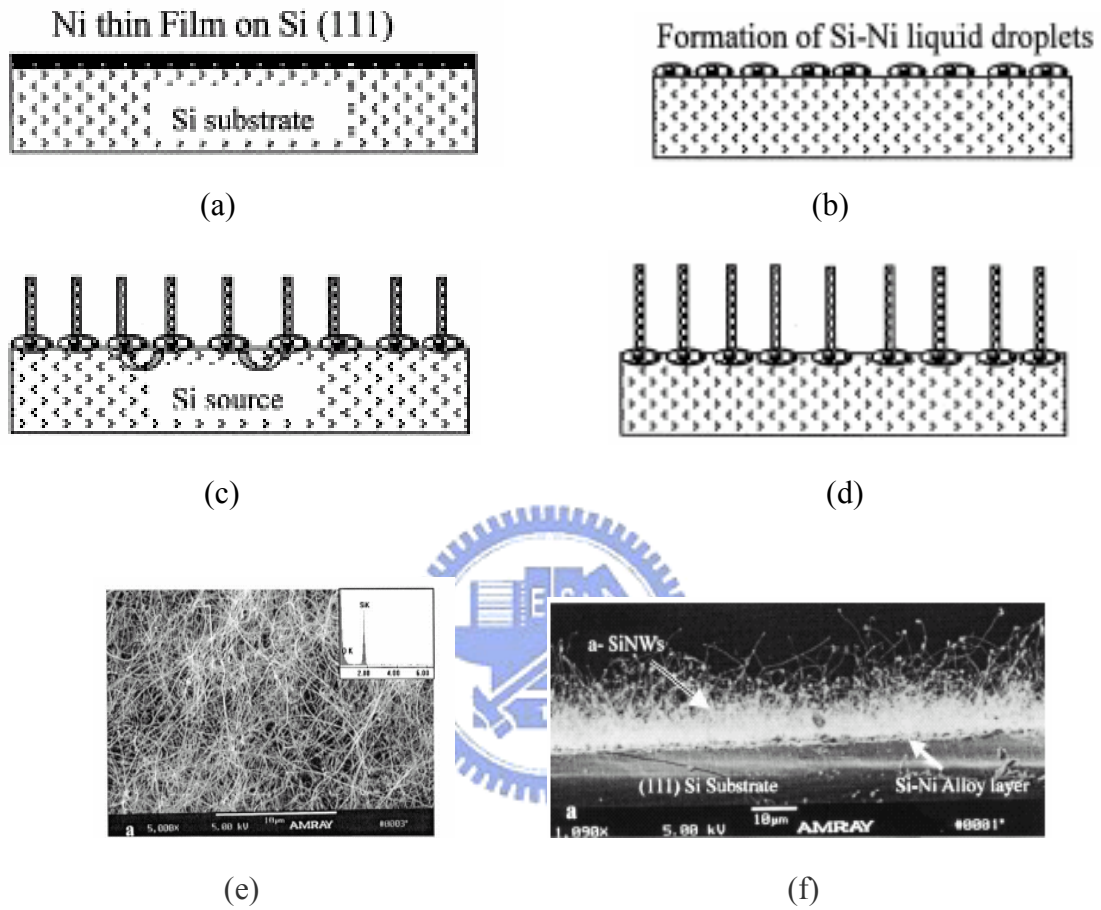


圖 1-5 (a)~(d) SLS mechanism process ◦

(e)~(f) SEM images of silicon nanowires ◦

第二章 矽鍺特性機制之描述

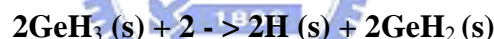
2-1 異質界面矽鍺/矽材料特性之描述：

當矽鍺(SiGe)薄膜沈積在矽晶片上形成異質界面，根據能帶圖我們得知矽鍺的能隙(band gap)介於矽(1.12 eV)和鍺(0.66 eV)。並且因為鍺晶體之晶格常數(lattice constant)比矽晶體大約4.2%($a_{Si} = 0.357$ nm)與矽鍺($Si_{(1-x)}Ge_x$, $a_{Si_{1-x}Ge_x} = x(a_{Ge}) + [1-x](a_{Si})$, $a_{Ge} = 0.357$ nm) [圖2-1]，而造成晶格不匹配的現象發生，所以矽鍺層會發生形變的效果(strain)。當矽鍺薄膜沈積於矽晶片上時[圖2-2]，會形成壓縮形變(compressive strain)，此strain現象是爲了平衡矽和矽鍺層間的晶格不匹配的效果，但若矽鍺層的厚度超越了其臨界厚度(critical thickness)將產生鬆弛(relax)應力和缺陷的現象發生，且當鍺濃度含量越高其所能形成的strain矽鍺層臨界厚度就越薄[圖2-3]，此圖展示了矽鍺厚度對應strain/relax反應之關係。但在另一方面，若在矽晶片上成長很厚之矽鍺薄膜，使其relax一矽鍺基板，如此便可在其上成長strained Si薄膜或SiGe薄膜，以便提供更好的載子傳輸特性。複晶矽鍺(poly-SiGe)的研究從1990年開始[17]，由於沈積條件不如磊晶技術一般嚴苛，所以可使用傳統的一般低壓化學氣相沈積系統(LPCVD)的方式，可節省製成成本。

一般我們製作 SiGe pMOSFET 的方式是將 strained SiGe 薄膜成長在 Si bulk 上或者 relaxed SiGe 薄膜上。因爲對矽和矽鍺的界面而言，能帶所產生偏移都落於價電帶(valance band) [圖 2-4]。價電帶能帶分離，使得能隙(E_g)減小，且 heavy hole 能帶頂端曲率明顯因壓縮應力作用而增加，使等效電洞質量亦變小，電洞遷移率變大鍺濃度比例增加，其能帶間隙會愈來愈小，使異質界面處價電帶偏移 ΔE_v 變大，可形成電洞侷限力佳的深電洞井，利於 p 形通道的產生[圖 2-5]。

2-2 矽鍺薄膜的製作

早期應變矽的研究都以磊晶矽薄膜於矽鍺基板上，接著元件製作於應變矽薄膜上，因此應變矽薄膜或底下的矽鍺虛擬基板(SiGe virtual substrate)品質好壞直接影響元件特性。這裡先簡單介紹矽鍺磊晶的製作。沉積單晶矽鍺方式主要分為化學氣相沉積(chemical vapor deposition, CVD)與分子束磊晶(molecular beam epitaxy, MBE) [圖2-5]二種。CVD方式有常壓化學氣相沉積(atmospheric pressure CVD, APCVD)、超高真空化學氣相沉積(ultra high vacuum CVD, UHV-CVD)或快速昇溫化學氣相沉積(rapidthermal CVD, RTCVD)等等；而MBE可區分為固體源(solid source)與氣體源(gassource)MBE等等。諸多磊晶系統的主要差異為沉積壓力、溫度與矽鍺來源。除了固體源MBE，矽鍺晶體成長來源可以是SiH₄、Si₂H₆、Si₂H₂Cl₂與GeH₄等等，以進行全面性或選擇性磊晶(selective epitaxy)。接著我們將列出GeH₄沉積矽鍺反應式[18]：



2-3 如何提升電子/電動遷移率：

由[19]我們可得知當Strained Si on relaxed Si_{0.75}Ge_{0.25}時由於Biaxial tensile strain效應[圖 2-6]，使得價電帶分離(heavy hole、light hole、spin-orbit) [圖 2-7]，導致E_g減少，且heavy hole的能帶頂端曲率明顯因壓縮力作用而增大，根據量子力學我們知道能帶曲率越大其等效質量就變小，所以其電洞遷移率變大。可是在此我們也發現有較高的漏電，由於矽鍺晶格的不匹配導致會產生dislocation的產生所以漏電較一般傳統矽為高。當我們增加鍺濃度比例時，其能帶間隙會愈來愈小，使異質界面處價電帶偏移ΔE_v變大，可形成電洞侷限力佳的深電洞井，使我

們的載子傳輸將提高。

矽材料未受到應變作用前，導電帶上的6個能谷其能量簡併(energy degenerated)，而價電帶上的重電洞(heavy hole, HH)與輕電洞(light hole, LH)帶其能量亦簡併。當施加雙軸伸張應力時，平面上(in-of-plane)的晶格被拉長而垂直方向(out-of-plane)的晶格被擠壓，相對應到k空間上 k_x 與 k_y 方向的能谷(fourfold degenerate, Δ_4)能帶上升，而 k_z 方向能谷(twofold degenerate, Δ_2)能帶下降，因此電子大都分布於能帶較低的 Δ_2 能谷(有效質量較低)，除此外應變引致能帶分離(strain-induced band splitting)一方面降低能谷間散射率(intervalley scattering rate，即光聲子散射率)，另一方面降低導電帶的有效狀態密度，進而減少能谷內散射率(intravalley scattering rate，即音聲子散射率)，因此較低的有效質量與散射率改善電子遷移率。同於上述，價電帶上能量簡併的輕電洞帶(上升)與重電洞帶(下降)分離，能帶間與能帶內的散射率減少因而改善電洞遷移率[圖2-8]。



2-4 矽鍺濃度和其氧化的機制

我們根據H. K. Liou等人所提出的paper中[20]，當矽鍺薄膜氧化時我們可得到兩個結論，第一當矽鍺氧化時鍺原子將會析出在我們氧化層和我們矽鍺薄膜的介面中，形成一層較高濃度的矽鍺層。其二在氧化過程中鍺原子並不會消失。且當我們把矽鍺薄膜氧化時，將會先形成 SiO_2 ，因為二氧化矽的生成熱為(-204 kcal/mol)二氧化鍺的生成熱為(-119kcal/mol)，矽較鍺為容易反應[圖 2-9]。J. Eugene et al[21]等人也提出當矽鍺中鍺含量濃度不同時，其氧化後的情形也不相同。我們分為三種加以討論：當者鍺濃度含量為 25%時，氧化後因矽含量相對較多，所以矽會和氧反應生成二氧化矽當作一阻擋層阻礙氧氣進入矽鍺層中，所以最後將形成一層高濃度的矽鍺層和表層的二氧化矽。當我們鍺含量提高到近 50%時，我們將會觀察到表面將形成一層混合層，此層包含二氧化矽和二氧化鍺，將

會導致漏電現象的發生。第三種情況下就是當矽鍺中鍺濃度含量高於 75%時，因鍺的原子相對於矽較多所以將導致鍺完全和氧反應，一但鍺完全反應用完時，矽會持續和氧反應將形成二氧化矽的薄膜且表面也將形成混合層，但此情況下我們不會形成較高濃度的矽鍺層[圖 2-10]，所以這情形是我們不需要的。

2-5 鍺的濃縮機制(Ge condensation)

Shu Nakaharai et al在2003年中提出一篇研究關於如何去製作絕緣層上矽鍺基板(SGOI)[22]。我們先沈積一層矽鍺薄膜於SOI(silicon on insulator)的基板上，其中鍺的含量控制在15%，接者放入爐管中以乾氧化的方式經過高溫1050 度的環境下，矽鍺原先的沉積厚度 T_i 與含量 x_o 分別變成 T_f 與 x ，如[圖2-11]所示。利用鍺總量於氧化前後維持一定，完成鍺含量較高、缺陷密度較低的SGOI基板。此基板的製備可歸因於下列幾點：鍺為矽鍺的氧化物所排斥、氧化層可當作鍺擴散阻擋層、高溫慢速率的氧化過程可抑制插排的產生、絕緣層上矽鍺層應力釋放。



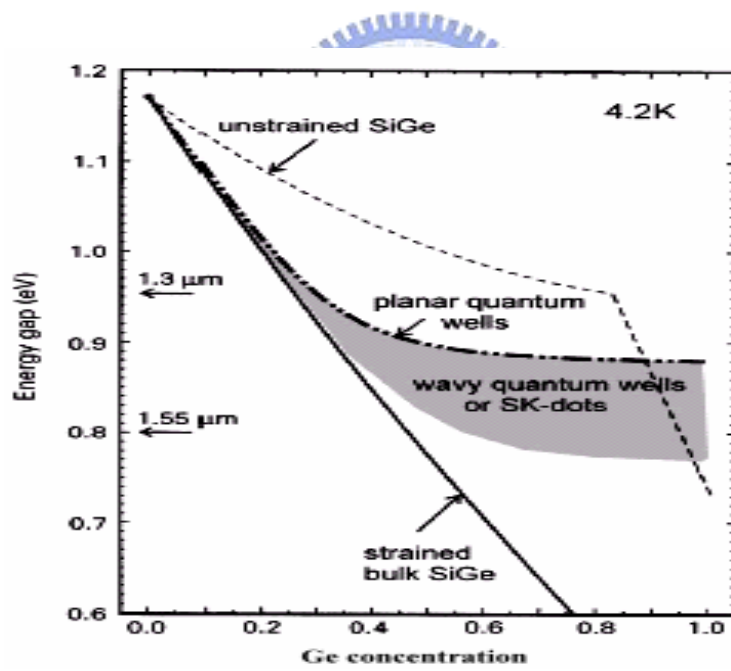
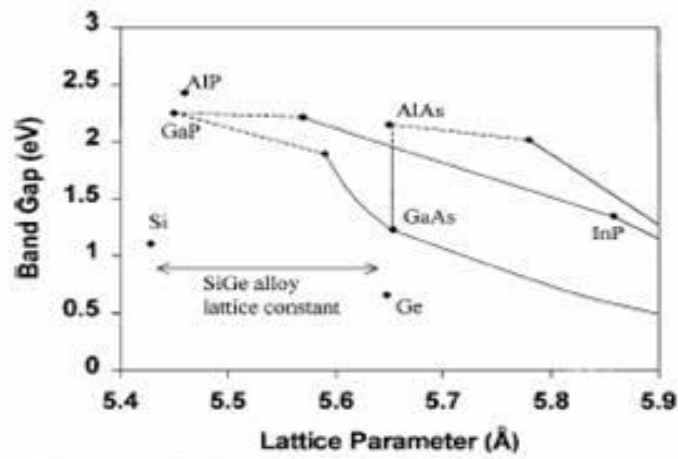


圖 2-1 Si & Ge band gap & lattice parameter ◦

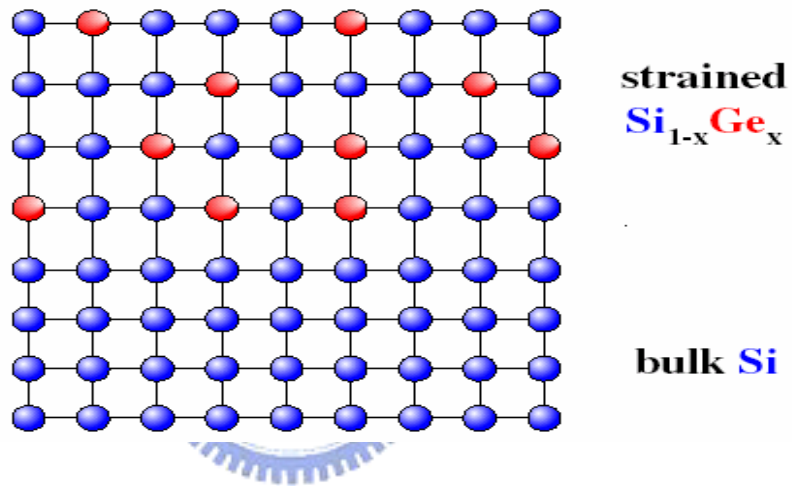
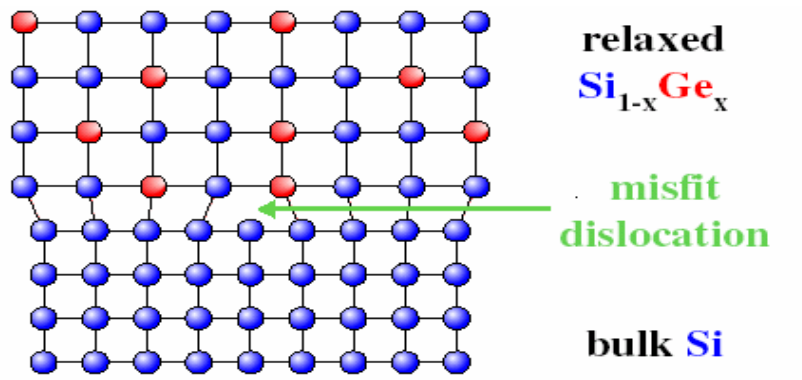


圖 2-2 SiGe 成長在 Si 上之時，因晶格不匹配的結果在成長方向則增加，此種結構形變的形式稱之為壓縮形變(compressive strain)。

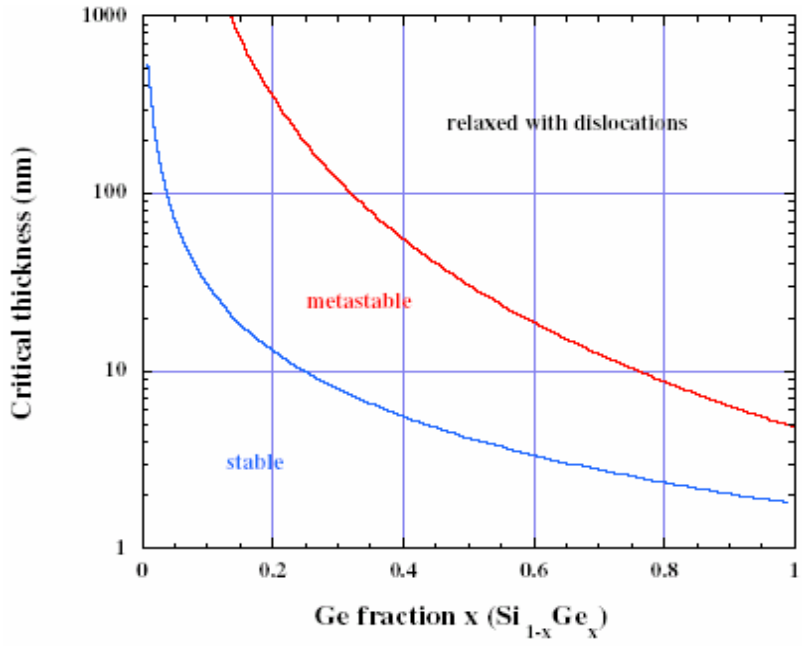


圖 2-3 SiGe 成長在 Si 上時，Ge 濃度比例對應於其 critical thickness 的關係和其 strain 狀態。

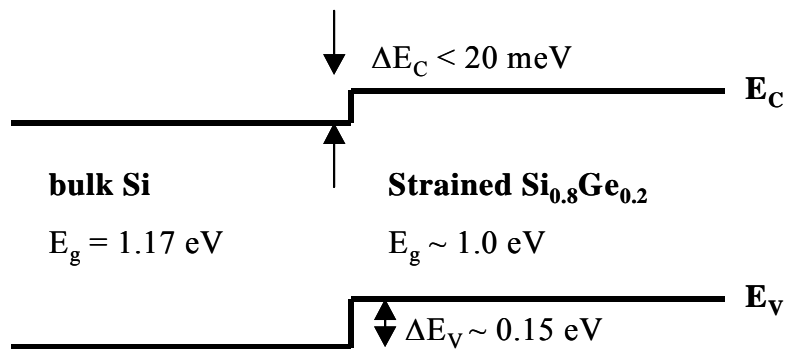


圖 2-4 strain SiGe/Si 能帶圖。

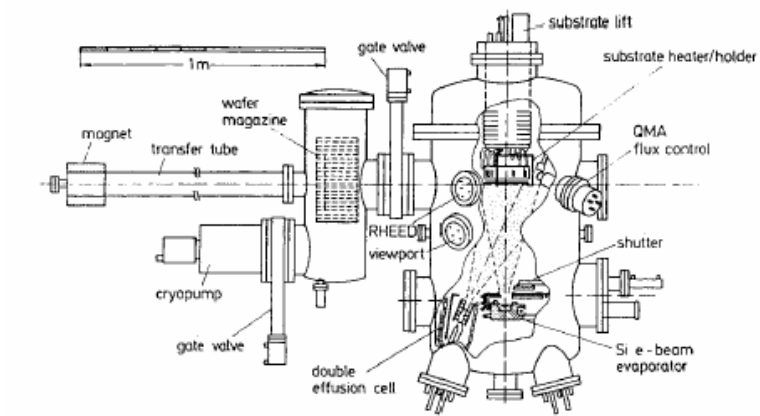


圖 2-5 MBE 系統。

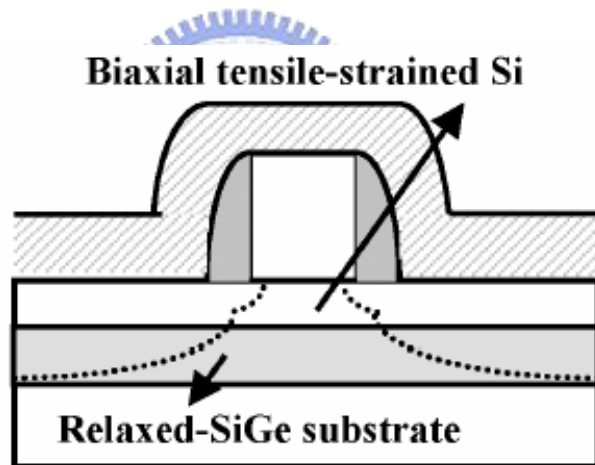


圖 2-6 Biaxial tensile strain。

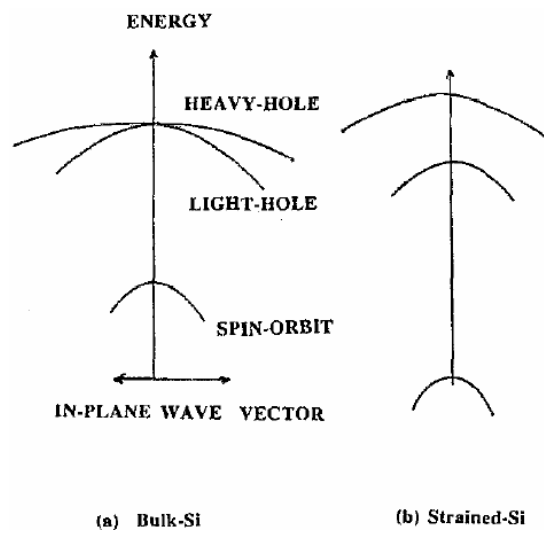


圖 2-7 圖示 (a) valance band of bulk Si , and
(b) valance band of strained (tensile) Si 。

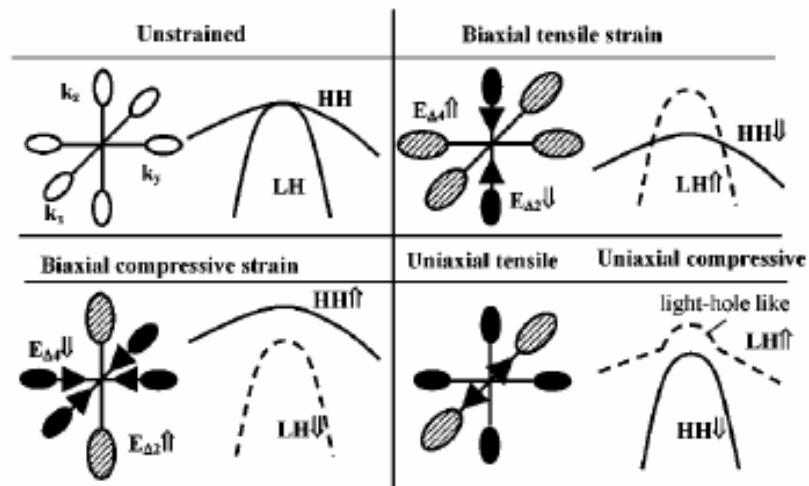
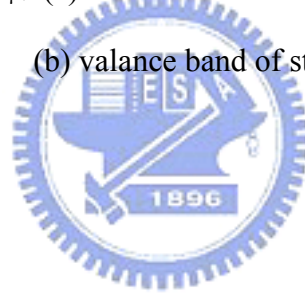


圖2-8 未應變的(unstrained)矽材料受到雙軸伸張、雙軸壓縮、與單軸伸張及壓縮應變後，導電帶與價電帶能帶結構變化簡單示意圖。

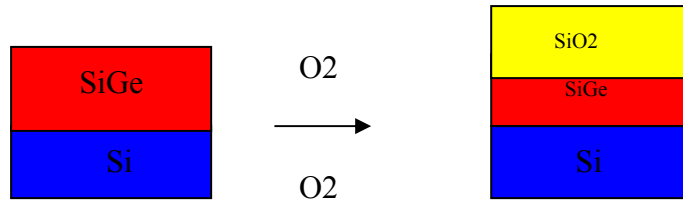


圖 2-9 SiGe oxidation behavior。

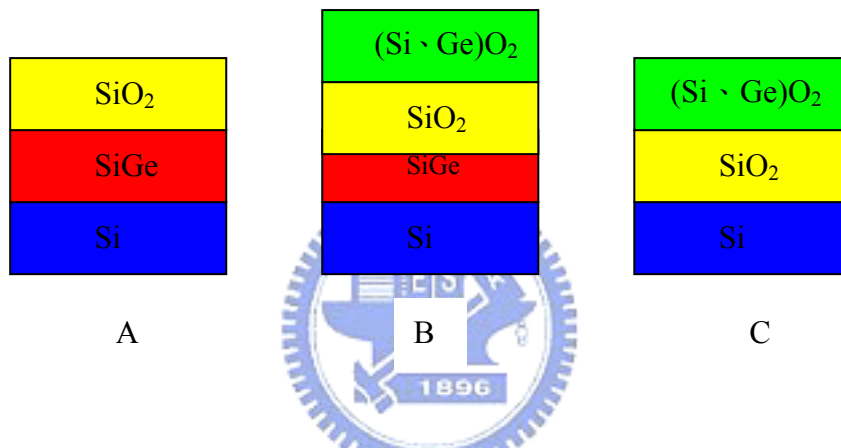


圖 2-10 不同鍺濃度在 SiGe 氧化下所產生的情形：

A $\text{Si}_{0.75}\text{Ge}_{0.25}$

B $\text{Si}_{0.5}\text{Ge}_{0.5}$

C $\text{Si}_{0.25}\text{Ge}_{0.75}$

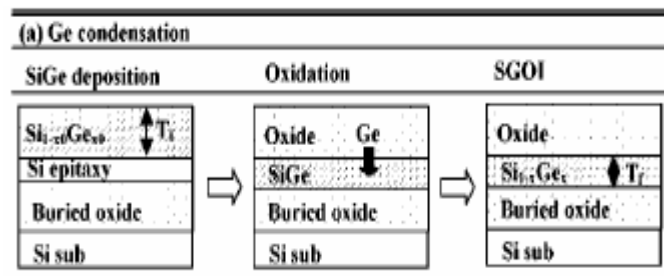


圖 2-11 Ge condensation。

第三章 矽鍺奈米線的製作

3-1 前言

在第二章中我們詳細介紹了矽鍺異質結構的特性，和其工作原理以及氧化的機制，在此章節中我們將詳述我們利用 LPCVD、UHV-CVD 薄膜成長系統以及 TCP 乾蝕刻系統等製程技術，去製作我們的矽鍺奈米線。

3-2 實驗設備

(a) LPCVD 及 UHV-CVD 薄膜沈積系統

高溫及低壓爐管(FURNACE AND LPCVD)(氧化、擴散及低壓沈積系統) 一般薄膜沈積我們都使用此系統。LPCVD[圖 3-1]需抽真空使它在 0.1 至 1torr 的環境下操作，其控制沈積主要因素為溫度，一般我們用來沈積Nitride or TEOS，因 TEOS 有較佳覆蓋性所以一般我們用來當spacer結構。在高溫爐管中，此製程溫度需保持在高溫環境下而不需在真空環境中，我們用來沈積二氧化矽，分為乾氧和溼氧兩大類，差異為成膜的品質及其速度。

然而我們在沈積矽鍺薄膜時使用超高真空化學氣相沈積系統 (UHV-CVD)，型號為ANELVA SRE-612、其真空度為 2×10^{-10} torr、加熱溫度從 25~1000 °C、使用氣體為SiH₄、GeH₄。因其在超高真空的環境下且製程溫度不高約 550 °C 並且利用磊晶的技術，所以其成長的薄膜品質較佳利於後續的元件電信量測。

(b) 黃光製程

我們使用 NDL 的微影系統，其機型為 TEL Clean Track MK-8，然而曝光的系統我們使用 G-line 的光源(曝光光源波長: 436 nm)。其功能為經由移動、

曝光兩個動作不斷重複(step and repeat)，將 5 吋 x5 吋方形光罩上之圖案縮小為 1/5，重複投影於 6 吋晶圓上，使晶圓佈滿光罩微縮後之圖案。能自行運算最佳排列方式，以得到最多的曝光圖案數。具有自動對準功能，可執行多層次曝光，可供量產之最小線寬為 0.9 μm (L/S)。

(c) 蝕刻系統

早期我們所使用的蝕刻技術為濕蝕刻(wet etch)優點為製程簡單但易對膜造成過度蝕刻且側邊易被蝕刻(isotropic)等問題[圖 3-2]。因此現今多採用乾蝕刻(dry etch)為主。在此我們使用的機型為日本 TEL 公司 model TE-5000 的乾式蝕刻機[圖 3-3]，並配合變壓耦合電漿多晶矽蝕刻機(TCP)。其機制為將預使用的蝕刻氣體通入真空反應的腔室中，這時電源將提供射頻功率使電擊間的腔室產生射頻的電場，並且將氣體激發為電漿，所產生之電漿中包含許多不同的氣體組成，包括帶電離子、原子團、分子和電子。接著蝕刻氣體受高速電子撞擊後產生自由基受電場影響將會撞擊晶圓表面，並由晶圓表面吸附反應原而產生額外氣態的副產物(by-produce)，最後所產生之氣體的副產物將由晶圓表面脫離，擴散穿越邊界進入對流氣流中並從反應器腔中排出[圖 3-4]。

(d) 分析設備

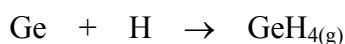
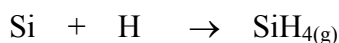
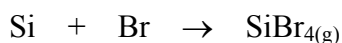
我們利用掃描式電子顯微鏡(SEM)，其原理為利用二次電子成像偵測其強度。用來觀察我們奈米線外型並且經由亮暗對比判斷其表面高低落差。其矽鍍成分分析我們使用歐傑電子顯微鏡(SAM/ ESCA) [圖 3-5]，利用三原子碰撞過程產生待測原子激發的頻譜。其 X-ray 源：Mg K α (1253.6 eV) 或 Al K α (1486.6 eV) 經由此頻譜我們可判斷其成分並且可大約作定量分析[圖 3-6]。最後做出的元件我們將使用本實驗室的機台 HP4155-6 量測出其 I-V curve 並施加不同閘極(gate) 偏壓去探討此元件是否有閘極控制能力。其背景訊號大小約在 50 fA 之下，所以我們可精準量測出其數據。

3-3 實驗步驟

我們先將wafer做標準RCA清洗，接著放進爐管氧化沈積SiO₂ 2000 Å製程溫度 980 °C，其目的是為了元件完成時與下方Si絕緣，接下來我們利用LPCVD方式沈積Si₃N₄ 500 Å製程溫度 780 度，我們沈積此薄膜的目的是為了接下來將需利用spacer的結構製作出我們所需的矽鍺奈米線，之後我們利用微影方式定義我們的第一道光罩(mask)，此光罩的目的是把我們需要的Si₃N₄利用正光阻顯影方式定義出來，接著我們使用NDL的氧化矽乾蝕刻系統(oxide etcher)通入Ar、CF₄、O₂等氣體去蝕刻我們不需要的薄膜。接下來我們先利用LPCVD去沈積一層很薄的Amm-Si 薄膜約 100 Å沈積溫度 550°C，再使用超高真空化學氣相沈積系統(UHV-CVD)去沈積矽鍺薄膜，因我們可藉由此系統精準的沈積我們所需的濃度及厚度約 10%~20%及 500~1000 Å，我們通入適當的SiH₄及GeH₄比率並在 550 °C度下做沈積反應即可成長出我們所需的複晶矽鍺薄膜。



緊接著是我們製作奈米線關鍵之步驟，我們需蝕刻去除多餘不需要的矽鍺薄膜，將使用NDL的多晶矽乾式蝕刻機TCP9400，蝕刻之氣體我們選用HBr及SF₆、Cl₂等，通入此氣體我們可確保我們的側壁蝕刻較垂直。



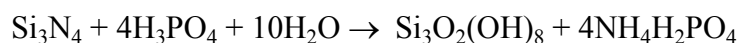
因為氧可用來改善矽氧化物物與矽之間的選擇比。此外，氧和蝕刻後的副

產物 SiBr_x 將會產生反應而形成一層 SiBr_xO_y 薄膜回沈積在我們的側壁上，由於只有蝕刻底部的 SiBr_xO_y 沈積物會不斷地被離子轟擊所移除，因此 SiBr_xO_y 沈積物就可以當作一個保護側壁的结构並將蝕刻限制在主要的垂直方向。

我們使用此機台另一個優點即是它具有蝕刻偵測終點的工具 (end point detector EPD)。因我們必須嚴密的控制我們的製程參數，才能確保我們製程都具有重複的到相同結果的特性，我們之所以選擇此功能主要是因為在一般乾蝕刻系統反應室腔壁狀況會影響我們的反應氣體，漏氣、逆流等都可能影響我們的化學成分改變，這些不確定因素都將對我們蝕刻機制產生一個變數，所以在此我們不可用蝕刻時間作我們的終點偵測，對我們做此結構是一個不恰當的選擇。雖然之後我們將利用其他方法去製作我們的矽鍍奈米線，但在此適當的蝕刻終點偵測可以避免掉過度的蝕刻(over etch)及增加我們製程的複製性和產率。

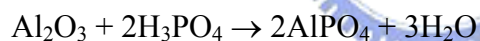
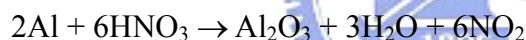
而此蝕刻偵測終點的機制是利用特性光輻射的發射強度(emission intensity)的改變去偵測，而此發射強度是電漿中某種物質的相對濃度。每一種原子和分子都有其不同於別的物質的獨特的光譜線，原子或分子被電漿激發其電子將從高能階釋放出光而掉入低能階，因此可利用光輻射的發射強度相對的變化量去偵測我們蝕刻的終點(end point)。利用光譜儀我們可偵測發光的某一種特定之波長並偵測出訊號的改變，光學系統就能扮演此種角色。它可傳送一個電訊號到電腦內部使其控制蝕刻系統以用來當作終止蝕刻的一個控制單位。所以當我們需要蝕刻矽鍍薄膜的關鍵製程時我們將使用此靈敏度較一般乾蝕刻系統為佳的一種蝕刻終點偵測的機制，如此可大幅提昇我們元件製程之良率。

當我們蝕刻去除我們不需要的矽鍍薄膜後，我們接下來使用溼蝕刻的方式去蝕刻我們的側壁 Si_3N_4 ，我們將 H_3PO_4 溶液加熱至沸騰約 170 度左右然後將我們 wafer 放入此溶液中讓它將 Si_3N_4 的薄膜去除。氮化矽層蝕刻一般而言多使用 85% 的磷酸(H_3PO_4)在 160~170 度之間做氮化矽層的蝕刻，化學反應式如下：



值得一提的是，以熱磷酸對氮化矽及二氧化矽的蝕刻選擇比(selectivity)約是 20:1，且對於蝕刻速率約為每分鐘 60 Å。

之後我們定義第二道光罩，把原本我們在氮化矽四周所存在的矽鍺奈米線，移除兩個平行的結構，因為我們將來量測電信時不會因為形成迴路而造成不能工作的情形，如此我們便完成我們的矽鍺奈米線的製作了。接著我們便是製作最後鋁電極的定義了，我們做第四道光罩定義出我們的接觸孔(contact hole)分別定義在矽鍺奈米線之兩端，再利用 thermal coater 去鍍上一層鋁約 5000 Å 當作我們的金屬電極，最後我們定義出我們最後的一道光罩就是拉出鋁接線(Al pad)，把多餘的鋁用濕蝕刻去移除。鋁導線在半導體製程中作為導電層材料，濕式鋁層蝕刻可使用多種無機酸鹼來進行，而已硝酸、磷酸及醋酸之混合溶液其蝕刻速率最為穩定，目前被廣泛運用在半導體製程中，主要之製程原理是利用硝酸氧化鋁金屬層之後，在與磷酸形成磷酸鋁溶於水中：



最後為確保鋁能完全鍵結在一起，我們需做最後一道步驟將我們的 wafer 放進爐管中做 sintering 溫度維持在 400 度下 30 分鐘。

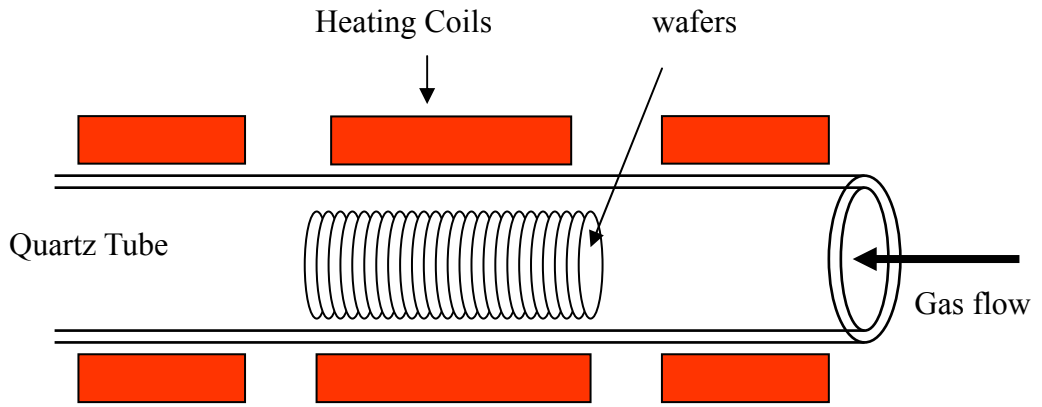


圖 3-1 薄膜沈積系統。

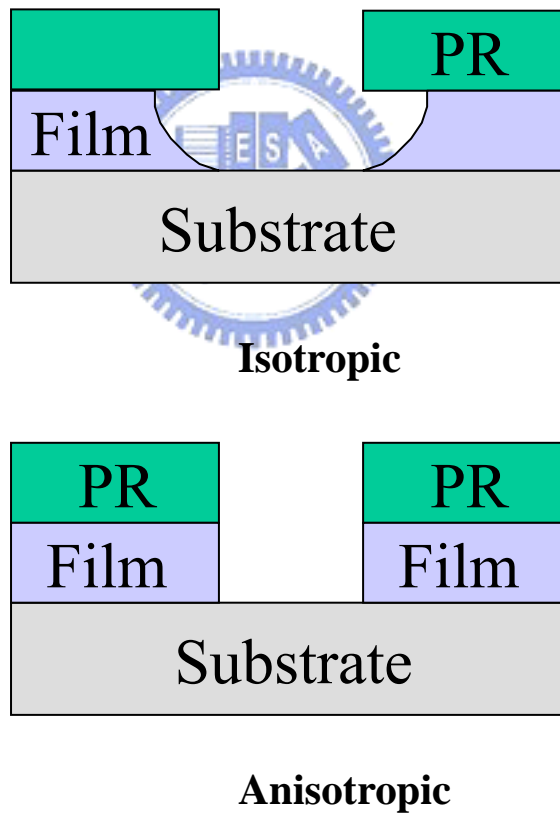


圖 3-2 isotropic & anisotropic。



圖 3-3 氧化矽乾式蝕刻機。

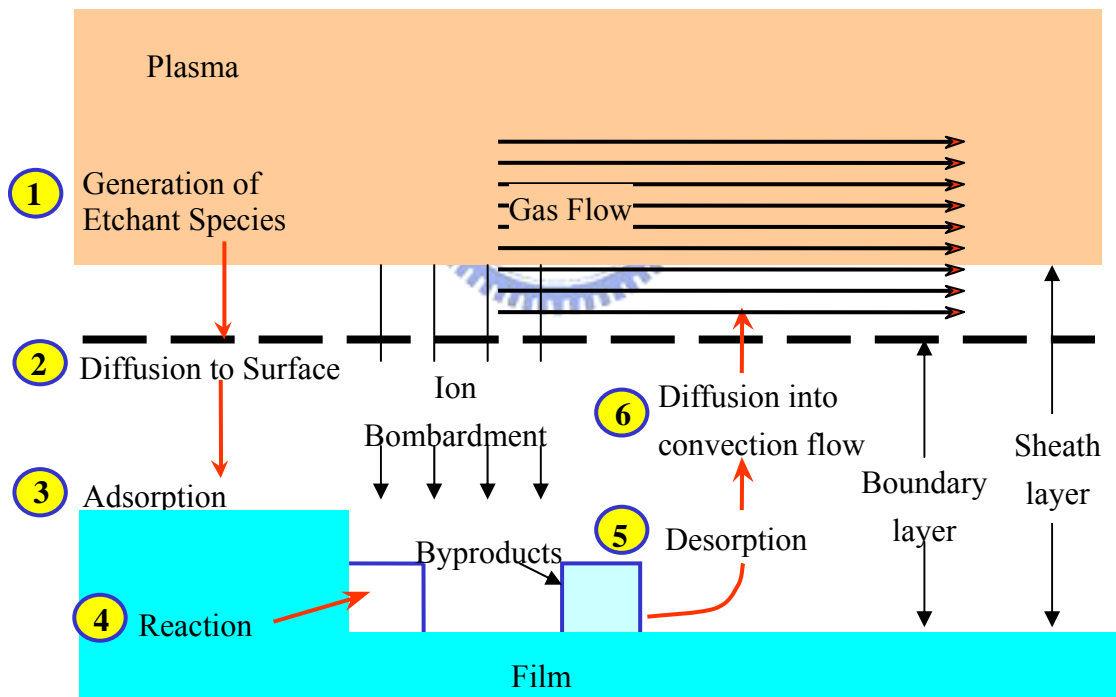


圖 3-4 離子電漿蝕刻過程。

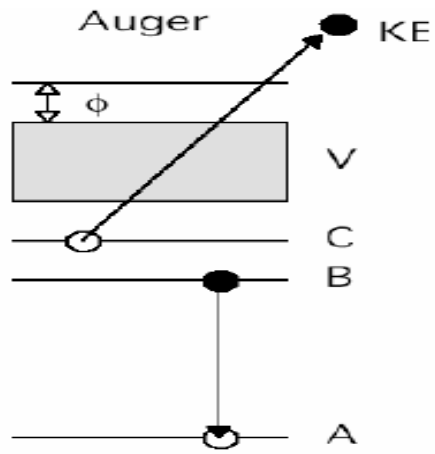


圖 3-5 Auger Electron。

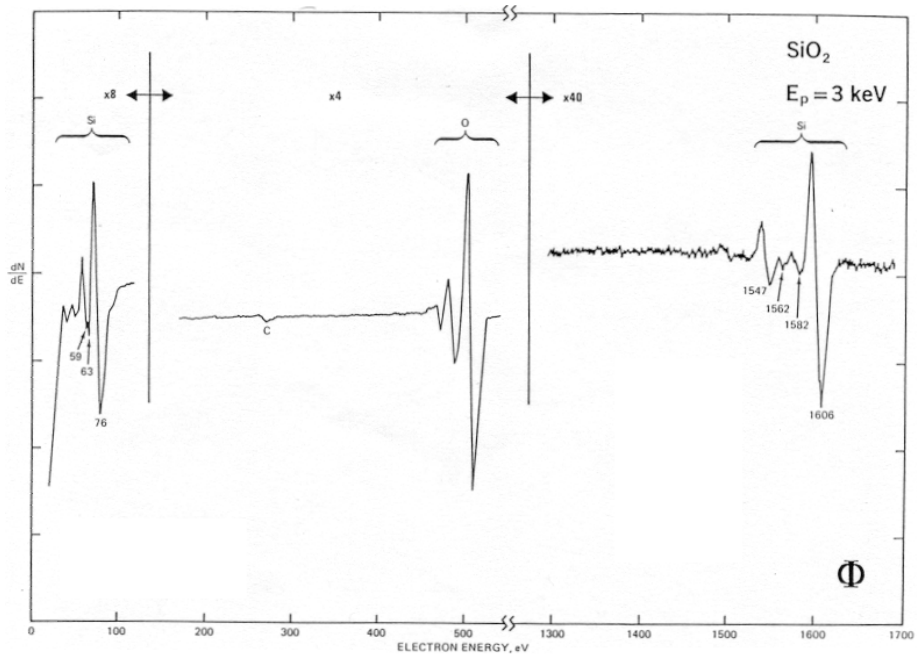


圖 3-6 Auger Electron Spectroscopy。

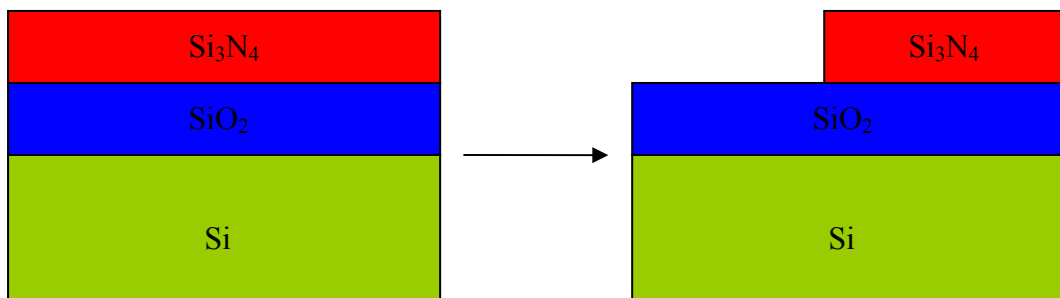


圖 3-7 (a) 定義第一道光罩。

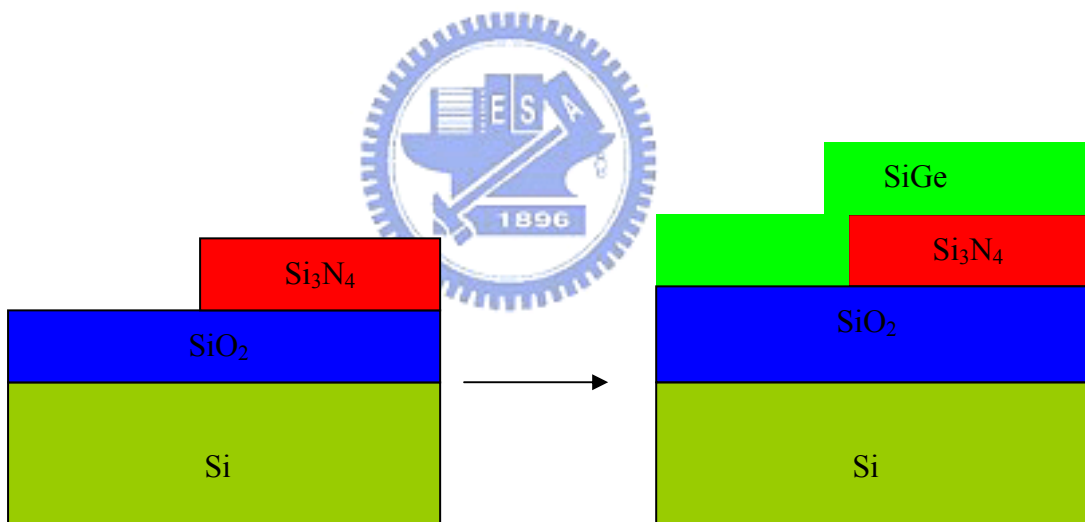


圖 3-7 (b) UHV-CVD SiGe。

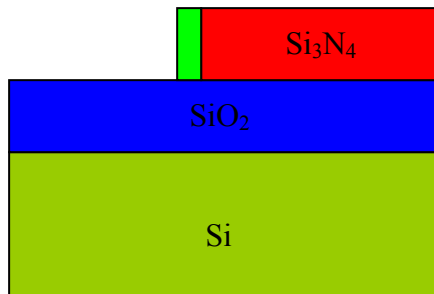


圖 3-7 (c) 利用乾蝕刻方式蝕刻矽鍺。

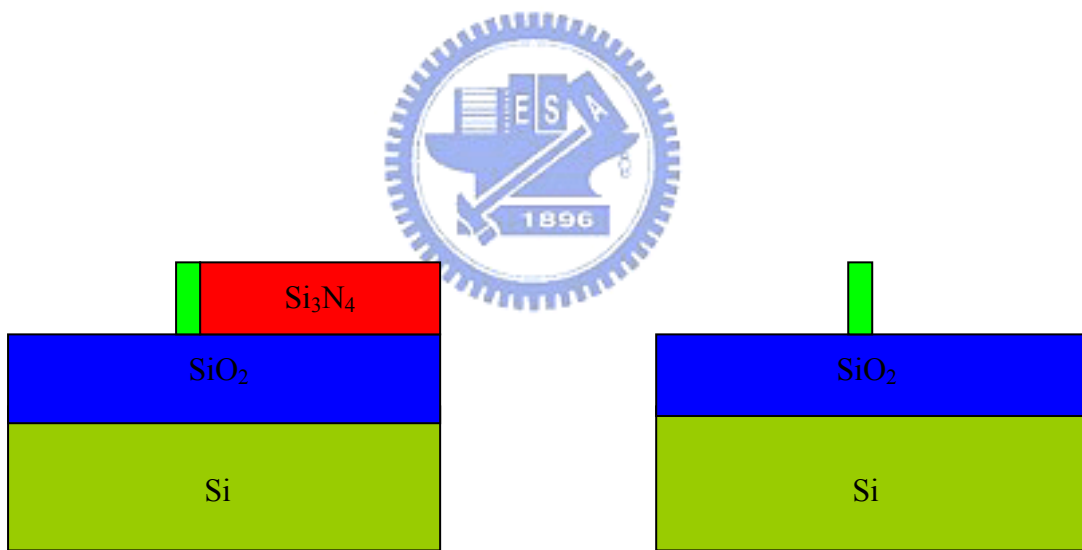


圖 3-8 (d) 使用 H_3PO_4 蝕刻 Si_3N_4 。

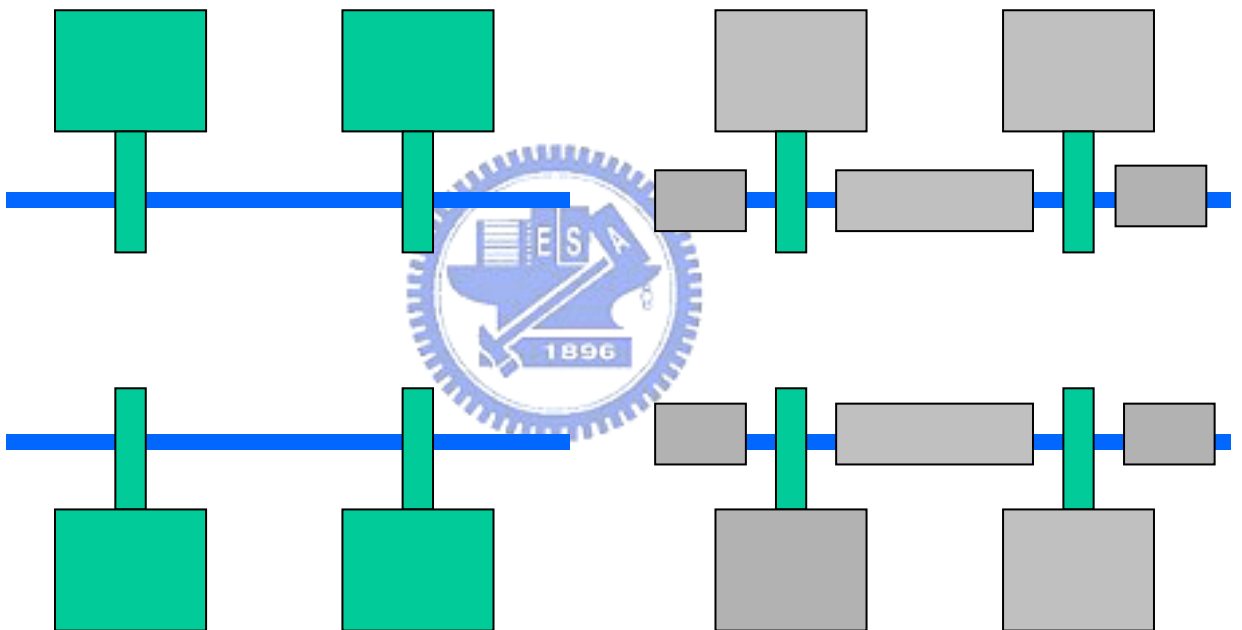
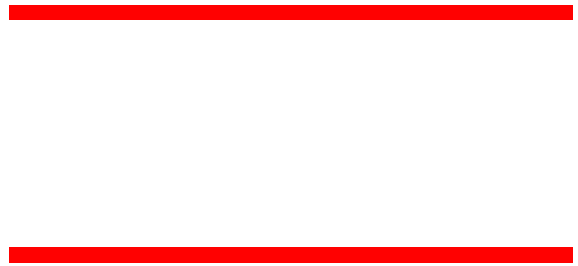


圖 3-8 光罩製作過程。

第四章 實驗結果與討論

4-1 前言

在第三章中我們詳細說明了整個製作矽鍺奈米線的過程，本章中我們將分析其製作的結果以及實驗的數據加以討論分析並且提出改善電性的方法。

4-2 成分分析

經過上述的製程，我們先以LPCVD系統去沈積我們的矽鍺薄膜，然而我們試著通入不同的 GeH_4 的氣體含量和 SiH_4 的含量比去比較我麼矽鍺薄膜組成的成分相對比例，將利用ESCA去分析如圖[4-1][4-2]。

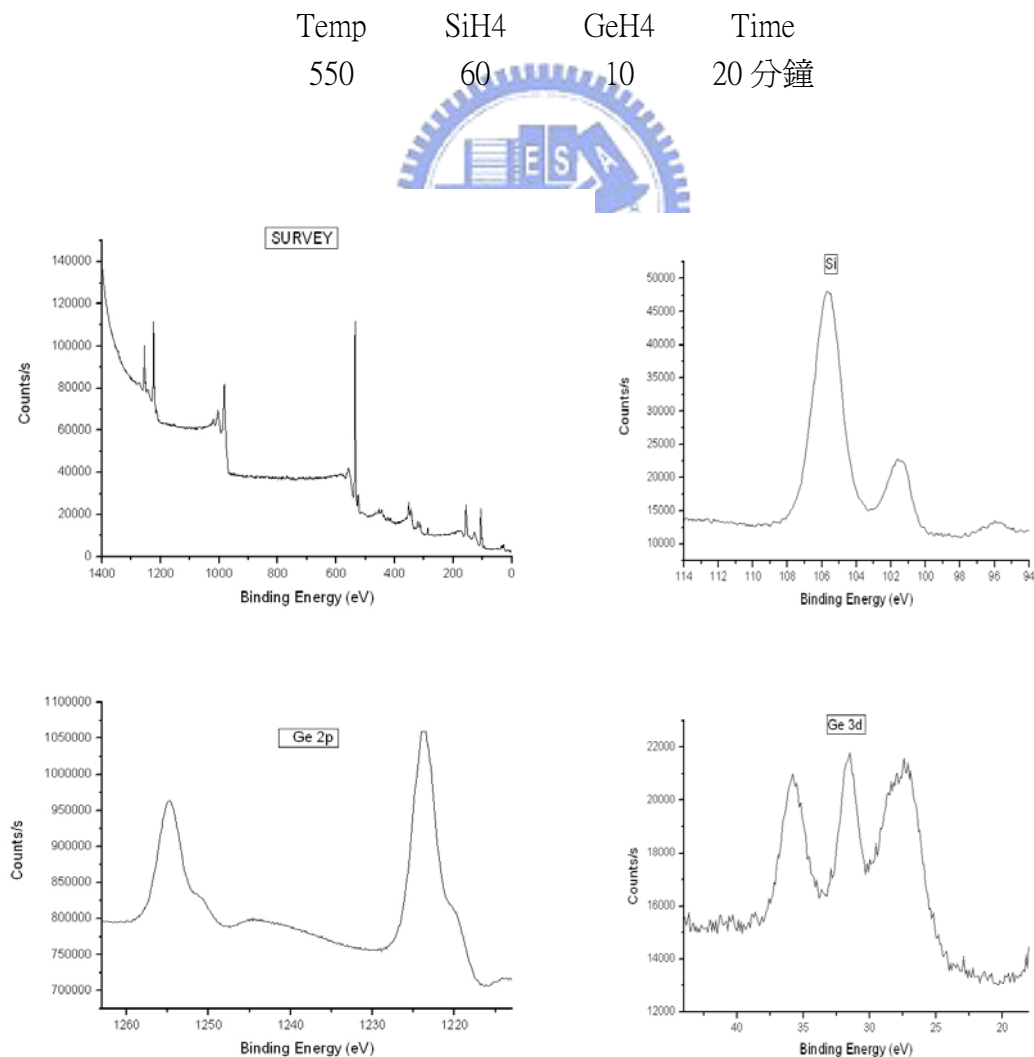


圖 4-1(a) SiGe ESCA 成分分析之一。

Temp	SiH4	GeH4	Time
550	60	14	20 分鐘

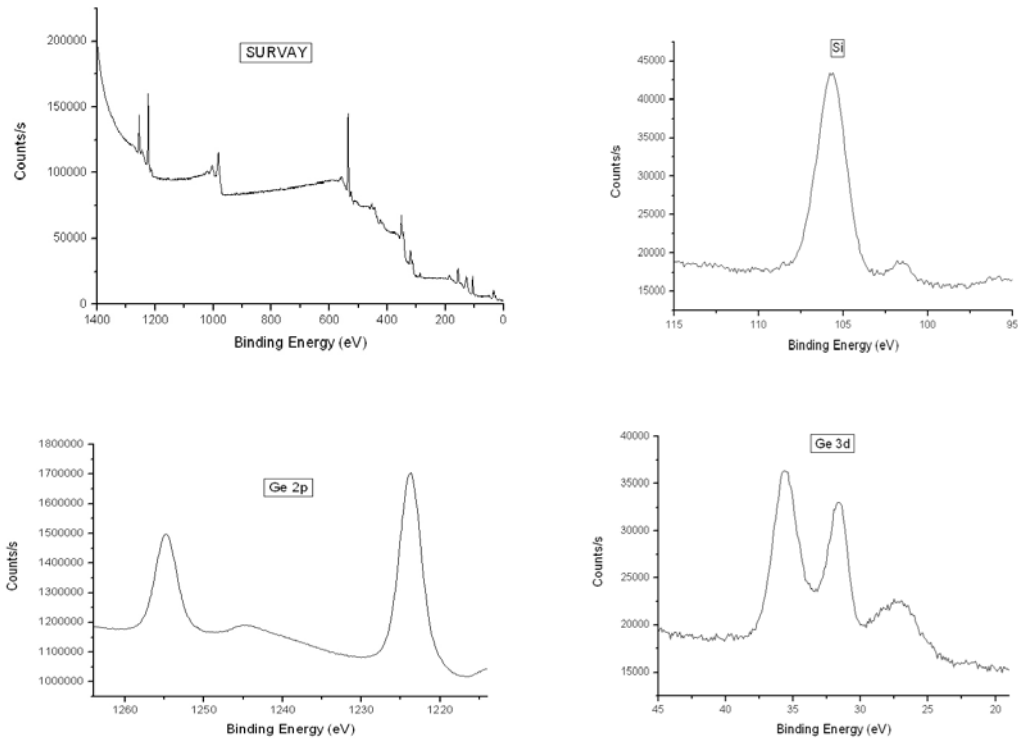


圖 4-1(b) SiGe ESCA 成分分析之二。

我們從Si Binding Energy可發現 101 ev時出現一個peak，可能原因為在表面除了Si外可能存在SiO_x等其他成分組合，導致出現了其餘的peak。然而從幾次實驗中我們發現，使用LPCVD系統沈積矽鍺薄膜時因機台不穩定，導致矽鍺濃度在同一條件下不全然相同，且沈積的品質也沒有UHVCVD好，所以我們決定採用UHVCVD系統沈積矽鍺薄膜。

當我們使用 UHVCVD 沈積完矽鍺薄膜時，我們將以成長好的薄膜去做 Auger 成分分析，去驗證我們薄膜組成並可作定量分析。由 Auger 分析我們可精準的得知在 1142 Kinetic Energy 附近有一個 peak 即是鍺元素所存在的區域，且我們由[圖 4-2(a)]還可得知其組成元素成分主成包含矽以及背景成分碳和氧。之後我們將其矽鍺薄膜放進爐管做乾式氧化沈積溫度 1050 度，氧化時間設定為 90 秒，之後也將其薄膜做 Auger 分析[圖 4-2(b)]，從兩張圖中我們明顯發覺其鍺的

peak 提高許多，證明了我們利用氧化可將銻的濃度提高，我們可證明銻的確有 condensation 的現象發生。

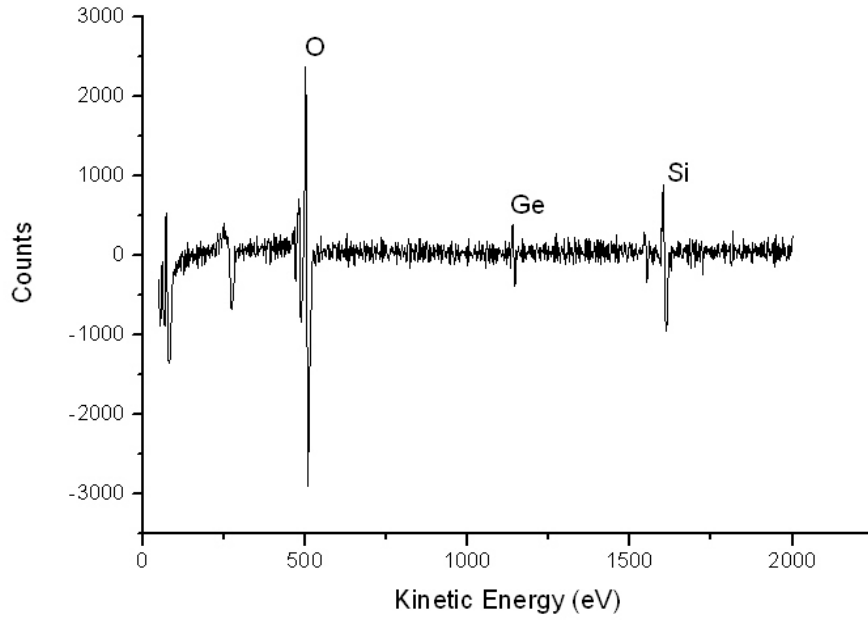


圖 4-2(a) 矽銻薄膜氧化前的 Auger 分析。

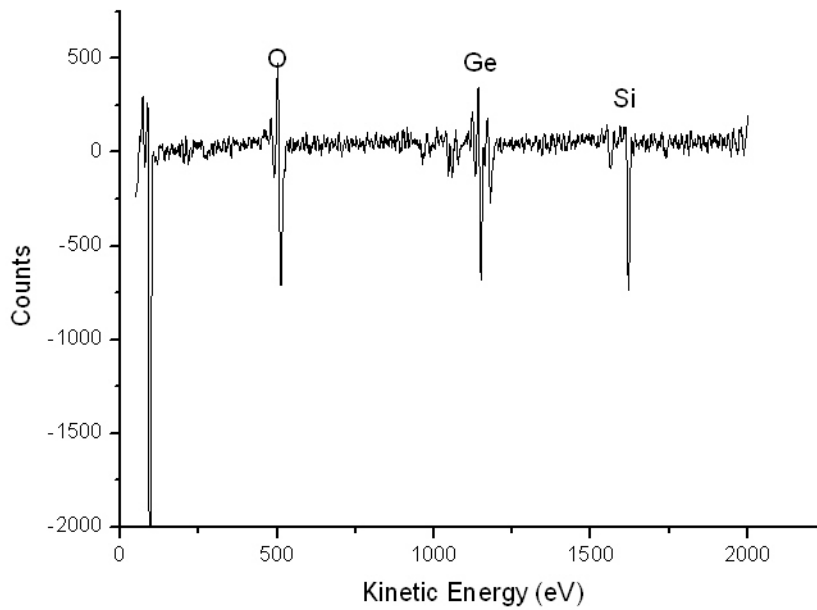


圖 4-2(b) 矽銻薄膜氧化後的 Auger 分析。

4-3 結構分析

由 SEM image 我們可以清楚的看到一個結果，當我們使用 TCP 蝕刻矽鍺薄膜時，因有 end point 的機制，為確保把不需要的矽鍺薄膜吃乾淨，所以我們使用 OE 的一種機制，如此將導致我們蝕刻時間過久，將造成我們矽鍺奈米線被蝕刻吃斷掉[圖 4-3]。針對這個問題，我們將蝕刻最後一步驟 OE 的時間縮短由 20 秒縮短到 5 秒，如此便可作出我們的矽鍺奈米線[圖 4-4]，我們可觀察到矽鍺奈米線為 90 nm 左右。

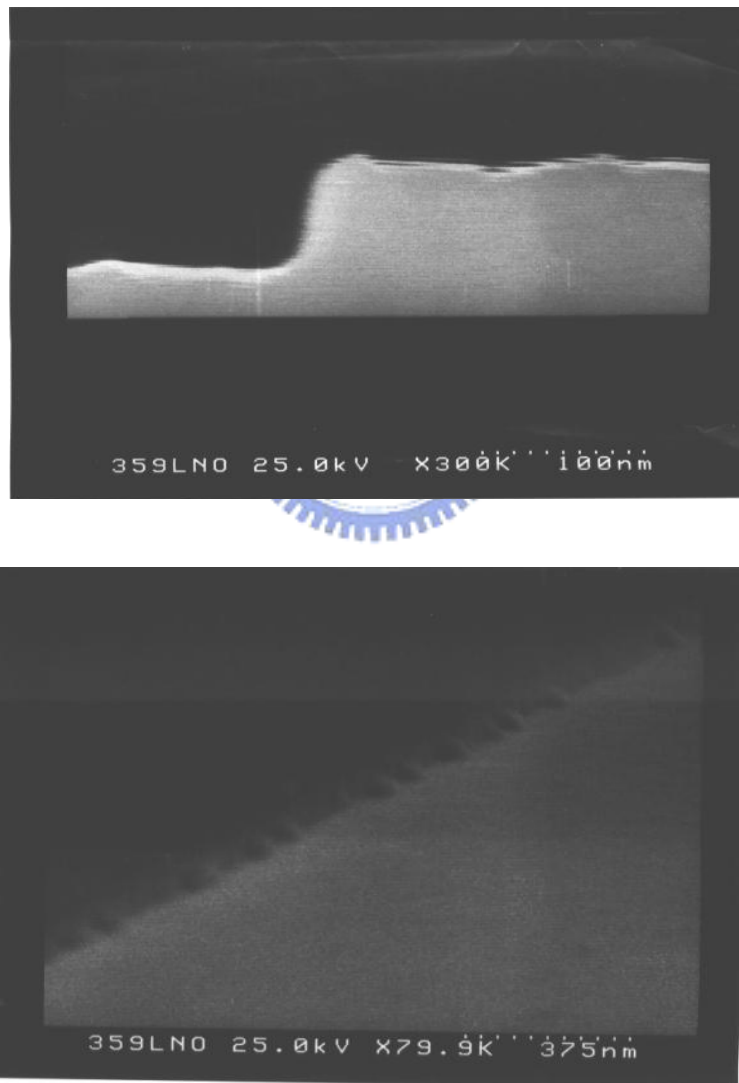


圖 4-3 SEM image of SiGe spacer of overetch。

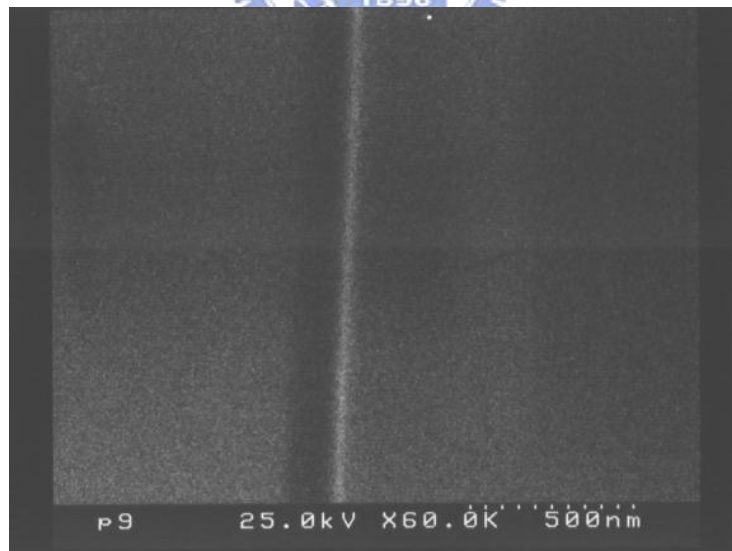
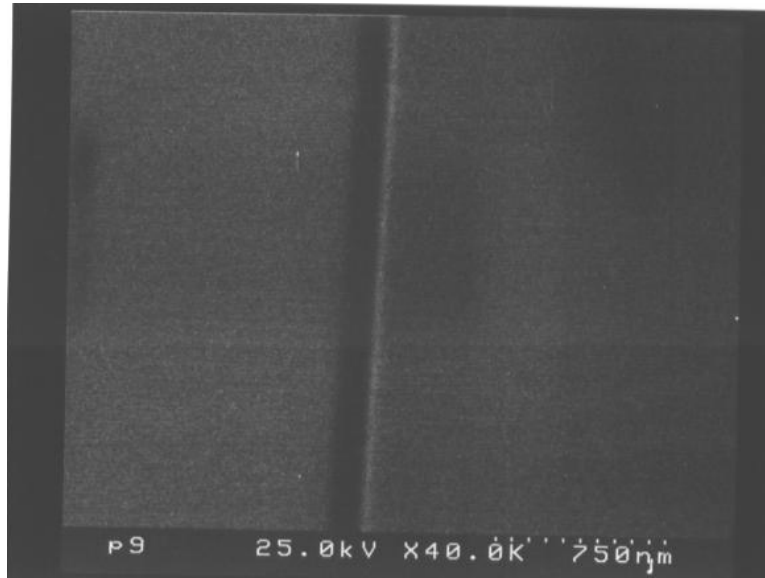


圖 4-4 SEM image of SiGe 90 nm nanowire ◦

4-4 電性分析和結果

經由上述製程我們可量到一組 V_d - I_d 的電性圖[圖 4-5]，從圖中我們可以知道電流分佈大小從-3 nA到 3 nA之間。電流值相當小我們推測可能原因就是我們的元件未經任何處理，所以我們接者將把元件去做退火的動作，650 度恆溫 24 小時，我們也將其做電性的量測[圖 4-6]，我們發現其電流值從 3 nA上升到 6 nA左右，提高將近一倍，我們可推測其可能原因為，當我們利用乾式蝕刻的方式去蝕刻我們的矽鍺奈米線時將對我們奈米線的表面造成損傷，所以經由anneal退的動作下，可去從新修補我們的表面損傷。但我們也發現 V_g 控制能力不明顯，我們可推測其原因就是當我們製作過程時，因我們使用bottom gate的方式，在元件製作過程中先沈積一層 2000 Å的 SiO_2 和 500 Å的 Si_3N_4 ，如此導致我們的gate oxide很厚，所以gate voltage對我們的current較沒影響力，所以從 V_d - I_d 圖中可觀察出來。

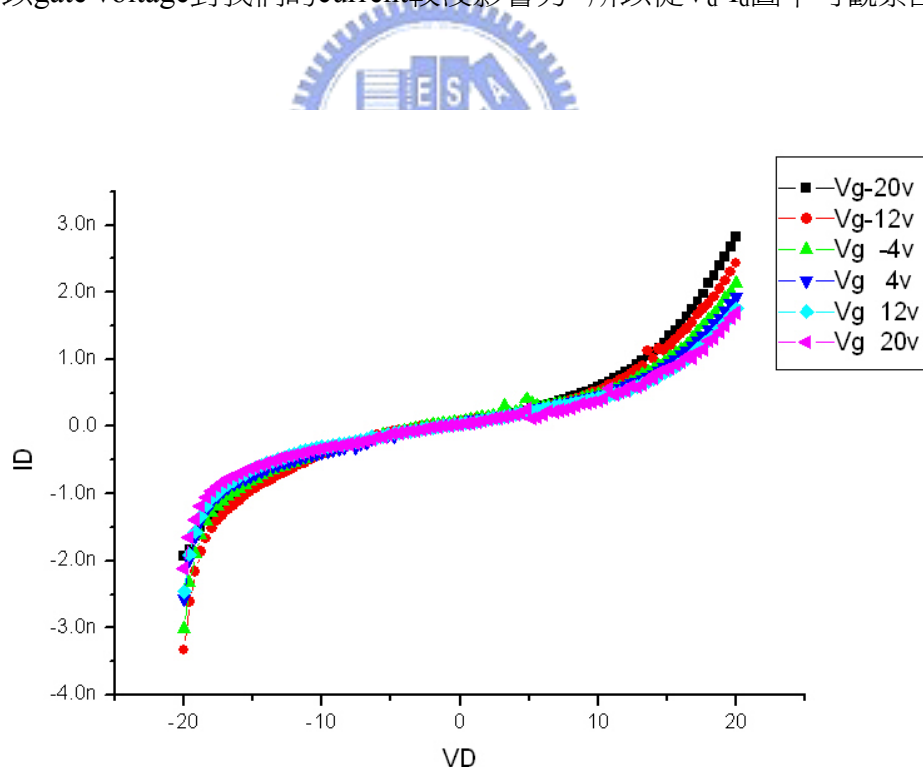


圖 4-5 矽鍺奈米線未經任何處理的 V_d - I_d 電性圖。

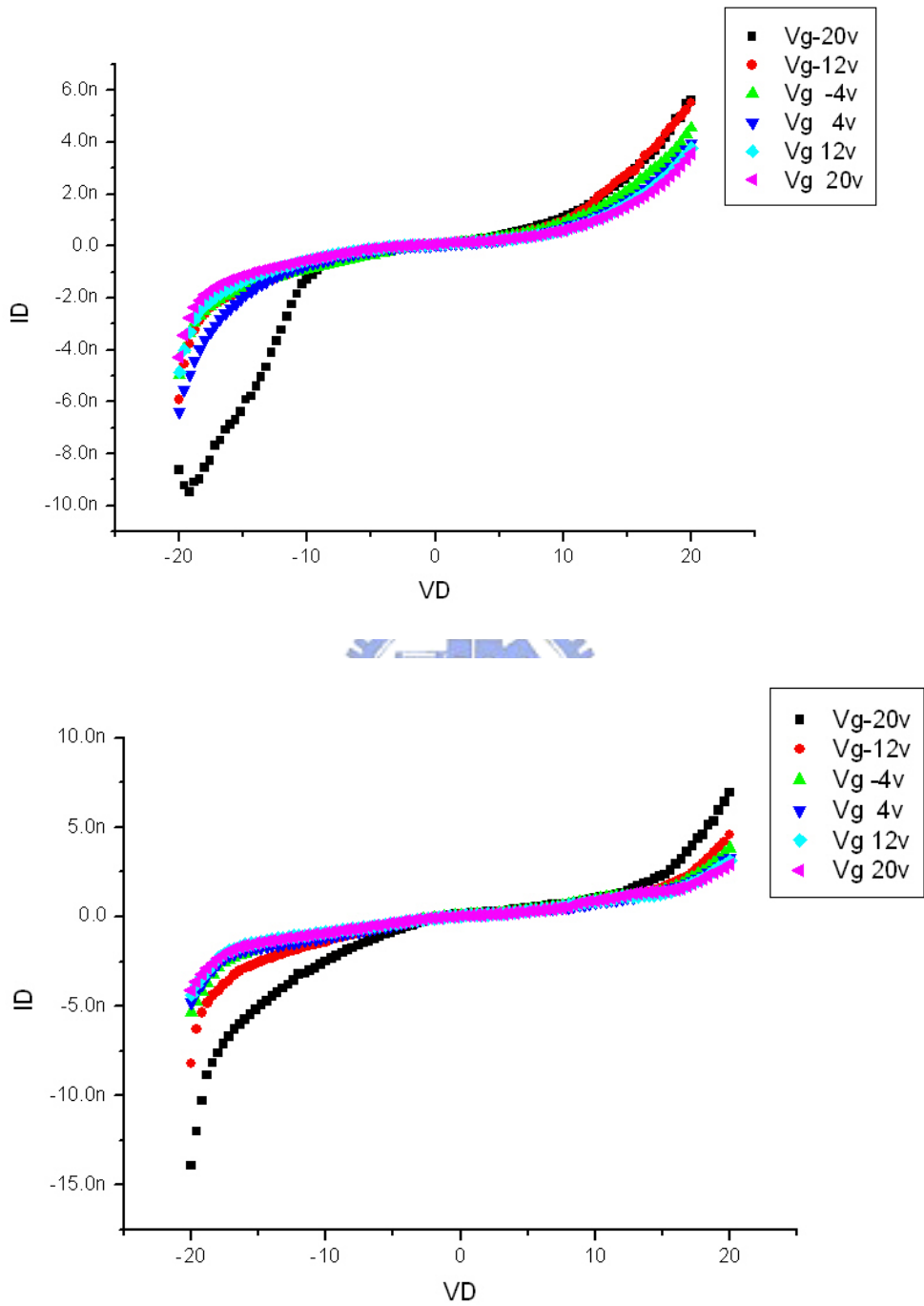


圖 4-6 矽鍺奈米線anneal後的 V_d - I_d 電性圖。

其後，我們使用乾式氧化的方式將矽鍺奈米線放入爐管升溫到 1050 度，通入 O_2 製程時間設定為 90 秒，之後使用 BOE 蝕刻生成的二氧化矽薄膜。並接者量其電性[圖 4-7]，我們明顯的觀察到電流值上升約 100 倍，可解釋其原因就是當我們升溫時如同 anneal 的機制可修補其表面損傷，其二就是當我們氧化時，Ge condensation 所以 Ge 濃度上升所以我們電流也相對的提高，最後就是當我們矽鍺薄膜厚度降低時，我們可知其電洞遷移率變大也就是說存在在矽鍺薄膜中的 dislocation 變少，所以電流變大。綜合上述幾點我們可解釋為何我們氧化時電流也相對上升。

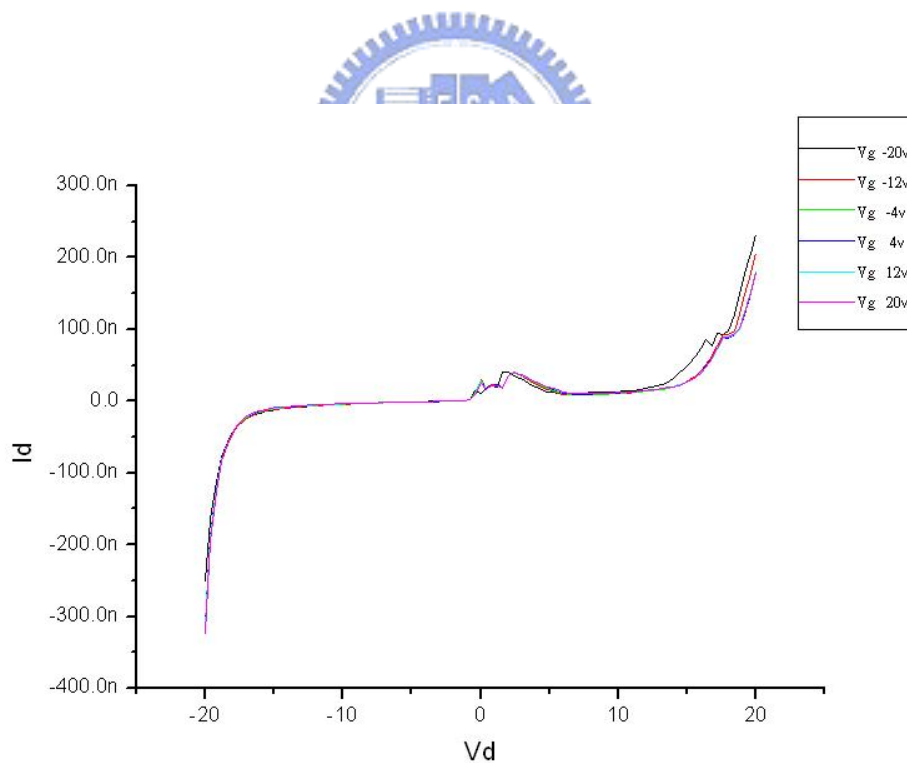


圖 4-7 矽鍺薄膜氧化後的 V_d - I_d 電性圖。

4-5 元件特性的改善

針對我們電信量測部分我們可提出下列方式去改善在半導體元件中，除了半導體/半導體的同質界面及異質半導體界面外，金屬與半導體界面 (metal-semiconductor junction)也是電子元中的基本組成部份。金屬通常是元件和外界間的連接管道另外也作為各個單獨元件間金屬連線，亦即傳輸元件電訊號的被動元件。而在金屬與半導體接觸地方，當一金屬界面其接觸電阻相對於半導體串聯電阻可以忽略不計時可定義為歐姆接觸(ohmic contact)。理想的歐姆界面不會影響降低通過歐姆界面半導體元件的電壓電流操作特性，而且通過電流時所產生的電壓降應比元件的作用區電壓降來得小。在本論文中我們嘗試以離子佈植 (ion implantation)的方式，改善矽鍺奈米線與接觸窗(contact hole)金屬電極間的界面特性。接著使用回火(anneal)程序使佈植離子回到我們所需位置，讓佈植離子和晶格原子重新結晶增加其導電特性。

在本篇論文中以離子佈植 (ion implantation)來作為金屬與半導體接觸窗間界面電阻的改善。在半導體工業中，被廣泛地用來作為摻雜三五族雜質原子的技術，近年來更被應用於材料表面性質的改質上，藉以改變材料表面的外觀、導電性、以及硬度、強度和抗腐蝕性等機械性質，藉以得到最佳化表面性質。此外，利用離子束合成法 (ion beam synthesis)所形成的薄膜不會與基材間形成界面，更可以解決一般傳統鍍膜方式所形成的薄膜與基材之間披覆性不佳的問題。在離子佈植的過程中，雜質原子或分子係以一個帶電離子的形式被加速至某一能量，直接撞擊靶材而進入其內。因此，佈植離子於靶材內的縱深分佈可由精確的控制離子能量來得到，而佈植離子的劑量則可由佈植的時間以及離子束的電流得到精確的控制。除了可精確地控制佈植離子的縱深分佈及劑量，利用離子佈植的方法可以得到較均勻分佈及較高純度的摻雜物。本論文是以離子佈植方式製作界面歐姆接觸特性，對我們矽鍺奈米線進行硼(Boron)摻雜，將預摻雜的硼離子摻雜進入我們的矽鍺薄膜上。

本研究委託國家奈米元件實驗室進行離子佈植動作：中電流源離子佈植系統(Varian E220)，中電流離子佈植摻雜條件如下，離子摻雜的種類是 P 態硼 (Boron)摻雜能量 10 Kev，佈植能量我們帶入高斯分佈公式(Gaussian distribution)：

$$c(x) = \frac{\Phi}{\Delta R_p \sqrt{2\pi}} \exp\left[-\frac{(x - R_p)^2}{2\Delta R_p^2}\right]$$

而上式可化簡為高斯分佈投影範圍最大濃度

$$c_{\max}(x) = c(x = R_p) = \frac{\Phi}{\Delta R_p \sqrt{2\pi}} = 0.4 \frac{\Phi}{\Delta R_p}$$

其中

$c(x)$ =ion concentration per(atoms/cm²)

ΔR_p = projected ion range

Φ = ion dose (ions/ cm²)

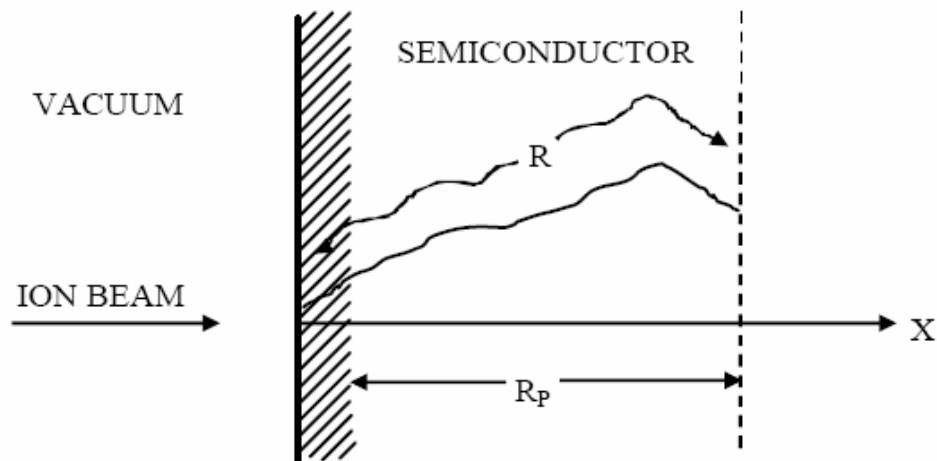


圖 4-8 離子佈植投影範圍 R_p 圖。

經計算後可得到離子佈植劑量大約為 1.25×10^{14} ，投影深度為500 nm。

熱退火(Anneal)是金屬冶煉上應用廣泛的材料加工技術，它的原理是利用熱

能(Thermal Energy)將物體內產生內應力的一些缺陷加以消除。所施加的能量將增加晶格原子及缺陷在物體內的振動及擴散。在佈植期間吸收大部分入射離子的能量，引發晶格原子移動。欲使原子排列得以重整，物體得以藉由缺陷的消失而進行再結晶(Re-crystalline)，甚至成爲單晶的晶體(Single Crystal)。一般的熱退火過程，大致上可以以溫度的高低而區分三個階段：復原、再結晶、晶粒成長。由於離子佈植所產生的晶格破壞和脫序現象，會對半導體元件特性的造成嚴重影響，如導電率和遷移率等都會改變。加上值入的離子只會存在於晶格間隙間，並不會置換原有原子的位置，所以並不會顯現出其導電特性，故須將離子植入做一回火修補。我們使用 p-type 爐管，進行熱退火動作製程時間爲30分鐘溫度爲950度。



第五章結論與未來展望

在本論文實驗中，我們成功的使用UHV-CVD方式長出我們的矽鍺薄膜並且利用side wall spacer的方式製作了寬約80-100 nm的高約60-80 nm的矽鍺奈米線，我們也從此實驗得到幾個結論：第一我們利用Ge condensation可以得到較高濃度的Ge含量、第二經由anneal的步驟我們可發現SiGe nanowire的電流約上升了2倍左右，我們猜想可能原因是，當我們進行anneal時，利用高溫退火可去修補我們SiGe nanowire的表面經由乾蝕刻電漿製程所造成的破壞，所以可使我們的SiGe nano -wire的電信加以改善，第三我們可發覺當我們利用Ge condensation的機制使Ge concentration提高時，其電流大幅度上升約上升100倍，我們解釋其原因為當溫度升高時一方面可補表面損傷另外一方面Ge condensation，加上矽鍺薄膜厚度減少時將造成其電洞遷移率變大，因為dislocation減少之緣故，所以電流上升。

未來我們研究可嘗試將我們的SiGe nanowire的製程更理想化、如改良我們光罩設計，使我們的製程量率提高。另外我們可藉由Ge condensation技術[28]，利用高溫長時間的乾氧化的方式，製作出純Ge的Ge nanowire，並且去控制我們的Ge薄膜的厚度。最後對於我們的nanowire的表面保護，我們可在我們的奈米線上製作一層保護層(passivation)，如利如ONO結構或氫原子或氬原子去加以修補我們表層的傷害，嘗試將我們的奈米線的特性加以改善。

References :

- [1] Yi Cui, Qingqiao Wei, Hongkun Park, and Charles M. Lieber, “Nanowire Nanosensors for Highly Sensitive and Selective Detection of Biological and Chemical Species”, *Science* Vol. 293, pp. 1289-1292, 2001.
- [2] Yu Huang, Xiangfeng Duan, Yi Cui, and Charles M. Lieber et al, “Gallium Nitride Nanowire Nanodevices”, *Nano Lett.*2(2), pp. 101-104, 2002.
- [3] Nicholas A. Melosh, Akram Boukai, et al, “Ultrahigh-Density Nanowire Lattices and Circuits”, *Science* Vol. 300, pp.112-115, 2003.
- [4] S. L. Konsek, R. J. N. Coope, T. P. Pearsall, and T. Tiedje, “Selective surface modifications with a scanning tunneling microscope”, *Appl. Phys. Lett.* Vol. 70, pp.1846, 1997.
- [5] E. S. Snow, P. M. Campbell, and P.j. McMarr, “Fabrication of silicon nanostructures with a scanning tunneling microscope”, *Appl. Phys. Lett.* Vol. 63, pp.749, 1993.
- [6] Phaedon Avouris, Tobias Hertel, and Richaard Martel, “Atomic force microscope tip-induced local oxidation of silicon: kinetics, mechanism, and nanofabrication”, *Appl. Phys. Lett* Vol. 71, pp.285-287, 1997.
- [7] F.S.-S. Chien, C.L. Wu, Y.-C. Chou, T. T. Chen, S. Gwo, “Nanomachining of (110)-oriented silicon by scanning probe lithography and anisotropic wet etching”, *Appl. Phys. Lett.* Vol. 75, pp.2429, 1999.
- [8] Yuzhen Shen, Daniel Jakubczyk et al. “Two-photon fluorescence imaging and spectroscopy of nanostructured organic materials using a photon scanning tunneling microscope”, *Appl. Phys. Lett.* Vol. 76, pp.1, 2000

- [9] 游凱翔, “矽質奈米導線元件的製作技術與特性”, 博士論文/92 國力交通大學電子工程
- [10] Courtesy of S. Rishton and E. Ganin, IBM
- [11] X. Duan et al., “Indium phosphide nanowires as building blocks for nanoscale electronic and optoelectronic devices”, *Nature* 409, pp.66 – 69, 2001.
- [12] M. H. Huang et al., “Room-Temperature Ultraviolet Nanowire Nanolasers”, *Science* **292**, pp.1897, 2001.
- [13] R. S. Wagner and W. C. Ellis, “Vapor-Liquid-Solid Mechanism of single crystal growth”, *Appl. Phys. Lett.* Vol. 4, pp.89-90, 1964.
- [14] H. F. Yan, Yingjie Xing, et al. “Growth of amorphous silicon nanowires via a solid–liquid–solid mechanism”, *Chem. Phys. Lett.* Vol. 323, pp.224-228, 2000.
- [15] D. P. Yu, Y. J. Xing, Q. L. Hang, H. F. Yan, J. Xu, Z. H. Xi, S. Q. Feng, *Physica E* (2001) 305-309
- [16] Xihong Chen, Yingjie Xing, et al., “Rational growth of highly oriented amorphous silicon nanowire films”, *Chem. Phys. Lett.* Vol. 374, pp.626-630, 2003.
- [17] T. -J. King et al., “A polycrystalline-Si_{1-x}Ge_x-gate CMOS technology”, *Proc. IEDM*, pp.253, 1990.
- [18] Brian Cunningham, Jack O. Chu, and Shah Akbar, “Heteroepitaxial growth of Ge on (100) Si by ultrahigh vacuum, chemical vapor deposition”, *Appl. Phys. Lett.* Vol. 59, pp. 3574-3576, 2001.
- [19] H. K. Liou et al. “Effects of Ge concentration on SiGe oxidation behavior”, *Appl. Phys. Lett.* Vol. 59, pp.1200-1202, 1991.

- [20] J. Eugene et al. "Diffusion versus oxidation rates in silicon-germanium alloys", Appl. Phys. Lett. Vol. 59, pp.78-80, 1991.
- [21] Shu Nakaharal et al. "Characterization of 7-nm-thick strained Ge-on-insulator layer fabricated by Ge-condensation technique", Appl. Phys. Lett. Vol. 83, pp.3516-3518, 2003.
- [22] "VLSI 製程技術" 莊達人著.
- [23] "Microchip Fabrication" PETER VAN ZANT 著
- [24] H. Shang, H. Okorn-Schimdt et al, "Electrical Characterization of Germanium p-Channel MOSFETs", IEEE EDL, Vol. 24, pp.242-244, 2003.
- [25] T. Tezuka et al, "Fabrication of strained Si on an ultrathin SiGe-on-insulator virtual substrate with a high-Ge fraction", Appl. Phys. Lett. Vol. 79, pp.1978-1800, 2003.
- [26] G. Höck et al, "High hole mobility in Si_{0.17}Ge_{0.83} channel metal-oxide-semiconductor field-effect transistors grown by plasma-enhanced chemical vapor deposition", Appl. Phys. Lett. Vol. 76, pp.3920-3922, 2000.
- [27] D. K. Nayak et al, "High-mobility p-channel metal-oxide-semiconductor field-effect transistor on strained Si", Appl. Phys. Lett. Vol. 62, pp2853, 1993.
- [28] Kyung-Hoon Chung et al, "Pattern multiplication method and the uniformity of nanoscale multiple lines", J. Vac. Sci. Technol. B, Vol. 21, pp1494, 2003.
- [29] B. Dietrich et al, "Measurement of stress and relaxation in Si_{1-x}Ge_x layers by Raman line shift and x-ray diffraction", J. Appl. Phys. Vol. 74, pp3177, 1993
- [30] W. K. Choi et al, "Observation of memory effect in germanium nanocrystals embedded in an amorphous silicon oxide matrix of a metal-insulator-semiconductor structure", Appl. Phys. Lett. Vol. 80, pp2014, 2002.

- [31] K.H. Heinig et al, "Precipitation, ripening and chemical effects during annealing of Ge. implanted SiO₂ layers", NIMB, PP.969-974, 1999
- [32] Tsutomu Tezuka et al, "Ultrathin Body SiGe-on-Insulator pMOSFETs With High-Mobility SiGe Surface Channels", IEEE TED. Vol. 50, pp.1328, 2003.
- [33] K. P. Giannakopoulos et al, "Microfocus x-ray study of selective area epitaxy of SiGe on Si", J. Appl. Phys. Vol. 93, pp259-264, 2003.
- [34] Dunwei Wang et al, "Germanium nanowire field-effect transistors with SiO₂ and high-k HfO₂ gate dielectrics", J. Appl. Phys. Vol. 83, pp2432, 2003.
- [35] Hyoungsub Kim et al, "Interfacial characteristics of HfO₂ grown on nitrided Ge (100) substrates by atomic-layer deposition", J. Appl. Phys. Vol. 85, pp2902, 2004.
- [36] Minjoo L. Lee et al, "Strained Ge channel *p*-type metal-oxide-semiconductor field-effect transistors grown on Si_{1-x}Ge_x/Si virtual substrates", Appl. Phys. Lett. Vol. 79, pp3344-3366, 2001.
- [37] Minjoo L. Lee et al, "Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors", J. Appl. Phys. Vol. 97, pp011101-1, 2005.