

國立交通大學

管理學院(工業工程與管理學程)碩士班

碩士論文

以 WIP SPC 改善晶圓代工廠生產週期之個案研究

The Study of the Cycle Time Improvement by WIP SPC for
IC Foundry Manufacturing



研究生：林育成

指導教授：李榮貴 博士

中華民國九十六年一月

以 WIP SPC 改善晶圓代工廠生產週期之個案研究

**The Study of the Cycle Time Improvement by WIP SPC for
IC Foundry Manufacturing**

研究生:林育成

Student: Yu-Cheng Lin

指導教授:李榮貴 博士

Advisor: Dr. Rong-Kwei Li

國立交通大學

管理學院(工業工程與管理學程)碩士班



A Thesis

Submitted to Department of Industrial Engineering and Management

College of Management

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of Master of Science

In

Industrial Engineering and Management

Jan. 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年一月

以 WIP SPC 改善晶圓代工廠生產週期之個案研究

學生:林育成

指導教授:李榮貴 博士

國立交通大學管理學院(工業工程與管理學程)碩士班

中文摘要

投片到產出的時間稱為生產週期(Cycle time)，半導體產品從投入到產出通常需一到二個月的時間。因為對市場的反應時間很長，所以生產週期一直是晶圓代工廠影響客戶滿意度的重要指標之一，不良的生產週期常造成客戶抱怨，甚至訂單流失；而且半導體工廠的投資額高，生產週期代表的是資金的堆積。所以晶圓代工廠一直都投注大量人力於生產週期的管理與改善。

一般工廠做生產週期的管理通常只是根據經驗訂定 Turn Rate 及標準在製品量(STD WIP)，再據以拉貨和消 WIP，沒有一套較完整的生產週期管理理論。當工廠狀況改變，如產品組合改變或產能使用率改變，此時根據 Little's law 可以預知生產週期及在製品量將會跟著改變，過去經驗也跟著不適用。目前絕大多數的工廠並無法反應此狀況，以至於產品組合改變或產能使用率改變都須經過一段爭執的陣痛期，當情況穩定時，經驗能派上用場，管理才又上軌道。

本論文期望發展出一套計算標準在製品(STD WIP)的方式，再利用 SPC (Statistical Process Control)的觀念，訂定 WIP 上下限，當超出上下限則採取適當的派工以修正 WIP Profile，如此可以降低 WIP 水位，生產週期也得以逐步降低。

關鍵詞: 晶圓代工、生產週期時間、達交率、派工、在製品管理

The Study of the Cycle Time Improvement by WIP SPC for IC Foundry Manufacturing

Student: Yu-Cheng Lin

Advisor: Dr. Rong-Kwei Li

Department of Master Program of Industrial Engineering and Management
National Chiao Tung University

ABSTRACT

The definition of cycle time is the time from the wafer start to the wafer output. It usually takes one or two months to get the product since customer decides to produce it. Cycle time is a critical factor for customer satisfaction because it represents the response time to the market. Long cycle time also reflects the ineffective investment for the capital. Cycle time is very important for foundry because long cycle time will cause customer unsatisfied and the order loss. Consequently, all of the foundries put lots of human source in the cycle time improvement.

Usually, we make decisions based on the experience in cycle time management. We have no mechanism or theory for cycle time management. We do WIP management based on turn rate and standard WIP set by experiences. But the experience didn't mean the optimal solution, when the situation changed, the cycle time or the standard WIP will also be changed. The experience will not always be applicable. If we only have the experience and no mechanism, management will not be work out. After interview several foundry fab managers, all of the fab can't reflect the situation. That is, all of them will have an impact period after product mix or utilization varied.

In this study, we want to develop a formula for standard WIP and use SPC concept to set WIP upper/lower limit. When WIP exceed the limit, it will trigger action plans to compensate WIP profile. If WIP profile balances, we don't need too much WIP. So WIP level could be reduced and cycle time also could be reduced.

Key words: Foundry, Cycle Time, Delivery, Dispatch, WIP Management

目 錄

| | 頁次 |
|------------------------------|-----------|
| 中文摘要 ----- | i |
| 英文摘要 ----- | ii |
| 目 錄 ----- | iii |
| 表目錄 ----- | iv |
| 圖目錄 ----- | v |
| 符號說明 ----- | vi |
| 一、 緒論 ----- | 1 |
| 1.1 問題描述 ----- | 1 |
| 1.2 研究目的 ----- | 1 |
| 1.3 研究方法 ----- | 2 |
| 1.4 研究範圍與限制 ----- | 2 |
| 二、 文獻探討 ----- | 3 |
| 2.1 投料法則 ----- | 3 |
| 2.2 派工法則 ----- | 5 |
| 三、 個案研究 ----- | 6 |
| 3.1 個案現況 ----- | 6 |
| 3.2 Cycle Time 改善方法分析 ----- | 7 |
| 3.3 WIP SPC 方法說明 ----- | 8 |
| 四、 WIP SPC 效果驗證 ----- | 18 |
| 4.1 生產數據比較分析 ----- | 18 |
| 4.2 有效性驗證 ----- | 18 |
| 4.3 其他效益 ----- | 19 |
| 五、 結論及未來研究方向 ----- | 20 |
| 參考文獻 ----- | 22 |

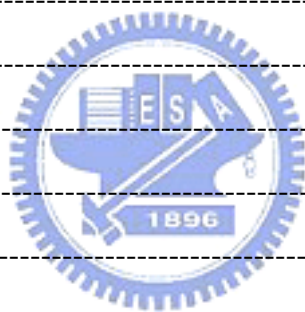


表 目 錄

| | 頁次 |
|--|----|
| 表 3-1: High Utilization Equipment Group ----- | 9 |
| 表 3-2: STD WIP and Target T/R ----- | 13 |
| 表 3-3: STD WIP 分配及 STD WIP Upper/Lower Limit ----- | 14 |
| 表 3-4: 派工法則評分表 ----- | 15 |
| 表 3-5: Utilization FCST ----- | 16 |
| 表 4-1: 改善前、改善後之生產數據 ----- | 18 |
| 表 4-2: 生產週期之假設檢定 ----- | 18 |



圖目錄

| | 頁次 |
|--|----|
| 圖 3-1: STD WIP SPC 概念圖 ----- | 9 |
| 圖 3-2: 派工法則示意圖 ----- | 15 |
| 圖 5-1: 改善前、改善後之 WIP 與 cycle time 相關圖 ----- | 20 |
| 圖 5-2: 改善前、改善後之 utilization 與 CLIP 相關圖 ----- | 20 |



符號說明

| | | |
|------------------------------------|---|---|
| Theoretical Cycle Time | : | 一批貨從投片到產出，所有 Process time 加總 |
| Avail | : | 機台可提供生產的時間(%), 即 1-Down%-PM% |
| Process Time _{<i>i</i>} | : | 第 <i>i</i> 個製程步驟所花的生產時間 |
| Running WIP _{<i>i</i>} | : | 第 <i>i</i> 個機台群組上正在Run的WIP量 |
| Waiting WIP _{<i>i</i>} | : | 第 <i>i</i> 個機台群組前等待進入機台Run的WIP量 |
| Group Capacity _{<i>i</i>} | : | 第 <i>i</i> 個機台群組可提供的產能 |
| X _{<i>ij</i>} | : | 第 <i>i</i> 種產品第 <i>j</i> 個區段的X-Ratio |
| TCT _{<i>ij</i>} | : | 第 <i>i</i> 種產品第 <i>j</i> 個區段的Theoretical Cycle Time |



第一章 緒論

1.1 問題描述

本研究個案是以新竹科學園區某半導體晶圓代工廠為案例。因為公司從 DRAM 廠轉型為專業晶圓代工廠，經過幾年的摸索與學習，在業界慢慢建立了不錯聲譽及客戶群，但與晶圓代工這個領域的領導廠商比較起來，仍然有一些差距。

這些差距從客戶最關心的三大指標品質、成本與交期來分析，因為公司一直以來專注於高壓產品，資源集中，所以在產品的品質上客戶滿意度頗高。至於成本，因為公司的機器多已超過折舊年限，佔半導體製造成本最大的因子-折舊非常低，所以在成本上也極具競爭力。客戶抱怨有很大的比例集中在產品交期及生產週期(cycle time)上，從生產數據上來看，公司產品的生產週期明顯較同業為長。所以公司想要再提升競爭力，增加客戶滿意度，必須改善交期及生產週期。

公司的管理階層也了解這個問題，然而一直以來並無多大改善。工廠的對策就只是做機台的管理，事後定期檢討，但缺少事前的計畫與系統性的改善方法。所以機台總是在需要的時候當機，此時檢討已無法挽回損失的產能。

公司生管部門對投料是採用均勻投料法，即按照每個月之產出計劃考慮良率，除以當月天數得到投片計畫，無法反應工廠的生產狀況。另外製造部門對標準在製品量(STD WIP)一直有爭議，常常為了哪些機台該有多少在製品量(WIP)才是正常而爭執，目前所訂定之標準在製品量(STD WIP)只是依據經驗值得來，缺乏理論基礎的支持。另外在工廠管理及派工缺乏回饋管理機制，難以有效提昇生產效率。所以建立一套有效的在製品量管理機制是公司目前最迫切需要的問題。

1.2 研究目的

本研究希望可以提供一套好的製造管理機制，改善目前目前最迫切的交期及生產週期

不良的問題，提升公司的競爭力與客戶的滿意度。除此之外，也希望可以讓生產管理人員與製造現場人員有溝通的管道，避免淪為只有互相指責沒有具體建議與行動方案的溝通方式。

1.3 研究方法

本研究會先探討有關 WIP 管理及瓶頸管理相關文獻，收集前人對交期及生產週期方面的研究及改善方法。並收集現有數據資料、實務觀察與分析，找出影響交期及生產週期的問題點。

找到問題之後，建構一個可以改善目前問題的模型與方法，即導入 WIP SPC 的觀念，以系統化的方法改善問題。最後以實際數據驗證 WIP SPC 模型改善之效果。

1.4 研究範圍與限制

- 1.本研究以純晶圓代工廠為研究對象
- 2.生產型態為訂單式生產
- 3.系統限制為機台產能，沒有人力因素問題
- 4.假設限制是在工廠的生產能力，有足夠的訂單，限制不在市場。



第二章 文獻探討

在有關投料與派工的文獻，有眾多的理論對 Cycle Time 都有顯著貢獻

2.1 投料法則

在過去一些有關半導體製造管理的研究中，學者利用 Simulation 驗證在晶圓製造廠中，投料對交期及 cycle time 的影響大於現場之排程與派工[Glasse et al.1988a,b; Wein 1988; Miller 1990]。而投料法則大概可分成兩類：開放式(open-loop)與封閉式(close-loop)。所謂開放式是在固定時間區間內投入固定數量，亦即不管現場狀況來進行投片，如均勻投料法(Uniform Loading)。而封閉式投料是考量現場的在製品數量或機台負荷，以作為投料與否的依據。一般而言，封閉式投料法則會依製造現場動態性的改變而調整投料，在生產績效上會比開放式投料法則為佳。以下對封閉性投料法則做一簡單介紹：

(1) 固定在製品投料法(Fixed - WIP;FW)

在產出速率等於投料速率的觀念下，當一個系統產出一個產品時，必須投入一個工件於系統中以維持在製品數量固定的一種投料法則，此法是根據產出速率來決定投料時點。

(2) 常數在製品投料法(Constant WIP; CONWIP)

採用看板觀念來進行投料，是一種介於 JIT 與推式系統間的生產控制型態。在同一生產線上只有一種看板，當工件送入生產線，看板即附在工件上直到工件離開生產線為止，此時，空看板再被送回第一道步驟，但工件進入的優先順序需要事先排定。

(3) Starvation Avoidance(SA) 投料法則：

SA 投料法則為 Glassey and Resende 所提出[Glassey and Resende,1988]，是針對機器當機及維修為主要隨機性變異來源的半導體廠為對象，其主要目的是要提高瓶頸機台的使用率，同時也能夠縮短生產週期與提升交期。其中心理念為降低 WIP，但為避免 B/N 飢餓(move

loss)需及時投料。其投料的控制是設定一關鍵值，此關鍵值是投料至 B/N 的作業時間(L)與安全係數($\alpha, \alpha > 0$)的乘積。當瓶頸站的 WIP 數量低於所設定的值，就投料。SA 在產能接近滿載時，對交期的表現比 Unif/Fixed WIP 等投料方法有相當程度的正面差異。

(4) Workload Regulating (WR)投料法則：

Workload Regulating (WR)投料法則為 Wein 所提出[Wein,1988]，係以目前系統內對限制資源工作站之總工作負荷(或稱實質存貨;W)，來作為投料決策的依據，當瓶頸站剩餘的加工時間低於所設定的值就投料，此法與 SA 的差異是將已進入系統的工件，只要後續製程需使用限制資源，皆納入計算，可切確反應未來的機台負荷，可達到機台利用率最大的目標。

(5) 限制趨導式排程法(Drum-Buffer-Rope;DBR)

由限制理論發展出來之 DBR 生產管理系統的規劃與控制主要是由鼓(Drum)、緩衝(Buffer)、繩子(Rope)的概念來進行[吳鴻輝，李榮貴，2003]。DBR 強調充分利用瓶頸資源之產能，故針對瓶頸資源訂定一細部排程，稱為” Drum”。限制資源排程(Drum)是依據訂單交期、時間緩衝區與控制棒，採後推(backwards)方式而得，再根據各工單在 drum 上的開工時間減去對應之資源暫存區，推得投料時間表，此稱為” Rope”，其詳細步驟為：

步驟一:確認系統限制

- 負荷最重獲產能不足的資源限制
- 市場需求限制

步驟二:充分利用系統限制

- 產能限制隻產品必須充分利用該產能限制之機台，所以限制趨導節奏為該機台的生產排程
- 市場限制之產品必須利用市場需求之限制，所以限制趨導節奏為該產品之出貨節奏

步驟三:系統全力配合步驟二之決策

- 非限制資源的配合

-系統不穩定狀態的保護與緩衝

-投料節奏的配合

步驟四:提升系統的限制

步驟五:如果限制在步驟四被打破，則重回步驟一，不要讓管理者的惰性成為系統的限制

2.2 派工法則

派工法則(Dispatching)是藉由改變批量的加工順序，以及時降低製造現場因不可預期事件對批量生產週期時間造成影響。一個好的投料策略若未搭配適當的派工法則，亦無法完全發揮其效用。以下將派工法則做一簡單介紹:

(1) 先進先出法(First In First Out; FIFO)

以到達工作站的順序決定加工的順序，愈早到達的工件優先順序愈高。

(2) 最早交期法(Earliest Due Date; EDD)

交期愈近的工件給予愈高的加工優先順序，是以交期導向為基礎的派工法則。

(3) 關鍵比值法(Critical Ratio; CR)

將每一工件在到達交期前剩餘可用時間除以剩餘加工製程所需之加工時間，所得到的值稱為關鍵比值，對於 CR 值愈小者給與愈高之加工優先順序之派工法則，稱為關鍵比值法，關鍵比值法是以交期為導向之派工法則。

(4) 最小餘裕時間法(Minimum Slack Time; MST)

將每一工件再到達交期前剩餘可用之加工時間減去剩餘需要的加工時間，所得到的值稱為餘裕時間；對於餘裕時間愈小的工件給予愈高的優先順序，是以交期為導向的派工法則。

(5) 最短剩餘加工時間法(Short Remaining Processing Time; SRPT)

剩餘總加工時間愈短的工件加工的優先順序愈高，是以製程時間導向為基礎的派工法則。

第三章 個案研究

3.1 個案現況

本研究個案位於新竹科學園區某半導體晶圓製造廠，主要以承接 IC 設計公司委外晶圓代工之訂單，產品涵蓋一般邏輯(Generic Logic)元件、混合訊號製程(Mixed Mode)元件、高壓製程(High Voltage)元件，其應用面為消費性電子產品、顯示器、手機、數位相機及電腦相關之週邊產品。其市場特性唯需要大量且更替速度快，所以客戶往往面臨 time-to-market 壓力，又不願意建立大量庫存，所以當景氣來臨，客戶面臨市場快速變化常需要緊急交貨，以面臨市場快速的需求，所以對 Cycle Time 非常重視。

然而從公司經營的角度，若要使利潤增加必須提高機台使用率，充分運用生產線提高產出量，所以常增加投料以增加在製品(Work in Process, WIP)，減少機台停機待料的機率，提高機台使用率，工廠的 Move 亦隨之增加，但是生產週期卻跟著延長了。

公司和客戶這兩種需求是互相衝突的，電子產品的市場變化快速，因為公司的生產週期比較長，而且常常無法準時交貨，客戶為確保能準時收到貨，就以提前下單的方式因應，當遇到需求量下降時，便要求公司延後出貨，使得公司的產能浪費在不是要立即出貨的產品上，導致庫存堆積但營業額下降。但景氣上升時又來不及交貨延誤商機，客戶抱怨的聲音愈來愈大，有些客戶甚至將訂單移轉至其他價格較高但交貨迅速而準時的晶圓代工廠。所以公司內部一直在思考如何在維持一定水準的產出及 Move 的同時，生產週期能夠縮短，同時提高訂單達交率。

公司與同業比較未改善之前生產績效，友廠在高產能利用率(High utilization)下 cycle time 仍比公司要好。公司在低產能利用率情況下 cycle time 表現還可以，但產能利用率提高時，產出量增加，但在製品亦隨之快速增加，生產週期也同步增長，訂單達交率卻下降。其背後的原因是訂單增多，為使產量提升，而投入過多的在製品，過多的在製品使公司缺乏彈性以應付客戶突發的需求，甚至答應連客戶的交期都達不到，造成客戶強烈的不滿。

所以我們了解交期不佳的原因就是在製品過多，所以降低在製品水位是根本解決之道，但在製品不足，又容易造成機台閒置的機率提高，亦即使產能閒置(Capacity Loss)機率提高，進而使產出下降。

3.2 Cycle Time 改善方法分析

欲改善 Cycle time，須先了解影響 Cycle time 的因子，Cycle time 有兩種實際生產週期 (Actual Cycle Time)和動態生產週期(Dynamic Cycle Time)。計算方式如下：

(1).Actual Cycle time 等於產出時間減去投片時間

(2).Dynamic Cycle time 為 Actual cycle time 的先行指標，其公式為 $WIP / Move$

改善 Cycle time 原則為降低 WIP 及增大 Move 量，但 Move 與 WIP 有互相依存的關係。降低 WIP 水位，瓶頸機台因缺 WIP 而產能閒置的機會增加，造成 Move 下降，進而使產出減少，cycle time 改善了但產出減少了，這不是我們所樂意見到的。從另一個方向來看，想要增大 Move 量，最簡單的方法就是增加 WIP 水位，讓瓶頸機台因缺 WIP 而產能閒置的機會減少，但 WIP 水位增加卻又造成 cycle time 增加。所以改善 cycle time 必須符合以下兩個原則：

(1).找出如何在不減少 Move 情況下，降低 WIP

(2).在不增加 WIP 的前提下，提升 Move

本論文在強調 WIP 的管理，所以本論文的重點將在：(1).找出如何在不減少 Move 情況下，降低 WIP。

3.3 WIP SPC 方法說明

WIP 是為了避免工廠的一些難以掌控的因素，如當機、參數設定(setup)以及重工(Rework)，影響瓶頸機台的產出，其中又以當機為最主要因素。WIP 的水位與機台的變異有密切關聯，變異愈大愈需要更多的 WIP 保護瓶頸。然而派工的管理可以降低變異對瓶頸的影響，使 WIP 的水位降低。

派工的管理的影響是很有彈性的，可以造成多大的影響視管理工具及努力而定，難有一明確的數字。TOC 的限制驅導式派工在很多的研究中證實對 cycle time 是有效的，然而 TOC 的觀念是假設工廠中只有唯一的瓶頸，但目前的半導體工廠因設備昂貴，為了成本競爭各站別的機台數都購買的剛好足夠建置產能，且因為半導體製程製程複雜，站別眾多，通常多達近百個站別。以 2006 年十月份為例，如表 3-1 所示，雖然真正的瓶頸為 Thin Oxide+HTOX，然而次瓶頸機台(假設使用力大於 90%就視為次瓶頸機台)就多達 14 個站別，因為次瓶頸機台的使用率與真正瓶頸相差小於 10%，所以只要次瓶頸機台表現變異大於 10%，就可能成為主要瓶頸，所以這 14 個戰別都需納入管理。

本研究建議採取一種漸進式的瓶頸及 WIP 管理方法，分為 5 個步驟，1.先以目前 Cycle time 水準，估算合理之 WIP 水位，2.再依機台特性及產能利用率分配 WIP 水位至各個機台群組，設定標準 WIP 量，3.藉由 SPC 的觀念設定 WIP 管制線，利用電腦將 WIP balance 的行為自動化處理，4.設定監控機制，掌控機台變應，預估並監控 WIP 狀況，及時採取補救措施，5.等 line balance 得到控制且瓶頸機台無產能 loss 情形，逐步降低 WIP 水位，再重複 1~5 的步驟。

表 3-1 High Utilization Equipment Group

| No | Equipment | Jul-06 | | Aug-06 | | Sep-06 | | Oct-06 | | Nov-06 | | Dec-06 | |
|----|----------------------------|--------|-------|--------|-------|--------|-------|--------|-------|--------|-------|--------|-------|
| | | Util. | Tools | Util. | Tools | Util. | Tools | Util. | Tools | Util. | Tools | Util. | Tools |
| 1 | PECVD - SiH4 | 118.7% | 7.2 | 104.9% | 8.7 | 104.4% | 9.2 | 98.8% | 9.2 | 103.7% | 9.2 | 103.1% | 9.2 |
| 2 | Lam4500/4520(SOGEB) | 105.2% | 2.0 | 104.3% | 2.0 | 102.5% | 2.0 | 98.4% | 2.0 | 109.3% | 2.0 | 103.0% | 2.0 |
| 3 | Thin Oxide / HTOX | 97.1% | 35.0 | 100.7% | 35.0 | 102.4% | 35.0 | 105.3% | 35.0 | 102.6% | 35.0 | 99.3% | 35.0 |
| 4 | Oxide CMP (EBARA) | 100.0% | 1.0 | 100.0% | 1.0 | 100.0% | 1.0 | 100.0% | 1.0 | 100.0% | 1.0 | 100.0% | 1.0 |
| 5 | Metal Etcher - Hitachi 308 | 100.0% | 3.0 | 100.0% | 3.0 | 100.0% | 3.0 | 100.0% | 3.0 | 100.0% | 3.0 | 100.0% | 3.0 |
| 6 | Metal Etcher - Hitachi 501 | 100.0% | 2.0 | 100.0% | 2.0 | 100.0% | 2.0 | 100.0% | 2.0 | 100.0% | 2.0 | 100.0% | 2.0 |
| 7 | Gate Oxide | 97.1% | 10.5 | 96.7% | 11.0 | 100.0% | 11.0 | 100.8% | 11.0 | 98.4% | 11.0 | 96.5% | 11.0 |
| 8 | UTC | 91.6% | 7.0 | 95.5% | 7.0 | 98.8% | 7.0 | 99.7% | 7.0 | 96.8% | 7.0 | 94.6% | 7.0 |
| 9 | Mid Current Implanter | 89.9% | 9.5 | 94.7% | 9.5 | 98.6% | 9.5 | 100.2% | 9.5 | 98.2% | 9.5 | 98.7% | 9.5 |
| 10 | Metal Etcher - W Plug EB | 100.0% | 8.0 | 89.9% | 8.5 | 97.9% | 9.0 | 99.3% | 9.0 | 99.6% | 9.0 | 98.8% | 9.0 |
| 11 | PECVD - SIN | 92.6% | 4.2 | 91.8% | 4.2 | 96.4% | 4.2 | 96.5% | 4.2 | 97.5% | 4.2 | 97.3% | 4.2 |
| 12 | Sputter | 88.9% | 13.0 | 85.1% | 13.0 | 94.2% | 13.0 | 97.1% | 13.0 | 97.3% | 13.0 | 96.3% | 13.0 |
| 13 | PECVD - SiH4&SION&SiN | 99.2% | 17.0 | 92.5% | 18.5 | 94.0% | 19.0 | 90.3% | 19.0 | 95.1% | 19.0 | 96.7% | 19.0 |
| 14 | SAUSG | 85.6% | 10.0 | 86.8% | 10.0 | 93.6% | 10.0 | 95.9% | 10.0 | 97.4% | 10.0 | 95.6% | 10.0 |
| 15 | PRS | 87.1% | 11.0 | 88.9% | 11.0 | 89.6% | 11.0 | 91.7% | 11.0 | 93.7% | 11.0 | 91.4% | 11.0 |
| 16 | HDPCVD (PS) | 92.1% | 1.7 | 84.9% | 2.0 | 88.7% | 2.0 | 86.8% | 2.0 | 99.2% | 2.0 | 91.2% | 2.3 |
| 17 | TEL 85S | 93.1% | 21.0 | 85.8% | 21.0 | 88.1% | 21.0 | 90.4% | 21.0 | 85.9% | 21.0 | 89.1% | 21.0 |
| 18 | HDPCVD (STI) | 88.8% | 1.0 | 82.1% | 1.0 | 87.7% | 1.0 | 91.3% | 1.0 | 98.2% | 1.0 | 99.2% | 1.0 |
| 19 | High Current Implanter | 79.2% | 10.0 | 82.5% | 10.0 | 87.7% | 10.0 | 86.9% | 10.0 | 87.1% | 10.0 | 88.7% | 10.0 |
| 20 | NS | 81.5% | 3.0 | 82.7% | 3.0 | 87.1% | 3.0 | 91.1% | 3.0 | 92.8% | 3.0 | 96.2% | 3.0 |
| 21 | Asher | 82.7% | 23.6 | 86.7% | 23.6 | 85.5% | 23.6 | 89.1% | 23.6 | 94.7% | 23.6 | 90.4% | 23.6 |
| 22 | TEL DRM | 85.8% | 9.0 | 72.5% | 9.0 | 84.3% | 9.0 | 85.9% | 9.0 | 92.6% | 9.0 | 94.3% | 9.0 |
| 23 | BPSG Flow | 79.7% | 5.0 | 77.5% | 5.0 | 83.3% | 5.0 | 84.9% | 5.0 | 86.6% | 5.0 | 85.6% | 5.0 |
| 24 | Vacuum / SOG Baking | 81.5% | 11.0 | 79.8% | 11.0 | 82.9% | 11.0 | 83.4% | 11.0 | 86.5% | 11.0 | 85.5% | 11.0 |
| 25 | Metal Etcher - DDPSM | 81.0% | 9.0 | 80.2% | 9.0 | 81.9% | 9.5 | 79.3% | 10.0 | 84.0% | 10.0 | 85.2% | 10.0 |
| 26 | RTP - Metal | 81.4% | 8.0 | 80.5% | 8.0 | 81.1% | 8.0 | 84.6% | 8.0 | 90.8% | 8.0 | 88.9% | 8.0 |
| 27 | Oxide CMP (Mirra Mesa) | 72.7% | 9.0 | 72.3% | 9.0 | 80.3% | 9.0 | 83.1% | 9.0 | 85.0% | 9.0 | 87.0% | 9.0 |
| 28 | Laser Mark | 74.0% | 3.0 | 76.0% | 3.0 | 78.2% | 3.0 | 80.1% | 3.0 | 78.9% | 3.0 | 79.5% | 3.0 |
| 29 | PETEOS | 68.8% | 11.0 | 76.8% | 11.0 | 77.5% | 11.0 | 81.8% | 11.0 | 86.2% | 11.0 | 81.6% | 11.0 |
| 30 | SOG Coater | 77.2% | 8.0 | 75.6% | 8.0 | 77.0% | 8.0 | 75.5% | 8.0 | 81.2% | 8.0 | 77.9% | 8.0 |
| 31 | OPRS (EKC) | 73.3% | 4.0 | 71.7% | 4.0 | 76.9% | 4.0 | 79.1% | 4.0 | 81.7% | 4.0 | 82.7% | 4.0 |
| 32 | W CMP | 77.8% | 8.0 | 78.9% | 8.0 | 76.6% | 8.0 | 77.5% | 8.0 | 87.1% | 8.0 | 90.6% | 8.0 |
| 33 | RE | 74.7% | 4.0 | 77.5% | 4.0 | 76.4% | 4.0 | 80.5% | 4.0 | 84.2% | 4.0 | 80.3% | 4.0 |
| 34 | OZ3000 | 85.1% | 6.0 | 79.7% | 6.0 | 76.3% | 6.0 | 69.3% | 6.0 | 67.8% | 6.0 | 68.5% | 6.0 |
| 35 | Alloy | 74.3% | 5.0 | 71.5% | 5.0 | 75.4% | 5.0 | 76.6% | 5.0 | 79.3% | 5.0 | 79.4% | 5.0 |
| 36 | WCVD | 73.3% | 12.0 | 71.7% | 12.0 | 75.4% | 12.0 | 76.8% | 12.0 | 79.0% | 12.0 | 79.4% | 12.0 |
| 37 | Wafer Scrubber | 72.0% | 21.0 | 74.1% | 21.0 | 73.9% | 21.0 | 77.9% | 21.0 | 82.8% | 21.0 | 80.0% | 21.0 |
| 38 | WCMP - Buffing | 74.8% | 7.0 | 76.1% | 7.0 | 73.8% | 7.0 | 74.7% | 7.0 | 83.9% | 7.0 | 87.1% | 7.0 |
| 39 | MOCVD | 72.5% | 5.0 | 74.3% | 5.0 | 72.3% | 5.0 | 73.0% | 5.0 | 81.4% | 5.0 | 83.9% | 5.0 |
| 40 | LamTCP9400/Alliancechamber | 68.2% | 14.0 | 73.8% | 14.0 | 71.9% | 14.0 | 75.2% | 14.0 | 85.1% | 14.0 | 82.3% | 14.0 |


Step 1: 決定初期的 WIP 水位

根據 Little's Law (平均生產週期=平均在製品數量/產出率)，目前 Cycle time 水準已知，Output 也已決定，則 $WIP\ Level = Cycle\ Time * Output$

Step 2: 決定適當的 WIP Profile

合理的 WIP 總量決定了，但 WIP 若是在不對的地方只是徒增 Cycle time。但是如何決定適當的 WIP 分佈呢？

目前各半導體廠的做法都是由經驗值來決定，例如：某工廠的月產出 60,000pcs，各產品平均 Stage 數為 120，則 $STD\ Move = 60,000 * 120 / 30\ 天 = 240,000$ 。而依經驗各種機台群組的 Turn Rate 並不一樣，假如所有產品 Gate oxide 的 process step 都只有一次，Gate oxide furnace 的 turn rate 為 1.2 則 Gate oxide furnace 的 $STD\ WIP = STD\ Move / STD\ turn = (60,000 * 1 / 30) / 1.2 = 1,667\ pcs$ ，但目前 gate oxide furnace turn rate 1.2 並不代表 1.2 是 standard，所以由此訂出之 STD WIP 只是經驗值，當工廠之產品組合變化，或生產條件變化，由此方法訂出之 STD WIP 就存在相當大的誤差，所以必須要能夠訂出較客觀的 STD WIP。



要解答這個問題必須由 WIP 的作用著手，WIP 的作用可以分成兩種，一種是 Running WIP，假設有一種理想的 Fab，機台完全無變異，所謂無變異是說機台還是需要 PM 也會當機，但 PM 和當機都是在沒有需要 Run 貨的時候發生，只要需要 Run 貨，機台又可提供產能，如此就不需要有多餘的 WIP 堆在瓶頸機台之前，也就是說 Running WIP 是要達成產出必備之最低的 WIP 水準。另一種是 Waiting WIP，是為保護瓶頸，因為現實的工廠總是存在變異，機台常常在需要產能的時候當機或 PM，故需額外準備 WIP 以因應這種狀況，避免因機台的變異而造成瓶頸產能 Loss。

(1). 如何決定 Running WIP?

Running WIP 的定義是指正在機台中生產的 WIP，假設有一理想工廠，機台完全無變異，產品到機台前馬上可以進行生產，所以不需準備額外的 WIP 來應付變異，所以 running WIP 跟 Process Time 有關，例如批量生產(batch type)的機台 Furnace 一次 run 貨需 6 小時，蝕刻機台只需 1 小時，WIP 在 Furnace 的機率是在蝕刻機台的 6 倍，Running WIP 的比例也是 6 倍。Running 佔總 WIP 的比例與 X-ratio 有關，以目前 X-ratio 3.8 為例，Running WIP

約為總 WIP 40%左右。

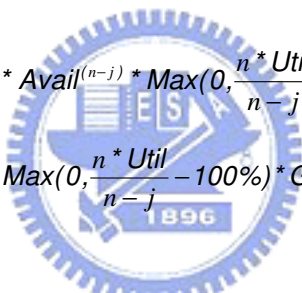
假設產品有 r 個機台 Group，則第 i 個機台 Group 之 run WIP_i 為

$$\text{Run WIP}_i = \text{Run WIP Level} * \text{Process Time}_i / \text{Theoretical Cycle Time}$$

(2).如何決定 Waiting WIP?

Waiting WIP 的定義是指在機台前等待生產的 WIP，其目的是保護瓶頸，避免因機台變異而讓瓶頸產能 Loss，然而非瓶頸機台當機嚴重時，也可能產生暫時瓶頸。若非瓶頸機台產能很空(Utilization 低)，即使當了一部分機台仍然未形成暫時瓶頸，所以剩餘產能(非瓶頸產能減去瓶頸產能)也有保護瓶頸的功用。所以機台前 STD Waiting WIP 可以以機台剩餘產能觀點衡量。機台當機對下游瓶頸的影響=機率*影響程度。

假設工廠有 r 個機台群組，每機機台群組有 n 個機台，則第 i 個機台群組之 STD Wait WIP_i 為：

$$\text{Wait WIP Level} * \sum_{j=1}^n C_j^n (1 - \text{Avail})^j * \text{Avail}^{(n-j)} * \text{Max}(0, \frac{n * \text{Util}}{n-j} - 100\%) * \text{Group Capacity}_i /$$
$$\left(\sum_{i=1}^r \left(\sum_{j=1}^n C_j^n (1 - \text{Avail})^j * \text{Avail}^{(n-j)} * \text{Max}(0, \frac{n * \text{Util}}{n-j} - 100\%) * \text{Group Capacity}_i \right) \right)$$


當第 i 個機台群組的 STD Running WIP_i and STD Waiting WIP_i 決定後，則第 i 個機台群組之 STD WIP_i = STD Running WIP_i + STD Waiting WIP_i

Example: 假設工廠內只有兩個群組的機台 Gate oxide 爐管及 I-line Stepper，全部製程步驟只有 Gate oxide 一次及 I-line 2 次共三個步驟。其中 Gate oxide 的 process time 為 6 小時，而 I-line 的 process time 為 44 分鐘。在 2006 九月份情況是工廠總 WIP 5,000 pcs，其中 Running WIP 2,000，Waiting WIP 3,000。Gate oxide 爐管機台數共有 11 台，其機台使用率為 80%、avail 為 88%，Group capacity 為 10,000 pcs；I-line Stepper 機台數共 10 台，其機台使用率為 99%、avail 為 92%，Group capacity 為 12,000 pcs。

Running WIP 計算如下：

Gate oxide 機台的 Running WIP 為：2,000*6/(6+44/60*2)=1,607

I-line 機台的 Running WIP 為：2,000*(44/60*2)/(6+44/60*2)=393

Waiting WIP 計算如下：

Gate Oxide 機台變異的影響程度(EQP Variability impact)為:

$$(C_i^{11} * (1-0.88)^i * 0.88^{(11-i)} * (11 * 80\% / ((11-1) - 100\%)) + \dots + C_{11}^{11} * (1-0.88)^{11} * 0.88^{(11-11)} * (11 * 80\% / ((11-11) - 100\%))) * 10,000 = 2.1 * 10,000 = 21,000$$

I-line Stepper 機台變異的影響程度(EQP Variability impact)為:

$$(C_i^{10} * (1-0.92)^i * 0.92^{(10-i)} * (10 * 99\% / ((10-1) - 100\%)) + \dots + C_{10}^{10} * (1-0.92)^{10} * 0.92^{(10-10)} * (10 * 99\% / ((10-10) - 100\%))) * 12,000 = 9.1 * 12,000 = 109,200$$

Gate Oxide 機台的 STD Waiting WIP=3,000*21,000/(21,000+109,200)=484

I-line Stepper 機台的 STD Waiting WIP=3,000*109,200/(21,000+109,200)=2,516

各機台群組的 STD WIP 計算如下: Gate Oxide 機台的 STD WIP = STD Running WIP + STD Waiting WIP = 1,607+484=2,091
I-line 機台的 STD WIP = STD Running WIP + STD Waiting WIP = 393+2,516=2,909

各個機台群組的 STD WIP 決定了，但機台群組的 STD WIP 只代表哪些地方該有多少 WIP，要用來作為生產控制還不夠，因為半導體製程迴流的特性，某個機台群組，如曝光機 I-line，可能用於開始的步驟，也可能用於中後段的製程，所以知道 I-line STD WIP 不足並不知道是位於製程中哪一段 I-line 的 WIP 不足。如前所言，要能夠調整工廠中產品生產順序與快慢，尚須以製程觀點訂出 STD WIP Profile。

一般而言，工廠內的作業流程都以製程觀點之流程圖為主，所謂製程觀點之流程圖即是以生產之產品為主，描述其加工程序。在晶圓廠中，由於製造程序冗長，動則 300~500 步驟，若以每個製程步驟加以分析則過於複雜，在限制理論(Theory of Constraints, TOC) [Goldratt et al. 1986a,b; Goldratt et al. 1990a,b] 中也強調只有瓶頸機台或限制機台產能的流失才會影響總產出，因此晶圓廠中分析報表都是將數個步驟合併成一個步驟，稱為 Stage。如 KSR(Key Stage Report)即是工廠內最主要的生產報表之一，所謂 Stage 通常是指一個製程的小模組，所以一個 Stage 中大多只有一個步驟需要在所謂限制機台上加工，其他都是依些量測等不重要的步驟。但通常一個產品的 stage 數約為 100~150 左右，且不同的產品對 stage 的命名就會有差異，例如 DPSN 在 Generic Logic 與 HV，stage 的位置就不同，而且對於一百多個 stage 要管理也不容易找出重點，所以必須將 stage 再做整合。我們將所有產品製程分成 10 個 sector，S1~S10 分別代表 stage 的 10 個區段，不會有 stage 前後同名，

容易混淆的問題，且比較容易清楚看出 WIP 分佈，所以對於 WIP profile 決定模式的研究以 sector 為單位較為適合。除了以 sector 為單位之假設外，本研究並做了以下幾點假設：

1. 生產型態為訂單式生產
2. 系統限制為機台產能，沒有人力因素及缺料問題
3. 假設限制是在工廠的生產能力，有足夠的訂單，限制不在市場。
4. 機台除了當機外，不會因為其他因素而停機。
5. 已知工廠之總 WIP。

我們想建構一個以製程為觀點的理想 WIP Profile 分布，假設工廠有 i 種產品，每種都分成 j 個區段。則根據 Little' s Law : $WIP = CT * Output$

第 i 種產品第 j 段 STD WIP $_{ij} = CT_{ij} * Output_{ij} = X\text{-ratio}_{ij} * \text{Theoretical } CT_{ij} * Output_{ij}$ 其中，
 $X\text{-ratio}_{ij} = (\text{Full Process } CT / \text{Theoretical } CT)$ of Part i

根據等候理論調整各區段 STD X-ratio，並保持 $\sum_{i=1}^n X_{ij} * TCT_{ij} = CT \text{ Target}_i$

第 j 段 $STD WIP_j = \sum_{i=1}^n Output_i * X_{ij} * TCT_{ij}$

Wait Time = WIP/Capacity * Process Time

Wait Time / Process Time = X ratio = WIP / Capacity = WIP / (Tool Qty * Batch Size)

EX: GateOx 11 set WIP 2000pcs, X-Ratio = 2000/(11*150)=1.21

表 3-2 STD WIP and Target T/R

| Sector | STD WIP | | | | | | Target T/R | | | | |
|------------|---------------|-------------|---------------|---------------|---------------|---------------|------------|------------|------------|------------|------------|
| | TTL | % | D | P | E | T | Avg. | D | P | E | T |
| S1 | 6,210 | 8% | 4,967 | 1,146 | 97 | | 2.0 | 1.7 | 4.4 | 6.0 | - |
| S2 | 13,868 | 18% | 10,529 | 2,018 | 1,073 | 248 | 2.3 | 1.9 | 3.7 | 5.3 | 5.2 |
| S3 | 7,757 | 10% | 4,685 | 1,212 | 1,339 | 521 | 2.3 | 1.7 | 3.5 | 4.6 | 3.3 |
| S4 | 18,987 | 25% | 7,160 | 4,105 | 2,650 | 5,072 | 3.0 | 2.5 | 3.7 | 5.4 | 2.5 |
| S5 | 8,968 | 12% | | 1,214 | 2,309 | 5,445 | 3.5 | - | 3.3 | 3.9 | 3.4 |
| S6 | 8,623 | 11% | | 1,217 | 2,253 | 5,154 | 3.0 | - | 2.8 | 3.2 | 3.0 |
| S7 | 3,546 | 5% | | 806 | 363 | 2,377 | 3.8 | - | 2.3 | 5.8 | 3.9 |
| S8 | 2,707 | 4% | | 417 | 912 | 1,378 | 4.1 | - | 2.4 | 4.0 | 4.5 |
| S9 | 3,756 | 5% | | 526 | 1,195 | 2,035 | 3.3 | - | 4.3 | 4.0 | 2.8 |
| S10 | 1,571 | 2% | | | 1,571 | | 1.8 | - | - | 1.8 | - |
| TTL | 75,993 | 100% | 27,343 | 12,659 | 13,761 | 22,231 | 2.8 | 2.0 | 3.5 | 4.1 | 3.2 |

Step 3: 建立管制圖，現場派工控制投料避免瓶頸及 Profile 飄移

當 STD WIP 的 Formula 訂定之後，我們將產品的製程分成 10 個區段(Sector)，每個區段的 STD WIP 可以由公式推導出來，各區段內各種機台群組的 STD WIP 也可以算出來了，之後我們可以利用管制圖的原理，對每個區段訂定 WIP 之上下限(control limit)，當 WIP 超出 control limit，則啟動補救措施。

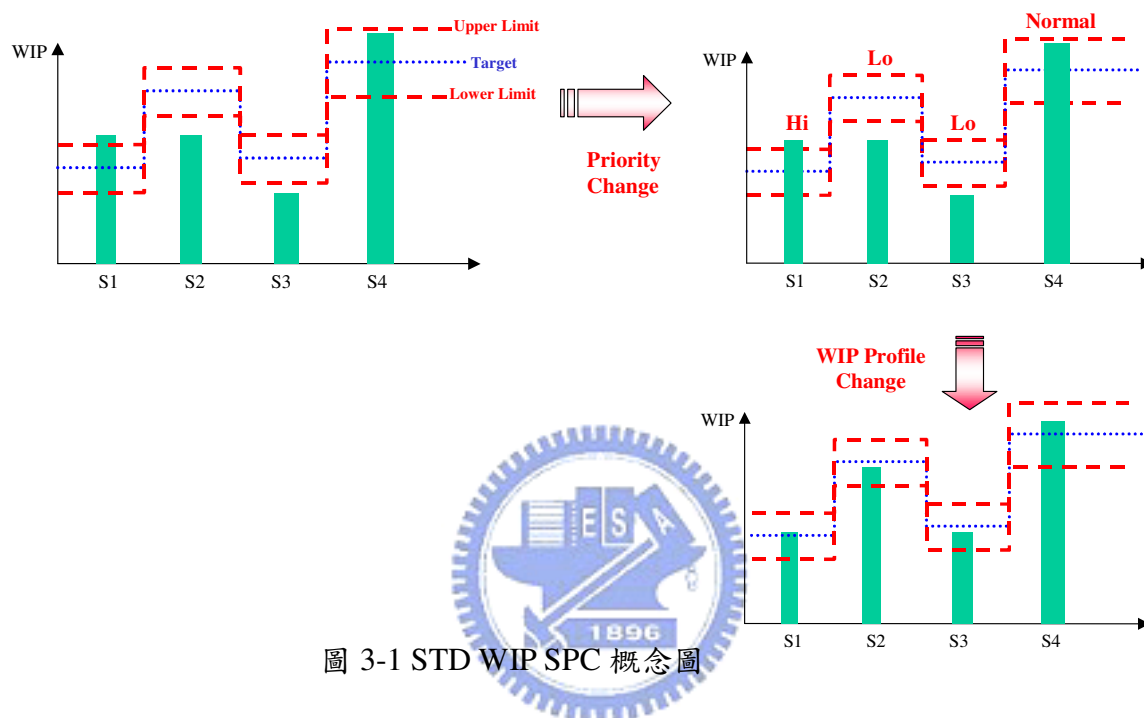


圖 3-1 STD WIP SPC 概念圖

表 3-3 STD WIP 分配及 STD WIP Upper/Lower Limit

| Sector | STD WIP | | | | | | Target T/R | | | | | Low Limit | | Upper Limit | |
|------------|---------------|-------------|---------------|---------------|---------------|---------------|------------|------------|------------|------------|------------|-----------|------|-------------|------|
| | TTL | % | D | P | E | T | Avg. | D | P | E | T | | | | |
| S1 | 6,210 | 8% | 4,967 | 1,146 | 97 | | 2.0 | 1.7 | 4.4 | 6.0 | - | 5,589 | -10% | 6,831 | +10% |
| S2 | 13,868 | 18% | 10,529 | 2,018 | 1,073 | 248 | 2.3 | 1.9 | 3.7 | 5.3 | 5.2 | 12,481 | -10% | 15,255 | +10% |
| S3 | 7,757 | 10% | 4,685 | 1,212 | 1,339 | 521 | 2.3 | 1.7 | 3.5 | 4.6 | 3.3 | 6,982 | -10% | 8,533 | +10% |
| S4 | 18,987 | 25% | 7,160 | 4,105 | 2,650 | 5,072 | 3.0 | 2.5 | 3.7 | 5.4 | 2.5 | 17,088 | -10% | 20,885 | +10% |
| S5 | 8,968 | 12% | | 1,214 | 2,309 | 5,445 | 3.5 | - | 3.3 | 3.9 | 3.4 | 8,071 | -10% | 9,865 | +10% |
| S6 | 8,623 | 11% | | 1,217 | 2,253 | 5,154 | 3.0 | - | 2.8 | 3.2 | 3.0 | 7,761 | -10% | 9,486 | +10% |
| S7 | 3,546 | 5% | | 806 | 363 | 2,377 | 3.8 | - | 2.3 | 5.8 | 3.9 | 2,482 | -30% | 4,610 | +30% |
| S8 | 2,707 | 4% | | 417 | 912 | 1,378 | 4.1 | - | 2.4 | 4.0 | 4.5 | 1,895 | -30% | 3,519 | +30% |
| S9 | 3,756 | 5% | | 526 | 1,195 | 2,035 | 3.3 | - | 4.3 | 4.0 | 2.8 | 2,629 | -30% | 4,883 | +30% |
| S10 | 1,571 | 2% | | | 1,571 | | 1.8 | - | - | 1.8 | - | 1,100 | -30% | 2,042 | +30% |
| TTL | 75,993 | 100% | 27,343 | 12,659 | 13,761 | 22,231 | 2.8 | 2.0 | 3.5 | 4.1 | 3.2 | | | | |

派工方式:DBR 認為對非瓶頸機台只要配合瓶頸機台排程即可，通常用 FIFO，但當瓶頸機台可能缺料時，則以會立即造成瓶頸缺料的工件優先加工。

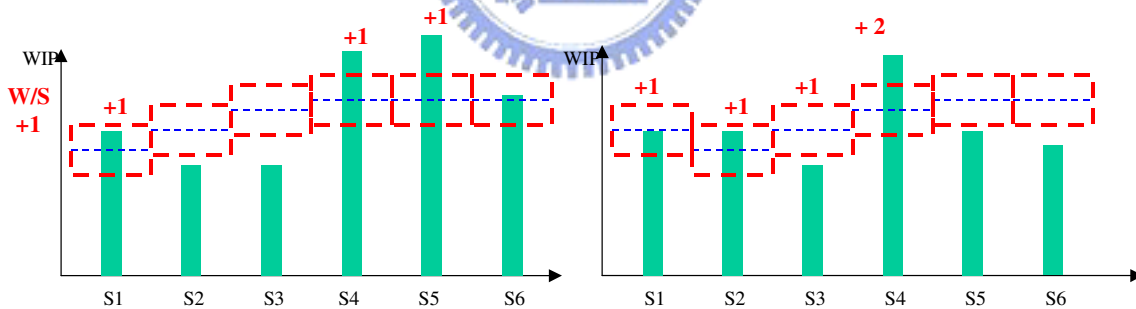
依照圖 3-1 的概念，設計一派工原則如下：

- (1). Set Set S_n high priority if S_n WIP over upper limit
- (2). Set S_{n-1} high priority if WIP of S_n below lower limit
- (3). If S_n below lower limit and S_{n-1} over upper limit, S_{n-1} High Priority lot double
- (4). If consecutive sectors (ex: S_n & S_{n+1}) below lower limit, upside priority forward and quantity of upside priority sectors = below lower limit sectors

根據以上原則，設計讓電腦可以了解之派工法則如圖 3-2 及表 3-4

表 3-4 派工法則評分表

| Sector | S1 | S2 | S3 | S4 | S5 | S6 | S7 | S8 | S9 | S10 | Rule Discription |
|-------------|------|------|--------|-------|--------|--------|----|----|----|-----|--|
| WIP | N | N | L | H | L | L | N | N | N | N | |
| Init. Score | 0 | +1 | 0 | +2 | +1 | 0 | 0 | 0 | 0 | 0 | See Dispatching Rule |
| Qty Gap | 100 | 500 | -1,000 | 3,000 | -1,000 | -2,000 | 0 | 0 | 0 | 0 | Qty Gap = Act WIP - STD WIP |
| Gap Accu. | -400 | -500 | -1,000 | 0 | -3,000 | -2,000 | 0 | 0 | 0 | 0 | Gap Accu. _n = Qty Gap _n + Gap Accu. _{n-1} |
| Gap Score | +1 | | | | | | | | | | If Gap-Accu.<0 & Qty Gap >0 & Init. Score =0, Gap Score = +1 |
| Score | +1 | +1 | 0 | +2 | +1 | 0 | 0 | 0 | 0 | 0 | Score = Init. Score + Gap Score |



Note: +1 means 30% WIP upside priority to (2,20), W/S +1 means more wafer start
 +2 means 60% WIP upside priority to (2,20)

圖 3-2 派工法則示意圖

Step 4: 監控瓶頸飄移及採取補救措施

除了監控系統之外，我們需了解“Murphy”會對我們造成多大的影響及後續採取之補救行動的成效，我們需建立一套預測系統。

利用一套分析工具 Utilization FCST System (試算表方式，如表 3-4 所示)，了解(FCST)未來

一週或一個月 B/N 的位置，採取補救措施，並預測補救措施的效果。

批量大小：瓶頸機台的加工批量越大越好，這樣瓶頸就不用常作 Setup，盡量減少產能損耗。非瓶頸機台則盡量以小批量加工，因為非瓶頸有賸餘產能，即使浪費一些 Setup 也無傷大雅，且小批量加工可以有效縮短 Cycle Time。

縮小當機對 Profile 的影響：利用限制理論中的緩衝管理(Buffer Management)的做法，監控瓶頸機台前的工作是否再預定時間尚未到達，如果尚未到達，則必須加以趕工或機台調配，以避免瓶頸因缺貨而損失產能。

監控管理：瓶頸資源使用緩衝區管理可以得知哪些物料尚未到達，但無法得知該物料在哪幾個站別被延誤了，因此有必要對重點之非瓶頸資源(關鍵機台)作監控管理。針對保護產能較少的非瓶頸資源或當機率較高隻機台選為關鍵機台，判斷關鍵機台是否產生瓶頸(WIP 異常)，並找出原因，採取補救措施(機台調配)。

表 3-5 Utilization FCST

| EQP. Group | D01 | D02 | D03 | D04 | D05 | D06 | D07 |
|---------------------------|--------|--------|--------|--------|--------|--------|--------|
| High Temp | 102.6% | 72.9% | 83.6% | 110.2% | 136.5% | 185.6% | 266.3% |
| High Current Implanter | 71.5% | 68.4% | 82.2% | 95.0% | 102.1% | 121.0% | 146.9% |
| Mid Current Implanter | 92.5% | 98.0% | 118.4% | 145.0% | 187.3% | 237.9% | 308.6% |
| SIN | 90.3% | 92.8% | 76.1% | 61.0% | 96.2% | 129.1% | 188.4% |
| NS | 108.5% | 56.2% | 61.3% | 100.2% | 95.0% | 80.6% | 74.5% |
| Gate Oxide | 87.7% | 83.1% | 99.3% | 85.2% | 84.9% | 70.3% | 85.6% |
| D-POLY | 96.7% | 68.3% | 86.7% | 111.1% | 103.7% | 91.3% | 75.7% |
| Thin Oxide | 115.9% | 91.2% | 65.3% | 76.3% | 86.6% | 112.6% | 129.1% |
| HTO | 65.5% | 50.7% | 65.5% | 77.9% | 55.6% | 67.0% | 69.6% |
| ANNL | 79.7% | 101.2% | 104.3% | 110.7% | 123.1% | 145.4% | 175.7% |
| BPSG FLOW + S/D密化 | 76.7% | 68.6% | 57.3% | 46.7% | 63.3% | 59.0% | 67.1% |
| ALLOY (AL9) | 62.2% | 80.0% | 95.9% | 86.9% | 77.8% | 83.8% | 84.6% |
| ALLOY (Baking + Curing) | 70.4% | 83.8% | 72.5% | 95.4% | 83.4% | 95.7% | 94.4% |
| BPSG (DSABP) | 87.2% | 67.6% | 59.6% | 46.4% | 61.6% | 60.8% | 61.9% |
| SIH4 | 99.8% | 114.9% | 128.9% | 148.3% | 178.0% | 205.7% | 235.6% |
| Sputter (non_mocvd,non_m) | 87.9% | 69.8% | 83.3% | 83.5% | 83.1% | 85.9% | 90.0% |
| Sputter (MOCVD) | 92.7% | 77.8% | 71.3% | 87.2% | 74.8% | 77.2% | 79.5% |
| Sputter (Al - MS) | 57.0% | 97.3% | 68.9% | 80.8% | 96.3% | 74.4% | 74.1% |
| WCVD | 87.2% | 91.6% | 86.8% | 93.7% | 89.6% | 94.0% | 88.4% |

Step 5: 逐步降低 WIP Level

Cycle Time 改善為一持續過程，當以上步驟可以穩定執行且瓶頸未發生產能損失，進一步降低 WIP 水位，例如：某工廠的月產出 60,000pcs，各產品平均 Stage 數為 120，目前 turn rate 3.0，Cycle time 為 40 天，STD WIP = $60,000 * 40 / 30 = 80,000$ ，因為各站 STD WIP 的訂定，容易了解問題所在，進行改善，經過改善原先容易堆積 WIP 的機台得到改善，我們有信心將 WIP 降 5%，STD WIP = $80,000 * 95\% = 76,000$ ，此時 Cycle Time Target 變為 $76,000 / 60,000 * 30 = 38$ 天，只要控制好機台群組的變異，重複上述步驟，STD WIP 便可逐步降低，重複上述步驟。



第四章 WIP SPC 效果驗證

4.1 生產數據分析比較

針對晶圓代工廠要提升”短交期與準時交貨”的競爭優勢，本研究從 WIP 的控管下手，先訂定各區段 STD WIP，進而利用 SPC 的觀念，當 WIP 超出 control limit 即採取補救措施(action plan)，使 WIP 恢復 balance，而不用怕瓶頸機台 loss 而堆積多餘 WIP，當 WIP 可以合理控制時，再逐步降低 WIP 水位，慢慢 cycle time 就得到改善。

表 4-1 改善前、改善後之生產數據

| 績效指標 | 改善前 (May-06~Jul-06) | 改善後 (Aug-06~Oct-06) |
|----------------------------------|------------------------|------------------------|
| Per layer cycle time (days/L) | 1.84 | 1.60 |
| Wafer out per month (pcs) | 54,500 | 61,400 |
| Average WIP (pcs) | 79,400 | 83,175 |
| CLIP (%) | 92.5% | 98.4% |
| Daily Move | 208,440 | 240,278 |
| Stepper Utilization | 90.2% | 97.8% |

4.2 有效性驗證

為了驗證新的 WIP 管理方法對 cycle time 改善是有效，我們採取假設檢定來驗證結果。May-06~Jul-06 (共 92 天)採用舊式的生產管理模式 ($\mu_1=1.84, \sigma^2=0.15$)，Aug-06~Oct-06 採用新的管理模式(WIP SPC, $\mu_2=1.60, \sigma^2=0.02$)，兩者的生產週期是否有顯著的差異？

表 4-2 生產週期之假設檢定

| | | |
|-------------------------|-----------------------|--------------|
| 生產週期(cycle time) | May-Jul | Aug-Oct |
| 樣本數 | 92 | 92 |
| 樣本平均數 | $\mu_1=1.84$ | $\mu_2=1.60$ |
| 變異數(σ^2) | 0.15 | 0.02 |
| 檢定統計量(Z) | 7.01 | |
| $H_0: \mu_1 \leq \mu_2$ | 棄卻域 $\alpha = 5\%$ | $Z > 1.65$ |
| $H_1: \mu_1 > \mu_2$ | | Reject H_0 |

由表 4-2 得知:在採用新的 WIP 管理模式(WIP SPC)之後，Cycle time 有顯著的改善，

信心度大於 95%。

4.3 其他效益

除了生產指標得到改善之外，生產線 Supervisor 的工作負擔也得到改善，在導入 STD WIP SPC 之前，Supervisor 為了要達成交期(CLIP; Customer Line Item Performance 及 CVP; Customer Volume Performance)必須將注意力放在產出線，對於較落後的產品提高 Priority，如此行為也造成 Line balance 破壞，另外為了 Move 必須將 Line balance 調整好，兩種行為及對生產線的派工除了 Supervisor 疲於奔命，有時需顧產出線，有時又要顧 Line balance，現場的作業人員對於朝令夕改的派工也常無所適從，久而久之對 Supervisor 的派工指示陽奉陰違，對 Supervisor 的管理威信造成傷害。

在 STD WIP SPC 導入之後，Supervisor 只要專心注意產出線及交期，Line balance 問題由 STD WIP SPC 自動調整，作業人員只要遵循 Priority 作業即可，Supervisor 的工作負擔變輕了，可以更專心且有多餘的時間顧好其他生產指標。



第五章 結論及未來研究方向

針對晶圓代工廠要提升”短交期與準時達交”的競爭優勢，本研究由兩大方向之一，針對如何不影響 Move 量下降低 WIP。由實際生產數據很明顯 WIP SPC 可以有效降低 Cycle Time 及提升達交率。如圖 5-1 所示，在改善後(Jul-06~Oct-06)即使 WIP 及產出(move)增加，但 cycle time 仍然比改善前短，平均可以維持在 1.6 天/Layer 左右。

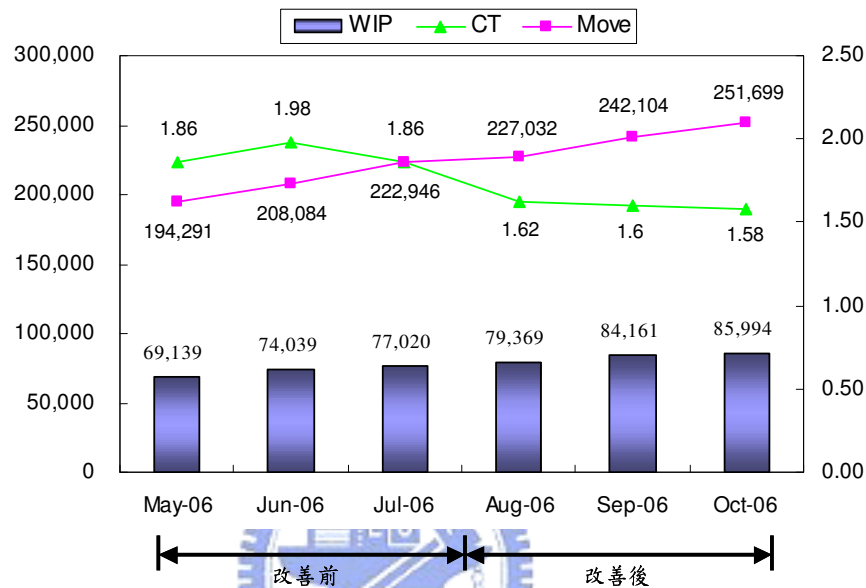


圖 5-1 改善前、改善後之 WIP 與 cycle time 相關圖

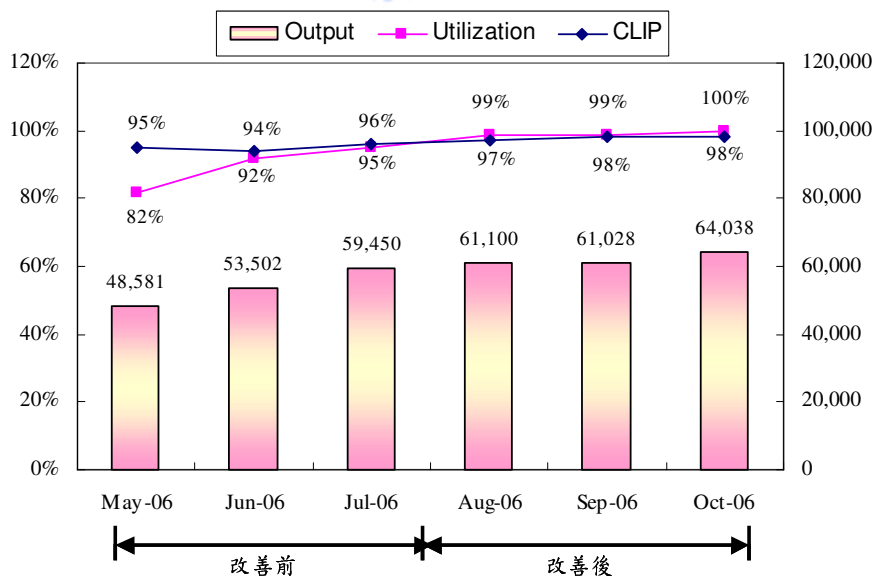


圖 5-2 改善前、改善後之 utilization 與 CLIP 相關圖

如圖 5-2 所示，在改善後(Jul-06~Oct-06)即使產出及使用率(utilization)增加，但 CLIP(Customer Line Item Performance)仍由 95%提升至 98%。

在研究過程中對於訂定 STD WIP，為考慮管理方便起見將全工廠分為 10 個區段，其實如果資源許可，建議以 stage 為 WIP SPC 的單位，可以更有效考慮細微 WIP 的 Profile。

另外在訂定各機台群組之 STD WIP 時，有一些對 WIP 有影響的因子，因本論文的研究重點並不在於 STD WIP 的訂定，故對於較難衡量之因子忽略，如：

(1).Recipe match dispatching (Furnace / CS)

化學站(Cheical Station)的目的是作為進爐管前的清洗，不同的爐管程式(Recipe)需搭配不同的化學站程式，如果有 2 批不同爐管程式的 lot 抵達化學站前，化學站只能 run 下站爐管要 run 的 lot，令一個 lot 就要等待，所以化學站會因此多一些 WIP 出來，STD WIP 也必須較高。

(2).綁機 (Photo)

Photo 製程在 critical layer 會有綁機的現象，例如某一 lot 在製程 P1 使用機台 1A-I200，當到達下一個 critical 製程 Contact 時只能使用 1A-I200。若此時 1A-I200 當機或有其他 lot 要 run，即使其他機台是閒置，也不能 run 此批 lot，所以 Photo 的 WIP 會多一些出來，STD WIP 也必須較高。

如何考慮以上情況，訂定更準確的 STD WIP，都可以為未來之研究方向。



參考文獻

1. 王永珍，「限制理論應用於晶圓製造廠之生產規劃與控制」國立交通大學工業工程與管理學系，碩士論文，2004。
2. 吳鴻輝，李榮貴，「限制趨導式現場排程與管理技術」，全華科技圖書股份有限公司，2003。
3. 杜瑩美，「晶圓製造廠之在製品管理模式」，國立交通大學工業工程與管理學系，博士論文，1998。
4. 黃承龍，「瓶頸漂移現象之分析與其管理對策之研究」國立交通大學工業工程與管理學系，博士論文，1998。
5. Glassey C.R. and Resende, M.G.C., “Closed-loop Job Release Control for VLSI Circuit Manufacturing”, IEEE Transactions on Semiconductor Manufacturing, Vol. 1, No.1, pp. 36-46, February 1988.
6. Lawton, J.W., Drake, A., Henderson, R., Wein, L.M., Whitney, R., and Zuanich, D., “Workload Regulating Wafer Release in a GaAs Fab Facility” IEEE Int’l Semiconductor Manufacturing Science Symposium, pp. 33-88, 1990.
7. Miller, D.J. “Simulation of a semiconductor manufacturing line”, Communication of The ACM 33/10, pp. 99-109, 1990.
8. Wein, L.M., “Scheduling Semiconductor Wafer Fabrication” , IEEE Transactions on Semiconductor Manufacturing, Vol.1, No.3,pp.115-130, August 1988.