

國立交通大學

電機學院 電子與光電學程

碩 士 論 文

高均流和快速線性穩壓技術應用於

交錯式電源轉換器之晶片設計與實現

Precise Current Balance and Fast Line Regulation Skills
in the Interleaved Power Converter

研 究 生：劉兆軒

指 導 教 授：陳科宏/陳紹基 教授

中 華 民 國 九 十 六 年 六 月

高均流和快速線性穩壓技術應用於
交錯式電源轉換器之晶片設計與實現

Current Balance and Fast Line Regulation Skills in the Interleaved
Power Converter

研究生：劉兆軒

Student：Chao-Hsuan Liu

指導教授：陳科宏/陳紹基 博士

Advisor：Dr. Ke-Horng Chen

Dr. Sau-Gee Chen



A Thesis

Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics and Electro-Optical Engineering

June 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年六月

高均流和快速線性穩壓技術應用於 交錯式電源轉換器之晶片設計與實現

研究生： 劉兆軒

指導教授： 陳科宏博士/陳紹基博士

國立交通大學 電機學院 電子與光電學程碩士班

摘 要

應用在交錯式電源轉換器上的均流技術有分傳統的電壓下降法和主動均流法，這些方法都會存在一些缺點值得我們注意。傳統的斜率控制法會受限於可允許的工作電壓範圍，主動均流法是利用共用匯流排的技術作為每個相位之間電流資訊傳遞的媒介，但卻往往需要一個額外的接腳。除此之外，傳統的斜率控制法常使用外加電阻的方式來實現均流，卻會因為電流通過電阻而產生 I^2R 的功率耗損，並不適用於大電流的操作情況。

本論文將針對上述的缺點，實現一改進的均流方式應用在交錯式電源轉換器上，此方式採用電晶體感測電流的方法取代原先串接電阻來感測電流的方法，藉此降低功率的消耗。改進的均流法是將兩兩項位所感測到的電流相減，將所得到的差值配合主僕式的控制法達成高均流的目的。至於線性穩壓的部份，將有別於傳統利用電流控制法的方式，而是採用隨著輸入電壓的改變動態調整三角波的斜率，進而快速調整每一模組的工作週期以達到快速線性穩壓的目的。最後將會提到內建式的測試調整電路，其目的是希望在晶片製造後能將有誤差的電路去作調整，將有問題的電路去作取代，並且能方便且快速獲得晶片的量測資訊。

整個電路是採用台積電三五微米 CMOS 製程來進行模擬與佈局，模擬結果可以驗證使用改良後的均流法跟線性穩壓方式應用在交錯式電源轉換器上，將可達到高均流且快速穩壓的目的。

Precise Current Balance and Fast Line Regulation Skills in the Interleaved Power Converter Implementation

Student : Chao-Hsuan Liu

Advisor : Dr. Ke-Horng Chen

Dr. Sau-Gee Chen

Degree Program of Electrical and Computer Engineering
National Chiao-Tung University

ABSTRACT

The current balance skills applied to the interleaved power converter are classified into traditional droop method and active current-sharing method. There are some disadvantages worth noticing in these methods. The traditional method, droop method, is restricted by permissible working voltage range. However, the active current-sharing method regards the technology, sharing bus, as transmission media of the current information between each phase, but it always needs an extra pin. Moreover, the traditional droop method carries out current balance by using additional resistance, but it leads to the power consumption of I^2R due to the current flowing through the resistance. So that it is not appropriate for the operating situation of high current.

This thesis aims at above-mentioned shortcomings to realize an improved current balance technique to apply in interleaved power converter. Instead of resistant connection, the method adopts the detecting current way of the electric crystal to reduce the power consumption. The improved current balance is the difference of current between each two phases cooperating with master-slave control method to achieve precise current balance. As for the line regulation, which is distinct from the traditional way of current control, dynamically regulates the saw-tooth slope according to the variation of input voltage and further gets fast line regulation by regulating the duty cycle of each module in high speed. Finally, the embedded testing-tuning circuit that is expected to effectively improve the accuracy of the circuits reduces the influence due to the process imperfection to obtain the measuring data of chips conveniently.

The proposed circuit is fabricated by TSMC (Taiwan Semiconductor Manufacturing Company) 0.35-micron CMOS process. Simulation results demonstrate the performance of the improved current balance method. Besides, it also achieves precise current balance and fast line regulation for the interleaved power converters

誌謝

能夠完成本論文首先我要向我的指導教授 陳科宏博士及陳紹基博士致上萬分的感謝，在我三年多來的學習以及研究過程中，老師熱心的教導，讓我獲益良多。

感謝 802 低功率混合訊號晶片設計實驗室同學及學弟 耀德、伯欽、哲偉、德賢、雄哥、宏璋、杰青、君晏、顯章、永昇、鈞元、孫槿、岳璋、銘勝、鴻源、豐煜、玉惠、立家、奐箴、文毅。

感謝我的偉大父母，使我能夠順利完成碩士學位，也感謝我的兄弟及朋友們 大弟、小弟、榮明、昀澤、實林、郁婷、在這段艱苦的日子裡能陪伴我度過。

最後，謹以此篇獻給所以在關心我的人。



目錄

誌謝	v
目錄	vi
圖示	ix
表列	xii
第一章	1
概論	1
1.1 研究背景	1
1.1.1 介紹切換式轉換器	1
1.1.2 工業導向	2
1.1.3 線性轉換器 (<i>Linear Converter</i>)	2
1.1.4 介紹同步切換式穩壓器 (<i>Synchronous Switching Converter</i>)	3
1.1.5 介紹並聯式的電源供應器	4
1.1.6 介紹交錯式電源供應器	5
1.2 研究動機及目的	5
1.3 論文大綱	7
第二章	8
應用在交錯式直流-直流轉換器相關技術的回顧	8
2.1 降壓式轉換器的基本架構原理	8
2.1.1 連續導通模式之分析	9
2.1.2 不連續導通模式之分析	13
2.2 電流感測 (<i>Current Sensing</i>) 的方式	15
2.2.1 電阻型感測電路	15
2.2.2 濾波器型感測電路	19
2.2.3 電晶體感應型感測電路	20
2.2.3 其他類型感測電路	22
2.3 電壓控制模式 (<i>Voltage Mode Control</i>)	23

2.3.1	TYPEII 電壓補償電路.....	23
2.3.2	TYPEIII 電壓補償電路.....	24
2.3.3	電壓前饋控制 (<i>Voltage Feed-Forward Control</i>)	25
2.4	電流控制模式 (<i>Current Mode Control</i>)	26
2.4.1	磁滯電流控制 (<i>Hysteresis Current Control</i>)	26
2.4.2	峰值電流控制 (<i>Peak Current Control</i>)	28
2.4.3	平均電流控制 (<i>Average Current Control</i>)	29
第三章		31
改良式的均流、線性穩壓和內建測試調整電路的方式.....		31
3.1	傳統均流方式的分析、應用和缺點.....	31
3.1.1	電壓下降法 (<i>Voltage Droop Method</i>)	31
3.1.2	主動均流法 (<i>Active Current-Sharing</i>)	33
3.2	改良式均流方式的建製.....	34
3.2.1	原理分析.....	35
3.2.1	比較及闡述.....	36
3.3	改良線性穩壓的方式.....	38
3.4	內建測試調整電路.....	40
3.4.1	想法及目的.....	40
3.4.2	原理、原則及分類.....	41
第四章		42
整體系統電路架構介紹		42
4.1	系統部份 (<i>System Block</i>)	42
4.2	<i>PWM</i> 控制器及功率電晶體部份.....	44
4.3	電流感測和取樣保存部份.....	46
4.4	均流和誤差控制信號處理部份.....	47
4.5	連接及分壓電路 (<i>Glue and Bias</i>)	48
4.5	電壓量測電路 (<i>Voltage Meter</i>)	49
第五章		51
電路設計、分析、實現及模擬結果.....		51
5.1	制定規格 (<i>Define Specifications</i>)	51
5.1.1	規格驗證.....	51
5.2	系統分析 (<i>System Analysis</i>)	52

5.2.1 調幅器(<i>Modulator</i>)	53
5.2.2 輸出濾波器 (<i>Output Filter</i>)	53
5.2.3 取樣電路 (<i>Sampling Network</i>)	54
5.2.4 輸出 <i>RLC</i> 濾波系統 (<i>Output RLC Filter System</i>)	54
5.2.5 <i>TYPEIII</i> 誤差放大器設計 (<i>TYPEIII EA Design</i>)	56
5.3 偏壓電路設計	59
5.3.1 傳統固定轉導偏壓電路 (<i>Traditional Constant gm Bias Circuit</i>) ...	59
5.3.2 寬擺幅電流鏡 (<i>Wide Swing Current Mirror</i>)	60
5.3.3 寬擺幅固定轉導偏壓電路	63
5.3.4 寬擺幅固定轉導偏壓電路模擬	63
5.4 帶差參考電壓源電路 (<i>BANDGAP</i>)	66
5.4.1 原理分析	67
5.4.2 帶差參考電路模擬	68
5.5 三角波產生器 (<i>Saw-Tooth</i>)	71
5.6 時脈產生器 (<i>Clock Generator</i>)	74
5.7 電流感測電路	77
5.8 取樣保存電路	79
5.9 均流處理器電路	81
5.9.1 電壓誤差信號鏡像電路	82
5.9.2 均流誤差處理電路	83
5.10 內建測試調整電路	85
5.10.1 如何啓動 <i>ETTC</i> 模式	85
5.10.2 模式種類選擇解碼電路	86
5.10.3 電壓量測模式電路	87
5.10.4 元件取代模式電路	90
5.10.5 電路調整模式電路	92
5.11 系統電路模擬結果	94
5.11.1 負載穩壓模擬結果	95
5.11.2 線性穩壓模擬結果	97
5.11.3 改良式均流法模擬結果	98
第六章	100
結論與未來方向	100
6.1 結論	100
6.2 未來研究方向	100
參考文獻	101

圖示

圖 1 並聯式穩壓器.....	3
圖 2 並聯式電源供應器.....	4
圖 3 降壓式轉換器基本架構.....	9
圖 4 基本的降壓式直流轉換器.....	10
圖 5 功率開關 Q 在導通時之等效電路.....	10
圖 6 功率開關 Q 在截止時之等效電路.....	11
圖 7 降壓轉換器在不連續倒通之等效電路.....	14
圖 8 降壓轉換器在不連續導通之等效電路.....	15
圖 13 積分型電流感測電路.....	22
圖 14 混合型電流感測電路.....	23
圖 15 <i>TYPEII</i> 補償的電壓控制模式.....	24
圖 16 <i>TYPEIII</i> 補償的電壓控制模式.....	25
圖 17 電壓前饋控制波形圖.....	26
圖 18 磁滯電流控制.....	27
圖 19 峰值電流控制.....	28
圖 20 平均電流控制.....	30
圖 21(A) 典型電壓下降法的基本原理圖.....	32
圖 21(B) 典型電壓下降法的基本原理圖.....	32
圖 22 改良式動態均流方式.....	36
圖 23 輸出電壓隨著輸入電壓改變而變化.....	38
圖 24 補償的方式使輸出電壓不會因為輸入電壓的改變而變化.....	39
圖 25 放電電流隨著輸入電壓增加而等比例增加的實現電路.....	40
圖 26 整個系統電路方塊圖.....	43
圖 27 PWM 控制器及功率電晶體部份.....	44
圖 28 系統啟動至穩定間工作週期的變化.....	45
圖 29 電流感測和取樣保存部份.....	46
圖 30 均流及物差控制信號處理部份.....	48
圖 31 偏壓電路及數位控制信號處理部份.....	49
圖 32 電壓量測電路部份.....	50
圖 33 降壓轉換器的基本方塊組成圖.....	53
圖 34 調幅器.....	53
圖 35 輸出濾波器.....	54
圖 36 輸出 <i>RLC</i> 濾波系統電路圖.....	55

圖 37 輸出 <i>RLC</i> 濾波增益示意圖及 <i>HSPICE</i> 實際模擬結果	55
圖 38 <i>TYPEIII</i> 誤差放大器頻率響應模擬圖.....	57
圖 39 總開迴路增益頻率響應關係設計圖及 <i>HSPICE</i> 模擬圖.....	58
圖 40 固定轉導偏壓電路	59
圖 41 二極體連接形式電晶體偏壓電流鏡電路.....	61
圖 42 含寬擺幅電流鏡之固定轉導偏壓電路.....	63
圖 43 寬擺幅偏壓電路模擬結果.....	65
圖 44 帶差參考電壓電路圖	66
圖 45 米勒補償二階運算器(<i>BANDGAP_OP</i>)電路圖.....	67
圖 46 運算放大器(<i>BANDGAP_OP</i>)的頻率響應.....	69
圖 47 運算放大器(<i>BANDGAP_OP</i>)的頻率響應.....	69
圖 48 最小供給電源電壓模擬.....	70
圖 49 電源拒斥比模擬	70
圖 50 三角波產生器	71
圖 51 三角波產生器電路圖	72
圖 52 三角波產生器電路的模擬結果.....	73
圖 53 時脈產生器	75
圖 54 產生相位差 180 度 500KHz 時脈的電路圖.....	76
圖 55 產生相位差 180 度 500KHz 時脈模擬圖.....	76
圖 56 不同電壓下充放電電流模擬.....	77
圖 57 電流感測電路模擬結果.....	79
圖 58 取樣保持電路.....	80
圖 59 模擬結果.....	81
圖 60 均流處理器電路	82
圖 61 電流相減電路	84
圖 62 啟動 <i>ETTC</i> 模式.....	86
圖 63 模式種類選擇解碼電路.....	87
圖 64 電壓量測模式整體電路圖.....	88
圖 65 電壓量測模式半電路圖.....	89
圖 66 電壓量測模式下--量測時脈信號的波形圖.....	89
圖 67 電壓量測模式下一量測三角波信號的波形圖.....	90
圖 68 元件取代模式—功能選擇解碼電路.....	91
圖 69 元件取代模式相關電路圖.....	92
圖 70 可調式電阻電路圖.....	93
圖 71 改良式均流及線性穩壓應用在交錯式直流-直流轉換器系統電路圖.....	94
圖 72 負載穩壓的模擬結果	95
圖 73 負載變化相對於輸出電壓的變化圖.....	96
圖 74 負載電流由 400MA 變化到 1200MA 相對於輸出電壓變化放大圖	96
圖 75 負載電流由 1200MA 變化到 400MA 相對於輸出電壓變化放大圖	97

圖 76 雙相位交錯式轉換器線性穩壓的模擬結果.....	98
圖 77 整體電路使用改良式均流法模擬結果.....	99



表列

表格 1 規格和參數 (<i>SPECIFICATIONS AND PARAMETERS</i>)	51
表格 2 規格和參數 (<i>SPECIFICATIONS AND PARAMETERS</i>)	68
表格 3 三角波產生器的模擬數據表	73
表格 4 時脈產生器的模擬數據表.....	75
表格 5 電壓量測模式下的功能列表.....	88
表格 6 元件取代模式下的功能列表.....	91
表格 7 電路調整模式下的功能列表.....	92



第一章

概論

1.1 研究背景

爲了比傳統的電壓或電流控制轉換器在載流變化時能有更短的反應時間，我們可以利用切換的頻率來達到快速反應的目的。但增加切換頻率往往會造成更大的功率消耗，低轉換效能和縮短電池的壽命。而且在切換時損失的能量會作用在功率電晶體上產生熱能，降低電晶體的可靠使用性。大的電流輸出往往暗示需要更大的電感體積提供使用，而大的電感體積將有可能造成使用規格上的不符合。針對目前的一些限制跟一些急需的要求，必須將電源轉換器作架構上的改善才能滿足。本節將就以前一些交換式電源穩壓器的演進及操作方式做簡單的介紹。



1.1.1 介紹切換式轉換器

所謂切換式轉換器就是藉由切換開關功率電晶體的方式，將電壓源轉換成一個較爲穩定的輸出電壓來提供負載，切換式電源穩壓器在 1950 年就已經發表了，但當時由於需要更先進，可利用性，可靠性的電晶體才可建製，因此限制了它的應用，只用於軍事及航太方面。直到西元 1970 年，先進製程的開發，於是廣爲大家應用在電源供應器上。

直流轉直流的切換式轉換電路是利用動態切換開關的方式來轉換成一穩定的電源，這些切換式穩壓器應用在高效能的電源供應系統上。

跟線性的穩壓器比較，切換式電源轉換器具有更高的功率轉換效能及提供更高的電流密度。

1.1.2 工業導向

在過去的幾年，直流-直流轉換器的技術已經不斷的革新，且所提供的電流源的電壓，也由原本的 $5V$ 降到現今的 $1.5V$ ，但在這同時所需要供應的負載電流卻拉高到一個令人難以想像的地步，一些電力系統，目前需要 $2.5V\ 60A$ ， $1.8V\ 60A$ ，甚至 $1V\ 100A$ 的電流，接下來的未來，提供的電壓將會朝向 $0.5V$ 邁進，而電流則期望拉高至 $400A$ 。

一般的動態要求之於直流-直流切換是穩壓器[2]，是希望當副載電流由 $75A \rightarrow 100A$ 時，*slew rate* 能滿足 $100A/usec$ 且輸出電壓要小於 $60\ mV$ 的誤差值。在這同時也必需要在 $4\ us$ 內達到輸出電壓 $\pm 1.5V$ 以內，以上這些要求對於一個提供高電流，低電壓的電流穩壓器來說是極其困難的事，因此目前的電路設計者正嘗試藉著改變電源供應器架構的方式來達到低壓高電流的目的。

在 1999 年，所達到的功率密度 $25W/in^3$ ，at $5V$ ，2001 年時，已達到在 $3.3V$ 下功率密度為 $40W/in^3$ ，而現在來說功率密度已經達到 $40W/in^3$ 以上甚至到達 $90W/in^3$ ，有這些進步是因為在電磁元件上的持續革新，才能達到既要增加功率密度又要能提高效能的目的。

接下來要能大幅度提升轉換的功率效能是直到同步穩壓轉換器的完成後，特別是跟低壓有關的轉換器結合同不穩壓器及交錯式的技巧，將使得傳統的轉換器可以提升到 90% 的轉換效能，且一般都能到達 85% 的轉換效能。

交錯式(*interleaved*)或多相式(*multi phase*)轉換器，提供了比單一電力系統轉換器所沒有的好處，比如說能大幅降低輸出電流的漣波效應，且在負載改變轉換時能有快速的反應速度，有盡 90% 的功率效能。

1.1.3 線性轉換器 (*Linear Converter*)

以下有兩種的線性的轉換器電路[1]：串聯和並聯兩種，它們唯一的不同在於輸出的電壓是否有經過穩壓。

(1) 線性串聯式的穩壓器[2]：

藉由電晶體串聯輸出負載來控制輸出電壓的線性模式。一個誤差放大器來感應直流輸出電壓，經由取樣電阻 R_1 ， R_2 所得的取樣電壓來跟參考電壓 (V_{REF}) 做比較。誤差放大器的輸出端接到串聯電晶體 (NPN) 的閘極端，形成一個電流放大器的架構，輸出的電壓就是由誤差放大器產生的輸出電壓扣掉電晶體 V_{GS} 的電壓，藉由這種方式來達到穩定輸出電壓的目的。當輸出的電壓隨著負載電流的減小而增加時，取樣電壓也會相對的增加，此時誤差放大器的輸出將會減小達到負回授穩壓。

(2) 線性並聯式穩壓器[2]：

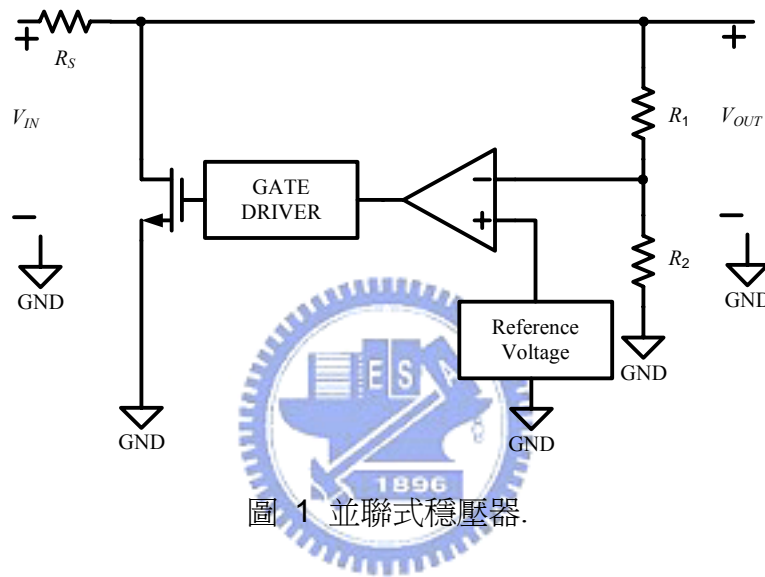


圖 1 並聯式穩壓器.

並聯式穩壓器，則在電源輸入端加一個 R_S 的串聯電阻，因此輸入電壓如下：

$$V_{OUT} = V_{IN} - (I_{LOAD} + I_S)R_S \quad (1)$$

I_S 是並聯電流，此並聯式的穩壓器對輸入電壓十分不敏感，且其效能如下：

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT}I_{LOAD}}{V_{IN}I_{LOAD}} = \frac{V_{OUT}}{V_{IN}} \quad (2)$$

當 R_S 增加或 I_{LOAD} 增加時，會產生很大的功率散逸，造成效能的降低。

1.1.4 介紹同步切換式穩壓器 (**Synchronous Switching Converter**)

最簡單的直流-直流切換式轉換器電路[1]包含兩個半導體切換元件（一個是切換電

晶體，一個是切換二極體）一個電感器和一個電容器。同步切換式轉換器則是將原先基本型的切換 *Diode* 由一個切換電晶體取代，同步切換式轉換器之於基本型的好處是它可以免除一個 *Diode* 的壓降電壓，減少轉換時的功率消耗問題。

1.1.5 介紹並聯式的電源供應器

傳統上的電源供應器都採用單一的電源模組提供電源給所有的系統使用，但是單一的電源模組會產生的問題是散熱及功率元件承受大量電流應力問題。因此為了解決這些問題，往往會將功率元件並連使用，如圖 2 所示，將每個小的電源模組並聯使用，稱之為分散式的電源系統 (*Distributed Power System*) [2] 常應用在電腦 CPU 及通訊系統上。

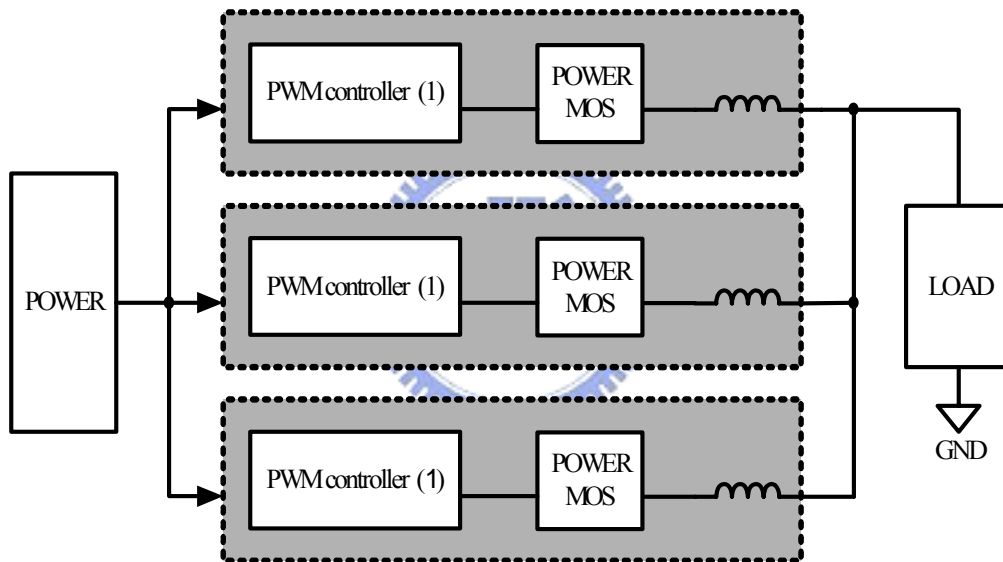


圖 2 並聯式電源供應器.

並聯式電源供應器另一個好處是可以做成 $K+A$ 組單一電源模組並聯的架構，假設 K 組是正常供電的組數， A 組是額外的並聯電源模組，當 K 組電源模組裡面有一組失去供電的功能時，可以將故障的模組退出供電而由 A 組裡面額外的模組裡面取一組進行置換，這種架構的好處是可以提高系統的穩定性，電源供應器的耐用性及使用期限。

雖然在並聯式電源供應器使用上有這麼多的好處，但其缺點也是值得我們注意的，首先是“均流 (*current balance*)”的問題，並聯後的單位去提供整體系統的電流，必須要做到每個模組提供的電流能平均分配，若均流的機制不能做好，其中一個模組承受

過大的電流，將會嚴重降低此架構的耐用性。其次是“輸出電流漣波控制(*current ripple control*)”的問題，因為是並聯的結構，每單一元件有其獨立的電源及 *PWM* 控制系統，當輸入的電壓改變時，每單一元件的線性穩壓不見得一致，其產生的效應則由線性穩壓控制最差的模組來決定，此外每個元件為獨立的系統，輸出的電流漣波並沒有達到抑制的效果，總體的輸出電流漣波的表現，也會由最差的模組來決定。

1.1.6 介紹交錯式電源供應器

吸收並聯式的電源供應器的優點，並針對其缺點部分去改進，提出了多相式 (*Multi-Phase*) 或是交錯式 (*Interleaved*) 的電源供應器。本文以後提及此類的電源供應器統一都稱為“交錯式 (*Interleaved*)”電源供應器。

交錯式電源供應器的優點是：可以達到快速反應 (*fast transient response*) 及高頻操作 (*high-frequency operation*) 的目的。

此外交錯式電源供應器還具有一項優點，那就是電流漣波抵銷的特性 (*current ripple cancellation characteristic*)，就能量的消耗觀點來分析，在交錯式的控制下，每一個相位的單一電源模組將可以操作在較低頻的情形下，因此在切換耗能 (*switching loss*) 上將會比高頻操作要相對少很多，這也是相較於並聯式電源供應器的另一項好處。其次是並聯式電源供應器有“輸出電流漣波控制 (*current ripple control*)”的問題，因為是並聯的結構，每單一相位有其獨立的電源及 *PWM* 控制系統，當輸入的電壓改變時，每個別相位的線性穩壓不見得一致，所以其產生的效應則由線性穩壓控制最差的模組來決定，此外每個元件為獨立的系統，輸出的電流漣波並沒有達到抑制的效果，總體的輸出漣波的表現，也會由最差的模組來決定。

1.2 研究動機及目的

目前應用在交錯式轉換器上均流的機制，大致分斜率控制法 (*Droop Method*) 和主動式均流法 (*Active Current-Sharing Method*) 傳統的斜率控制法會受限於系統的工作電

壓關係，使其斜率無法提高，而主動式均流法利用分享排線 (*Sharing Bus*) 的技術，會造成一個缺點，就是需要一個額外的接腳去接收個別模組的電流資訊，以上的這些方式都需要額外的電阻作為電流偵測的媒介，這些感測電阻往往會造成多餘功率消耗的問題。因此本篇論文採用電晶體感應型電流感測電路，去感測電感前端電壓的方式，來獲得個各相位轉換器的電流資訊，此方法的功率的消耗相對於感應電阻的方式會小很多，另外只需利用簡單的延遲取樣技術，配合最短的回授路徑，來達到防止取樣訊號失真，更精確均流控制的目的。

線性穩壓 (*Line Regulation*) 部份，也是交錯式轉換器關注的部份，傳統轉換器在線性穩壓的功能部份是採用電流控制補償技術 (*Current Mode Control*)，內建在每一個單一模組裡面，本文採用將輸入電壓變化的誤差資訊，直接提前在三角波產生器時去做線性穩壓補償的動作，如此可以使輸出電壓受到輸入電壓的影響降到最低，而且相較於電流補償的技術有更快的反應時間。

除此之外，本文還提出“內建測試調整電路” (*Embedded Testing and Tuning Circuit*) 的方式，簡稱 *ETTC*。其目的是希望晶片製程完成後，原先製程製造上的誤差可以利用“調整電路”來修正使其精確，至於內建的“測試模組電路”，則是希望能在快速的時間內得到 *IC* 一些相關的重要資訊，內部元件有錯誤失效的部分能利用此電路達到修補取代該內部元件的動作。

綜合前面的這些想法，建構在交錯式轉換器裡面，是希望能達到簡易建構，精確操作，且快速偵測修補的目的。

1.3 論文大綱

本篇論文分五個章節來驗證，分析和討論所提出的架構概念和想法。各章節的標題及內容簡述如下：

第一章 概論：旨在說明論文的研究背景，研究動機及目的。

第二章 應用在交錯式直流-直流轉換器相關技術的回顧。

第三章 改良式均流，線性穩壓，及內建測試調整電路的方法，應用在交錯式直流-直流轉換器上。

第四章 整體系統電路架構介紹。

第五章 電路架構及電路的實現及模擬：針對之前提出改良式交錯式直流-直流轉換器的想法，實際實現在電路上，並對該電路去模擬及驗證。

第六章 結論及未來展望：對提出的論文做個總結及說明未來可改進的部份。



第二章

應用在交錯式直流-直流轉換器相關技術的回顧

就我們所知交錯式直流-直流轉換器經常使用在多組降壓電路 (*buck converter*) 上，因此在分析所改進之均流、線性穩壓及測試調整原理或接下來章節有關電路實現模擬時，決定都在交錯式直流-直流降壓式轉換器 (*Multi-Phase DC-DC buck converter*) 的基本架構上去討論及實踐，其原因是結構簡易，單純，更能突顯改進部分之於原來電路的優勢跟好處。爲了讓大家對交錯式直流-直流降壓轉換器有更進一步的認識，第二章將從降壓轉換器的基本架構原理開始介紹起，接著爲了均流設計跟電路保護裝置，我們將回顧一些電流感測技術 (*current sensing*)，最後爲了使電路能穩定，必需要有負回授機制，因此提出電壓及電流回授控制模式文獻回顧作爲參考。

2.1 降壓式轉換器的基本架構原理

在提及交錯式直流-直流降壓式轉換器 (*Interleaved DC-DC buck converter*) 前，我希望從單一相位的降壓式轉換器開始分析，一步步去建構實現我們所要的電路。

降壓式轉換器是最基本的電源轉換器[1]，圖 3 爲降壓式轉換器最基本的架構。由一個功率電晶體 Q ，一個二極體 D ，及 LC 濾波器與負載所組成。 Q 和 D 是擔任開關的工作。

當 Q 導通時輸入電壓 V_I 將會提供電源至負載，此時電流就會順向地流經電感，使電感上的電流增加，電流不是瞬間流過電感，而是呈現線性的增加，二極體的負端電壓約爲 V_I ，因此呈現逆向偏壓狀態，輸出電容 C 會被充電。

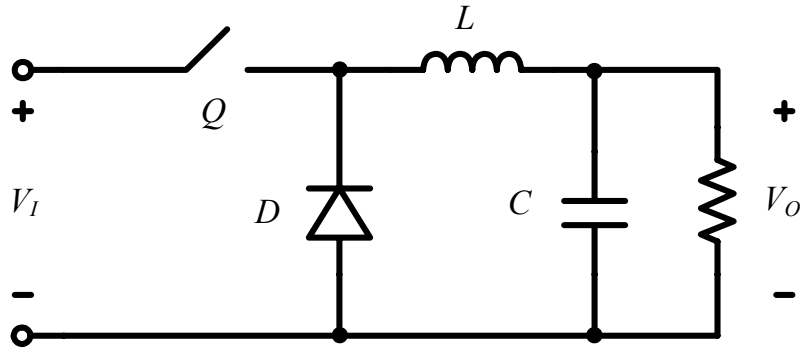


圖 3 降壓式轉換器基本架構.

若電晶體 Q 呈現截止狀況時，電感所儲存的磁場將被釋放，為了達到平衡，電感器 L 本身的極性也會被反轉，此時二極體的負端電壓將變為負，所以 D 為順向導通的操作模式，原來在電容 C 中所儲存的能量，便經由電感釋放到負載上，電感的磁場呈現衰退，此時輸出電壓的極性仍相同，在此電路之中如果沒有這個二極體的迴路，儲存在電感器上的能量就沒有路徑可以釋放出來，瞬間 di/dt 的作用會產生很大的電壓尖波 (voltage spike)，使相連接的功率元件遭到破壞。

降壓式轉換器操作的情形主要是依照電感 L 上所儲存的磁通交連 ($Flux Linkage=[V_i-V_o]DT_s$) 與復原之磁通交連 ($=V_o[1-D]T_s$) 之關係，來決定電感上電流的導通模式，我們一般根據電感上電流大於零與等於零，區分為連續導通模式 ($CCM Mode$) [1]與不連續導通模式 ($DCM Mode$) [1]，以下是對這兩種模式的分析。

2.1.1 連續導通模式之分析

連續導通模式 ($Continuous-Conduction Mode, CCM$):

要呈現連續導通模式，最簡單的解釋就是電感器的電流無論何時都保持不小於 0 的狀態，又稱之為重負載模式 ($Heavy Load Mode$)。

$$[V_i - V_o]DT_s = V_o[1 - D]T_s \quad (3)$$

一般都操作在連續導通模式 (CCM) 可以獲得較好的輸出性能。

由於轉換器在連續導通模式 (CCM) 所以流經電感器的電流並不會降為零，因此在每個交換週期裡僅有兩個操作狀態，第一個狀態是電晶體 Q 在導通期間，電感器之電

流 I_L 會從初始值（大於零）增至最高值。第二種狀態就是 Q 在截止期間，負載在電感提供之能量得以補充，在導通模式圖 5 之電路圖可知，其電感兩端的電壓為：

$$V_L(t) = V_{L(on)} = V_I - V_O \quad (4)$$

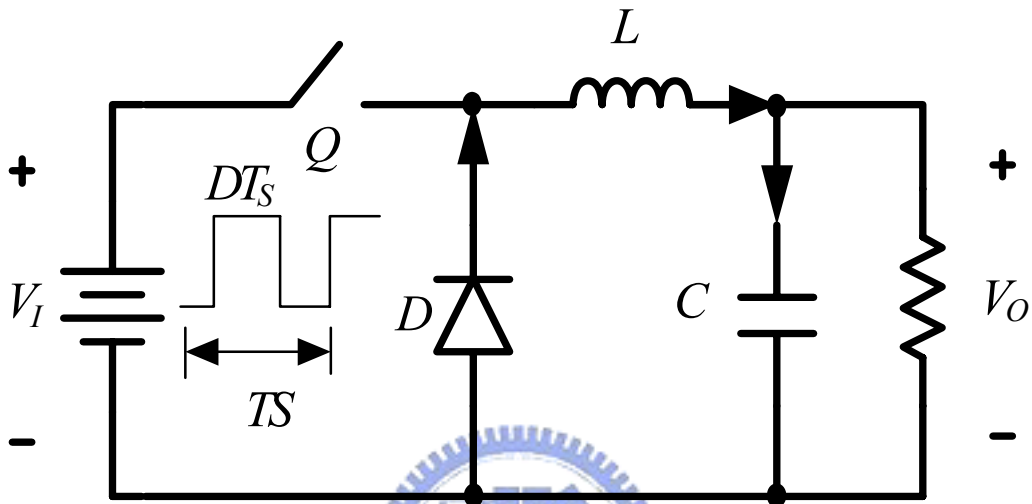


圖 4 基本的降壓式直流轉換器.

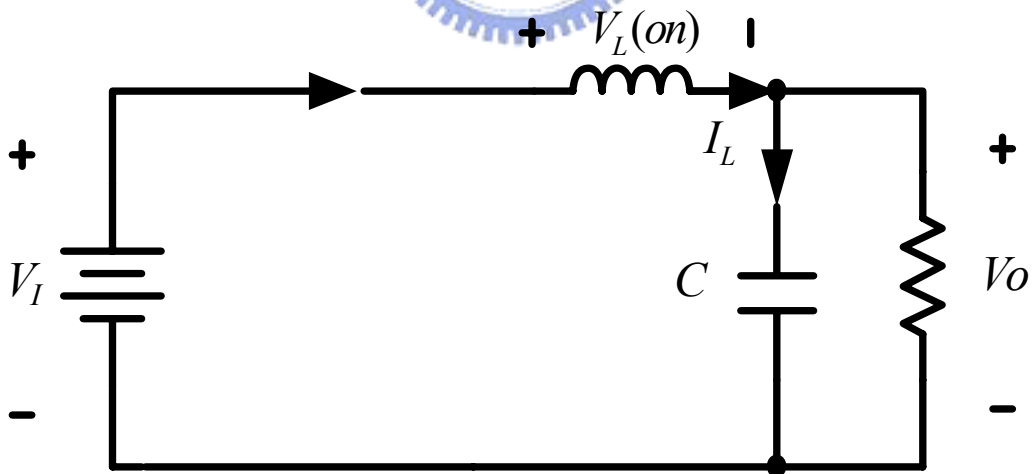


圖 5 功率開關 Q 在導通時之等效電路.

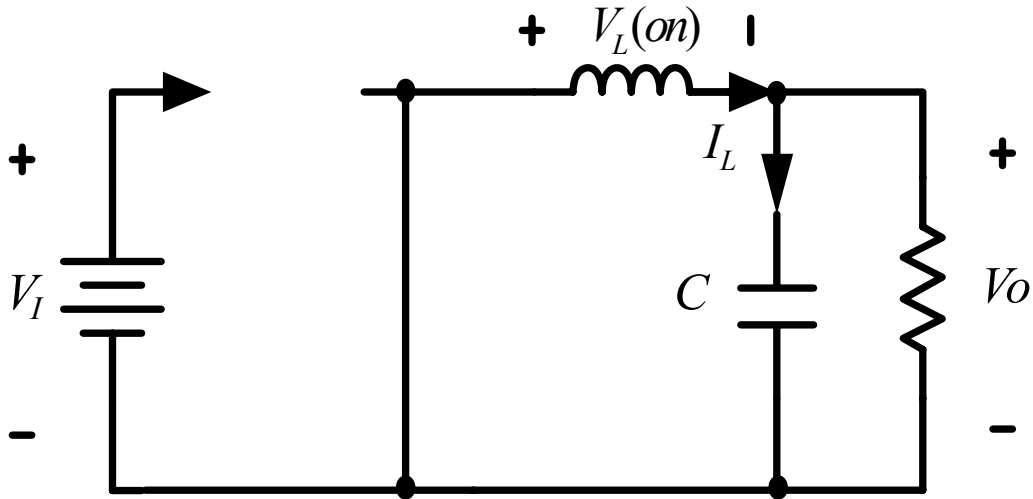


圖 6 功率開關 Q 在截止時之等效電路。

流經電感器的電流為 $(0 \leq t \leq DT_s)$

$$\begin{aligned}
 i_L(t) &= i_L(0) + \frac{1}{L} \int_{0}^t V_L(t) dt \\
 &= i_L(0) + \frac{1}{L} \int_{0}^t V_{L(on)} V_{L(on)} dt \\
 &= i_L(0) + \frac{1}{L} V_{L(on)} t \\
 &= i_L(0) + \frac{1}{L} (V_I - V_O) t
 \end{aligned} \tag{5}$$

在 $t = t_{ON} = DT_s$ 時，由(5)式可得

$$i_L(DT_s) = i_L(0) + \frac{1}{L} (V_I - V_O) DT_s \tag{6}$$

第二個狀態是功率電晶體 Q 在截止期間。此時電感上的電壓瞬間反轉，此時二極體導通，電感上的能量將提供至負載端，其電流會慢慢衰減至原來初始的值。所以 Q 截止時，由圖 6 可得電感上兩端的電壓為：

$$V_L(t) = V_{L(OFF)} = V_I - V_O \tag{7}$$

此時流經電感器的電感電流為 $(DT_s \leq t \leq T_s)$

$$\begin{aligned}
i_L(t) &= i_L(DT_s) + \frac{1}{L} \int_{DT_s}^t V_L(t) dt \\
&= i_L(DT_s) + \frac{1}{L} \int_{DT_s}^t (-V_{L(OFF)}) dt \\
&= i_L(DT_s) + \frac{1}{L} (-V_{L(OFF)})(t - DT_s) \\
&= i_L(DT_s) + \frac{1}{L} (-V_o)(t - DT_s)
\end{aligned} \tag{8}$$

當 $t = T_s$ 時由(8)式可知

$$i_L(T_s) = i_L(DT_s) + \frac{1}{L} (-V_o)(1-D)T_s \tag{9}$$

在轉換器穩態時，由(6)與(9)式可得

$$i_L(T_s) = i_L(0) + \frac{1}{L} (V_I - V_o)DT_s + \frac{1}{L} (-V_o)(1-D)T_s \tag{10}$$

因此

$$(V_I - V_o)DT_s = V_o(1-D)T_s \tag{11}$$

即

$$V_{L(ON)}DT_s = V_{L(OFF)}(1-D)T_s \tag{12}$$

由上式可看出這就是電晶體 Q 導通和截止期間，電感器達到電壓-時間之平衡 (*voltage-second balance*) 整理一下上式得到輸出與輸入的關係如下

$$\frac{V_o}{V_I} = D = \frac{T_{ON}}{T_s} \tag{13}$$

由上式可得知一個重要的觀念，這個觀念將廣泛應用到這篇論文之中。就是輸入電壓 V_I 和工作周期 D 成反比，換句話說，就是當輸入電壓有所變動時，可以改變工作週期來補償，此時輸出的電壓就可保持一恆定性，進一步思考就是藉由這種補償方式可以使得轉換器維持很高的線性穩壓 (*Line Regulation*)。

此外，亦可知輸出電壓 V_o 和工作周期 D 成正比，因此輸出如果當接收到重負載，使得輸出電壓下降時，則負回授電路便負責感受其電壓降，然後增加其工作週期，式輸出電壓回復至原本恆定之值。這回授相關的現象就是負載穩壓 (*Load Regulation*)。

此種回授的過程方式，並不會造成轉換器內部的功率消耗，這是交換式電源轉換器

能夠操作在極高效率的原因。

若假設功率的轉換沒任何能量損失，則

$$P_I = P_O \Rightarrow V_I I_I = V_O I_O \quad (14)$$

所以

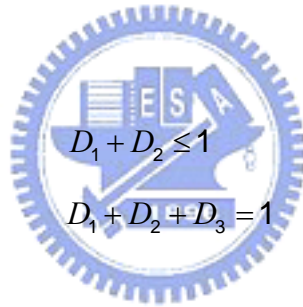
$$\frac{I_O}{I_I} = \frac{V_I}{V_O} = \frac{1}{D} \quad (15)$$

2.1.2 不連續導通模式之分析

不連續導通模式 (*Discontinuous-Conduction Mode : DCM*) :

此模式下電感器的電流會有沒電流的情況，也就是說電感電流的最小值會有降到為零而行成不連續的情形，此種模式亦稱之為輕載模式 (*Light Load Mode*)。等效電路如下圖 7 :

由圖 7(c)可得



$$(V_I - V_O)D_1 T_s = V_O D_2 T_s \quad (16)$$

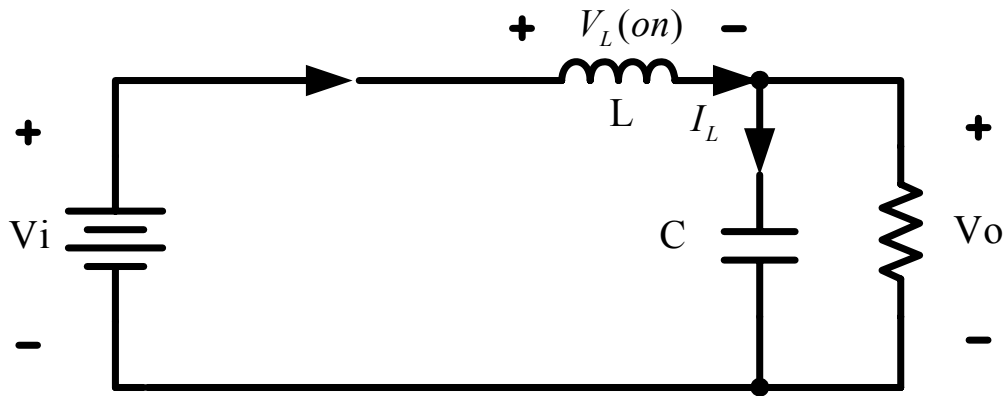
由(16)式得到輸出與輸入電壓的關係

$$\frac{V_O}{V_I} = \frac{D_1}{D_2 + D_3} \quad (17)$$

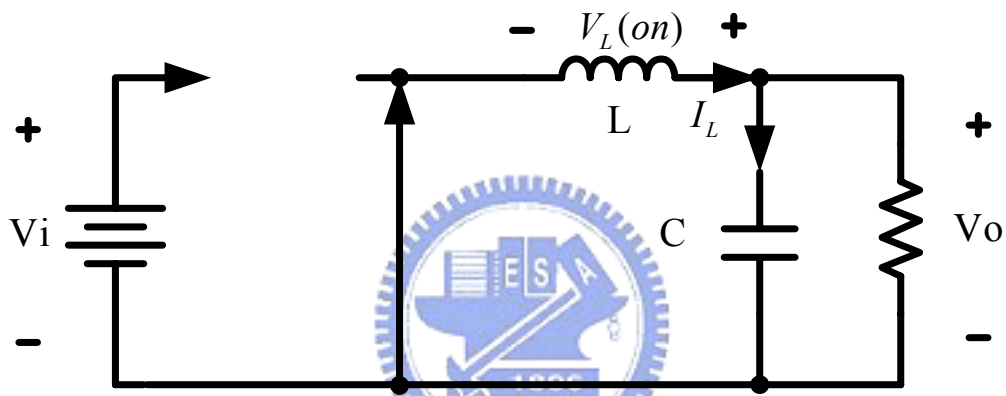
並可求 D_1 和 D_2 的關係及電感值 L 為

$$L = \frac{D_2 + (D_1 + D_2)V_O T_s}{2I_O} \quad (18)$$

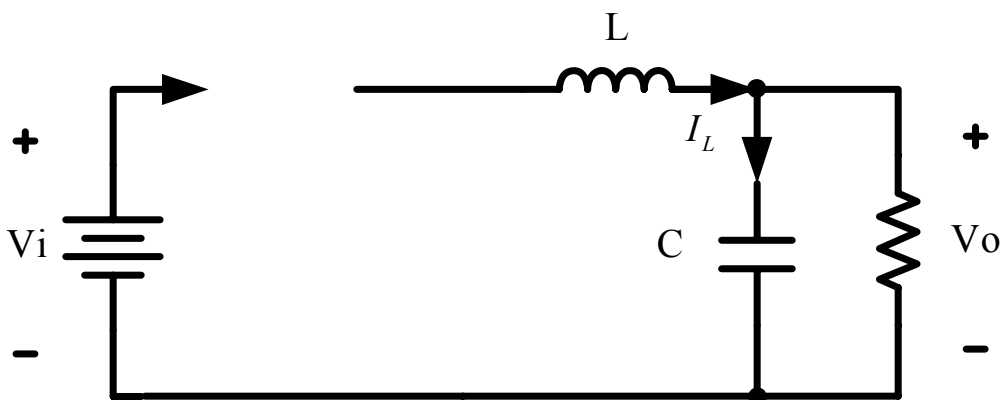
$$D_2 = \frac{-D_1 + \sqrt{D_1 + \frac{8L}{RT_s}}}{2}$$



(a) Q導通, D截止



(b) Q截止, D導通



(c) Q截止, D截止

圖 7 降壓轉換器在不連續倒通之等效電路。

2.2 電流感測 (*Current Sensing*) 的方式

電流感測技術的主要用途是去偵測某些元件或某條線路上的電流，其目的在當偵測電流超過某個限度，則運用一些方法或控制機制，降低電流以保護電路。通常會去量測元件的兩端電壓，此電壓一定跟待測電流有一定的關係，或是串接一小電阻的方式，利用在電阻上，電壓和電流呈線性正比關係，來得知電流的變化。電流感測的方式的不同，除了有精確度的不同外，還會嚴重影響到整體電路的功率效益。以下是之前各種電路型態下的電流感測技術：

2.2.1 電阻型感測電路

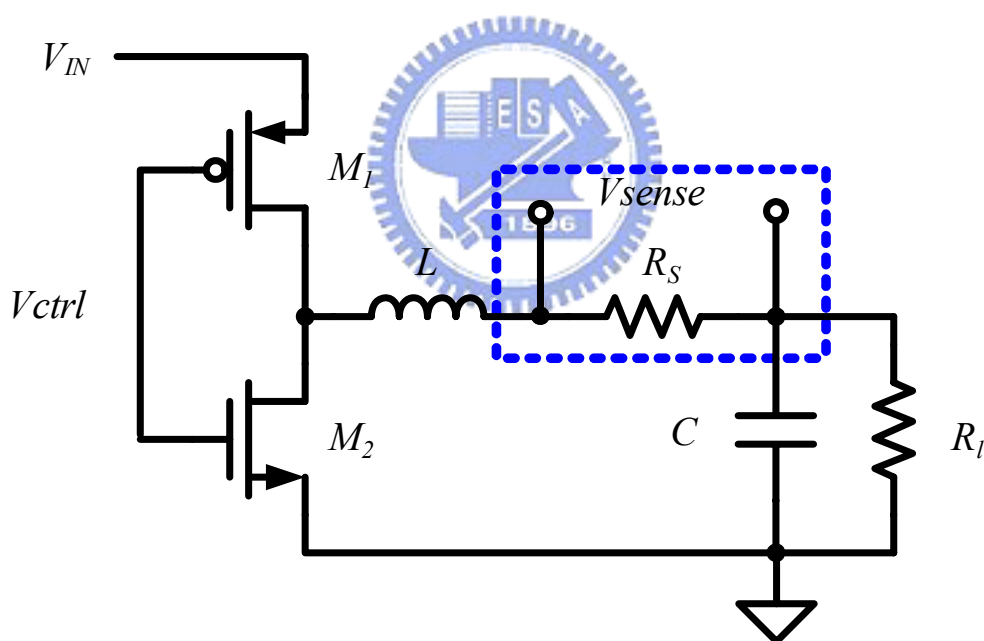


圖 8 降壓轉換器在不連續導通之等效電路。

顧名思義，電阻型的感測電路就是在要測量的線路上串聯一個電阻，依照歐姆定律，電阻的電壓跟電流成正比的特性，電流感測技術的主要用途是去偵測某些元件或某條線路上的電流，其目的在當偵測電流超過某個限度，則運用一些方法或控制機制，降

低電流以保護電路. 通常會去量測元件的兩端電壓，如圖 8 所示[4]：

圖中 V_{in} 是輸入電壓， V_{ctrl} 為控制電壓，通常都是週期性的方波訊號，來決定 M_1 和 M_2 的開關， R_1 是負載電阻， C 是負載電容 L 是電感， R_S 是感測電阻，藉由量測電壓 V_{SENSE} 的大小來得到輸出的電流變化。

這個電路的優點是結構簡單，而且感測的變化絕對正確，只要歐姆定律成立之下，因此就純粹電流感測的觀點來看是非常完美的. 但是它卻有一個嚴重的缺就是，電阻本身串聯會消耗功率，造成浪費及使電路的效率降低。尤其是目前電源提供電壓要求往下降的同時，雖然此感測電阻消耗的功率會降低，但想對於總體功率消耗會提高很多。

考慮到電阻消耗功率，因此改用电晶體的內電阻來代替之前的感測電阻，電路如圖 9 所示：

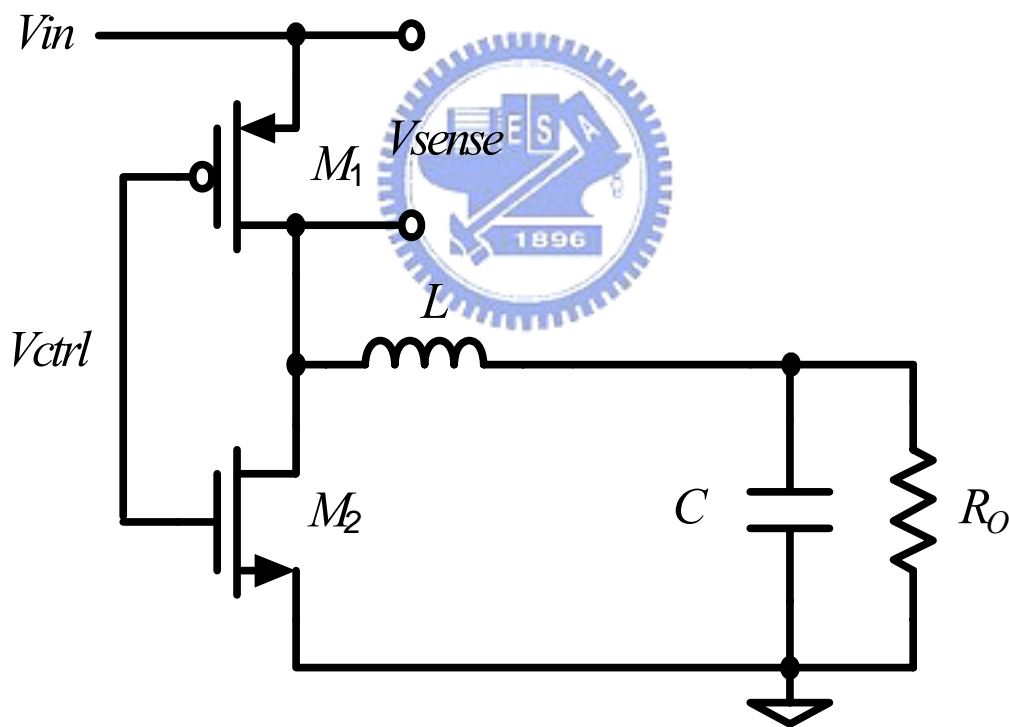


圖 9 以電晶體來取代電阻的電阻型電流感測電路.

同樣的電流由 V_{IN} 輸入，由 R_O 流出，和圖 8 不同處再將 R_S 拿掉，利用電晶體 M_1 的內等效電阻來擔任感測電阻.

$$i = \frac{1}{2} \mu C_{ox} \frac{W}{L} [2(V_{GS} - V_t)V_{DS} - V_{DS}^2] = \frac{V_{SENSE}}{R_{DS}} \quad (19)$$

推出 M_1 得電阻值 R_{DS}

$$R_{DS} = \frac{L}{W \mu C_{ox} (V_{GS} - V_t)} \quad (20)$$

由上圖及公式，我們可知用 M_1 來取代電阻 R_S ，其優點是的確可以讓電路幾乎沒有應用在感測電流上的消耗，但 M_1 電晶體受到 V_{CTL} 控制，時開時關，當 M_1 被打開時，所感測量測到的電流便是電感電流，可是當 M_1 被關閉時，所量測到的電流就是一個不正確的值，因此只有在輸入電壓的正半週期(在一個週期之內 M_1 導通，電流從 V_{IN} 流入的時間)有正確的電流感測值，這是採用電晶體去代電阻的缺點，電晶體電阻很容易受到環境影響而改變其大小，最明顯的事隨溫度上升， R_{DS} 也會跟著改變，通常適合用在簡單且粗略的控制上，不容易出錯，且省電。

接下來爲了同時兼顧正確和省電，於是乎發展出位電流感測電路量身打造的電阻就被發展出來了[5]，利用最新的技術將感測電阻的電阻值縮小到達 $m\Omega$ 的大小，此時功率的消耗將被壓到非常低的地步，如此便是利用製程的技術去滿足正確性及低功耗性的要求，但馬上會遇到一個問題，就是電阻值非常低，即使流經的電流有數安培之大，所感測出來的電壓值還是 mV 的大小，電壓變化將會低得無法察覺不說，甚至還很容易被雜訊干擾，因而必須要將所產生的感測電壓放大，讓控制電路能分辨電壓上的明顯變化，來達成對電路的控制。

要放大電壓，最直觀的方法就是使用放大器將電阻上的感測電壓放大[6]，如圖 10 所示：

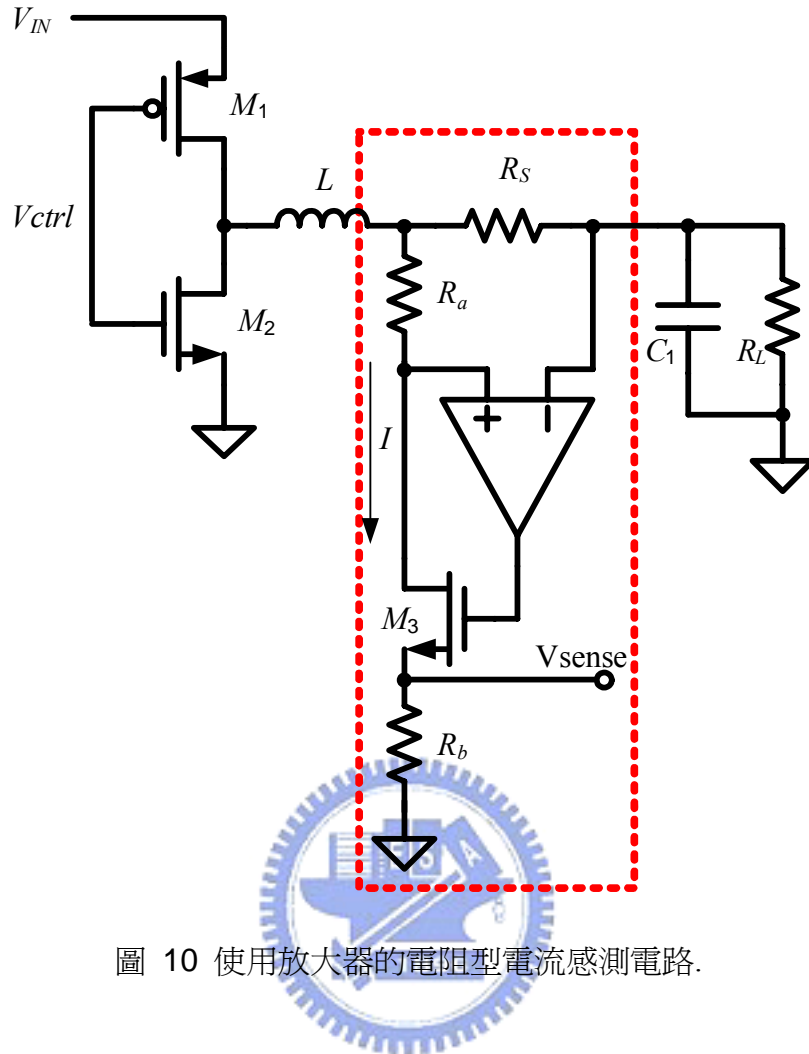


圖 10 使用放大器的電阻型電流感測電路。

R_s 是歐姆值極小的感測電阻，另外還有 R_a 和 R_b ，利用放大器輸入端虛短路的原理，得到這條路電流 I 為：

$$I = \frac{I_L R_s}{R_a} \quad (21)$$

由於電流 I 和 I_L 的變化成正比，因此將 I 通過一電阻 R_b ，則可以當作我們 V_{SENSE} 的值。

$$V_{SENSE} = \frac{I_L R_s R_b}{R_a} \quad (22)$$

感測電壓 V_{SENSE} 也和 I_L 的變化成正比，只要能適當的調整 R_a 和 R_b 的比例，讓 R_b 的電阻是 R_a 的 100 倍，則 V_{SENSE} 上所量測的電壓將會比 R_s 上所量測的感測電壓要放大 100 倍，由於 R_a 極大，從只要線路損失的電流也極小，故沒有嚴重的功率消耗，也能保有電阻型的正確性。

2.2.2 濾波器型感測電路

此類型的感測電路是借用濾波器的特性來做電流感測，如圖 11 所示[4]：

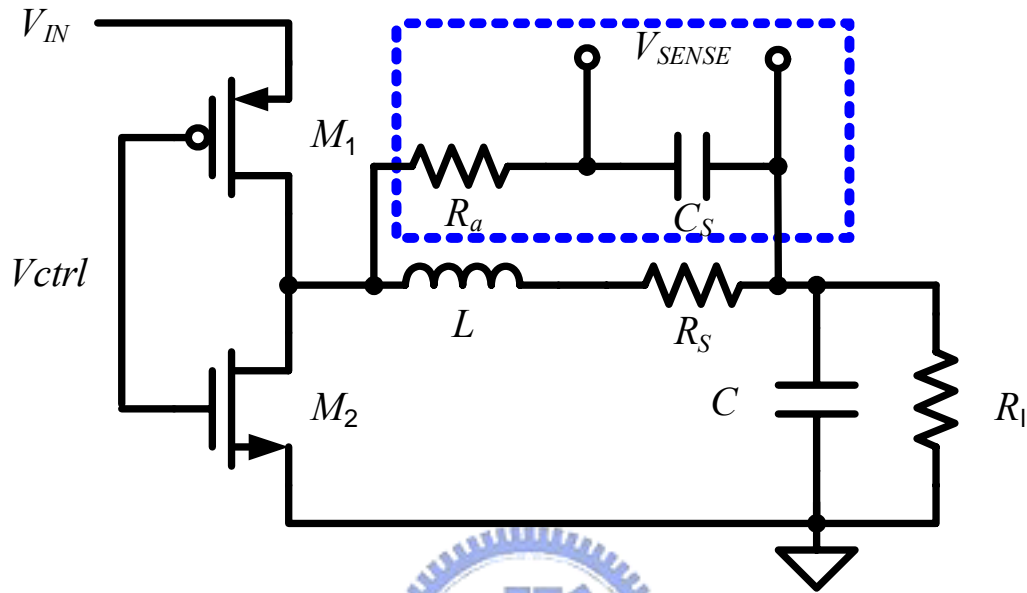


圖 11 濾波器型電流感測電路。

這種感測電路的特色就是在主要的線路上另外並聯一個電阻 R_a 和電容 C_s ，其樣子就像是濾波器一樣， R_s 在此時要是為電感 L 的等效內電阻，從 R_a 和 C_s 的電壓等於 L 和 R_s 上的電壓，我們可以得到一個等式：

$$V_{SENSE} (1 + sR_a C_s) = (R_s + sL) I_L \quad (23)$$

再將此式子移動簡化得到：

$$V_{SENSE} = \frac{(R_s + sL) I_L}{1 + sR_a C_s} = R_s I_L \left[\frac{1 + sL / R_s}{1 + sR_a C_s} \right] \quad (24)$$

由公式(24)可知，在 $\frac{L}{R_s} = R_a C_s$ 的條件成立時，括弧裡面的式子就會被消掉，感測電壓 V_{SENSE} 的變化就會和電感電流 I_L 成正比，也就是我們可以從電容 C_s 的電壓變化來得知主要線路上電感 L 的電流變化。這種電流感測的方式也相當準確，並不比電阻型感測電路差，不過其困難度就是在元件參數的調配，在使用前要先計算過，不然敢測結果就會有

誤差。

此感測電路還會遇到一個問題，那就是 L 的內等效電阻 R_s 非常小，則感測電壓 V_{SENSE} 的變化會小到幾乎看不出來，讓感測到的電壓毫無用處，因此一樣必須想辦法把感測電壓放大。

2.2.3 電晶體感應型感測電路

這是目前比較熱門，比較多人去研究的電流感測電路，其好處是因為裡面的電路都是由 *MOSFET* 電晶體組成，製程上可以做到比較小，遠比任何元件都適合放進 *IC* 裡面，且所耗的功率也極低，因此可以做到不佔體積又能省電的目的，此電路比較特殊的地方在於，是用兩顆長寬比 (W/L) 相差至少 1000 倍的電流，然後用電阻去感測放大，如圖 12 所示[7][8]：

我們讓電晶體 M_1 的長寬比比值比 M_2 大上 1000 倍，然後將這兩個電晶體的汲極端分別接到放大器的輸入兩端 (M_1 下面多加一個 M_3 是爲了防止電流逆流) M_1 和 M_2 的 V_{SD} 會因爲放大器須短路的關係而導致相等，如此便導致了流經這兩個電晶體電流的大小與它們的長寬比有關，換句話說流過 M_1 的電流會是 M_2 的 1000 倍，利用這種方法我們製造了一個和我們要測量的電流變化相同，但縮小 1000 倍的電流，讓他往下流透過 M_{11} 在流過感測電阻 R_s ，接下來我們只要量測 R_s 的電壓值就可了解電流的變化。

這種感測電路的好處是，它是另外製造一個電流作爲感測，不會對主要線路上的功率有任何消耗，而且感測電阻上的電流是主要線路上電流的千分之一倍，因此在感測電阻上所造成的功率浪費也很小。雖然此電路並不像電阻型或是濾波器行那麼準確。但是它相當小的電路面積是一個很大的優點，而且只要選擇適當的 R_s 就可以得到想要的感測電壓大小。

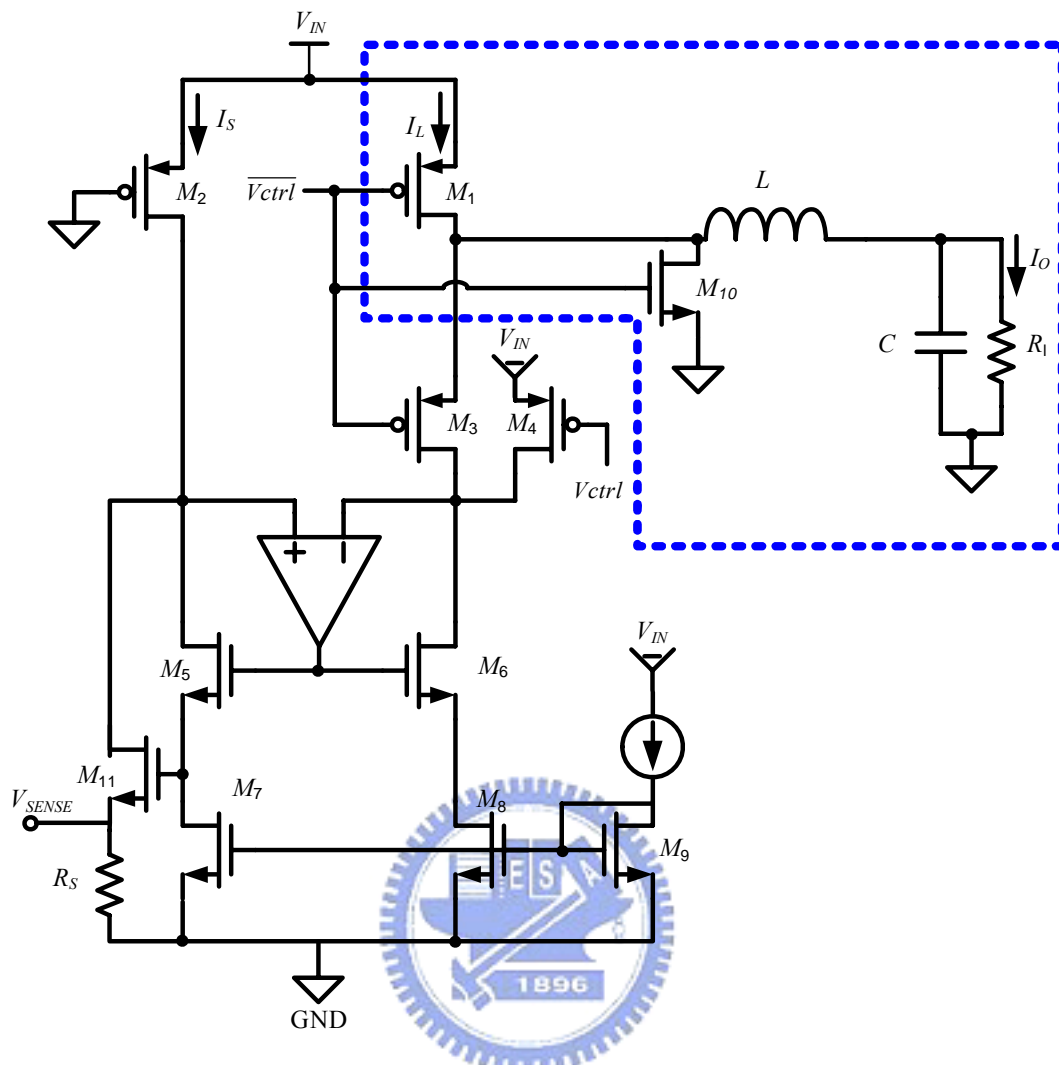


圖 12 電晶體感應型電流感測電路。

這種感測方法有兩個缺點：第一就是 M_1 和 M_2 兩電晶體需要足夠匹配，不然流經兩者的電流變化不同步或縮小倍率改變了，都會造成感測上的誤差，第二就是當切換電壓 Q 為 *high* 時， M_1 和 M_3 會關閉，輸出電流改由 M_{10} 作迴路，在此時由 M_2 流出來的電流就和我們要測量的電流毫無關係了，故這電路只有在 V_{ctrl} 為 *low* 時才有效，只能測量電路正半週期的變化。

它是另外製造一個電流作為感測電流值，不會對主要線路上的功率有任何消耗，而且感測電阻上的電流是主要線路上電流的千分之一倍，因此在感測電阻上所造成的功率浪費也很小。

2.2.3 其他類型感測電路

其它一些電路是比較少人在研究的，第一種型稱之為積分型感測電路，第二種是混合式的感測電路[9]兩種：

所謂的積分型就是郵電感公式： $vdt = Ldi$ 作為出發點，將兩邊同時積分，會得下式：

$$i = \frac{1}{L} \int vdt \quad (25)$$

因此如果想知道電感上的電流變化，就要將電感上的電壓接到積分器去積分再除以 L 即可得到答案，電路如圖 13 所示：

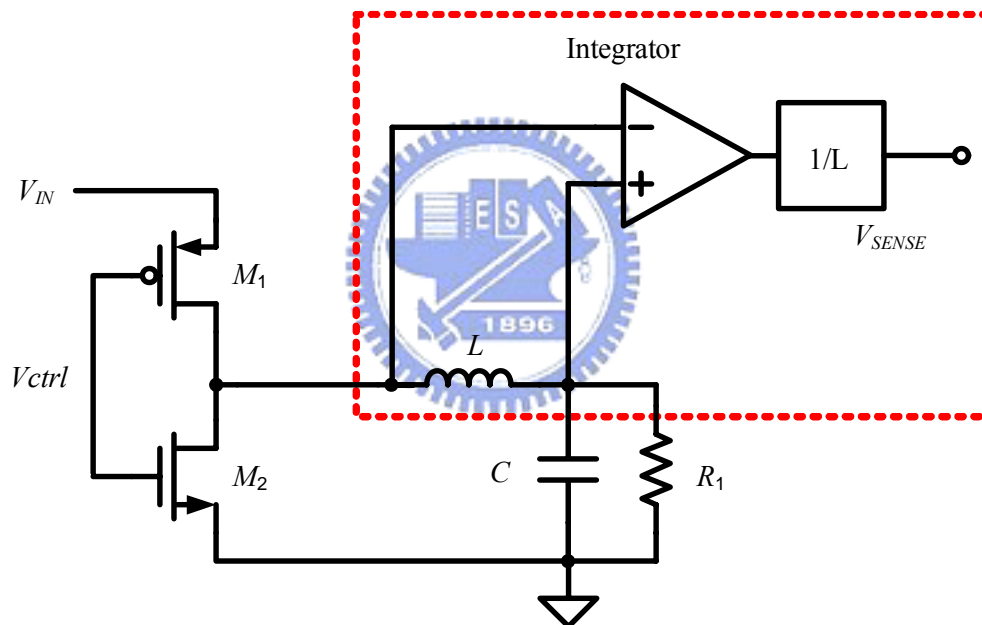


圖 13 積分型電流感測電路

另外再介紹一種混合式的電路，就是將電阻型中的單純使用電阻以及使用電晶體代替電阻這兩種類型結合起來，用此的原因在於，單純使用電阻感測結果很精準，卻比較好功率，使用電晶體代替感測電阻的方式雖然量測結果不準確，但是卻可以多省一些電，因此將這兩種形式結合在一起，平常切換到電晶體體感測電阻，就不會那麼耗電，隔一段時間後就切換到普通電阻，去幫忙不精確的電晶體電阻去做一個感測校正的工作，然後再切到省電模式，其電路如圖 14 所示：

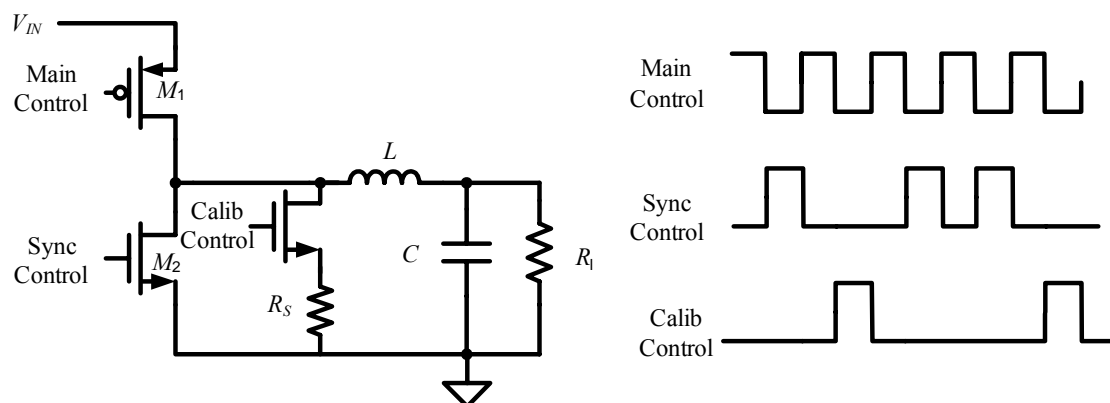


圖 14 混合型電流感測電路

由上圖 14 來看，*Main Control* 和圖 12 的控制電壓 V_{ctl} 是一樣的週期性方波，而下面則被拆成兩個電晶體 M_2 跟 M_3 ，首先由 M_2 來看，其控制電壓是 *Sync Control*，平常是跟 V_{ctl} 一樣，不過電壓和 *Main Control* 相反，感測電壓所量測的是上面的電壓，是利用電晶體代替電阻量測的方式作為電流感測；但每隔幾次週期就會關閉，改由導通，此時則是用 R_S 流作為電流感測的方式。採用交替感測電流的原因是由於使用 M_2 來做電流感測的結果比較不準，但是比較省電，所以會使它的導通次數比較多，但為了避免感測結果會越來越差，每隔一段時間就會改用 R_S 做為電流感測，將感測電壓值校正回來。

2.3 電壓控制模式 (*Voltage Mode Control*)

在平行並聯的控制之中[1]，主要有分電壓控制模式 (*Voltage Mode Control*) 與電流控制模式 (*Current Mode Control*)。在本節中將先介紹電壓控制模式 (*Voltage Mode Control*) 此模式對於切換式電源供應器來說是非常有名且常用的模式。

2.3.1 TYPE II 電壓補償電路

圖 15 表示一個最基本的降壓式電路加上一個電壓控制模式，輸出電壓經由 R_1 ， R_2 所組成的分壓回授路徑，去取樣輸出電壓的資訊，然後將此資訊跟參考電壓去做比

較，將處理完的輸出訊號送到比較器去調整脈波寬度 C_3 ， C_2 及 R_2 是此補償電路的必要元件。

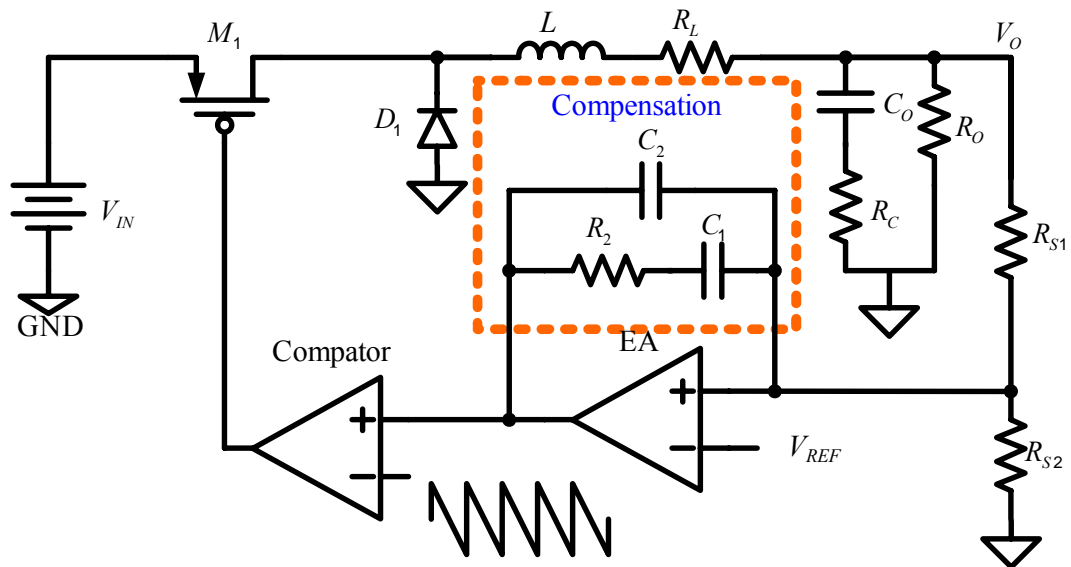


圖 15 TYPEII 補償的電壓控制模式

當輸出電容所產生的零點，比交越頻率 (*crossover frequency*) f_c 要來得更低頻時，就很適合採用 TYPEII 的電壓補償控制模式。TYPEII 補償電路包含 R_1 、 R_2 、 C_2 、 C_3 與 EA 如圖 15 所示， R_L 是電感的 DCR 電阻，這補償的方式是在這負回授的迴圈上提供兩個極點和一個零點，作為穩定系統的參數。

2.3.2 TYPEIII 電壓補償電路

當輸出電容所產生的零點，比交越頻率 (*crossover frequency*) f_c 要來得更高頻時，就很適合採用 TYPEIII 的電壓補償控制模式。TYPEII 補償電路包含 R_1 、 R_4 、 C_4 、 C_3 、 R_2 、 C_2 及 EA 如圖 16 所示，這補償的方式是在這負回授的迴圈上提供三個極點和兩個零點，作為穩定系統的參數。

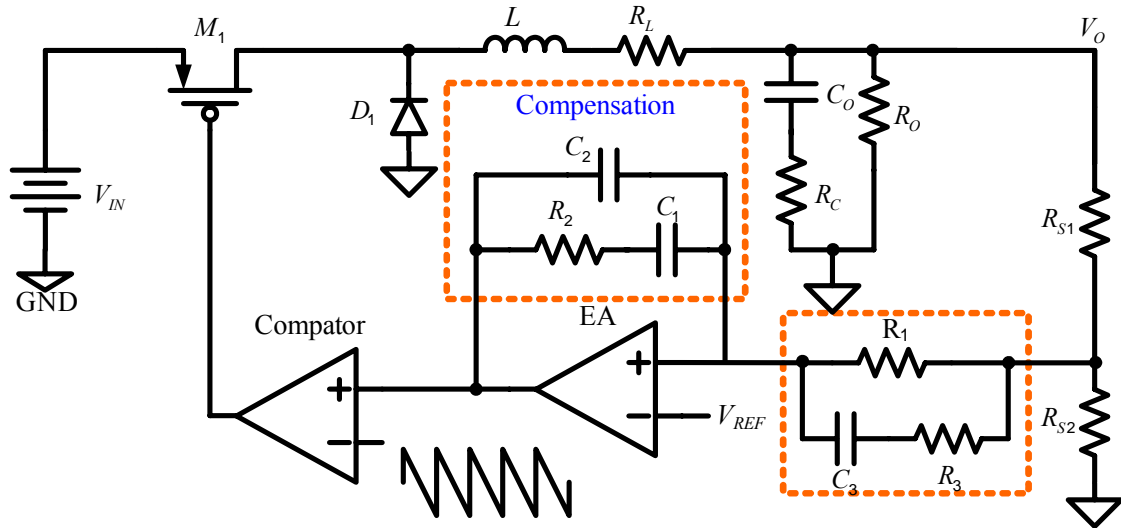


圖 16 TYPEIII 補償的電壓控制模式

2.3.3 電壓前饋控制 (Voltage Feed-Forward Control)

當輸入的電壓突然從一個比較低的電壓變化到較高的電壓時，緩慢的反應速度 (*slow response speed*) 將會使得輸出電壓在瞬間產生一個很大的突波 (*overshoot*)。這是因為在輸入電壓變化的瞬間，工作週期並不能馬上做反應變化的緣故。針對這個問題提出電壓前饋控制 (*Voltage feed-Forward Control*) 的概念，藉由這種方式來試著去解決反應速度的問題。在圖 17 中，根據輸入電壓的不同去調整鋸齒波的斜率或是改變工作週期，這種方法將會大幅度改善線性穩壓 (*Line Regulation*)

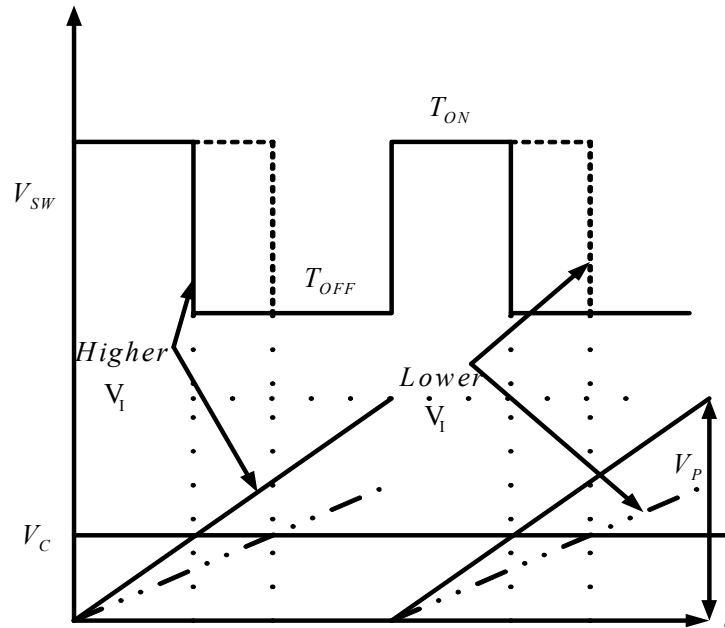
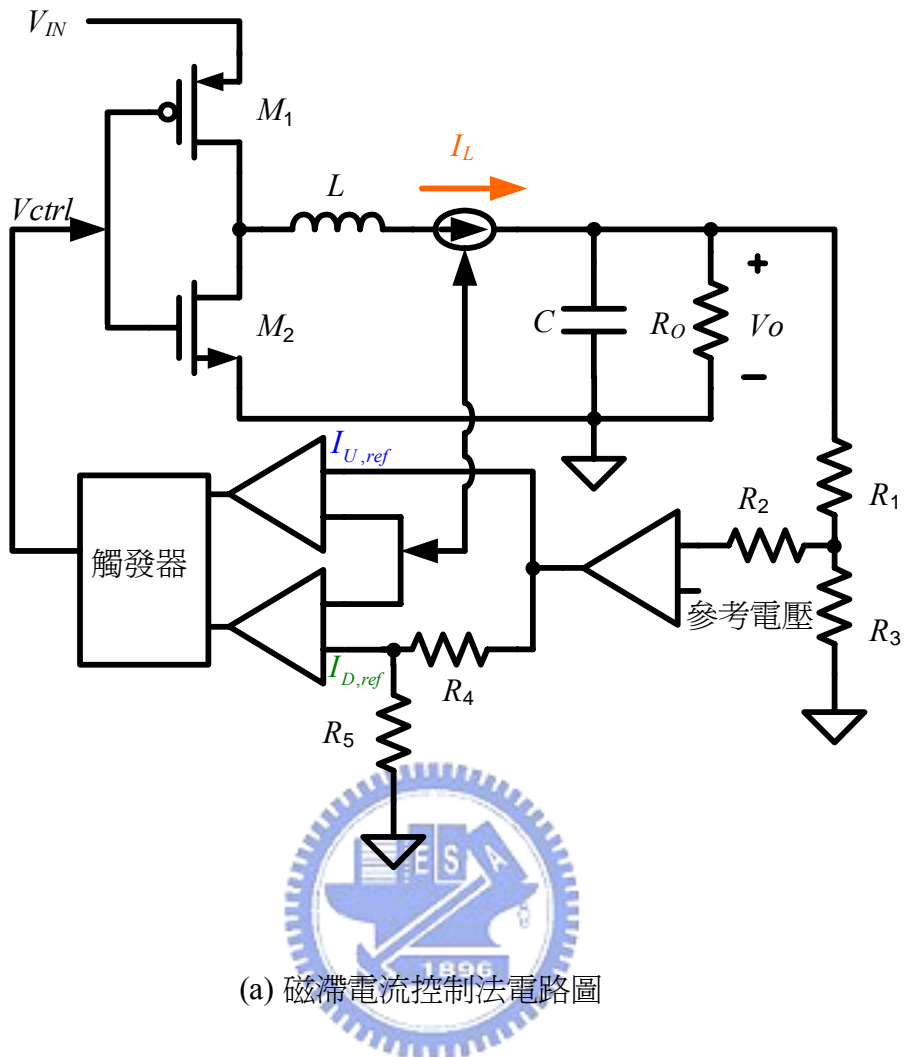


圖 17 電壓前饋控制波型圖

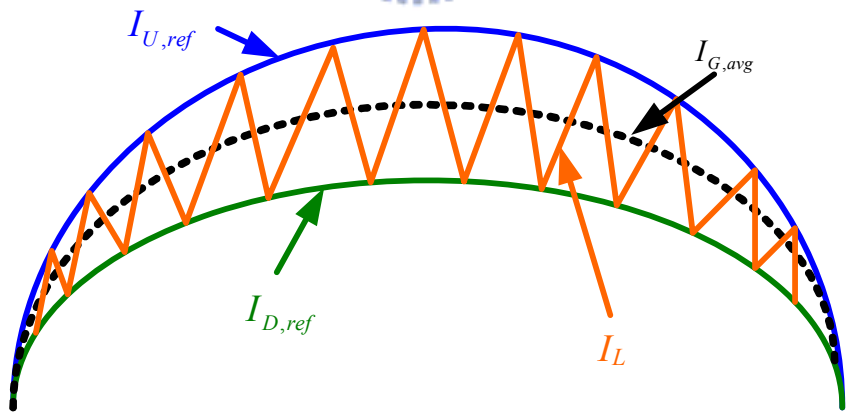
2.4 電流控制模式 (*Current Mode Control*)

2.4.1 磁滯電流控制 (*Hysteresis Current Control*)

如圖 18 所示，唯一磁滯電流控制電路圖，設計上的控制訊號是由兩個參考訊號 $I_{U,ref}$ 和 $I_{D,ref}$ 來決定。當電感電流低於參考電流 $I_{D,ref}$ 時，功率開關就會導通促使電感電流上升，當電流高於參考電壓 $I_{U,ref}$ 時，功率電晶體就會截止使得電感電流下降。此控制法的優點是電感電流上下限都已經固定，因此其輸入電流失真的機率會比較小，且不需要斜率補償的優點，但是也有一些缺點，那就是此控制器對雜訊比較敏感，而且兩個參考電流要做到很接近，受雜訊的影響度便會變大，而且本身必須要考慮到當電感電流不在這磁滯區間內時，功率電晶體的開關應該如何處理，設計上反而很複雜。另外此功率電晶體的開關是屬於變頻式的切換控制。



(a) 磁滯電流控制法電路圖

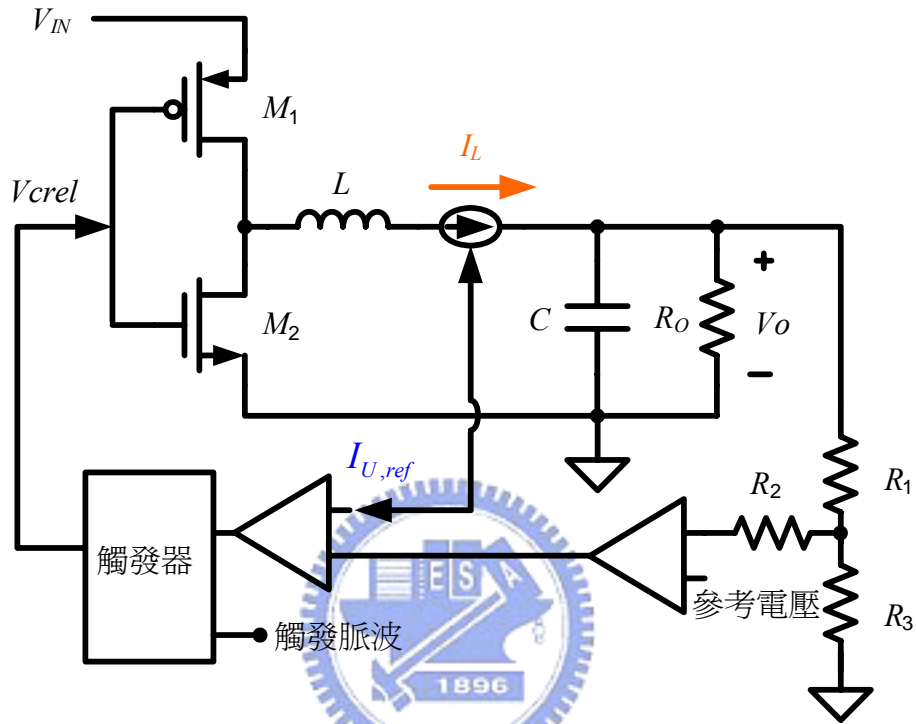


(b) 電流波形圖

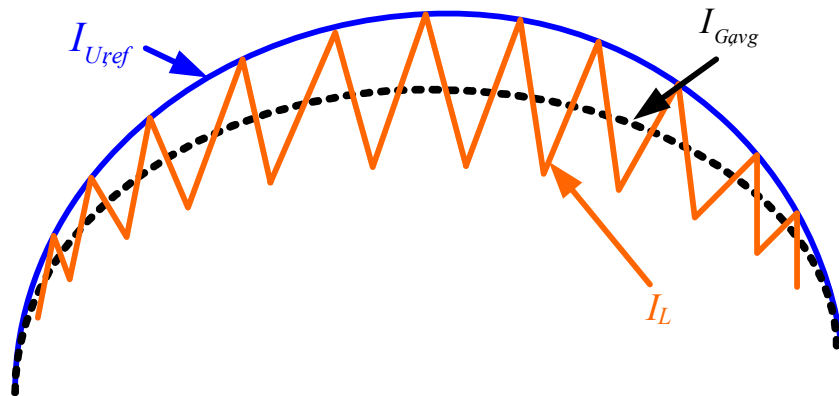
圖 18 磁滯電流控制

2.4.2 峰值電流控制 (*Peak Current Control*)

其控制的原理是將感測到的電流訊號跟電流參考訊號去作比較，再將比較的結果經由觸發器去產生切換功率電晶體所需的開關控制訊號。如圖 19 所示：



(a) 峰值電流控制電路圖



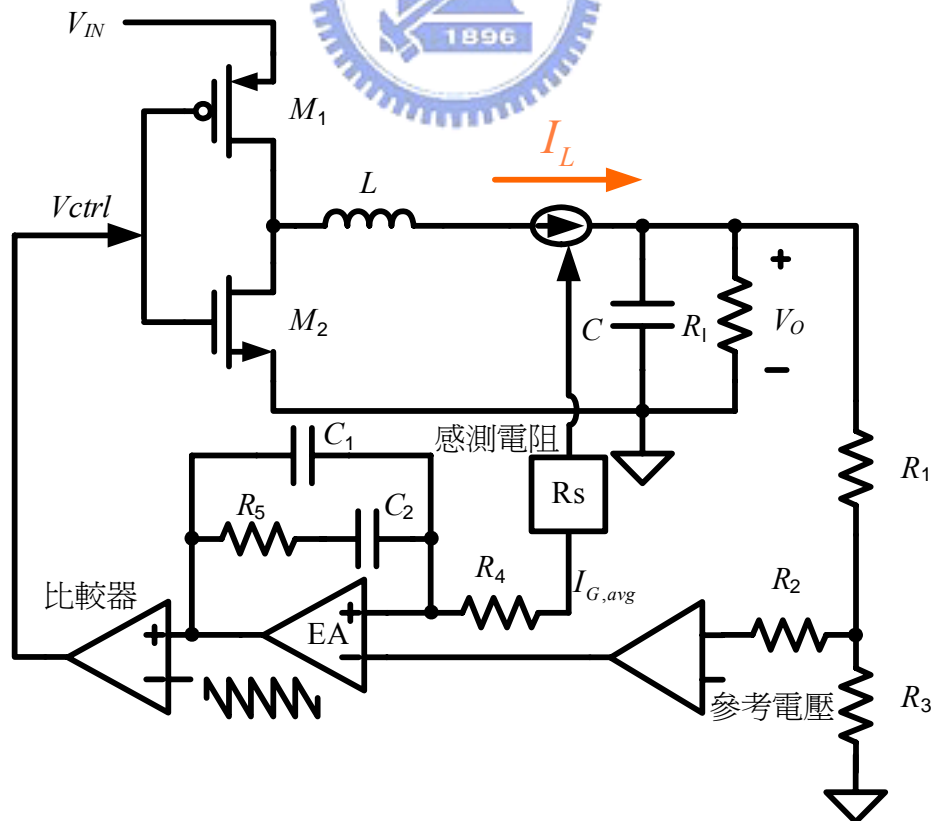
(b) 電流波形圖

圖 19 峰值電流控制

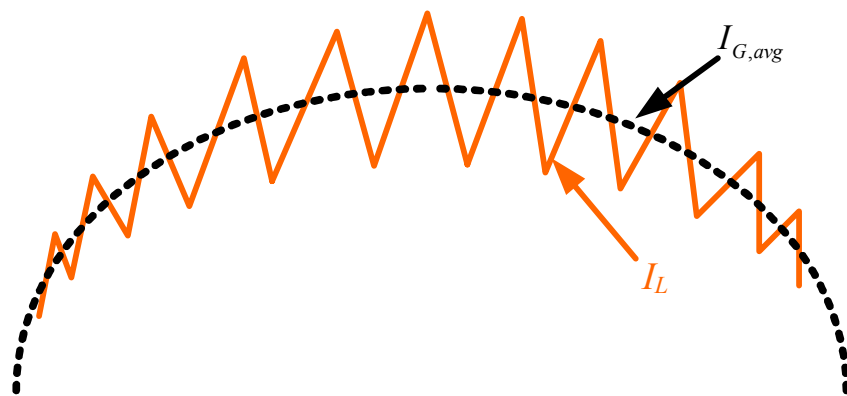
控制訊號的開關週期是由一個時脈週期所決定，因次此電路操作在一個固定的頻率，另外單方向的控制切换使得電路設計上較為簡單，其缺點是當輸入電壓較低時，輸入的平均電流值易產生扭曲。同時由於是峰值電流模式，因此需要額外加一斜率補償器，以免產生次諧波（*Sub-harmonic*），電流振盪造成電路的不穩。

2.4.3 平均電流控制（Average Current Control）

如圖 20(a)、(b)所示為平均電流控制法之電路圖，其電壓回授電路設計原理與峰值電流控制法大致相同，主要差別在於電流內迴路的設計，平均電流控制法是採取一電阻來取得所需的電感電流訊號，將感應電阻所量測到的電感電流訊號，和電流參考訊號一起送入誤差放大器，經運算後其結果在和脈波調變器的震盪電壓去作比較，使其輸出開關功率電晶體的脈波訊號。此方法的優點是大大的減少雜訊對電路所造成的影響，和峰值電流相比較其較不容易失真且有更佳的電流波形，且有較低的切换雜訊，所以平均電流控制法目前在使用上非常普遍。



(a) 平均電流控制法電路圖



(b) 電流波形圖

圖 20 平均電流控制



第三章

改良式的均流、線性穩壓和內建測試調 整電路的方式

3.1 傳統均流方式的分析、應用和缺點

目前應用在並聯系統或交錯式並聯系統上，常用的均流機制及方法，可分 [10][11]：電壓下降法 (*Voltage Droop Method*) 和主動均流法 (*Active Current-Sharing Method*)；在本節中將分析這些方式並比較其優缺點。

對於一個並聯交錯式轉換器的應用方面，最主要的均流方式本節將先針對傳統的均流方式進行討論和分析，並根據每種均流的方式指出其缺點。

3.1.1 電壓下降法 (*Voltage Droop Method*)

其斜率控制法的定義是當負載電流上升時，輸出電壓會下降。它的工作原理是利用規劃個別轉換器的輸出阻抗來達到平均分配負載電流，也就是均流的效果 [12~15]。

圖 21(a)是兩組電源模組並聯使用時，輸出電壓和輸出電流的波形，由這關係圖我們可以得到一個趨勢概念，那就是當輸出電壓相對於輸出電流變化量急劇時（也就是斜率越大時）兩組並聯模組的電流反而更接近，利用這種方式來達到均流的目的。且在圖中，可以看得到兩個電源模組並聯，但其控制電路上並沒有彼此輸出電流的資訊， V_{O1} 、 V_{O2} 分別是代表兩組並聯電源模組的個別輸出電流，每一組的電源模組都會連接到共同的輸出端 V_O 。 I_{O1} 、 I_{O2} 是每個模組的輸出電流，因此 $\frac{I_O}{2}$ 為每個電源模組應該提供的電流，曲線的斜率所代表的是轉換器輸出阻抗 (R_O) 的倒

數。

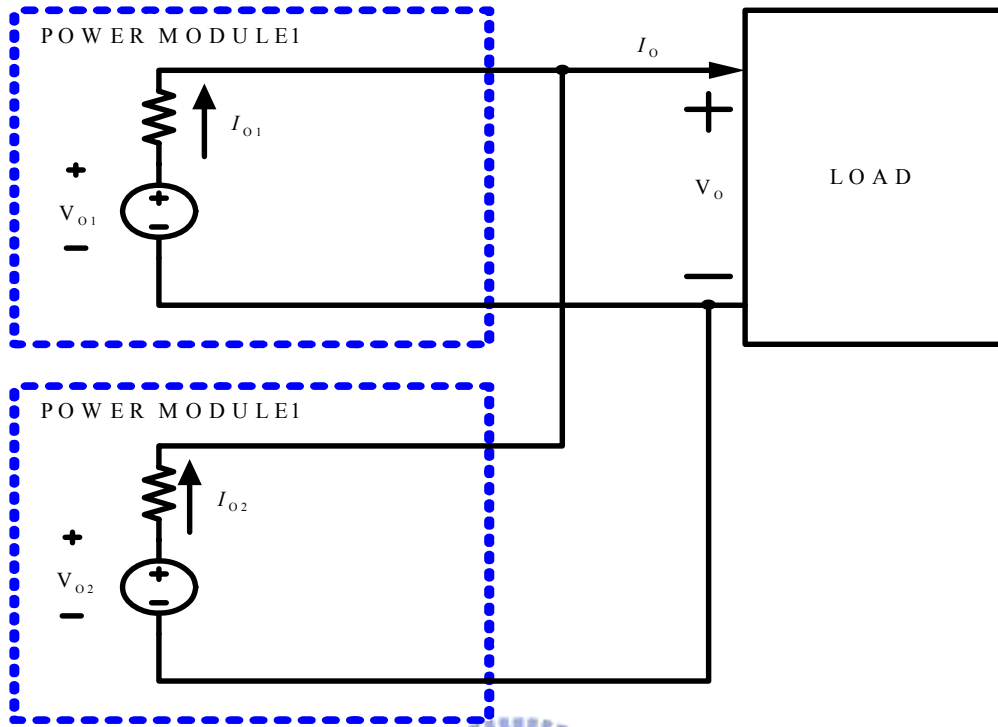


圖 21(a) 典型電壓下降法的基本原理圖

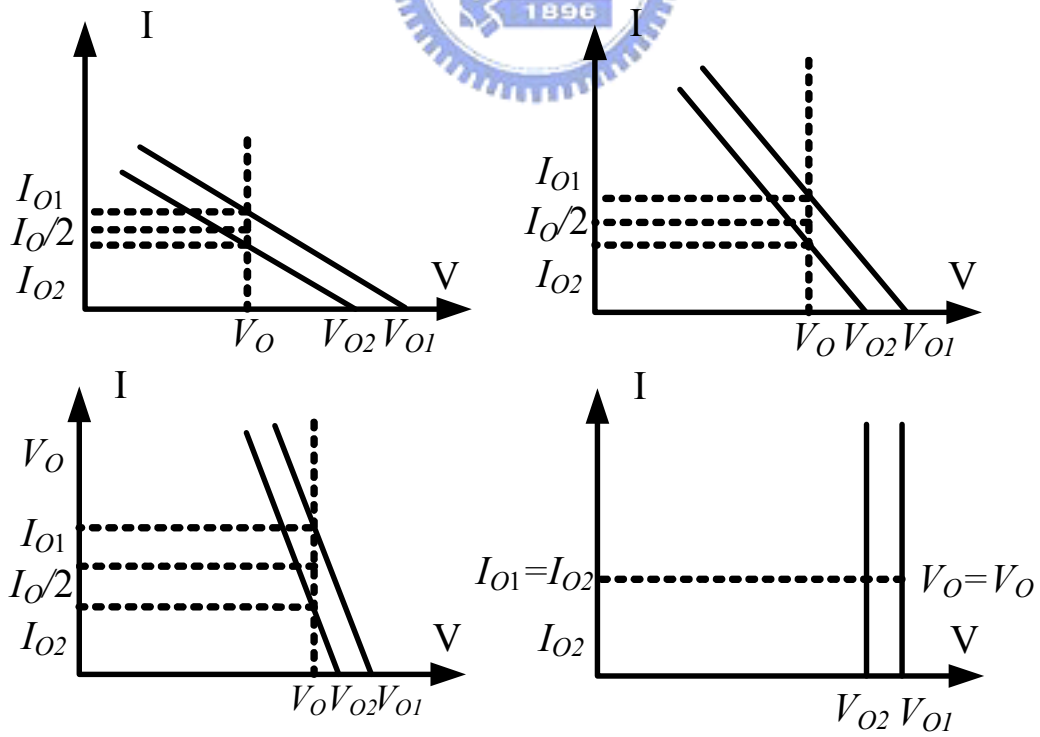


圖 21(b) 典型電壓下降法的基本原理圖

圖 21(b)表示電源模組的輸出阻抗 R_o 由小到大對於模組均流準確度和電壓調整率的影響。當 I_{o1} 和 I_{o2} 越接近 $\frac{I_o}{2}$ ，其均流準確度越高，但其電壓調整率越差。然而隨著斜率增大，均流的準確度降低，電壓調整率反而變佳，因此互有利弊。

使用這種架構的優點是，結構簡單、成本低、每一個並聯的轉換器不需要互相連接，每一個轉換器各自調整其本身的輸出阻抗。

電壓下降法的種類分：(1)轉換器內部壓降法 (2)外加電阻壓降法 (3)可規劃壓降法。

電壓下降法的架構總整理：

優點：

1. 易建構在並聯系統中。
2. 每一個模組的控制電路不必連接，可以是個別獨立的個體。
3. 其用電阻擔任均流的媒介，屬於被動性的獲取電流資訊，可靠度較高。

缺點：

1. 採用外加電阻的並聯方式時，電流通過電阻時會產生 I^2R 的功率耗損，降低系統的轉換效率，不是用於大電流的操作。
2. 較差的負載調整能力，及均流能力。

電壓下降法是利用調整每個模組的阻抗來達到均流的效果，因此當負載電流分配越好時，電壓調整率會越差，因此均流效果不好。

3.1.2 主動均流法 (**Active Current-Sharing**)

主動均流法跟電壓下降法最大的不同在於這種方式必須提供一個連接到各個模組的一個管道，這管道稱為均流匯流排 (*Current-Sharing Bus*)。均流匯流排的功能就是：收集每一個並聯模組電流資訊，然後提供出一個電流參考訊號，則每一個並聯模組可以

根據和這電流參考訊號的差值來調整本身的控制訊號。經由此調整，使得輸出的電流能平均由每個並聯的模組提供。

主動均流法採用取樣均流誤差的形式可分為：

1. 平均電流法 (*Average Current AC*) [16]：其概念是取得所有並聯模組的平均電壓值，然後再將這平均電流訊號，作為各模組的電流參考訊號。
2. 直接主僕法 (*Dedicated Master DM*) [10~13]：原理是以其中一組電源模組的輸出電流值作為其他模組的電流參考訊號。
3. 主動主僕法 (*Automatic Master, AM*) [10~13]：利用串接二極體的方式，可以動態選取輸出電流最高的模組做為共同的電流參考信號。

主動均流法的整理：

優點：

1. 可以改善電壓下降法的缺點。
2. 可同時具備高均流準確度，高電壓調整率。
3. 目前最常使用的並聯均流方式。

缺點：

1. 需要一組的額外的接腳。



3.2 改良式均流方式的建製

根據前面的分析，電壓下降法 (*Voltage Droop Method*) 雖然簡單，容易達成，不過因為是屬於被動式的並聯方式，其均流準確度和電壓調整率無法同時具備，且採用外加電阻的並聯方式取得電流資訊時，電流通過電阻時會產生 I^2R 的功率耗損。

主動均流法 (*Active Current Sharing*) 相較於電壓下降法 (*Voltage Droop Method*) 雖然有較高的穩定度，和高電流調整率，但缺點是卻需要一個外接的接腳，作為均流匯流排 (*Current-Sharing Bus*) 之用。

本論文將使用新的均流的方式，配合主僕法的概念，實際實現電路在交錯式轉換器上。因此本章節將對改良式的均流方式作原理分析，並和傳統的均流方式去比較闡述，

使更清楚改良式均流法的優點！

3.2.1 原理分析

根據前面所提出均流方式的討論，是想是否有高準確度，高電壓調整率，而且不需用到額外的接腳，更不會造成因流通過電阻產生的功率好損的均流技巧呢？

改良式的動態均流方式其電路示意圖 22 所示 黑色虛線內的部份是所提出實現動態均流的理論方塊圖。

改良式動態均流法的原理如下：在系統進入穩態的工作時，回授控制系統會使得誤差放大器的負端輸入值等於正端輸入的參考電壓（假設誤差放大器是一個理想的放大器）當輸出電流逐漸增加時，功率電晶體上流過的電流產生的 V_{ds} 電壓差也逐漸增加，此時電流感測裝置感測到遞增的壓差 V_{ds} ，其感應輸出的感測電流相對的也是逐漸增加，當兩個相位間的電流不平均不一樣時，兩兩之間就會產生一個電流差，將此電流差產生一個偏移電壓（*offset voltage*）然後再加上原先誤差放大器的輸出值，將此值傳回非參考項相位模組的比較器輸入端，藉由誤差項參數的傳入，使得非參考項模組的工作週期改變，調整其輸出的電流，此輸出電流的改變同時會影響輸出的電壓值，新的輸出電壓經過誤差放大器處理後產生新的誤差電壓，此新的誤差電壓會和新的偏移電壓一直迭代處理，直到當兩相位的電流值相等時，此系統才自動趨於穩定。

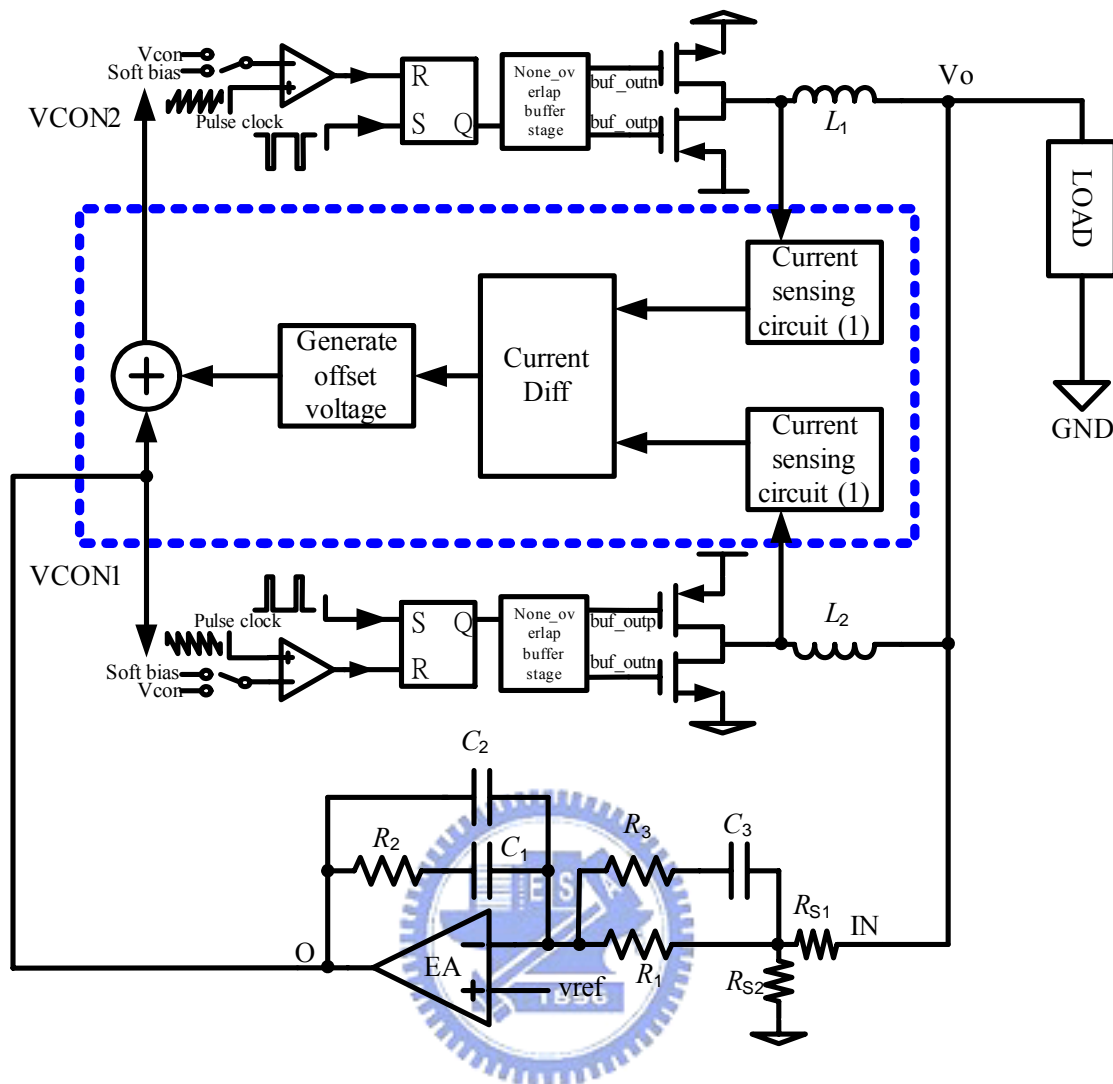


圖 22 改良式動態均流方式

3.2.1 比較及闡述

圖 22 的理論方塊圖，可以瞭解到，是一個交錯式的並聯轉換器架構例子。圖中採用簡單的電壓回授模式作為實驗背景，此架構相較之前電壓下降法，不需要採用額外的串聯電阻，且相較於主動式均流法也不需要額外的接腳，因此應用上簡單。其次是之前的均流方式都取輸出端的電流作為均流的電流資訊，此架構採取的是擷取電感前端的電流資訊作為均流的依據。原因是雖然在輸出端所獲取的電流資訊是最正確，且最及時的，但是在此處所處理的電流感測方面也較為複雜，因為輸出端的雜訊，及瞬間抽載或不抽載造成的電壓變化影響，都可能造成電流資訊的誤差，因此採用輸出端感測電流時在取樣保存電路上要特別注意避掉雜訊時段的訊號。本論文電晶體電流感測的方式應用

在交錯式並聯或單純的並聯電路上，是考慮避免取樣到太多的雜訊資料而影響到電流感測的誤差，且在交錯式轉換器的架構裡面，通常會做到固定頻率，然後每個相位交替輪流去開關功率電晶體產生驅動電流，採用電晶體感測電感前端電流的方式除了少雜訊外，還考慮到交錯式電源轉換器的對稱性，由於對稱，因此兩兩項位相減後的電流，其內含雜訊的因素也相對地少。

此外，我們要擷取的訊號是兩相位的電流差，因此此架構最著重的是在感測電路的對稱性，而非他的精準度，感測電路在製作上也較為容易，連帶在取樣保存電路和電流鏡向電路設計上也較為輕鬆。

綜合前面的闡述，我們可以將此電路架構歸納如下：

主動均流法的整理：

優點：

1. 電壓下降法需要額外的感測電阻，可以改善電壓下降法的缺點，且不會造成太大的功率損耗。
2. 改善採用主動式均流法時需要一個額外接腳的問題。
3. 由於交錯式轉換器是屬於定頻的架構，因此工作週期時間的長短也代表該向未提供電流的大小成正比，因此在取樣電流值時是根據工作週期長短的比例來取樣。
4. 此架構對雜訊免疫力強。
5. 此架構在電流感測，取樣保持上都不需要精準的設計，因為我們是要取得兩電流的相對資訊，所以設計上非常簡單容易。
6. 本論文將此均流的架構用在電壓回授模式上，相同的也可以建置在其他快速反應的模式上。
7. 在產生偏差電壓的方塊圖裡可以設計可調式的電阻，利用此可調式的電阻，可以調整系統對每一個相位間電流均流的敏感度也可以動態調整均流的精確度。

缺點：

1. 對稱性的感測電路，及線路的擺設要做到準確，否則所感測到的偏差電壓會有雜訊免疫不全的情形。

2. 本架構是採用主僕式的架構，因此非參考組的誤差訊號是利用鏡向方式得到的，因此在此的電路上精確度就會非常要求。

3.3 改良線性穩壓的方式

上一節，我們提出在交錯式並聯轉換電路裡面採用動態均流的方式處理兩個模組間電流不均的問題，接下來為了解決補償因為輸入電壓的變化而影響輸出電壓不穩的問題，提出動態控制鋸齒波斜率的方式 (*dynamic control slope of saw-tooth*) .

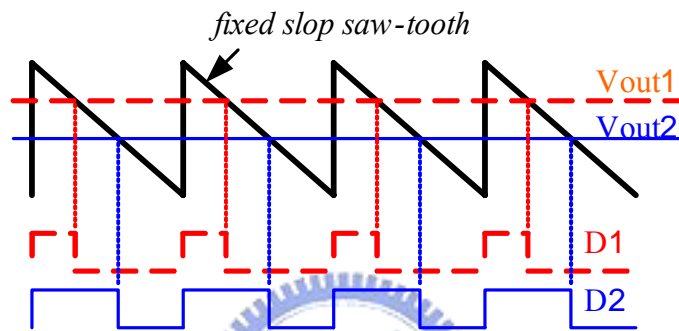


圖 23 輸出電壓隨著輸入電壓改變而變化

由上圖 23 我們可以得知，對於輸入電壓值為 V_{IN} 的輸入電壓，因為都是固定的參考電壓，所以工作周期將會是 $D_1 = \frac{V_{OUT1}}{V_{IN}}$ ，這表示我們可以將此輸出電壓穿過此參考的鋸齒波得到我們想要的工作周期 D_1 ，當輸入的電壓變化時，表示成 $(K * V_{IN})$ 當 $K < 1$ 時，表示輸出的電壓也相對減少，因為增加工作周期的原因，新的工作周期為 $D_2 = \frac{V_{OUT2}}{KV_{IN}}$ 。並可得到輸出電壓的變化值為：

$$V_{OUT1} - V_{OUT2} = (D_2 - D_1) * (\text{Amplitude of the Saw-Tooth reference}) \quad (26)$$

由上式可知，即使是鋸齒波振幅非常小，但當輸入電壓變化非常大時，輸出的電壓一樣會受到極大影響。

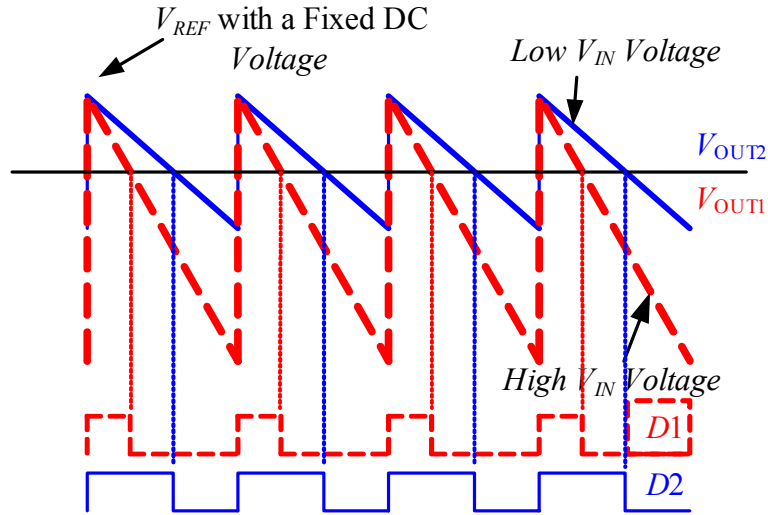


圖 24 補償的方式使輸出電壓不會因為輸入電壓的改變而變化

由圖 24 可知，當輸入電壓是 V_{IN} 時，其輸出的電壓是 V_{OUT1} ，將輸出電壓切回鋸齒波的參考電壓，我們可以得到工作周期 $D_1 = \frac{V_{OUT1}}{V_{IN}}$ ，設此鋸齒波的振幅為 $V_{SAWTOOTH}$ ，頂端電壓值是固定的電壓 V_{REF} 則可以得到下式：

$$\begin{aligned}
 V_{OUT1} &= V_{REF} - D_1 * A_{SAWTOOTH} \\
 \Rightarrow V_{OUT1} &= V_{REF} - \frac{V_{OUT1}}{V_{IN}} * A_{SAWTOOTH} \\
 \Rightarrow V_{OUT1} &= \frac{V_{REF}}{(1 + A_{SAWTOOTH} / V_{IN})} \quad (27)
 \end{aligned}$$

當輸入電壓成 K 倍變化時， $K < 1$ 表示輸入電壓值減少，得到新的工作周期 $D_2 = \frac{V_{OUT2}}{(K * V_{IN})}$

假設我們同步也將鋸齒波的振幅改變為原來的 K 倍 ($K * A_{SAWTOOTH}$)，則經過整理後可以得到下式：

$$\begin{aligned}
 V_{OUT2} &= V_{REF} - D_2 * (K * A_{SAWTOOTH}) \\
 \Rightarrow V_{OUT2} &= V_{REF} - \left(\frac{V_{OUT2}}{K * V_{IN}} \right) * (K * A_{SAWTOOTH}) \\
 \Rightarrow V_{OUT2} &= V_{REF} - \left(\frac{V_{OUT2}}{V_{IN}} \right) * (A_{SAWTOOTH}) \\
 \Rightarrow V_{OUT2} &= \frac{V_{REF}}{(1 + A_{SAWTOOTH} / V_{IN})} \quad (28)
 \end{aligned}$$

由上式(27)比較(28)得到 $V_{OUT1} = V_{OUT2}$ ，因此我們可以瞭解，當鋸齒波的振幅同步變化 K

倍時，可以等效補償輸入電壓變化 K 倍的效應，所以有快速的線壓反應。

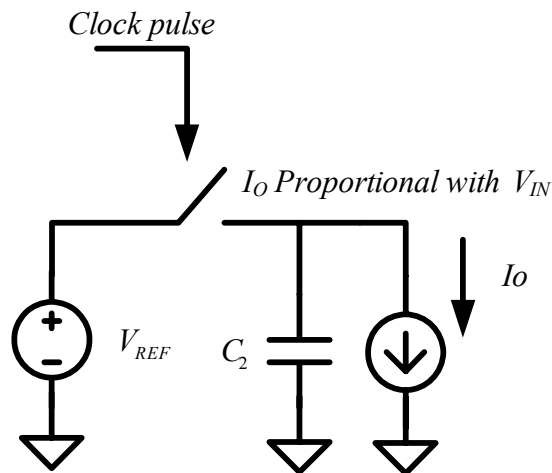


圖 25 放電電流隨著輸入電壓增加而等比例增加的實現電路

要隨著輸入的變化，等比例調整鋸齒波的振幅，實際上有實現上的困難，因此如圖 25 我們採取控制鋸齒波斜率的方式，建立一個放電電流是隨著輸入電壓增加而等比例增加的電路，則當輸入電壓增加 K 倍時，其產生鋸齒波的放電電流也變化為原來的 K 倍，則可以隨著輸入電壓的變化，動態的去調整工作周期的大小，屆以來維持住輸出電壓的穩定。而其操作的方式如下：當 *Clock* 為 *high* 時， C_2 電容充至 V_{REF} ，當 *Clock* 為 *low* 時 C_2 電容的電壓由 V_{REF} 放電至 0，而放電速率正比於輸入電壓 V_{IN} 。

3.4 內建測試調整電路

3.4.1 想法及目的

當電路設計出來，晶片製造完成後，緊接著面臨的就是驗證、測試的問題，尤其是第一版的設計，所面臨的問題及誤差往往會更多，而且隨著製程的進步 *MOS* 的長度及金屬連線的寬度也相對地縮小，更加深了點針量測上的困難，因此為了解決上述所面臨到的問題及加速驗證的速度，提出了“內建測試調整電路 (*Embedded Testing and Tuning Circuit*)”的想法，簡稱 (*ETTC*)。

除了以上的想法外，內建調整電路 (*ETTC*) 最大的目的是可以獲得以下的一些好

處：

1. 可以動態地調整某些部分因製程上所造成的誤差。
2. 可以在最快時間內有系統地量測獲得 IC 的內部資訊。
3. 可以做到修補及取代內部元件的動作。

藉由 *ETTC* 的建立，我們可以針對電路有誤差的部份進行調整的動作，針對有問題的部份電路進行取代，有效率且方便的量測設計出來的晶片，避免成本的浪費、過多人力物力的消耗，我覺得這個概念這是 *IC* 設計者除創新外最應該考慮著墨的部份。

3.4.2 原理、原則及分類

ETTC 的設計原理，主要分幾個步驟：

- (1) 進入測試調整模式 (*Enter ETTC Mode*)。
- (2) 選擇所要調整或測試的部份 (*Select a Mode*)。
- (3) 退出測試調整模式 (*Exit ETTC Mode*)。因為 *ETTC* 本身並不是晶片的主體電路，因此在加入 *ETTC* 這概念時必須考慮到“正常情況下以不影響到主體電路為原則，需要時又能彈性地跟主體電路結合”。上面的原理及原則，便是 *ETTC* 在設計上最主要的依據，接下來設計的方法也是以這兩點為主軸去進行。

ETTC 的分類方式，主要分為三種：

電壓量測模式：當選擇這種模式時，可以選擇你在主體電路上所要量測的部份，然後該點的電壓會經由輸出的接腳送出，直接提供量測。

元件取代模式：在正常主體電路運作時，發現某一部份的輸出並不是正常的電壓值，且也無法進行調整的動作，此時便可啟動這個模式取代有問題的元件，使主體電路不會因為該有問題的元件，而無法進行接下來的驗證工作。這模式對第一版晶片驗證時是非常重要的，設計者可以經由這模式去看清整個主體電路並找出哪些元件是有問題的，提供下一版的電路去改進。

電路調整模式：有些電路在設計的初期是要求必須準確的，但隨著晶片的完成，製程上多少會造成些誤差，因此爲了修補該問題，提出電路調整模式的方式，使製程上的誤差能修補回來。

關於內建調整模式（*ETTC*）對於系統電路有方便且完整的測試功能，將會在第五章更詳細的介紹設計的方法。

第四章

整體系統電路架構介紹

了解了前面提出的改進方式，接下來便會將提出的理念建構在晶片之中。在說明電路設計分析前，先介紹“整體的電路架構”使晶片規畫能分成幾個區塊，每個區塊有專司的功能，在後面章節能逐一介紹與設計。

4.1 系統部份（**System Block**）

整個系統電路的方塊圖如圖 26 所示

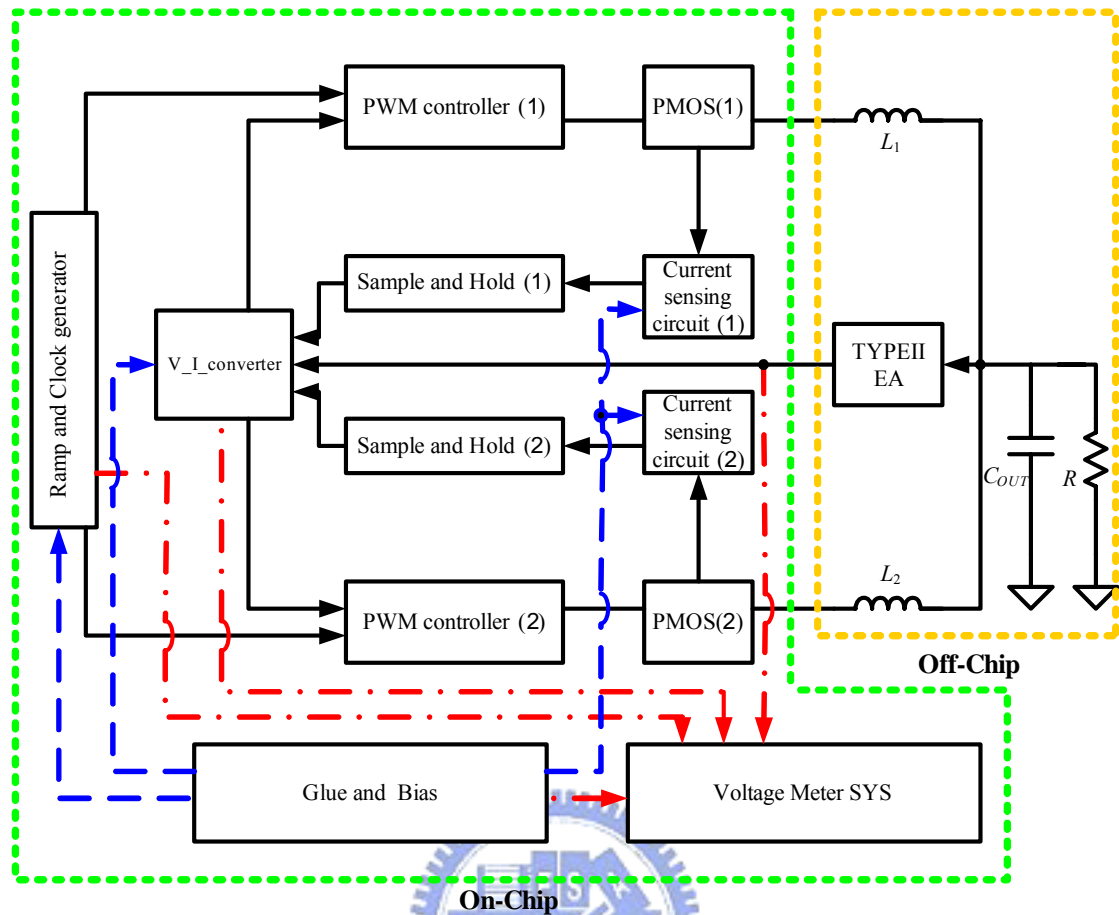


圖 26 整個系統電路方塊圖

這整個電路架構主要分成兩塊：一是外部電路部份（*Off-Chip*），一是內部電路部份（*On-Chip*）。本章將針對內部電路的部份介紹，內部電路的部份是由兩組功率電晶體（*Two Power MOSFETs*）、兩組 *PWM* 控制器（*Two PWM Controllers*）、兩組取樣保持電路（*Two Sample and Hold Circuits*）、兩組電流感測電路（*Two Current Sensing Circuits*）、一組三角波及時脈產生器（*Ramp and Clock Generator*）、一組電壓電流轉換器（*V-I Converter*）、一組連接及分壓電路（*Glue and Bias Circuit*）、一組電壓量測系統（*Voltage-Meter System*）。

以上是整個電路實現的架構圖，這是一個交錯式直流-直流降壓轉換器再加入提出改進的“均流”，“線性穩壓”及“測試調整電路”的架構。後面將會對每一個部份作詳細的介紹。

4.2 PWM 控制器及功率電晶體部份

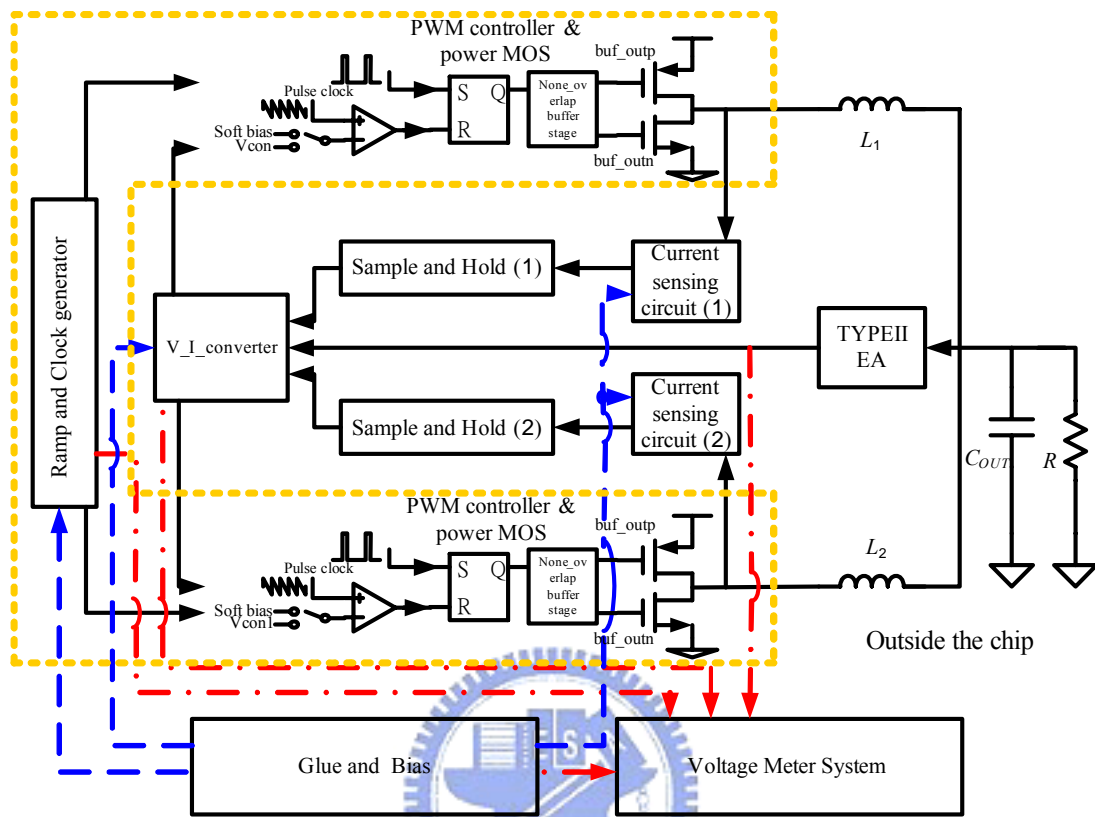


圖 27 PWM 控制器及功率電晶體部份

圖 27 虛線包圍部份是表示 PWM 控制的部份，由三角波及時脈產生器 (*Ramp and Clock Generator*)、比較器、S-R 正反器、時差緩衝器 (*None-Overlap Buffer Stage*) 及功率電晶體所組成。三角波和時脈產生器會產生一對相位差 180 度的三角波及時脈訊號分別送到兩組的比較器上，比較器的輸入端為三端，分別是軟啓動訊號 (*Soft Start*)、三角波的訊號 (*Ramp Signal*)、及電壓控制模式後回授的訊號 (*V_{CON} and V_{CON1}*)，比較器輸出的電壓接到正反器的 R (*Reset*) 端，而正反器的 S (*Set*) 端則是接上時脈 (*Clock*) 訊號。

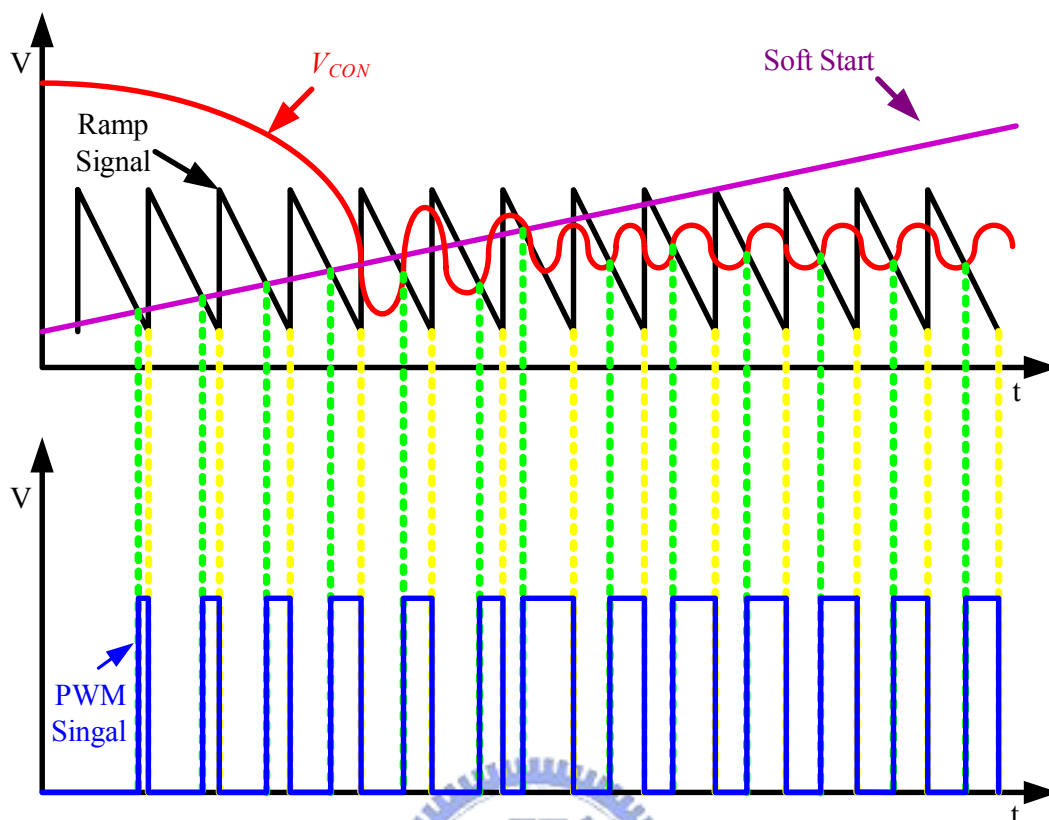


圖 28 系統啟動至穩定間工作週期的變化

如圖 28 所示，當啟動時由軟啟動 (*Soft Start*) 訊號由低到高跟三角波比較電壓，透過這種方式可產生由小到大的責任週期 (*Duty Cycle*) 信號，以帶動時差緩衝器 (*None-overlap buffer stage*) 進而驅動功率電晶體 (*Power MOSFET*) 將能量傳入電感。

隨著工作周期慢慢變大，輸出電壓也由零伏特慢慢往上升，藉由電壓模式負回授控制，誤差放大器的輸出端會傳回一個誤差控制訊號 (V_{COM1} & V_{COM2})，此誤差控制訊號 V_{CON} 會隨著輸出電壓的增加由接近 V_{DD} 的電源電壓值往下掉，因為比較器的設計是在軟啟動和誤差訊號兩者之中取電壓最低的去和三角波訊號比較，當誤差訊號電壓低於軟啟動電壓時，此時誤差控制訊號將取代軟啟動訊號去和三角波比較，便可以產生在電壓模式控制下的穩定工作週期訊號，此交錯式直流-直流降壓轉換器便達到一個穩定的狀態。

4.3 電流感測和取樣保存部份

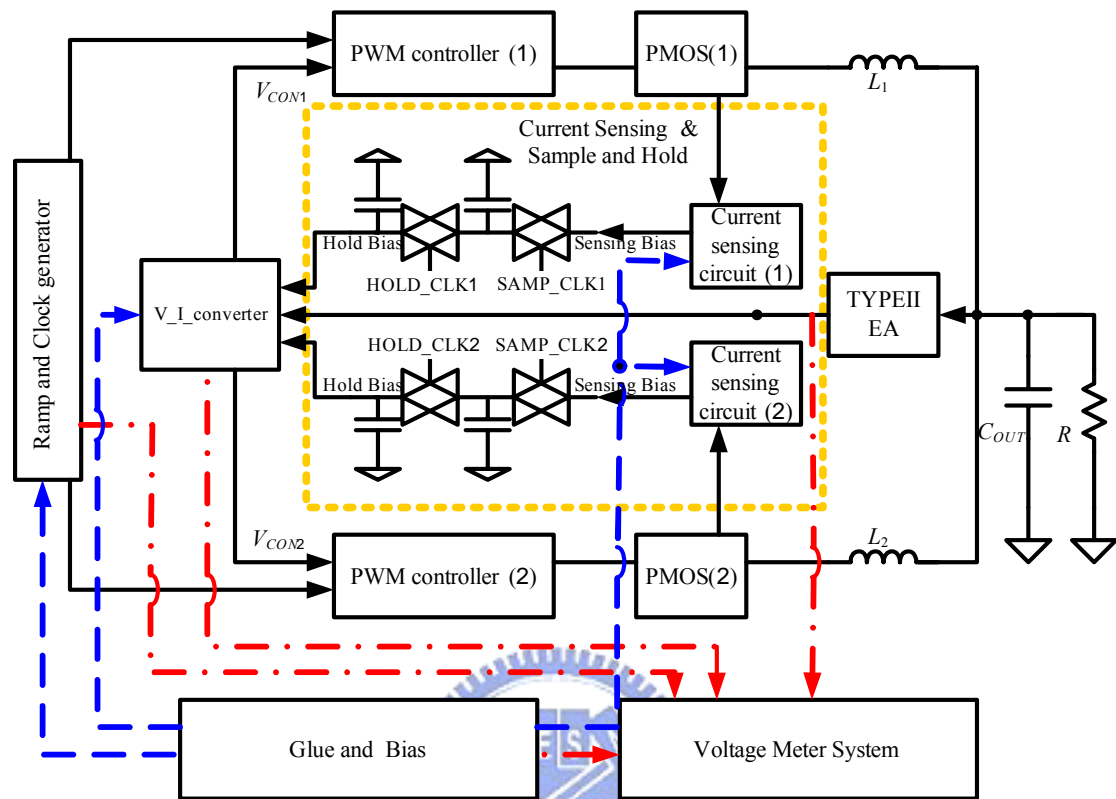


圖 29 電流感測和取樣保存部份

圖 29 所示，粗虛線裡面是包含“電流感測”及“取樣保持”電路部份，將這兩個電路歸為同一區塊是因為它們的目的都是去取得電感電流的值，一個是“電晶體感應型感測電路”藉由感測功率電晶體的電流來取得每個相位的電流資訊，感測到的電流值和功率電晶體的電流值相差至少小 1000 倍，然後用電阻去感測放大。因為此電路式設計兩個相位的架構，且每個相位相差 180 度，兩組相位電晶體的驅動有一個時間差，因此無法同時去取得兩個相位的感測電流資訊去作均流 (*Current Balance*) 處理。為了解決這個問題，設計一個取樣保存電路，將這兩個有時間差相位的電流資訊先取樣，然後儲存起來，再將兩儲存後的電壓值相減比較其誤差值。當相位 1 感測電流信號時，此時相位二並沒開始感測電流信號，因此 $SAMP_CLK1$ ON、 $HOLD_CLK2$ 也 ON， $SAMP_CLK2$ 和 $HOLD_CLK1$ 都 OFF，此時是的動作是取樣相位一的電流資訊且將原先相位二所取樣的資料傳至保存電路上；反之則是 $SAMP_CLK2$ ON、 $HOLD_CLK1$ 也 ON， $SAMP_CLK1$ 和 $HOLD_CLK2$ 都 OFF。

藉由這種交替取樣保存的方式，便能同時掌握相位 1 跟相位 2 的電流資訊，以利於接下來均流架構上之處理。

4.4 均流和誤差控制信號處理部份

上一節提到電流的感測、取樣及保存目的是作為兩相位均流處理前的前置作業。在本節，將會接下來介紹均流的處理及誤差控制信號的產生方式。

如圖 30 所示，是一組二相位的直流-直流降壓轉換器。每一個相位的輸出端接在一起，視為一個共同的輸出端，具有共同的輸出電壓。因此只要將輸出的電壓接在 TPEIII 的誤差放大器輸入端和參考電壓 (V_{REF}) 去比較，便會產生一個誤差控制信號 V_{COM1} ，此 V_{COM1} 直接將訊號拉去第一相位比較器的輸入端，作為第一相位的誤差控制信號；而產生第二相位的誤差控制信號方式則有所不同，其值 V_{CON2} 是由“ V_{COM1} 的鏡像電壓信號”+“兩相位的電流差值 * 比例值”所組成，其電路位於粗虛線所包圍的深色區域。

因此我們可知 V_{COM1} 的鏡像電壓信號的產生方式為利用一組 OP ， M_1 、 MP_1 、 MP_2 及 R_{F1} 、 R_{F2} ，組成。利用 OP 透過 M_1 連接 R_{F1} 產生一個負回授的路徑，且 OP 虛短路特性，在理想情況下 OP 兩端的輸入電壓值會相同 ($V_{COM1}=V_{F1}$)，因此透過 R_{F1} 可以決定要鏡像的電流值 $I_{MP1}=V_{COM1}/R_{F1}$ ，而且電流值將鏡像到電晶體 MP_2 電流流經 R_{F2} 後，得到的電壓稱之為 V_{COM1} 的鏡像電壓信號。

而要得到一個“兩相位的電流差值 * 比例值”的電壓信號其做法如標示 *Current Difference* 的圈圈所示，利用兩組電流比較器 (*Current Diff*) 的電路可以產生正向或反向的鏡像電流，此鏡像電流代表兩個相位的電流差再乘上一個比例係數（因鏡像的電晶體長寬比不同），此鏡像電流就會影響 V_{CON2} 的電壓值，當相位 1 的電流大於相位 2 時， V_{CON2} 的電壓就會等於 V_{COM1} 電壓加上兩相位的電流比例的差值，造成相位 2 (*Phase2*) 的責任周期變大，輸出電壓也跟著升高，此時電壓模式負回授控制就會調整讓 V_{COM1} 電壓下降以維持穩定。此時因為 V_{COM1} 的電壓下降，所以相位 1 的電流也跟著下降，此時兩相位電流的差值也相對的變小，最後達到一個平衡的電壓值，反之亦然。

透過這種均流 (*Current Balance*) 的方式，我們可以很輕鬆的做到兩相位電流相等，且對稱關係越平穩，其均流的效果也越好。

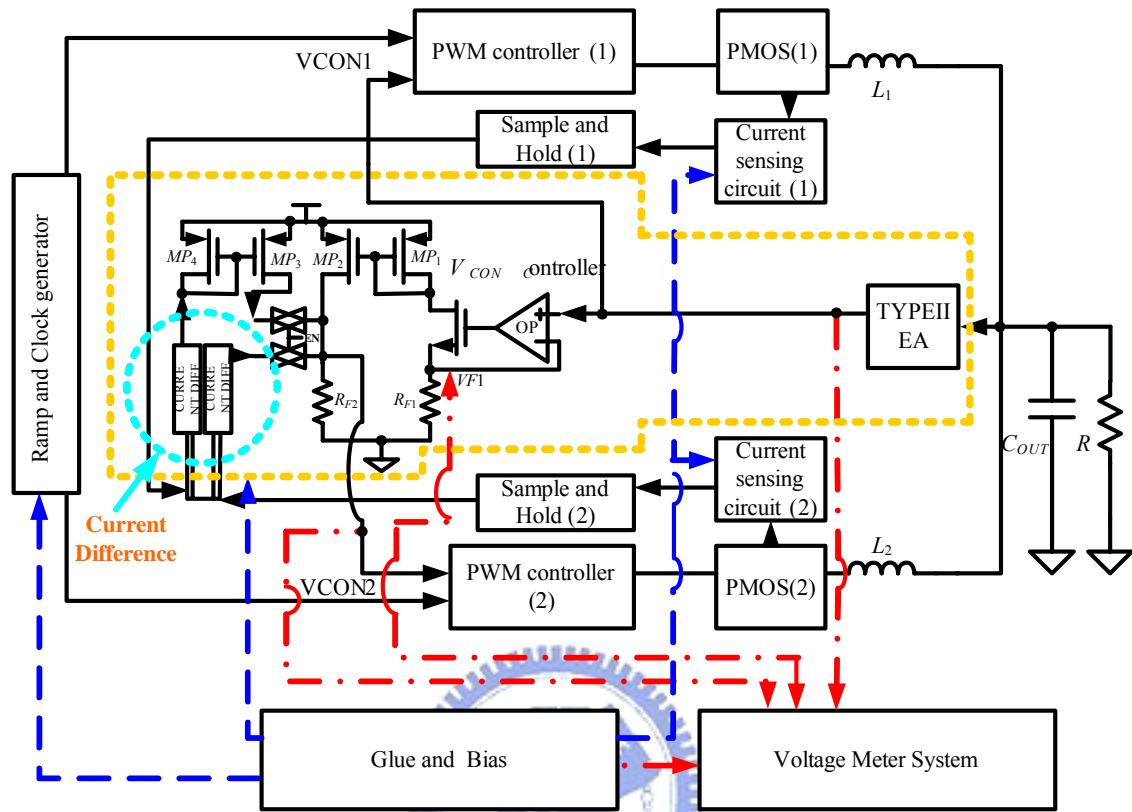


圖 30 均流及物差控制信號處理部份

4.5 連接及分壓電路 (*Glue and Bias*)

有了前面敘述的一些電路，包括了 *PWM* 控制部份、功率電晶體、電流感測及取樣保存電路、均流控制及電壓模式負回授電路，雖然含蓋了以上這些部分，但整體上來看還不算完整的晶片，因為每一個部份之間的連接並沒考慮進去，且每一塊都有其所需要的偏壓電路，沒有這些連接及偏壓的電路，晶片無法操作在一個正常範圍，為了方便管理，如圖 31 所示，統一將這些電路放在一起來處理並同時加入“內建測試調整電路 (*ETTC*)”。於是裡面包含了 *Bandgap* 的偏壓電路、*OP* 的 *BIAS* 電壓、*ETTC Mode Command Decoder*、*Voltage Meter Decoder*、*Trimming Circuit of the Resistance of Bandgap and Clock generator*、外灌訊號的電路路徑的連結設計，有了以上的一些設計，

會使得晶片在操作上更為方便和完整。

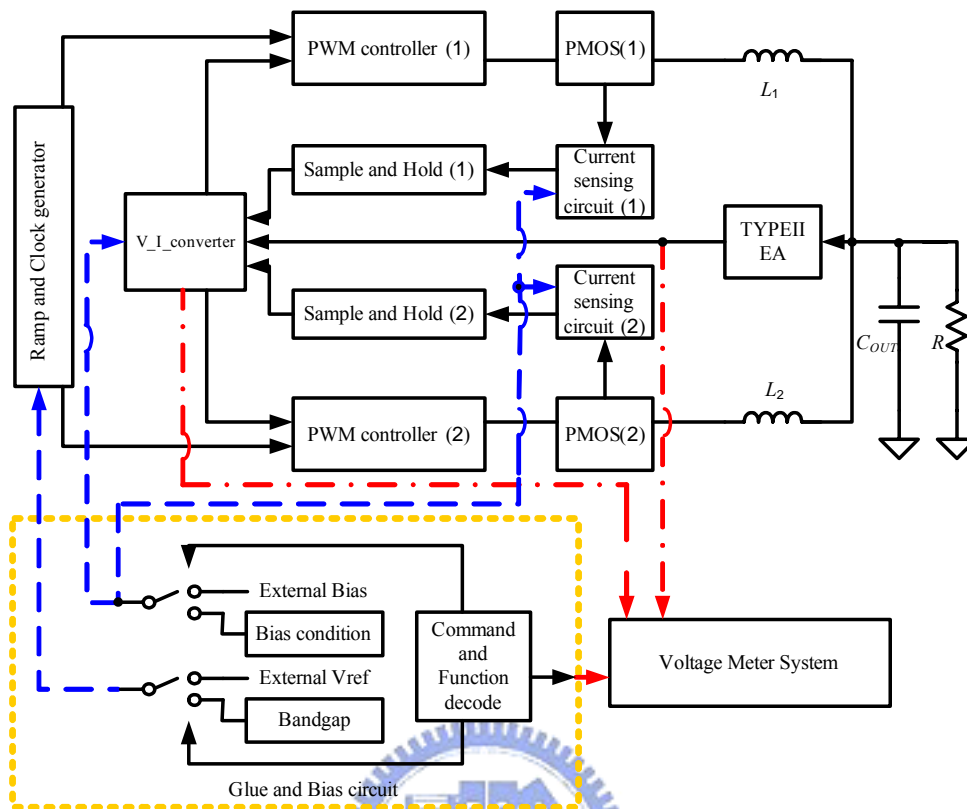


圖 31 偏壓電路及數位控制信號處理部份

4.5 電壓量測電路 (Voltage Meter)

電壓量測電路，圖 32，也屬於 *ETTC* 電路的一部分，其目的是將所要量測的電壓值傳到兩個輸出 *PIN* 腳供給直接量測。將之獨立拿出來解釋的原因是在設計上採用”3-Bit Select 2 Pin Output”可以用兩組輸出提供八組所要量測的電壓，而兩組輸出分別代表相位 1 及相位 2 的量測輸出，因此可以取得兩個相位之間的各八組電壓進行比較及分析。

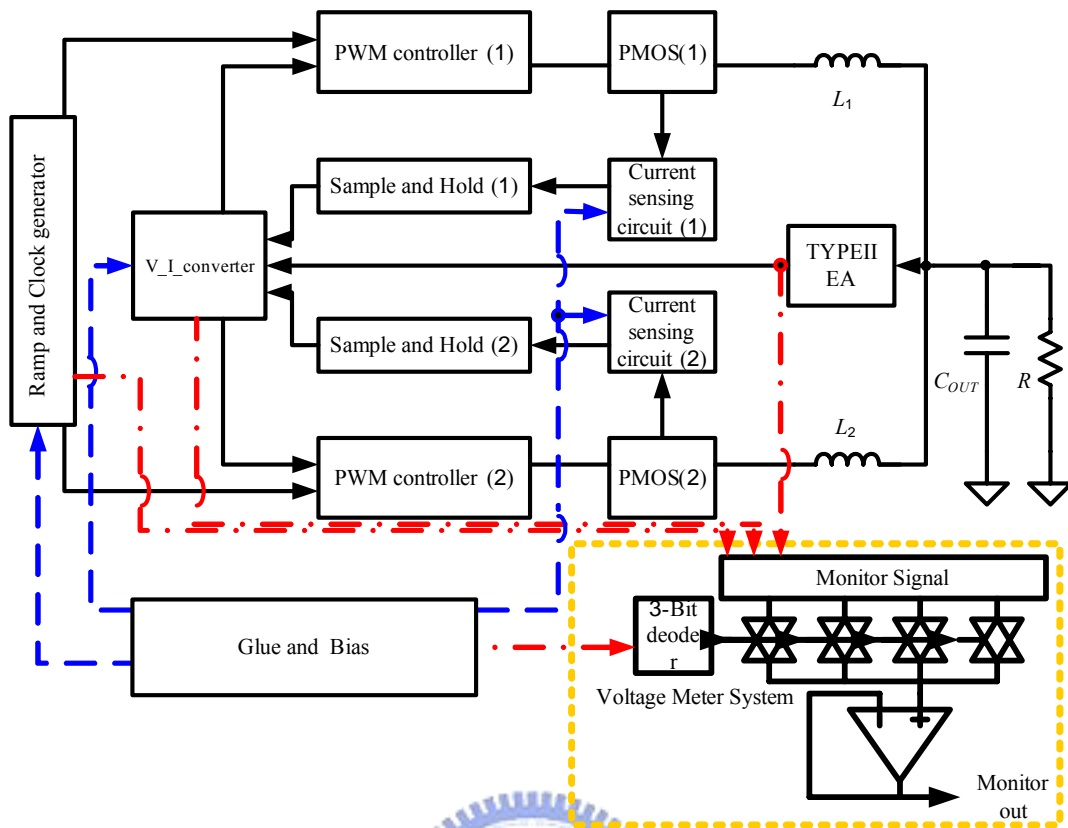


圖 32 電壓量測電路部份



第五章

電路設計、分析、實現及模擬結果


第五章將分析及實作一個交錯式直流-直流降壓轉換器。前面提出的一些改進方法，在本章中我們會用模擬的方式得到驗證。

5.1 制定規格 (*Define Specifications*)

此電路在製程上是採用台積電 $0.35\mu m$ 製程。其製程穩定且成熟，驗證方便，其模擬模組 (*Simulation Model*) 跟實際電晶體特性也比較接近。

首先，定義我們所要設計的規格，如表 1 所示：

表格 1 規格和參數 (*Specifications and parameters*)



<i>Nominal V_{dd}</i>	$3.6 V$	<i>Filter inductor L</i>	$4.5\mu H$
<i>$V_{dd,max}$</i>	$4.6 V$	<i>ESR of L</i>	0.125Ω
<i>$V_{dd,min}$</i>	$2.6 V$	<i>Filter capacitor, C</i>	$50\mu F$
<i>V_{out}</i>	$1.8 V$	<i>ESR of C</i>	<i>N/A</i>
<i>Load current</i>	$200mA\sim 500mA$	<i>Frequency</i>	$1MHz$
<i>$Duty_{max}$</i>	0.918	<i>ΔI_L</i>	$200mA$
<i>$Duty_{min}$</i>	0.466	<i>ΔV_{out}</i>	$50mV$

5.1.1 規格驗證

定義了規格之後，我們接著驗證依下跟理論是否吻合：

- (1) 首先我們先訂出 $V_{IN}=3.6V$ ， $V_{OUT}=1.8V$ ，則等效工作週期 $D=0.5$
- (2) 設定輸出電流的範圍及工作頻率：

$$I_o (CCM) = 200mA \sim 500mA$$

$$I_o (DCM) < 200mA$$

等效工作頻率 $1MHz$ ，因此每一個相位頻率為 $500KHz$ ， $TS=2\mu S$

- (3) 接下來由上參數計算電感值：(I_{OB} 為維持連續導通模式下最小的電流值)

$$L = \frac{V_{out} * (V_{in} - V_{out}) * T_s}{2 * V_{in} * I_{ob}} = \frac{(3.6 - 1.8) * 1.8 * 2\mu s}{2 * 3.6 * 200mA} = 4.5\mu H \quad (29)$$

且選擇該電感沒 ESR 電阻

- (4) 求得電感的內電阻

$$R_E = \frac{I_o(\min)}{2 * \Delta V_o(p-p)} = 0.125\Omega \quad (30)$$

第五章將分析及實作一個交錯式直流-直流降壓轉換器。前面提出的一些改進方法，在本章中我們會用模擬的方式得到驗證。

5.2 系統分析 (System Analysis)

因為交錯式直流-直流降壓轉換器是一個並聯的系統，每一個相位的調幅器的輸出及輸入端是連接在一起的，因此在分析上我們可以用單一相位的轉換函數來代表多個相位的並聯系統，既簡單又接近實際情形。

我們可以了解一個同步或非同步的穩壓器大致上可區分成四個部份來組成一個閉迴路系統[17]。如圖 33 所示，此四個部份包含調幅器 (*Modulator*)、輸出濾波器 (*Output Filter*)、取樣電路 (*Sampling Network*)、補償電路 (*Compensation network*)。

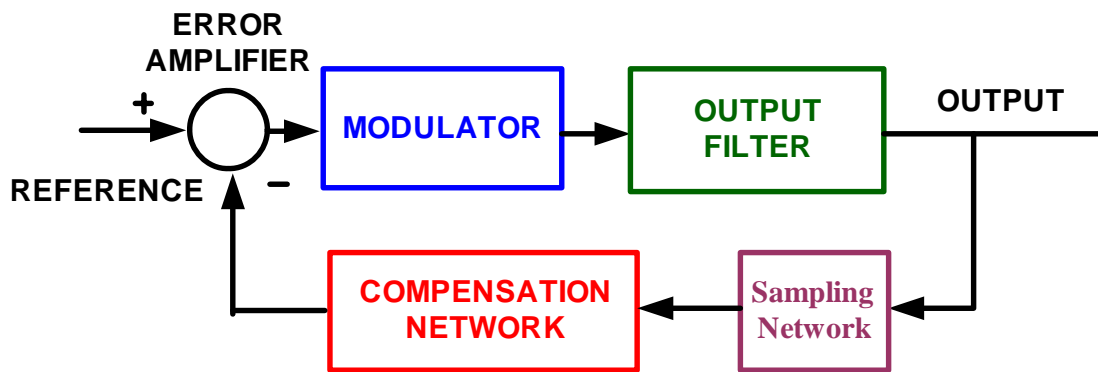


圖 33 降壓轉換器的基本方塊組成圖

5.2.1 調幅器(Modulator)

如圖 34 所示，為一組調幅器。此調幅器的輸入端的信號為誤差放大器的輸出，而輸出端則是 PHASE 這點，因此調幅器的增益可以簡化如下：

$$GAIN_{MODULATOR} = \frac{V_{IN}}{\Delta V_{OSC}} = \frac{3.6V}{0.6V} = 6 = Gm \quad (31)$$

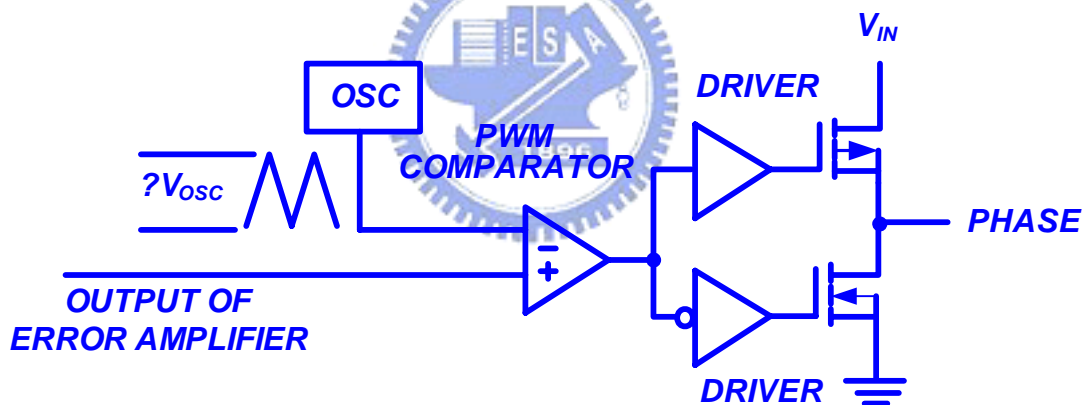


圖 34 調幅器

5.2.2 輸出濾波器 (Output Filter)

輸出濾波器包含一個輸出電感和輸出電容，此處值得注意的部份是要考慮輸出電感的直流電阻 *DCR* (*DC Resistance*)，及輸出電容的等效串聯電阻 (*Equivalent Series Resistance*) 但此處規格上並不包含 *ESR* 電阻。

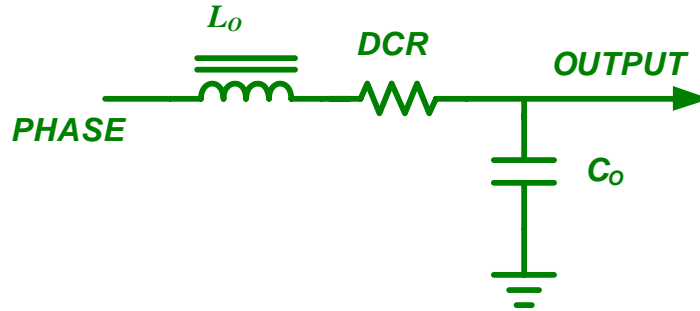


圖 35 輸出濾波器

因此如圖 35 所示我們可以得到在此輸出濾波器的轉換函數。

$$GAIN_{FILTER} = \frac{1 + s \cdot C_{OUT}}{1 + s \cdot (DCR) \cdot C_{OUT} + s^2 L_{OUT} C_{OUT}} = G_F \quad (32)$$

5.2.3 取樣電路 (Sampling Network)

此取樣電路部份是將轉換器的輸出電壓依比例取樣作為誤差放大器的輸入電壓，在之前的規格制定其輸出電壓為 $1.8V$ ，而設定誤差放大器的輸入電壓為 $1.2V$ ，因此我們可以得到此取樣電路的增益值為： $G_S = 20 \log\left(\frac{1.2V}{1.8V}\right) = -3.52dB$

5.2.4 輸出 RLC 濾波系統 (Output RLC Filter System)

如圖 36 所示，為輸出 RLC 濾波系統圖形。此系統是將前面三個區塊的電路連接起來即 $G_M + G_{FL} + G_S$ ，此外還將輸出電阻的部份考慮進去。

$$GAIN_{OPENLOOP} = \frac{V_{in}}{V_{osc}} \cdot \frac{R_o}{S^2(C_o L_o R_o) + S(L_o) + R_o} \cdot \frac{R_{s2}}{R_{s1} + R_{s2}} \quad (33)$$

圖 36 為輸出 RLC 濾波系統增益圖。由之前電感、電容設定的參數值可以得知增益值在頻率 $10KHz$ 點開始會遇一個雙極點，然後以每十倍頻 $40dB$ 的速度下降 ($-40db/DEC$)，相位部份在 $10KHz$ 點時的相位會急遽的變化拉到接近 -180 度，此時系統將會呈現不穩定的狀態，因此補償電路在設計上就必需將該點的相位拉升到足夠的相位邊限 (*Phase Margin*) 來維持系統的穩定。圖 37 為計算後所得到的輸出 RLC 濾波增益示意圖及 HSPICE 實際模擬結果。

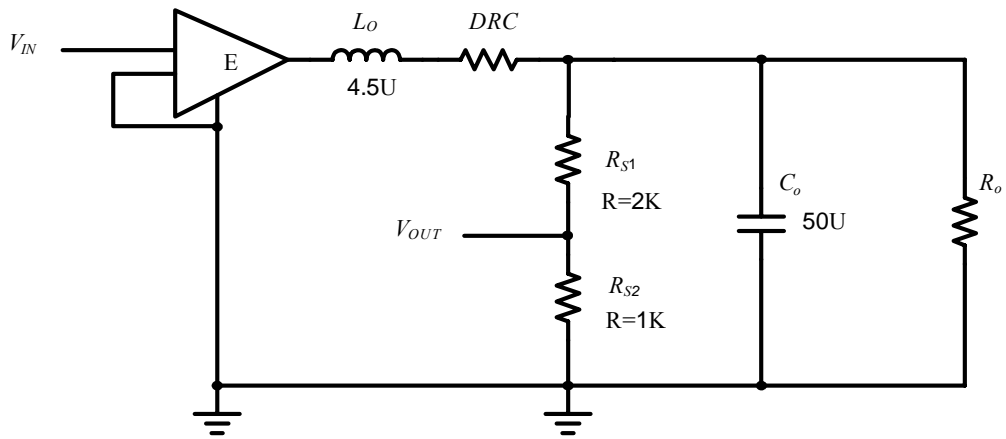


圖 36 輸出 RLC 濾波系統電路圖

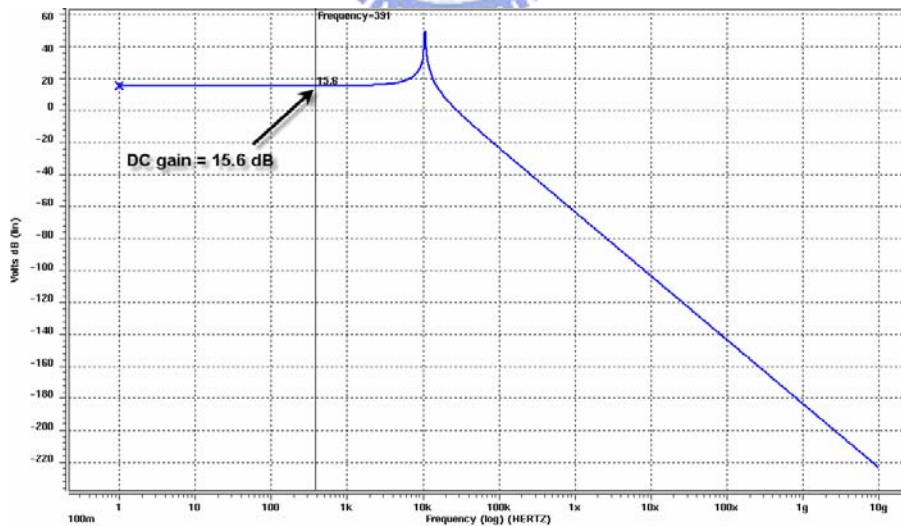
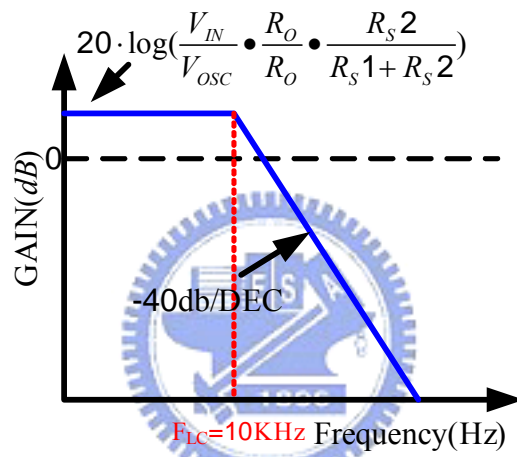


圖 37 輸出 RLC 濾波增益示意圖及 HSPICE 實際模擬結果

5.2.5 TYPEIII 誤差放大器設計 (TYPEIII EA Design)

當我們了解了開迴路的系統增益後，接下來便是設計我們的誤差放大器，使得整個系統能夠穩定。

首先先設定我們之前所有的資訊情況如下，來求得我們所要的誤差放大器相關數值。

$$V_i = 3.6V, V_o = 1.8V, \text{Switching frequency} = 500KHz$$

設計步驟如下：參考圖 38 電壓控制頻率響應關係[1]、[17]及模擬圖。

(1) 由切換頻率為 500KHz，我們可以決定交越頻率(cross over frequency)為

$$F_{co} = 500K/5 = 100KHz。$$

(2) 求得輸出 RLC 濾波電路兩個極點的位置 $L_o = 4.5\mu H$ ， $C_o = 50\mu F (Re=0)$ ，因此

$$F_o = \frac{1}{2\pi\sqrt{L_o C_o}} = 10,615(Hz)$$

$$(3) AIN_{OPENLOOP(100KHz)} = \frac{V_{in}}{V_{osc}} \cdot \frac{R_{s1}}{R_{s1} + R_{s2}} \cdot \frac{R_o}{S^2(C_o L_o R_o) + S(L_o) + R_o} = 6 \cdot \frac{2}{3} \cdot \frac{9}{S^2(50\mu * 4.5\mu * 9) + S(4.5\mu) + 9}$$

$$GAIN_{openloop(100k)}(dB) = G_{total}(dB) = 15.56dB + (-0.778)dB + (0.01)dB = 12.04dB$$

(4) 決定相位邊線為 45 度，則總相位飄移在 100KHz 的相位為 $360^\circ - 45^\circ = 315^\circ$ 而一個迴圈需 180° ，故可以得到誤差放大器所耗的相位為 $315^\circ - 180^\circ = 135^\circ$ 可以得到 $K \text{ factor} = 5$

$$(5) \text{ 因此 } \frac{F_{co}}{F_z} = \frac{F_p}{F_{co}} = 5 \text{ So } F_z = 20KHz \quad F_p = 500KHz$$

(6) 因為原先“輸出 RLC 濾波電路”的頻率響應圖，在 100KHz 時，其增益為

$$G_r = -26.83dB \text{ 因此我們希望在設計誤差放大器時，其增益在 } 100KHz \text{，即在交}$$

越頻率時可以達到 $G(F_{co}) \text{ of the error amplifier} = 26.83dB$

(7) 代入求得各項參數

Choose $R_1 = 10K$ 可以得到當誤差放大器在2KHz時的增益是12.85dB

$[26.8dB - 20\log(5)] = 12.85dB$,所以

$$R_2 = 10^{12.85/20} * R_1 = 43.913K$$

$$C_2 = \frac{1}{2\pi F_p R_2} = \frac{1}{2\pi(500k)(43.913k)} = (7.25E-12)F$$

$$C_1 = \frac{1}{2\pi F_z R_2} = \frac{1}{2\pi(20k)(43.913k)} = (1.81E-10)F$$

$$C_3 = \frac{1}{2\pi F_z R_1} = \frac{1}{2\pi(20k)(10k)} = (7.96E-10)F$$

$$R_3 = \frac{1}{2\pi F_p C_3} = \frac{1}{2\pi(500k)(7.96E-10)} = 400\Omega$$

(8) 圖 38 為 TYPEIII 誤差放大器頻率響應的模擬圖，跟之前分析直非常接近。

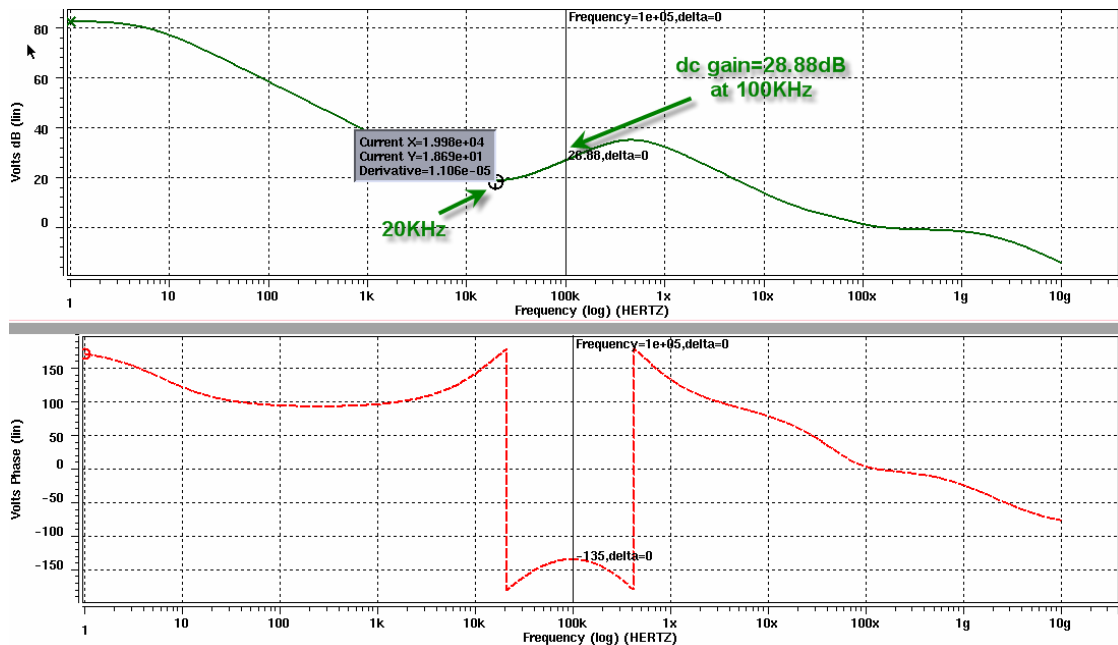
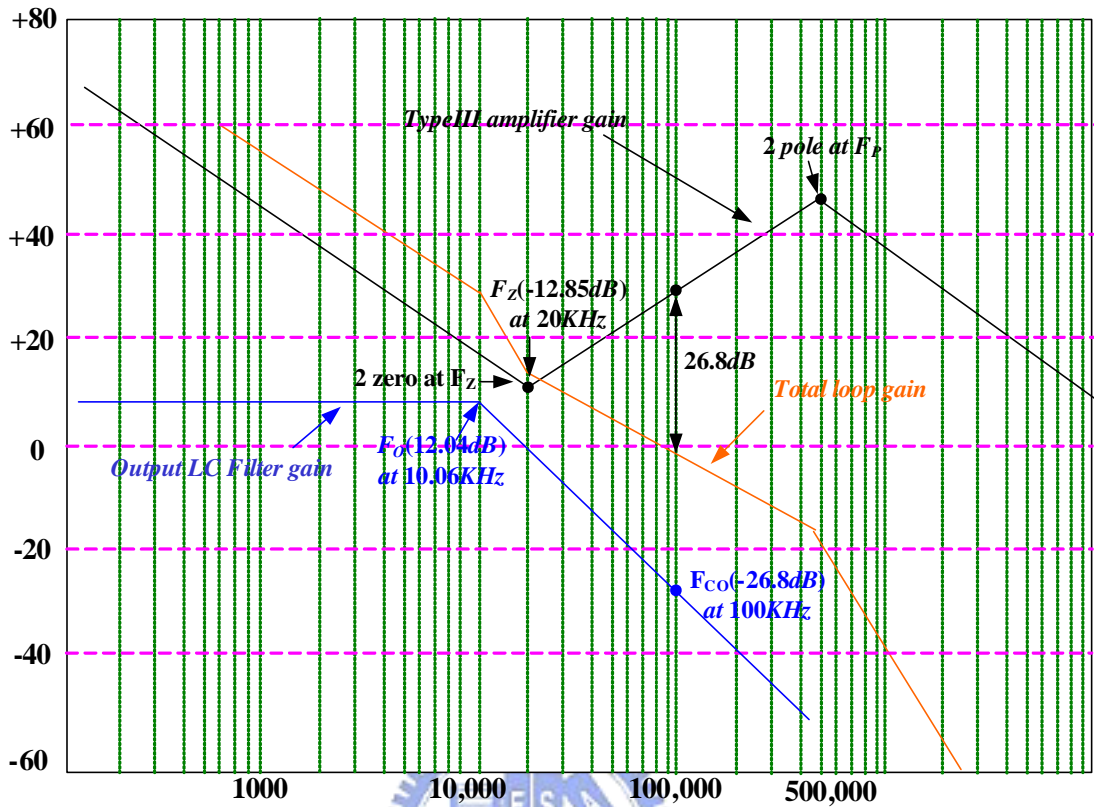
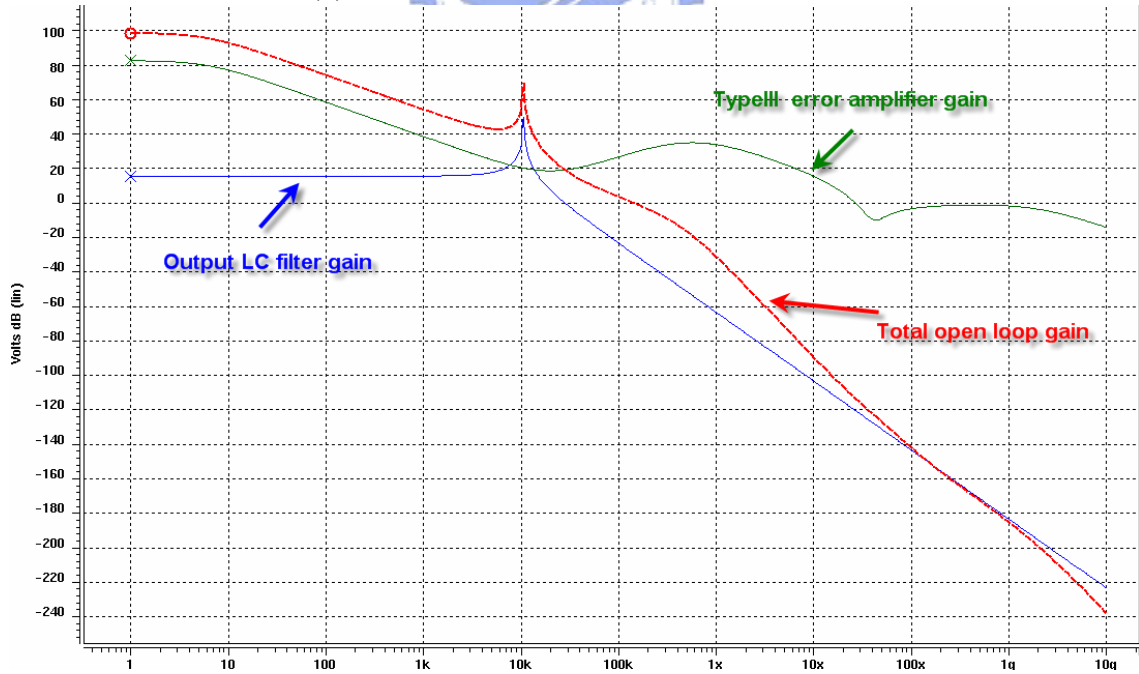


圖 38 TYPEIII 誤差放大器頻率響應模擬圖

(9) 圖 39 為總開迴路增益頻率響應關係設計圖及 HSPICE 模擬圖，圖 39(a)是根據前面的步驟分析而描繪出來的結果。而圖 39(b)則是結合輸出 RLC 濾波電路及 TYPEIII 電路，用 HSPICE 模擬而得到的結果，跟圖 39(a)的關係設計圖非常接近，同時也得以驗證。



(a) 總開迴路增益頻率響應關係設計圖



(b) 總開迴路增益頻率響應 HSPICE 模擬圖

圖 39 總開迴路增益頻率響應關係設計圖及 HSPICE 模擬圖

5.3 偏壓電路設計

偏壓電路的設計，其目的是希望電路中的電晶體能操作在正常的工作點上，因此在許多類比電路中，偏壓電路佔非常重要的角色。在本論文中，我們將採用“寬擺幅固定轉導偏壓電路 (*wide-swing constant gm bias circuit*)”。下面將會此偏壓電路作由淺而深的介紹、分析及模擬。

5.3.1 傳統固定轉導偏壓電路 (*Traditional Constant gm Bias Circuit*)

在介紹此次使用電路前，先行說明何謂固定轉導偏壓電路。傳統的固定轉導偏壓電路如圖 40 所示[18]，在忽略二階效應（如基體效應、有限輸出電阻及幾何形狀不匹配等）因素下，我們可以知道，並推導出下面功式。

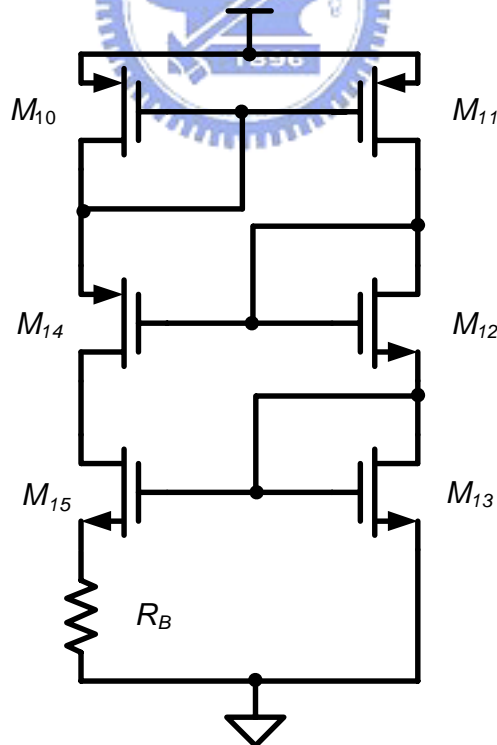


圖 40 固定轉導偏壓電路

假定 M_{10} 和 M_{11} 的大小相同且匹配，在此架構下我們可以得到這兩個電晶體的汲極

電流 $I_{10}=I_{11}$ ， M_{10} 的電流全部流到 M_{15} 電晶體上， M_{11} 的電流全部流到 M_{13} 上，因此我們可以得到 $I_{15}=I_{13}$ ，並可推導出下列關係式：

$$\begin{aligned}
 I_{15} = I_{13} &\Rightarrow V_{GS15} + I_B R_B = V_{GS13} \\
 \Rightarrow V_{OV15} + I_B R_B &= V_{OV13} \\
 \Rightarrow \sqrt{\frac{2I_{D15}}{u_N C_{OX} (W/L)_{15}}} + I_B R_B &= \sqrt{\frac{2I_{D13}}{u_N C_{OX} (W/L)_{13}}} \\
 \Rightarrow \sqrt{\frac{2I_{D13}}{u_N C_{OX} (W/L)_{15}}} + I_{D13} R_B &= \sqrt{\frac{2I_{D13}}{u_N C_{OX} (W/L)_{13}}} \\
 \Rightarrow \frac{2}{\sqrt{2u_N C_{OX} (W/L)_{13} I_{D13}}} \left(1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{15}}}\right) &= R_B \\
 \text{則 } g_{m13} = \frac{2 \left(1 - \sqrt{\frac{(W/L)_{13}}{(W/L)_{15}}}\right)}{R_B} &= \frac{2}{R_B} \left(1 - \frac{1}{\sqrt{K}}\right) \\
 I_{OUT} = \frac{2}{2u_N C_{OX} (W/L)_{13} R_B^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 &
 \end{aligned}$$

我們可以看出 M_{13} 的轉導值(g_{m13})，只與電阻 R_B 以及 M_{13} 、 M_{15} 的電晶體大小比例有關。與 VDD 及 $K = u_N C_{OX}$ 無關，這樣轉導值對於電源電壓及溫度變化有很小的相依性。

由上面的關係式我們可以得知，當如果令 $(W/L)_{13} = \frac{1}{4}(W/L)_{15}$ 及令 $K=4$ ，則 $g_{m13} = \frac{1}{R_B}$ 表示我們可以設計出轉導值得大小只與電阻 R_B 相關。因此對 n 通道電晶體電路及 p 通道電晶體電路所產生的固定轉導值有以下關係。

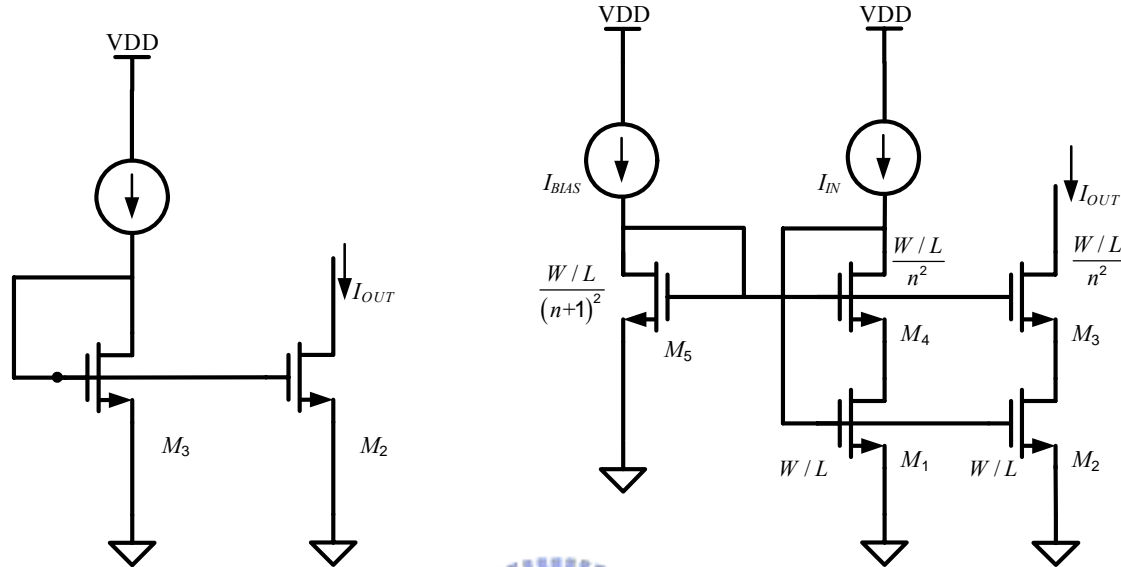
$$\begin{aligned}
 \text{For } n\text{-channel device } g_{mi} &= \sqrt{\frac{(W/L)_i I_{Di}}{(W/L)_{13} I_{D3}}} \times g_{m13} \\
 \text{For } p\text{-channel device } g_{mi} &= \sqrt{\frac{(W/L)_i I_{Di}}{(W/L)_{13} I_{D3}}} \times g_{m13}
 \end{aligned}$$

5.3.2 寬擺幅電流鏡 (Wide Swing Current Mirror)

由於製程的演進，短通道的長度往往限制住了電晶體的輸出阻抗，這個問題可以利用疊接電流鏡的方式來改善，但採用這種方式的結果往往需要非常注意輸出信號擺幅的

限制。

圖 41 為二極體連接形式的電晶體偏壓電流鏡電路，圖 41(a)為傳統的電流鏡電路，圖 41(b)為寬擺幅電流鏡架構[18]。



$$V_{OUT(\min)} = V_{DS(\min)} = V_{OV}$$

$$I_3 \neq I_2, V_{DS1} = V_{GS1} \neq V_{DS2}$$

$$V_{DS2(\min)} = V_{OV}, V_{OUT(\min)} = (n+1)V_{OV}$$

$$I_3 = I_2, V_{DS3} = V_{DS2}$$

(a)傳統電流鏡

(b)寬擺幅疊階式電流鏡

圖 41 二極體連接形式電晶體偏壓電流鏡電路

傳統的電流鏡架構，由圖 40(a)可以得知 $I_3 \neq I_2$ 且 $V_{out(\min)} = V_{ov}$ ，但相對於圖 40(b)寬擺幅疊接式電流鏡便可以做到電流一致且輸出阻抗增加，又可以同時滿足輸出大信號擺幅的目的。下面將針對圖 40(b)電路做分析討論：

使用 M_4 的目的是為了將 M_3 的 V_{DS} 變小，此時 M_3 、 M_4 所形成的二極體形式便會跟單使用 M_3 一致。

$$1. V_{OV3} = V_{OV2} = \sqrt{\frac{2I_{D2}}{u_N C_{OX} (W/L)}} = V_{OV}$$

$$2. \text{令 } V_{OV5} = (n+1)V_{OV} \Rightarrow \text{又設 } I_{D5} = I_{D2} \Rightarrow M_5 = \frac{W/L}{(n+1)^2}$$

$$\Rightarrow V_{G5} = V_{G4} = V_{G1} = (n+1)V_{OV} + V_{th}$$

$$3. \text{令 } V_{OV4} = nV_{OV} \Rightarrow V_{GS4} = nV_{OV} + V_{th} \Rightarrow M_4 = \frac{W/L}{n^2}$$

$$\Rightarrow V_{DS3} = V_{DS2} = V_{G5} - V_{GS4} = V_{OV}$$

$V_{OV} = V_{DS2} = V_{DS3}$ 電壓降，使得 M_2 與 M_3 偏壓在三極區的右緣而恰好進入飽和區，則最小輸出電壓為 $V_{OUT(\min)} \geq V_{OV1} + V_{OV2} = V_{OV4} + V_{OV} = (n+1)V_{OV}$ 一般來說，我們會取 $n=1$ 且會

設計 $V_{OV} = 0.2V \sim 0.25V$ ，使電晶體在飽和區，另外要確定 $V_{DS4} > V_{OV4} = nV_{OV}$ 而

$V_{DS4} = V_{GS3} - V_{DS3} = V_{OV} + V_{th} - V_{OV} = V_{th}$ ，而 V_{th} 一般可以大於 n 倍的 V_{OV} 電壓。

以上的推導是基於 $I_{BIAS} = I_{IN}$ 的條件，因此在 I_{BIAS} 設計考量上，由於 I_{BIAS} 是一個固定值而是一個隨偏壓而定的偏壓電流源，因此設計上，可以使 V_{OV5} 變大讓所有的電晶體不至於離開飽和區，但 M_2 、 M_3 的 V_{DS} 會大於預期值而使得擺幅變小；但如果設計 $I_{BIAS} = I_{IN}$ 當 I_{IN} 變大時有些電晶體將進入三極區，在此時的輸出阻抗也會變小，因此亦可以設計使 $(W/L)_5$ 小一點，則 V_{OV5} 會大一些， V_{DS2} 、 V_{DS3} 也相對會大一些 ($>0.2V \sim 0.25V$)，約 $0.3V \sim 0.4V$ 會如此便可以確保 M_2 、 M_3 不會離開飽和區。

5.3.3 寬擺幅固定轉導偏壓電路

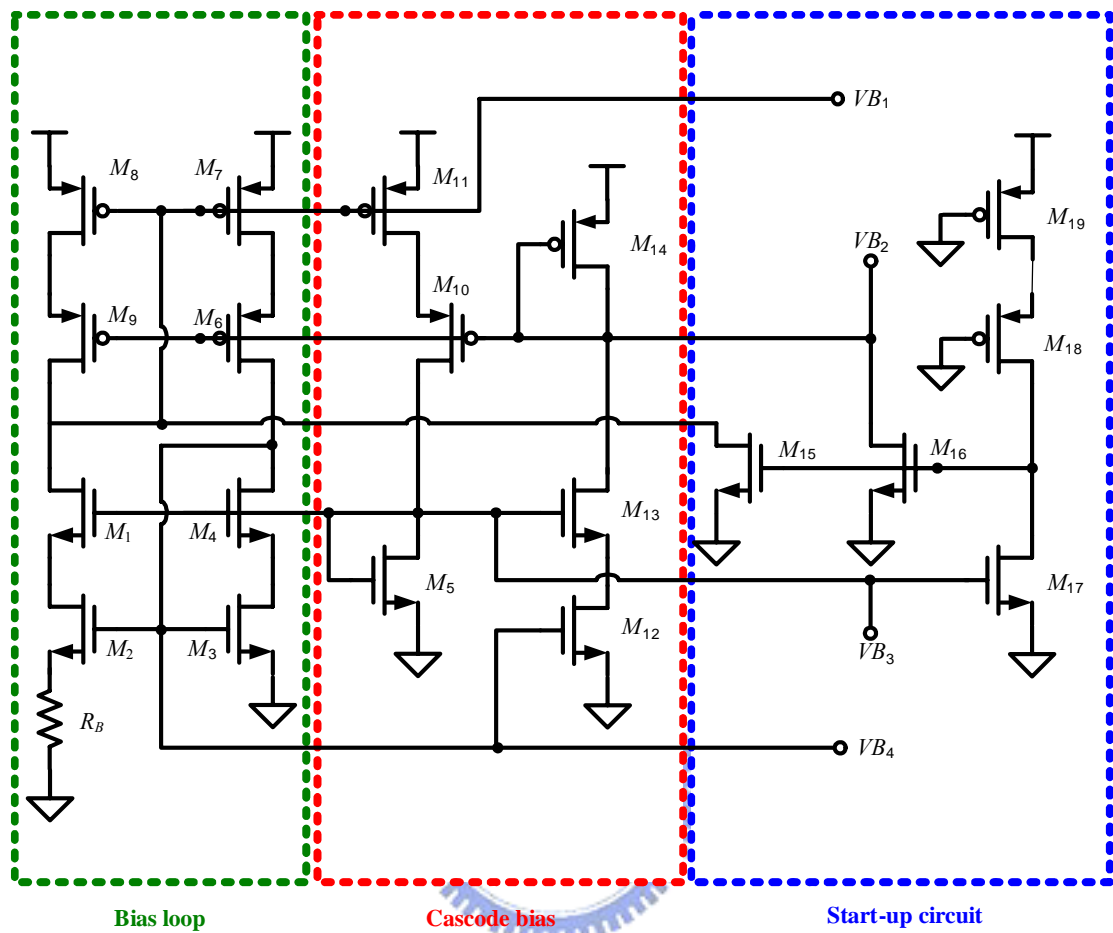


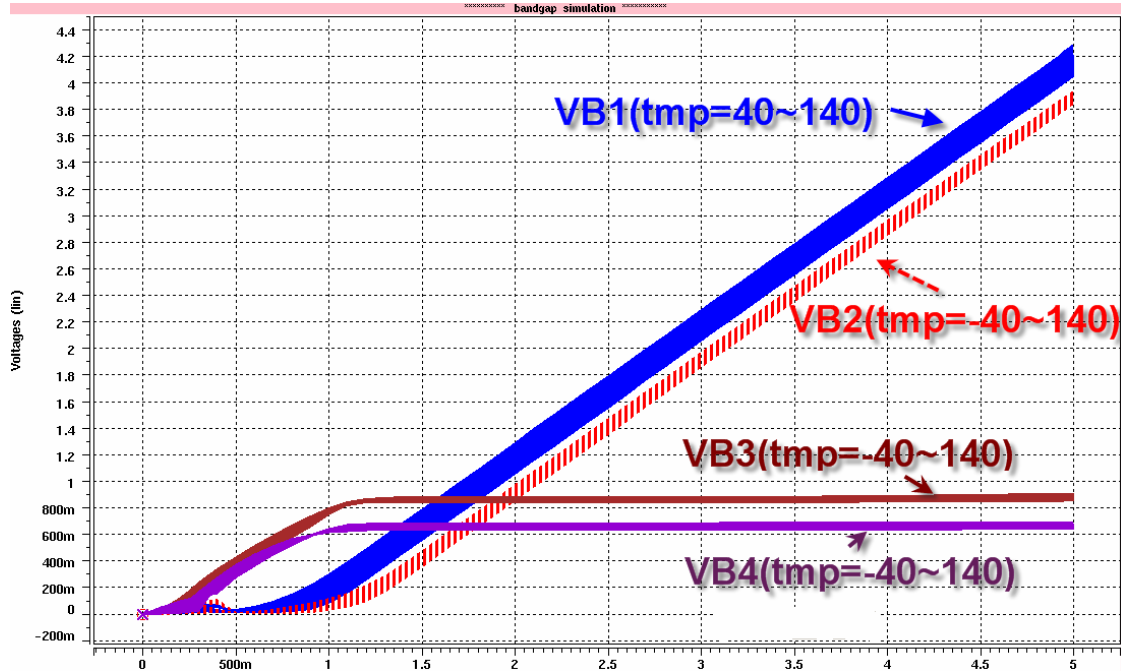
圖 42 含寬擺幅電流鏡之固定轉導偏壓電路

1. 由 $M_1 \sim M_4$ 構成 *n-channel* 寬擺幅電流鏡，由 M_5 所形成的二極體連接形式電晶體經 M_{10} 與 M_{11} 所偏壓。
2. 由 $M_6 \sim M_9$ 構成 *p-channel* 寬擺幅電流鏡，由 M_{14} 所形成的二極體連接形式電晶體經 M_{12} ， M_{13} 所偏壓。
3. $M_{15} \sim M_{18}$ 構成啓動電路，為漸少靜態電流消耗，可設計 M_{18} 為長通道元件，可利用多個電晶體串連而成。

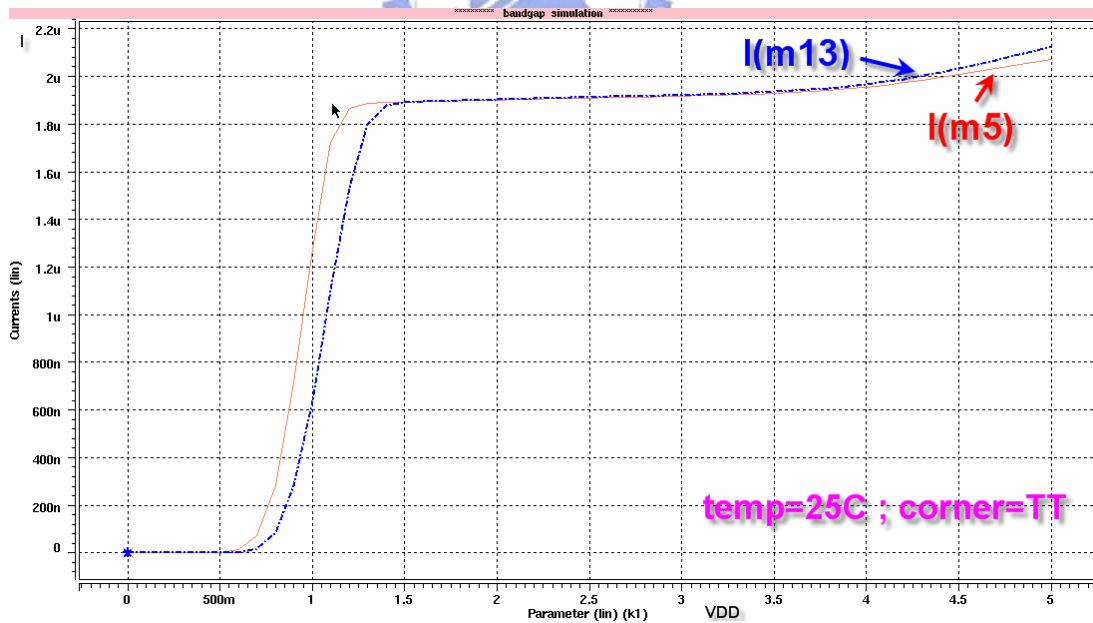
5.3.4 寬擺幅固定轉導偏壓電路模擬

圖 43(a) 為電源電壓 V_{DD} 變化對偏壓點電壓影響的模擬在溫度 $-40^{\circ}\text{C} \sim 140^{\circ}\text{C}$ 情形

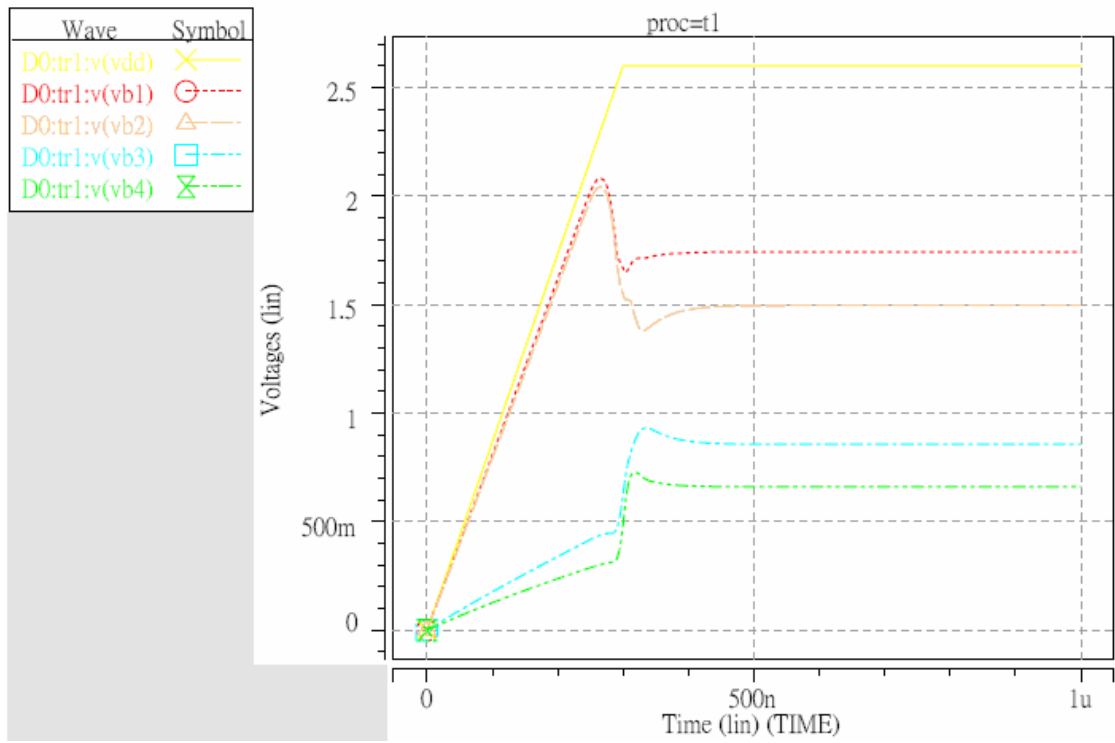
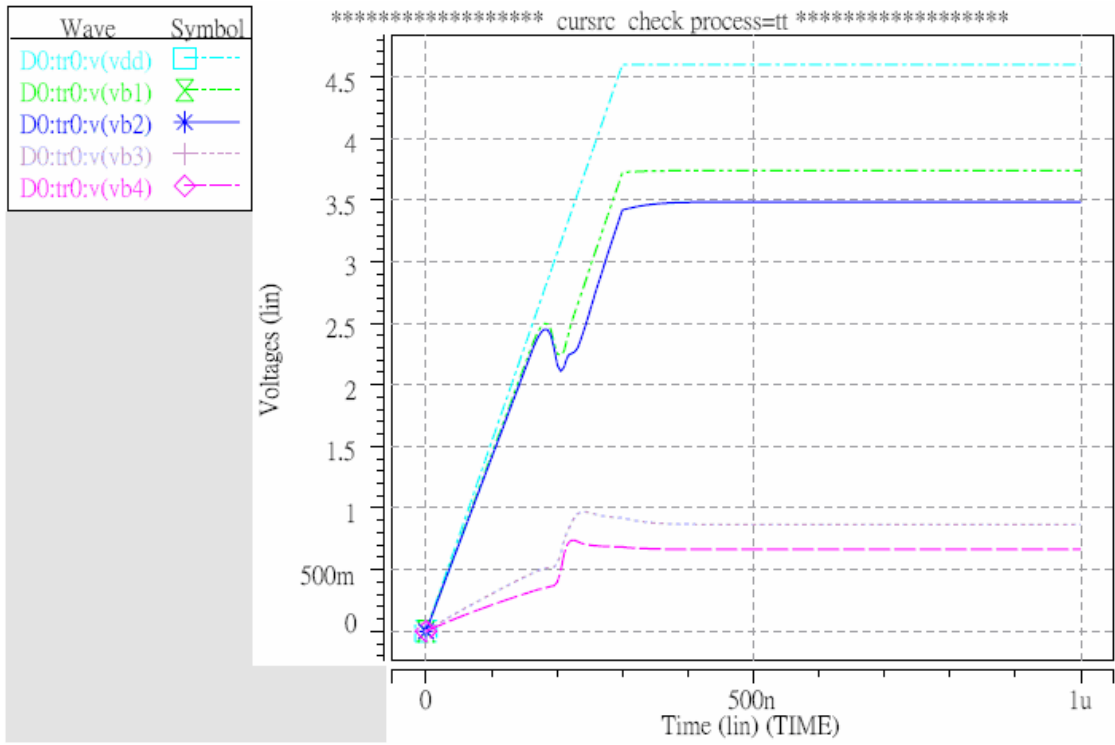
下，發現溫度越低偏壓點也越低。圖 43(b)是相對於偏壓點電流變化之模擬。顯示當 VDD 到達 $2V$ 時，偏壓電路進入穩定態，從 $2V\sim 5V$ 的 VDD 變化，偏壓點輸出 VB_{1-4} 都相當穩定。圖 43(c)為偏壓電路起動(start-up)模擬。



(a) 偏壓點相對於電源的變化(溫度-40C~140C)



(b) 電源變化對偏壓電流影響之模擬



(c) 啓動電路功能模擬(vdd=4.6v and vdd=2.6v)

圖 43 寬擺幅偏壓電路模擬結果

5.4 帶差參考電壓源電路 (**BANDGAP**)

一個帶差參考電壓[19]、[20]、[21]如圖 44 所示，圖中的 *BANDGAP_OP* 是由簡單且具米勒補償二階運算器構成如圖 45 所示。

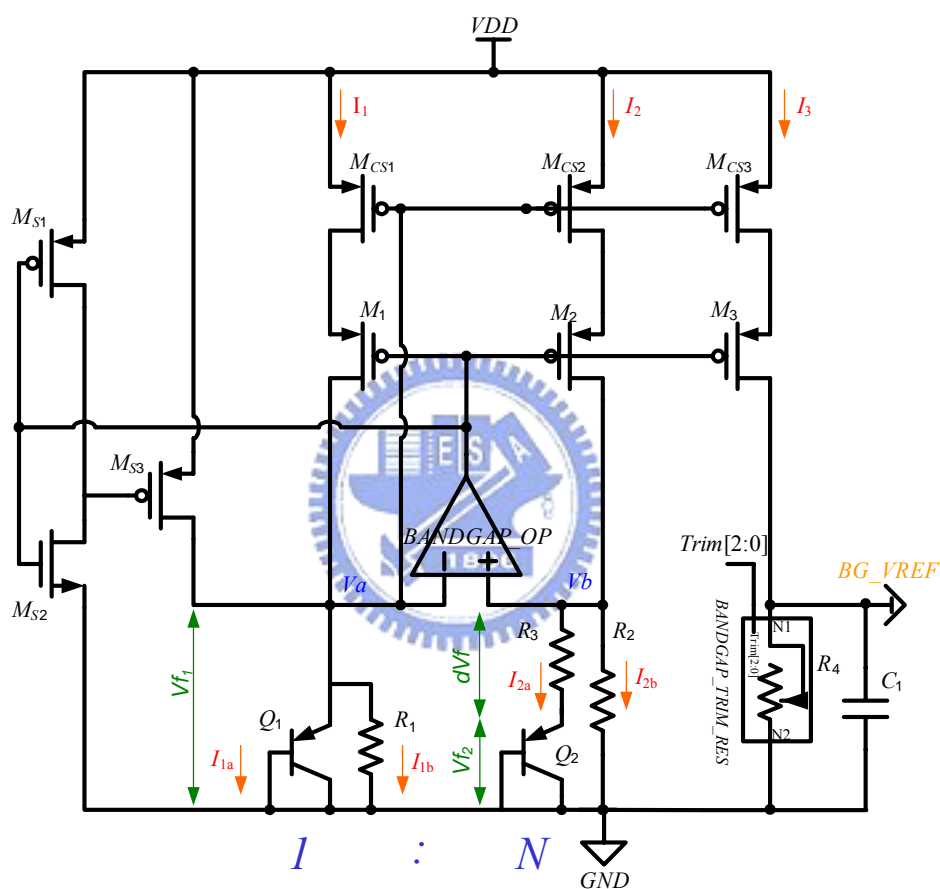


圖 44 帶差參考電壓電路圖

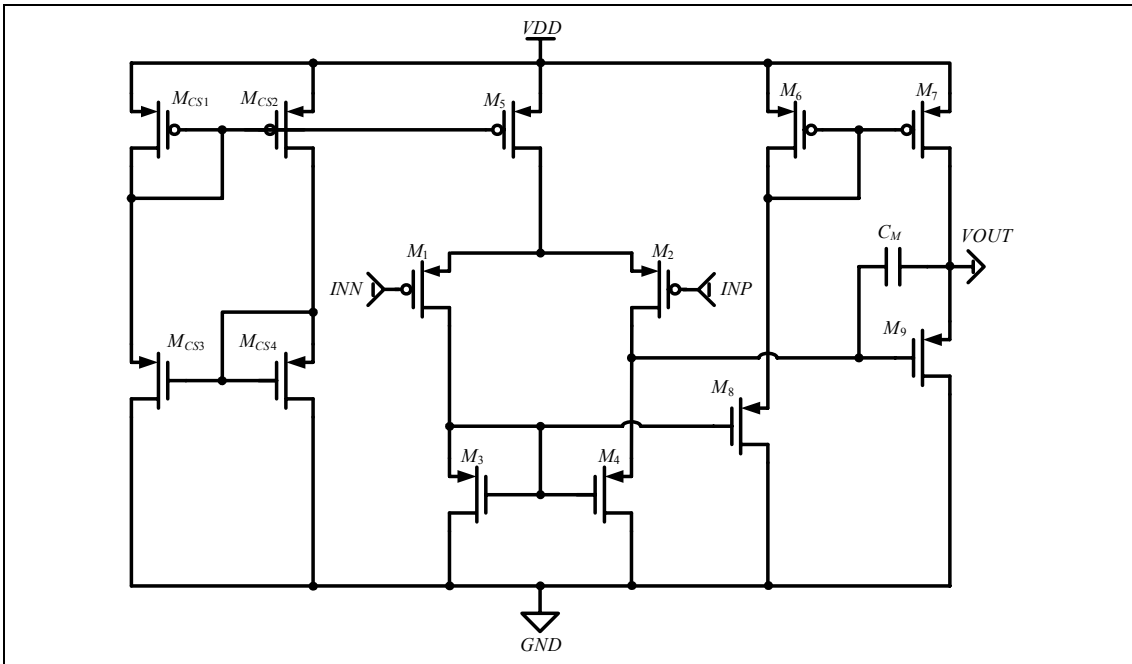


圖 45 米勒補償二階運算器(BANDGAP_OP)電路圖

5.4.1 原理分析

首先分析圖 44 是一個帶差參考電壓電路[9] [10] [11]， M_{S1} 、 M_{S2} 、 M_{S3} 是帶差參考電路的啓動電路(start up circuit)， $M_{CS1} \sim M_{CS3}$ 是一個疊接的電晶體，其目的是爲了隔絕電源電壓變化對 $M_1 \sim M_3$ 電晶體的影響。令 $R_1=R_2$ ，運算放大器兩端虛短路，所以 $V_a=V_b$

(1) $M_1 \sim M_3$ 的閘極端接同一個電壓(參差放大器輸出)，因此流經電晶體的三組電流均相等 $I_1 = I_2 = I_3$

$$dV_f = V_{f1} - V_{f2} = V_T \cdot \ln(N)$$

(2) 在上面情形下，又 $V_a=V_b$ ， $I_{2a}=I_{1a}$ 且 $I_{1b}=I_{2b}$

$$V_{ref} = R_4 \left(\frac{V_{f1}}{R_2} + \frac{V_{f2}}{R_3} \right) = V_T \cdot \ln(N)$$

(3) I_{2a} 電流和 V_T 成比例， I_{2a} 電流和 V_{f1} 成比例因此 $I_{2a} = \frac{dV_f}{R_3}$ ， $I_{2b} = \frac{V_{f1}}{R_2}$ 。

(4) I_{3a} 的電流由 I_{2a} 鏡相而來，故 $I_3 = I_2 = I_{2a} + I_{2b}$ 。

(5) 因此，輸出電壓爲 $V_{ref} = R_4 \left(\frac{V_{f1}}{R_2} + \frac{dV_f}{R_3} \right)$

5.4.2 帶差參考電路模擬

表格 2 是我們在模擬帶差參考電路前的設計規格和參數。

表格 2 規格和參數 (*Specifications and parameters*)

<i>Supply voltage</i>	2.6V~4.6V	<i>Quiescent current</i>	<50uA
<i>Temp</i>	-40 °C~140 °C	<i>Bandgap Voltage</i>	+/-30mV
<i>Trimming circuit</i>	Yes	<i>Startup circuit</i>	Yes

帶差參考電路模擬包含有:(1) 運算放大器模擬(2)溫度係數的模擬(3)最小供給電壓模擬(4)電源拒斥比(*PSRR*)的模擬(5)靜態電流(*Quiescent Current*)的模擬。

(1)運算放大器模擬

我們設定運算放大器的輸出電容為 $16.75fF$ ，其模擬結果如圖 46 所示，直流增益是 $75.59dB$ ，單位增益頻寬為 $125MHz$ 。

(2)溫度係數的模擬:

五個 *Corner* 的溫度係數模擬如圖 47 所示，溫度從 $-40C \sim 110C$ 參考電壓的變化為 $6.2mV$ ，溫度係數為 $50.83ppm/°C$ 。溫度係數計算如下:

$$TC = \frac{\partial V_{REF}}{\partial T} \times 10^6 = \frac{6.2mV}{100^\circ} \times 10^6 = 51.17 ppm / ^\circ C$$

(3)最小供給電壓模擬:

如圖 48 所示，當供給電壓達 $2.0V$ 時，帶差參考電路其輸出電壓將趨於穩定，此模擬式包含 $VDD=2.6 \sim 4.6V$ 及溫度變化 $-40C \sim 140C$ 的情況下進行模擬

(4)電源拒斥比(*PSRR*)模擬:

如圖 49 所示，為當電源變化影響輸出之頻率響應模擬，在五個 *Corner* 的溫度係數及 $VDD=2.6V \sim 4.6V$ 情形下，直流時可達 $-80dB$ 。

(5)靜態電流(*Quiescent Current*)的模擬:

靜態電流約 $35.7828uA$ 。

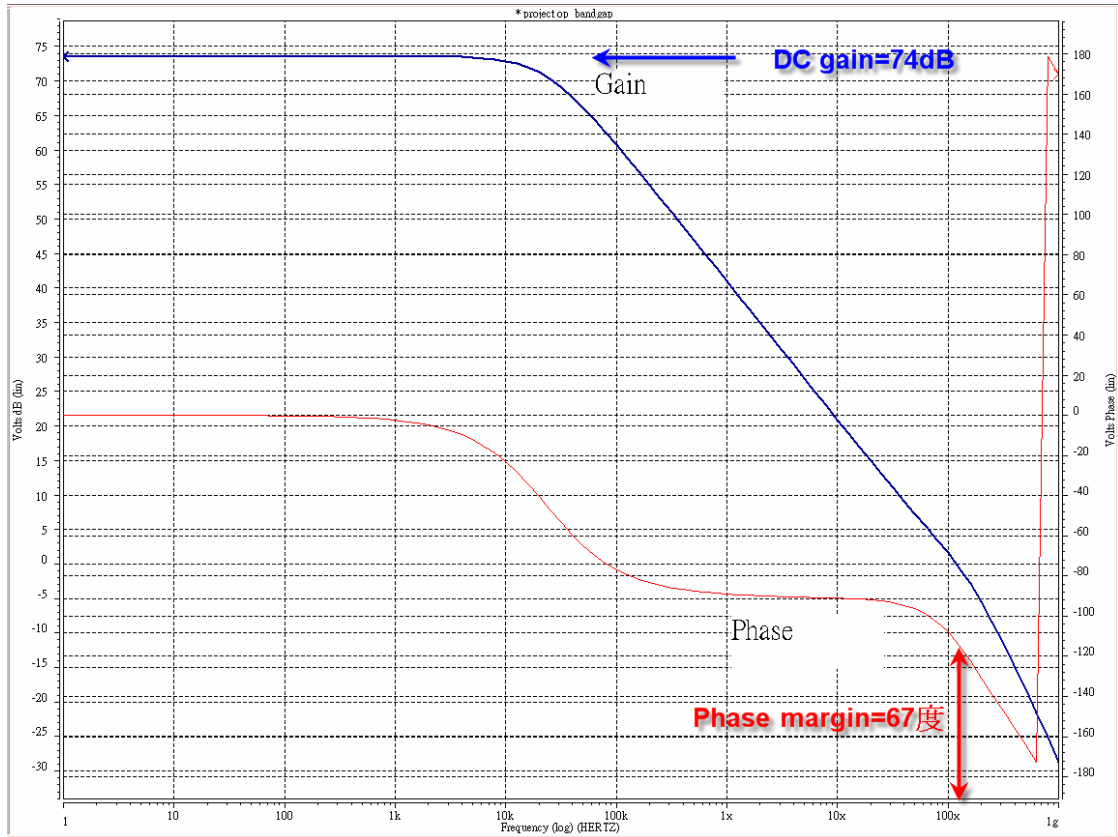


圖 46 運算放大器(BANDGAP_OP)的頻率響應

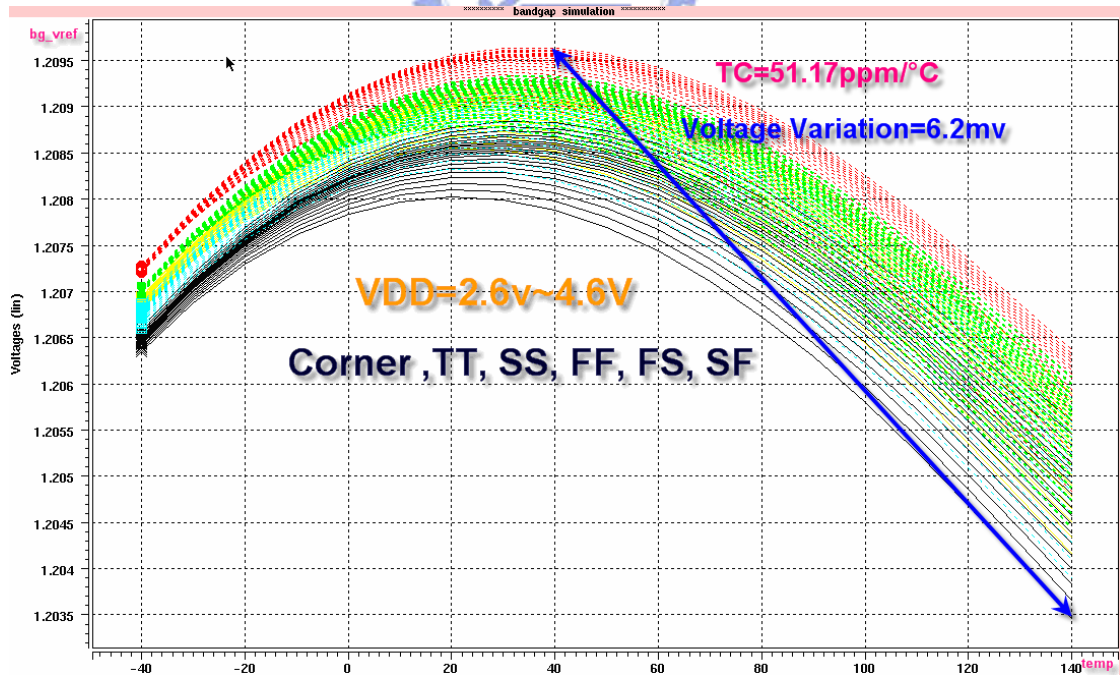


圖 47 運算放大器(BANDGAP_OP)的溫度響應

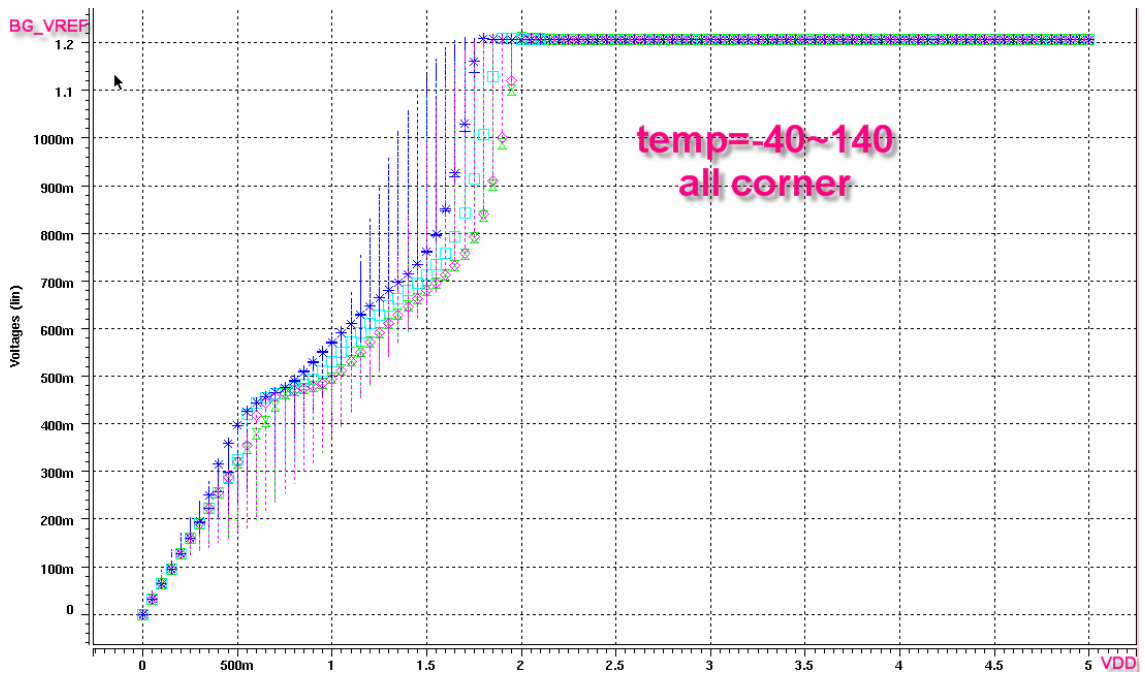


圖 48 最小供給電源電壓模擬

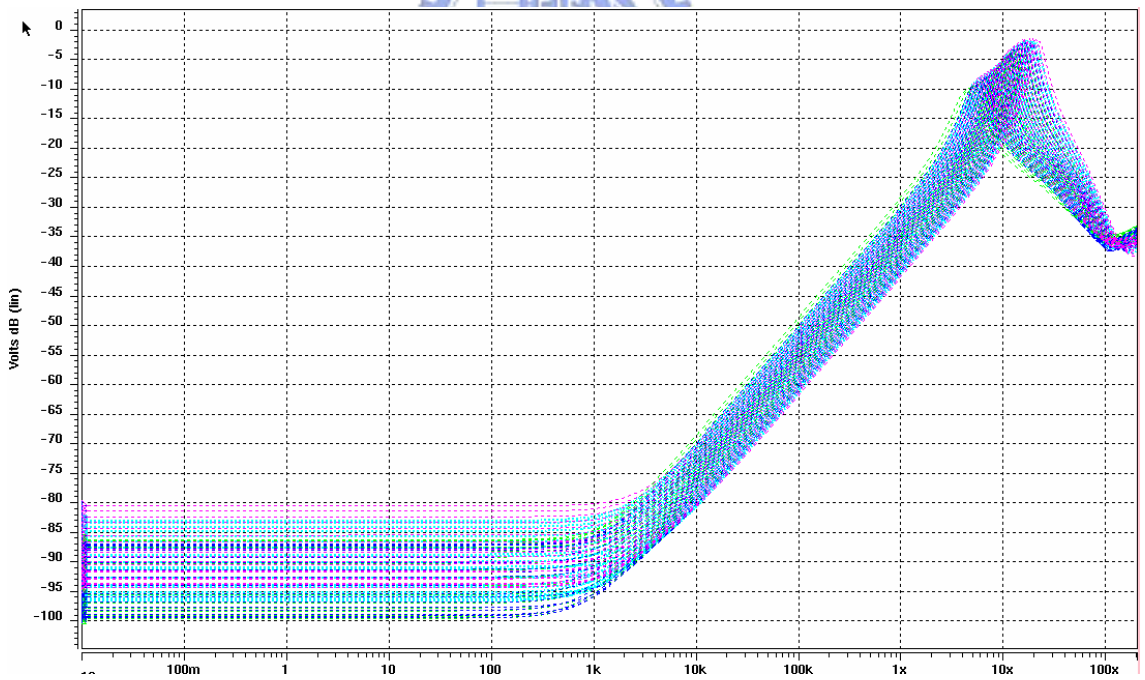


圖 49 電源拒斥比模擬

5.5 三角波產生器 (Saw-Tooth)

我們希望產生一個隨著輸入電壓變化，能動態地改變三角波的斜率，使得輸出端的電壓能夠固定。也可以經由下列式子來解釋：

$$V_{OUT1} = V_{REF} - D_1 * A_{SAWTOOTH1}$$

$$V_{OUT2} = V_{REF} - D_2 * A_{SAWTOOTH2}$$

V_{OUT1} 和 V_{OUT2} 分別代表不同輸入電壓下所產生的輸出電壓值， D_1 和 D_2 分別代表輸出電壓和輸入電壓的比值 ($D = \frac{V_{OUT}}{V_{IN}}$)，因此假設 D_1 和 D_2 的差別在於輸入電壓 V_{IN} 的 K 倍差異，此時若是兩個三角波的斜率也成 K 倍，則就可以得到輸出的電壓值可以維持一固定值，即

$$V_{OUT1} = \frac{V_{REF}}{(1 + A_{SAWTOOTH1}/V_{IN1})} = \frac{V_{REF}}{(1 + KA_{SAWTOOTH1}/K \cdot V_{IN1})} = \frac{V_{REF}}{(1 + A_{SAWTOOTH2}/V_{IN2})} = V_{OUT2} \text{ 如圖 49}$$

我們可知我們固定三角波的頂點電壓 $V_{REF}=1.2V$ ，當輸入的電源電壓 VDD 由 $2.5V$ 增加到 $5V$ 時，即電壓增加兩倍時，下降的斜率也能變化為原來的兩倍，電路參數設定如下 [22]：

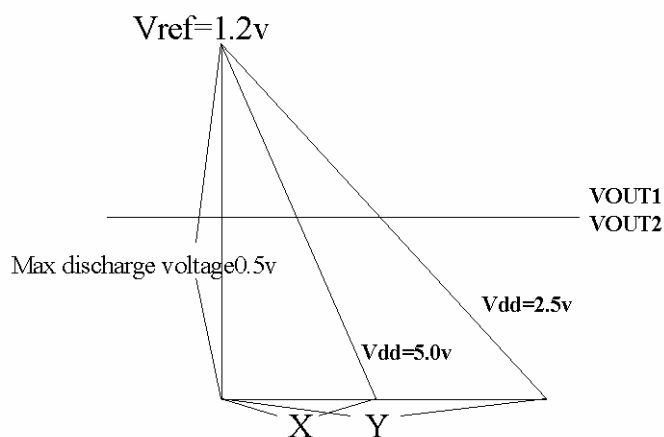


圖 50 三角波產生器

根據圖 50 我們希望當輸入電壓為 $2.5V$ 時，電容放電電流為 $1\mu A$ ；輸入電壓為 $5V$ 時，電容的放電電流為 2μ 。因此我們設定 $R_{IN1}=250K$ ， $R_{IN2}=50K$ ， $R_{ST}=416.6K$ 。可以算得：

$$I_{disch}(2.5V) = [2.5V * (50k\Omega / 300k\Omega)] / 416k\Omega = 1.001\mu A$$

$$I_{disch}(5.0V) = [5.0V * (50k\Omega / 300k\Omega)] / 416k\Omega = 2.002\mu A$$

$$C_p(1.2V - 0.7V) = 2\mu A * 0.8\mu s (\text{note: } 0.8\mu s = \text{discharge time}) \Rightarrow C_p = 3.2P \quad \text{圖}$$

51 為一個三角波產生器的電路圖，操作方式如下，隨著 VDD 變動 $VCTL$ 也會動態的調整分壓，產生隨著 VDD 改變的 I_{ST} 電流，此 I_{ST} 電流會透過鏡像電路產生跟 I_{ST} 大小相等的電流 I_{ST1} 、 I_{ST2} ($I_{ST}=I_{ST1}=I_{ST2}$)， CLK 接一個短脈波信號，當 CLK 為低電壓時 Va 點的電壓就會衝到 $VREF$ 的大小，約為 $1.2V$ ；在一短時間後(約 $0.1\mu s$)， $PASS$ 元件便關上，此時 Va 的電壓便經由 I_{ST2} 去進行放電， Va 電壓便會隨著 VDD 的變動而又不同的下降速度，於是便產生不同斜率的電壓下降信號，直到下個週期，短脈波信號又開啓 $PASS$ 元件， Va 便又衝回 $VREF$ 的電壓值，以上固定的切換變化便產生了一個固定週期，且隨著 VDD 變動而改變斜率的三角波信號源。

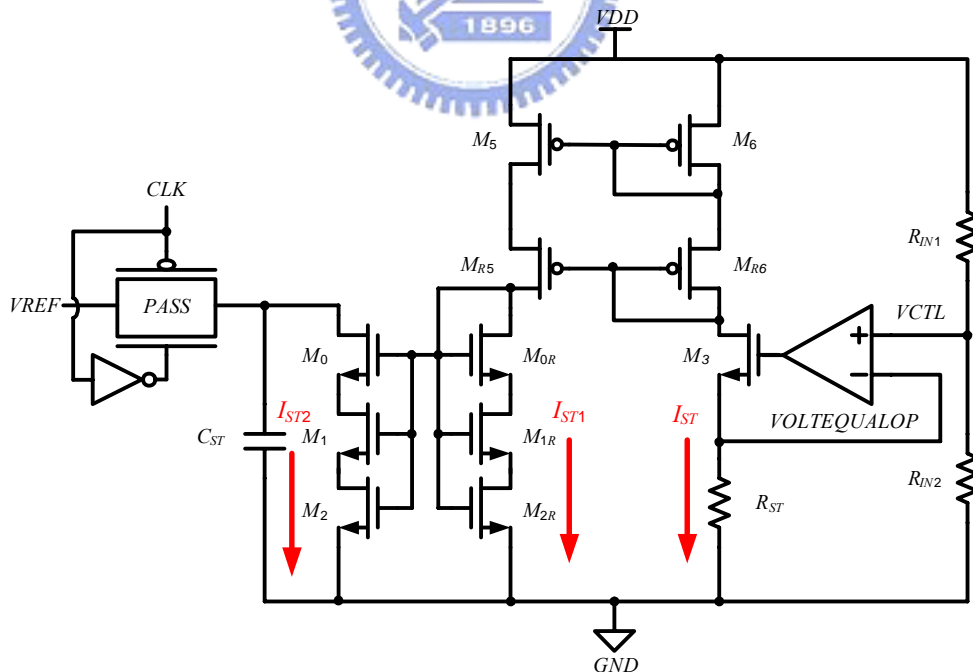


圖 51 三角波產生器電路圖

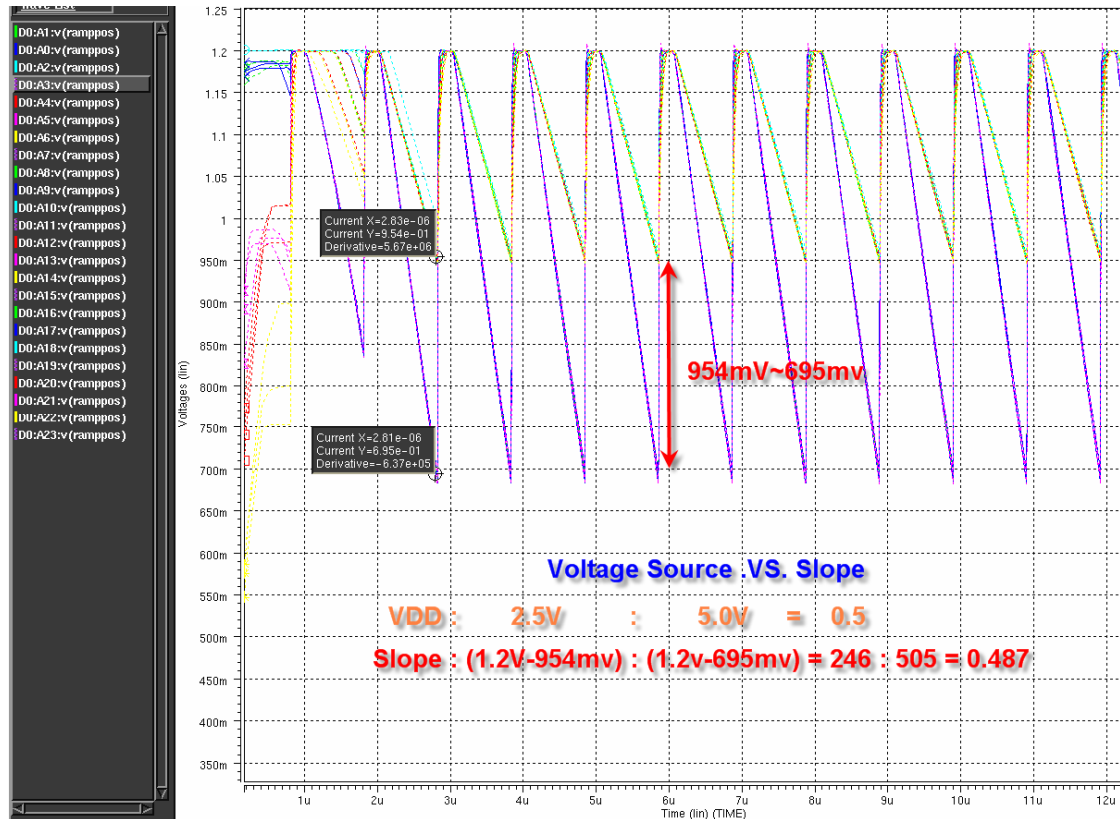


圖 52 三角波產生器電路的模擬結果

表格 3 三角波產生器的模擬數據表

VDD	2.5V	2.5V	2.5V	2.5V	2.5V	2.5V	2.5V	2.5V	2.5V	2.5V	2.5V	2.5V	
Corner	TT	TT	TT	TT	SS	SS	SS	SS	FF	FF	FF	FF	
Temp	25C	(-40C)	75C	140C	25C	(-40C)	75C	140C	25C	(-40C)	75C	140C	
Isaw	1.0045uA	0.971uA	1.0056uA	1.0464uA	0.992uA	0.986uA	1.000uA	0.984uA	1.013uA	0.988uA	1.036uA	1.017uA	
Isaw variation with 1uA		0.45%	-2.90%	0.56%	4.64%	-0.80%	-1.40%	0%	-1.60%	1.30%	-1.20%	3.60%	1.70%
I(M4) uA		0.9981	0.992	0.998	1.013	0.989	0.977	0.994	0.992	1.002	0.999	1.023	1.009
I(M5) uA		0.9983	0.992	0.998	1.014	0.989	0.976	0.994	0.993	1.002	0.999	1.024	1.009
I(MR4) uA		0.9951	0.997	0.997	1.012	0.9	0.977	0.993	0.998	1.005	0.999	1.013	1.013
I(MR5) uA		0.9979	0.99	0.997	1.015	0.989	0.976	0.993	0.995	1.007	0.997	1.008	1.012
(Im4+Im5+Imr4+Imr5)/4		0.99735	0.99275	0.9975	1.0135	0.96675	0.9765	0.9935	0.9945	1.004	0.9985	1.017	1.01075
(Im4+Im5+Imr4+Imr5)/4 variation with 1uA		-0.00265	-0.00725	-0.0025	0.0135	-0.03325	-0.0235	-0.0065	-0.0055	0.004	-0.0015	0.017	0.01075
VDD	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	
Corner	TT	TT	TT	TT	SS	SS	SS	SS	FF	FF	FF	FF	
Temp	25C	(-40C)	75C	140C	25C	(-40C)	75C	140C	25C	(-40C)	75C	140C	
Isaw	2.0447uA	2.0464uA	2.052uA	2.043uA	2.027uA	2.066uA	2.030uA	2.095uA	2.071uA	2.073uA	2.077uA	2.096uA	
Isaw variation with 2uA		2.24%	2.32%	2.60%	2.15%	1.35%	3.30%	1.50%	4.75%	3.55%	3.65%	4.80%	
I(M4) uA		2.037	2.029	2.04	2.034	2.026	2.032	2.027	2.073	2.053	2.037	2.058	2.073
I(M5) uA		2.041	2.037	2.046	2.038	2.03	2.035	2.031	2.079	2.059	2.043	2.063	2.079
I(MR4) uA		2.031	2.036	2.039	2.037	2.028	2.033	2.027	2.076	2.056	2.023	2.054	2.076
I(MR5) uA		2.036	2.038	2.046	2.042	2.03	2.036	2.032	2.084	2.061	2.043	2.061	2.84
(Im4+Im5+Imr4+Imr5)/4		2.03625	2.035	2.04275	2.03775	2.0285	2.034	2.02925	2.078	2.05725	2.0365	2.059	2.267
(Im4+Im5+Imr4+Imr5)/4 variation with 2uA		0.018125	0.0175	0.021375	0.018875	0.01425	0.017	0.014625	0.039	0.028625	0.01825	0.0295	0.1335
Irst	2.031uA	2.032uA	2.034uA	2.025uA	2.024uA	2.025uA	2.025uA	2.044uA	2.046uA	2.024uA	2.044uA	2.044uA	

由圖 52 可以觀察到隨著電源信號由 2.5V~5.0V 的變化，三角波信號的最低點電壓範圍為 954mV~695mV，電壓變化所影響斜率變化誤差值百分比為 4.6%。接下來觀察

電流的誤差值，由表 3 統計數據得知在電壓 2.5V 及 5.0V 中，配合溫度的變化及不同的製程參數，發現其鏡向電流的差異值（ $V_{DD}=2.5V$ 鏡向電流為 $1\mu A$ ， $V_{DD}=5V$ 鏡向電流為 $2\mu A$ ）最差不會超過 4.8%。

5.6 時脈產生器（Clock Generator）

根據規格，欲建立一個每個單一相位為 500KHz 的切換頻率，且每個相位之間的切換相差 180 度，因此在設計上則是先產生一個精準的 1MHz 時脈，然後再利用降頻的設計產生兩個相位差 180 度且頻率為 500KHz 的時脈信號。圖 53 為時脈產生器的電路 [22]，其設計前的推算方式如下：

- 1 設定規格為 $T_S=1\mu s$ （1MHz）， $D=0.2$ ， $C_{CLK}=6\text{Pf}$ ， $V_H=0.8V$ $V_L=0.3V$
1. $V_{REF}=1.2V$ ，因此我們定 $R_{CLK}=200K$ ，則可以算得電容 C_{CLK} 的充電電流為 $1.2V/200K=6\mu A$
2. 由充電電流我們可得 C_{CLK} 電容值。 $I dt=C dv \rightarrow 6\mu A * 0.8\mu s = C * 0.8V \rightarrow C=16\text{pF}$
3. 得到電容值後便可求得其電容放電時的放電電流。 $I dt=C dv \rightarrow I * 0.2\mu s = C * 0.3V \rightarrow I=24\mu A$

有了以上的推算理論基礎，使我們在模擬時有個預設的理想結果。由圖 53 的電路，我們可以注意到產生誤差的部份分幾個部份，一是 OP 、 R_{CLK} 部份及鏡像電流的部份，此部份將會決定電容的充電電流的準確度，此處在 R_{CLK} 設計一個可調式的電阻，以改善因製程製造上而影響電阻不精確的情形，此可調式的電路由 $ETTC$ 來控制，不會影響正常電路的運作；其次就是要考慮比較器的誤差所影響到的時脈誤差。考慮以上的影響後，我們可以先針對電源電壓的不同先量測其充電及放電電流的差異，表 4 為電流差異模擬結果，充電電流和放電電流分別都接近 $6.02\mu A$ 和 $24.6\mu A$ 。

根據初步地驗證電流的精準度後，直接統計在不同的狀況下時脈值的變化，如表 4 所示，我們可以發現其周期變化(T_{cyc})的最大誤差變化值為 $1.07\mu s(7\%)$ ，而責任週期(T_{duty})的最大誤差變化值為 $0.1863\mu s(-1.37\%)$ 。

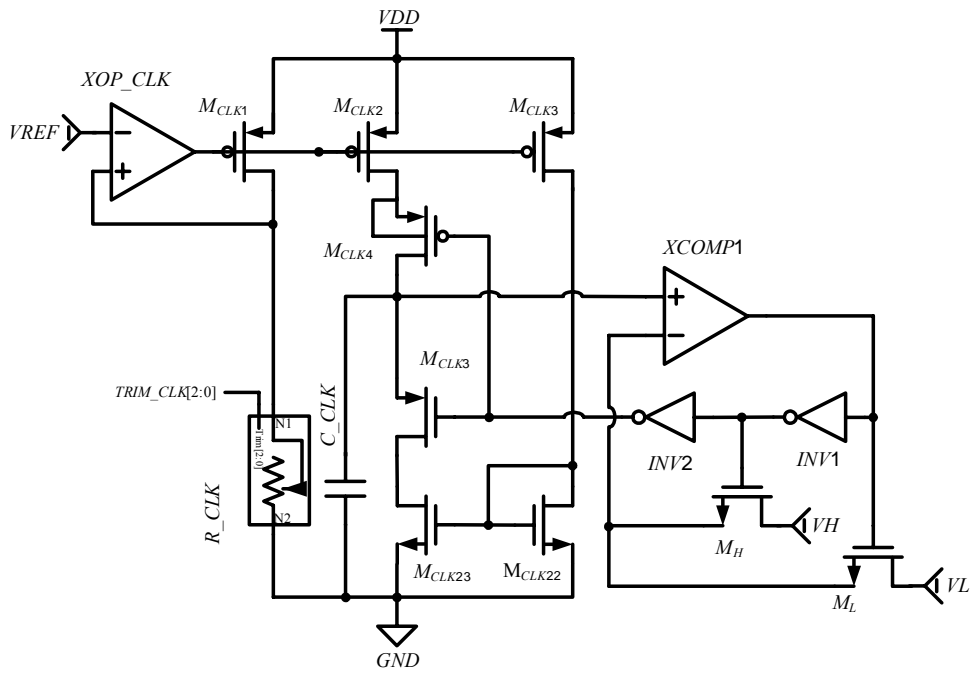


圖 53 時脈產生器

表格 4 時脈產生器的模擬數據表

vd	corner	tmp	tcyc	tduty	temper	Tcyc variation(1us)	Tduty variation(0.2us)	alter#
2.5	TT	25	0.9902u	0.1927u	25	-0.98%	-0.73%	1
3.5	TT	25	0.9967u	0.1955u	25	-0.33%	-0.45%	2
5	TT	25	1.031u	0.2051u	25	0.31%	0.51%	3
2.5	TT	75	0.986u	0.1938u	75	-1.40%	-0.62%	4
3.5	TT	75	0.9988u	0.1972u	75	-0.12%	-0.28%	5
5	TT	75	1.037u	0.2077u	75	0.37%	0.77%	6
2.5	TT	-40	0.9801u	0.1900u	40	-1.90%	-1.00%	7
3.5	TT	-40	0.9921u	0.1926u	40	-0.79%	-0.74%	8
5	TT	-40	1.023u	0.2009u	40	2.30%	0.09%	9
2.5	SS	25	1.017u	0.1882u	25	1.70%	-1.18%	10
3.5	SS	25	1.026u	0.1992u	25	2.60%	-0.08%	11
5	SS	25	1.057u	0.2092u	25	5.70%	0.92%	12
2.5	SS	75	1.029u	0.2043u	75	2.90%	0.43%	13
3.5	SS	75	1.037u	0.204u	75	3.70%	0.40%	14
5	SS	75	1.07u	0.2134u	75	7.00%	1.34%	15
2.5	SS	-40	1.013u	0.1872u	40	1.30%	-1.28%	16
3.5	SS	-40	1.007u	0.1943u	40	0.70%	-0.57%	17
5	SS	-40	1.046u	0.2046u	40	4.60%	0.46%	18
2.5	FF	25	0.9588u	0.1868u	25	-4.12%	-1.32%	19
3.5	FF	25	0.9744u	0.1914u	25	-2.56%	-0.86%	20
5	FF	25	1.008u	0.2024u	25	0.80%	24%	21
2.5	FF	75	0.9624u	0.1888u	75	-3.76%	-1.12%	22
3.5	FF	75	0.9807u	0.1949u	75	-1.93%	-0.51%	23
5	FF	75	1.014u	0.2045u	75	1.40%	0.45%	24
2.5	FF	-40	0.9607u	0.1863u	40	-3.93%	-1.37%	25
3.5	FF	-40	0.9776u	0.1916u	40	-2.24%	-0.84%	26
5	FF	-40	1.007u	0.2003u	40	0.70%	0.03%	27

精準的 1MHz 的時脈，是整個系統控制頻率的基礎，我們將上述差異極小的模擬結果代入接下來要產生相位差 180 度且降頻為 500KHz 的降頻電路，如圖 54 所示，利用 1MHz 的時脈透過計數器來分開相位及定頻，每個相位後接三個反相器是因為此時脈信號接到晶片很多部份，因此虛要加強其推動能力。

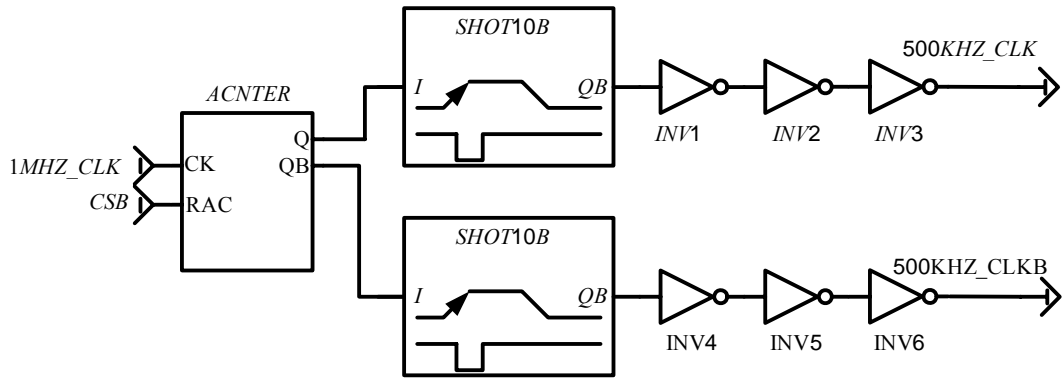


圖 54 產生相位差 180 度 500KHz 時脈的電路圖

圖 55 為相位差 180 度 500KHz 時脈的模擬圖其電壓是在 3.6V ， $\text{Corner}=\text{TT}$

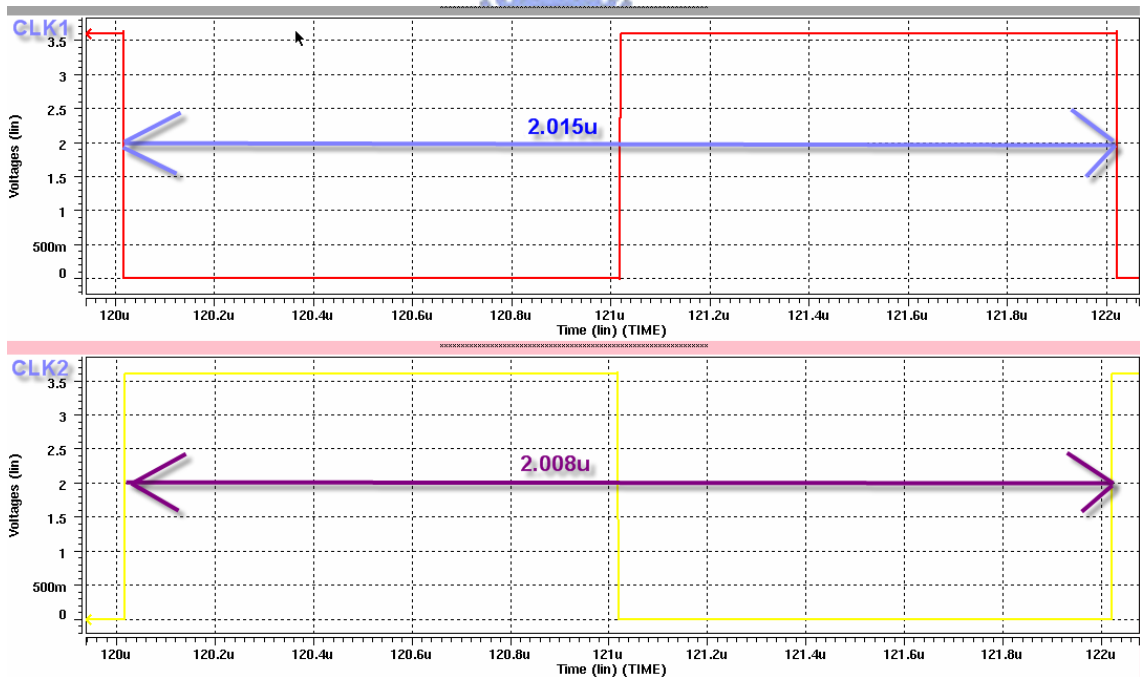


圖 55 產生相位差 180 度 500KHz 時脈模擬圖

5.7 電流感測電路

一些電流感測電路在前面的章節中都有被提到一些相關的應用，有提到傳統利用電壓下降法的方式會需要在每個模組後面串接一個感測電阻，但串接電阻的方式會造成太大的功率耗損，尤其是目前在交錯式直流-直流轉換器應用上都朝向高電流低電壓的應用，其串接電阻所造成的功率消耗又更加劇。

因此利用電晶體感測的方式來達到節省功率消耗的目的如圖 56 所示[22]，利用 M_1 和 M_2 的電晶體體積相差 1000 倍，所以感測到的電感電流值也為原先功率電晶體的千分之一，其功率的消耗也相對變得相當小。

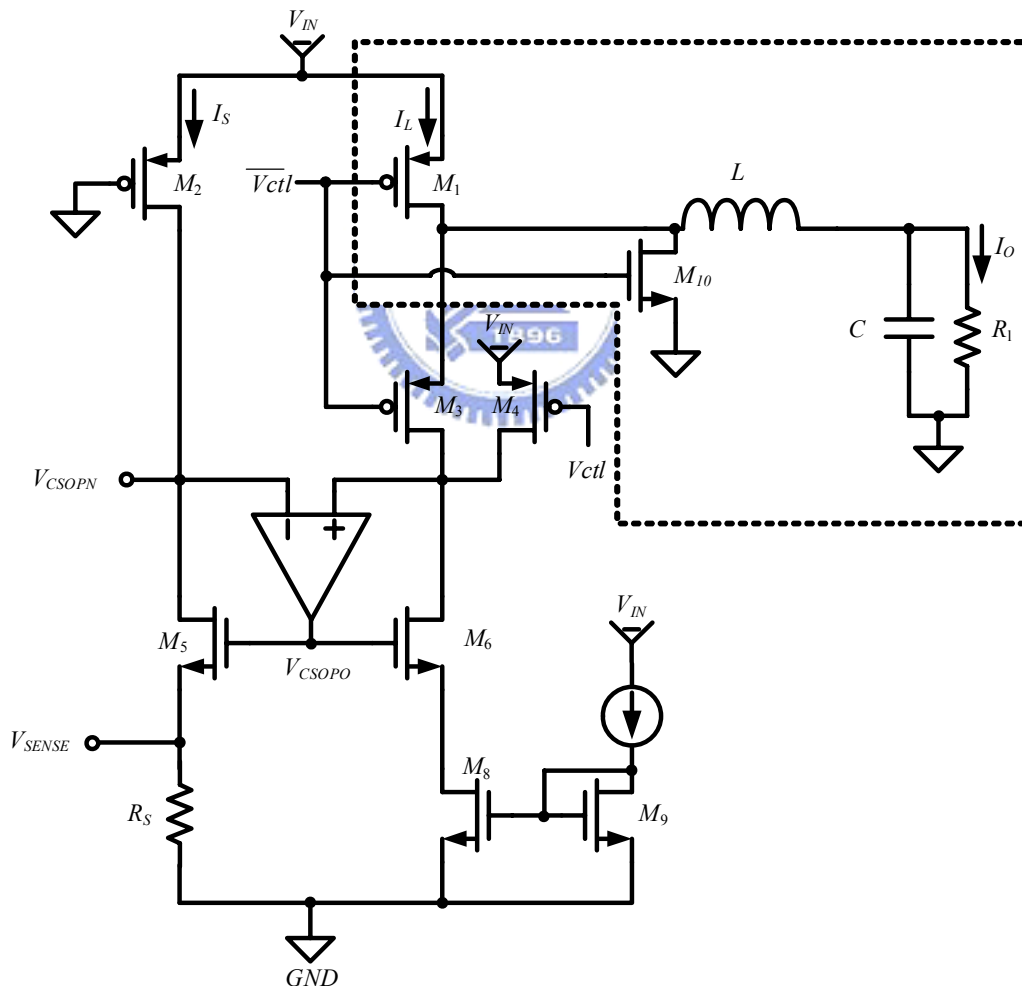


圖 56 不同電壓下充放電電流模擬

我們讓電晶體 M_1 的長寬比比值比 M_2 大上 1000 倍，然後將這兩個電晶體的汲極端

分別接到放大器的輸入兩端(M_1 下面多加一個 M_3 是為了防止電流逆流) M_1 和 M_2 的 V_{SD} 會因為放大器虛短路的關係而導致相等，如此便導致了流經這兩個電晶體電流的大小與它們的長寬比有關，換句話說流過 M_1 的電流會是 M_2 的 1000 倍，利用這種方法我們製造了一個和我們要測量的電流變化相同，但縮小 1000 倍的電流，讓電流往下流透過 M_{11} 再流到感測電阻 R_S ，接下來我們只要量測 R_S 的電壓值就可了解電流的變化。

這種感測電路的好處是，它是另外製造一個電流作為感測，不會對主要線路上的功率有任何消耗，而且感測電阻上的電流是主要線路上電流的千分之一倍，因此在感測電阻上所造成的功率浪費也很小。雖然此電路並不像電阻型或是濾波器行那麼準確，但是它擁有相當小的電路面積是一個很大的優點，而且只要選擇適當的 R_S 就可以得到想要的感測電壓大小 V_{SENSE} 。

$$V_{SENSE} = I_{M1} \cdot \frac{(W/L)_{M2}}{(W/L)_{M1}} \cdot R_S \quad (4.4)$$

這種感測方法有兩個缺點：第一就是 M_1 和 M_2 兩電晶體需要足夠匹配，不然流經兩者的電流變化不同步或縮小倍率改變了，都會造成感測上的誤差，第二就是當切換電壓 Q 為高電壓(*high*)時， M_1 和 M_3 會關閉，輸出電流改由 M_{10} 作迴路，在此時由 M_2 流出來的電流就和我們要測量的電流毫無關係了，故這電路只有在 V_{ctl} 為低電壓(*low*)時才有效，只能測量電路正半週期的變化。

它是另外製造一個電流來作為感測，不會對主要線路上的功率有任何消耗，而且感測電阻上的電流是主要線路上電流的千分之一倍，因此在感測電阻上所造成的功率浪費也很小。

電路模擬的結果如圖 57 所示，由觀察得到，電流誤差率約為

$$\{(140mV/1000\Omega)/(150mA/1000)\}/(150mA/1000)*100\%=6.67\%$$

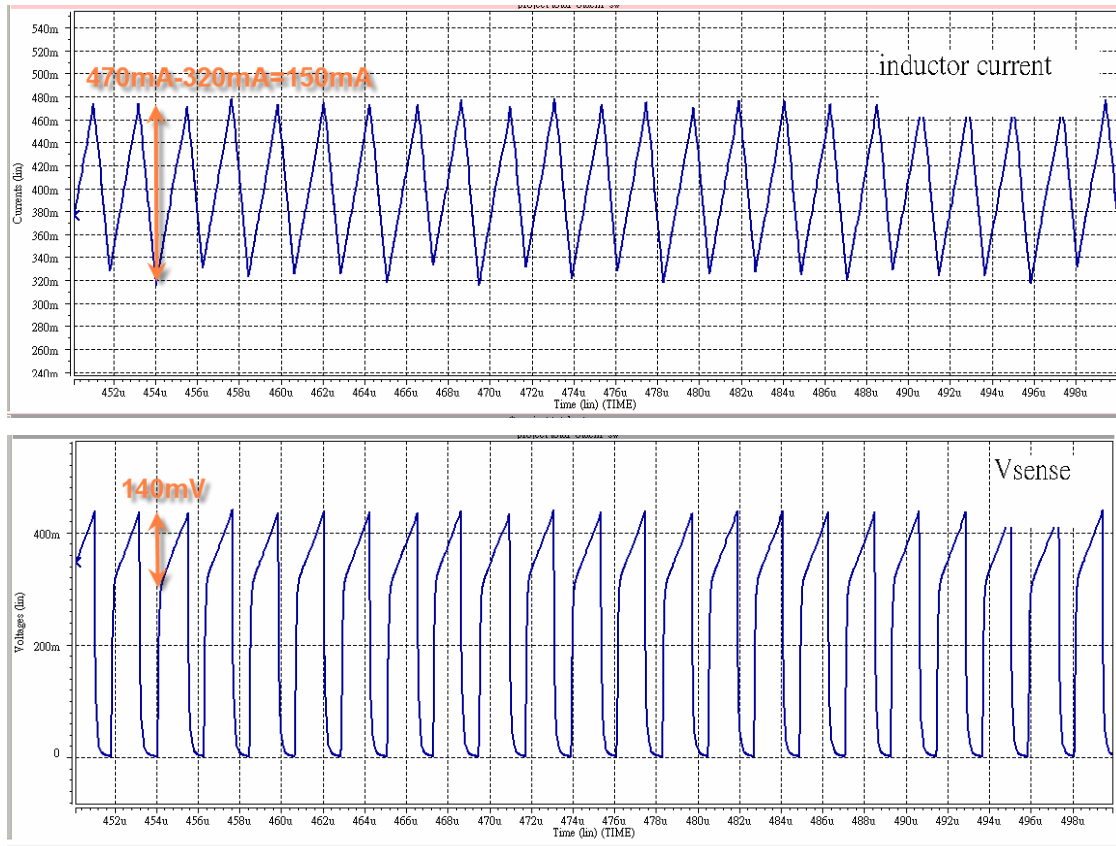


圖 57 電流感測電路模擬結果。

5.8 取樣保存電路

在交錯式直流-直流轉換器的系統中，統一由一個電壓控制模組的控制器根據其共同輸出電壓跟參考電壓的變動差值，產生一組數位元件來推動功率開關元件，達成脈波調變(PWM)的穩壓效果。雖然是同一組電壓控制模組的控制器，但此控制器只會偵測輸出電壓跟參考電壓的差異，對於相位之間輸出電流的變化並沒有偵測的能力，因此當我們要利用偵測相位之間的電流，並將其電流的差值帶回電壓控制迴路解決均流問題，此時利用電晶體感測電路來偵測每的相位的電流變化，在降壓式轉換器(Buck Converter)中輸出電流值等於電感電流的平均值，因此我們將之前偵測到的電流變化值，加上一組取樣保持電路來取得電感電流的平均值。取樣保持電路如圖 58 所示。該電路的 I_N 會接到圖 V_{CSOP0} 上，圖 58 中的 M_9 、 M_8 會分別對應到圖 56 的 M_2 、 M_5 ，且電晶體的長寬大小一致，主要目的在鏡像複製前一級電流感測器的感測電流值，而圖 58 中的 M_7

電晶體接成二極體連接的形式，等效成一電阻，則所形成的鏡像電流，便是和電流感測電流正相關的電流信號，當 $SAMP_CLK$ 為 '1' 時，此鏡像電流就會透過 $PASS$ 開關，將電流注入 C_1 ，當在驅動功率電晶體的時間，電容 C_1 便儲存了該相位的電流資訊，當 $SAMP_CLK$ 為 '0'； $HOLD_CLK$ 為 '1' 時另外一個 $PASS$ 電路便打開，此時存在 C_1 的電流資訊便會轉存到 C_2 。

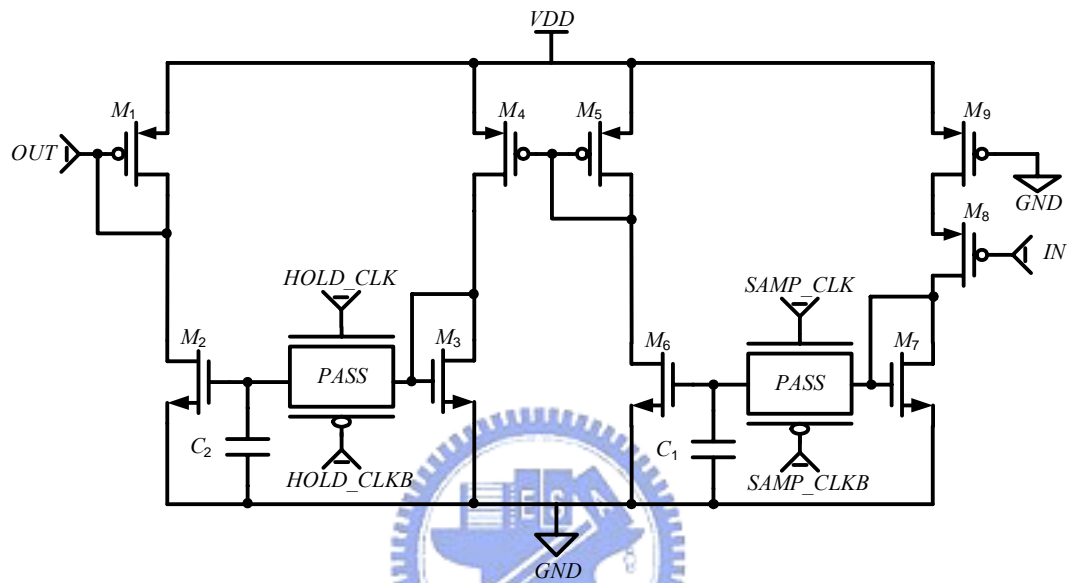


圖 58 取樣保持電路。

在圖 59 為取樣保持電路的模擬結果。由圖中可得知取樣的時脈長度，正比於驅動功率電晶體的時間長度，因此兩項位的電流差值可以取得完整。當取樣時脈消失後，則 C_1 電容便會存取這段時間的平均電流，因為這是交錯式功率轉換器的架構，因此相位間將會交錯的去取樣該相位的電流資訊，在另一個相位正在取樣的同時，原先本來相位取樣到的信號會送至下個保存電容 C_2 去儲存，最後送至均流處理電路去產生均流誤差信號。

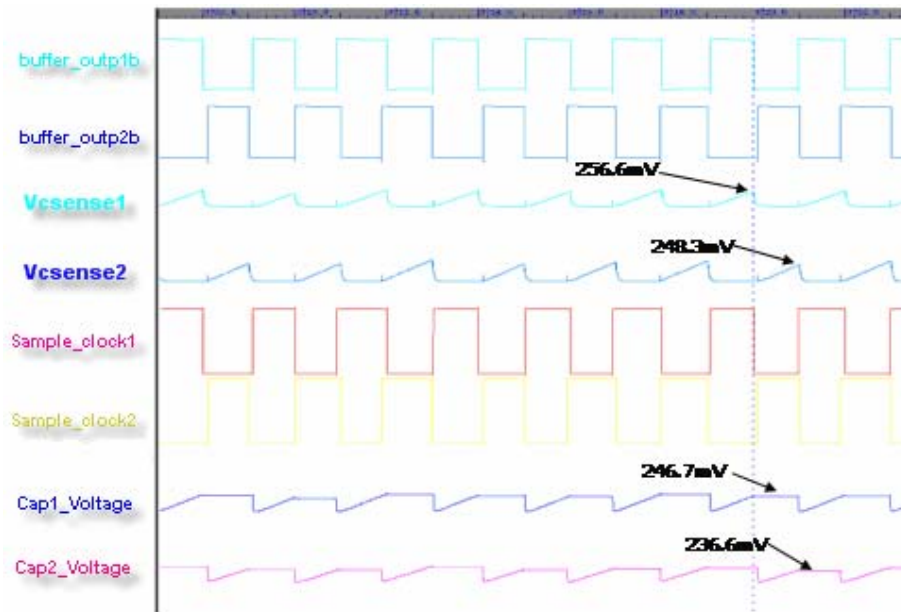


圖 59 模擬結果.

5.9 均流處理器電路

此交錯直流-直流轉換器是採用主僕式的電壓控制法，所以均流的處理方式是在兩組“取樣保持電路”交錯取樣各個相位的電流資訊後，將此資訊去做相減處理，然後把這差值注入非誤差放大器直接控制的相位，改變該項位的工作週期，然後改變輸出電流，進而影響總輸出電壓，此時 *TYPEIII* 誤差放大器感受的輸出電壓的變化，於是再做一次電壓控制補償，直到兩兩相位之間的平均電流相等時，則此僕式相位（指非由電壓誤差放大器控制的相位）的工作周期將不再變動，並維持穩定。

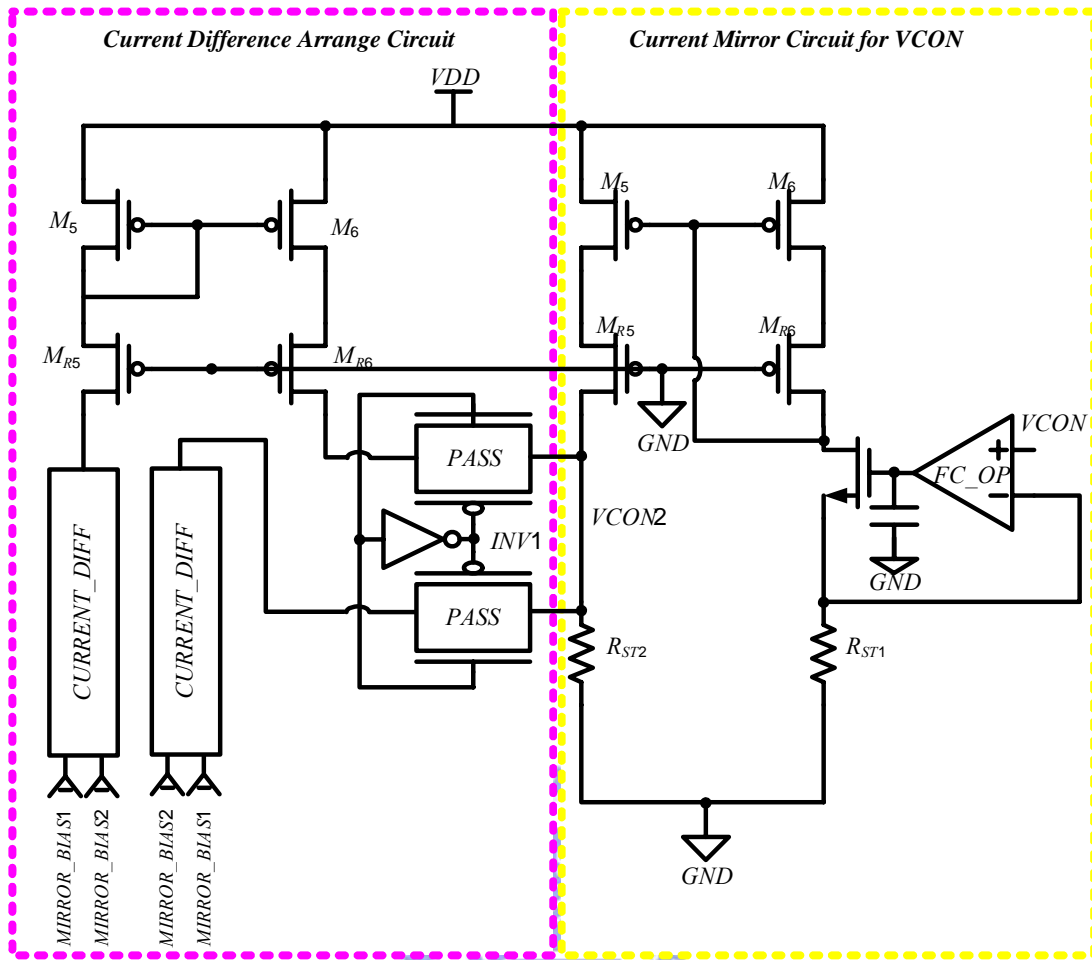


圖 60 均流處理器電路

根據上面的均流想法，建構一個均流處理器如圖 60 所示，此電路目的是提供僕式相位一個電壓控制信號，此電壓信號是由誤差放大器的輸出信號和均流誤差信號相加而成。此電路可以分兩部分來討論：一為電壓誤差信號鏡像電路；一是均流誤差處理電路。

5.9.1 電壓誤差信號鏡像電路

此電流鏡像電路如圖 60 又半邊框線部份，此電路是專為電壓誤差信號而建立的，原因是為了產生一個跟誤差放大器完全一樣的信號。由前面的規格得知，在穩定的狀態下，電壓誤差信號會位於 $0.6V \sim 1.2V$ 之間，因此在設計上採用 P 型折疊疊接放大器來所訂誤差放大器的輸出電壓，因為此放大器在低輸入電壓下有很好的線性度，符合誤差信號正常工作的範圍($0.5V \sim 1.5V$)。

表格 5 鏡像電路模擬數據表

VDD	3.6V	3.6V	3.6V	2.6V	2.6V	2.6V	4.6V	4.6V	4.6V
Corner	TT	TT	TT	SS	SS	SS	FF	FF	FF
Temp	75C	75C	75C	140C	140C	140C	(-40C)	(-40C)	(-40C)
VCON(V)	0.5	1	1.5	0.5	1	1.5	0.5	1	1.5
VCON2	0.5284	1.0367	1.5286	0.5127	1.0107	1.4051	0.5499	1.0638	1.5711
VCON2 variation %	5.68	3.67	1.906667	2.54	1.07	-6.326667	7.8	6.38	4.74
Variation Voltage(V)	0.0284	0.0367	0.0286	0.0127	0.0107	-0.0949	0.0499	0.0638	0.0711

表 5 為對此鏡像電路的模擬結果來預估整體的特性，此模擬設定 $R_{SET1}=R_{SET2}=8K\Omega$ 可發現最差的情況為 2.6V-SS-(140C)，此時的誤差電壓為 0.095V。

5.9.2 均流誤差處理電路

如圖 60 左半邊框線所示，此電路目的在將兩兩相位的電流資訊相減，產生一個誤差信號。因此在設計時要考慮到當兩相位電流相等時是否會產生不需要的誤差信號造成兩相位電壓控制信號的差值(offset)。下列是相關電路介紹及模擬數據。

電流相減器

此處的電流相減器如圖 61 所示，此電路主要的目的是將原先電流感測器所量測電感電流之相對電壓值，透過此電路來比較兩者電感電流的差值， C_1 和 C_2 是將原先取樣保存電路的電壓值存入電容之中，並隨著不同相位的切換，跟據兩相位電感電流的變化，我們可以動態且線性地改變電流的相差值，且得到的電流差值，我們可以利用電晶體的比例不同來縮小鏡像電流在轉換過程中所造成的誤差值，其理論推導如下：

$$I_1 = \frac{V_A}{R_S} = \frac{VDD - (V_{i_in1} + V_{SG1})}{R_S} = \frac{VDD}{R_S} - \left(\frac{V_{i_in1}}{R_S} + \frac{V_{SG1}}{R_S} \right)$$

$$I_2 = \frac{V_B}{R_S} = \frac{VDD - (V_{i_in2} + V_{SG2})}{R_S} = \frac{VDD}{R_S} - \left(\frac{V_{i_in2}}{R_S} + \frac{V_{SG2}}{R_S} \right)$$

$$I_{out} = I_1 - I_2 = \left(\frac{V_{i_in1}}{R_S} + \frac{V_{SG1}}{R_S} \right) - \left(\frac{V_{i_in2}}{R_S} + \frac{V_{SG2}}{R_S} \right) = \frac{(V_{i_in1} - V_{i_in2})}{R_S} \propto (V_{i_in1} - V_{i_in2})$$

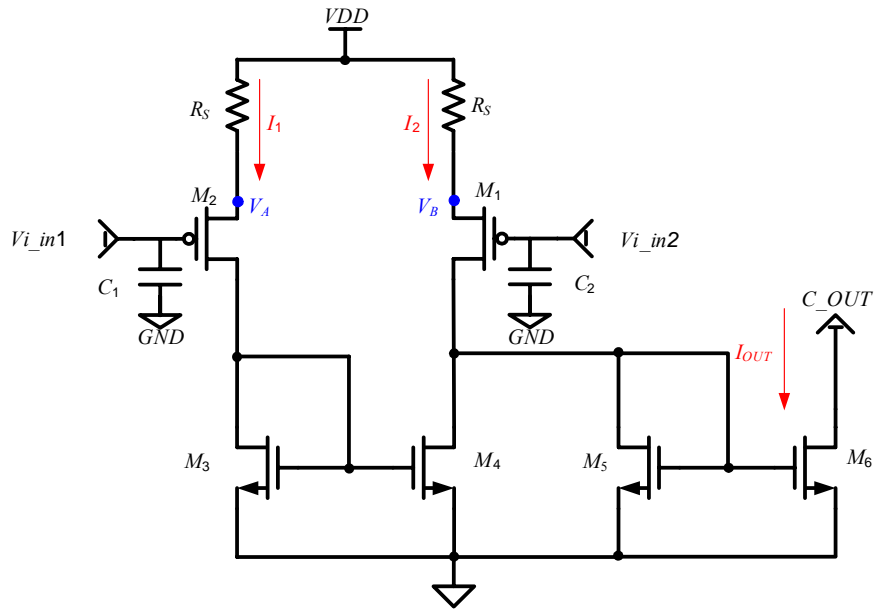


圖 61 電流相減電路

因此我們可以得到 $I_{out} \approx \frac{(V_{i_in1} - V_{i_in2})}{R_s}$ 。

表格 6 均流誤差處理電路模擬數據表

VDD	3.6V	3.6V	3.6V	3.6V	3.6V	Average
Corner	TT	TT	TT	TT	TT	TT
Temp	75C	75C	75C	75C	75C	75C
MIRR_BIAS(+)(-)	0.5	1	2	3	4	
IOUT variation(mA) %	-9.74905E-08	-9.7511E-08	-9.75E-08	-9.74E-08	-6.34E-08	1.46
I(V_SUBTRACT_U) pA	0.3305	0.3278	0.3288	0.3414	1.46	
I(V_SUBTRACT_N) pA	13.17	13.17	13.17	13.15	3.99	
Voltage Offset % [ISUB variation % *(1KΩ)]	-9.74905E-05	-9.7511E-05	-9.75E-05	-9.74E-05	-6.34E-05	-9.74772E-05
Voltage Offset % [ISUB variation % *(5KΩ)]	-0.000779924	-0.000780088	-0.00078	-0.0007792	-0.000507	-0.000779817
Voltage Offset % [ISUB variation % *(10KΩ)]	-0.000974905	-0.00097511	-0.000975	-0.000974	-0.000634	-0.000974772
VDD	2.6V	2.6V	2.6V	2.6V	2.6V	Average
Corner	SS	SS	SS	SS	SS	SS
Temp	140C	140C	140C	140C	140C	140C
MIRR_BIAS(+)(-)	0.5	1	2	3	4	
IOUT variation(mA) %	-2.02177E-09	-2.02177E-09	-1.563E-09	-1.402E-09	-1.4E-09	
I(V_SUBTRACT_U) pA	0.0063	0.0063	0.0063	0.00633	0.00633	
I(V_SUBTRACT_N) pA	0.00643	0.00643	0.0064	0.00642	0.00642	
Voltage Offset % [ISUB variation % *(1KΩ)]	-2.02177E-06	-2.02177E-06	-1.563E-06	-1.402E-06	-1.4E-06	-1.75198E-06
Voltage Offset % [ISUB variation % *(5KΩ)]	-1.61742E-05	-1.61742E-05	-0.0000125	-1.121E-05	-1.12E-05	-1.40158E-05
Voltage Offset % [ISUB variation % *(10KΩ)]	-2.02177E-05	-2.02177E-05	-1.563E-05	-1.402E-05	-1.4E-05	-1.75198E-05
VDD	4.6V	4.6V	4.6V	4.6V	4.6V	Average
Corner	FF	FF	FF	FF	FF	FF
Temp	(-40C)	(-40C)	(-40C)	(-40C)	(-40C)	(-40C)
MIRR_BIAS(+)(-)	0.5	1	2	3	4	
IOUT variation(mA) %	-1.94386E-06	-1.94347E-06	-1.943E-06	-1.943E-06	-2.88E-07	
I(V_SUBTRACT_U) pA	8.727	8.727	8.727	8.727	7.554	
I(V_SUBTRACT_N) pA	0.4733	0.4734	0.4736	0.4735	4.025	
Voltage Offset % [ISUB variation % *(1KΩ)]	-0.001943862	-0.001943473	-0.0019427	-0.0019431	-0.000288	-0.001943278
Voltage Offset % [ISUB variation % *(5KΩ)]	-0.015550898	-0.015547782	-0.0155416	-0.0155447	-0.002301	-0.015546225
Voltage Offset % [ISUB variation % *(10KΩ)]	-0.019438622	-0.019434728	-0.0194289	-0.0194308	-0.002877	-0.019432782

表 6 為均流誤差處理電路模擬結果，其目的是為了確認當兩相位的電流資訊相等時，不會產生不要偏移電壓(*Offset Voltage*)，造成均流的失真。此模擬是依據圖 61 的兩個電流資訊偏壓 V_{i_in1} ， V_{i_in2} 相等的情況下（相等電壓分別為 0.5V，1V，2V，3V，4V），可以知到，當轉換電壓之電阻為 10KΩ 時可以得到偏移電壓百分比為 0.0194%，最差情況假設輸出電壓最大是 4V，則產生的誤差電壓為 0.76mV。

5.10 內建測試調整電路

“內建測試調整電路 (*Embed Testing and Tuning Circuit*)” 的想法，簡稱 (*ETTC*)，在第三章已經有提到相關的想法及目的，因此在電路設計上會朝幾個方面去考量和建構。

1. 不影響到主體電路的原則。
2. 動態的調整某些部分因製程上所造成的誤差。
3. 在最快時間內有系統的量測獲得 IC 的內部資訊。
4. 做到修補及取代內部元件的動作。

接下來的幾小節，將會針對 *ETTC* 的啟動原理、及種類相關的電路介紹跟分析。

5.10.1 如何啟動 *ETTC* 模式

圖 62 為進入內建測試調整電路的指令波形圖，下列將針對該波型圖的指令去介紹其功能並敘述其原理。

參數介紹：

1. 信號 *CSB* 表是為晶片啟動訊號，決定整個晶片的啟動與否，當 $CSB=0$ 時為通知晶片啟動，當 $CSB=1$ 時所有的計數器都會被重置為原來初始值。
2. 信號 *CMDENB* 為“指令啟動信號 (*Command Enable*)” 其功能是為了防止片誤入 *ETTC* 模式，當 $CMDENB='0'$ 時便可以下達 *ETTC* 的指令，進入 *ETTC* 模式。 $CMDENB='0'$ 時，則會使得晶片維持在普通操作模式。
3. 信號 *CMD[2:0]* 為一個三個位元組成的位址訊號，用來決定 *ETTC* 模式的種類。

4. 信號 $AIO[2:0]$ 為一個三位元組成的位址訊號，用來決定在每一個種類裡面並選擇所要的功能。

原理介紹：

- (1) 進入測試調整模式 (*Enter ETTC Mode*)。
- (2) 決定 *ETTC* 模式的種類 (*Select One Mode*)。
- (3) 決定該所選擇的種類裡面所要的功能 (*Select One Function*)
- (4) 退出測試調整模式 (*Exit ETTC Mode*)。

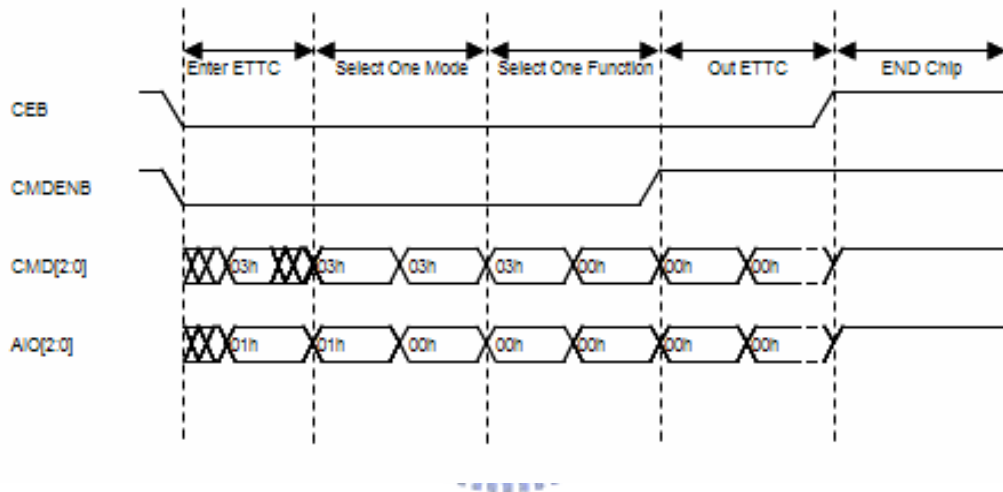


圖 62 啓動 *ETTC* 模式

5.10.2 模式種類選擇解碼電路

當數位訊號 *CEB* and *CMDENB* 從高電壓降到低電壓後，表示正式進入 *ETTC* 模式，在進入之後，接著我們要選擇模式的種類，因此如圖 63 所示，採用 3 個位元來解碼所要選擇的種類，此三個位元的訊號由 *CMD0*、*CMD1*、*CMD2* 來取代，

本篇 *ETTC* 電路上使用到四個模式種類以供選擇（此處 *CMD2* 接地，當作備用）。

1. 啓動電壓量測模式。（ $CMD[2:0]=00h$ ； $Command\ Signal=ENMETER$ ）
2. 元件取代模式。（ $CMD[2:0]=01h$ ； $Command\ Signal=ENEXT$ ）
3. 調整 *Bandgap* 模式。（ $CMD[2:0]=02h$ ； $Command\ Signal=TRIM_BANDGAP$ ）
4. 調整 *CLOCK* 模式。（ $CMD[2:0]=03h$ ； $Command\ Signal=TRIM_CLOCK$ ）

5. BIAS 切換模式。(CMD[2:0]=04h ; Command Signal=ENPWM_ACT)

當所要選擇的模式種類決定之後，就會啓動該模式的指令訊號 (Command Signal)，當圖 63 的 CMDENB go high 時就會將指令訊號的選項清除，回到一般操作模式。接下來的各小節將介紹這四種模式下的一些功能跟操作及影響到的部份。

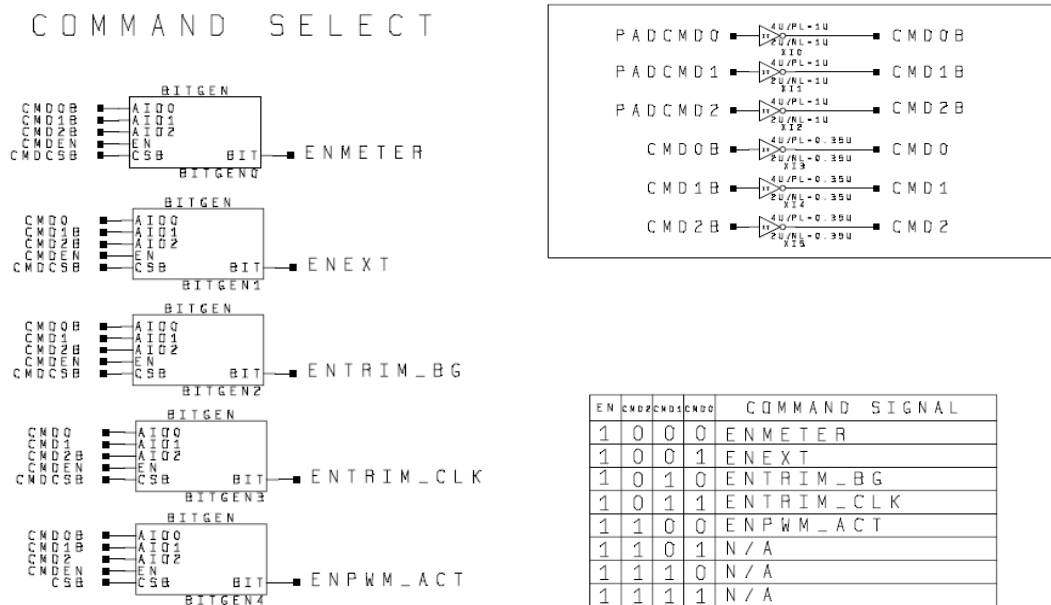


圖 63 模式種類選擇解碼電路

5.10.3 電壓量測模式電路

當 CMDENB 為 0 的狀態，CMD[2:0]=00h 此時便進入電壓量測模式，此電壓量測模式就是進入 ETTTC 模式的第一種類，其目的是希望不需要利用點針的方式便能方便量測晶片內部重要的一些電壓訊號，進而在收集訊號的時間上能更有效率、方便、且完整，在進入此模式之後指令訊號便會啓動，去帶動第二層的解碼電路去選擇所要量測的訊號，這第二層解碼的動作設定為“選擇功能” (Select a Function)，這功能是採用 3 個位元來解碼所要選擇的功能，因此此處便有八個選項來選擇所要量測的電壓種類，如下表所示，但在二相式直流-直流轉換器，是依個對稱的系統，因此我們會想要比較兩相位之間在每個對稱電路上電壓的差異，來分析均流的效果是否理想。在此處將提供兩個輸出的 Pin 腳，可以同時輸出兩相位相同位置的電壓，作為同步的比較。

表 5 為在設計此電壓量測模式的功能列表，圖 64、65 表示的是該電壓量測模式的電路圖，根據上述的電路設計我們可以得到模擬的結果如圖 66 為時脈訊號的量測圖 67 及三角波訊號的量測結果。

表格 5 電壓量測模式下的功能列表.

Mode	CMD[2:0]	Category	AIO[2:0]	Exit mode
Voltage meter enable	00h	(1)Measure VCON	00h	CEB or CMDENB go high
		(2)Measure Mirror Bias	01h	CEB or CMDENB go high
		(3)Measure Clock	02h	CEB or CMDENB go high
		(4)Measure Ramppos	03h	CEB or CMDENB go high
		(5)Measure VCSOPO	04h	CEB or CMDENB go high
		(6)Measure VREF	05h	CEB or CMDENB go high
		(7)Measure Current Bias	06h	CEB or CMDENB go high

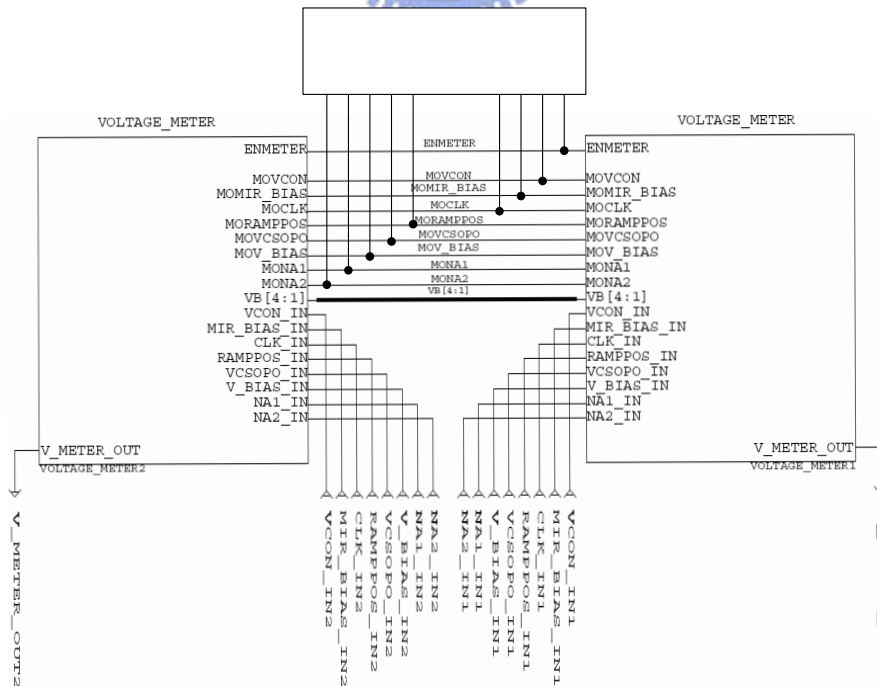


圖 64 電壓量測模式整體電路圖

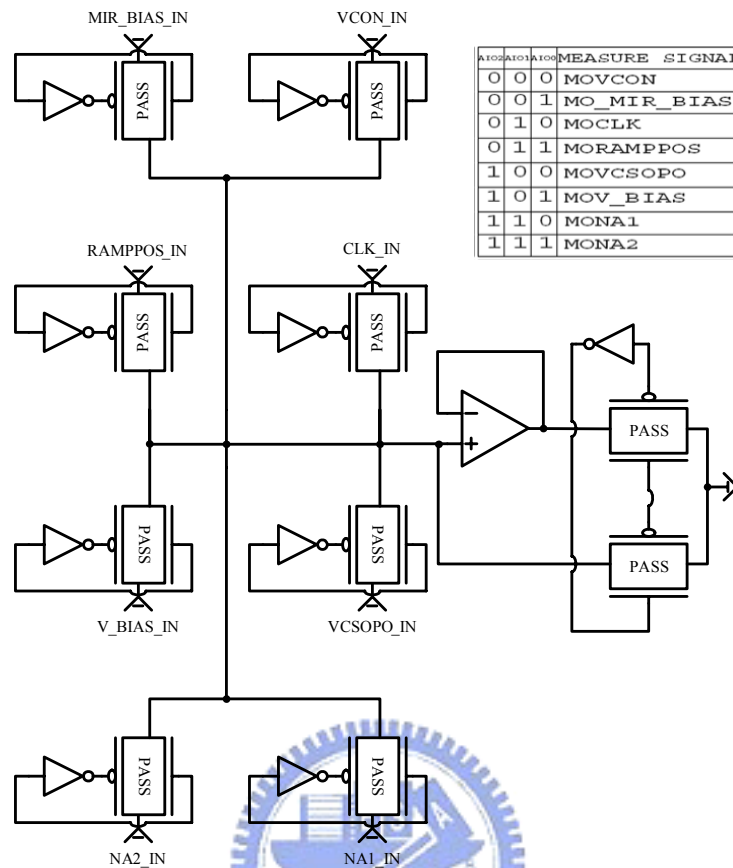


圖 65 電壓量測模式半電路圖

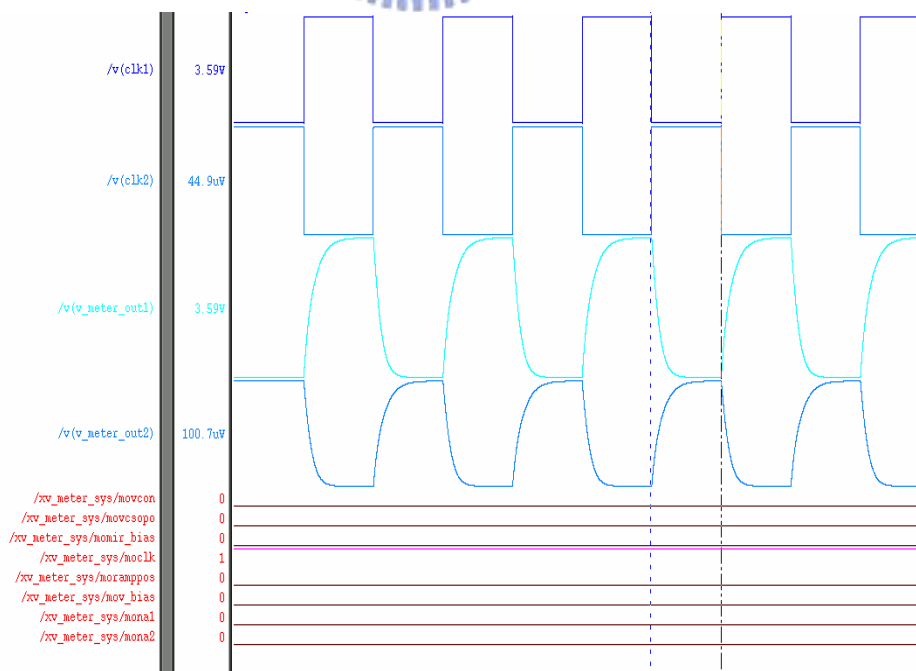


圖 66 電壓量測模式下--量測時脈信號的波形圖

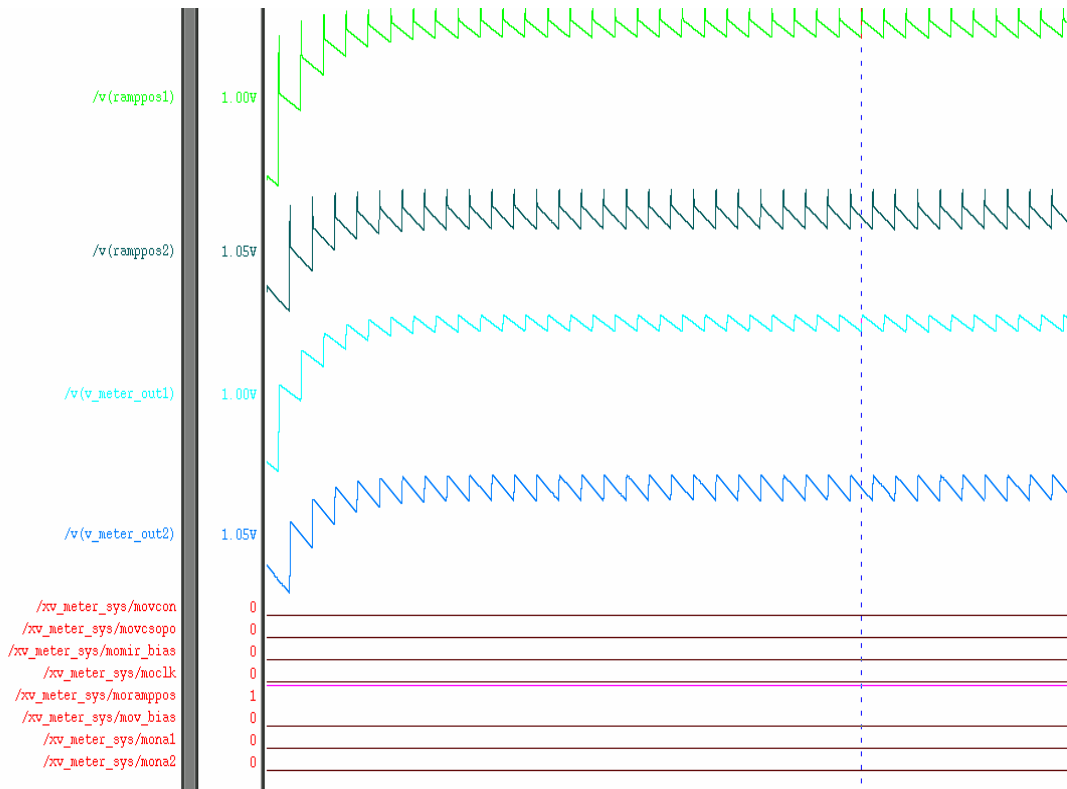


圖 67 電壓量測模式下一量測三角波信號的波形圖

5.10.4 元件取代模式電路

建立電源取代電路的目的是希望在正常主體電路運作時，萬一某一部份的輸出並不是正常的電壓值，且也無法進行調整的動作，此時便可啟動這個模式取代有問題的元件，使主體電路不會因為該有問題的元件，而無法進行接下來的驗證工作。這模式對第一版晶片驗證時是非常重要的，設計者可以經由這模式可以針對當相關重要的偏壓電壓或訊號產生電路發生嚴重問題時，利用外灌的訊號來達到取代的動作，根據整體電路審查後，目前將三組訊號列為取代的目標，分別是 *VREF*、*CSP*、*CLOCK*。

1. *VREF*：對 *BANDGAP* 產生的參考電壓去進行取代。
2. *CSP*：對偏壓電壓訊號進行取代。
3. *CLOCK*：對時脈產生訊號進行取代。

當 *CMDENB* 為 0 的狀態，*CMD[2:0]=01h* 此時便進入元件取代模式，此電壓量測模式就是進入 *ETTC* 的第二種模式，在電路設計上也是依據 *AIO[2:0]* 等 3 個位元解碼來決

定其功能，如表 6 所示 而圖 68 為元件取代模式的“功能選擇解碼電路”圖 69 為元
件取代模式相關電路圖。

表格 6 元件取代模式下的功能列表.

<i>Mode</i>	<i>CMD[2:0]</i>	<i>Category</i>	<i>AIO[2:0]</i>	<i>Exit mode</i>
<i>External signal enable</i>	<i>01h</i>	(1) <i>external VREF</i>	<i>00h</i>	<i>CEB or CMDENB</i> <i>go high</i>
		(2) <i>external CSP</i>	<i>01h</i>	<i>CEB or CMDENB</i> <i>go high</i>
		(3) <i>external Clock</i>	<i>02h</i>	<i>CEB or CMDENB</i> <i>go high</i>
		(4) <i>external VREF&Clock</i>	<i>03h</i>	<i>CEB or CMDENB</i> <i>go high</i>
		(5) <i>external Clock&CSP</i>	<i>04h</i>	<i>CEB or CMDENB</i> <i>go high</i>
		(6) <i>external ALL</i>	<i>05h</i>	<i>CEB or CMDENB</i> <i>go high</i>



圖 68 元件取代模式—功能選擇解碼電路

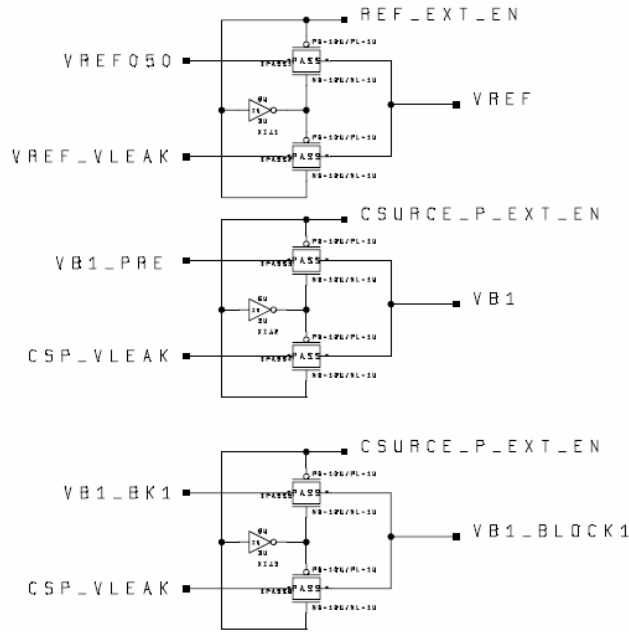


圖 69 元件取代模式相關電路圖

5.10.5 電路調整模式電路

建立電路調整模式電路的目的是想針對晶片中一些易受到製程影響的電路進行調整修補的動作，使輸出電壓值能更精確。

如表 7 所示，此模式電路設計上還是由 $AIO[2:0]$ 等 3 個位元來決定要調整的狀態值，除功能方式跟前面兩種模式電路不一樣外，就是退出模式的方式不同，在此模式下 $CMDENB$ 為 1 並不能退出這種模式，必須要 CEB 為 1, 即是整個晶片 *Reset* 時才會退出該模式。其原因是因為這是一個調整模式，所以當我們調整到準確或是接近的電壓值時，就必須要將該狀態資訊存起來，作為更新後的操作電壓值，直到當 $CSBENB$ 為 1 時才會將 $AIO[2:0]$ 的 *code* 清除成原來的初始值。

表格 7 電路調整模式下的功能列表.				
<i>Mode</i>	<i>CMD[2:0]</i>	<i>Category</i>	<i>AIO[2:0]</i>	<i>Exit mode</i>
<i>Trim Bandgap enable</i>	02h	<i>Tuning the bandgap level</i>	00h-08h	<i>CEB go high</i>
<i>Trim clock enable</i>	03h	<i>Tuning the clock</i>	00h-08h	<i>CEB go high</i>

根據表格 7 所示，此種模式電路包含參差電路裡面的電阻調整，及時脈產生器電

路裡面的電阻調整。參差電路裡面的電阻調整，主要是能夠調整輸出的電壓能夠精準在 $1.2V$ ；時脈產生器的電阻調整是爲了控制時脈訊號能夠準確在 $1MHz$ 的頻率。圖 70 爲可調式電阻的電路圖。當 $TRIM[2:0]=0h$ 時，爲原先帶差參考電壓的設定值，當有製程方面的誤差變動時，便可以微調改變其電阻值而得到修正成我們所期待的電壓值。

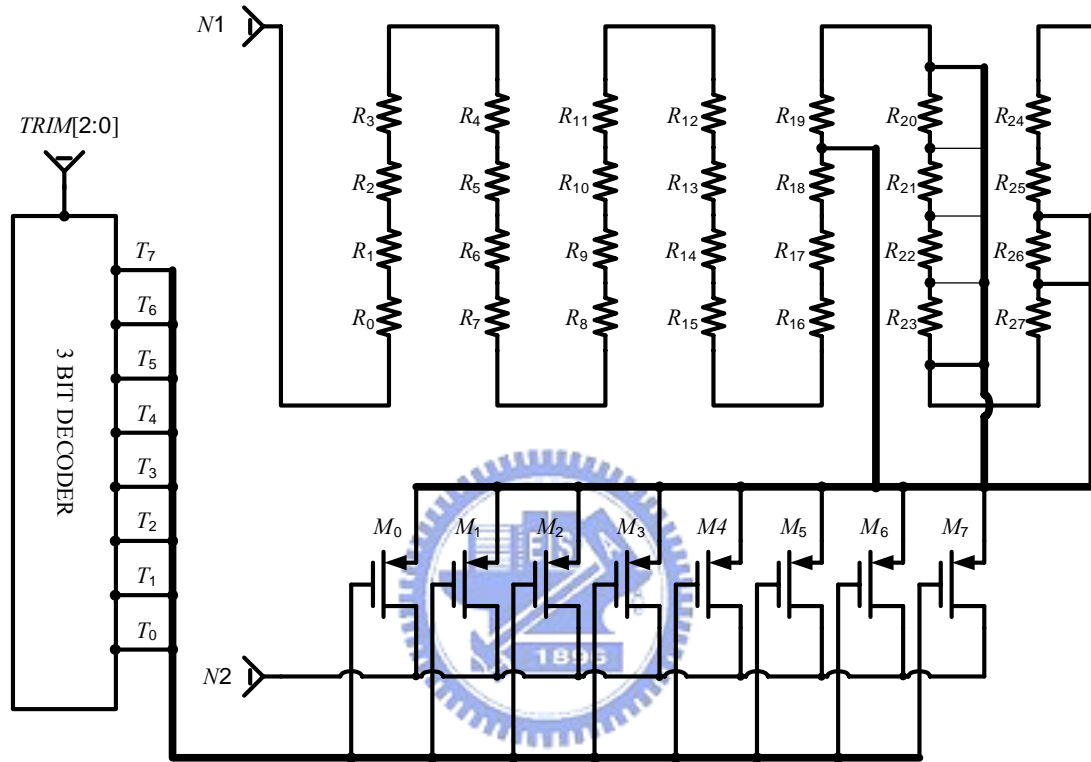


圖 70 可調式電阻電路圖.

5.11 系統電路模擬結果

本節將針對整個交錯式直流-直流轉換器電路進行模擬跟驗證。圖 71 為交錯式直流-直流轉換器模擬項目包含：

- (1) 負載穩壓(*Load Regulation*)。
- (2) 線性穩壓(*Line Regulation*)。
- (3) 改良式均流法模擬結果。

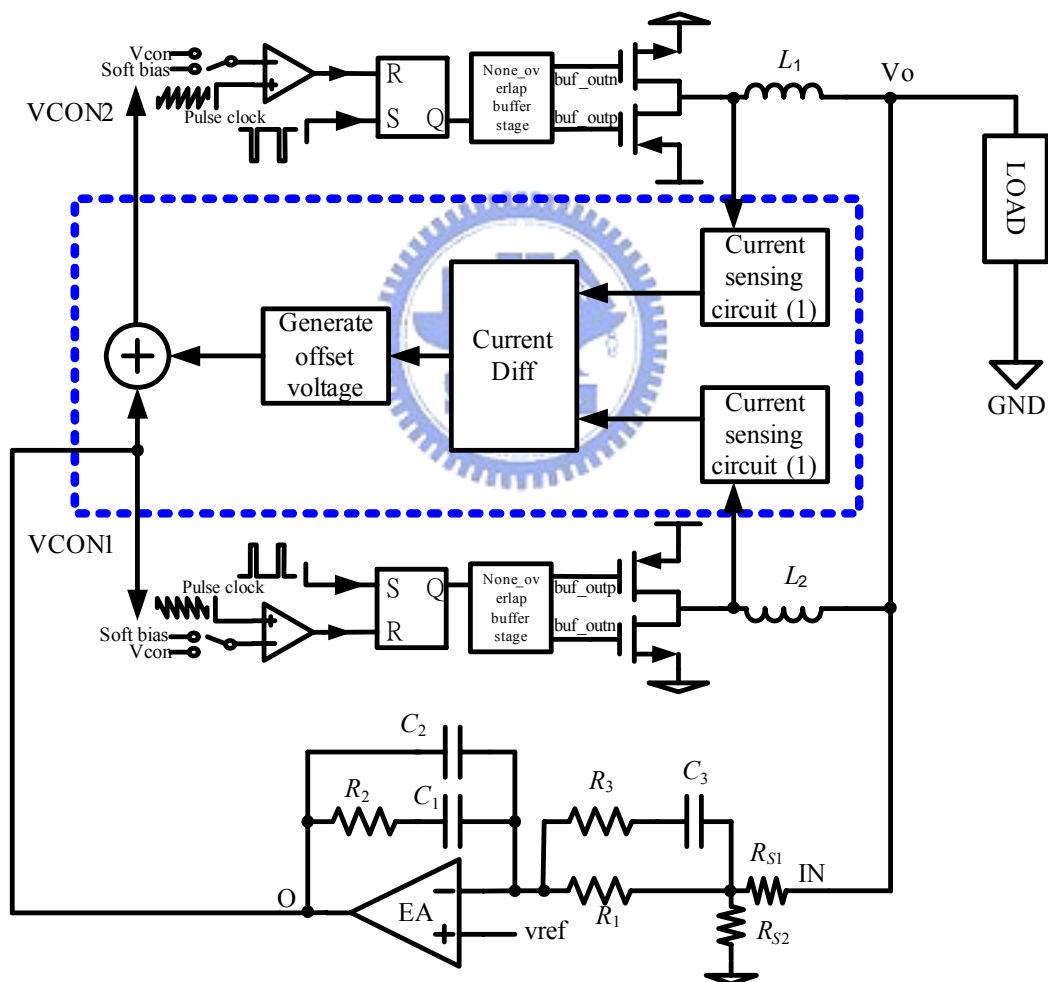


圖 71 改良式均流及線性穩壓應用在交錯式直流-直流轉換器系統電路圖

5.11.1 負載穩壓模擬結果

負載穩壓，指的是當轉換器的負載電流變化時，所影響到輸出電壓變化的關係值。圖 72 及圖 73 分別代表輕載和重載相互切換時負載穩壓的模擬圖形，圖 74、75 表示負載切換時輸出電壓的放大圖，我們取輸出最大的變化量值作為我們計算負載穩壓的資料，其目的在比較最差的情形下負載穩壓是否有差異，其計算結果如下：

$$\text{Load Regulation}_{(\text{Multi Phase})} = \frac{\Delta V_{\text{out}}}{\Delta I_{\text{out}}} = \frac{1.8111\text{V} - 1.810\text{V}}{1200\text{mA} - 400\text{mA}} = 0.000137\text{mV} / 100\text{mA} = 0.0137\mu\text{V} / \text{mA}$$

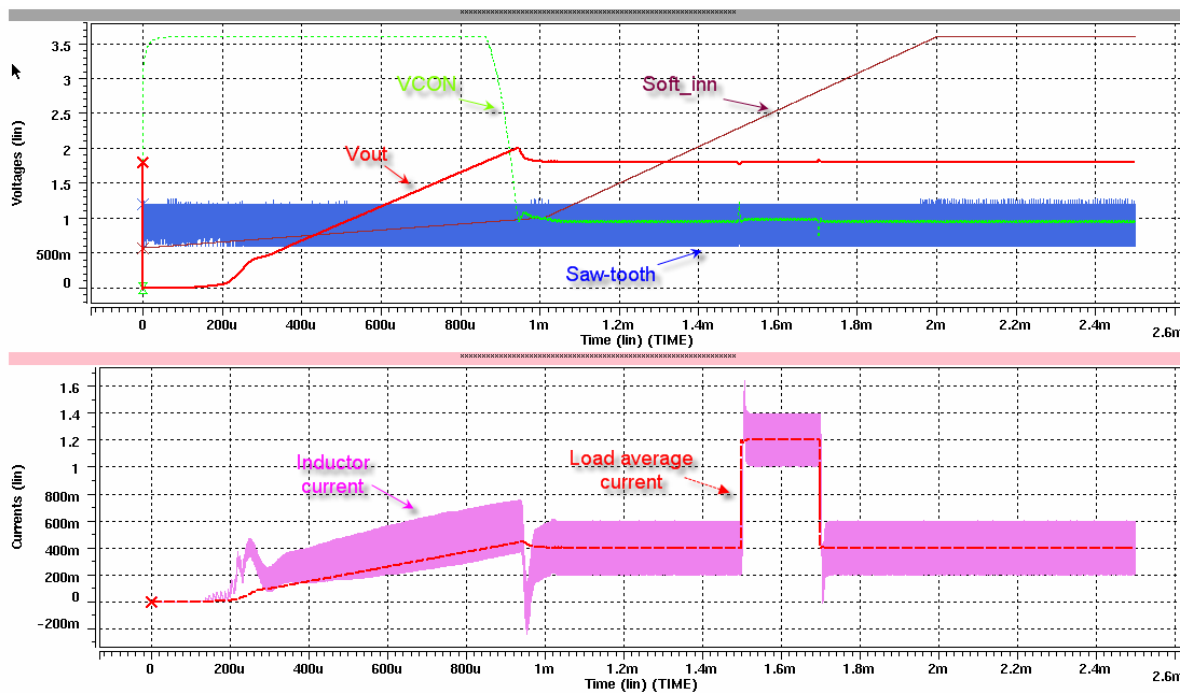


圖 72 負載穩壓的模擬結果

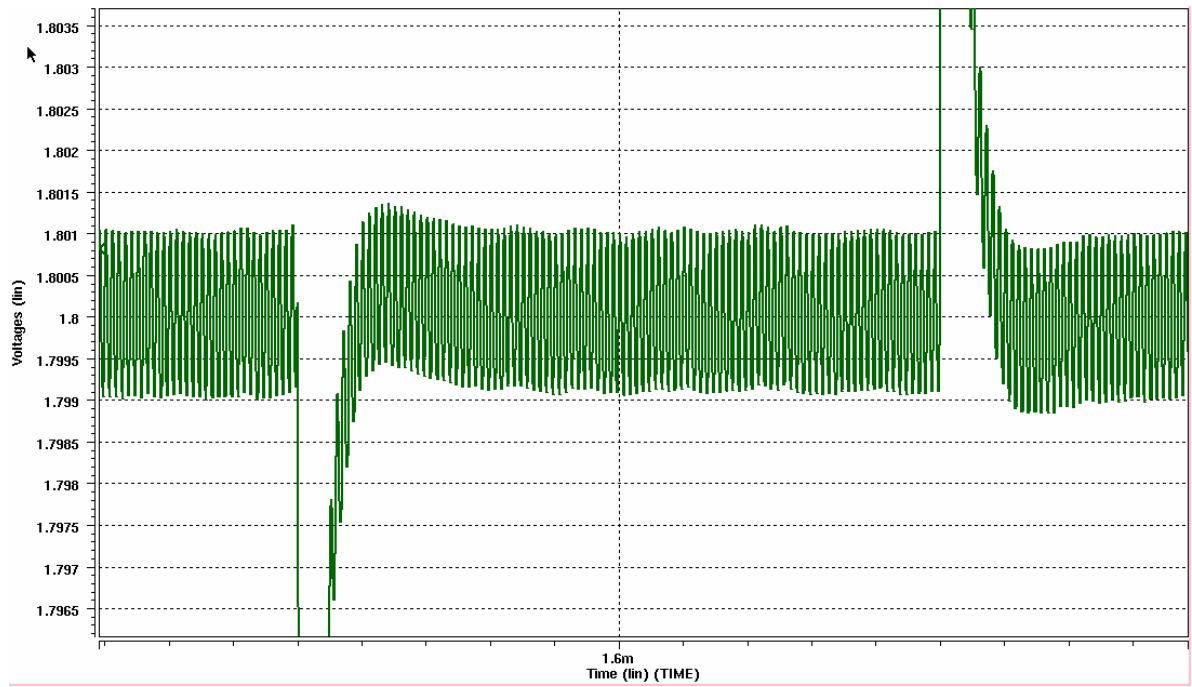


圖 73 負載變化相對於輸出電壓的變化圖

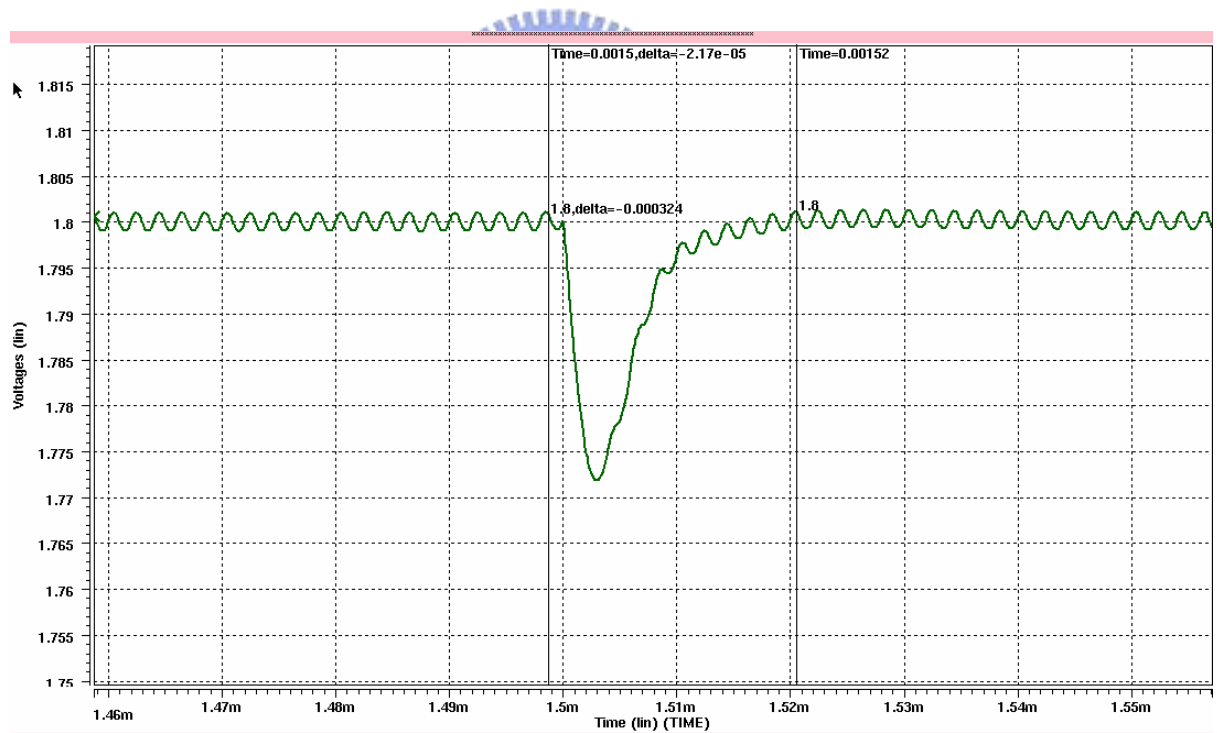


圖 74 負載電流由 $400mA$ 變化到 $1200mA$ 相對於輸出電壓變化放大圖

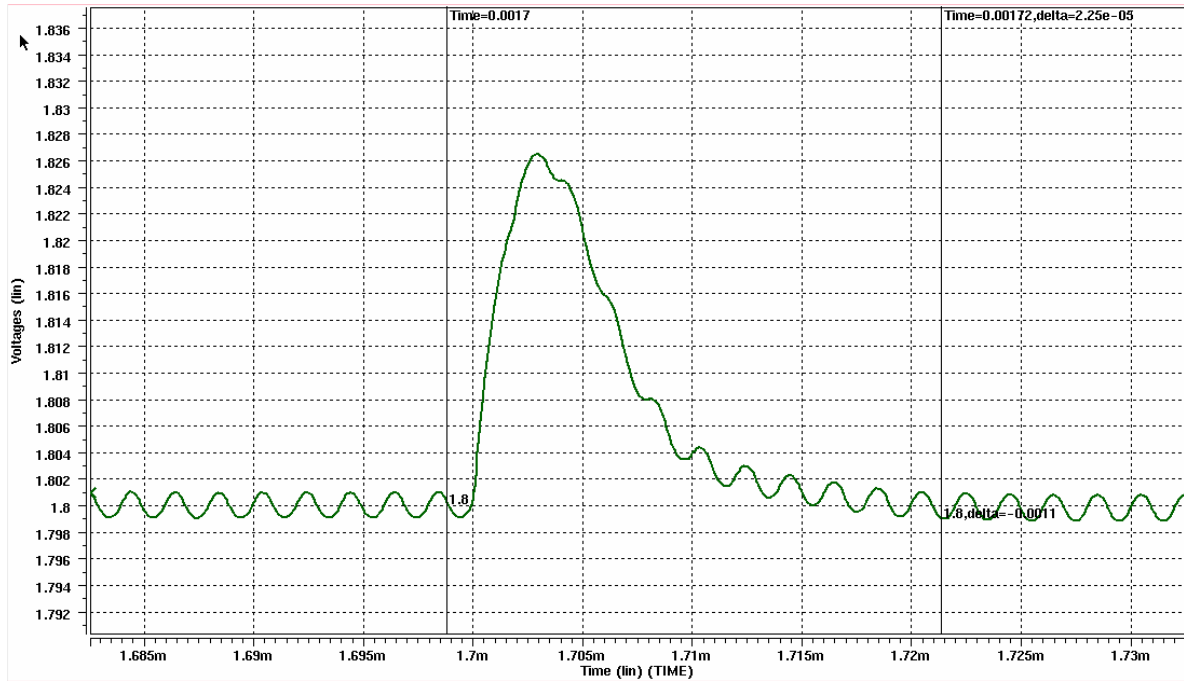


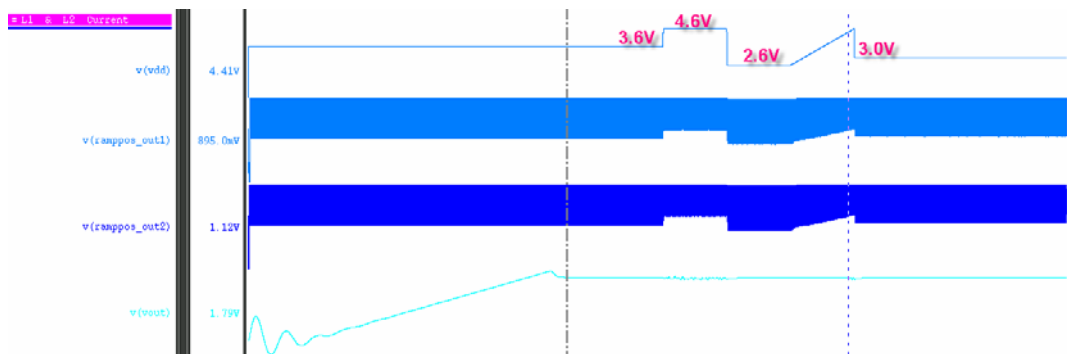
圖 75 負載電流由 1200mA 變化到 400mA 相對於輸出電壓變化放大圖

5.11.2 線性穩壓模擬結果

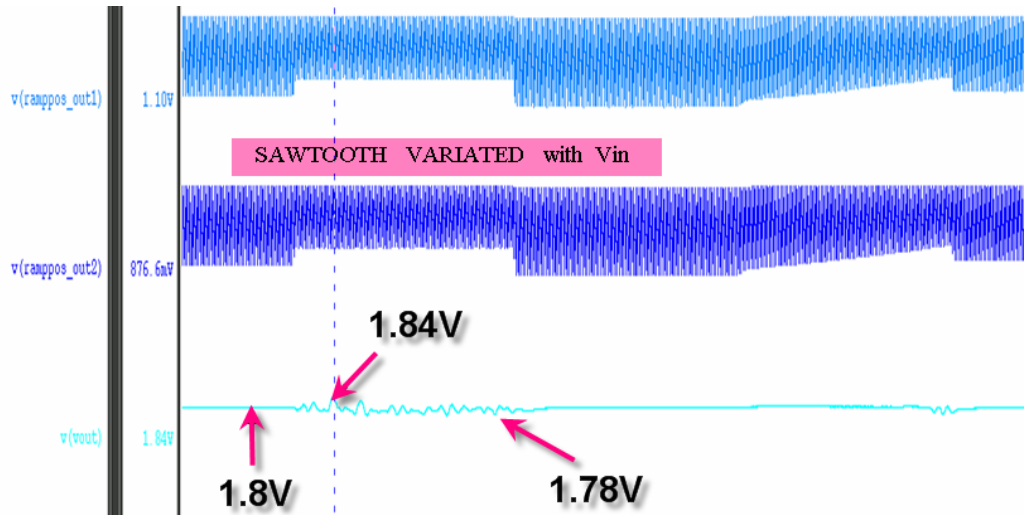
線性穩壓，指的是當輸入電壓變化時其對輸出電壓的影響，模擬結果如圖 76 所示。

其線性穩壓計算公式如下：

$$\text{Line Regulation}_{(\text{Iterleaved})} = \frac{\Delta V_{\text{out}}}{\Delta V_{\text{in}}} = \frac{0.06\text{V}}{4.6\text{V}-2.6\text{V}} = 60\text{mV} / 2\text{V} = 30\text{mV/V}$$



(a) 輸入電壓變化和輸出電壓之間的關係



(b) 隨輸入電壓改變之輸出電壓放大圖

圖 76 雙相位交錯式轉換器線性穩壓的模擬結果

5.11.3 改良式均流法模擬結果

我們採用改良式的均流方式，實際將此架構實現電路並用 *HSPICE* 軟體來進行電路之模擬，藉著量測輸出電流的情形來驗證改良式均流法之均流效果。

如圖 77 所示，為採用改良式均流法之模擬結果，分三個部份來介紹，*Step1* 為電路 *Soft Start* 的部份，此時輸出的電壓緩慢增加，當接近 $1.8V$ 且穩定之後進入 *Step2*，此時誤差放大器的輸出會進入穩定值，輸出電壓也將趨於穩定，但在此步驟下我們只提供交錯式電源轉換器電壓控制模式，由模擬結果可以得知，兩個相位的電流差異性極大，也就是表示若單使用電壓控制模式應用在交錯式電源轉換器，並不能改進使兩相位的電流相等。於是進入 *Step3*，啟動改善式的均流法配合主僕式電壓控制法，兩相位的電流值便會趨於相等並且到達一個合理的數值。

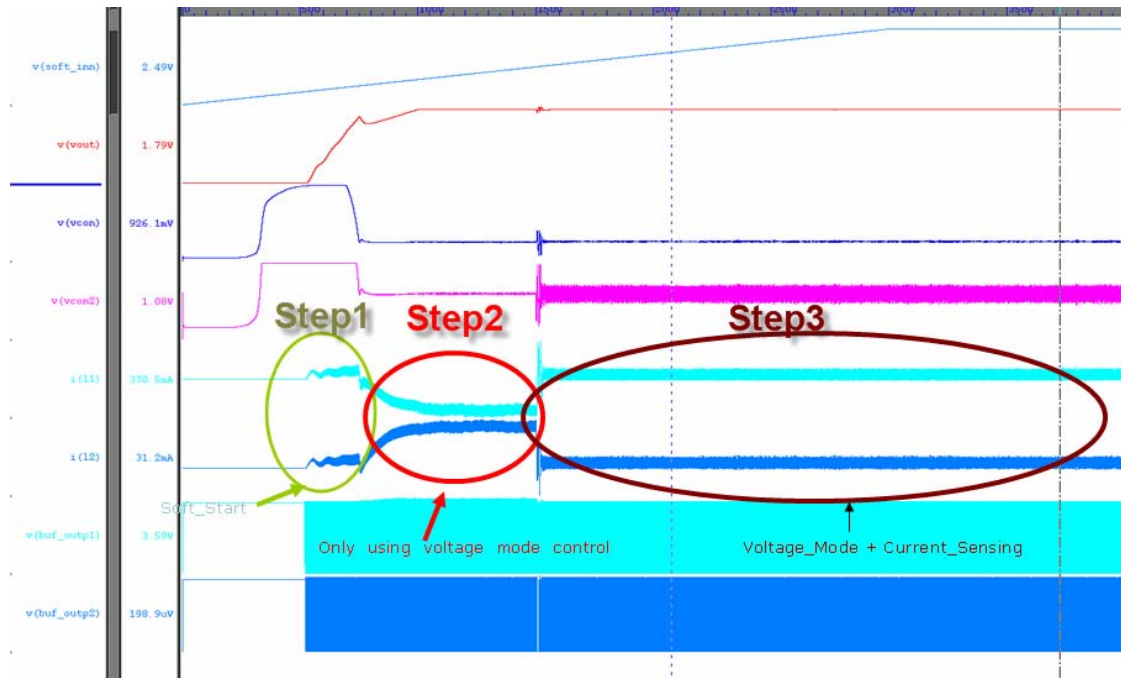


圖 77 整體電路使用改良式均流法模擬結果



第六章

結論與未來方向

6.1 結論

本論文首先介紹應用在並聯系統中的各種均流的方法，並對每一種並聯均流技術做簡單的介紹，並說明傳統均流技術所會遇到的缺點。緊接著將一改良式的均流方式及快速線性穩壓的方法，實際設計一個高均流和快速線性穩壓技術應用於交錯式電源轉換器。內文所提的系統電路有包含兩組單一相位的驅動電路、相位差 180 度的時脈產生器電路、電流偵測電路、電壓控制迴路電路、電流取樣及保存電路、電流相減電路、系統帶差參考電路及偏壓電路、隨負載調整斜率的三角波產生電路。而在電路測試及驗證方面提出“內建式的測試調整電路”使其能動態調整製程上所造成的誤差、問題電路之取代、及快速量測的目的。並用 *HSPICE* 模擬所設計的電路及驗證所設計的元件尺寸可以符合預期規格。

6.2 未來研究方向

本論文雖然完成高均流、快速穩壓之交錯式電源轉換器設計，雖然模擬驗證結果符合所提出之理論，但實際上還有進步及改進的空間。

- (1) 晶片設計上的問題：電路對稱性上便需要特別注意，否則在決定兩相位之電流誤差值將失真，而影響均流的準確度。
- (2) 採用此改良型均流控制電路對系統穩定度的分析。

參考文獻

- [1] Robert W. Erickson, Dragan Maksimović, *Fundamentals of Power Electronics*, 2nd ed., KLUWER ACADEMIC PUBLISHERS, 2001.
- [2] Simon Ang, Alejandro Oliva, “Power-Switching Converters, 2nd ed.
- [3] Jieh-Tsorng Wu, Kuen-Long Chang, “MOS charge pumps for low-voltage operation”. *IEEE Journal of Solid-State Circuits*, Vol. 33, Issue 4, pp. 592 – 597, April 1998.
- [4] Forghani-zadeh, H.P., Rincon-Mora, G.A., “Current-sensing techniques for DC-DC converters”. *Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium on*, Vol. 2, pp. II-577 - II-5804-7, Aug. 2002.
- [5] TTI, Inc. “Current Sensing Resistor Solution Guide”, <http://www.ttiinc.com>, 2003.
- [6] Lattice Semiconductor Corporation, “High-side Current Sensing Techniques for the ispPAC-POWR1208”, Application note AN6049, <http://www.latticesemi.com>, Fed. 2003.
- [7] C. F. Lee and P. K. T. Mok, “On-chip Current Sensing Technique for CMOS Monolithic Switch-Mode Power Converters”, *IEEE International Symposium on Circuit and Systems*, Vol V, pp.265-268, May 2002.
- [8] C. F. Lee and P. K. T. Mok, “A Monolithic Current-Mode CMOS DC-DC Converter with On-chip Current-sensing Technique”, *IEEE Journal of Solid-State Circuits*, Vol.39, pp 3-14, Jan. 2004.
- [9] C Y Leung, P. K. T. Mok and K. N. Leung, “A 1.2-V Buck Converter with a Novel On-chip Low-voltage Current-sensing Scheme”, *IEEE International Symposium on Circuit and Systems*, Vol. 5, pp.824-827, May 2004.
- [10] L Balogh, “Paralleling Power-Choosing and Applying the Best Technique,” *Unitrode-seminar*, 2003.

- [11] S Luo, Z. Ye, R. Lin and F. C. Lee, "A Classification and Evaluation of Parallel Methods for Power Supply Modules," CPES Seminar'98, PP. 221-231, 1998.
- [12] C. Jamerson, C. Mullett, "Seven ways to parallel a magamp," Proc of IEEE APEC'93, pp.469-474, 1993.
- [13] C. Jamerson, C. Mullett, "Parallel Power Supplies via Various Droop Methods," HFPC'94, pp. 68-76, 1993.
- [14] B. T. Irving and M. M. Jovanovic, "Analysis design and performance evaluation of droop current-sharing method," Proc of IEEE APEC'00, pp. 235-241, 2000.
- [15] I. Batarseh, K. Siri, and H. Lee, "Investigation of the output Droop Characteristics of Parallel-Connected DC-DC converter." Proc. of IEEE PESC'94, pp. 1342-1351, 1994.
- [16] K. T. Small, "Single Wire Current Share Paralleling of Power Supply." US PATENT, Patent Number 4,717,833, Jan. 5, 1998.
- [17] Doug Mattingly, "Designing Stable Compensation Networks for Single Phase Voltage Mode Buck Regulators".
- [18] A. Jones and Ken Martin "Analog Integrated Circuit" 4rd., Wiley York, 2001.
- [19] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, K. Sakui, "A CMOS bandgap reference circuit with sub-1-V operation". *IEEE J. Solid-State Circuits*, vol. 34, pp.670-674, May 1999.
- [20] P. Malcovati, F. Maloberti, C. Focchi, M. Pruzzi, "Curvature-compensated BiCMOS bandgap with 1-V supply voltage". *IEEE J. Solid-State Circuits*, vol. 36, pp.1076-1081, July 2001.
- [21] Palumbo G., Pennisi S. "A high-performance CMOS voltage follower". *Electronics, Circuits and Systems, IEEE International Conference on*, Vol. 2, pp. 21-24, Sept. 1998.
- [22] Cheung Fai Lee, Philip K. T. "A Monolithic Current-Mode CMOS DC-DC Converter with On-Chip Current-Sensing Technique". *IEEE J. Solid-State Circuits*.