

國立交通大學

電機學院 電子與光電學程

碩 士 論 文

高速磁滯電壓轉換器之漣波電壓改善

High-Speed Hysteresis Buck Converter with Improved Output Ripple



研 究 生：張國泰

指 導 教 授：黃 威 教 授

陳科宏 教 授

中 華 民 國 九 十 七 年 一 月

高速磁滯電壓轉換器之漣波電壓改善
**High-Speed Hysteresis Buck Converter with Improved
Output Ripple**

研 究 生：張國泰

Student : Kuo-Tai Chang

指 導 教 授：黃 威

Advisor : Wei Huang

陳科宏

Ke-Horng Chen

國立交通大學
電機學院 電子與光電學程
碩 士 論 文



Submitted to College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
in
Electronics and Electro-Optical Engineering
Jan 2008

Hsinchu, Taiwan, Republic of China

中華民國九十七年一月

高速磁滯電壓轉換器之漣波電壓改善

學生：張國泰

指導教授：黃 威 博士
陳科宏 博士

國立交通大學 電機學院 電子與光電學程碩士班

摘 要

本論文提出一高速磁滯電壓轉換器，透過負載判定回授的方式，藉以達到在不改變輕載的漣波電壓下，降低重載的漣波電壓。此一電路建構在磁滯式控制的電壓轉換器。整體電路可細分為能隙電壓產生電路、磁滯比較器、輸出級、過電流保護比較器、過電流保護計時電路及負載判定回授等部份。磁滯式控制的電壓轉換器主要是藉由輸出電壓的回授訊號與晶片內部所產生的能隙電壓相比較，從而決定輸出級的開關比，而本論文所提出的系統其運作的方式主要是偵測系統的負載情況，並將負載狀況回授給磁滯比較器，磁滯比較器將依照負載的回授量控制系統的磁滯電壓大小，以達成降低重載時的電壓漣波的功能。

在晶片啟動時，電感電流在未受保護的情形下會有過高而破壞系統的可能性，因此設計了過電流保護電路來防止電感電流過大的情形發生，而軟啟動的功能也同時藉由此一電路來達成。最後經由實驗證明，本系統能夠達到負載偵測、控制系統磁滯及提升系統效率的預期目標。

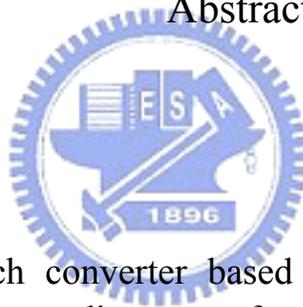
High-Speed Hysteresis Buck Converter with Improved Output Ripple

Student : Kuo-Tai Chang

Advisor : Dr. Wei Huang
Dr. Ke-Horng Chen

Degree Program of Electrical and Computer Engineering
National Chiao Tung University

Abstract



High-speed switch converter based on hysteretic control algorithm with improved loading adjustment feedback control is proposed. The whole-chip is built by bandgap reference circuit, high-speed hysteretic comparator, driver stage, over-current protection circuit, delay-time control, and load detection feedback control. Output voltage feedback signal compares with the bandgap reference voltage by hysteretic comparator to decide the duty ratio. This thesis is to control the hysteresis voltage based window to reduce the output ripple voltage at heavy loads.

The inductor current may be too larger if the less of over-current protection function. The large current will either saturate the inductor or crack the system by heat. As a result, the over-current protection circuit is added to avoid this situation. Soft-start function is induced in this block, too.

誌 謝

能夠完成本論文，首先我要向我的指導教授 黃威博士與 陳科宏博士致上萬分的感謝，在我學習與研究的過程中，不論是在專業知識、做人做事方面都給予我懇切的指導，讓我獲益良多。

感謝低功率混合信號晶片設計實驗室的鴻吉、慶勛、忠泰、嘉榮、德賢、哲偉、亦謙、千芳、宗玲以及在職班的世銘在研究的相關領域的熱心協助與討論。

最後我要感謝我的父母、我的妻子承節、兒子宇孺以及其他在背後支持我的朋友們，有你們的扶助我才能順利的完成碩士學位，謝謝。



目 錄

中文提要	i
英文提要	li
誌謝	iii
目錄	iv
圖目錄	vi
表目錄	ix
第一章	緒論.....	1
1.1	為何需要直流轉直流轉換器.....	1
1.1.1	手持式設備電源供應.....	1
1.1.2	效能最佳化.....	2
1.2	直流轉直流轉換器概觀.....	4
1.2.1	線性調節器.....	4
1.2.2	電荷泵調節器.....	5
1.2.3	切換式調節.....	6
1.3	論文架構.....	11
第二章	磁滯式控制直流轉直流轉換器原理與功率分析.....	12
2.1	磁滯式直流轉直流轉換器.....	13
2.1.1	連續導通模式.....	13
2.1.2	非連續導通模式.....	17
2.2	磁滯式直流轉直流轉換器功率分析.....	20
2.2.1	調節器功率消耗.....	20
2.2.2	輸出級功率消耗.....	20
2.2.3	輸出與回授網路功率消耗.....	23
第三章	磁滯式比較器與所提出的架構.....	25
3.1	常見的磁滯式比較器與原理分析.....	25
3.1.1	史密特觸發器.....	26
3.1.2	反相磁滯比較器.....	28
3.1.3	窗型比較器.....	31
3.2	改善前原型.....	32
3.3	建議改善架構.....	34
第四章	高速磁滯式電壓轉換系統實現與模擬結果.....	36
4.1	高速磁滯式電壓轉換系統.....	36
4.1.1	調節器.....	37
4.1.2	能隙電壓.....	43
4.1.3	偏壓電路.....	51
4.1.4	電壓緩衝器.....	55

4.1.5	回授補償磁滯比較器·····	58
4.1.6	驅動級·····	62
4.1.7	過電流保護·····	65
4.2	系統模擬結果·····	70
第五章	結論與未來方向·····	76
參考文獻	·····	77



圖 目 錄

圖 1.1	數位相機電源供應示意圖	2
圖 1.2	數位相機可變電壓式電源供應-效能最佳化示意圖	3
圖 1.3	線性調節器示意圖	5
圖 1.4	2 倍電荷泵調節器示意圖	6
圖 1.5	降壓型轉換器示意圖	7
圖 1.6	升壓型轉換器示意圖	8
圖 1.7	升降壓型轉換器示意圖	9
圖 2.1	磁滯式直流轉直流轉換器示意圖	13
圖 2.2	充電週期等效模型	14
圖 2.3	放電週期等效模型	15
圖 2.4	CCM 完整操作模式波形示意圖	16
圖 2.5	零電感電流週期等效示意圖	18
圖 2.6	DCM 完整操作模式波形示意圖	21
圖 2.7	輸出級等效示意圖	23
圖 3.1	磁滯波形示意圖	25
圖 3.2	反相史密特觸發器	26
圖 3.3	反相磁滯比較器	29
圖 3.4	窗型比較器	31
圖 3.5	改善前磁滯比較器	32
圖 3.6	建議改善架構	34
圖 4.1	高速磁滯電壓轉換系統架構圖	36
圖 4.2	能隙電壓產生原理示意圖	37
圖 4.3	調節器電路	40
圖 4.4	調節器在輸入電壓 12V，溫度-40°C 到 140°C 的條件下直流分析模擬結果由上而下分別為(a) 3 個 BJT 的壓降 (b) 電阻 R_2 上的跨壓 (c) 電晶體 MN_3 的源極電壓 (d) 實際的輸出電壓 V_{REG}	42
圖 4.5	調節器在輸入電壓 12V，且輸入電壓從 0V 到 12V 的上升時間為 $10 \mu s$ 的暫態分析模擬結果, (a) 輸出電壓 V_{REG} (b) 輸出電流 I_{REG}	43
圖 4.6	能隙電壓電路	44
圖 4.7	啟動電路	44
圖 4.8	能隙電壓電路考慮輸入等效誤差電壓	46
圖 4.9	能隙電壓電路中之運算放大器	47
圖 4.10	能隙電壓在輸入 12V 溫度-40°C 到 140°C 的條件下直流分析模擬結果	50

圖 4.11	能隙電壓在輸入電壓 5V，且輸入電壓由 0V 到 5V 上升時間為 $10\mu s$ 的暫態分析模擬結果，由上而下為 (a) 輸入電壓 V_{DD} (b) 調節器輸出電壓 V_{REG} (c) 啟動電路對 INP 端的充電電流 I_{Start_up} (d) INP 端的電壓 V_{INP} (e) 能隙電壓輸出 V_{BG}	51
圖 4.12	對溫度不敏感的偏壓電流電路.....	52
圖 4.13	偏壓電流電路在輸入 12V 溫度 $-40^{\circ}C$ 到 $140^{\circ}C$ 的條件下直流分析模擬結果.....	54
圖 4.14	偏壓電流電路在輸入電壓 12V 且輸入電壓由 0V 到 12V 的上升時間為 $10\mu s$ 的暫態分析模擬結果.....	54
圖 4.15	電壓緩衝器.....	55
圖 4.16	電壓緩衝器電路在輸入電壓 12V，溫度 $-40^{\circ}C$ 到 $140^{\circ}C$ 的條件下直流分析的輸出結果，模擬時電阻設定比值為 $R_1: R_2: R_3=4:0:1$ ，由上而下得結果分別表示 (a) 能隙電壓與 V_{R_FB} 電壓 (b) V_{TIMER} 電壓.....	56
圖 4.17	電壓緩衝器電路在輸入電壓 12V，且輸入電壓由 0V 到 12V 上升時間為 $10\mu s$ 的暫態分析模擬結果，模擬時電阻設定比值為 $R_1: R_2: R_3=4:0:1$ ，由上而下得結果分別表示 (a) 能隙電壓與 V_{R_FB} 電壓 (b) V_{TIMER} 電壓.....	57
圖 4.18	回授補償磁滯比率器.....	58
圖 4.19	轉導放大比較器.....	59
圖 4.20	輸出電流偵測回授電路.....	59
圖 4.21	回授補償磁滯比較器電路在輸入電壓為 12V，設定負載為 600mA 的狀況下的磁滯電壓量暫態分析.....	60
圖 4.22	回授補償磁滯比較器電路在輸入電壓為 12V，負載回授量由 $1\mu A$ 增加到 $7\mu A$ 的狀況下，磁滯電壓變化量模擬結果，(a) 為 V_{FB} 與 V_{R_FB} 信號對時間的關係 (b) 為輸出信號 V_{OUT} 在不同的負載狀況下的轉態點.....	61
圖 4.23	驅動級示意圖.....	62
圖 4.24	電壓偏移電路 1.....	62
圖 4.25	電壓偏移電路 2.....	63
圖 4.26	驅動級在輸入電壓為 12V 的暫態分析模擬結果，由上而下 (a) 輸入信號 IN (b) 輸出信號 OUT	65
圖 4.27	過電流保護偵測器.....	66
圖 4.28	過電流保護計時器.....	66

圖 4.29	過電流保護在輸入電壓 12V，開迴路狀況下的暫態分析模擬結果，(a)為 V_{DS} 與 V_{OCP} 對時間的關係 (b) 為過電流保護電路的輸出信號 OCP 對時間的關係·····	68
圖 4.30	過電流保護計時器中 OCP 在週而復始的過電流保護狀況下的系統關斷時間·····	69
圖 4.31	無回授控制磁滯比較系統在輸入電壓為 12V，輸入電壓由 0V 到 12V 的上升時間為 100 μ s 的條件下暫態分析確認啟動與 500mA 固定負載的動作·····	70
圖 4.32	無回授控制磁滯比較系統在輸入電壓 12V，輸出負載 500mA 時的漣波電壓·····	71
圖 4.33	回授控制磁滯比較系統在輸入電壓為 12V，輸入電壓由 0V 到 12V 的上升時間為 100 μ s 的條件下暫態分析確認啟動與 500mA 固定負載的動作·····	71
圖 4.34	回授控制磁滯比較系統在輸入電壓 12V，輸出負載 500mA 時的漣波電壓·····	72
圖 4.35	系統在輸入電壓 12V，輸出電壓 3.3V 的條件下操作頻率以及輸出漣波電壓與輸入負載電流關係圖·····	73
圖 4.36	系統在輸入電壓 12V，輸出電壓 3.3V，負載電流 10mA 的條件下，功率轉換效率與功耗分布圖·····	74
圖 4.37	系統在輸入電壓 12V，輸出電壓 3.3V，負載電流 10mA 的條件下，功率轉換效率與功耗分布圖·····	74
圖 4.38	系統在輸入電壓 12V，輸出電壓 3.3V，負載電流 500mA 的條件下，功率轉換效率與功耗分布圖·····	75

表 目 錄

表 4.1	規格與參數列表.....	70
-------	--------------	----



第一章

緒論

1.1 為何需要直流轉直流轉換器

隨著電子工業技術的進步，電子系統對於電源管理技術的需求與日俱增，直流轉直流轉換器(DC to DC Converter)大量的運用在手持式設備(hand-held instrument)與電腦設備等，其主要功能在於將輸入之直流電壓轉換成次一級所需要的輸入電壓，經過轉換的次一級輸入電壓除了可以使得次級系統得到最佳化的工作效能外，同時經過轉換的電壓可以提供次級系統更穩定的電壓品質，使得次級系統能有更穩定的工作特性，另一方面，轉換器的本身也必需要有很高的功率轉換效能，以延長使用電池的手持式設備的工作時間。

1.1.1 手持式設備電源供應

手持式設備使用電池做為其供電來源，在電池技術的進步下，電池的蓄電量的提升，大幅改善手持式設備的待機與工作時間，使得各種手持式設備得以蓬勃發展，而直流轉直流轉換器在電池的應用上扮演著舉足輕重的角色，圖 1.1 以鋰離子電池與多個不同的直流轉直流轉換器在數位相機上面的電源應用為例。

一個鋰離子電池正常的輸入電壓約在 2.7 至 4.2 伏特，而利用不同的直流轉直流轉換器後產生出四組電壓給四個數位相機中的主要模組，一是經由升壓型直流

轉直流轉換器再加上變壓器產生出 15 伏特與-5 伏特的電壓給電荷耦合器件圖像傳感器 (CCD, Charge Coupled Device)，二是由升降壓型直流轉直流轉換器 (Buck-Boost) 產生 3.3 伏特電壓給介面使用，三是由降壓型直流轉直流轉換器 (Buck) 產生 1.8 伏特電壓給核心使用，最後則是由升壓型直流轉直流轉換器 (Boost) 產生出 5 伏特電壓給鏡頭驅動馬達所使用。

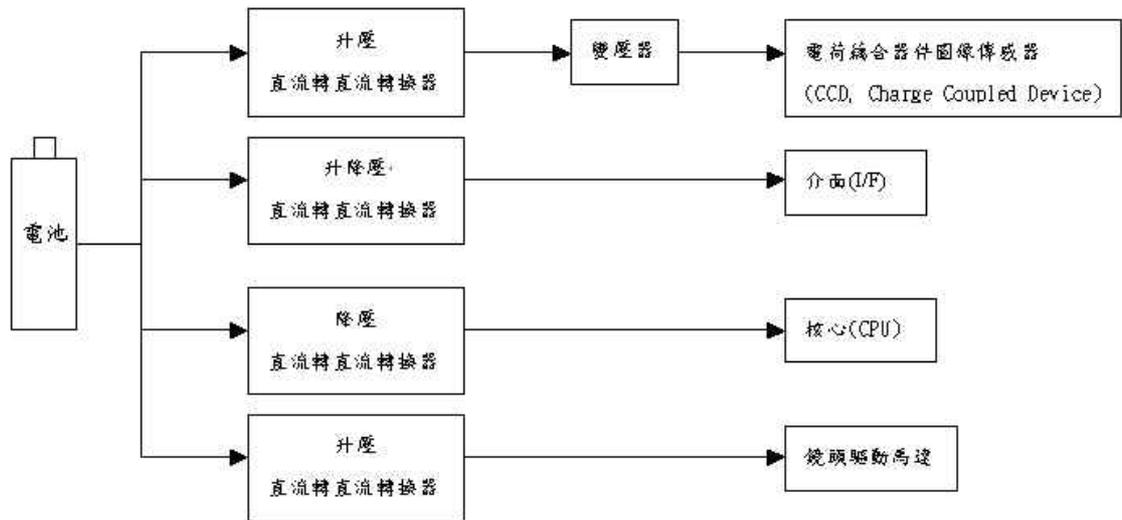


圖 1.1 數位相機電源供應示意圖

1.1.2 效能最佳化

在數位系統中，功率轉換的效能可以表示為[1]

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT} * I_{OUT}}{V_{IN} * I_{IN}} \quad (1.1)$$

其中 P_{IN} 是輸入電源所提供的功率(power)， P_{OUT} 是實際傳送到輸出端的功率，若將系統在轉換過程中所消耗的功率定為 $P_{CONSUMED}$ ，則可以表示為

$$P_{CONSUMED} = P_{IN} - P_{OUT} \quad (1.2)$$

實際的數位系統在功率轉換的過程中所消耗的功主要來自於對開關電容的充放電損失以及系統的漏電流損失，因此系統在轉換過程中所消耗的功率也可以表示為

$$P_{CONSUMED} = (C * V_{DD}^2 * f) + (V_{DD} * I_{LEAK}) \quad (1.3)$$

從(1.3)式中可以得到，想要有效的改善系統的效率有二，一是在不同的系統負載情形下提供系統相對應的可操作最低電壓將可以有效的降低不必要的功率消耗，進而達到提升效能的成果，圖 1.2 是以上例中的數位相機系統如何實現此方法的示意圖，二則是在適當的狀況下改變系統的操作頻率，以降低對開關電容的充放電損失。

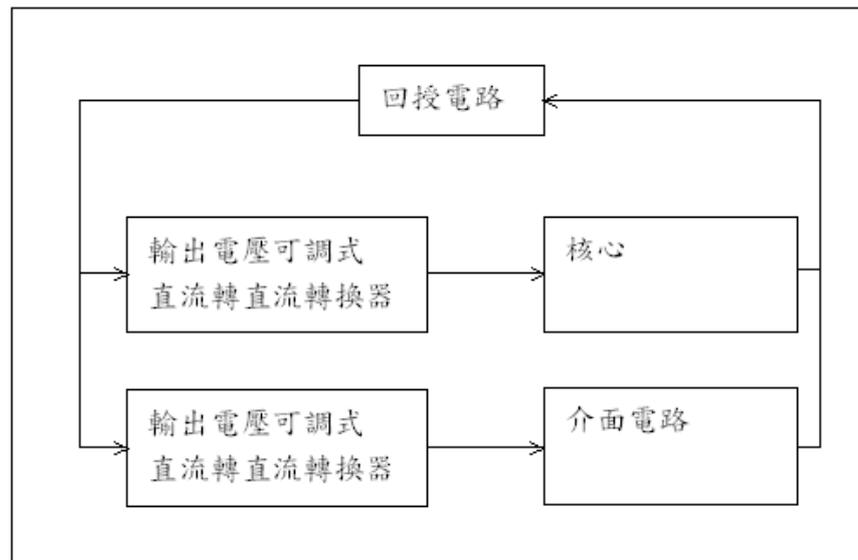


圖 1.2 數位相機可變電壓式電源供應-效能最佳化示意圖

1.2 直流轉直流轉換器概觀

電子系統對於直流轉直流轉換器的要求是，提供穩定的電壓、電壓漣波小、有良好的輸入電壓/輸出電流暫態反應、高轉換效率、低靜態電流、低負載功耗、可操作在低電壓環境、低雜訊干擾、有自我保護的功能、低成本與體積小等等。

已知的三種不同型態的直流轉直流轉換器[1], [2]，一是線性調節器(Linear Regulator)，二是電荷泵(Charge Pump)調節器[3]，最後是切換式調節器(Switching Regulator)，每種型態的直流轉直流轉換器各有其優缺點，不同的特性使得各個直流轉直流轉換器各有其應用的範圍，同時為了最佳化不同的特點，不同的直流轉直流轉換器在設計上的考量也不同，以下將分別討論每種直流轉直流轉換器的架構與其特點。

1.2.1 線性調節器

線性調節器主要的功能在於由較不穩定的前一級直流電壓產生出相對穩定的次一級直流電壓，相較於其它種類的直流轉直流轉換器，線性穩壓器的特點在於只能做降壓(Buck)的功能、外部元件只需要濾波輸入與輸出電容，輸出的電壓漣波小、低雜訊、沒有電磁干擾以及通常有較小的封裝體積，其主要架構如圖 1.3 所示。

線性調節器的操作原理是藉由分壓電阻 R_1 、 R_2 將輸出電壓的資訊回授給誤差放大器(Error Amplifier)，誤差放大器比較參考電壓與回授電壓後產生控制被動元件的訊號，這個被動元件在系統中扮演著可變電阻的角色，在固定負載(I_{Load})且輸出電壓達到穩態的狀況下，被動元件上的跨壓可以表示為

$$V_{Passive} = I_{Load} * R_{ON_Passive} \quad (1.4)$$

其中 $R_{ON_Passive}$ 代表被動元件的導通等效電阻，由式(1.1)、(1.2)可以得知，降低調節器本身的靜態電流與被動元件的導通等效電阻是提升效能的最佳法門，因此一旦輸出電壓與輸入電壓的壓差過大時，系統的功率轉換效能會隨之下降。

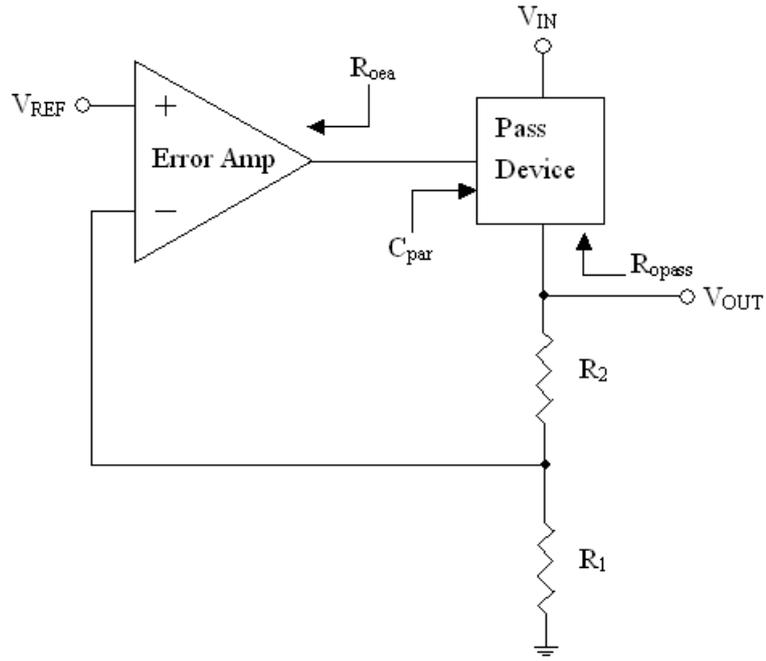


圖 1.3 線性調節器示意圖

1.2.2 電荷泵調節器

電荷泵調節器(Charge Pumps)也可以稱作電容式切換(switching capacitor)調節器，與一般的切換式調節器的差別在於，一般的切換式調節器指的是電感式切換，而電容式切換的元件使用上僅使用到電容，與線性調節器相比，除了降壓的功能外，還能夠提供升壓(Boost)與反相(Negative)電壓，同時雖然漣波電壓較大，但卻能有較佳的功率轉換效能。

目前電荷泵調節器多應用在升壓的功能，圖 1.4 是一個 2 倍電荷泵，主要由 4 個開關(S_1 - S_4)與切換電容(C)所組成，受到輸出電容(C_{OUT})的影響，輸出穩態電壓(V_{OUT})將不會是理想的 2 倍輸入電壓(V_{IN})。

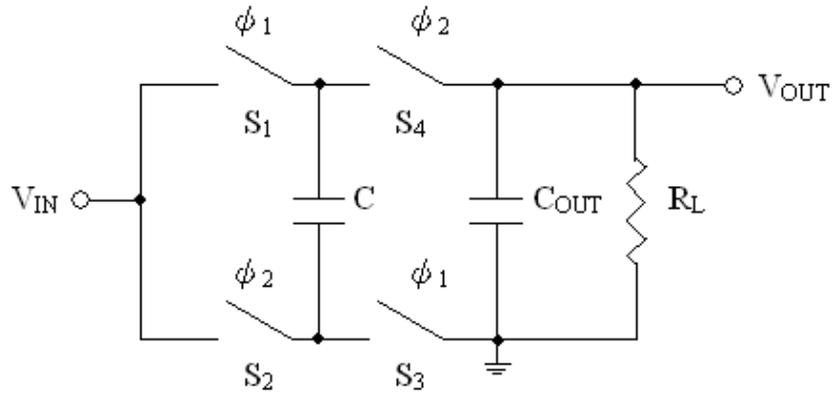


圖 1.4 2 倍電荷泵調節器示意圖

Φ_1 與 Φ_2 代表著非重疊時脈(non-overlap clock)，當系統達到穩態後，輸出電壓與輸入電壓的關係可以由以下的分析得到結果，當輸入時脈為 Φ_1 時，系統等效為輸入電壓對切換電容充電，切換電容上的電荷(charge)量可以表示為

$$Q_{C\phi_1} = V_{IN} * C \quad (1.5)$$

當輸入時脈為 Φ_2 時，系統等效為輸入電壓對切換電容充電，切換電容與輸出電容上的電荷量可以表示為

$$Q_{C\phi_2} = (V_{OUT} - V_{IN}) * C \quad (1.6)$$

$$Q_{C_{OUT}} = V_{OUT} * C_{OUT} \quad (1.7)$$

在不考慮其它損失的穩態狀況下， Φ_1 與 Φ_2 的電荷總量必須相等

$$Q_{C\phi_1} = Q_{C\phi_2} + Q_{C_{OUT}} \quad (1.8)$$

將方程式(1.5)、(1.6)、(1.7)代入方程式(1.8)，可以得到輸出的穩態電壓值為

$$V_{OUT} = 2 * \frac{C}{C + C_{OUT}} * V_{IN} \quad (1.9)$$

1.2.3 切換式調節器

切換式調節器(switching regulator)使用電感做為能量轉換的元件，依照轉換架構的不同可以達到降壓(Buck)、升壓(Boost)與升降壓(Buck-Boost)的功能。由於電

感的使用，切換式調節器的功率轉換效能是三種調節器中最高的，但其輸出電壓受到干擾的程度也是最大的。

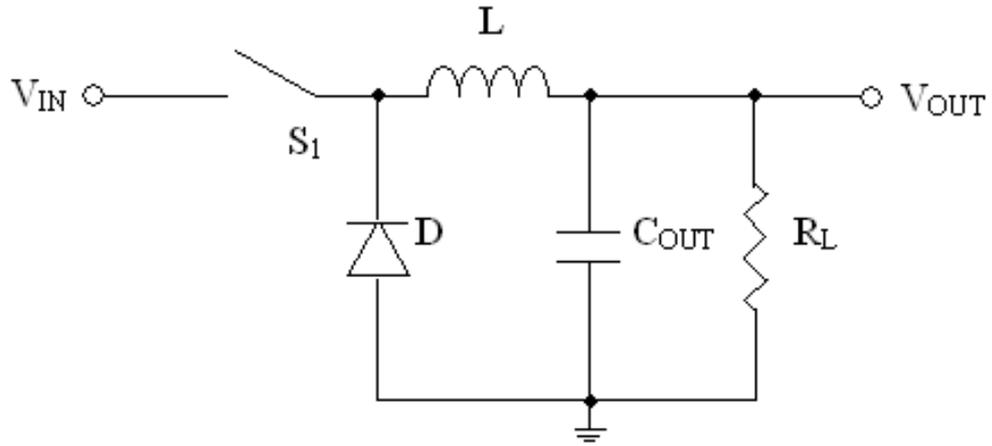


圖 1.5 降壓型轉換器示意圖

基本的降壓型轉換器如圖 1.5 所示，開關(S_1)與二極體(D ，通常為蕭特基二極體)用來控制轉換器儲能與放能的時間，電感(L)與輸出電容(C_{OUT})形成一個具有低通濾波效果的儲能槽(LC tank)，輸出電阻(R_L)則是用來表示不同負載時的次級系統等效電阻。

在開關導通的週期(T_{ON})，二極體不導通，輸入電壓對電感儲能，電感電流上升可由方程式表示為

$$I_{LON} = \frac{V_{IN} - V_{OUT}}{L * T_{ON}} \quad (1.10)$$

在開關不導通的週期(T_{OFF})，二極體導通，電感對輸出電壓放能，電感電流下降(忽略二極體導通壓降)可由方程式表示為

$$I_{LOFF} = -\frac{V_{OUT}}{L * T_{OFF}} \quad (1.11)$$

在系統達到穩態後，電感電流在開關導通週期的上升量等於電感電流在開關不導通週期的下降量($|I_{LON}| = |I_{LOFF}|$)，將方程式代入可以得到連續導通模式下(Continuous Conduction Mode, CCM)穩態時輸出電壓與輸入電壓的關係式為

$$\frac{V_{IN} - V_{OUT}}{L * T_{ON}} = \frac{V_{OUT}}{L * T_{OFF}} \quad (1.12)$$

$$V_{OUT} = \frac{T_{ON}}{T_{ON} + T_{OFF}} * V_{IN} = D * V_{IN} \quad (1.13)$$

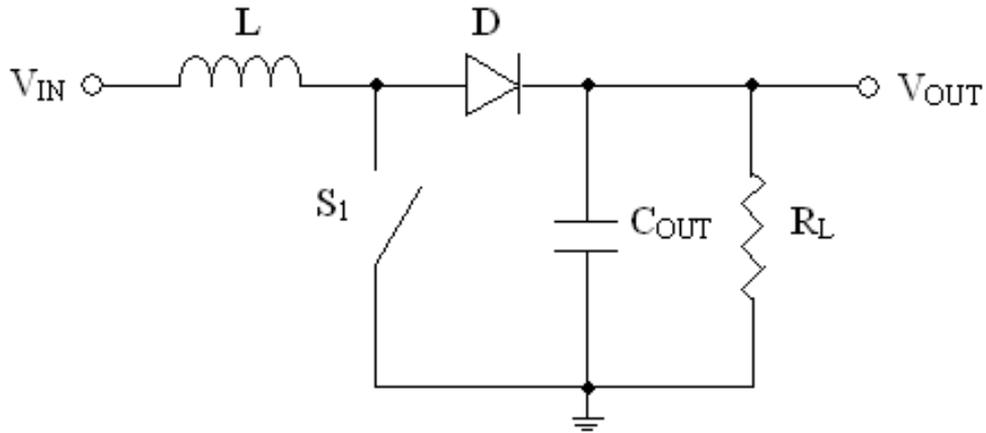


圖 1.6 升壓型轉換器示意

基本的升壓型轉換器如圖 1.6 所示，開關與二極體用來控制轉換器儲能與放能的時間，電感與輸出電容形成儲能槽，輸出電阻表示不同負載時的次級系統等效電阻。

在開關導通的週期(T_{ON})，二極體不導通，輸入電壓對電感儲能，電感電流上升可由方程式表示為

$$I_{LON} = \frac{V_{IN}}{L * T_{ON}} \quad (1.14)$$

在開關不導通的週期(T_{OFF})，二極體導通，電感對輸出電壓放能，電感電流下降(忽略二極體導通壓降)可由方程式表示為

$$I_{LOFF} = \frac{V_{IN} - V_{OUT}}{L * T_{OFF}} \quad (1.15)$$

在系統達到穩態後，電感電流在開關導通週期的上升量等於電感電流在開關不導通週期的下降量($|I_{LON}| = |I_{LOFF}|$)，將方程式代入可以得到連續導通模式下(Continuous Conduction Mode, CCM)穩態時輸出電壓與輸入電壓的關係式為

$$\frac{V_{IN}}{L * T_{ON}} = \frac{V_{OUT} - V_{IN}}{L * T_{OFF}} \quad (1.16)$$

$$V_{OUT} = \frac{T_{ON} + T_{OFF}}{T_{OFF}} * V_{IN} = \frac{1}{1 - D} * V_{IN} \quad (1.17)$$

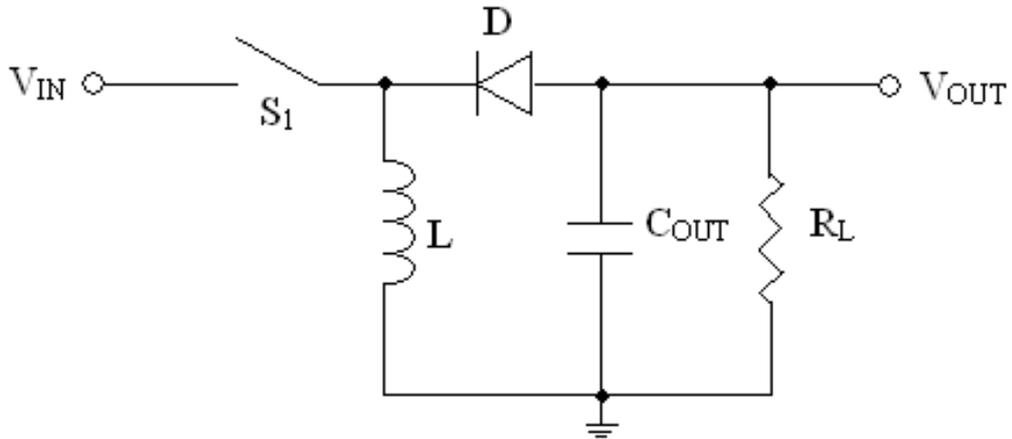


圖 1.7 升降壓型轉換器示意

基本的升降壓型轉換器如圖 1.7 所示，開關與二極體用來控制轉換器儲能與放能的時間，電感與輸出電容形成儲能槽，輸出電阻表示不同負載時的次級系統等效電阻。

在開關導通的週期(T_{ON})，二極體不導通，輸入電壓對電感儲能，電感電流上升可由方程式表示為

$$I_{LON} = \frac{V_{IN}}{L * T_{ON}} \quad (1.18)$$

在開關不導通的週期(T_{OFF})，二極體導通，電感對輸出電壓放能，電感電流下降(忽略二極體導通壓降)可由方程式表示為

$$I_{LOFF} = \frac{0 - V_{OUT}}{L * T_{OFF}} \quad (1.19)$$

在系統達到穩態後，電感電流在開關導通週期的上升量等於電感電流在開關不導通週期的下降量($|I_{LON}| = |I_{LOFF}|$)，將方程式代入可以得到連續導通模式下(Continuous Conduction Mode, CCM)穩態時輸出電壓與輸入電壓的關係式為

$$\frac{V_{IN}}{L * T_{ON}} = \frac{V_{OUT}}{L * T_{OFF}} \quad (1.20)$$

$$V_{OUT} = \frac{T_{OFF}}{T_{ON}} * V_{IN} = \frac{1-D}{D} * V_{IN} \quad (1.21)$$



1.3 論文架構

本篇論文由五個章節所組成，在第一章中概述了動機並簡單介紹了常見的直流轉直流轉換器的架構與其特性，在第二章將闡述磁滯式控制直流轉直流轉換器的原理同時系統的功率消耗分析也將於本章中介紹，根據第二章的分析，提升功率的效能改善電路在第三章中被提出，第四章將詳細系統的各個子電路原理以及子電路與系統的模擬驗證結果，最後，結論與未來目標將在第五章中說明。



第二章

磁滯式控制直流轉直流轉換器原理與 功率分析

在本章中將會探討磁滯式直流轉直流轉換器的架構[4]與其操作原理，磁滯式直流轉直流轉換器又稱為漣波穩壓器(ripple regulator)，其操作最主要的特點在於系統主要受控於磁滯比較器(hysteretic comparator)，由具有磁滯特性的比較位準以及輸出電壓的回授訊號產生出控制輸出級的數位信號，在系統的控制迴路上並沒有使用到一般的脈衝寬度調變控制(Pulse Width Modulation, PWM)所使用的轉導放大器(Operational Transconductance Amplifier, OTA)，因此磁滯式直流轉直流轉換器的另一個特性在於系統沒有補償的需求，本章中的另一個重點則在於系統的效能分析，同時將依照效能分析的結果做為電路改善的依據。

2.1 磁滯式直流轉直流轉換器

磁滯式控制方式是最早的直流轉直流轉換器控制方式之一，它的特色除了簡單以外，更是屬於最快的架構之一，其架構如圖 2.1 所示，由調幅器(Modulator)，輸出級(Output Stage)組成穩壓器控制的主體架構，在穩壓器外部加上回授網路(Feedback Network)以及低通濾波電感電容(LC Low Pass Filter)，整個磁滯式直流轉直流轉換器可開始正常動作。

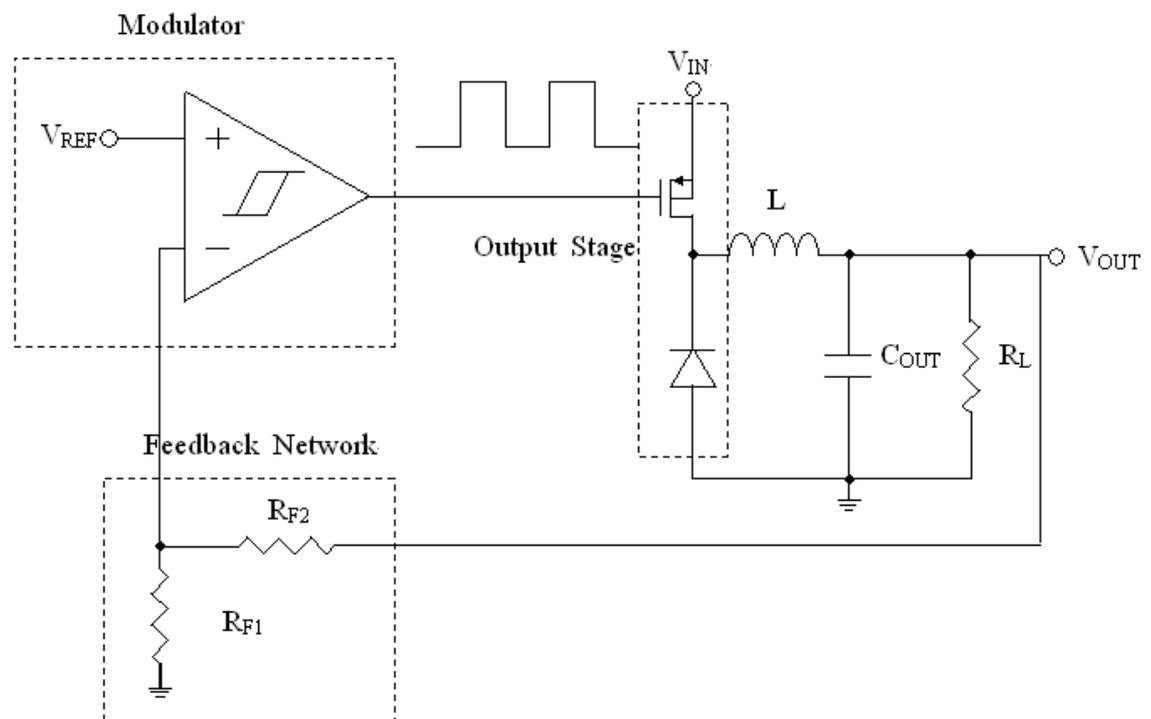


圖 2.1 磁滯式直流轉直流轉換器示意圖

2.1.1 連續導通模式

當磁滯式直流轉直流轉換器工作在連續導通模式(Continuous Conduction Mode, CCM)下[1]，可以將整個磁滯式直流轉直流轉換器分為兩個階段做分析，第一個階段是當磁滯式直流轉直流轉換器的輸出級 P 型金氧半場效電晶體導通，也可稱為充電週期，等效模型如圖 2.2

此時電感與輸出級相連接的切換點(Switch Point, SW)的電壓等於輸入電壓減去 P 型金氧半場效電晶體上的壓降，如方程式(2.1)所示

$$V_{SW} = V_{IN} - I_L * R_{DS(ON)} \quad (2.1)$$

當整個導通時間為 t_{ON} ，則可以依照下列方程式算出電感電流的變化量

$$\Delta I_L = \frac{V_{IN} - I_L * R_{DS(ON)} - V_{OUT}}{L} * t_{ON} \quad (2.2)$$

在大多數的狀況下，輸出的漣波電壓取決於電流流經過輸出電容上的等效串聯電阻(Equivalent Series Resistance, ESR)，因此輸出漣波電壓可以方程式表示

$$\Delta V_{OUT} = \Delta I_L * R_{ESR} = \frac{V_{IN} - I_L * R_{DS(ON)} - V_{OUT}}{L} * t_{ON} * R_{ESR} \quad (2.3)$$

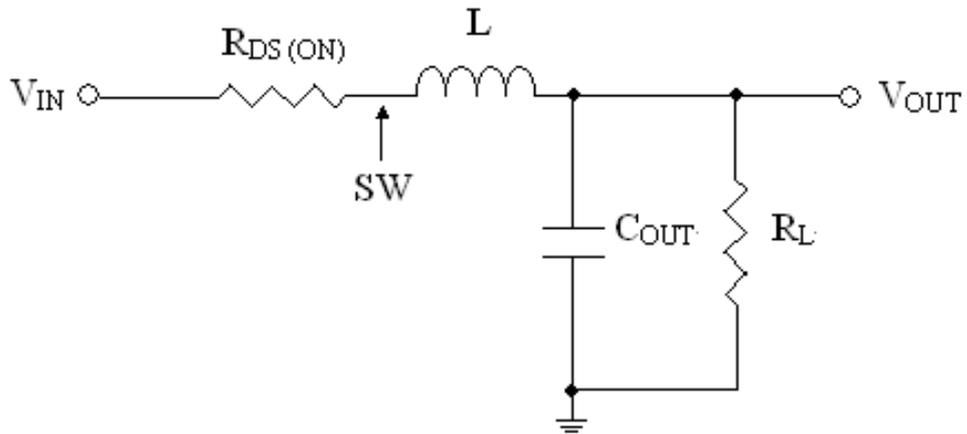


圖 2.2 充電週期等效模型

第二個階段是當磁滯式直流轉直流轉換器的輸出級 P 型金氧半場效電晶體不導通，此時輸出級的二級體(通常為蕭特基二級體)因為電感電流的連續性而導通，亦稱為放電週期，等效模型如圖 2.3

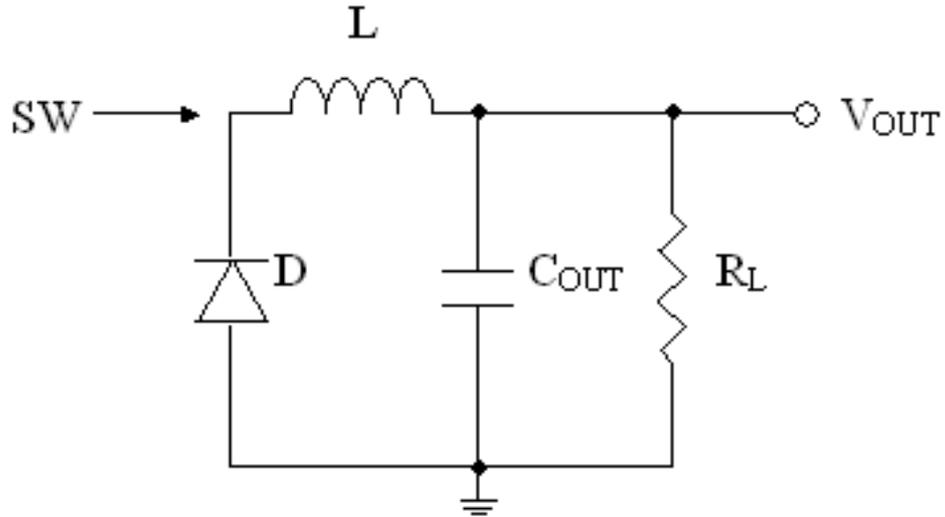


圖 2.3 放電週期等效模型

此時電感與輸出級相連接的切換點(Switch Point, SW)的電壓等於零電位減去二極體導通的壓降，如方程式(2.4)所示

$$V_{SW} = 0 - V_{D(ON)} = -V_{D(ON)} \quad (2.4)$$

當整個工作時間為 t_{OFF} ，則可以依照下列方程式算出電感電流的變化量

$$\Delta I_L = \frac{V_{OUT} - (-V_{D(ON)})}{L} * t_{OFF} \quad (2.5)$$

此時輸出的漣波電壓等於電流流經過輸出電容上的等效串聯電阻(Equivalent Series Resistance, ESR)所造成的壓差，因此輸出漣波電壓可以方程式(2.6)表示

$$\Delta V_{OUT} = \Delta I_L * R_{ESR} = \frac{V_{OUT} + V_{D(ON)}}{L} * t_{OFF} * R_{ESR} \quad (2.6)$$

將分別的兩個階段合併為一個完整的操作模式時，切換點(SW)的電壓變化，電感電流的變化，與輸出電壓的變化可以用圖 2.4 表示

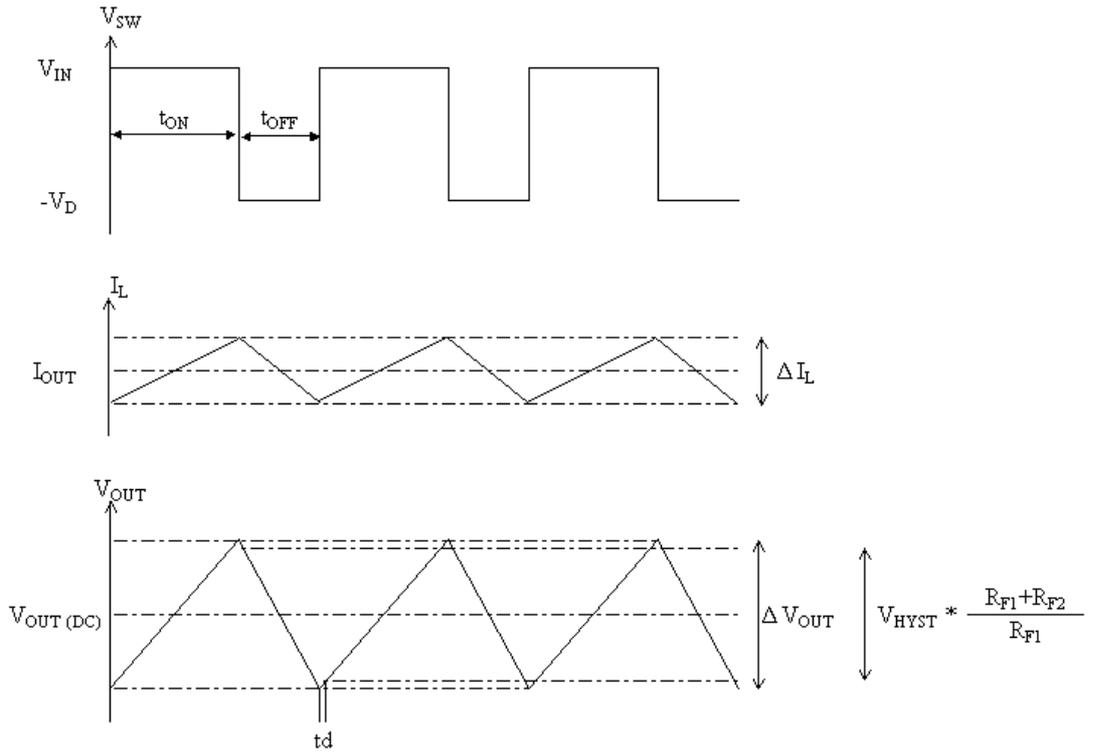


圖 2.4 CCM 完整操作模式波形示意圖

當磁滯式直流轉直流轉換器達到穩態的情形下，由電感的伏特-秒 (Voltage-Second) 平衡關係式可以得到第一階段的 ΔI_L 等於第二階段的 ΔI_L ，將方程式(2.5)代入方程式(2.6)可以得到

$$\frac{V_{IN} - I_L * R_{DS(ON)} - V_{OUT}}{L} * t_{ON} = \frac{V_{OUT} + V_{D(ON)}}{L} * t_{OFF} \quad (2.7)$$

在大多數的情形下第一階段的 P 型金氧半場效電晶體的壓降相較於輸入電壓與輸出電壓的差值為一可忽略的值，同時第二階段的二極體導通電壓相較於輸出電壓為一可忽略的值，則可以得到佔空比(Duty Ratio)的近似方程式為

$$D = \frac{t_{ON}}{t_{ON} + t_{OFF}} \approx \frac{V_{OUT}}{V_{IN}} \quad (2.8)$$

由於磁滯式直流轉直流轉換器的輸出級受控於磁滯比較器，若將當磁滯比較器產生控制信號至系統實際轉態的時間訂為 td ，則輸出的漣波電壓可以表示為方程式(2.9)

$$\Delta V_{OUT} = V_{HYST} * \frac{R_{F1} + R_{F2}}{R_{F1}} + \left[R_{ESR} * \left(\frac{V_{IN} - I_L * R_{DS(ON)} - V_{OUT}}{L} + \frac{V_{OUT} + V_{D(ON)}}{L} \right) * td \right] \quad (2.9)$$

將方程式(2.6)代入方程式(2.9)並經過換算後，磁滯式直流轉直流轉換器的操作頻率可以表示為方程式(2.10)

$$f_{SW} = \frac{V_{OUT}}{V_{IN}} * \frac{(V_{IN} - I_L * R_{DS(ON)} - V_{OUT}) * R_{ESR}}{V_{HYST} * \frac{R_{F1} + R_{F2}}{R_{F1}} * L + (V_{IN} - I_L * R_{DS(ON)} - V_{D(ON)})} \quad (2.10)$$

由方程式可以看出，系統的操作頻率主要取決於輸入電壓、輸出電壓、輸出電容等效串聯電阻以及做為調節器的磁滯比較器之磁滯電壓大小，而在這幾項要素中，輸入電壓、輸出電壓以及所用的輸出電容的等效串聯電阻往往是已經決定好的，能夠從電路設計中去影響系統操作頻率的影響因素只剩下磁滯比較器之磁滯電壓大小。

2.1.2 非連續導通模式

當磁滯式直流轉直流轉換器工作在非連續導通模式(Discontinuous Conduction Mode, DCM)下[1]，整個磁滯式直流轉直流轉換器可以分為三個階段做分析，前兩個階段的等效模型與連續導通模式相同，在此不再重述，第三個階段也可稱為零電感電流週期，其等效圖如圖 2.5。

當系統工作在零電感電流週期時，輸出的負載電流僅僅靠輸出電容提供，直到系統偵測到輸出電壓過低後，才進入下一個 P 型金氧半場效電晶體導通的週期，將分別的三個階段合併為一個完整的操作模式時，切換點(SW)的電壓變化，電感電流的變化，與輸出電壓的變化可以用圖 2.6 表示。

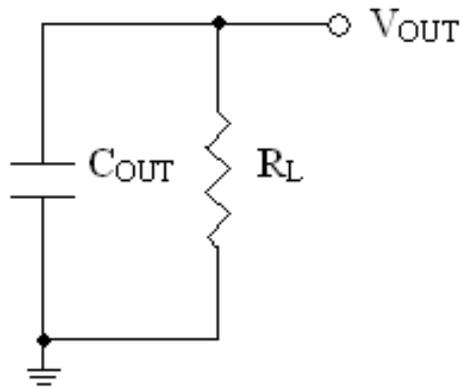


圖 2.5 零電感電流週期等效示意圖

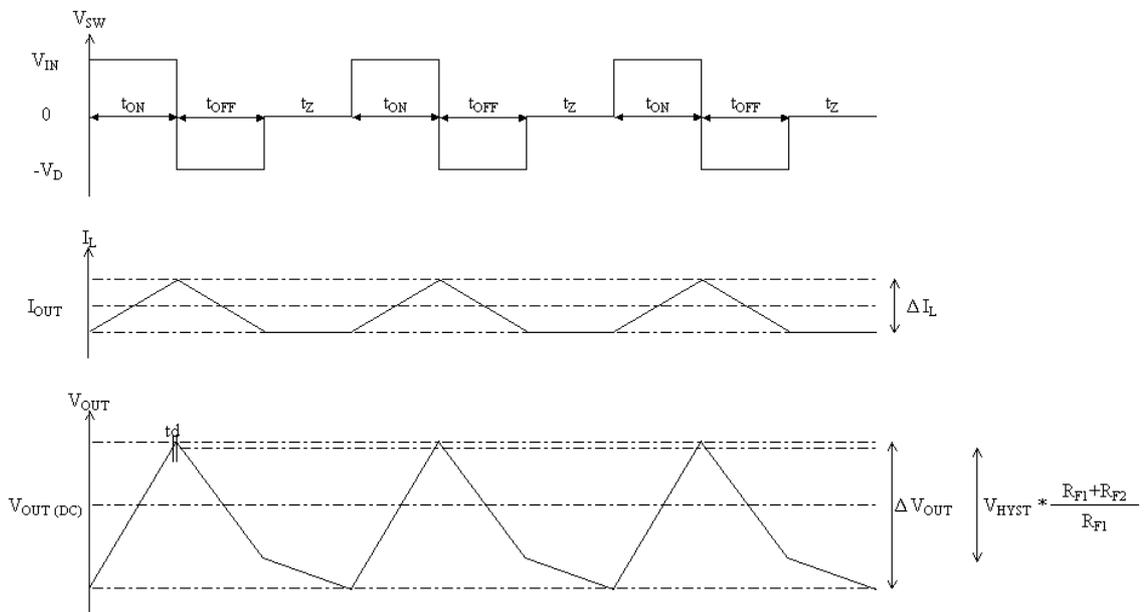


圖 2.6 DCM 完整操作週期波形示意圖

由伏特-秒平衡式可以得到電感電流的變化量等於

$$\Delta I_L = \frac{V_{IN} - I_L * R_{DS(ON)} - V_{OUT}}{L} * t_{ON} = \frac{V_{OUT} + V_{D(ON)}}{L} * t_{OFF} = I_{PK} \quad (2.11)$$

忽略 P 型金氧半場效電晶體導通壓降與二極體導通壓降，則可以得到輸入電壓與輸出電壓的關係式

$$\frac{V_{OUT}}{V_{IN}} \approx \frac{t_{ON}}{t_{ON} + t_{OFF}} \quad (2.12)$$

方程式(2.12)與連續導通模式的方程式(2.8)相同，但不同的地方是此時 t_{ON} 與

t_{OFF} 相加不代表整個操作週期，整個操作週期除了 t_{ON} 與 t_{OFF} 外尚有 P 型金氧半場效電晶體與二級體同時不導通的時間 t_Z 。

因為整個操作週期中電感電流先充電到峰值電流(I_{PK})，然後再放電到零電流，之後維持零電流至下個 P 型金氧半場效電晶體導通的充電週期，此時輸出負載電流等於電感電流在整個操作週期中的平均值

$$I_O = I_{L(avg)} = \frac{V_{OUT}}{R_L} = \frac{I_{PK}}{2} * \frac{t_{ON} + t_{OFF}}{t_{ON} + t_{OFF} + t_Z} \quad (2.13)$$

將峰值電流的關係式(2.11)代入式(2.13)可以得到

$$I_O = \frac{V_{OUT}}{R_L} \approx \left(\frac{V_{IN} - I_L * R_{DS(ON)} - V_{OUT}}{2L} * t_{ON} * \frac{t_{ON} + t_{OFF}}{t_{ON} + t_{OFF} + t_Z} \right) \quad (2.14)$$

由充電週期來看，此時輸出的漣波電壓等於電流流經過輸出電容上的等效串聯電阻所造成的壓差，因此輸出漣波電壓可以方程式(2.15)表示

$$\Delta V_{OUT} = \Delta I_L * R_{ESR} = \frac{V_{OUT} - I_L * R_{DS(ON)} - V_{OUT}}{L} * t_{ON} * R_{ESR} \quad (2.15)$$

由於磁滯式直流轉直流轉換器的輸出級受控於磁滯比較器，若將磁滯比較器產生控制信號至系統實際轉態的時間訂為 td ，則輸出的漣波電壓可以表示為方程式(2.16)

$$\Delta V_{OUT} = V_{HYST} * \frac{R_{F1} + R_{F2}}{R_{F1}} + \left[R_{ESR} * \left(\frac{V_{IN} - I_L * R_{DS(ON)} - V_{OUT}}{L} \right) * td + \frac{I_O}{C_{OUT}} * td \right] \quad (2.16)$$

2.2 磁滯式直流轉直流轉換器功率分析

在前述的磁滯式直流轉直流轉換器架構圖中我們將轉換器分成三個部份，一是系統調節器，二是輸出級，三是輸出與回授網路。以下將討論每個部份在轉換器工作時的功率消耗[1], [5], [6], [7], [8], [9], [10], [11], [12]。

2.2.1 調節器功率消耗

調節器本身的功能在於提供直流轉直流轉換器輸出級控制信號，在系統正常工作的情形下，調節器本身需要消耗固定的靜態電流(Quiescent Current, I_Q)，由調節器所造成的功率消耗等於

$$P_{Modulator} = V_{IN} * I_Q + f_{SW} * C_{eq} * V_{IN}^2 \quad (2.17)$$

其中 f_{SW} 代表系統的操作頻率， C_{eq} 代表調節器中的數位電路所看到的等效閘極(Gate)電容，由於靜態電流常落在數十微安(micro-Ampere, μA)到數百微安的範圍，同時調節器中的數位電路等效的電容多為微微法拉(pico-Farad, pF)等級，因此調整器的功率消耗多在數毫瓦(milli-Watt, mW)以下，而由方程式可以得到想要降低調節器的功率消耗，則必需要在不影響系統功能的情形下，降低調節器的靜態電流或是降低數位電路的等效電容。

2.2.2 輸出級功率消耗

輸出級[13], [14]的功能在於做為直流轉直流轉換器對功率轉換的電感及電容的開關，在目前的磁滯式直流轉直流轉換器架構圖中使用 P 型金氧半場效電晶體做為充電週期的開關，一般來說 N 型金氧半場效電晶體因為其電子遷移速率(mobility, μ_n)高於 P 型金氧半場效電晶體的電子遷移速率(μ_p)，故在相同的面積下 N 型金氧半場效電晶體會較小的導通阻抗($R_{SD(ON)}$)，但是在降壓型的直流轉直流轉換器我們常使用 P 型金氧半場效電晶體做為開關的原因在於不需要另外對 P 型金

氧半場效電晶體的驅動電路做處理，而 N 型金氧半場效電晶體在導通的時候需要大於輸入電壓的電壓值來驅使開關導通，由於開關速度與效率的考量，在調節器信號與做為開關的電晶體中間需要緩衝級來幫助系統快速打開或關上開關，以減少功率的損失，由於緩衝級本身在系統切換的時候也有功率消耗的問題，因此如何在降低開關的功率消耗與相對增加的緩衝級功率消耗及積體電路面積這三項因素的考量下取得平衡也是一個可以研究的議題，將緩衝級加入考量後的輸出級等效圖 2.7 如所示

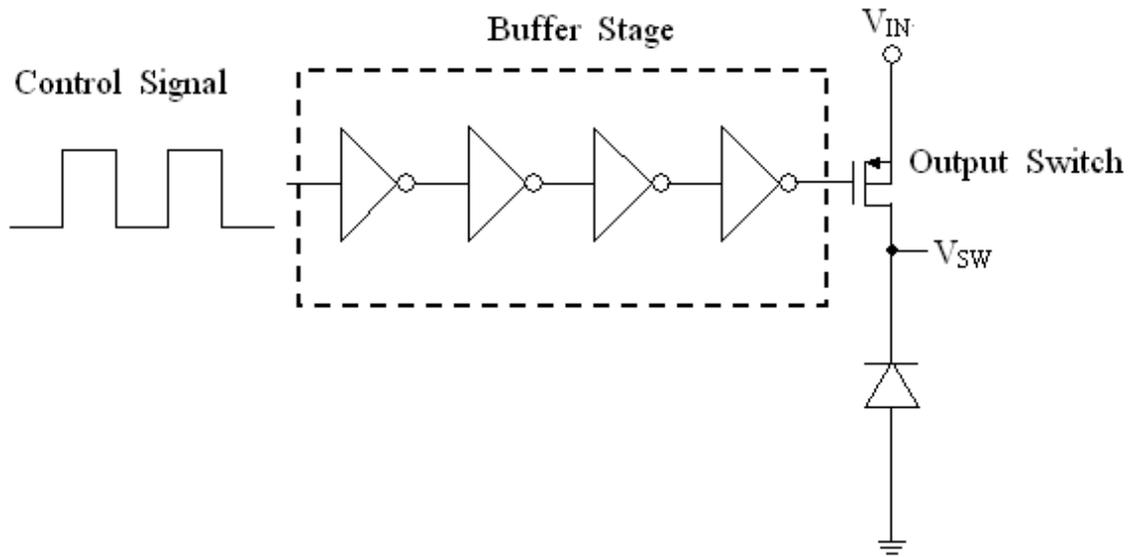


圖 2.7 輸出級等效示意圖

在整個功率轉換的週期中，做為輸出開關的 P 型金氧半場效電晶體的功率消耗為

$$P_{D(MOSFET)} = I_{OUT}^2 * R_{DS(ON)} * D + \frac{1}{2} * V_{IN} * I_{OUT} * (t_r + t_f) * f_{SW} + Q_{Gate} * V_{GS} * f_{SW} \quad (2.18)$$

其中 t_r 與 t_f 是做為輸出開關的 P 型金氧半場效電晶體在打開與關上的過渡時間 (transition time)， Q_{Gate} 則是緩衝級對開關的等效開關對源級電容充放電的電荷量，也可以表示為

$$Q_{Gate} = C_{eq_GS} * V_{GS} \quad (2.19)$$

所以方程式也可以表示為

$$P_{D(MOSFET)} = I_{OUT}^2 * R_{DS(ON)} * D + \frac{1}{2} * V_{IN} * I_{OUT} * (t_r + t_f) * f_{SW} + C_{eq_GS} * V_{GS}^2 * f_{SW} \quad (2.20)$$

組成開關功率消耗的三个部份中，第一個由輸出電流與開關導通電阻所組成的部份也稱為導通損失(Conduction loss)，第二個由輸入電壓，輸出電流與開關的過渡時間所組成的部份也稱為射穿損失(Shoot-through loss)，第三個由開關閘源級等效電容、閘源級電壓與系統操作頻率所組成的部份也稱為切換損失(Switching loss)，從方程式中可以發現，在重載的情形下，輸出電流很大，導通損失會主宰(dominate)開關的功率消耗，此時其他的損失相對小，要降低開關的功率消耗就要儘量的縮小開關的導通電阻，亦即增加做為開關的 P 型金氧半場效電晶體的面積；但是在輕載的狀況下，輸出電流小，射穿損失與切換損失在整個開關的功率消耗上所佔的比例愈來愈大，當這兩個部份開始影響到系統的效率時，則要考慮縮小做為開關的 P 型金氧半場效電晶體的面積以降低開關的過渡時間或是閘源極的等效電容，以降低射穿損失與切換損失，或者是降低系統的操作頻率來降低切換損失。

做為開關的 P 型金氧半場效電晶體是系統主要的功率消耗因素之一，因此在設計上除了要考慮開關功率損失所造成的效率問題外，開關所能夠承受的最大額定電流以及開關的功率消耗是否超過封裝所能夠容忍的範圍也是要注意的地方，當開關所消耗的功率過大時，所消耗的功率換轉變成的熱能將會造成 P 型金氧半場效電晶體中的矽晶體接面溫度(T_J)過高，進而造成接面與元件的損壞，方程式用來預估開關功率消耗對接面溫度的影響

$$T_J = T_A + P_{D(MOSFET)} * R_{\theta JA} \quad (2.21)$$

其中 T_A 是系統操作時的環境溫度， $R_{\theta JA}$ 則是代表由操作環境到做為開關的 P 型金氧半場效電晶體中的矽晶體接面的等效熱阻。

在做為開關的 P 型金氧半場效電晶體下方的二極體也稱為抓住整流器(Catch rectifier)，其作用在於當開關的 P 型金氧半場效電晶體不導通的時候，提供有連續

性的電感電流一個導通的路徑，而這個開關在選用上應該要注意以下特點：切換速度快，可以提供足夠的崩潰電壓，足夠的額定電流量以及小的二極體導通電壓，一般而言，蕭特基二極體是最常見的選擇，因為相較於一般的 PN 接面二極體而言，蕭特基二極體沒有反向回復時間(reverse-recovery time)，同時相等面積的蕭特基二極體與 PN 接面二極體在相同的導通電流下，蕭特基二極體的導通電壓是較小的。

抓住整流器所消耗的功率主要來自於二極體的導通壓降

$$P_{D(Diode)} = V_{D(ON)} * I_{OUT} * (1 - D) \quad (2.22)$$

同樣的預估二極體功率消耗對接面溫度的影響

$$T_J = T_A + P_{D(MOSFET)} * R_{\theta JAD} \quad (2.23)$$

其中 T_A 是系統操作時的環境溫度， $R_{\theta JAD}$ 則是代表由操作環境到二極體中的矽晶體接面的等效熱阻。

另一個要注意功率消耗所造成的溫度上升的原因是，當負載被系統決定時，系統的工作溫度也同時被決定，而當負載電流較大時，系統的工作溫度也愈高，溫度的上升會影響到輸出 PMOS 的等效阻抗，由於 PMOS 的等效阻抗為正溫度係數，因此高溫環境下 PMOS 所消耗的功率也較大，對二極體來說，溫度的上升雖然不會造成導通電壓的上升，但是二極體本身的漏電流是隨溫度上升每 10~20°C 就上升 2 倍，蕭特基二極體在溫度超過 100°C 的環境下的漏電流是 mA 等級，此時系統的固定功率損失同步上升。

2.2.3 輸出與回授網路功率消耗

如圖 2.1 中所示，輸出與回授網路所要探討的功率損失是低通 LC 網路以及回授電阻 R_{F1} 與 R_{F2} 的功率損失，理想的電感與電容是用來儲能而不會消耗能量的，然而實際的電感與電容在功率轉換的過程中是有消耗能量的，最簡單且常見的電感等效模型是在理想的電感前面串聯一個等效的阻抗，一般稱為 DCR ，另外，最

簡單且常見的電容等效模型是在理想的電容前面串聯一個等效的阻抗，一般稱為 *ESR*，不論是 *DCR* 或是 *ESR* 都是用來表示當電感與電容有電荷流動時，電感與電容本身所消耗的能量，因此，可以知道在輸出網路的部份所消耗的能量等於

$$P_{LC} = I_{L_RMS}^2 * DCR + I_{C_RMS}^2 * ESR \quad (2.24)$$

而回授網路的功率消耗可以簡單近似為

$$P_{FB} = \frac{V_{OUT}^2}{R_1 + R_2} \quad (2.25)$$

上述式子中， P_{FB} 通常小於 10mW，而 P_{LC} 則因為電感電流可能很大的情形下而達到數百 mW 的等級，因此，在電感的選用上必須特別的小心，適當的 *DCR* 值的電感才能夠使系統在合理的成本下達成良好效率的目標。



第三章

磁滯式比較器與所提出的架構

3.1 常見的磁滯式比較器與原理分析

磁滯式比較器的原理在於建立比較器在輸出由邏輯 0 到邏輯 1 以及輸出邏輯 1 到邏輯 0 這兩種狀況不同的切換位準，如圖 3.1 所示，最簡單的做法是利用史密特觸發器(Schmitt trigger)[15]，而類比電路常見的方法是以電路的手法在判定輸出為邏輯 0 或是邏輯 1 後給與比較器不同方向的輸入誤差電壓(input offset voltage)[16]，或是以窗型比較器[17]來達成所需要的功能。以下針對前述常見的磁滯式比較器分析其操作原理與特性。

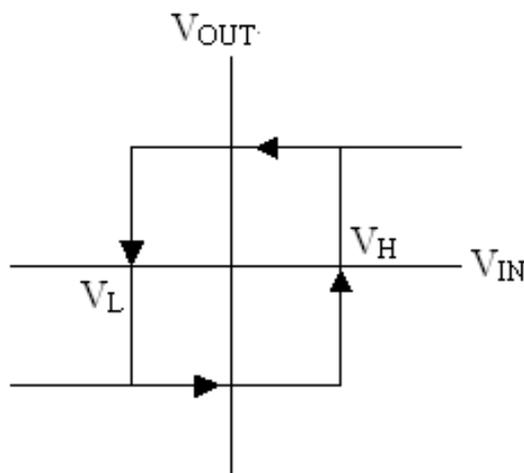


圖 3.1 磁滯波形示意圖

3.1.1 史密特觸發器

在互補式金氧半(CMOS)場效電晶體數位電路中，常見的反相史密特觸發器如圖 3.2 所示

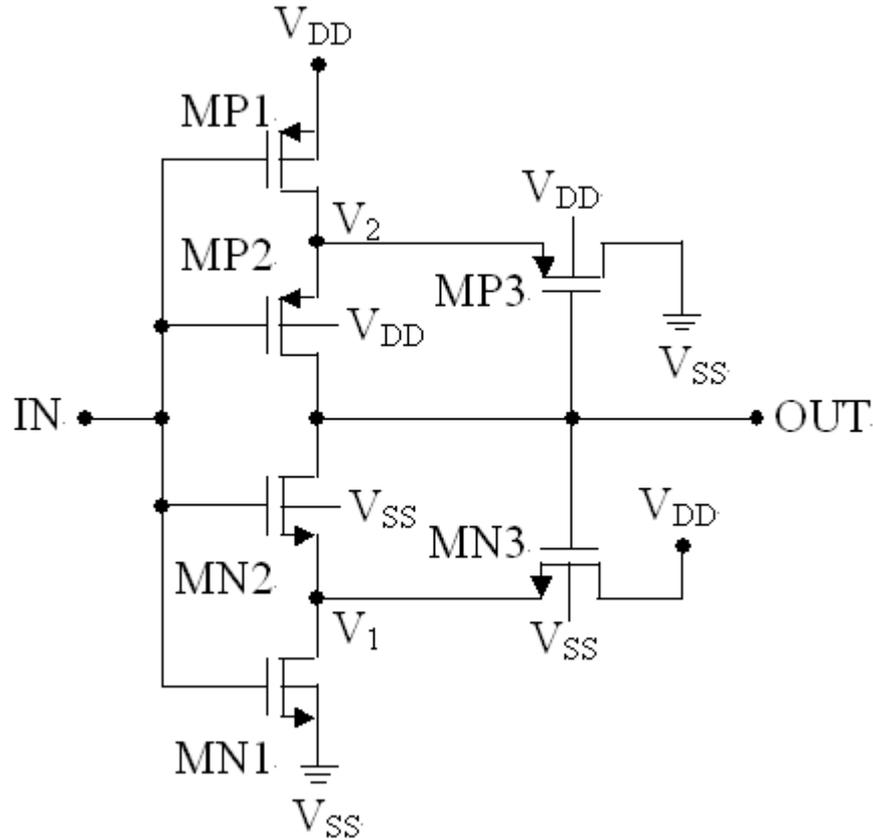


圖 3.2 反相史密特觸發器

輸入端 IN 維持邏輯 0 時 MN_1 、 MN_2 、 MP_3 不導通， MN_3 、 MP_1 、 MP_2 導通，當輸入端 IN 由邏輯 0 慢慢向上增加至超過 V_{th_MN1} 時， MN_1 導通，由於此時 MN_1 與 MN_3 同時導通的關係，在 MN_2 的源極電壓(V_1)將會等於 MN_1 與 MN_3 等效電阻的分壓結果

$$V_1 = \frac{R_{eff_MN1}}{R_{eff_MN1} + R_{eff_MN3}} * V_{DD} \quad (3.1)$$

在輸入端 IN 繼續往上增加到 MN_2 開始導通後，由於 MN_2 的導通形成了輸出端 OUT

到地(V_{SS})之間的電流路徑，因此輸出端 OUT 將會放電到邏輯 0，讓 MN_2 導通的電壓位準定義為 V_H ，如方程式(3.2)表示

$$V_H = V_1 + V_{th_MN2} \quad (3.2)$$

在 MN_2 導通瞬間輸出 OUT 端尚未放電時，電晶體 MN_1 上所流經過的電流等於電晶體 MN_3 上所流經過的電流，由於此時 MN_1 與 MN_1 均工作在飽和區(Saturation region)，根據金氧半場效電晶體的飽和區工作電流公式流經電晶體 MN_1 上的電流 I_1 可以表示為

$$I_1 = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_1 (V_H - V_{th_MN1})^2 \quad (3.3)$$

流經電晶體 MN_3 上的電流 I_3

$$I_3 = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_3 (V_{DD} - V_1 - V_{th_MN3})^2 = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_3 (V_{DD} - V_H)^2 \quad (3.4)$$

其中因為 MN_2 與 MN_3 有相同的基體效應(Body effect)，因此當 $(W/L)_3 = (W/L)_2$ 時， $V_{th_MN2} = V_{th_MN3}$ ，將方程式(3.3)代入(3.4)可以得到 V_H 電壓公式

$$V_H = \frac{V_{DD} + \sqrt{(W/L)_1 / (W/L)_3} V_{th_MN1}}{1 + \sqrt{(W/L)_1 / (W/L)_3}} \quad (3.5)$$

輸入端 IN 維持邏輯 1 時 MN_3 、 MP_1 、 MP_2 不導通， MN_1 、 MN_2 、 MP_3 導通，當輸入端 IN 由邏輯 1 慢慢向下減少至超過 V_{th_MP1} 時， MP_1 導通，由於此時 MP_1 與 MP_3 同時導通的關係，在 MP_2 的源極電壓(V_2)將會等於 MP_1 與 MP_3 等效電阻的分壓結果

$$V_2 = \frac{R_{eff_MP3}}{R_{eff_MP1} + R_{eff_MP3}} * V_{DD} \quad (3.6)$$

在輸入端 IN 繼續往下減少到 MP_2 開始導通後，由於 MP_2 的導通形成了輸出端 OUT 到輸入電壓(V_{DD})之間的電流路徑，因此輸出端 OUT 將會充電到邏輯 1，讓 MP_2 導通的電壓位準定義為 V_L ，方程式表示

$$V_L = V_2 - V_{th_MP2} \quad (3.7)$$

在 MP_2 導通瞬間輸出 OUT 端尚未充電時，電晶體 MP_1 上所流經過的電流等於電晶體 MP_3 上所流經過的電流，由於此時 MP_1 與 MP_3 均工作在飽和區(Saturation region)，根據金氧半場效電晶體的飽和區工作電流公式流經電晶體 MP_1 上的電流 I_{1P} 可以表示為

$$I_{1P} = \frac{1}{2} \mu_p C_{OX} \left(\frac{W}{L} \right)_{P1} (V_{DD} - V_L - V_{th_MP1})^2 \quad (3.8)$$

流經電晶體 MP_3 上的電流 I_{3P}

$$I_{3P} = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_{P3} (V_L - V_{th_MP3})^2 = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_3 (V_L)^2 \quad (3.9)$$

其中因為 MP_2 與 MP_3 有相同的基體效應(Body effect)，因此當 $(W/L)_{3P} = (W/L)_{2P}$ 時，

$$V_{th_MP2} = V_{th_MP3} \quad (3.10)$$

方程式代入可以得到 V_L 電壓公式

$$V_L = \frac{\sqrt{(W/L)_{1P} / (W/L)_{3P}} (V_{DD} - V_{th_MP1})}{1 + \sqrt{(W/L)_{1P} / (W/L)_{3P}}} \quad (3.11)$$

藉由調整 MN_1 、 MN_2 與 MN_3 的寬長比(aspect ratio, W/L)可以調整 V_H 到想要的位準，相對的調整 MP_1 、 MP_2 與 MP_3 的寬長比可以調整 V_L 到想要的位準，而系統所想要的磁滯電壓 V_{HYST}

$$V_{HYST} = V_H - V_L \quad (3.12)$$

3.1.2 反相磁滯比較器

在高增益的開迴路比較器中，可以利用增加線路中的內部正迴授路徑使得比較器產生內建的磁滯電壓，如圖 3.3 所示，比較器中存在兩種迴授路徑，第一個是由於電流串連迴授通過比較器的差動(Differential)輸入端電晶體 MN_1 與 MN_2 共源點(Common Source)，這是一個負回授(Negative feedback)路徑，第二個是由於電壓並聯迴授通過開-汲級互接的電晶體 MP_3 與 MP_4 ，這是一個正回授路徑，在正迴授的量小於負迴授的量時，整個比較器為負迴授並且沒有內建的磁滯電壓，反言之，

當正迴授的量大於負迴授的量時，整個比較器為正迴授並且有內建的磁滯電壓，通常在線路中 $(W/L)_{MP1}=(W/L)_{MP2}$ 、 $(W/L)_{MP3}=(W/L)_{MP4}$ ，當 $(W/L)_{MP1} < (W/L)_{MP3}$ 時比較器的正迴授量大於負迴授量，比較器存在內建磁滯電壓。

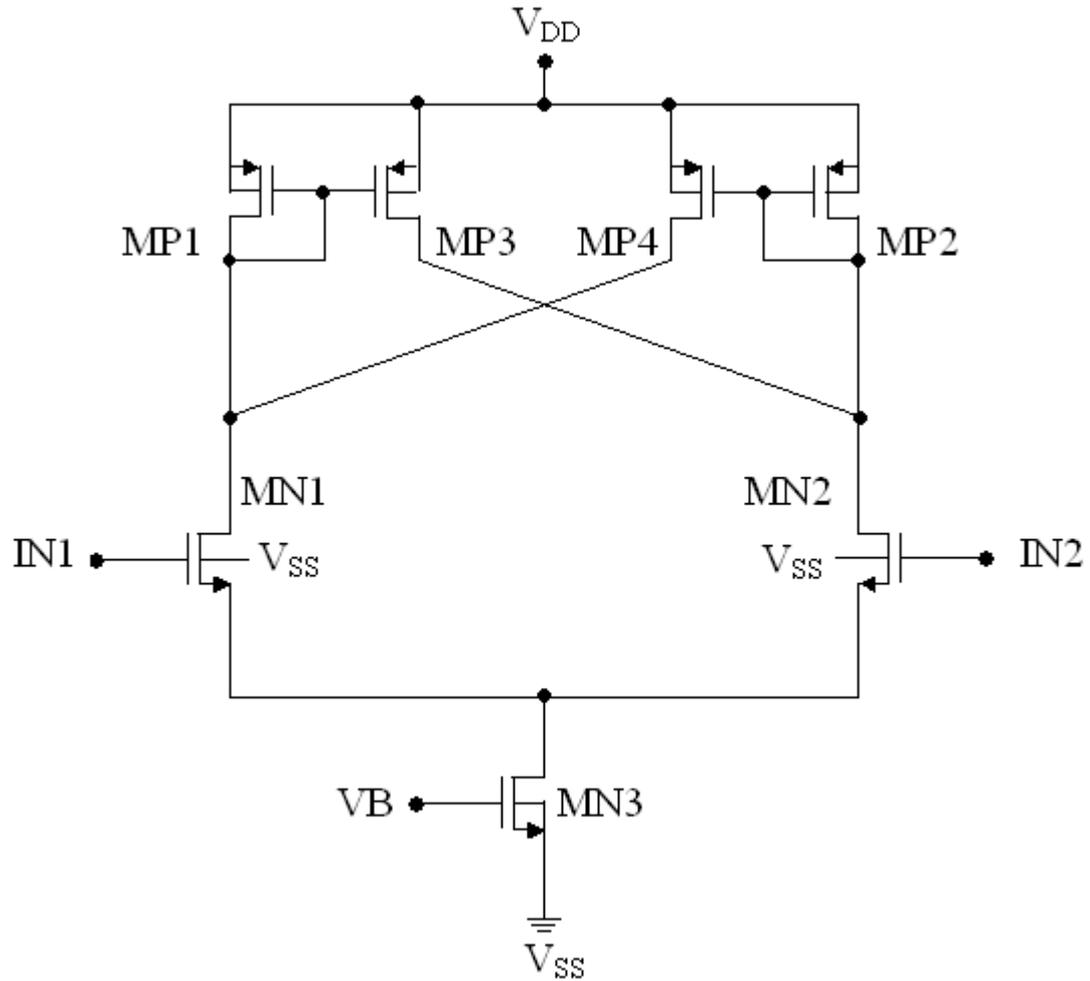


圖 3.3 反相磁滯比較器

當 $IN1$ 電壓固定為一定值， $IN2$ 電壓由邏輯 0 慢慢增加到接近轉態點，當系統接近轉態瞬間時，下列電流關係式必須被滿足

$$I_{MN1} = I_{MP1} \quad (3.13)$$

$$I_{MN2} = I_{MP3} = \frac{(W/L)_{MP3}}{(W/L)_{MP1}} * I_{MP1} \quad (3.14)$$

$$I_{MN3} = I_{MN1} + I_{MN2} = I_{MP1} + I_{MP3} \quad (3.15)$$

(3.14)、(3.15)代入(3.13)可以得到

$$I_{Mp1} = \frac{I_{MN3}}{1 + [(W/L)_{MP3} / (W/L)_{MP1}]} \quad (3.16)$$

由電晶體的飽和區電流公式，可以列出相對應的閘-源極電壓關係式為

$$V_{GS1} = \sqrt{2I_1 / \mu_n C_{OX} (W/L)_{MN1}} + V_{th_MN1} \quad (3.17)$$

$$V_{GS2} = \sqrt{2I_2 / \mu_n C_{OX} (W/L)_{MN2}} + V_{th_MN2} \quad (3.18)$$

此時 V_H 電壓可以表示為

$$V_H = V_{GS2} - V_{GS1} + V_{IN1} \quad (3.19)$$

當 $IN1$ 電壓固定為一定值， $IN2$ 電壓由邏輯 1 慢慢減少到接近轉態點，當系統接近轉態瞬間時，下列電流關係式必須被滿足

$$I_{MN1} = I_{MP4} = \frac{(W/L)_{MP4}}{(W/L)_{MP2}} * I_{MP2} \quad (3.20)$$

$$I_{MN2} = I_{MP2} \quad (3.21)$$

$$I_{MN3} = I_{MN1} + I_{MN2} = I_{MP2} + I_{MP4} \quad (3.22)$$

(3.20)、(3.22)代入(3.21)可以得到

$$I_{Mp2} = \frac{I_{MN3}}{1 + [(W/L)_{MP4} / (W/L)_{MP2}]} \quad (3.23)$$

由電晶體的飽和區電流公式，可以列出相對應的閘-源極電壓關係式為

$$V_{GS1} = \sqrt{2I_1 / \mu_n C_{OX} (W/L)_{MN1}} + V_{th_MN1} \quad (3.24)$$

$$V_{GS2} = \sqrt{2I_2 / \mu_n C_{OX} (W/L)_{MN2}} + V_{th_MN2} \quad (3.25)$$

此時 V_L 電壓可以表示為

$$V_L = V_{GS2} - V_{GS1} + V_{IN1} \quad (3.26)$$

3.1.3 窗型比較器

窗型比較器(Window comparator)的功能與磁滯比較器相似，以兩個比較器組成的窗型比較器如圖 3.4 所示，

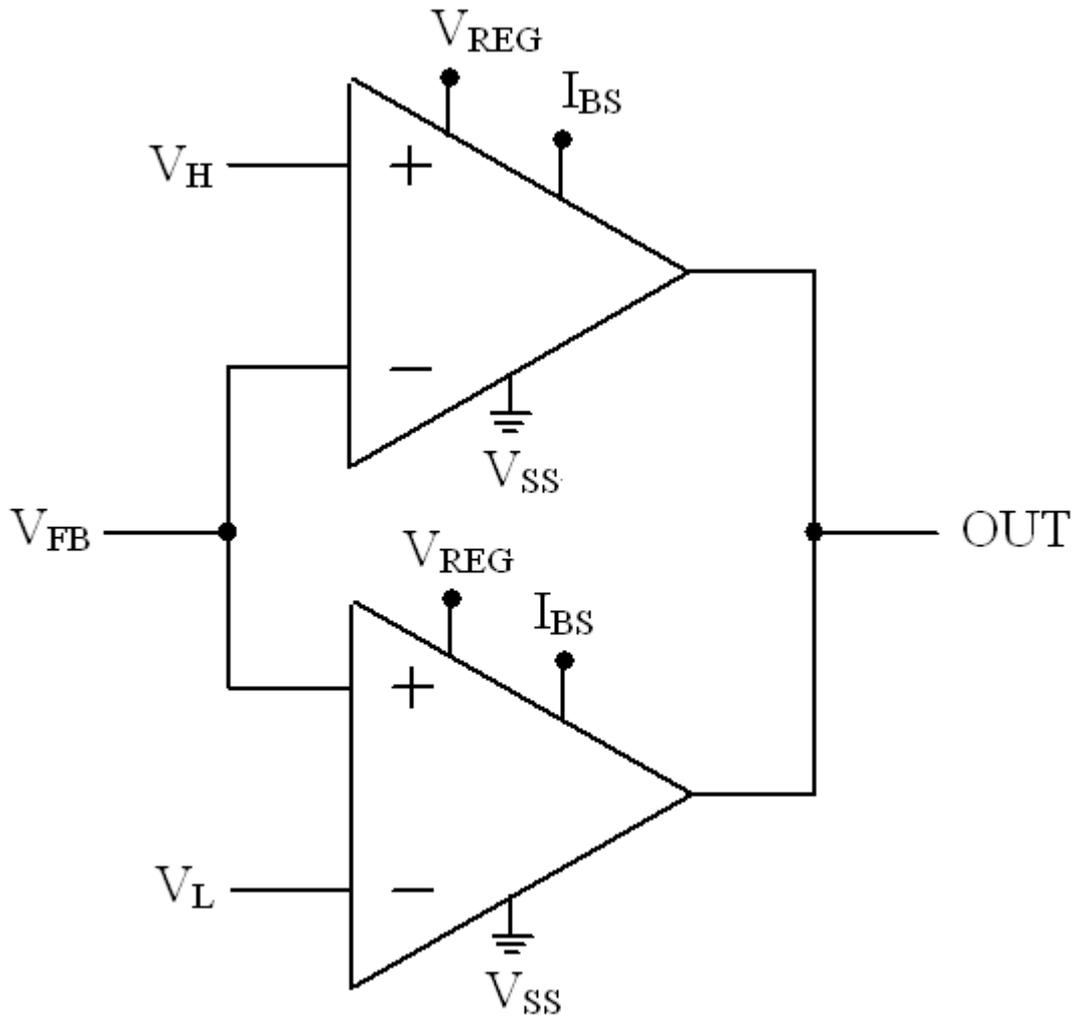


圖 3.4 窗型比較器

分別由輸入信號(在此為 V_{FB})與 V_H 為輸入對的比較器與輸入信號與 V_L 為輸入對的比較器， $V_H > V_L$ ，當 V_{FB} 小於 V_L 時，輸出信號 OUT 為邏輯 0，一直到 V_{FB} 大於 V_H 之後輸出信號才會轉變為邏輯 1，反之當 V_{FB} 大於 V_H 時，輸出信號 OUT 為邏輯 1，一直到 V_{FB} 小於 V_L 之後輸出信號才會轉變為邏輯 0。

3.2 改善前原型

改善前的磁滯比較器其基礎建構在反相型磁滯比較器上，如圖 3.5 所示

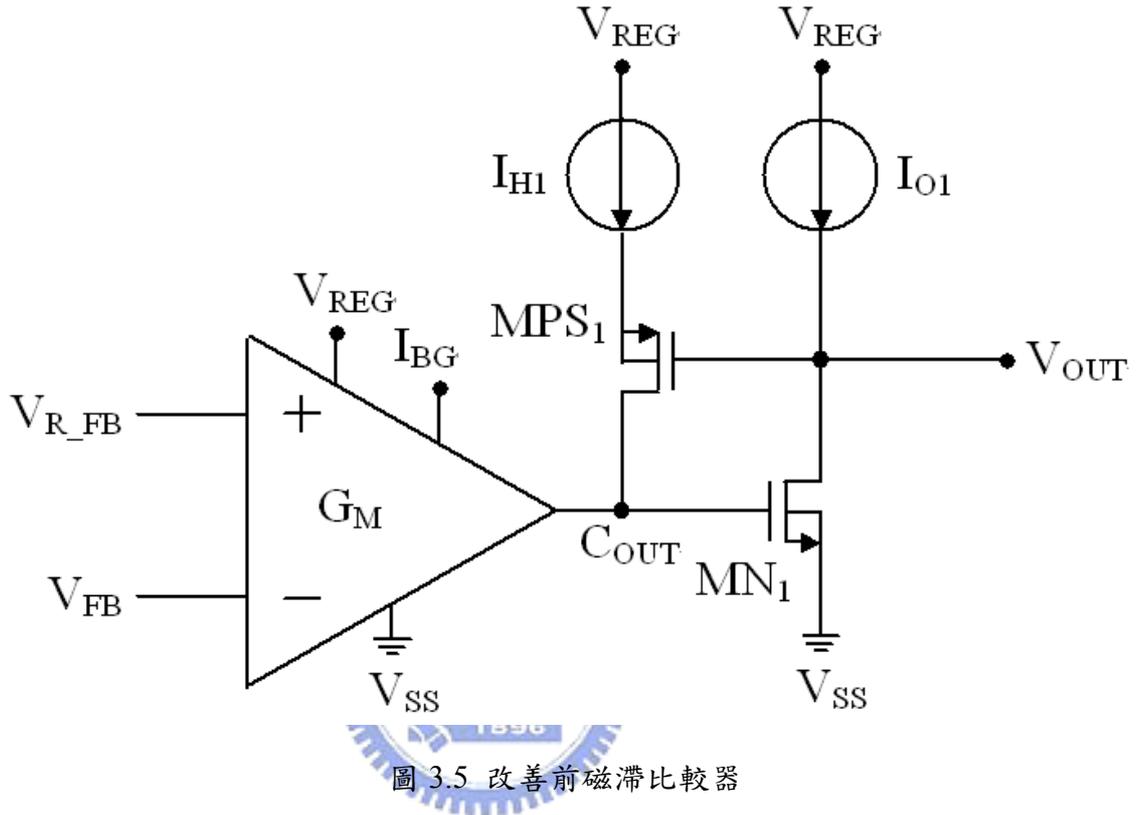


圖 3.5 改善前磁滯比較器

其中 G_M 放大器的功能在於分別將輸入信號 V_{FB} 與參考信號 V_{R_FB} 分別轉換為電流信號，而在輸出級的地方將兩個電流做比較，藉此判定輸出信號 C_{OUT} 應該為邏輯 0 或是邏輯 1，而從架構圖中可以發現，當 V_{FB} 大於 V_H 使得 C_{OUT} 為邏輯 0 時， V_{OUT} 信號為邏輯 1，開關 MPS_1 不導通，此時 I_{HI} 沒有電流，而當 V_{FB} 由大於 V_H 慢慢下降到小於 V_L 時， C_{OUT} 為邏輯 1 時， V_{OUT} 信號為邏輯 0，開關 MPS_1 導通，此時 I_{HI} 有電流流入 C_{OUT} 端，由上述的分析可以得到當系統由 V_{FB} 大於 V_H 慢慢下降時， C_{OUT} 為邏輯 0，開關 MPS_1 不導通，此時系統為單純的比較器，故 $V_L = V_{R_FB}$ ，而當系統由 V_{FB} 小於 V_L 慢慢上升時， C_{OUT} 為邏輯 1，開關 MPS_1 導通，此時比較器受到電流源 I_{HI} 灌入 C_{OUT} 端點的影響，使得系統轉態的切換點改變為 $V_{R_FB} + V_{HYST}$ ，故 $V_H = V_{R_FB} + V_{HYST}$ ，由於比較器是轉導放大器，因此磁滯電壓與電流 I_{HI} 的關係可以

表示為

$$I_{HI} = G_M * V_{HYST} \quad (3.27)$$

亦即

$$V_{HYST} = \frac{G_M}{I_{HI}} \quad (3.28)$$

由方程式(3.28)可以知道，磁滯電壓量與放大的轉導放大量 G_M 成正比，與迴授控制電流量 I_{HI} 成反比，因此想要得到目標的磁滯量則需要適當的調整轉導放大量與迴授控制量。



3.3 建議改善架構

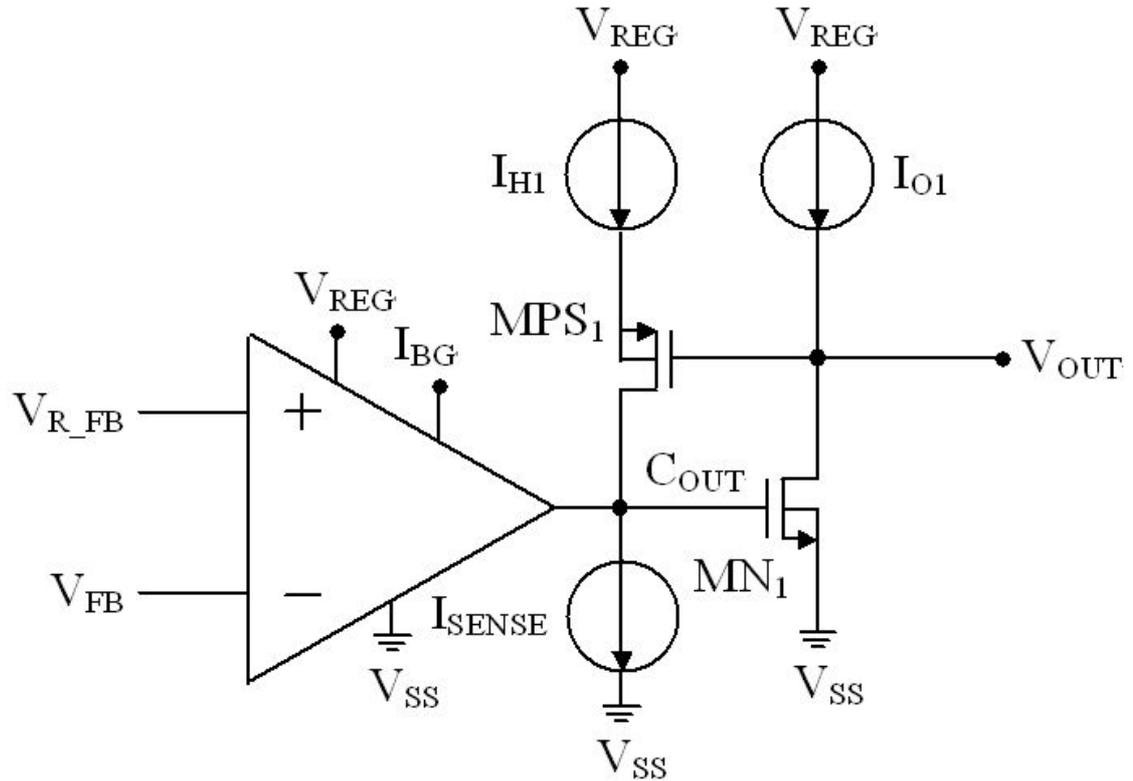


圖 3.6 建議改善架構

如方程式(3.28)所示，在系統的轉導放大量以及回授控制量固定的情形下，一般的磁滯比較器其磁滯量是固定的，由方程式(2.17)可以知道，在系統負載電流較小時，較低的系統操作頻率可以得到較高的效率，而由方程式(2.10)中可以得到，在外部系統已經決定的情形下，由線路本身可以控制系統操作頻率的關鍵就在於磁滯比較器的磁滯量，因此，在這裡提出一種隨著負載電流的大小而改變磁滯比較器的磁滯量的線路架構，使其能夠達到在較大負載的情形下有較低的磁滯量與較低負載的情形下有較高的磁滯量的特性[18], [19]，藉以在維持系統輕載效能的情形下，改善系統重載的輸出漣波電壓。

建議改善架構如圖 3.6 所示，與圖 3.5 相比較，可以發現主要的差別在於所提出的架構在回授控制的路徑上加上了輸出 PMOS 的電流偵測回授量，也就是說

$$I_{SENSE} \propto I_{PMOS} \quad (3.29)$$

同時磁滯電壓量方程式(3.28)也可以改寫為

$$V_{HYST} = \frac{G_M}{I_{H1} - I_{SENSE}} \quad (3.30)$$



第四章

高速磁滯電壓轉換系統實現與模擬結果

4.1 高速磁滯電壓轉換系統架構

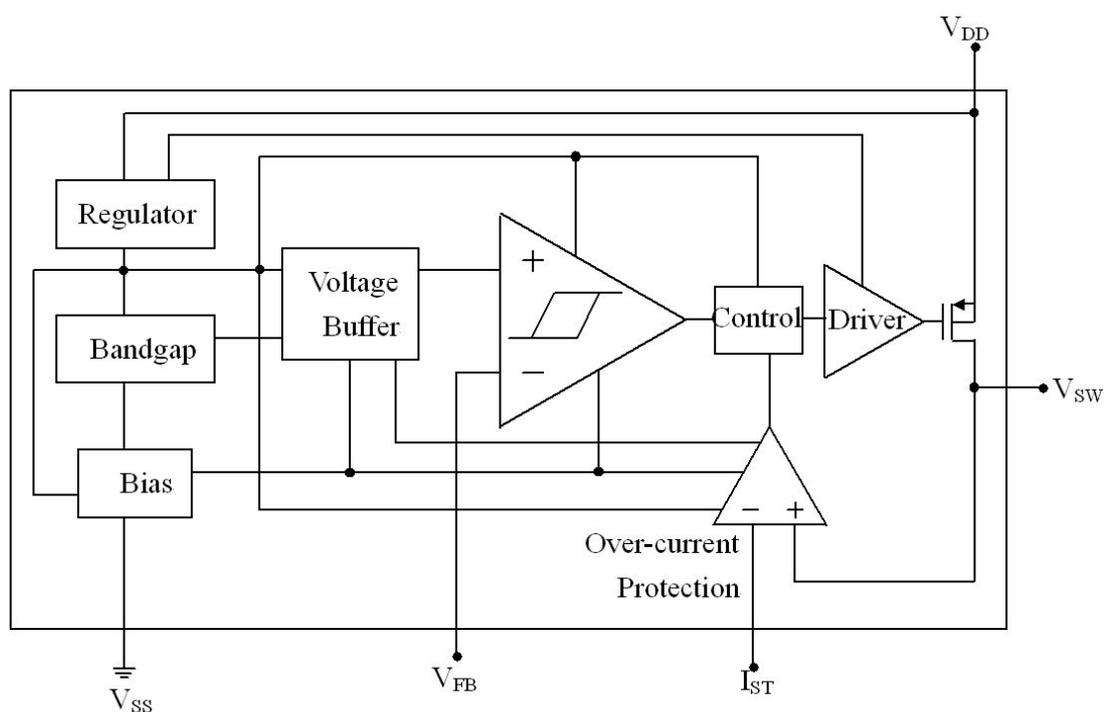


圖 4.1 高速磁滯電壓轉換系統架構圖

高速磁滯電壓轉換系統的整體架構如圖 4.1 所示，其中調節器 (Regulator) [20], [21]、能隙電壓(Bandgap)[20], [21]、偏壓電路(Bias)[22]以及電壓緩衝器(Voltage Buffer)[23]是提供系統運作的基本線路，正常操作的情形下磁滯比較器以電壓緩衝器所提供的電壓位準產生出的轉態位準 V_H 、 V_L 為基準與輸出電壓 V_{OUT} 的回授信號

V_{FB} 相比較，當 V_{FB} 大於磁滯比較器的轉態電壓 V_H 時，比較器輸出邏輯 0 信號給控制(control)邏輯線路，控制邏輯會產生出相對應的信號驅使驅動級(Driver)令輸出開關 PMOS 不導通，PMOS 不導通將使得電感電流開始放電，輸出電壓 V_{OUT} 及其回授信號 V_{FB} 開始下降，反之，當 V_{FB} 小於磁滯比較器的轉態電壓 V_L 時，比較器輸出邏輯 1 信號給控制(control)邏輯線路，控制邏輯會產生出相對應的信號驅使驅動級(Driver)令輸出開關 PMOS 導通，PMOS 導通將使得電感電流開始充電，輸出電壓 V_{OUT} 及其回授信號 V_{FB} 開始上升，由前述可以歸結出，系統藉由 V_{FB} 與 V_H 、 V_L 的比較來達成週而復始的控制充電與放電的目的。

4.1.1 調節器(Regulator)

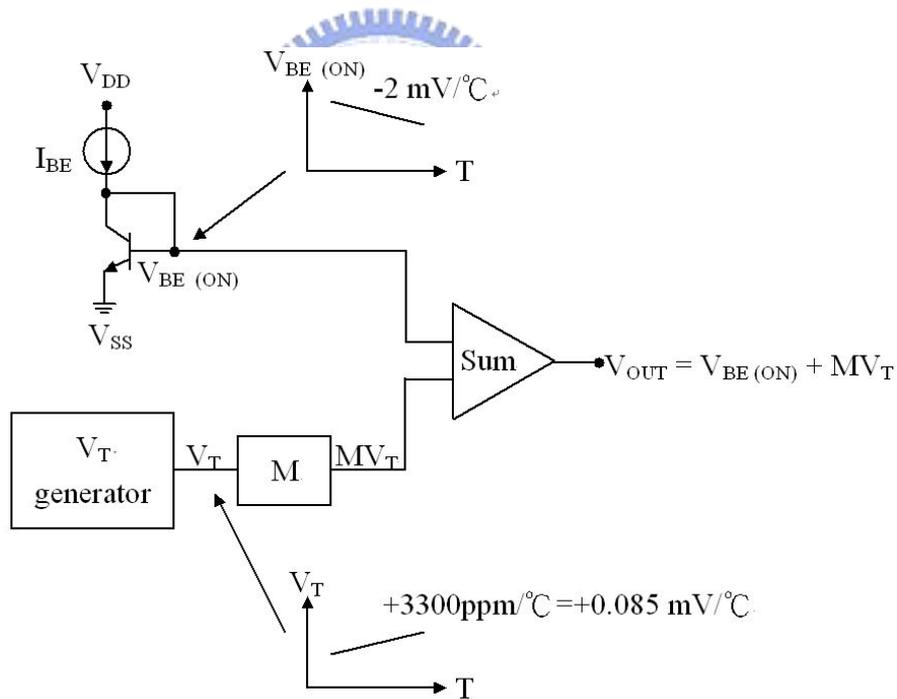


圖 4.2 能隙電壓產生原理示意圖

調節器(Regulator)電路的功能在於因應輸入電壓 V_{DD} 有很大的變化如數十伏特時，提供內部使用低壓元件的其他子電路一穩定低壓電源的需求，一個較不受製程(Process)所影響以及對溫度變化較不敏感的(Temperature-insensitive)電源對系統

的表現(performance)是有幫助的，因此這裡考慮的是基於能隙電壓(bandgap voltage)之產生原理的線路來達成系統所需要的要求，能隙電壓產生原理如圖 4.2 所示。

由於積體電路製程中的元件都有其溫度特性，因此要產生對溫度不敏感的電壓首先需要的就是兩個對溫度有相反特性的電壓，而雙極性接面電晶體(BJT)的基-射極導通電壓($V_{BE(ON)}$)與熱電壓(Thermal voltage, V_T)恰恰好符合需求，當電晶體導通且留過的電流為 I_{BE} 時，在忽略基極電流(Base current, I_B)的情形下，電晶體的基-射極導通電壓可以表示為

$$V_{BE(ON)} = V_T \ln \frac{I_{BE}}{I_S} \quad (4.1)$$

根據雙極性接面電晶體的元件架構其飽和電流 I_S 可以表示為

$$I_S = \frac{qAn_i^2 \bar{D}_n}{Q_B} \quad (4.2)$$

其中 q 是單位電子所帶的電荷量、 A 是基-射極接面面積、 n_i 是半導體的本質電子濃度、 \bar{D}_n 是 N 型半導體的電子擴散係數以及 Q_B 是單位面積的基極摻雜濃度，由愛因斯坦關係式

$$\mu_n = \frac{q}{kT} \bar{D}_n \quad (4.3)$$

\bar{D}_n 可以用 N 型半導體中的平均電子遷移率 μ_n 來表示，故飽和電流的公式可以改寫為

$$I_S = \frac{KTAn_i^2 \mu_n}{Q_B} \quad (4.4)$$

N 型半導體中的平均電子遷移率以及本質半導體電子濃度均可以表示為與溫度相關的表示式，

$$\mu_n = BT^{-n} \quad (4.5)$$

$$n_i^2 = CT^3 \exp\left(-\frac{V_{G0}}{V_T}\right) \quad (4.6)$$

B 與 C 是與溫度無關的常數項， V_{G0} 是本質矽半導體在 $0^\circ K$ 時的能隙電壓，將方程

式帶入，電晶體的基-射極導通電壓的公式可以改寫為

$$V_{BE(ON)} = V_T \ln \left(DI_{BE} T^{n-4} \exp \frac{V_{G0}}{V_T} \right) \quad (4.7)$$

因為 I_{BE} 通常不為定值， I_{BE} 與溫度的關係可以表示為

$$I_{BE} = ET^\alpha \quad (4.8)$$

E 為與溫度無關的常數項，故電晶體的基-射極導通電壓的公式可寫為

$$V_{BE(ON)} = V_T \ln \left(FT^{\alpha+n-4} \exp \frac{V_{G0}}{V_T} \right) = V_{G0} + V_T(\alpha + n - 4) \ln T + V_T \ln F \quad (4.9)$$

將熱電壓乘以適當的權重 M 後與雙極性接面電晶體的基-射極導通電壓相加即可以得到輸出電壓

$$V_{OUT} = V_{G0} + V_T(\alpha + n - 4) \ln T + V_T(M + \ln F) \quad (4.10)$$

將輸出電壓對溫度作微分

$$\frac{\partial V_{OUT}}{\partial T} \Big|_{T=T_0} = \frac{V_{T_0}}{T_0} (\alpha + n - 4) \ln T_0 + \frac{V_{T_0}}{T_0} (\alpha + n - 4) + \frac{V_{T_0}}{T_0} (M + \ln F) \quad (4.11)$$

若希望輸出電壓為零溫度係數

$$\frac{\partial V_{OUT}}{\partial T} \Big|_{T=T_0} = 0 \quad (4.12)$$

則可以由上述方程式得到

$$(M + \ln F) = (\alpha + n - 4) \ln T_0 + (\alpha + n - 4) \quad (4.13)$$

代回輸出電壓方程式可以得到

$$V_{OUT} = V_{G0} + V_T(\alpha + n - 4) \left(1 + \ln \frac{T_0}{T} \right) \quad (4.14)$$

在設計零溫度係數的預設溫度 T_0 時，輸出電壓可以進一步簡化為

$$V_{OUT} \Big|_{T=T_0} = V_{G0} + V_T(\alpha + n - 4) \quad (4.15)$$

一個常見的結果是 $V_{G0}=1.205V$ ， $(\alpha+n-4)=2.2$ ，此時輸出電壓為

$$V_{OUT} \Big|_{T=T_0} = 1.205 + (2.2)(0.0259) = 1.262V \quad (4.16)$$

對於類比電路來說，1.262V 無法驅動所有的線路，因此調節器是將能隙電壓放大

為三倍使得輸出電壓近似於 3.886V，實際的調節器電路如圖 4.3 所示

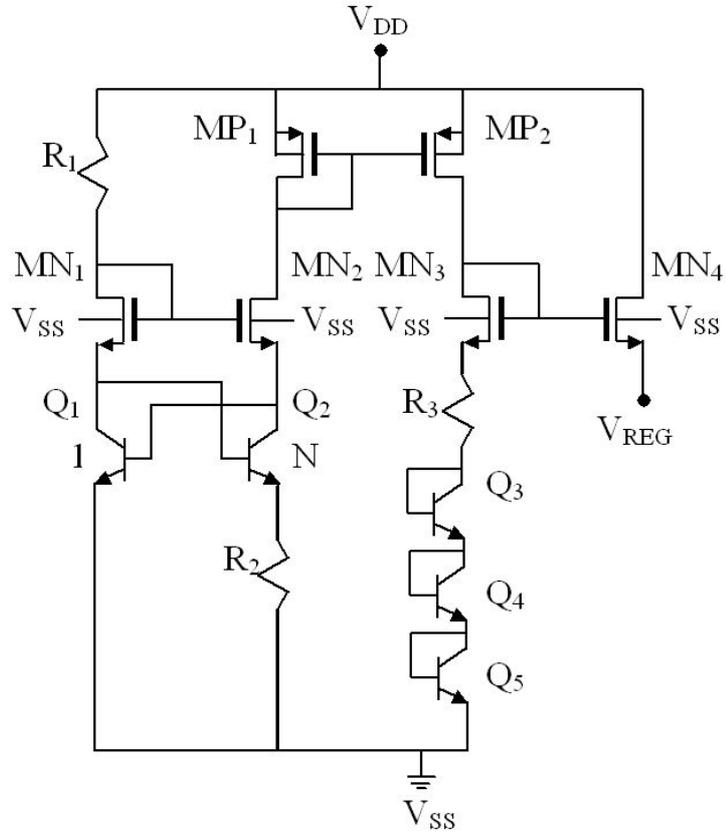


圖 4.3 調節器電路

當輸入電壓 V_{DD} 上升到大於 N 型金氧半場效電晶體(NMOSFET) MN_1 的臨界電壓 (Threshold voltage, V_{th_MN1}) 加上雙極性接面電晶體(BJT) Q_2 基-射極接面導通電壓 ($V_{BE(ON)_Q2}$)

$$V_{DD} \geq V_{th_MN1} + V_{BE(on)_Q2} \quad (4.17)$$

R_1 、 MN_1 、 Q_2 、 R_2 形成自偏壓(self-bias)路徑進而使得整體電流源開始作動，在 MN_1 與 MN_2 的幫助下， Q_1 的集極(Collector)電壓等於 Q_2 的集極電壓，而根據雙極性接面電晶體的電流公式：

$$I_C = I_S \left[\exp\left(\frac{V_{BE}}{V_T}\right) - 1 \right] \approx I_S \exp\left(\frac{V_{BE}}{V_T}\right) \quad (4.18)$$

在 I_{C1} 約等於 I_{C2} 時，將方程式帶入可以得到 I_{C1}/I_{C2} 的結果為

$$\frac{I_{C1}}{I_{C2}} = \frac{I_{S1} \exp\left(\frac{V_{BE1}}{V_T}\right)}{I_{S2} \exp\left(\frac{V_{BE2}}{V_T}\right)} = \frac{I_{S1}}{N * I_{S1}} \exp\left(\frac{V_{BE1} - V_{BE2}}{V_T}\right) = 1 \quad (4.19)$$

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln N \quad (4.20)$$

因為 $V_{CQ1} = V_{CQ2}$ ，故電阻 R_2 上的跨壓為兩個 BJT 的導通壓差，流經電阻 R_2 的電流為

$$I_{R2} = \frac{V_{BE-Q1} - V_{BE-Q2}}{R_2} = \frac{\Delta V_{BE}}{R_2} = \frac{V_T \ln N}{R_2} \quad (4.21)$$

透過 MP_1 與 MP_2 的電流鏡關係，將得到的正溫度係數電流導入 R_3 以及 Q_3 、 Q_4 、 Q_5 ，在 $MP_1 = MP_2$ 的條件下， MN_1 的源極電壓等於：

$$V_{SUM} = 3V_{BE} + \left(\frac{R_3}{R_2} \Delta V_{BE}\right) = 3V_{BE} + \frac{R_3}{R_2} V_T \ln N \quad (4.22)$$

適當的調整 R_3 與 R_2 的比值，即可得到較好溫度特性的穩定電壓，最後再靠 MN_3 與 MN_4 將得到的電壓以源極隨耦器輸出到各個子電路

圖 4.4 是調節器在輸入電壓 12V，溫度 -40°C 到 140°C 的條件下直流分析模擬結果，最上方的結果(a)表示 Q_3 、 Q_4 、 Q_5 三者 V_{BE} 壓降的合，如預期般隨著溫度上升而下降約 0.7V，第二個結果(b)則是電阻 R_2 上的跨壓，隨著溫度上升而上升約 0.02V，第三個結果(c)是選定 $R_3 : R_2 = 11 : 1$ 所得到 MN_3 的源極電壓，在 -40°C 到 140°C 的範圍內變動量為 0.3V，最下方的結果(d)是經過源極隨耦器輸出的電壓，由第三個結果與第四個結果可以發現，實際輸出的電壓值與未經過源極隨耦器前的電壓值有所誤差，其主要原因在於因應設計的需求 $MN_4 \gg MN_3$ ，以避免負載變化對於輸出電壓的影響過鉅，但不可避免的是這兩個 MOSFET (MN_3 與 MN_4) 在尺寸上差異過大的時候，其臨界電壓的差異也隨之明顯，同時隨著溫度的改變兩者間的閘-源極電壓差 (ΔV_{GS}) 的變化也會愈大，因此造成輸出電壓 V_{REG} 與電晶體 MN_3 的源極電壓的不一致。

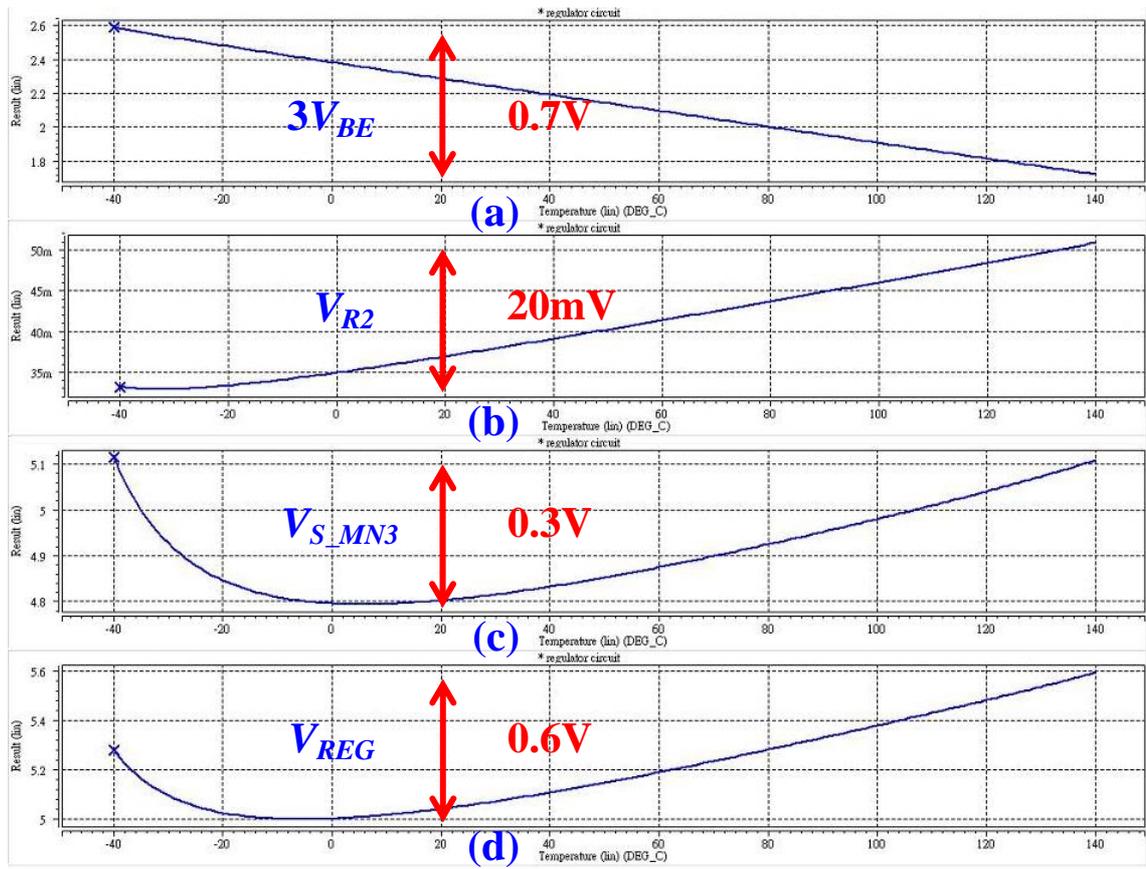


圖 4.4 調節器在輸入電壓 12V，溫度 -40°C 到 140°C 的條件下直流分析模擬結果由上而下分別為(a) 3 個 BJT 的壓降 (b) 電阻 R_2 上的跨壓 (c) 電晶體 MN_3 的源極電壓 (d) 實際的輸出電壓 V_{REG}

調節器在輸入電壓 12V、且輸入電壓從 0V 到 12V 的上升時間為 $10\mu\text{s}$ 的暫態分析模擬結果如圖 4.5 所示，上方的結果(a)顯示調節器的輸出在系統輸入電壓爬升的階段可以確實啟動，另外，啟動瞬間的電壓突波(voltage spike)約 1.5V 在可以接受的範圍內，而下方的結果(b)則是確認在啟動的過程中，輸出電流隨著輸出電壓的上升而上升，且在輸出電壓達到穩態後隨即也穩定下來，同時在整個過程中並沒有不希望發生的電流突波(current spike)現象。

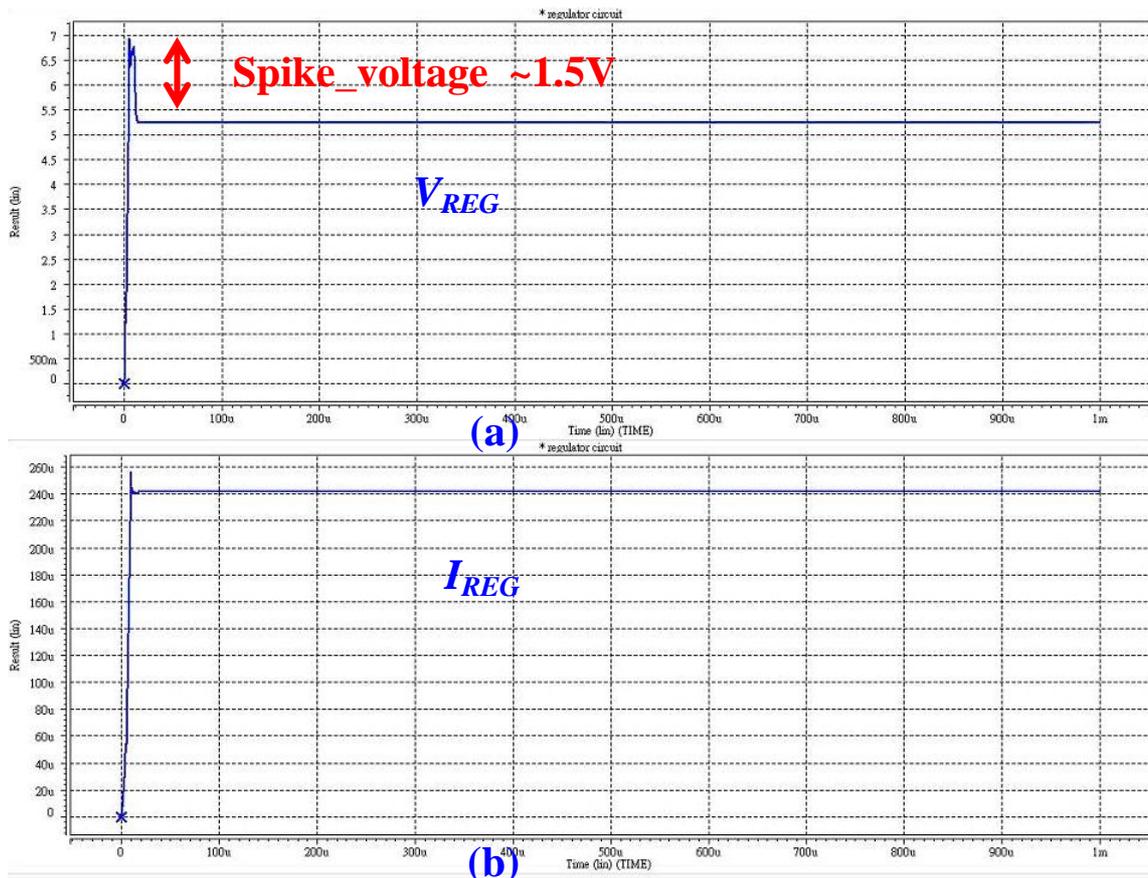


圖 4.5 調節器在輸入電壓 12V，且輸入電壓從 0V 到 12V 的上升時間為 10 μ s 的暫態分析模擬結果, (a) 輸出電壓 V_{REG} (b) 輸出電流 I_{REG}

4.1.2 能隙電壓(Bandgap)

能隙電壓的產生原理在調節器的部分已經討論過，在此不在重複，而系統對於能隙電壓的要求與對調節器的要求不同的地方在於調節器主要是提供低壓子電路與輸入電壓相比相對穩定的低壓電壓源，因此調節器在準確度上的要求並不算太嚴苛，而系統對於能隙電壓的穩定度的要求則不同，因為能隙電壓在系統中主要的功用是提供一個穩定而且準確的電壓值，如此系統才能夠準確的控制輸出電壓，因此能隙電壓的設計考量上必須要考慮如何讓產生出來的能隙電壓是強健 (robust) 且一致 (consist) 的，實際的能隙電壓線路如圖 4.6

由於實際線路中存在兩個工作點，其中一個是不穩定工作點，因此需要有啟動電路來幫助系統工作在穩定工作點，啟動電路的線路如圖 4.7 所示。

啟動器的動作原理是當電壓 V_{BG} 小於電晶體 $MN1$ 的臨界電壓時，電晶體 $MN1$ 不導通，因為電晶體 $MN2$ 連接為二極體的功用，因此當調節器輸出電壓 V_{REG} 大於電晶體 $MN2$ 的導通電壓(V_{th_MN2})時， $MN2$ 開始導通電流，導通的電流大小表示

$$I_{MN2} = \frac{V_{REG} - V_{th_MN2}}{R_{BST}} \quad (4.23)$$

透過 $MN2$ 、 $MN3$ 、 $MP1$ 與 $MP2$ 的電流鏡像結果 I_{MP2} 可以表示為

$$I_{MP2} = \frac{(W/L)_{MN3}(W/L)_{MP2}}{(W/L)_{MN2}(W/L)_{MP1}} I_{MN2} \quad (4.24)$$

將 I_{MP2} 灌入運算放大器的輸入端將強迫運算放大器的輸入端 INP 電壓上升，當 INP 與 INN 的差值足以讓運算放大器作動時，運算放大器輸出端 V_{BG} 電壓也會開始上升，當 V_{BG} 大於電晶體 $MN1$ 的臨界電壓 V_{th_MN1} 時，電晶體 $MN1$ 導通，由於電晶體 $MN1$ 的導通會使得電晶體 $MN2$ 不導通，此時做為啟動電流的 $IMP2$ 不導通，啟動電路完成工作。

當能隙電壓線路工作在穩定工作點時，運算放大器將使得輸入端形成虛短路 (Virtual short)，此時 INP 電壓約等於 INN 電壓，相同於前面對於調節器的分析，電阻 R_3 上的跨壓可以表示為

$$V_{R_3} = \Delta V_{BE} = V_{BE1} - V_{BE1} = V_T \ln \frac{I_1 I_{S2}}{I_2 I_{S1}} \quad (4.25)$$

因為流經電阻 R_2 與 R_3 的電流是相同的，故電阻 R_2 上的跨壓可以表示為

$$V_{R_2} = \frac{R_2}{R_3} V_{R_3} \quad (4.26)$$

能隙電壓 V_{BG} 可以表示為電阻 R_2 、 R_3 與電晶體 Q_2 的壓降總合

$$V_{BG} = V_{R_2} + V_{R_3} + V_{BE_Q2} \quad (4.27)$$

方程式(4.25)、(4.26)代入(4.27)後可將能隙電壓值表示為方程式(4.28)

$$V_{BG} = \left(1 + \frac{R_2}{R_3}\right) V_{R_3} + V_{BE_Q2} = V_{BE_Q2} + \left(1 + \frac{R_2}{R_3}\right) V_T \ln \frac{R_2 I_{S2}}{R_1 I_{S1}} = V_{BE_Q2} + MV_T \quad (4.28)$$

適當的調整 R_1 、 R_2 與 R_3 的電阻值，即可令線路工作在想要的能隙電壓特性下。

上述的分析建立在線路中的運算放大器為理想的運算放大器，而實際的理想放大器對於電路的效能是有所影響的，其中最重要的莫過於實際的理想放大器在輸入端存在有亂數的誤差電壓(offset voltage)，當把誤差電壓的影響加入線路中考慮時，實際線路圖如圖 4.8 所示

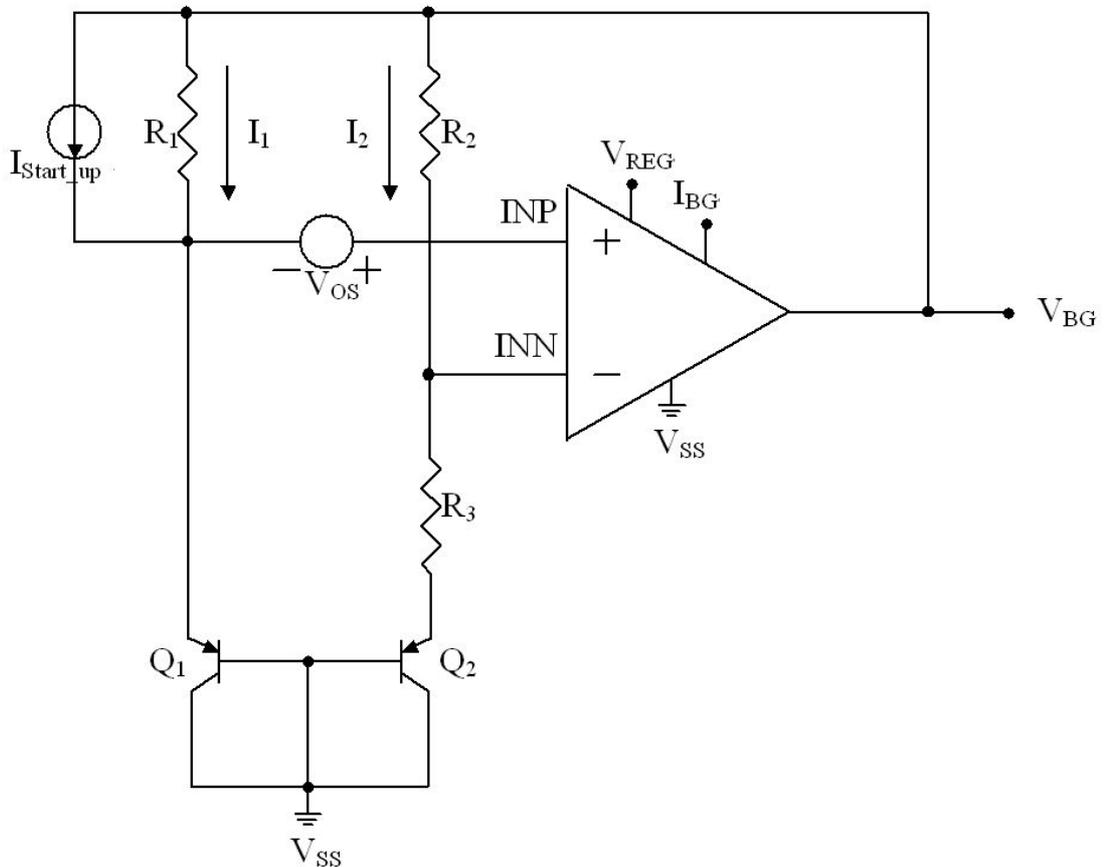


圖 4.8 能隙電壓電路考慮輸入等效誤差電壓

當誤差電壓加入考慮後，電阻 R_3 上的跨壓改變為

$$V_{R_3} = \Delta V_{BE} + V_{OS} \quad (4.29)$$

R_2 上的跨壓可以表示為

$$V_{R_2} = \frac{R_2}{R_3} V_{R_3} = \frac{R_2}{R_3} (\Delta V_{BE} + V_{OS}) \quad (4.30)$$

將方程式代入， V_{BG} 方程式可以改寫為

$$V_{BG} = \left(1 + \frac{R_2}{R_3}\right) (\Delta V_{BE} + V_{OS}) + V_{BE_Q2} \quad (4.31)$$

運算放大器的輸入等效誤差電壓(input-referred offset voltage)在輸出端將被放大 $(1+R_2/R_3)$ 倍，為了要降低誤差電壓的影響，首先檢查所使用的運算放大器，線路圖如圖 4.9 所示

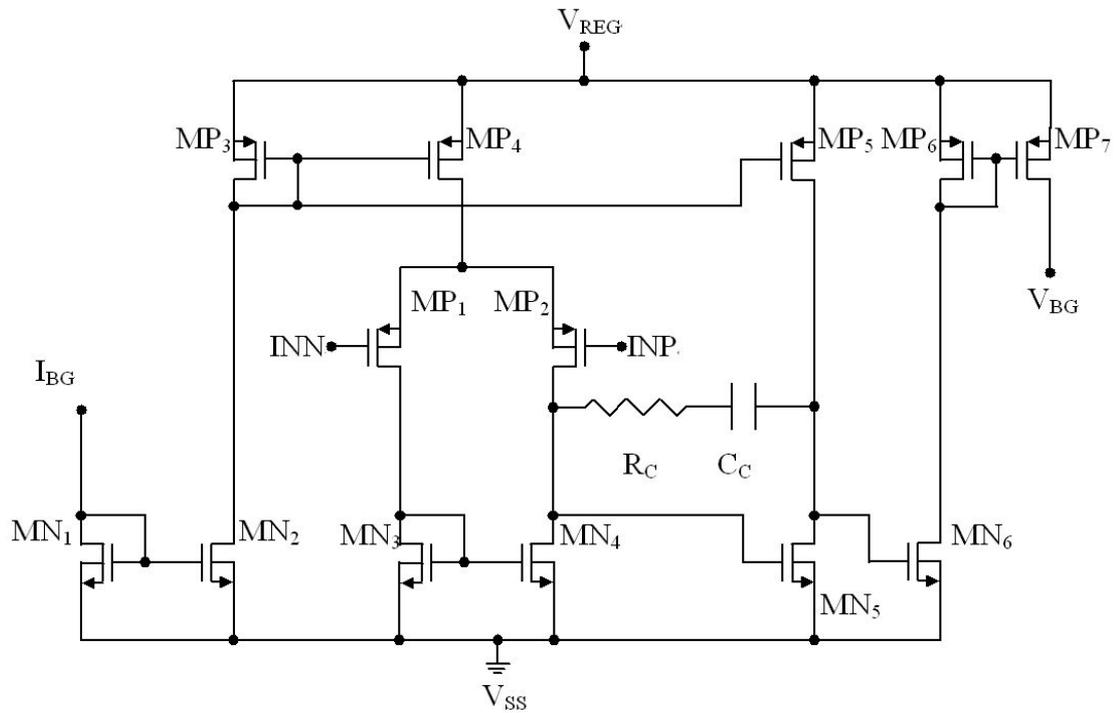


圖 4.9 能隙電壓電路中之運算放大器

這個運算放大器的第一級是建構在 CMOS 差動輸入(differential input)以及主動負載(active load)上，假設在完美的對稱(perfect matching)情形下線路的電壓電流狀況為

$$V_{DS_MN3} = V_{DS_MN4} \quad (4.32)$$

$$I_{MP1} = I_{MP2} \quad (4.33)$$

$$V_{GS_MP1} = V_{GS_MP2} \quad (4.34)$$

在正常操作的情形下，差動輸入端將系統平衡在上述的狀況下所需要的等效電壓差即是所謂的輸入等效誤差電壓，因為製程會造成元件有不完全對稱(mismatch)的現象，通常輸入等效誤差電壓不為零，以方程式(4.35)表示

$$V_{OS} = V_{SG_MP1} - V_{SG_MP2} = V_{th_MP1} + V_{OD1} - V_{th_MP2} - V_{OD2} \quad (4.35)$$

在考慮通道長度調變(channel-length modulation)時，MOS 的汲極電流可以表示為方程式(4.36)

$$I_D = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) = k' \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (4.36)$$

其中 λ 是用來表示通道長度調變效應的常數，將式子代入可以得到

$$V_{OS} = V_{th_MP1} - V_{th_MP2} + \frac{1}{\sqrt{1 + \lambda_P V_{SDP}}} \left(\sqrt{\frac{2I_{MP1}}{k'(W/L)_{MP1}}} - \sqrt{\frac{2I_{MP2}}{k'(W/L)_{MP2}}} \right) \quad (4.37)$$

在誤差電壓很小的情形下，式子(4.37)可以改寫為

$$V_{OS} = V_{th_MP1} - V_{th_MP2} + \frac{V_{ODP}}{2} \left(\frac{\Delta I_P}{I_P} - \frac{\Delta(W/L)_P}{(W/L)_P} \right) \quad (4.38)$$

其中

$$V_{ODP} = \sqrt{\frac{2I_P}{(1 + \lambda_P V_{SDP})k'(W/L)_P}} \quad (4.39)$$

$$\Delta I_P = I_{MP1} - I_{MP2} \quad (4.40)$$

$$I_P = \frac{I_{MP1} + I_{MP2}}{2} \quad (4.41)$$

$$\Delta(W/L)_P = (W/L)_{MP1} - (W/L)_{MP2} \quad (4.42)$$

$$(W/L)_P = \frac{(W/L)_{MP1} + (W/L)_{MP2}}{2} \quad (4.43)$$

因為 $I_{MP1} = I_{MN3}$ 以及 $I_{MP2} = I_{MN4}$ ，可以得到下列方程式

$$\frac{\Delta I_P}{I_P} = \frac{\Delta I_N}{I_N} \quad (4.44)$$

$$\Delta I_N = I_{MN3} - I_{MN4} \quad (4.45)$$

$$I_N = \frac{I_{MN3} + I_{MN4}}{2} \quad (4.46)$$

在 $V_{DS_MN3}=V_{DS_MN4}$ 的假設前提下，主動負載所造成的誤差電壓應趨近於零

$$0 = V_{GS_MN3} - V_{GS_MN4} = V_{th_MN3} + V_{OD3} - V_{th_MN4} - V_{OD4} \quad (4.47)$$

將電流公式(4.36)代入(4.47)後可得到

$$0 = V_{th_MN3} - V_{th_MN4} + \sqrt{\frac{1}{1 + \lambda_N V_{DSN}}} \left(\sqrt{\frac{2I_{MN3}}{k'(W/L)_{MN3}}} - \sqrt{\frac{2I_{MN4}}{k'(W/L)_{MN4}}} \right) \quad (4.48)$$

將公式(4.44)、(4.45)、(4.46)代入(4.48)可以推導出

$$\frac{\Delta I_P}{I_P} = \frac{V_{th_MN3} - V_{th_MN4}}{V_{ODN}/2} + \frac{\Delta(W/L)_N}{(W/L)_N} \quad (4.49)$$

其中

$$V_{ODN} = \sqrt{\frac{2I_N}{(1 + \lambda_N V_{DSN})k'(W/L)_N}} \quad (4.50)$$

$$\Delta(W/L)_N = (W/L)_{MN3} - (W/L)_{MN4} \quad (4.51)$$

$$(W/L)_N = \frac{(W/L)_{MN3} + (W/L)_{MN4}}{2} \quad (4.52)$$

將上述結果代回式(4.38)得到輸入等效誤差電壓表示為

$$V_{OS} = V_{th_MP1} - V_{th_MP2} + \frac{V_{ODP}}{2} \left(\frac{V_{th_MN3} - V_{th_MN4}}{V_{ODN}/2} + \frac{\Delta(W/L)_N}{\Delta(W/L)_N} - \frac{\Delta(W/L)_P}{\Delta(W/L)_P} \right) \quad (4.53)$$

由公式(4.53)中可以得出，想要有效的降低輸入等效誤差電壓必須要令 MP_1 與 MP_2 以及 MN_3 與 MN_4 有良好的對稱佈局(Layout)，同時，足夠大的通道寬度與長度以及其比值，更是其中的關鍵所在。

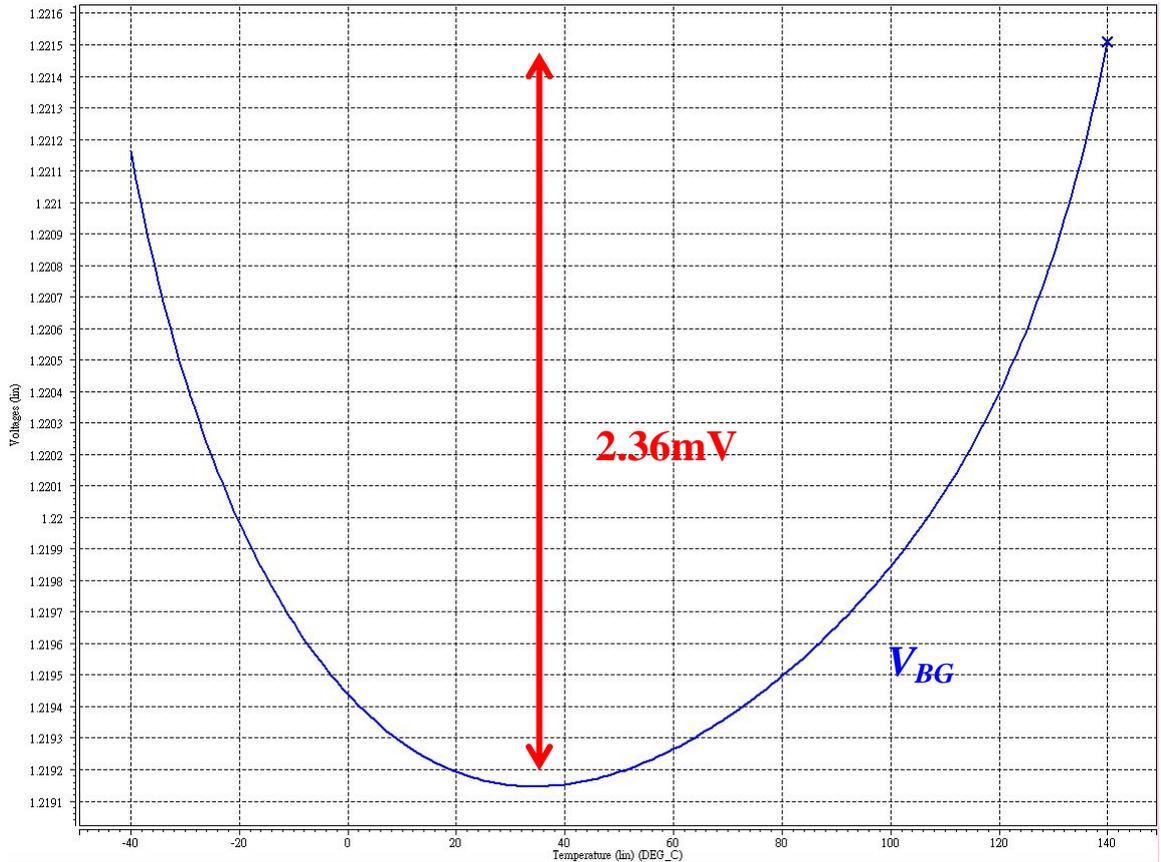


圖 4.10 能隙電壓在輸入電壓 12V，溫度 -40°C 到 140°C 的條件下直流分析模擬結果

能隙電壓在輸入電壓 12V，溫度 -40°C 到 140°C 的條件下直流分析模擬結果如圖 4.10 所示，結果顯示出在全溫度範圍內，能隙電壓的變化量約為 2.36mV，也就是說整體的變化量小於 2%，符合設計規格的要求。

在輸入電壓(V_{DD})慢慢上升時調節器輸出的內部穩壓電壓(V_{REG})也開始慢慢上升，當 V_{REG} 到達啟動電路的起始點時，啟動電路開始產生啟動電流(I_{START_UP})灌入能隙電壓電路中的運算放大器的輸入端 INP ，在啟動電流的幫助下 INP 迅速上升，此時能隙電壓的輸出電壓 V_{BG} 也因而上升，在暫態的過程中當 V_{BG} 超過啟動電路的設定位準時，啟動電流將會被關掉，若此時能隙電壓 V_{BG} 尚未啟動完成，則 V_{BG} 將會穩定在一個半穩態的位準，此時啟動電路重新打開，啟動電流再度灌入 INP 使得能隙電壓電路中的運算放大器完成啟動，而在 V_{BG} 再度超過啟動電路的設定位準，啟動電流被關掉，能隙電壓將被穩定在設計值。

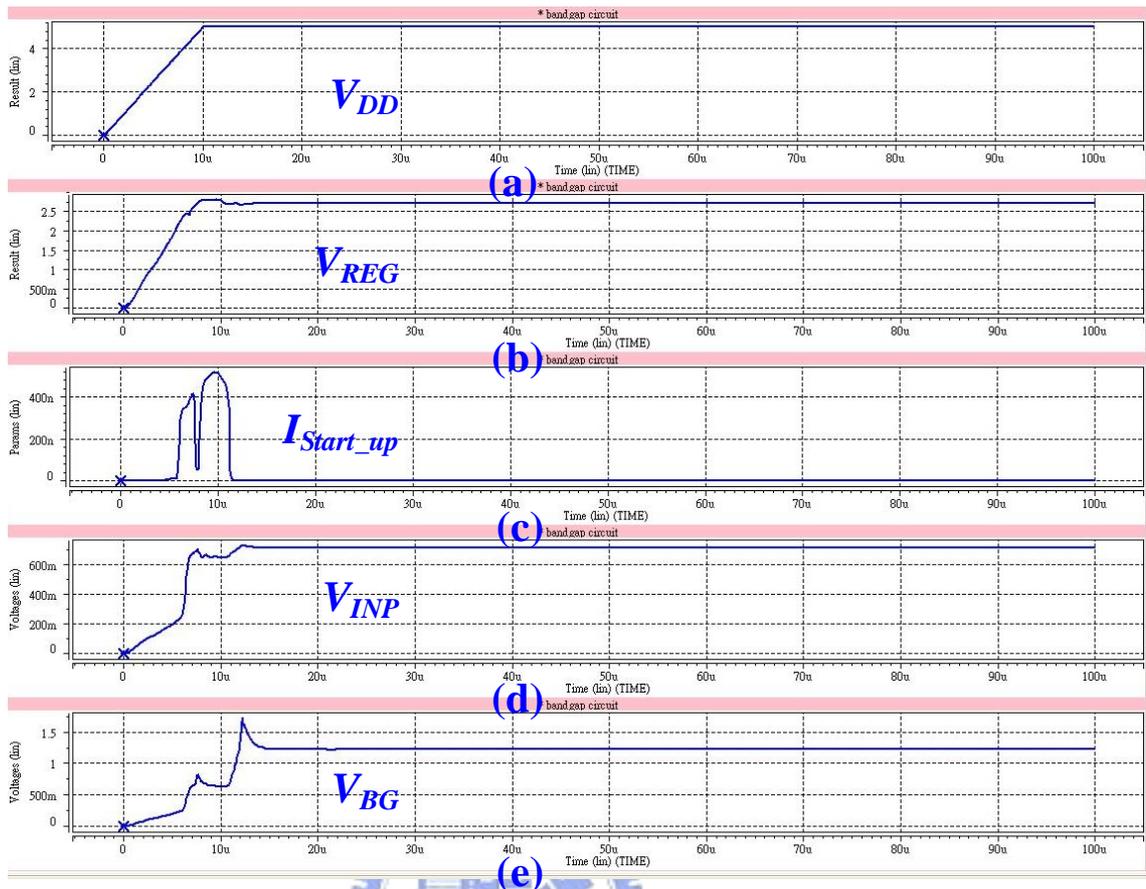


圖 4.11 能隙電壓在輸入電壓 5V，且輸入電壓由 0V 到 5V 上升時間為 10 μ s 的暫態分析模擬結果，由上而下為 (a) 輸入電壓 V_{DD} (b) 調節器輸出電壓 V_{REG} (c) 啟動電路對 INP 端的充電電流 I_{Start_up} (d) INP 端的電壓 V_{INP} (e) 能隙電壓輸出 V_{BG}

4.1.3 偏壓電路(Bias)

偏壓電路主要用來產生各個子電路所需要的偏壓電流，為了要得到對溫度不敏感的電流源，因此偏壓電流的產生方式相似於能隙電壓的產生方式，唯一不同的地方在於這次不是要產生出對溫度不敏感的參考電壓，而是要產生出與電壓轉電流電路中所使用的電阻相同的溫度係數的電壓值，進而產生出對溫度不敏感的電流源，對溫度不敏感的偏壓電流電路如圖 4.12 所示。

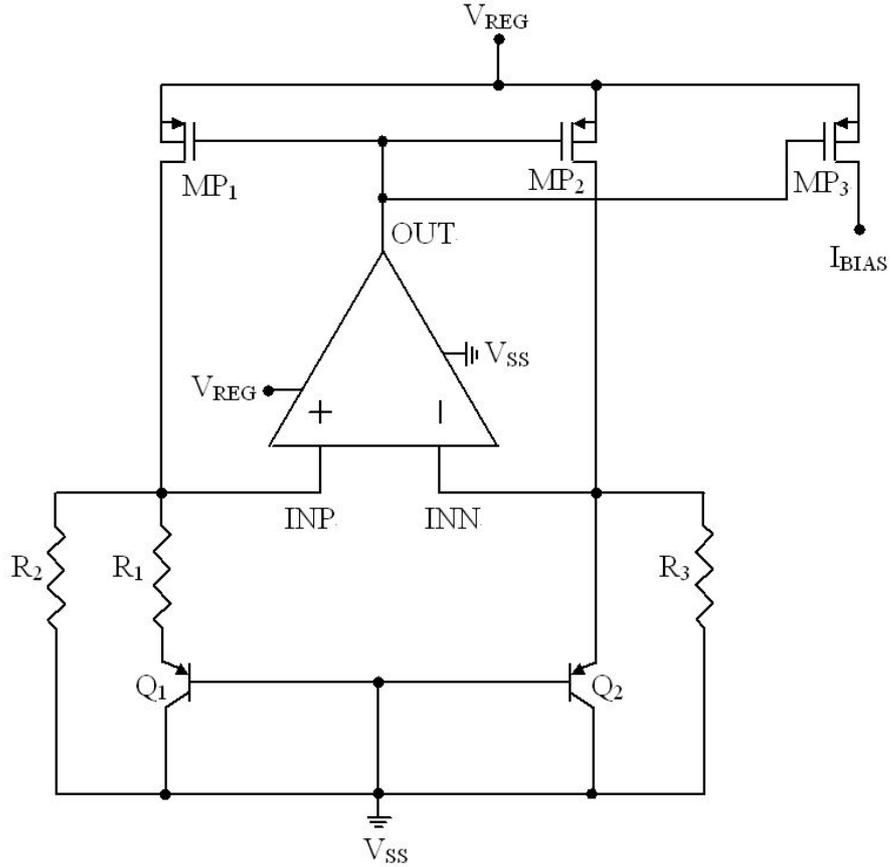


圖 4.12 對溫度不敏感的偏壓電流電路

當電路工作在穩定的工作點時，包含運算放大器的回授路徑為負回授路徑，因此運算放大器的輸入端虛短路成立

$$V_{INP} = V_{INN} = V_{BE_Q2} \quad (4.54)$$

因此電阻 R_2 上所流經的電流可以表示為方程式(4.55)

$$I_{R2} = \frac{V_{INP}}{R_2} = \frac{V_{BE_Q2}}{R_2} \quad (4.55)$$

此時電阻 R_1 上的跨壓為

$$V_{R1} = \Delta V_{BE} = V_{BE_Q2} - V_{BE_Q1} = V_T \ln \frac{I_{Q2} I_{S1}}{I_{Q1} I_{S2}} \quad (4.56)$$

因此電阻 R_1 上所流經的電流可以表示為

$$I_{R1} = \frac{\Delta V_{BE}}{R_1} = \frac{V_T}{R_1} \ln \frac{I_{Q2} I_{S1}}{I_{Q1} I_{S2}} \quad (4.57)$$

流經電晶體 MP_1 的電流為流經電阻 R_1 與電阻 R_2 的電流相加

$$I_{MP1} = I_{R1} + I_{R2} \quad (4.58)$$

將方程式(4.55)、(4.57)代回(4.58)可以得到

$$I_{MP1} = \frac{V_{BE-Q2}}{R_2} + \frac{V_T}{R_1} \ln \frac{I_{Q2} I_{S1}}{I_{Q1} I_{S2}} = \frac{1}{R_2} \left(V_{BE-Q2} + \frac{V_T}{\gamma} \ln \frac{I_{Q2} I_{S1}}{I_{Q1} I_{S2}} \right) = \frac{1}{R_2} (V_{BE-Q2} + S V_T) \quad (4.59)$$

$$S = \frac{1}{\gamma} \ln \frac{I_{Q2} I_{S1}}{I_{Q1} I_{S2}} = \frac{1}{\gamma} \ln N |_{R_2=R_2, I_{Q2}=I_{Q2}} \quad (4.60)$$

其中 $\gamma=R_1/R_2$ 為一常數，當 $R_2=R_3$ 時 $I_{Q1}=I_{Q2}$ ， S 為與溫度無關的常數， N 為電晶體 Q_1 與電晶體 Q_2 的射極面積比，由方程式可以得知，當

$$\frac{\partial R}{\partial T} = \frac{\partial (V_{BE-Q2} + S V_T)}{\partial T} \quad (4.61)$$

則流經電晶體 MP_1 的電流將會對溫度不敏感，同時藉由電流鏡所鏡射出去的電流也將對溫度不敏感

偏壓電流電路在輸入電壓 12V，溫度 -40°C 到 140°C 的條件下直流分析的輸出結果如圖 4.13 所示，由圖上的結果我們可以發現，偏壓電流在常溫環境下大約為 850nA，在 140°C 為最低，最低值約在 780nA，而 -40°C 到 140°C 的條件下的偏壓電流變化量約為 78nA，因此整個電流因應溫度的變化量在 10% 以內。

偏壓電流在輸入電壓 12V，且輸入電壓由 0V 到 12V 上升時間為 10μs 的暫態分析模擬結果如圖 4.14 所示，由結果圖我們可以得到在輸入電壓達到穩態以後，偏壓電流僅在不到 5μs 的時間內就達到了穩態，同時在暫態的過程中每 0.8μA 單位的電流可能會產生出 4.4μA 的突波電流，已倍數來說大約是 5.5 倍，考慮到整個系統的靜態電流大約是 200μA，則系統在暫態的過程中會產生出 1.1mA 的突波電流，基本上這麼小的突波電流還不至於對電路造成任何的傷害。

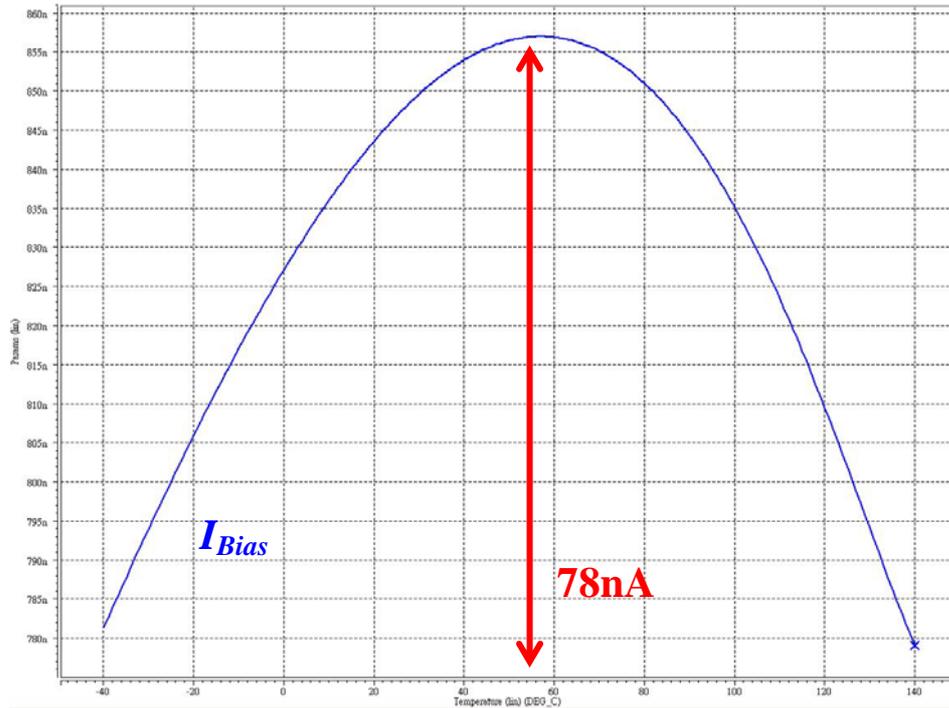


圖 4.13 偏壓電流電路在輸入電壓 12V，溫度-40°C 到 140°C 的條件下直流分析的輸出結果

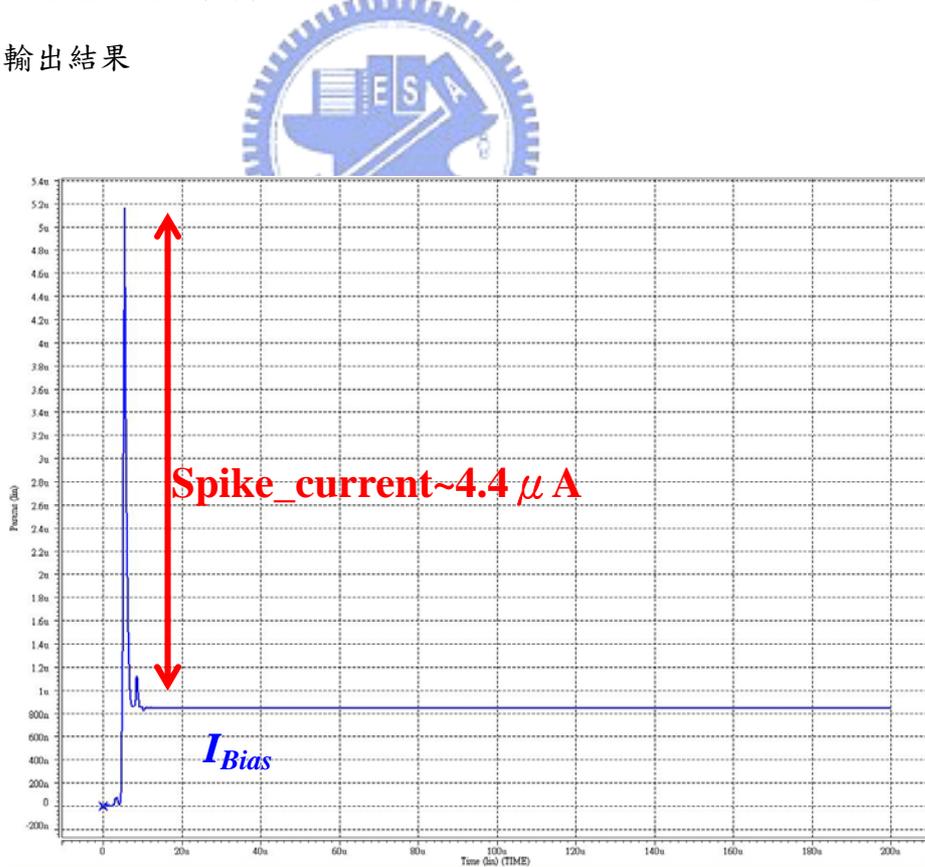


圖 4.14 偏壓電流在輸入電壓 12V，且輸入電壓由 0V 到 12V 上升時間為 10μs 的暫態分析模擬結果

4.1.4 電壓緩衝器(Voltage Buffer)

電壓緩衝器電路主要用來產生各個子電路所需要的參考電壓，產生的原理是將運算放大器接成負回授的緩衝器，同時將能隙電壓電路所產生出來的能隙電壓接到運算放大器的正輸入端，利用電阻分壓的原理，即可以產生出小於輸入電壓的穩定參考電壓，緩衝器所產生出來的參考電壓將供給需要穩定參考電壓的子電路，以求相關子電路能有穩定的功能。電壓緩衝器的電路圖如圖 4.15 所示

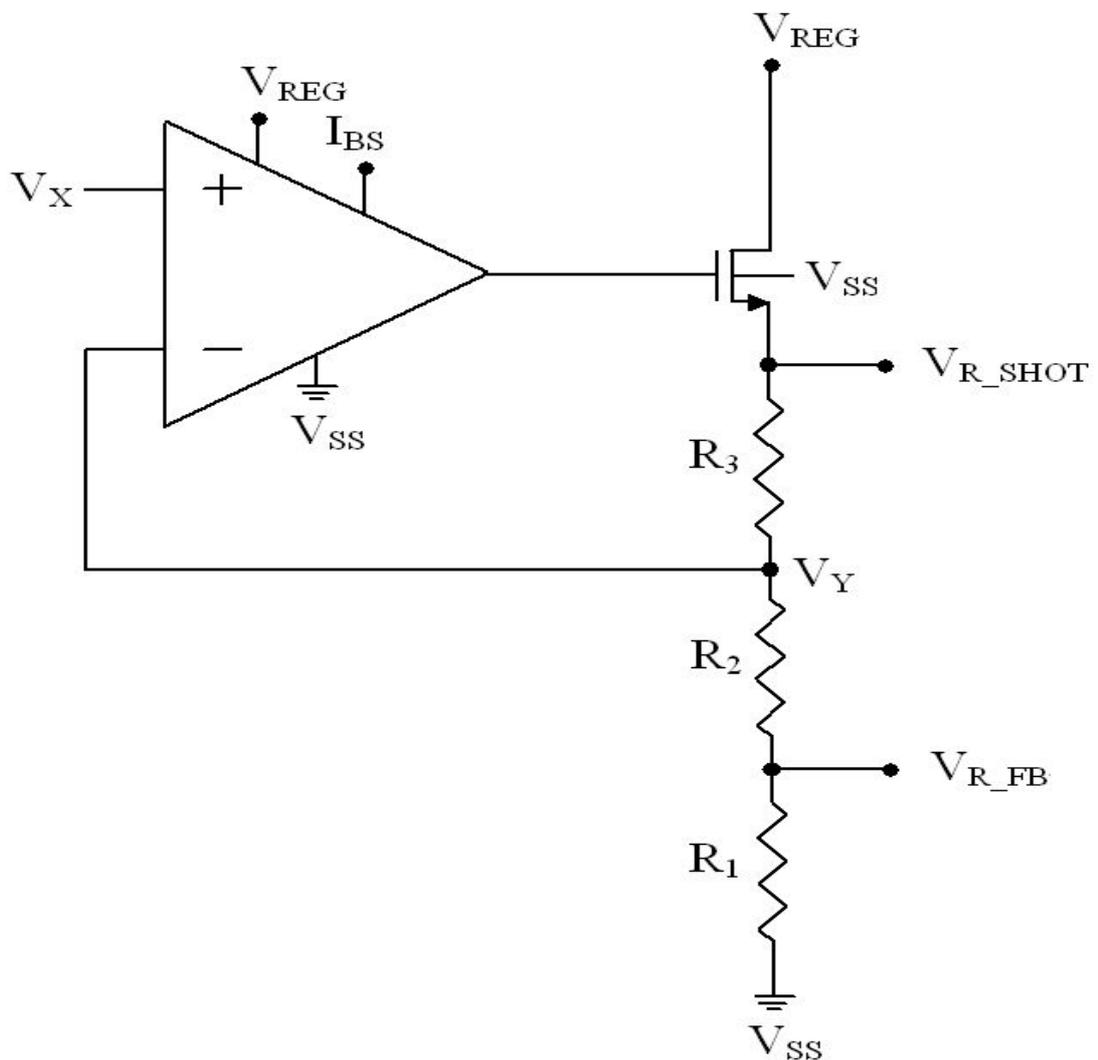


圖 4.15 電壓緩衝器

在運算放大器負回授成立的情形下，虛短路成立，電壓 V_Y 等於電壓 V_X ，由於流

經過電阻 R_1 、 R_2 、 R_3 的電流相等，因此可以得到下列的電壓關係式

$$V_Y = V_X = V_{Bnadgap} \quad (4.62)$$

$$V_{R_FB} = \frac{R_1}{R_1 + R_2} V_Y = \frac{R_1}{R_1 + R_2} V_{Bnadgap} \quad (4.63)$$

$$V_{R_SHOT} = \frac{R_1 + R_2 + R_3}{R_1 + R_2} V_Y = \frac{R_1 + R_2 + R_3}{R_1 + R_2} V_{Bnadgap} \quad (4.64)$$

由以上的關係式可以得知，適當的調整 R_1 、 R_2 、 R_3 的比列可以得到任意想要的電壓位準供給其他的子電路。

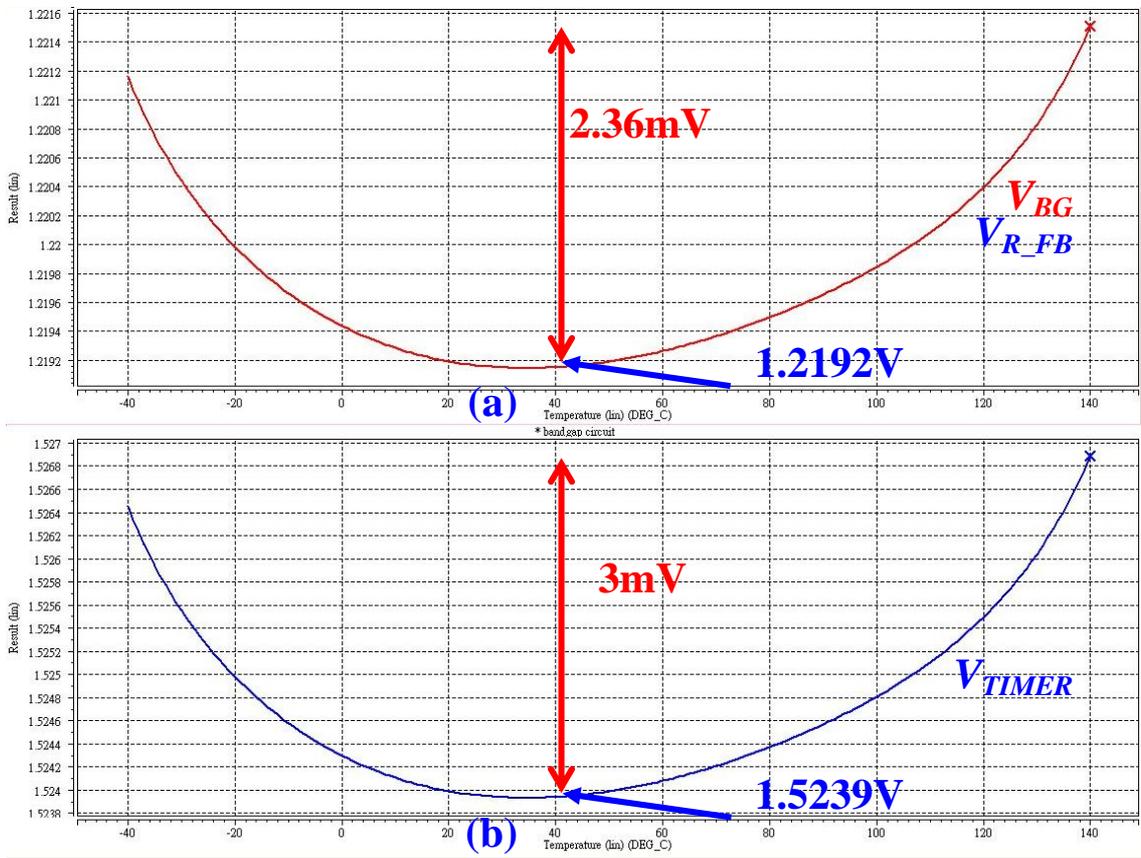


圖 4.16 電壓緩衝器電路在輸入電壓 12V，溫度-40°C 到 140°C 的條件下直流分析的輸出結果，模擬時電阻設定比值為 $R_1: R_2: R_3=4:0:1$ ，由上而下得結果分別表示 (a) 能隙電壓與 V_{R_FB} 電壓 (b) V_{TIMER} 電壓

電壓緩衝器電路在輸入電壓 12V，溫度-40°C 到 140°C 的條件下直流分析的輸出結果如圖 4.16 所示，由結果我們可以看出來，在足夠的增益以及頻寬的運算放

大器的幫助下 V_{R_FB} 幾乎完全等於 $V_{BG} (V_X)$ ，而 V_{TIMER} 的輸出結果也等於歐母定率的計算結果。

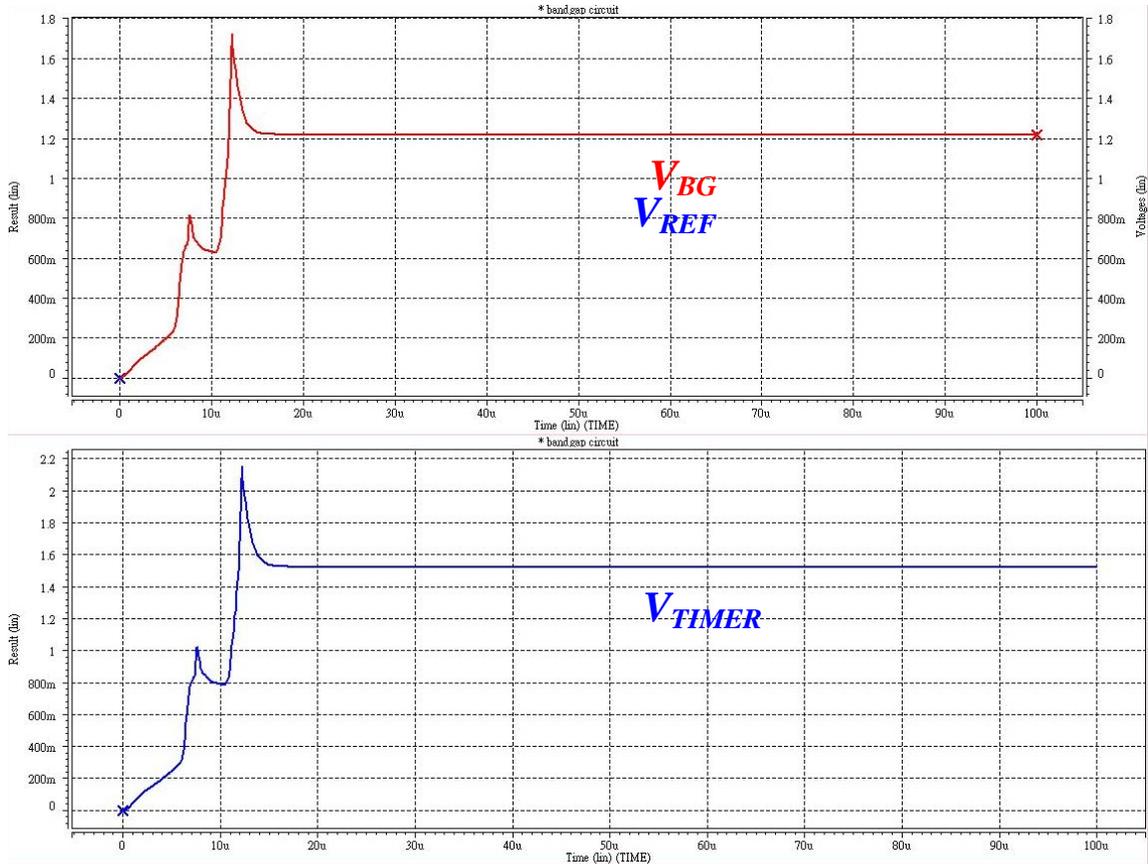


圖 4.17 電壓緩衝器電路在輸入電壓 12V，且輸入電壓由 0V 到 12V 上升時間為 10 μ s 的暫態分析模擬結果，模擬時電阻設定比值為 $R_1: R_2: R_3=4:0:1$ ，由上而下得結果分別表示 (a) 能隙電壓與 V_{R_FB} 電壓 (b) V_{TIMER} 電壓

電壓緩衝器電路在輸入電壓 12V，且輸入電壓由 0V 到 12V 上升時間為 10 μ s 的暫態分析模擬結果如圖 4.17 所示，暫態分析的結果顯示出與直流分析箱吻合的特徵，即是在運算放大器有足夠的增益以及頻寬的情形下，電壓緩衝器電路的輸出結果基本上等同於能隙電壓電路的輸出結果，唯一不同的地方在於電壓緩衝級電路提供了能隙電壓標準值以外對溫度變化不敏感的電壓值用以做為其他電路的參考電壓。

4.1.5 回授補償磁滯比較器(Current-sense Feedback Hysteretic Comparator)

回授補償磁滯比較器電路是整個系統的核心電路，也是本論文所提出的改善重點，主要的功能是利用電流源 I_{HI} 來提供系統磁滯位準的基準，再輔以回授自輸出 MOS 電流的電流 I_{SENSE} ，藉以達成維持系統的輕載漣波電壓，降低重載的漣波電壓的功能，同時，輸出電壓的基準將建立在系統提供磁滯比較器的參考位準，以及回授分壓網路的基準上，從而得到所希望的輸出電壓，目前所使用的架構圖如圖 4.18 所示，其中所用到的轉導放大比較器如圖 4.19 所示，

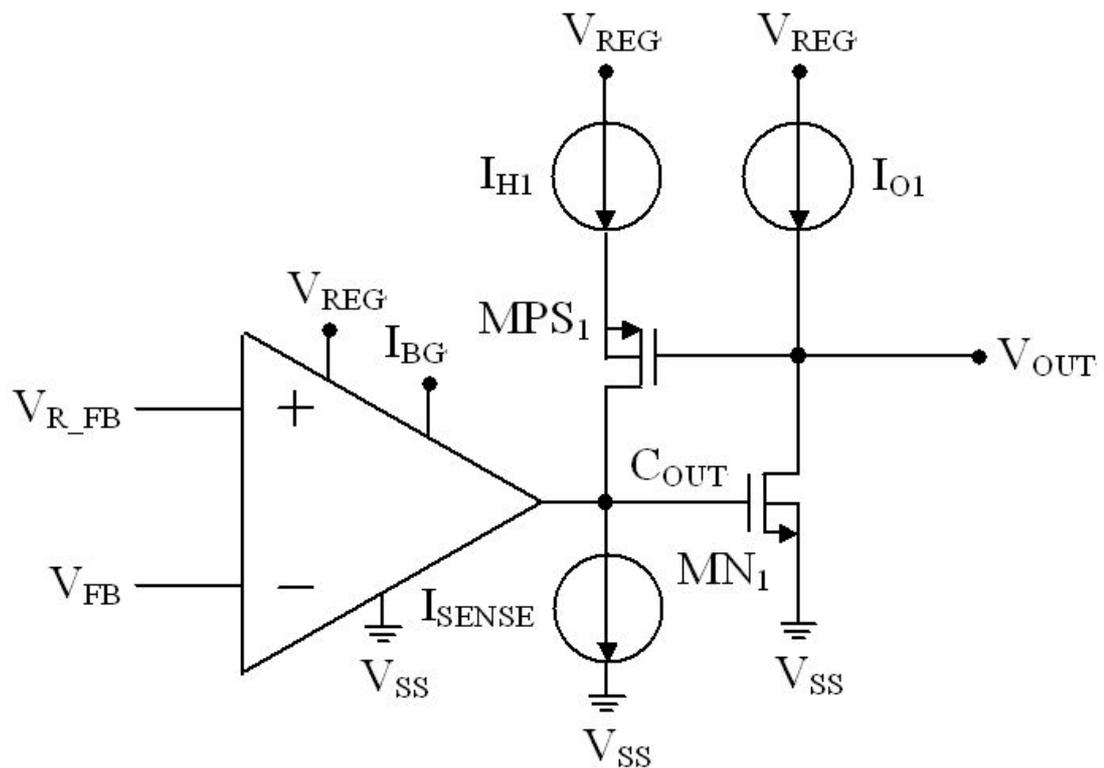


圖 4.18 磁滯比較器

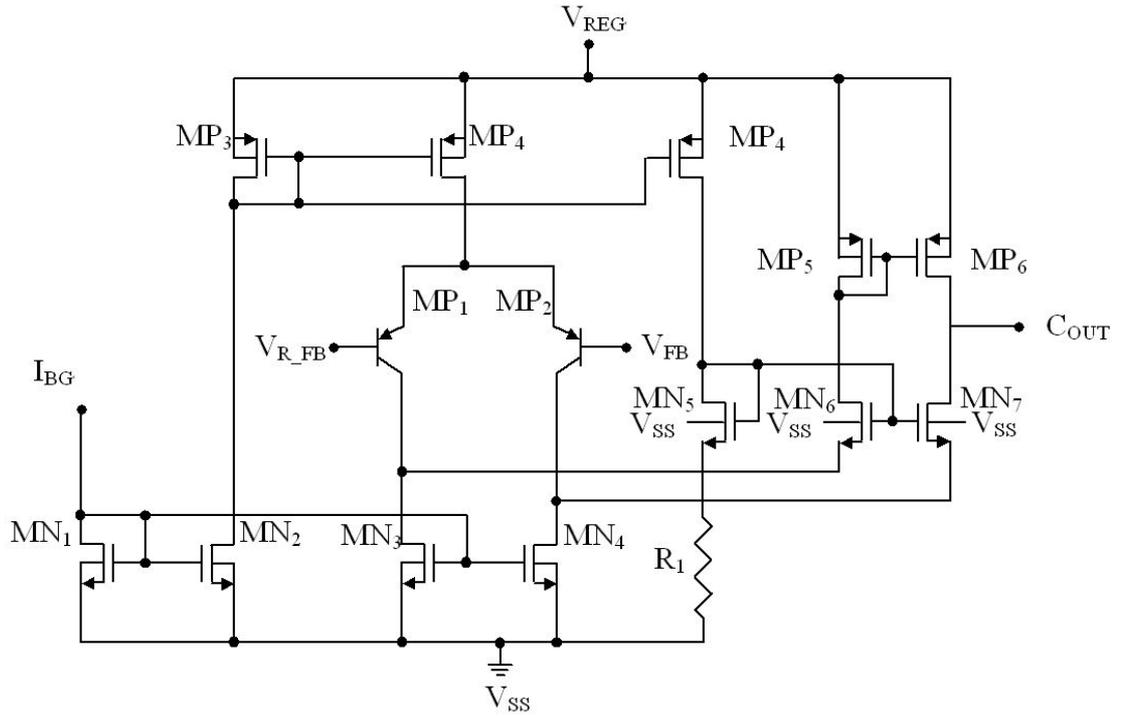


圖 4.19 轉導放大比較器

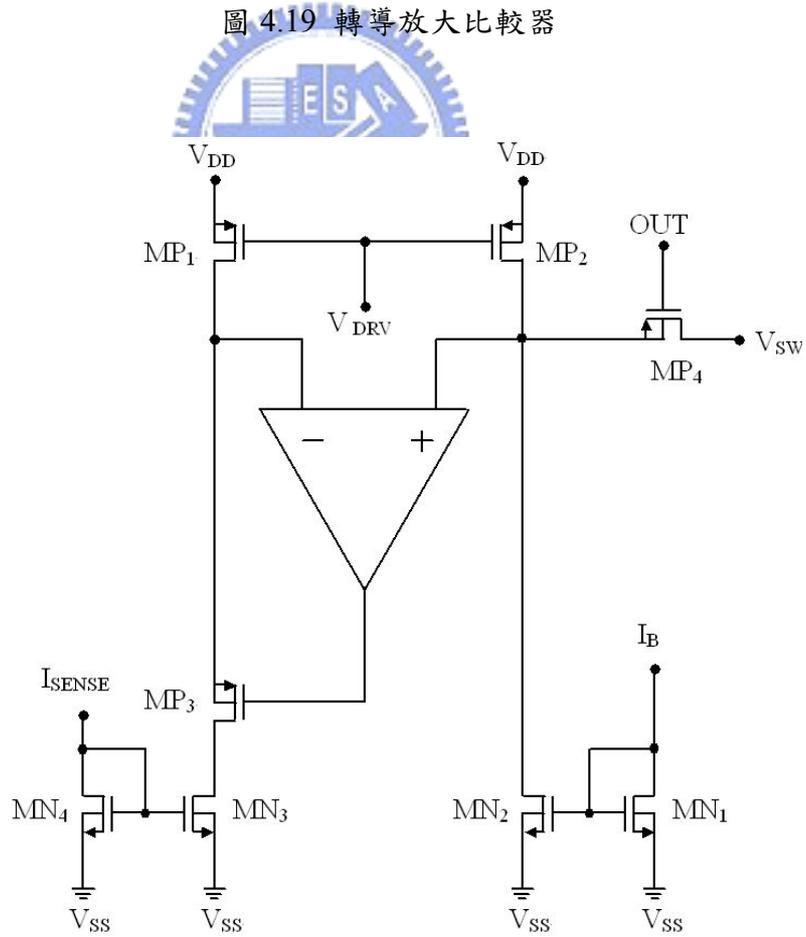


圖 4.20 輸出電流偵測回授電路

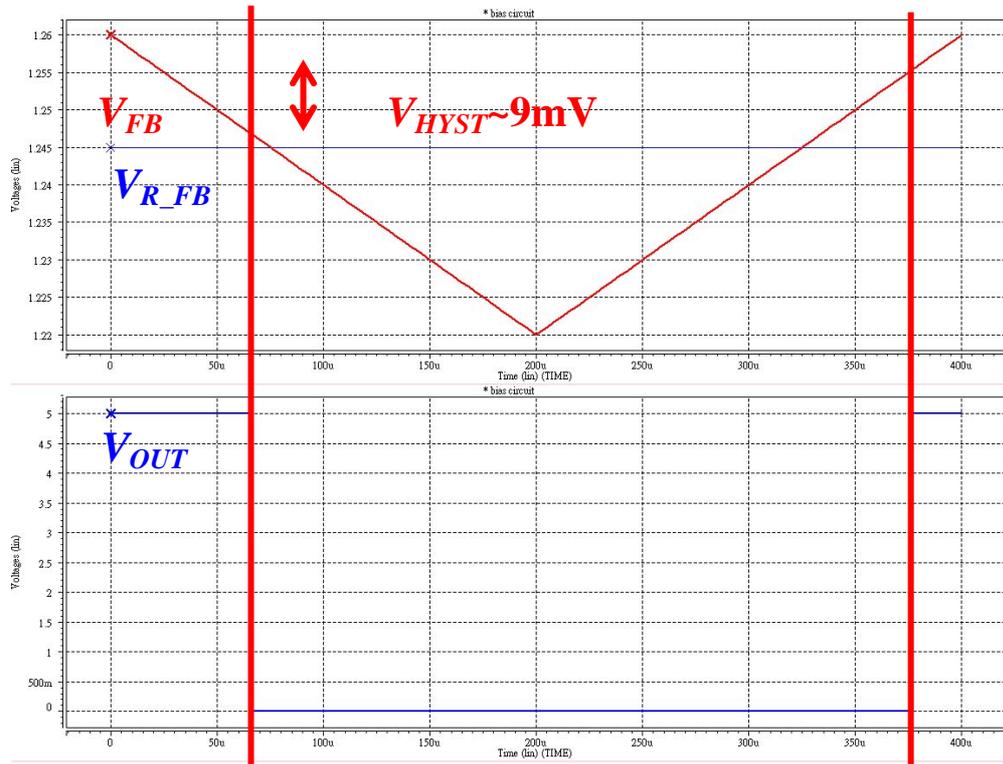


圖 4.21 回授補償磁滯比較器電路在輸入電壓為 12V，設定負載為 500mA 的狀況下的磁滯電壓量暫態分析

電流偵測回授[24], [25], [26]控制的電路如圖 4.2 所示，電流偵測的動作主要是當輸出電晶體導通時，控制信號 OUT 也將同步導通電晶體 MP_4 ，此時電晶體 MP_1 的汲源級電壓差與輸出電晶體的汲源級電壓差相似，同時在兩個電晶體得開源級電壓相等的條件下，流經過電晶體 MP_1 的電流與流經過輸出電晶體的電流只與兩者的長寬比有關，也就是說

$$I_{OUTPUT} : I_{MP1} = \left(\frac{W}{L} \right)_{OUTPUT_PMOS} : \left(\frac{W}{L} \right)_{MP1} \quad (4.65)$$

為了要兼顧到系統的效率，這裡選擇的比例是

$$K = \left(\frac{W}{L} \right)_{OUTPUT_PMOS} : \left(\frac{W}{L} \right)_{MP1} = 14000 : 1 \quad (4.66)$$

在這樣的比例下，當輸出電流為 500mA 的時候，電晶體 MN_3 所流經的電流大約是 35 μ A，當選定電晶體 MN_3 的長寬比為電晶體 MN_4 的長寬比 5 倍的時候，最大回授電流 I_{SENSE} 為 7 μ A。

當輸出電晶體不導通時，為了避免電路失去工作點而失去作用，因此利用電晶體 MP_2 來維持當輸出電晶體不導通時偵測電路仍然可正常工作， MN_1 、 MN_2 是用來供給電晶體 MP_2 一個固定的偏壓電流，為了要兼顧到線路工作的正常性與準確度，電流 I_B 不可過小，大約是數 μA 的等級，而為了避免此時電晶體鏡射所產生的電流電整體電路的影響，通常會設定電晶體 MP_2 的長寬比是電晶體 MP_1 的長寬比的數十倍，如此一來即可維持線路正常運作。

由圖 4.21 可以得知，目前設計的規格在 500mA 的負載時，其磁滯電壓量約為 9mV，而圖 4.22 的結果顯示，由輕載到重載的磁滯電壓變化量約為 41mV，也就是說磁滯電壓的變化範圍是從 50mV(輕載)到 9mV(重載)。

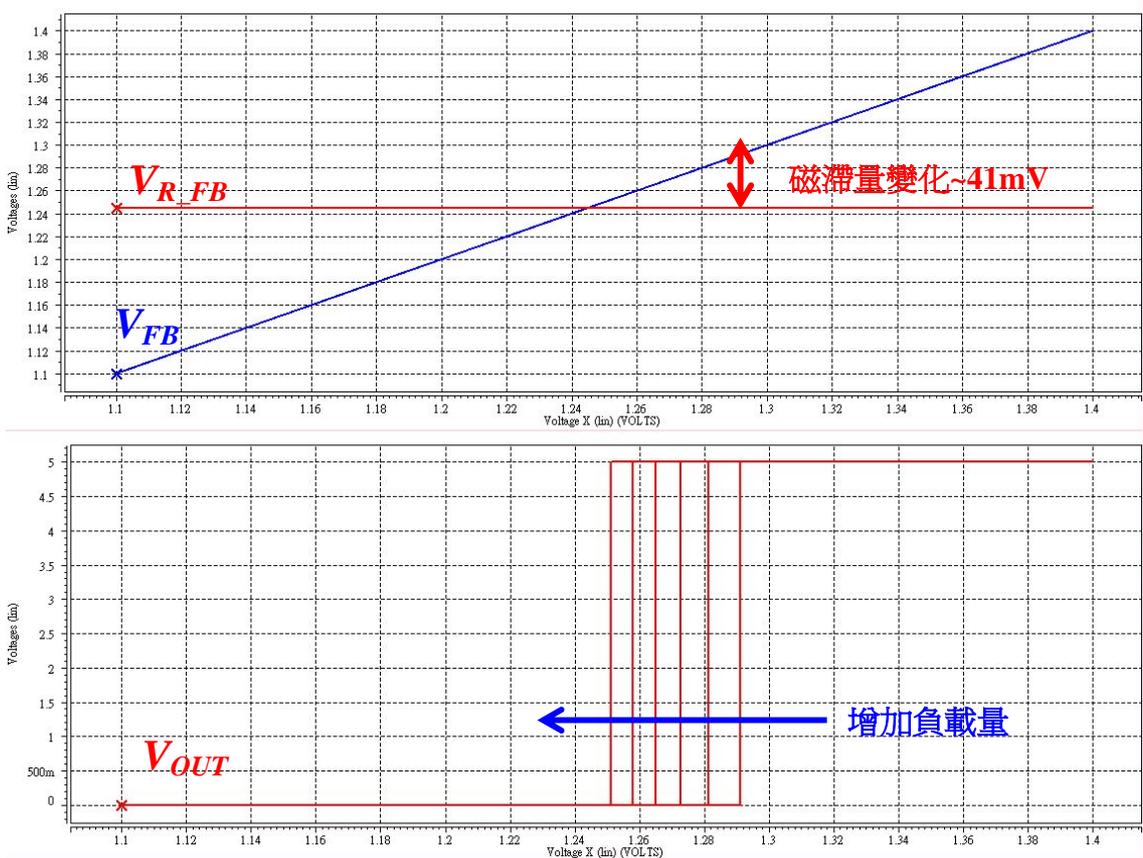


圖 4.22 回授補償磁滯比較器電路在輸入電壓為 12V，負載回授量由 $1\mu A$ 增加到 $7\mu A$ 的狀況下，磁滯電壓變化量模擬結果，(a) 為 V_{FB} 與 V_{R_FB} 信號對時間的關係 (b) 為輸出信號 V_{OUT} 在不同的負載狀況下的轉態點

驅動級電路的功能主要是用來做為磁滯比較器輸出結果與輸出 PMOS 間的緩衝，加強信號的推力，因為一般的輸出 PMOS 為了要達到低導通阻抗的特性，故需要並聯許多小面積的 PMOS，等效成一個大面積的 PMOS，面積愈大，則 PMOS 得等效導通阻抗就愈小，但是由於面積變大的關係，等效的電容 C_{SG} 、 C_{GD} 也同步變大，因此當 PMOS 在做開關的動作時，需要大電流來對電容充放電，以避免射穿電流(shoot-through current)過大使系統的效能受到影響。

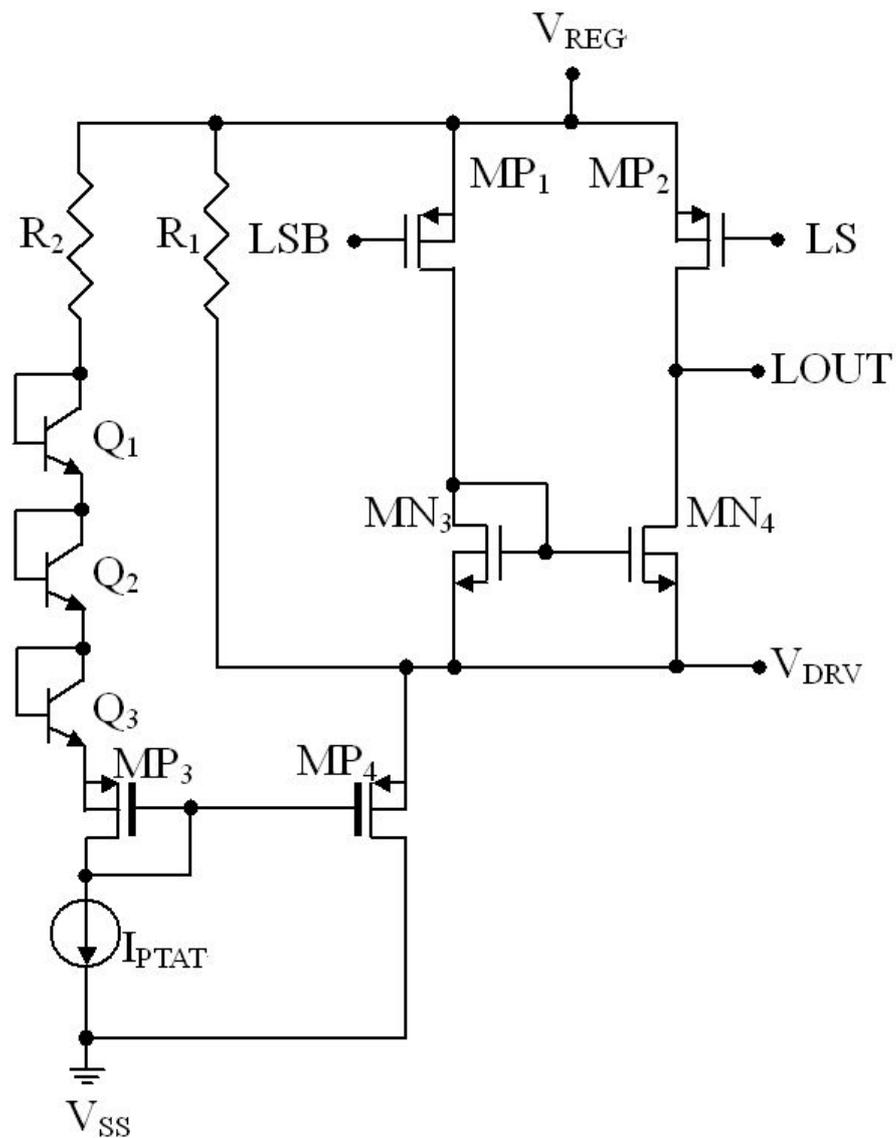


圖 4.25 電壓偏移電路 2

在高壓系統中，驅動級還有另外一個目的是要將磁滯比較器所產生的低電壓訊號轉換成輸出 PMOS 可以接受的高壓訊號，一般的輸出 PMOS 多有其閘-源極電壓的限制，常見的多在 10V~20V 之間，也就是說當 PMOS 限制其閘-源極電壓為 10V 時，驅動級需要將 PMOS 的閘極電壓限制在輸入電壓減去 10V 的範圍內，才不至於破壞輸出的 PMOS，這裡所使用的電壓偏移電路有 1 跟 2，電壓偏移電路 1 的功能主要是產生出 LS 與 LSB 這兩個反向的信號，當 $LS = V_{DD}$ 的時候， $LSB = V_{DD} - V_{THP}$ ，反之亦然，將電壓偏移電路 1 的輸出結果 LS 與 LSB 傳到電壓偏移電路 2 以後，電壓偏移電路 2 會使的輸出結果 $LOUT = V_{DD}$ 當 $LSB = V_{DD}$ ， $LS = V_{DD} - V_{THP}$ ，反之當 $LSB = V_{DD}$ ， $LS = V_{DD} - V_{THP}$ 時輸出 $LOUT = V_{DRV}$ ，這裡的 V_{DRV} 有使用到與調節器電路相似的電路技巧，首先將調節器電路所產生的正溫度係數電流鏡射過來，將此電流導過電阻與 BJT，藉以產生對溫度較不敏感的參考電壓，最後因為 V_{DRV} 本身需要有充放輸出 MOS 等效電容的電流能力，因此將所產生的電晶體 MP_3 的源級電壓經過電晶體 MP_3 與 MP_4 作追隨的動作產生出想要的 V_{DRV} 電壓。

由模擬結果可以得到，上圖的輸入端 IN 為邏輯 0 時，輸出 OUT 為了要使得輸出 PMOS 導通，因此輸出電壓接近為 $V_{IN}-5V$ ，而在開始要導通的時候，電路由於切換得瞬間需要大電流的充放電，因此 OUT 輸出電壓被拉升至 $V_{IN}-1.5V$ 處，而隨著輸出 PMOS 的閘極等效電容被充放電，閘極電壓慢慢往穩態值移動。

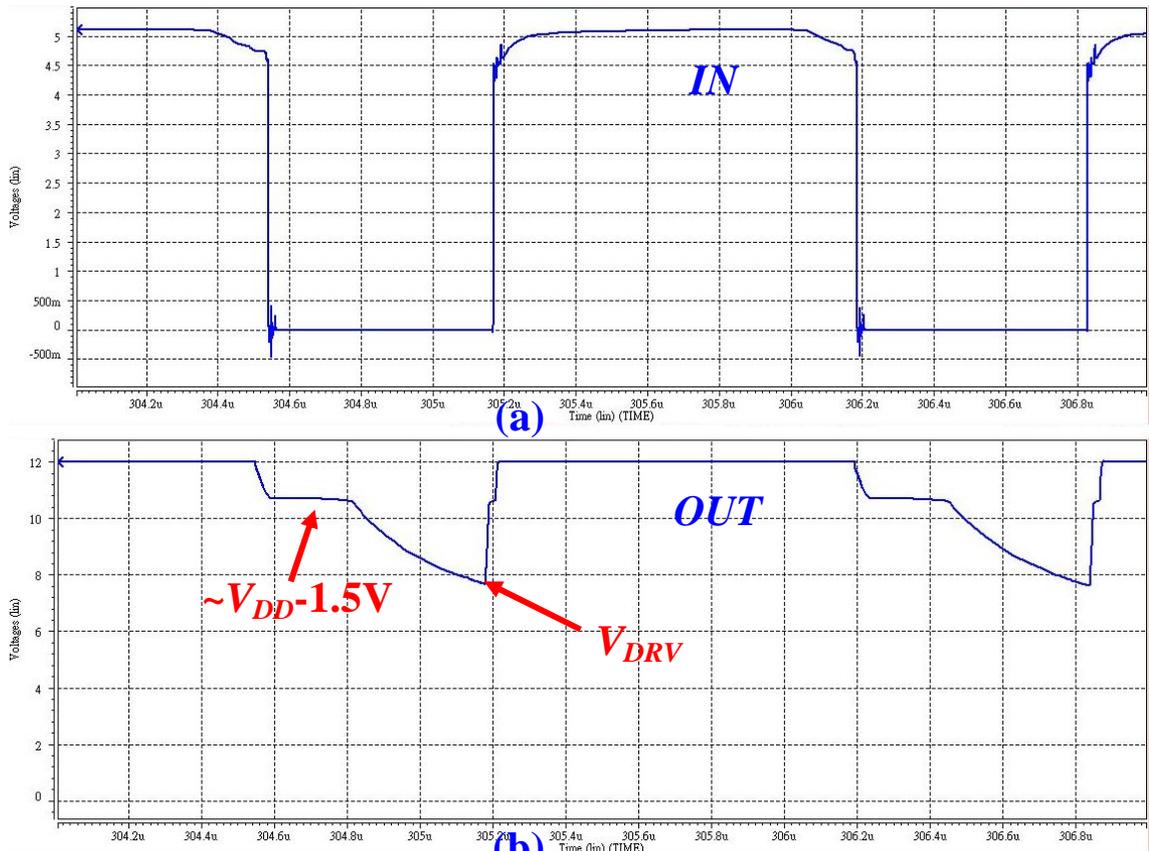


圖 4.26 驅動級在輸入電壓為 12V 的暫態分析模擬結果，由上而下 (a) 輸入信號 *IN* (b) 輸出信號 *OUT*

4.1.7 過電流保護(Over-current Protection)

過電流保護電路的功能主要是用來預防系統在輸出 PMOS 上產生過大電流的情形，主要實現的方式是以偵測輸出 PMOS 的汲源極電壓差來判斷，當輸出 PMOS 的汲源極電壓差過大的時候，即判定輸出 PMOS 的流通電流過大，此一情形產生的時候，系統將會自動關斷一段時間，關斷時間的長短將取決與內建的電阻電容充放電計時器，而在計時器完成計時的時候，系統將會回復正常動作，此時，若原先的過電流情形仍未排除，系統將進入第二次的保護計時，最嚴重的情形下是輸出 PMOS 短路到地，此時系統將週而復始的不斷進入過電流保護狀態，過電流保護的組成如圖 4.26,4.27 所示

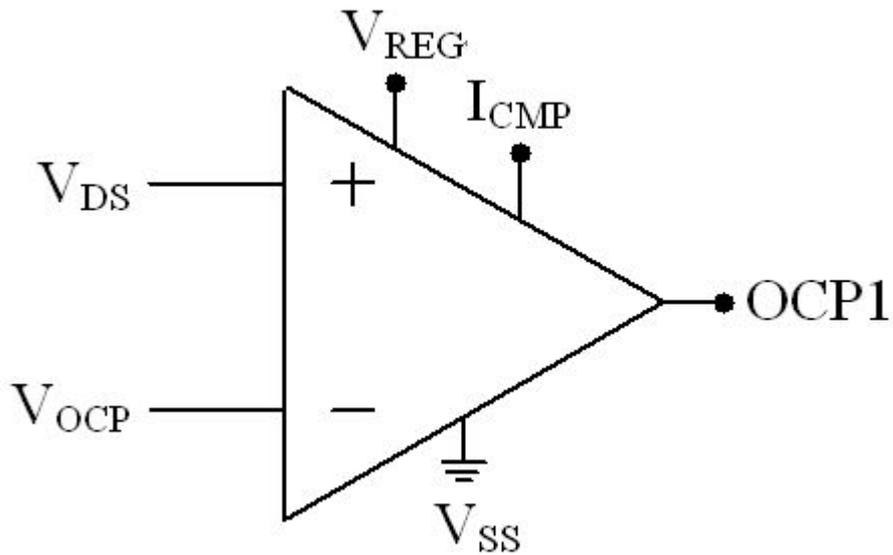


圖 4.27 過電流保護偵測器

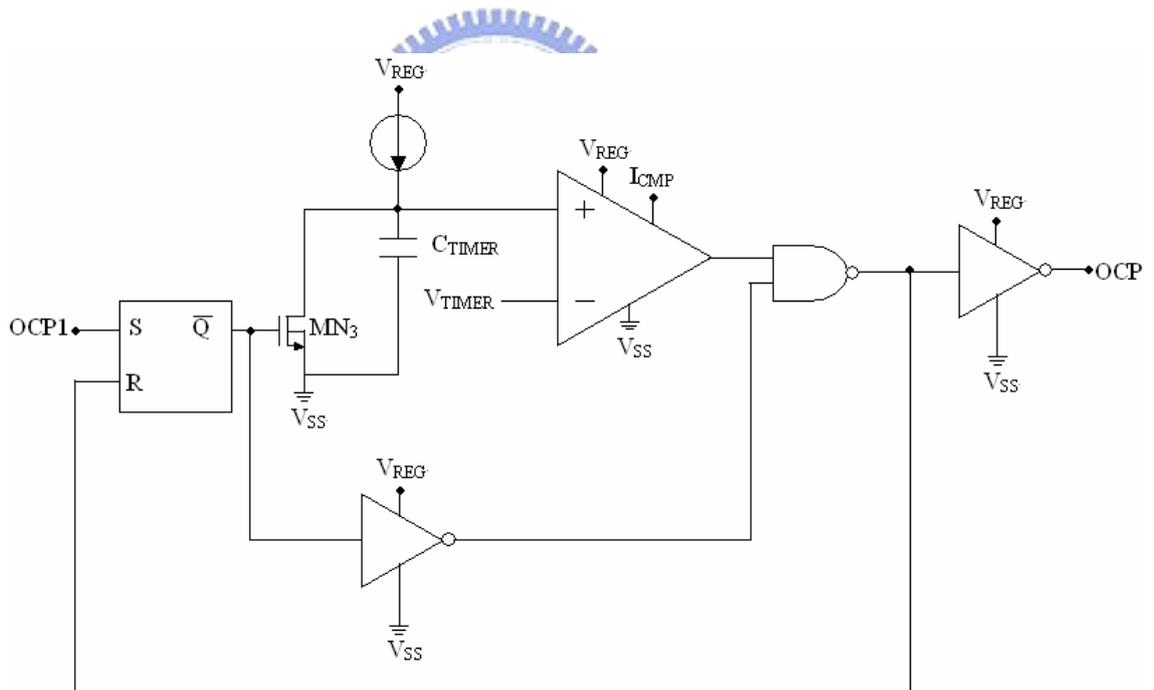


圖 4.28 過電流保護計時器

過電流保護偵測器是將輸出 PMOS 的汲源極電壓差與系統設定的位準相比較，當 V_{DS} 大於 V_{OCP} 時，輸出 $OCP1$ 信號為 1，系統進入過電流保護模式，同時過電流保護計時電動開始動作，另一方面由於 V_{OCP} 的產生方式是以外掛電阻(R_{OCP})

接至輸入電壓與圖 4.1 的 I_{ST} 端點，而在線路的內部有一故定的電流源到地，因此可以建立的電壓等於

$$V_{OCP} = V_{IN} - I_{OCP} * R_{OCP} \quad (4.67)$$

這個電路平時主要是用來做為過電流的保護，但是如果我們在外掛電阻(R_{OCP})的旁邊並聯一個電容(C_{SS})，則電壓 V_{OCP} 將會受到 RC 濾波的效果，從而達到軟啟動 (Soft-start)的目的。

過電流保護計時器的動作原理是當由過電流保護偵測器輸入的信號為 1 時，RS 正反器會將比較器輸出設定為 1，系統進入電流保護模式，輸出 PMOS 不導通，在此同時 RS 正反器也使得導引電流的 NMOS 不導通，此時充電電流開始對電容充電，電容電壓與充電電流與時間的關係式可以表示為

$$V_C = \frac{Q_C}{C_{TIMER}} = \frac{I * t}{C_{TIMER}} \quad (4.68)$$

由上式可知電容上的電壓超過比較位準 V_{TIMER} 時所需要的時間是

$$t = \frac{V_{TIMER} * C_{TIMER}}{I} \quad (4.69)$$

適當的調整 V_{TIMER} 、電容值 C 與充電電流 I 的大小即可使得需要的過電流保護時間 t 合乎所要求的規格，當電容電壓大於比較位準 V_{TIMER} ，比較器輸出結果由 1 轉為 0，回授信號重新設定 RS 正反器，系統解除電流保護模式，進入正常操作模式。

圖 4.28 是過電流保護器在開迴路的狀況下的模擬結果，(a)中藍線表示輸出 PMOS 的汲源極電壓差，紅色線表示系統內建的過電流保護比較位準，模擬時設定 PMOS 的汲源極電壓差大於內建的過電流保護比較位準 0.5V，使得過電流保護裝置持續的偵測到過電流發生的情形，(b) 中顯示輸出信號 OCP ，由模擬結果可以得知，當輸出 PMOS 打開且電流過大的時候，輸出 PMOS 的汲源極電壓差將會大於系統設定的內建電壓，此時偵測電路將送出信號給計時電路，同時關閉輸出 PMOS，輸出 PMOS 在計時器完成計時後讓系統恢復正常動作，在系統再度打開而又偵測到過電流的情形後，保護機制再度啟動，週而復始。

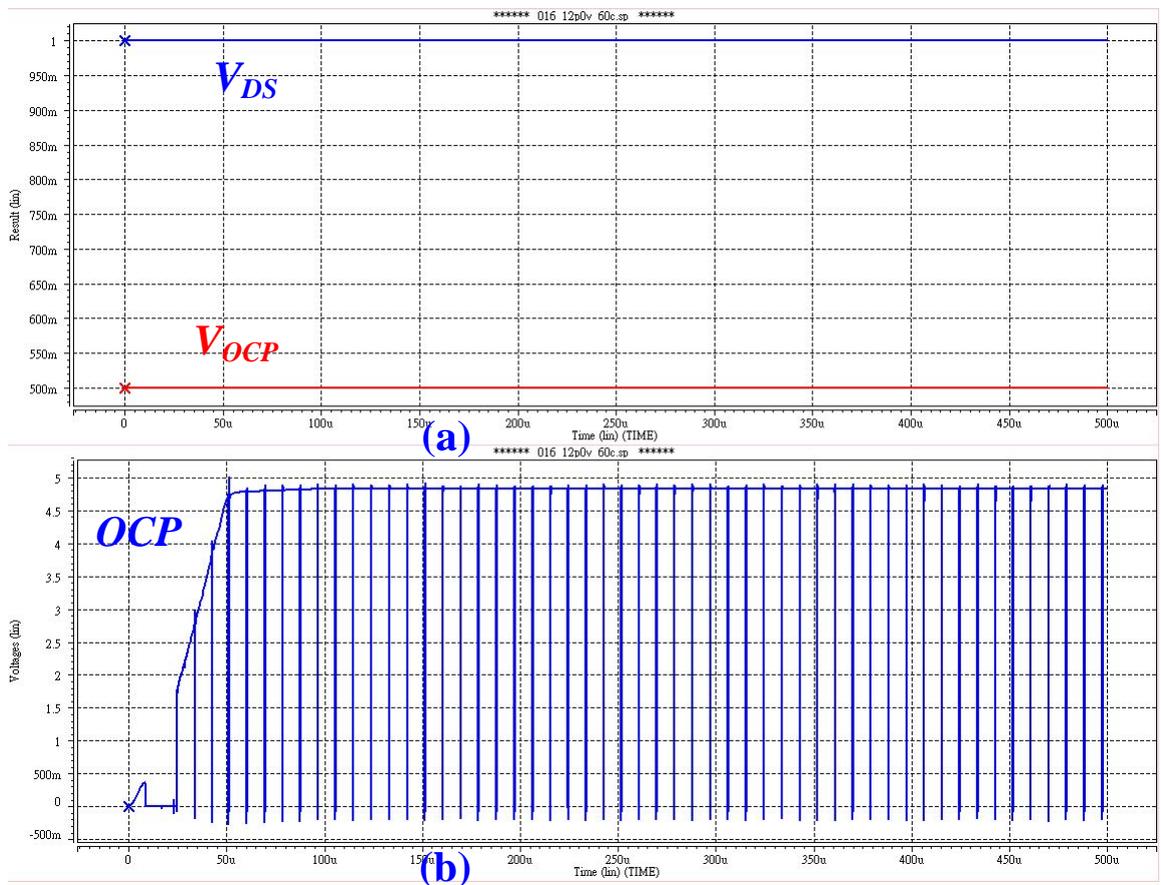


圖 4.29 過電流保護在輸入電壓 12V，開迴路狀況下的暫態分析模擬結果，(a)為 V_{DS} 與 V_{OCP} 對時間的關係 (b) 為過電流保護電路的輸出信號 OCP 對時間的關係

由圖 4.29 可以得到，由計時器開始計時到計時器解開過保留保護狀態的時間，大約為 $8.5\mu\text{s}$ ，比照目前所使用的電容 C_{TIMER} 大小為 5pF ，充電電流 I 大小為 $0.88\mu\text{A}$ ，參考位準為 1.5V ，將上述的數值帶入方程式(4.69)計算後，可以得到計時器的計時時間應為 $0.852\mu\text{s}$ ，與模擬的結果相符。

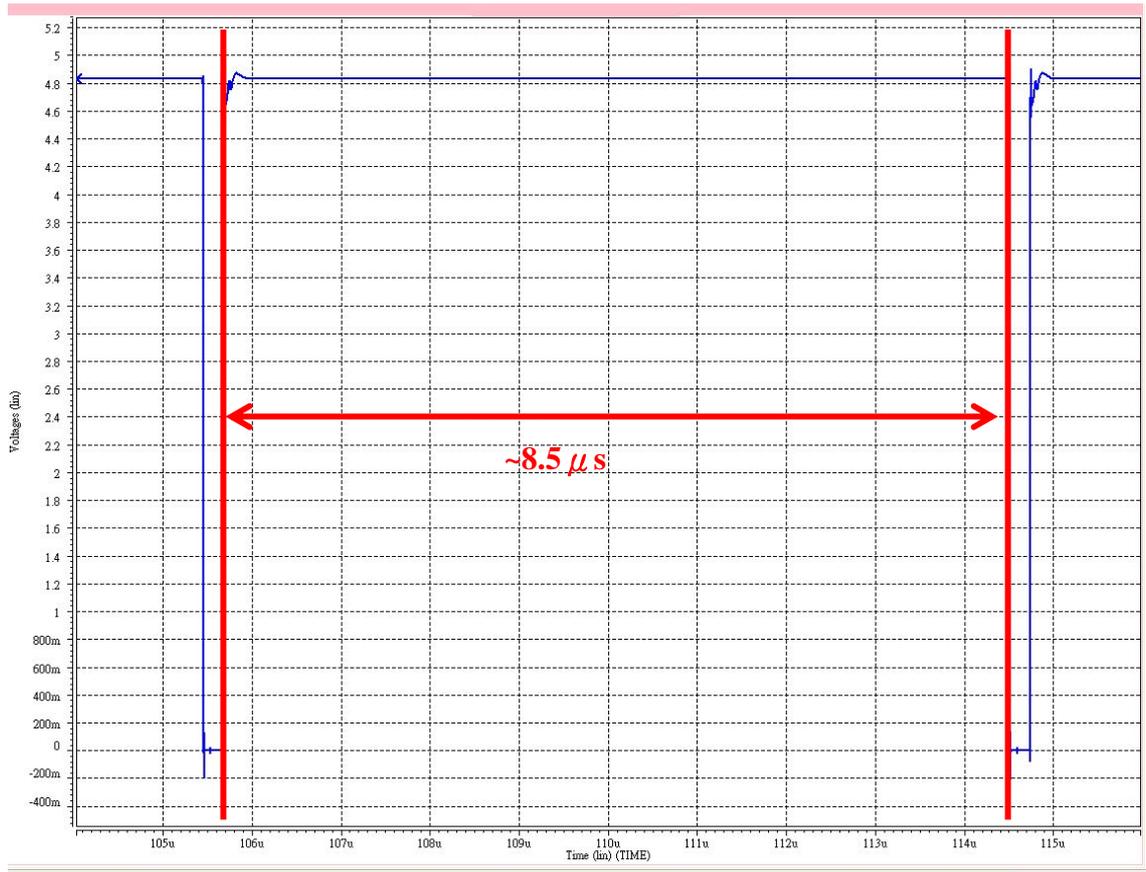


圖 4.30 過電流保護計時器中 *OCP* 在週而復始的過電流保護狀況下的系統關斷時間



4.2 系統模擬(System Level Simulation)

表 4.1 規格與參數列表

Normal V_{DD}	12V	Filter inductor L	22 μ H
V_{DD} MAX.	18V	DCR of L	87m Ω
V_{DD} MIN.	5V	Filter inductor C	100 μ F
Typical V_{OUT}	3.3V	ESR of C	45m Ω
Loading	10mA ~ 500mA	Output Ripple	18mV
Line-regulation	0.024 V/V	Load-regulation	0.02V/A

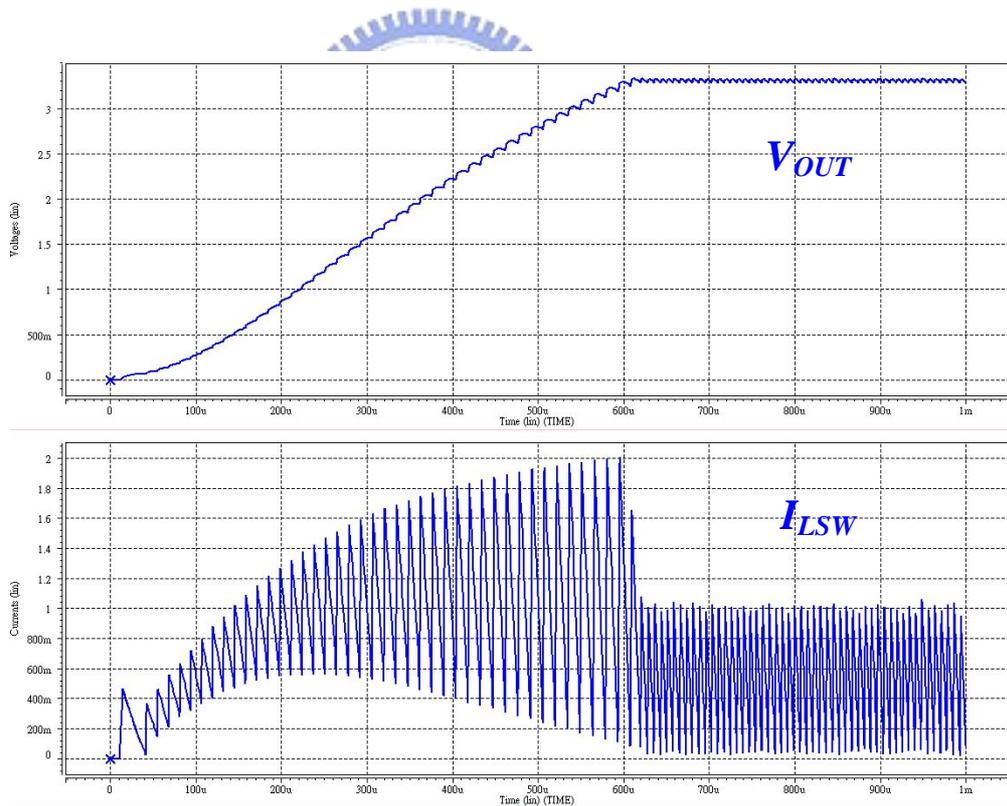


圖 4.31 無回授控制磁滯比較系統在輸入電壓為 12V，輸入電壓由 0V 到 12V 的上升時間為 100 μ s 的條件下暫態分析確認啟動與 500mA 固定負載的動作

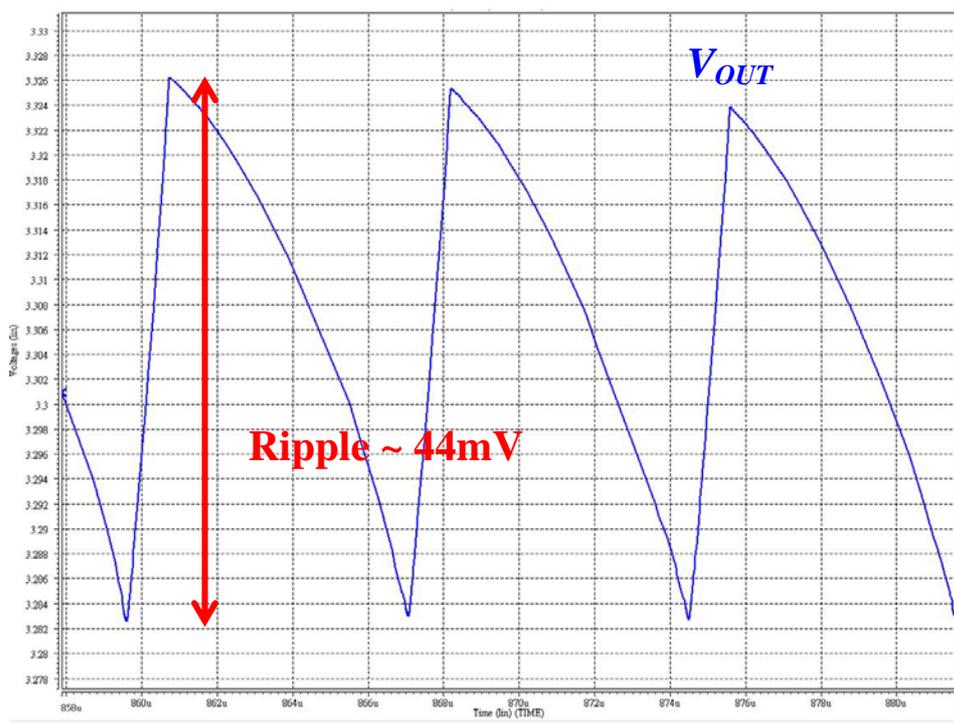


圖 4.32 無回授控制磁滯比較系統在輸入電壓 12V，輸出負載 500mA 時的輸出漣波電壓

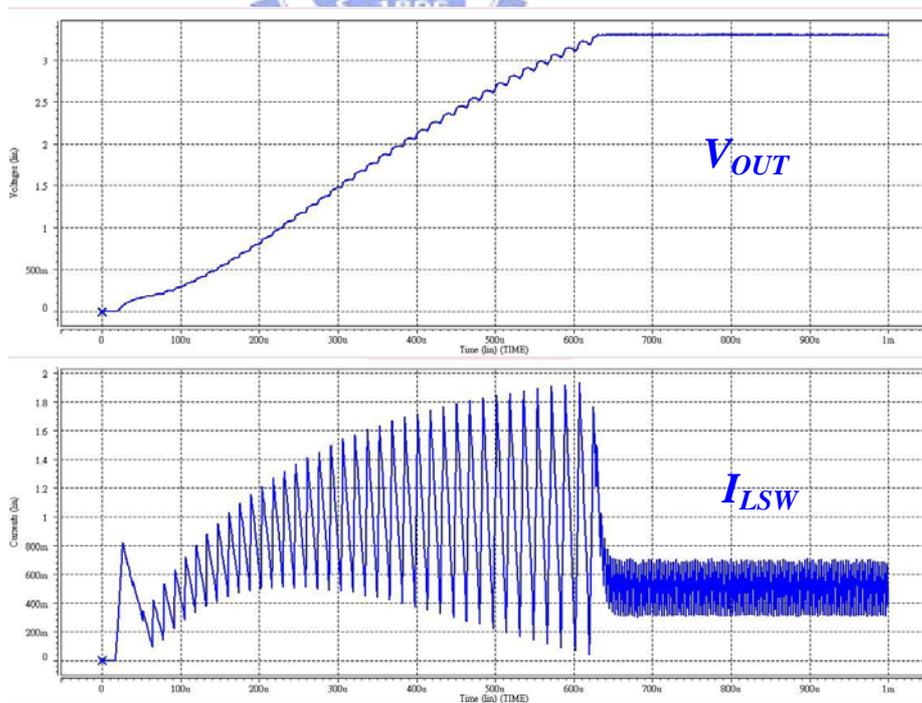


圖 4.33 回授控制磁滯比較系統在輸入電壓為 12V，輸入電壓由 0V 到 12V 的上升時間為 100 μ s 的條件下暫態分析確認啟動與 500mA 固定負載的動作

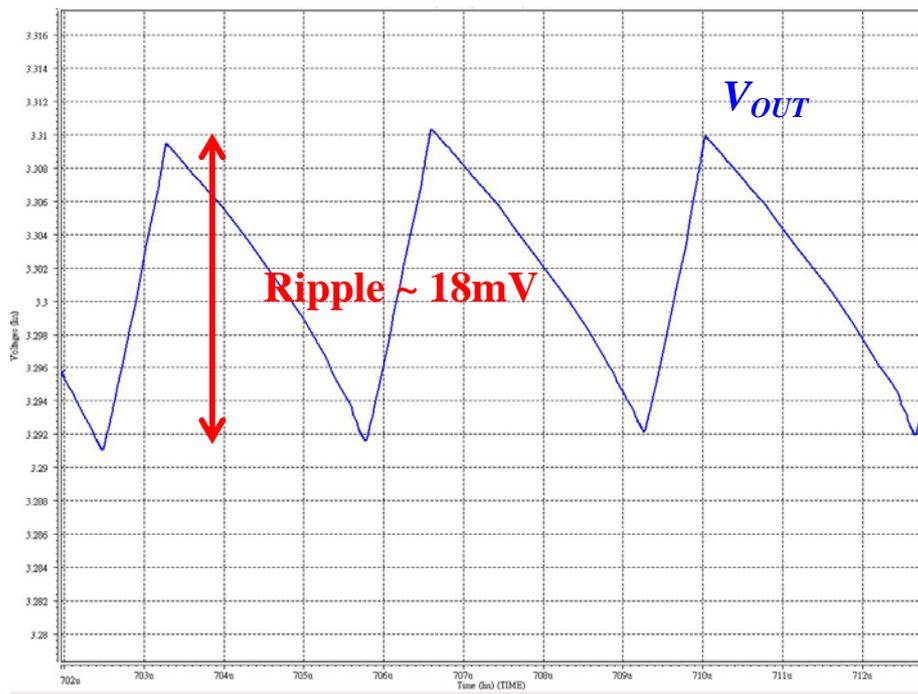


圖 4.34 回授控制磁滯比較系統在輸入電壓 12V，輸出負載 500mA 時的輸出漣波電壓



圖 4.31 是以未改善前的磁滯比較器所組成的電壓轉換器系統在輸入電壓 12V，輸入電壓由 0V 到 12V 的上升時間為 100 μ s 以及等效負載為 500mA 的狀況下來確認輸出電壓 V_{OUT} 與電感電流 I_{LSW} 的動作情形；圖 4.33 則是以改善後的磁滯比較器所組成的電壓轉換器系統在相同的條件下的模擬結果，在這兩張圖中，輸出電壓以及電桿電流均可以正常啟動以及穩定的工作，同時由圖 4.31 與圖 4.33 中的電感電流在輸入電壓爬升階段的表現可以看到，在外掛的限流電阻旁並聯電容可以讓電感電流由最初的 400mA 慢慢的上升到設定的 2A，降低在起動階段電流突波的問題。

圖 4.32 是將圖 4.31 中的輸出電壓的部分波形放大來看，藉以取得實際系統在重載的連續操作模式下的漣波電壓大小，在此的模擬結果約為 44mV；相對的，圖 4.34 是將圖 4.33 中的輸出電壓的部分波形放大來看，藉以取得實際系統在重載的連續操作模式下的漣波電壓大小，在此的模擬結果約為 18mV，由兩者數值間的差

異來比較可以得到，使用回授控制磁滯比較器的系統的確可以在重載的時候降低輸出電壓得連波電壓大小，使系統得以在重載的情形下有更好的特性。

由於系統是頻率調變式的控制模式，因此最後整理出系統操作頻率對不同負載時的變化如圖 4.35 以及系統的效能圖 4.36，同時在計算系統效能時也將在閉迴路的狀況下輸入電壓 12V 輸出電壓 3.3V 負載電流為 10mA 時的功率轉換以及消耗

的分布圖 4.37 與閉迴路的狀況下輸入電壓 12V 輸出電壓 3.3V 負載電流為 10mA 時的功率轉換以及消耗的分布圖 4.38 列出來比較，由這兩張圖我們可以看出在 10mA 負載的時候，系統的切換損失佔功率損失一定的比例，這也是為什麼定出來的輕載連波電壓要大的原因，因為連波電壓會直接影到到系統的操作頻率，而圖 4.38 中切換損失已經小到幾乎可以忽略，因此此時系統的特性反而是較小的連波電壓會有較佳的穩定度，因此可以看出來所提出的架構的確能夠符合應用上的要求。

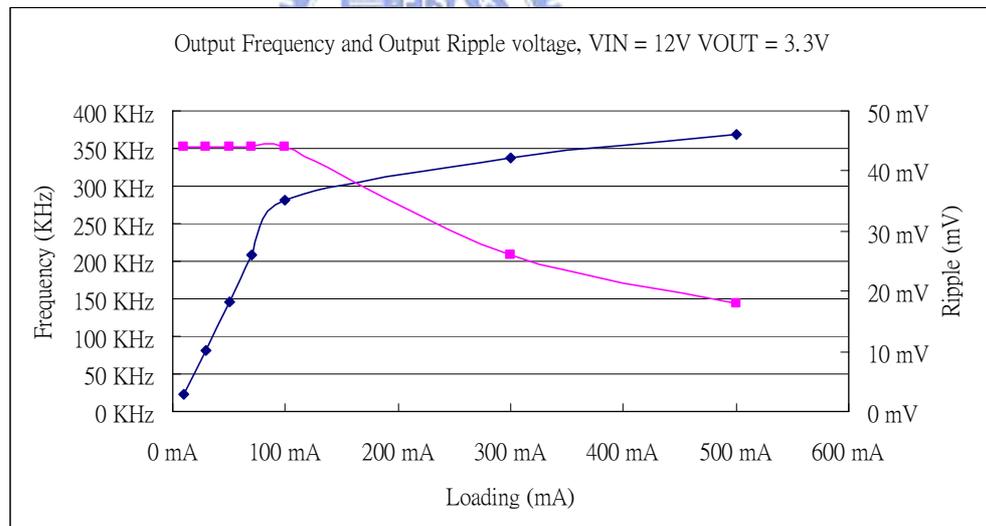


圖 4.35 系統在輸入電壓 12V，輸出電壓 3.3V 的條件下操作頻率以及輸出連波電壓與輸入負載電流關係圖

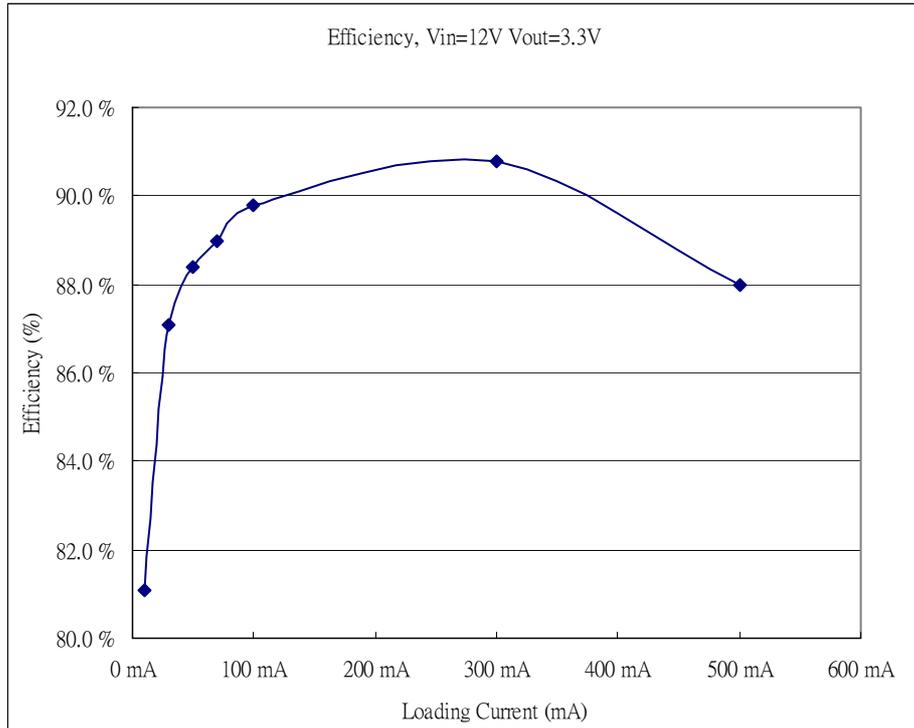


圖 4.36 系統在輸入電壓 12V, 輸出電壓 3.3V 的條件下功率轉換效率與輸入負載電流關係圖

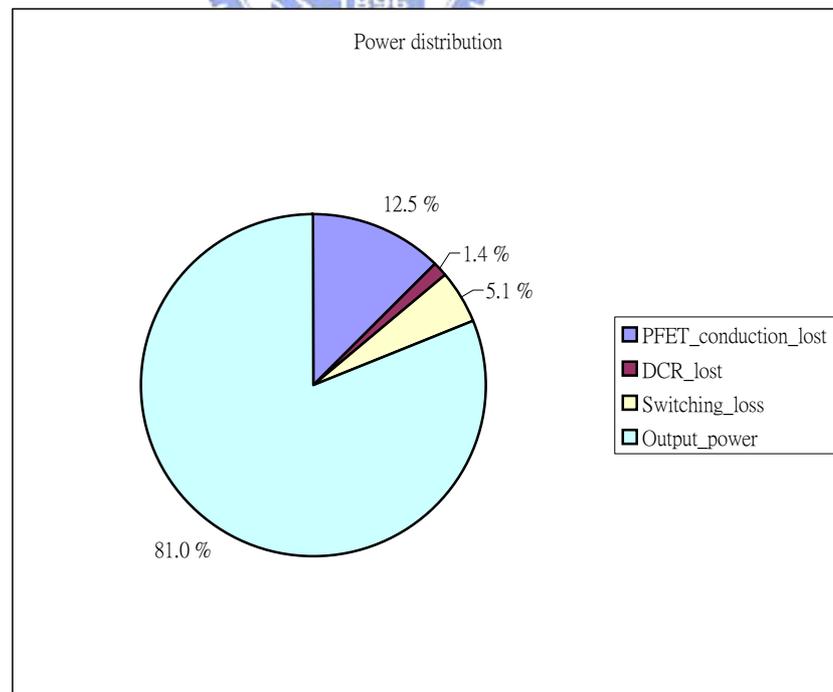


圖 4.37 系統在輸入電壓 12V, 輸出電壓 3.3V, 負載電流 10mA 的條件下, 功率轉換效率與功耗分布圖

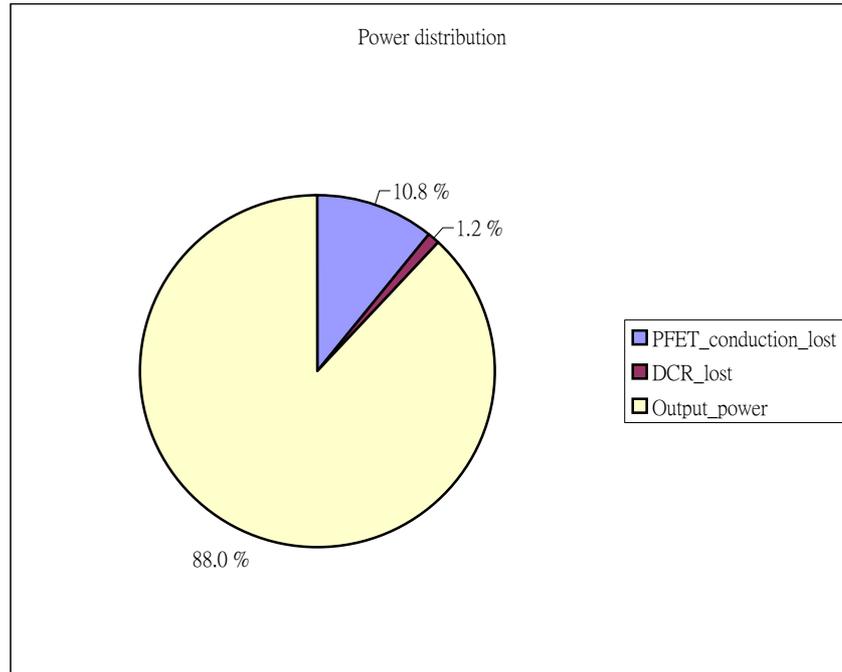


圖 4.38 系統在輸入電壓 12V，輸出電壓 3.3V，負載電流 500mA 的條件下，功率轉換效率與功耗分布圖



第五章

結論與未來方向

在前面的章節中所得到的模擬結果可以顯現出，本論文所提之架構的確能夠在輕載的狀況下維持系統原先的規格，同時在重載的狀況下，根據電流的回授量來調整系統的磁滯電壓量，藉由這樣的特性以求達到維持良好的輕載效率以及同時得到較佳的重載漣波電壓。

至於未來的方向上，本論文的系統靜態電流約 $300\mu\text{A}$ ，對於使用電池的手持式行動設備來說仍嫌稍大，因此，如何在維持系統的操作規格的同時降低系統的靜態電流，以延長電池的使用時間是可以努力的方向之一，另外，由於高速磁滯電壓轉換器是屬於脈波頻率調節器(Pulse-Frequency Modulator, PFM) 的一種，其特徵是調節器本身的操作頻率不是固定的，在某些特定的情形下，系統的操作頻率有可能會落在音頻的範圍內，而使得使用者聽到類似雜音的聲音，故以 Delta-Sigma 的控制方式來避開音頻的噪音也是一個可以改善的方向。

參考文獻

- [1] Robert W. Erickson, Dragan Maksimović, *Fundamentals of Power Electronics*, 2nd ed., KLUWER ACADEMIC PUBLISHERS, 2001.
- [2] Ned Mohan, Tore M. Undeland, William P. Robbins, *Power Electronics Converters, Applications, and Design*, JOHN WILEY & SONS, 3rd edition, 2003.
- [3] Jieh-Tsorng Wu, Kuen-Long Chang, “MOS charge pumps for low-voltage operation,” *IEEE Journal of Solid-State Circuits*, Vol. 33, Issue 4, pp. 592 – 597, April 1998.
- [4] Datasheet of LM3485, “Hysteretic PFET Buck Controller,” National semiconductor Corporation.
- [5] Hung-Chi Lee, Kuo-Tai Chang, Ke-Horng Chen, and Wen Tsao Chen, “Power saving of a dynamic width controller for a monolithic current-mode CMOS DC-DC converter,” *System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop on*, pp. 352-357, June.
- [6] C. F. Lee, Philip K.T. Mok, “A Monolithic Current-Mode CMOS DC-DC Converter with on-chip Current-sensing Technique,” *IEEE J. Solid-State Circuit*, Vol.39, pp3-13, Jan. 2004.
- [7] Palumbo G. Pennisi S., “A high-performance CMOS voltage follower,” *Electronics, Circuit and System, IEEE International Conference*, Vol.2, pp21-24, 7-10 Sept. 1998.
- [8] C. YOO, “A CMOS buffer without short-circuit power consumption,” *IEEE Trans. Circuits Syst. II*, Vol.47, pp935-937, Sept. 2000.
- [9] V. Kursun, S. G. Narendra, V. K. De, and E. G. Friedman, “Analysis of buck converters for on-chip integration with a dual supply voltage microprocessor,” *IEEE Trans. VLSI Syst. II*, Vol.11, pp.514-522, June. 2003.
- [10] V. Kursun, S. G. Narendra, V. K. De, and E. G. Friedman, “Low voltage Swing Monolithic dc-dc conversion,” *IEEE Trans. Circuits Syst.*, Vol.51, NO. 5, May. 2004.
- [11] V. Kursun, S. G. Narendra, V. K. De, and E. G. Friedman, “Monolithic dc-dc converter analysis and MOSFET gate voltage optimization,” in *Proc. IEEE/ACM Int. Symp. Quality Electronic Design*, Mar. 2003, pp279-284.
- [12] W. Namgoong, M. Yu, T. Meng, “A high-efficiency Variable-voltage CMOS Dynamic dc-dc Switching Regulator,” in *IEEE International Solid-State Circuit Conference, 1997*.
- [13] Brian S. Cherkauer, Eby G. Friedman, “A Unified design Methodology for CMOS Tapered Buffers,” *IEEE VLSI Syst.* Vol. 3, NO. 1, March 1995.
- [14] Hung. C. Lin, Loren W. Linholm, “An Optimized Output Stage for MOS Integrated Circuits,” *IEEE Journal of Solid-State Circuit*, Vol. SC-10, NO. 2, April 1975.

- [15] John P. Uyemura, *CIRCUIT DESIGN FOR CMOS VLSI*, KLUWER ACADEMIC PUBLISHERS, 1992.
- [16] Phillip E. Allen, Douglas R. Holberg, *CMOS Analog Circuit Design*, OXFORD UNIVERSITY PRESS, 2nd edition, 2002.
- [17] Ke-Horng Chen, *Power Integrated Circuit Design Handout*, National Chiao Tung University, 2003.
- [18] Gabriel A. Rincon-Mora, "Integrated Low Ripple, High Frequency Hysteretic Controller for DC-DC Converters," US 6,369,555 B2, 2002.
- [19] Gabriel A. Rincon-Mora, "Integrated Low Ripple, High Frequency Power Efficient Hysteretic Controller for DC-DC Converters," US 6,628,109 B2, 2003.
- [20] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*. JOHN WILEY & SONS, 4th edition, 2001.
- [21] Gabriel A. Rincon-Mora, *Voltage References*, JOHN WILEY & SONS, 2002.
- [22] R. Jacob Baker, *CMOS Circuit Design, Layout, and Simulation*, Wiley-IEEE Press, 2nd edition, 2004.
- [23] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGRAW-HILL, 2001.
- [24] Chi Yat Leung, Philip K.T. Mok, Ka Nang Leung, "A 1.2V Buck Converter With a Novel On-chip Low-voltage Current-sensing Scheme," *2004 IEEE ISCAS*, Volume 5, Issue, 23-26 May 2004 Page(s): V-824 - V-827 Vol.5.
- [25] W. H. Ki, "Current Sensing Technique using MOS Transistors Scaling with Matched Bipolar Current Sources," U.S. Patent 5,757,174, May 26, 1998.
- [26] C. F. Lee, Philip K.T. Mok, "On-Chip Current Sensing Technique for CMOS Monolithic Switch-Mode Power Converters," *IEEE International Symposium on circuits and systems*, Vol. V, pp. 265-1268, May 2002.